

Arbeitsweise und Umfeld des AVR Bootloaders optiboot

Karl-Heinz Kübbeler
`kh_kuebbeler@web.de`

4. März 2018

Inhaltsverzeichnis

1	Prinzipielle Arbeitsweise eines Bootloaders	4
2	Die Hardware der AVR 8-Bit Mikrocontroller	6
2.1	CPU und Speicherzugriff	6
2.2	Eingabe und Ausgabefunktion	8
2.3	Das Starten des AVR Mikrocontrollers	9
2.4	Das Beschreiben des AVR Speichers	11
2.4.1	parallele Programmierung	12
2.4.2	serieller Download mit ISP	12
2.4.3	Selbstprogrammierung mit serieller Schnittstelle	13
2.4.4	Diagnose Werkzeuge	14
3	Der optiboot Bootloader für AVR Mikrocontroller	16
3.1	Änderungen und Weiterentwicklung von Version 6.2	16
3.2	Automatische Größenanpassung in der optiboot Makefile	17
3.3	Zielvorgaben für optiboot Makefile	17
3.4	Die Optionen für die optiboot Makefile	19
3.5	Benutzung von optiboot ohne Bootloader-Bereich	21
3.6	Die Möglichkeiten der seriellen Schnittstelle mit der verwendeten Software	23
3.6.1	Berechnung der Verzögerungszeit	25
3.6.2	Benutzung von mehr als einer seriellen Schnittstelle	26
3.6.3	Serielle Eingabe und Ausgabe über nur einen AVR Pin	27
3.6.4	Benutzung der automatischen Baudraten-Bestimmung	29
3.7	Einige Beispiele für die Erzeugung eines optiboot Bootloaders	34
3.8	Anpassung der Taktfrequenz bei internem RC-Generator	36
3.8.1	Untersuchung der RC-Generatoren des ATmega8	37
3.8.2	Untersuchung der RC-Generatoren des ATmega8535	37
3.8.3	Untersuchung der RC-Generatoren des ATmega8515 und des ATmega162	38
3.8.4	Untersuchung der RC-Generatoren der ATmega328 Familie	38
3.8.5	Untersuchung der RC-Generatoren des ATmega32 / 16	39
3.8.6	Untersuchung des RC-Generators des ATmega163L	40
3.8.7	Untersuchung der RC-Generatoren des ATmega64 / 128	40
3.8.8	Untersuchung der RC-Generatoren der ATmega644 Familie	41
3.8.9	Untersuchung der RC-Generatoren der ATmega645 Familie	41
3.8.10	Untersuchung der RC-Generatoren der ATmega649 Familie	41
3.8.11	Untersuchung des RC-Generators der ATmega2560 Familie	42
3.8.12	Untersuchung der RC-Generatoren der ATtiny4313 Familie	42
3.8.13	Untersuchung der RC-Generatoren der ATtiny84 Familie	43
3.8.14	Untersuchung der RC-Generatoren der ATtiny85 Familie	43
3.8.15	Untersuchung der RC-Generatoren der ATtiny841 Familie	44

3.8.16	Untersuchung der RC-Generatoren der ATtiny861 Familie	45
3.8.17	Untersuchung des RC-Generators der ATtiny87 Familie	45
3.8.18	Untersuchung des RC-Generators der ATtiny88 Familie	45
3.8.19	Untersuchung der RC-Generatoren des ATtiny1634	46
3.8.20	Untersuchung des RC-Generators der AT90PWM Familie	46
3.8.21	Untersuchung des RC-Generators der AT90CAN Familie	46
4	Daten der AVR 8-Bit Mikrocontroller	48
4.1	Signatur Bytes und Standard Fuse Einstellung	48
4.2	Belegung der Fuses	50
5	Verschiedene USB zu Seriell Wandler mit Linux	53
5.1	Der CH340G und der CP2102 Wandler	53
5.2	Der PL-2303 und der FT232R Wandler	56
5.3	Der USB-serial Wandler mit der ATmega16X2 Software	59

Vorwort

Etwas intensiver habe ich mich mit den AVR-Bootloadern beschäftigt, als der Wunsch von Nutzern aufkam, die Transistortester-Software auf einigen Platinen der Arduino Familie zum Laufen zu bringen. Natürlich läuft die Software nicht als Arduino Sketch. Die Arduino Entwicklungsumgebung wird lediglich zur Darstellung von Ausgaben über die serielle Schnittstelle benutzt. Die Transistortester-Software benutzt auch nicht die Arduino Bibliothek. Das ist auch gar nicht notwendig, um den Bootloader zu benutzen.

Der Bootloader ist ein kleines Programm, welches Programm-Daten über eine serielle Kommunikation von einem Host (PC) entgegennehmen kann und in den Arbeitsspeicher des Mikrocontrollers laden kann. Da die Transistortester-Software ziemlich viel Programmspeicher braucht, sollte der Bootloader nur wenig vom Programmspeicher für sich selbst belegen. Außer dem Programmspeicher sollte der Bootloader auch den anderen nicht flüchtigen Speicher des AVR beschreiben können, das EEprom. Damit war die Zielsetzung klar. Es sollte ein Bootloader her, der auch das Beschreiben des EEproms unterstützt, aber wenig Flash-Speicherplatz benötigt.

Kapitel 1

Prinzipielle Arbeitsweise eines Bootloaders

Ein Bootloader ist ein kleines Programm, welches neue Programm-Daten für einen Prozessor über eine Datenschnittstelle in Empfang nehmen kann und in den Arbeitsspeicher dieses Prozessors ablegen kann. Üblicherweise wird dieses über die Datenschnittstelle empfangene Programm nach Beenden der Übertragung vom Bootloader gestartet. Damit ist ein Rechner mit einem beschreibbaren Arbeitsspeicher dann in der Lage, beliebige Anwenderprogramme aus dem Arbeitsspeicher auszuführen.

Im Prinzip ist damit das BIOS eines PC's auch ein Bootloader, allerdings erweitert um Möglichkeiten, die Schnittstelle für den ersten Zugriff auf Programm-Daten einzustellen. Beim PC läßt sich so oft eine ganze Kette von Peripheriegeräten einstellen, die auf das Vorhandensein von Programm-Daten getestet werden. Beim PC wird dann oft eine zweite Stufe gestartet, die weitere Einstellungen (Auswahl von Betriebssystemen oder abgesicherter Modus) ermöglicht.

Bei Mikrocontrollern ist der Bootloader meistens einfacher gestaltet. Hier wird nur eine Schnittstelle untersucht und es gibt auch keine weitere Einstellmöglichkeit im Betrieb. Ein Merkmal für die Betriebsweise des Bootloaders besteht übrigens im Typ des Arbeitsspeichers. Wenn der Arbeitsspeicher des Rechners aus flüchtigem Speicher besteht (RAM = Random Access Memory), muß der Bootloader vor einem Anwender-Programmstart sicher sein, daß er gerade vorher ein Programm selbst geladen hatte.

Bei einem Mikrocontroller mit nicht flüchtigem Arbeitsspeicher (Flash) darf der Bootloader annehmen, daß bereits irgendwann einmal vorher ein Anwender-Programm in den Speicher geladen wurde. Deshalb wird nach einer angemessenen Wartezeit auf neue Programm-Daten versucht, das Anwenderprogramm zu starten. Dabei ist es egal, ob gerade vorhin ein neues Anwenderprogramm geladen wurde oder nicht. Selbst wenn noch nie ein Anwenderprogramm geladen wurde oder ein fehlerhaftes, passiert nichts Schlimmes. Die Möglichkeit, ein neues Anwenderprogramm zu laden, bleibt ja weiterhin erhalten. Es ist eher das Gegenteil der Fall. Durch das fehlenden Anwenderprogramm versucht der Bootloader immer wieder, die Kommunikation über die serielle Schnittstelle aufzubauen.

Die Abbildung 1.1 zeigt die prinzipielle Arbeitsweise von Bootloadern, die ihre Daten über eine serielle Schnittstelle empfangen.

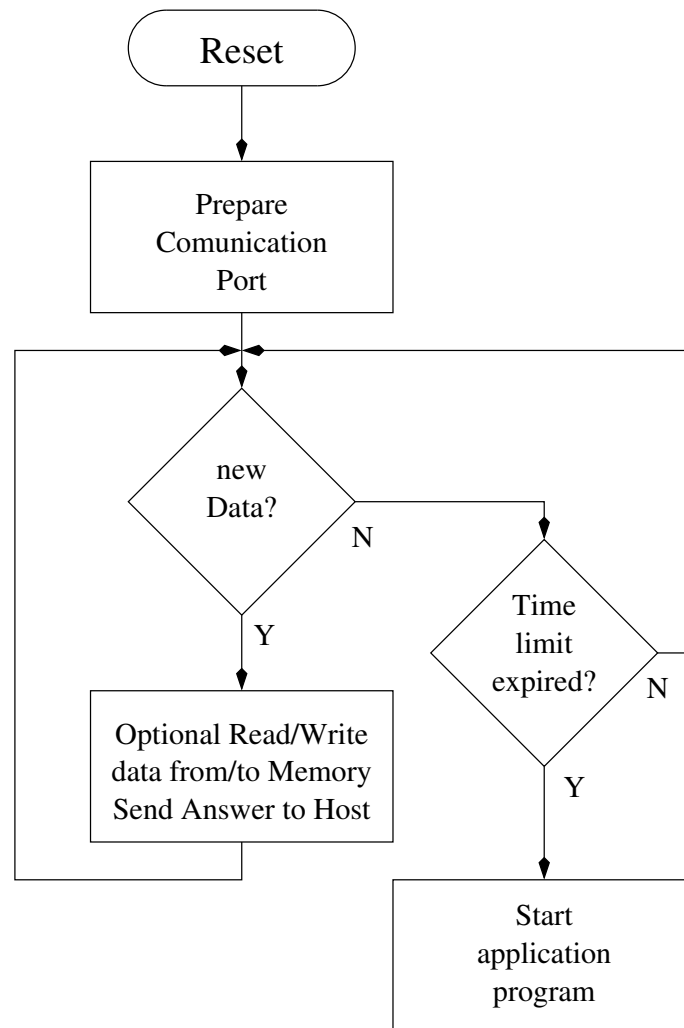


Abbildung 1.1. Prinzipielle Arbeitsweise eines Bootloaders

Der AVR-Zielprozessor wird beim Start des Daten-Sendeprozess auf dem PC zurückgesetzt. Wenn dies nicht automatisch erfolgt, muß der AVR-Prozessor von Hand zurückgesetzt werden. Der PC versucht die Kommunikation mit dem AVR-Prozessor aufzubauen, indem er ein Datenbyte über die serielle Schnittstelle schickt und auf die Antwort des AVR-Prozessors wartet. Wenn die Antwort nicht in angemessener Zeit erfolgt, wird dieser Vorgang wiederholt. Das Bootloader Programm auf dem AVR Prozessor wartet nur eine begrenzte Zeit auf Daten (Time limit). Beim Überschreiten der Wartezeit wird versucht, das Anwender-Programm im Flash-Speicher zu starten.

Kapitel 2

Die Hardware der AVR 8-Bit Mikrocontroller

2.1 CPU und Speicherzugriff

Auf dem Chip der AVR 8-Bit Mikrocontroller ist alles vereinigt, was ein digitaler Minirechner zum Arbeiten braucht. Es ist ein Taktgenerator, Register, Arbeitsspeicher (RAM), Programmspeicher (Flash), Eingaberegister und Ausgaberegister vorhanden. Der Inhalt von Registern und Arbeitsspeicher geht bei jedem Neustart verloren. Der Inhalt des Programmspeicher (Flash) und auch des meistens zusätzlich vorhandenem Datenspeicher (EEPROM) bleiben aber erhalten. Die Abbildung 2.1 zeigt ein vereinfachtes Blockdiagramm eines 8-Bit AVR Mikrocontrollers.

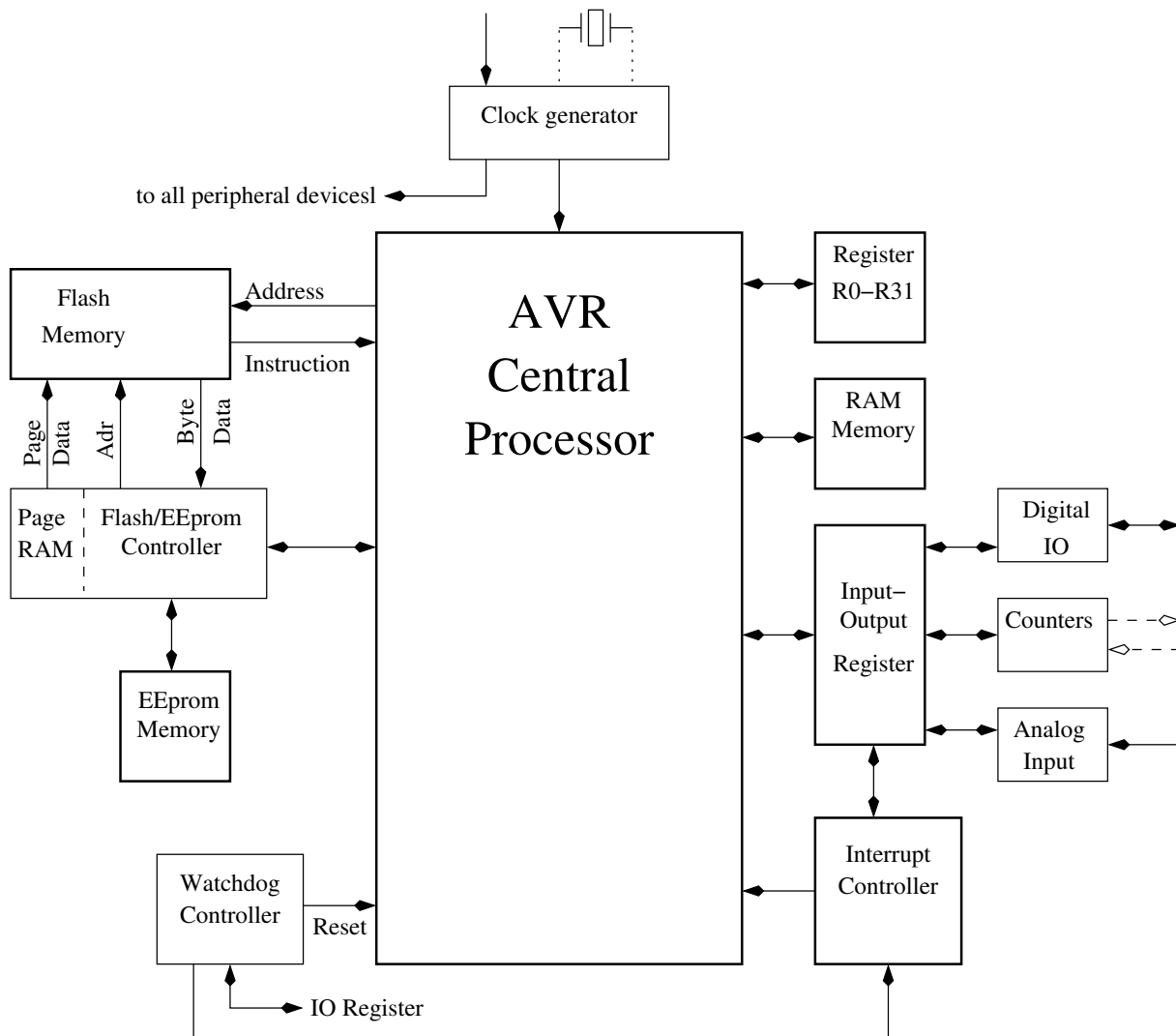


Abbildung 2.1. Vereinfachtes Blockschaltbild eines AVR-Mikrocontrollers

Aus dem Diagramm ist zu entnehmen, daß die CPU (Central Processor Unit) sehr leicht auf die Register R0-R31 und auf den RAM-Speicher zugreifen kann. Auch der Zugriff auf die Eingabe (Input) oder Ausgabe (Output) Register ist leicht möglich. Der Zugriff auf den Programmspeicher (Flash) ist dagegen nur über den zugehörigen Controller möglich und deutlich komplizierter.

Nur die eigentliche Befehls-Ausführungseinheit kann einfach auf die Daten des Flash Speichers für die eingestellte Programm-Adresse zugreifen. Mit dem Load Immediate Befehl (LDI) können dann auch Bestandteile des 16-Bit Befehls-Wortes zu den oberen Registern (R16-R31) transferiert werden. Auch bei den Befehlen ADIW, ANDI, CPI, ORI, SBCI, SBIW und SUBI werden Teile des 16-Bit Befehls-Wortes verarbeitet.

Normalerweise wird bei der Programmausführung die Flash-Adresse je nach Befehls-Größe um ein Wort oder zwei Worte erhöht. Eine Ausnahme hiervon sind bei der normalen Programm-Abarbeitung nur die bedingten oder unbedingten (RJMP, JMP, IJMP, RCALL, CALL, ICALL, RET, RETI) Sprung-Anweisungen.

Außerdem kann ein Reset Ereignis oder ein Unterbrechungs-Signal (Interrupt) für eine Abweichung von der Regel führen. Beim Reset wird der Prozessor zurückgesetzt und der Programm-Zähler auf eine vorher eingestellte Adresse gesetzt. Bei einem Interrupt wird der Programm-Zähler auf die dem Ereignis zugehörige Adresse einer Sprungtabelle gesetzt. Normalerweise ist die Start-Adresse für das Reset Ereignis die Adresse 0. Für Bootloader-Zwecke kann dies aber bei vielen AVR-Prozessoren mit speziellen Konfigurations-Bits (Fuse) anders eingestellt werden.

Ein wahlfreier Lesezugriff zum Programmspeicher ist nur über den Flash-Controller möglich.

Dabei muß dem Controller erst die gewünschte Byte-Adresse mitgeteilt werden. Erst dann ist ein Lesen des Datenbytes mit einem Spezial-Befehl möglich.

Noch komplizierter wird es beim Schreibzugriff. Der Schreibzugriff des Programmspeichers ist nur seitenweise möglich. Die Flash-Speicherseite muß vor jedem Beschreiben vorher gelöscht sein. Die neuen Daten für eine Flash-Seite müssen vor dem Beschreiben komplett in den Zwischenspeicher des Flash-Controllers geladen werden. Erst dann kann der Controller mit dem Neubeschreiben der Flash-Seite beauftragt werden. Dieses Verfahren läßt sich anschaulich mit dem Bedrucken einer Seite mit einem Stempel vergleichen. Der Stempel kann mit austauschbaren Zeichen bestückt werden, so daß jeder Text möglich ist. Für das Stempeln der Information muß aber eine leere Papierseite vorhanden sein und der Stempel muß zuerst mit den Zeichen für den Text bestückt sein. Erst dann kann mit einem Stempeldruck die leere Seite neu beschrieben werden.

Auch der EEPROM Speicher (nicht flüchtiger Speicher für Daten) wird über einen speziellen Controller zugegriffen. Hier ist das Beschreiben des Speichers aber etwas einfacher, ist aber auch nur über einen Controller möglich. Der EEPROM-Controller kann nicht zusammen mit dem Flash-Controller benutzt werden, da die Controller wohl gemeinsame Teile haben.

2.2 Eingabe und Ausgabefunktion

Über die IO-Register kann die CPU auf die externen Pins zugreifen. Die Register sind Byte weise (8-Bit) organisiert, so daß mit einem Register bis zu 8 Pins angesprochen werden können. Die Abbildung 2.2 zeigt den Aufbau einer Port Pin Beschaltung.

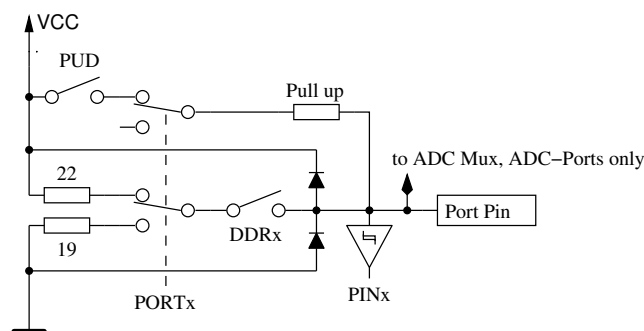


Abbildung 2.2. Vereinfachtes Schaltbild jedes AVR-Portpins

Jeder Pin ist mit einem Port Bit fest verknüpft und kann normalerweise sowohl als Ausgangs-Pin (PORT) als auch als Eingangs-Pin (PIN) verschaltet werden. Zur Umschaltung der Funktion der 8 Bits eines Ports dienen die 8 Bits des Data Direction Registers DDR. Es gibt also für jeden Pin eine zugeordnete Bitnummer in drei verschiedenen Registern. Mit dem DDR Register kann die Datenrichtung für jedes des zugeordneten Pins umgeschaltet werden. Das PIN Register gibt den Zustand der Spannung an den 8 Eingangspins an. Unterhalb etwa der halben Betriebsspannung wird eine 0 angezeigt, darüber eine 1. Wenn das dem Pin zugehörige DDR Bit auf Ausgang (1) geschaltet ist, wird mit dem zugehörigen PORT Bit der Ausgang auf 0 V oder auf Betriebsspannung (VCC) geschaltet. Bei mit dem auf 0 gesetzten DDR Bit inaktiviertem Ausgang wird je nach Zustand des zugehörigen PORT Bits ein Pull-Up Widerstand für diesen Pin zugeschaltet (PORT Bit = 1) oder nicht (PORT Bit = 0). Wenn allerdings das PUD Bit im MCU Konfigurations-Register MCUCR gesetzt ist, bleiben alle internen Pull-Up Widerstände inaktiv. Alle zugehörigen Register und Bits einer Gruppe (8-Bit) benutzen immer den gleichen Kennbuchstaben. Also für die zweite Gruppe wäre der Buchstabe ein B. Der Ausgabe Port würde also PORTB heißen, der Eingangs Port würde PINB heißen und das Register für die Datenrichtung DDRB. Für die Bezeichnung der einzelnen Bits wird jeweils eine Ziffer 0-7 angehängt. Zum Beispiel würde das Bit 0 des Eingangs Ports dann PINB0

heißen. Diese Bezeichnungsweise wird so in der Beschreibung der Hardware von Atmel verwendet und wird üblicherweise auch innerhalb von Programmiersprachen so verwendet.

2.3 Das Starten des AVR Mikrocontrollers

In der vom Werk ausgelieferten Konfiguration des Mikrocontrollers löst das erste Erreichen der erforderlichen Betriebsspannung einen Reset des Prozessors aus. Dabei werden die IO-Register auf vorbestimmte Werte gesetzt, noch etwas Zeit zur Stabilisierung der Betriebsspannung gewartet und dann der Befehl ausgeführt, der auf der Adresse 0 des Flash-Speichers steht. In aller Regel sind die Ausgabe-Funktionen aller Pins in diesem Zustand abgeschaltet. Außer diesem Einschalt-Reset gibt es noch drei weitere Gründe für einen Reset des Prozessors. Der Grund für den Reset wird in einem MCU Status-Register (MCUSR) mit 4 Bits festgehalten.

Name des Flags	Grund für den Reset
PORF	Power-on Reset Dieser Reset wird beim ersten Erreichen der Betriebsspannung ausgelöst. Dieser Grund kann nicht abgeschaltet werden.
BORF	Brown-out Reset Der Reset wegen Spannungseinbruch kann nur dann vorkommen, wenn die Funktion mit den BODLEVEL Bits in dem Fuse-Bit freigeschaltet ist und kein Brown-out Interrupt benutzt wird.
EXTRF	External Reset Wird ausgelöst durch Pegel 0 am Reset Pin, wenn RSTDISBL nicht konfiguriert wurde.
WDRF	Watchdog Reset Wird nur ausgelöst, wenn der zugehörige Interrupt nicht freigeschaltet wurde.

Tabelle 2.1. Die verschiedenen Reset Gründe im MCUSR Register

Durch Setzen der entsprechenden Konfigurations-Bits in den Fuses des AVR-Mikrocontrollers kann die Start-Adresse abweichend von 0 eingestellt werden. Die Abbildung 2.3 zeigt die Möglichkeiten für den ATmega168. Dieser Prozessor hat insgesamt 16384 Byte Arbeitsspeicher (Flash). Der Befehls-Interpreter des Mikrocontrollers greift übrigens auf einen 16-Bit breiten Befehlscode des Flash Speicher zu. Deshalb ist der höchste Programm-Zähler Wert nur 8190! Das es nicht 8192 ist, ist klar, weil ja die Zählung bei 0 beginnt, aber es ist noch ein Wort weniger, weil das letzte Wort im Flash Speicher für die Versionsnummer von Optiboot verwendet wird.

Sicherung des Flash-Speichers lässt sich dann aber nur durch komplettes Löschen (erase) des AVR Speichers wieder zurücksetzen.

Für diesen Prozessor, wie auch für den Mega48 und Mega88, befinden sich die Steuerbits für den Bootloader Start in der extended Fuse. Dies gilt auch für die BOOTRST Fuse, mit der die Startadresse von 0 auf den Bootloader Start umgeschaltet wird. Für viele andere AVR Mikrocontroller, auch dem ATmega328, befinden sich die gleichen Steuerbits in der high Fuse. Die Tabelle 2.2 zeigt die Speichergrößen für verschiedene AVR-Mikrocontroller sowie die Möglichkeiten für den Bootloader-Bereich. Die verwendeten Bit-Nummern für die Bootloader Einstellung sind übrigens die gleichen, egal ob high oder extended Fuse Register.

Processor Typ	Flash Größe	EEProm Größe	RAM Größe	UART	Boot Config Fuse	BOOTSZ			
						=3	=2	=1	=0
ATmega48	4K	256	512	1	Ext.	256	512	1K	2K
ATtiny84	8K	512	512	-	-	(N x 64)			
ATmega8	8K	512	1K	1	High	256	512	1K	2K
ATmega88	8K	512	1K	1	Ext.	256	512	1K	2K
ATmega16	16K	512	1K	1	High	256	512	1K	2K
ATmega168	16K	512	1K	1	Ext.	256	512	1K	2K
ATmega164	16K	512	1K	1	High	256	512	1K	2K
ATmega32	32K	1K	2K	1	High	512	1K	2K	4K
ATmega328	32K	1K	2K	1	High	512	1K	2K	4K
ATmega324	32K	1K	2K	2	High	512	1K	2K	4K
ATmega644	64K	2K	4K	2	High	1K	2K	4K	8K
ATmega640	64K	4K	8K	4	High	1K	2K	4K	8K
ATmega1284	128K	4K	16K	2	High	1K	2K	4K	8K
ATmega1280	128K	4K	8K	4	High	1K	2K	4K	8K
ATmega2560	262K	4K	8K	4	High	1K	2K	4K	8K

Tabelle 2.2. Bootloader Konfigurationen für verschiedene Mikrocontroller

Übrigens funktioniert ein Bootloader selbst dann beim ersten Mal, wenn das BOOTRST Fuse Bit nicht gelöscht wurde. Dann steht der Reset-Vektor immer noch auf Adresse 0, auf den normalerweise das Anwenderprogramm steht. Da aber noch kein Anwenderprogramm geladen wurde, läuft die CPU durch den Flash Speicher, bis er auf den Bootloader-Code trifft. Bei diesem Prozessor sind das weniger als 8000 Befehle, die die CPU bei 8 MHz Taktrate in weniger als 1 ms durchläuft. Sobald aber ein Anwenderprogramm geladen wurde, startet mit einem Reset immer das Anwenderprogramm, solange das BOOTRST Bit gesetzt bleibt. Der Bootloader würde mit gesetztem BOOTRST Bit nicht mehr funktionieren, weil er gar nicht mehr angesprochen wird.

2.4 Das Beschreiben des AVR Speichers

Die AVR Mikrocontroller kennen 3 verschiedene nicht flüchtige Speicher. Der wichtigste ist der Programmspeicher, der sogenannte Flash-Speicher.

Daneben gibt es noch einige Konfigurationsbits, mit denen die Eigenschaften des Prozessors eingestellt werden können. Diese sind Konfigurationsbits sind aufgeteilt in mehrere Bytes, die lfuse (low Fuse), hfuse (high Fuse), efuse (extended Fuse), das lock-Byte und das Kalibrations-Byte. Das Kalibrations-Byte dient dem Frequenz-Abgleich des internen RC-Oszillators. Mit dem lock-Byte können Zugriffe auf die Speicher gesperrt werden. Beim lock-Byte lassen sich einmal aktivierte Bits nicht

wieder zurücksetzen. Der einzige Weg, einmal gesetzte lock-Bits wieder zurückzusetzen, ist ein komplettes Löschen aller AVR-Speicher. Beim lock-Byte werden die Schutzfunktionen durch Löschen von entsprechenden Bits auf 0 aktiviert. Im gelöschten Zustand des AVR-Mikrocontrollers sind alle wirk-samen Bits des lock-Bytes auf 1 gesetzt. Die Aufteilung des Konfigurationsbits auf die verschiedenen Fuse-Bytes unterscheidet sich für die verschiedenen Prozessor-Modelle und sollte im jeweiligen Da-tenblatt nachgelesen werden. Mit den Konfigurationsbits lassen sich Art der Taktgewinnung für den Prozessor, eine Startverzögerung und eine Betriebsspannungsüberwachung einstellen.

Die meisten AVR Mikrocontroller verfügen auch über einen nicht flüchtigen Datenspeicher, das EEprom. Dieser Speicher hat keine spezielle Aufgabe für den Prozessor. Es ist lediglich eine Mög-lichkeit, Daten für den nächsten Programmstart festzuhalten.

2.4.1 parallele Programmierung

Alle drei Speicherarten können mit verschiedenen Methoden beschrieben und auch gelesen werden. Normalerweise wird die parallele Methode zum Beschreiben der nicht flüchtigen Speicher eher selten verwendet. Manchmal hilft diese Methode aber Prozessoren wieder zu beleben, die mit anderen Me-thoden nicht mehr ansprechbar sind. Beispielsweise funktioniert die serielle Programmierung dann nicht mehr, wenn mit den Fuse-Bits die Funktion des Reset-Pins abgeschaltet wurde. Diese Methode ist daran zu erkennen, daß bei der Programmierung der Reset Eingangspin auf höhere Spannungs-werte (12V) gesetzt wird. Deshalb heißt diese Methode auch HV-Programmierung. Einzelheiten zu dieser Programmierung sollten dem jeweiligen Datenblatt entnommen werden.

2.4.2 serieller Download mit ISP

Der normale Weg zum Programmieren des nicht flüchtigen Speichers ist die serielle Programmierung. Die Atmel Dokumentation spricht auch von Serial Downloading. Dabei wird eine SPI (Serial Parallel Interface) Schnittstelle verwendet. Die SPI Schnittstelle besteht aus drei Signalen, MOSI, MISO und SCK. Damit der Prozessor überhaupt diese spezielle Art der Programmierung benutzt, ist außerdem das Reset Signal erforderlich, das auf 0 gehalten werden muß. Zusammen mit den Betriebsspannungs Signalen GND und VCC (etwa 2.7V bis 5V) ergibt sich eine Schnittstelle, die oft bereits auf einer Platine integriert ist, die ISP (In System Programming) Schnittstelle. Die Abbildung 2.4 zeigt zwei gebräuchliche Stecker, die auf Platinen mit AVR Mikrocontrollern integriert sind.

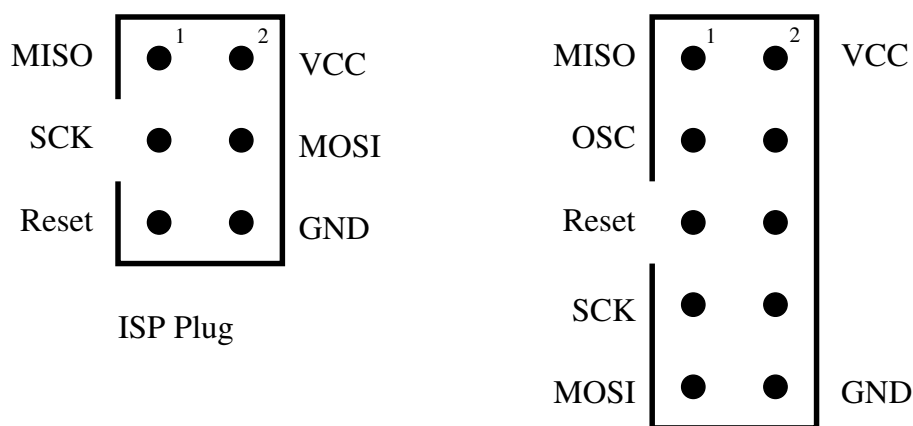


Abbildung 2.4. Zwei verschiedene Arten von ISP Steckern

Bei der 10-poligen Variante des ISP-Steckers kann zusätzlich das Takt Signal OSC für die Ver-sorgung des AVR mit einem Takt aufgelegt sein. Einer dieser beiden Stecker ist also in der Re-gel erforderlich, um einen neuen Bootloader in den Flash-Speicher eines AVR-Mikrocontrollers zu

schreiben. Die Daten für den Flash-Speicher werden im allgemeinen auf einem PC erzeugt. Für das Transferieren der Daten zum AVR-Mikrocontroller ist ein ISP-Programmer erforderlich, der meistens zur Rechnerseite hin über einen USB-Anschluss verfügt. Es ist aber auch ein Anschluss des ISP-Programmers über eine serielle oder parallele Schnittstelle möglich. Die USB-Schnittstelle hat aber den Vorteil, daß auch die Stromversorgung (5V oder 3.3V) für dem Mikrocontroller direkt über die Schnittstelle zur Verfügung gestellt wird. Es gibt auf dem Markt eine Auswahl an solchen ISP-Programmern, von Atmel wird beispielsweise der AT AVR-ISP MK2 Programmer angeboten. Auch die Verwendung eines Arduino UNO oder eines anderen Arduino ist mit Spezialprogramm für eine angeschlossene ISP-Schnittstelle möglich. Ich selbst verwende einem DIAMEX ALL-AVR, der über beide ISP-Steckervarianten verfügt und einige Zusatzfunktionen hat.

2.4.3 Selbstprogrammierung mit serieller Schnittstelle

Da der AVR-Prozessor den Flash und EEPROM Speicher auch selbst beschreiben kann, kann man mit einer der beiden anderen Methoden ein kleines Programm in den Flash-Speicher laden, der Daten über eine serielle Schnittstelle empfängt und diese Daten in den Flash- oder auch EEPROM-Speicher schreibt. Genau das macht der Bootloader Optiboot. Das Setzen der Fuses oder des Lock-Bytes ist mit dieser Methode oft nicht möglich und wird auch vom Bootloader nicht unterstützt. Die Fuses und das Lock-Byte müssen also immer mit einer der anderen Methoden geschrieben werden. Für die Übermittlung der Daten werden Teile des STK500 Communication Protocol von Atmel verwendet. Da moderne Rechner meist nicht mehr über serielle Schnittstellen verfügen, wird heute meistens ein USB - Seriell UART Wandler wie beispielsweise das FTDI Chip von Future Technology Devices International Ltd verwendet. Ein Modul mit diesem Wandler-Chip ist z.B. das UM232R. Die Chips PL2303 von Prolific Technology Inc. und CP2102 von Silicon Laboratories Inc. erfüllen wohl den gleichen Zweck. Von Atmel kann ein entsprechend programmierter ATmega16U2 auch diese Aufgabe übernehmen. Alle Chips haben eine einstellbare Baud-Rate und haben TTL-Pegel für die Signale. Für echte RS232 Signale müßten noch Pegelwandler verwendet werden. Die sind aber für die AVR Mikrocontroller nicht notwendig. Einer dieser Chips ist auf den Arduino Platinen mit USB-Schnittstelle integriert. Für eine schnelle Reaktion auf die Programm-Datenübertragung sollte das DTR-Signal des Schnittstellenwandlers über einen 100nF Kondensator mit dem Reset Eingang des AVR-Prozessors verbunden sein. Die Abbildung 2.5 zeigt eine typische Anschlussart.

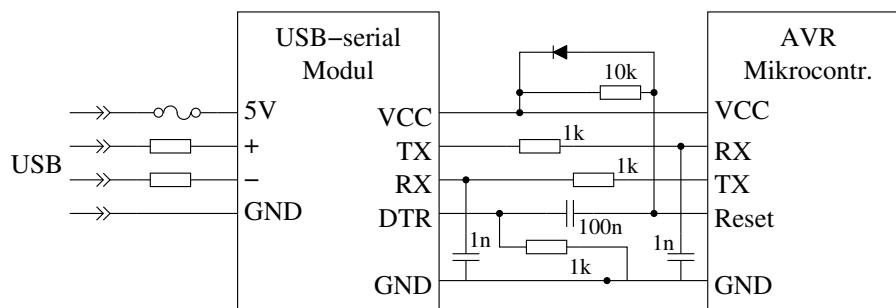


Abbildung 2.5. Anschluss eines USB-seriell Wandlers an den Mikrocontroller

Bei der Verwendung von USB-seriell Modulen sollte auf die richtige Wahl der Betriebsspannung geachtet werden. Viele Module können auf 3.3V oder 5V Signalpegel gestellt werden (Jumper). Wenn man einen Arduino UNO mit gesockeltem ATmega328p besitzt, kann man den ATmega328p entfernen und das Board als USB-seriell Wandler benutzen. So kann man dann auch die Programmdateien zu einem anderen AVR-Prozessor übertragen. Bei häufigem Gebrauch ist natürlich ein separates USB-seriell Modul sinnvoll. Die beiden 1 nF Kondensatoren an den RX-Eingängen filtern Impulsspitzen weg. Der Test des Software-UART Programms war nur erfolgreich mit einem kleinen Kondensator am

RX Eingang des AVR Prozessors. Die Tastspitze eines Oszilloskops war aber als „Filter“ schon ausreichend. Die Hardware-UART Schnittstelle filtert wohl besser und läuft mit und ohne Kondensator einwandfrei.

Bei der Arduino Entwicklungsumgebung Sketch ist unter „Tools - serieller Port“ die Möglichkeit vorgesehen, eine serielle Schnittstelle auszuwählen. Weiter kann dann unter „Tools - Serial Monitor“ ein Kontrollfenster geöffnet werden, welches die seriellen Ausgaben des AVR Mikrocontrollers auf dem Bildschirm darstellen kann. Die Baud-Rate der seriellen Schnittstelle kann in diesem Fenster eingestellt werden. Der laufende Serial Monitor des Arduino Sketch stört aber das Laden von Programmen über die serielle Schnittstelle, wenn das gleiche USB-Seriell Wandlermodul verwendet wird. Es gibt aber die Möglichkeit, ein weiteres USB-Seriell Modul in den PC einzustecken und bei diesem nur das RX-Signal an den TX-Port des AVR-Mikrocontrollers anzuschließen. Dieser zweite serielle Eingang horcht so die Ausgaben des AVR mit und stört dabei die serielle Kommunikation beim Programm-laden nicht, wenn diese Schnittstelle für den Serial Monitor gewählt wird.

2.4.4 Diagnose Werkzeuge

Unter dem Linux-Betriebssystem gibt es ein Werkzeug (Tool) mit dem seltsamen Namen jpnevulator, mit dem zwei serielle Eingänge zur selben Zeit überwacht werden können. Die übertragenen Daten werden im sedezimal (hex) Format dargestellt und mit der Option -a auch als ASCII-Zeichen. Mit der Option -timing-print werden die System-Zeiten der empfangenen seriellen Datenpakete gezeigt. Um eine Beeinflussung des Datenverkehrs beim Laden von Programmdateien auszuschließen, sollten zwei separate USB-Seriell Module für die Überwachung benutzt werden. Der serielle Eingang eines Moduls wird an das TX-Signal und der serielle Eingang des anderen Moduls an das RX-Signal des AVR-Mikrocontrollers angeschlossen. Zusammen mit dem Modul für das Programmladen sind dann drei solche Module an den PC angeschlossen. Natürlich müssen alle drei Module auf die gleiche Baudrate eingestellt sein (stty ... -F /dev/ttyUSB1). Ohne den speed Parameter gibt das stty Programm die Parameter der angegebenen Schnittstelle aus (stty -F /dev/ttyUSB1). Einige Anwendungen wie avrdude können die Baudrate selber einstellen. Der komplette Aufruf für das Werkzeug mit dem Beginn der Ausgaben könnte beispielsweise so aussehen:

```
jpnevulator -a --timing-print --read --tty "/dev/ttyUSB1" --tty "/dev/ttyUSB2"
2016-05-29 11:05:06.589614: /dev/ttyUSB0
30 20                                0
2016-05-29 11:05:06.589722: /dev/ttyUSB1
14 10                                ..
2016-05-29 11:05:06.593593: /dev/ttyUSB0
41 81 20                            A.
2016-05-29 11:05:06.594581: /dev/ttyUSB1
14 74 10                            .t.
2016-05-29 11:05:06.597583: /dev/ttyUSB0
41 82 20                            A.
2016-05-29 11:05:06.598574: /dev/ttyUSB1
14 02 10                            ...
2016-05-29 11:05:06.601586: /dev/ttyUSB0
42 86 00 00 01 01 01 01 03 FF FF FF FF 00 80 04 B.....
00 00 00 80 00 20                    .....
2016-05-29 11:05:06.603608: /dev/ttyUSB1
14 10                                ..
2016-05-29 11:05:06.605639: /dev/ttyUSB0
45 05 04 D7 C2 00 20                E.....
2016-05-29 11:05:06.606576: /dev/ttyUSB1
```

14 10

...

..

Kapitel 3

Der optiboot Bootloader für AVR Mikrocontroller

Der optiboot Bootloader wurde in der Sprache C von Peter Knight und Bill Westfield entwickelt. Die Version 6.2 habe ich als Basis für die hier beschriebene überarbeitete Assembler Version benutzt. Dabei möchte ich betonen, daß ich den optiboot Bootloader nicht neu erfunden habe, sondern lediglich weiter optimiert. Viele Anpassungen an verschiedene Zielprozessoren und spezielle Platinenentwürfe waren bereits in der Version 6.2 vorhanden. Es werden Teile des STK500 Kommunikations-Protokolls benutzt, die in der AVR061 [21] von Atmel veröffentlicht wurde.

3.1 Änderungen und Weiterentwicklung von Version 6.2

Im wesentlichen habe ich das komplette Programm in die Assembler- Sprache umgeschrieben und die Makefile so angepasst, daß die Programmlänge automatisch weiterverarbeitet wird und damit die Startadresse des Bootloaders sowie die Fuses des ATmega richtig eingestellt werden. Die eingeschlagene Lösung erzeugt während der Abarbeitung der Einzelschritte für die Erzeugung des Programmcodes für den Bootloader noch weitere kleine Dateien, welche in den nachfolgenden Schritten für die Anpassung der Start-Adresse und der Fuses erforderlich sind. Die Startadresse für den jeweiligen Zielprozessor ist abhängig von der vorhandenen Flash-Speichergröße, dem Speicherbedarf für den aktuellen Bootloader-Code und der Kachelgröße, die für Bootloader beim Zielprozessor zur Verfügung steht. Als Kachelgröße bezeichne ich die kleinste Speichergröße für Bootloader, die der jeweilige Prozessor zur Verfügung stellen kann.

Bei Prozessoren wie der ATtiny84, die keine Bootloader Startadresse einstellen können, wird die Seitengröße des Flash-Speichers für die Berechnung benutzt. Beim ATtiny84 sind das 64 Bytes. Damit liegt die Startadresse des Bootloaders immer am Anfang einer Flash Speicherseite.

Bei allen anderen Zielprozessoren kann der Bootloader-Bereich mit den Fuse-Bits BOOTSZ1 und BOOTSZ0 eingestellt werden (jeweils mit den Werten 0 und 1). Wenn man die beiden Bits zusammensetzt, ergibt sich daraus die Bootloader-Größe BOOTSZ mit Werten zwischen 0 und 3. Dabei bedeutet 3 immer den kleinsten mögliche Bootloader Speicherbereich. Der Wert 2 gibt den doppelten, der Wert 1 den vierfachen und der Wert 0 den acht-fachen Speicherbereich vor. Die Tabelle 2.2 auf Seite 11 gibt einen Überblick für verschiedene Zielprozessoren.

3.2 Automatische Größenanpassung in der optiboot Makefile

Die Bootloader Startadresse und die benötigte Bootloadergröße wird automatisch in der Makefile angepasst. Für die Berechnungen werden einige Zwischendateien erzeugt, was nur zusammen mit den folgenden Linux Werkzeugen funktioniert:

bc ein einfacher Rechner, der die Eingabe- und Ausgabe-Werte sowohl dezimal als auch sedezial (hex) verarbeiten kann.

cat gibt den Inhalt von Dateien auf der Standard-Ausgabe aus.

cut kann Teile von Zeilen einer Textdatei ausschneiden.

echo gibt den angegebenen Text auf der Standard-Ausgabe aus.

grep gibt nur Zeilen einer Textdatei mit dem angegebenen Suchtext aus.

tr kann Text-Zeichen ersetzen oder löschen.

Bisher ist die Funktion der Makefile nur mit einem Linux-System getestet. Wahrscheinlich ist die Benutzung unter Windows nur möglich, wenn das Cygwin Paket installiert wird.

Um die erzeugten Zwischendateien braucht man sich im Regelfall nicht zu kümmern. Hier möchte ich aber wenigstens die Namen und die Bedeutung erwähnen:

BootPages.dat enthält die Zahl der vom Bootloader benötigten Seiten. Bei Prozessoren mit Bootloader Unterstützung kann die Zahl nur 1, 2, 4 oder 8 sein und gibt an, das wie-vielfache der Mindest-Bootloadergröße verwendet wird. Bei der virtuellen Bootloader Seite kann die Zahl beliebig sein und gibt die Zahl der benötigten Flash-Speicherseiten an.

BOOTSZ.dat enthält eine Zahl zwischen 0 und 3 für die Einstellung der BOOTSZ0 und BOOTSZ1 Bits.

BL_StartAdr.dat enthält die Startadresse des Bootloaders im sedezial (hex) Format. Die Startadresse wird berechnet aus der Flash-Speichergröße des jeweiligen Zielprozessors und aus der Zahl der benötigten Speicherseiten.

EFUSE.dat enthält im sedezial Format der Wert für die efuse. Die Makefile entscheidet abhängig vom Zielprozessor, ob diese Datei verwendet wird.

HFUSE.dat enthält im sedezial Format der Wert für die hfuse. Die Makefile entscheidet abhängig vom Zielprozessor, ob diese Datei verwendet wird.

3.3 Zielvorgaben für optiboot Makefile

Die Steuerung des Ablaufs für die Generierung der Programmdateien aus dem Quellcode ist in der Makefile festgelegt. Außer der Haupt Makefile gibt es noch weitere drei Erweiterungen der Makefile, die automatisch von der Haupt Makefile integriert werden: Makefile.1284, Makefile.atmel, und Makefile.extras . Dabei können verschiedene Konfigurationen auch für einen Prozessortyp festgelegt worden sein. In der Tabelle 3.1 sind die derzeit vordefinierten Konfigurationen für AVR Prozessoren angegeben. Im Prinzip ist diese Liste natürlich erweiterbar. Die einstellbaren Parameter sind aber auch in der Aufrufzeile des make Programms als Parameter oder auch als Umgebungsvariable der Shell einstellbar.

Name	MCU	AVR_ FREQ	total Flash size	Flash page size	BP_ LEN	LFUSE	HFUSE	EFUSE
attiny84	t84	16M?	8K	64	(64)	62	DF	FE
atmega8	m8	16M	8K	64	256	BF	CC	-
atmega88	m88	16M	8K	64	256	FF	DD	04
atmega16	m16	16M	16K	128	256	FF	9C	-
atmega168	m168	16M	16K	128	256	FC	DD	04
atmega168p	m168p	16M	16K	128	256	FC	DD	04
atmega32	m32	16M	16K	128	256	BF	CE	-
atmega328	m328	16M	32K	128	512	FF	DE	05
atmega328p	m328p	16M	32K	128	512	FF	DE	05
atmega644p	m644p	16M	64K	256	512	F7	DE	05
atmega1284	m1284	16M	128K	256	512	F7	DE	05
atmega1284p	m1284p	16M	128K	256	512	F7	DE	05
atmega1280	m1280	16M	128K	256	1K	FF	DE	05

Tabelle 3.1. Prozessor targets für optiboot Makefile

Alle Angaben für Größen sind in Bytes angegeben, die Werte für die Fuses sind die dezimalen Werte (hex). Die Frequenz-werte werden in Hz angegeben, 16M entspricht also 16000000 Hz. Die Standard Baud-Rate für die serielle Schnittstelle beträgt immer 115200.

Neben den universellen Konfigurationen gibt es auch Konfigurationen für bestimmte Platinen oder Arbeitsumgebungen. Die Tabelle 3.2 zeigt die unterschiedlichen Einstellungen.

Name	MCU	AVR_ FREQ	BP_ LEN	L FUSE	H FUSE	E FUSE	BAUD_ RATE	LED	SOFT_ UART
luminet	t84	1M	64v	F7	DD	04	9600	0x	-
virboot8	m8	16M	64v						
diecimila	m168	(16M)		F7	DD	04		3x	-
lilypad	m168	8M		E2	DD	04	-	3x	-
pro8	m168	16M		F7	C6	04	-	3x	-
pro16	m168	16M		F7	DD	04	-	3x	-
pro20	m168	16M		F7	DC	04	-	3x	-
atmega168p_lp	m168	16M		FF	DD	04	-		-
xplained168pb	m168	(16M)					57600		
virboot328	m328p	16M	128v						-
atmega328_pro8	m328p	8M		FF	DE	05	-	3x	-
xplained328pb	m168	(16M)					57600		
xplained328p	m168	(16M)					57600		
wildfire	m1284p	16M					-	3xB5	
mega1280	m1280	16M		FF	DE	05	-		-

Tabelle 3.2. vorkonfigurierte targets für optiboot Makefile

3.4 Die Optionen für die optiboot Makefile

Mit den Optionen wird die Eigenschaft des optiboot Bootloaders eingestellt. Beispielsweise kann mit der Option `SOFT_UART` veranlasst werden, daß ein Softwareprogramm für die serielle Kommunikation verwendet werden soll. Sonst wird, wenn vorhanden, die auf dem Chip integrierte serielle Schnittstelle mit den Pins TX (Transmit = senden) und RX (Receive = empfangen) benutzt. Bei mehreren integrierten seriellen Schnittstellen wird normalerweise die erste Schnittstelle mit der Nummer 0 verwendet. Es kann aber auch jede andere vorhandene Schnittstelle mit der Option `UART` vorgegeben werden (`UART=1` für die zweite Schnittstelle). Bei der Hardware UART Schnittstelle sind die Pins für Empfangen (RX) und Senden (TX) fest verknüpft. Bei der Software-Lösung für die serielle Schnittstelle sind alle Pins des AVR Prozessors frei für die serielle Kommunikation wählbar. Die einzige Bedingung ist, daß die Pins für digitale Eingabe (RX) beziehungsweise Ausgabe (TX) geeignet sind. Näheres zu den möglichen Optionen findet man in der Übersicht 3.3 und 3.4

Name der Option	Beispiel	Funktion
F_CPU	F_CPU=8000000	Teilt dem Programm die Taktrate des Prozessors mit. Die Angabe erfolgt in Hz (Schwingungen pro Sekunde). Das Beispiel gibt eine Frequenz von 8 MHz an.
BAUD_RATE	BAUD_RATE=9600	Gibt die Baud-Rate für die serielle Kommunikation an. Es werden immer 8 Datenbits ohne Parity verwendet. Werte unter 100 aktivieren eine Messung and Anpassung der Baudrate.
SOFT_UART	SOFT_UART=1	Wählt Software-Lösung für die serielle Kommunikation.
UART_RX	UART_RX=D0	Gibt den Port und die Bitnummer für die seriellen Empfangsdaten an. Das Beispiel nimmt Bit 0 des D Ports für den seriellen Eingang.
UART_TX	UART_TX=D1	Gibt den Port und die Bitnummer für die seriellen Sendedaten an. Das Beispiel nimmt Bit 1 des D Ports für den seriellen Ausgang.
UART	UART=1	Wählt für die serielle Schnittstelle des Chips. Eine Auswahl setzt das Vorhandensein mehrerer Schnittstellen voraus.
LED_START_FLASHES	LED_START_FLASHES=3	Wählt für die Anzahl der Blink-Zyklen für die Kontroll-LED. Bei 1 oder -1 wird nur einmal geblinkt ohne Wiederholung. Negative Vorgaben bewirken, daß in der Programmschleife das RX Bit der seriellen Schnittstelle überwacht wird. Sobald eingehende RX-Daten festgestellt werden, wird die Schleife abgebrochen. Bitte beachten Sie, daß das Blinken den Start des Anwenderprogramms verzögert.
LED	LED=B3	Wählt das Port-Bit für die Kontroll-LED. Beim Beispiel würde eine an das Bit 3 des Port B angeschlossene LED blinken. Bei der LED_START_FLASHES Option blinkt die LED die angegebene Anzahl vor dem Kommunikations-Start. Mit der LED_DATA_FLASH Option leuchtet die LED auch während des Wartens auf Daten.
LED_DATA_FLASH	LED_DATA_FLASH=1	Die Kontroll-LED leuchtet während des Wartens auf Empfangsdaten der seriellen Kommunikation.
TIMEOUT_MS	TIMEOUT_MS=2000	Diese Option gibt eine Zeitschranke in Millisekunden vor für den Empfang von Boot-Daten. Nach dieser Zeit wird der Bootvorgang abgebrochen und versucht, das Anwenderprogramm zu starten. Mögliche Werte für TIMEOUT_MS sind 500, 1000, 2000, 4000 und 8000. Der tatsächlich mögliche Wert kann abhängig vom Prozessor aus 2 Sekunden begrenzt sein. Wenn kein TIMEOUT_MS angegeben wird, wird die Zeitschranke auf 1 Sekunde gesetzt.

Tabelle 3.3. Wichtige Optionen für die optiboot Makefile

Bei Betrieb mit internem RC-Generator ist es durchaus möglich, daß ein serieller Datentransfer nicht auf Anhieb gelingt. Das ist prinzipiell auch unabhängig davon, ob die Hardware UART Schnittstelle oder eine Softwarelösung (SOFT_UART) benutzt wird. Ohne zusätzliche Messungen ist man dann auf Probieren mit der OSCCAL_CORR angewiesen. Einen Hinweis kann das Datenblatt des Prozessors liefern. Hier ist beschrieben, bei welcher Betriebsspannung und bei welcher Temperatur der RC-Oszillator kalibriert wurde. Außerdem ist der prinzipielle Verlauf der Frequenzänderung mit der Betriebsspannung, mit der Temperatur und mit OSCCAL-Änderung beschrieben.

Weitere Optionen sind in der Tabelle 3.4 aufgezählt. Diese Optionen sind nur für Software-Untersuchungen, die Frequenzkalibration des RC-Generators und für Prozessoren ohne Bootloader-Bereich interessant.

Name der Option	Beispiel	Funktion
SUPPORT_EEPROM	SUPPORT_EEPROM=1	Wählt für das Bootloader-Programm die Lese- und Schreibfunktion für EEproms. Wenn als Quelle das Assembler-Programm gewählt wurde, ist die EEprom Unterstützung ohne gesetzte Option eingeschaltet, kann aber abgeschaltet werden, wenn die SUPPORT_EEPROM Option auf 0 gesetzt wird. Bei der C-Quelle muß die Funktion mit der Option eingeschaltet werden (Standard = aus).
C_SOURCE	C_SOURCE=1	Wählt als Programmquelle das C-Programm anstelle des Assembler-Programms (0 = Assembler). Die Assembler Version benötigt weniger Speicherplatz.
BIGBOOT	BIGBOOT=512	Wählt zusätzlichen Speicherverbrauch für das Bootloader-Programm. Das dient nur zum Test der automatischen Anpassung an die Programmgröße in der Makefile.
VIRTUAL_BOOT_PARTITION	VIRTUAL_BOOT_PARTITION	Ändert die Programmdateien eines Anwenderprogramms so ab, daß der Bootloader beim Reset angesprochen wird. Für den Start des Anwenderprogramms wird ein anderer Interrupt-Vektor benutzt.
save_vect_num	save_vect_num=4	Wählt eine Interrupt-Vektornummer für die VIRTUAL_BOOT_PARTITION Methode aus.
OSCCAL_CORR	OSCCAL_CORR=5	Mit der Option OSCCAL_CORR kann der interne 8 MHz RC-Generator des AVR abgeglichen werden. Ist bei Quarz-Betrieb oder externem Takt unwirksam! Der Korrekturwert wird vom voreingestellten OSCCAL Byte abgezogen. Bei positivem Korrekturwert wird die Frequenz normalerweise niedriger. Da die erzeugte Baud-Rate direkt vom Prozessortakt abhängt, ist ein richtig eingestellter Prozessortakt für eine erfolgreiche serielle Kommunikation wichtig. Der Wert sollte zwischen -20 und +20 liegen.

Tabelle 3.4. Weitere Optionen für die optiboot Makefile

3.5 Benutzung von optiboot ohne Bootloader-Bereich

Für Prozessoren ohne speziellen Bootloader-Bereich im Flash-Speicher wie dem ATtiny84 ist eine Möglichkeit vorgesehen, trotzdem optiboot zu benutzen. Diese Funktion wird mit der Option VIRTU-

AL_BOOT_PARTITION gewählt. Dabei wird im Anwenderprogramm auf der Reset-Vektoradresse die Start-Adresse des Bootloaders eingetragen damit bei einem Reset immer der Bootloader zuerst angesprochen wird. Die Start-Adresse des Anwender-Programms wird dabei auf die Adresse eines anderen Interrupt-Vektors verlegt. Dieser Interrupt-Vektor sollte vom Anwenderprogramm nicht benutzt werden. Wenn der Bootloader in angemessener Zeit keine Daten von der seriellen Schnittstelle empfängt, springt er zu dem Sprungbefehl, der auf der „Ersatz“-Vektoradresse steht und startet damit das Anwenderprogramm. Die Abbildung 3.1 soll die Veränderung verdeutlichen.

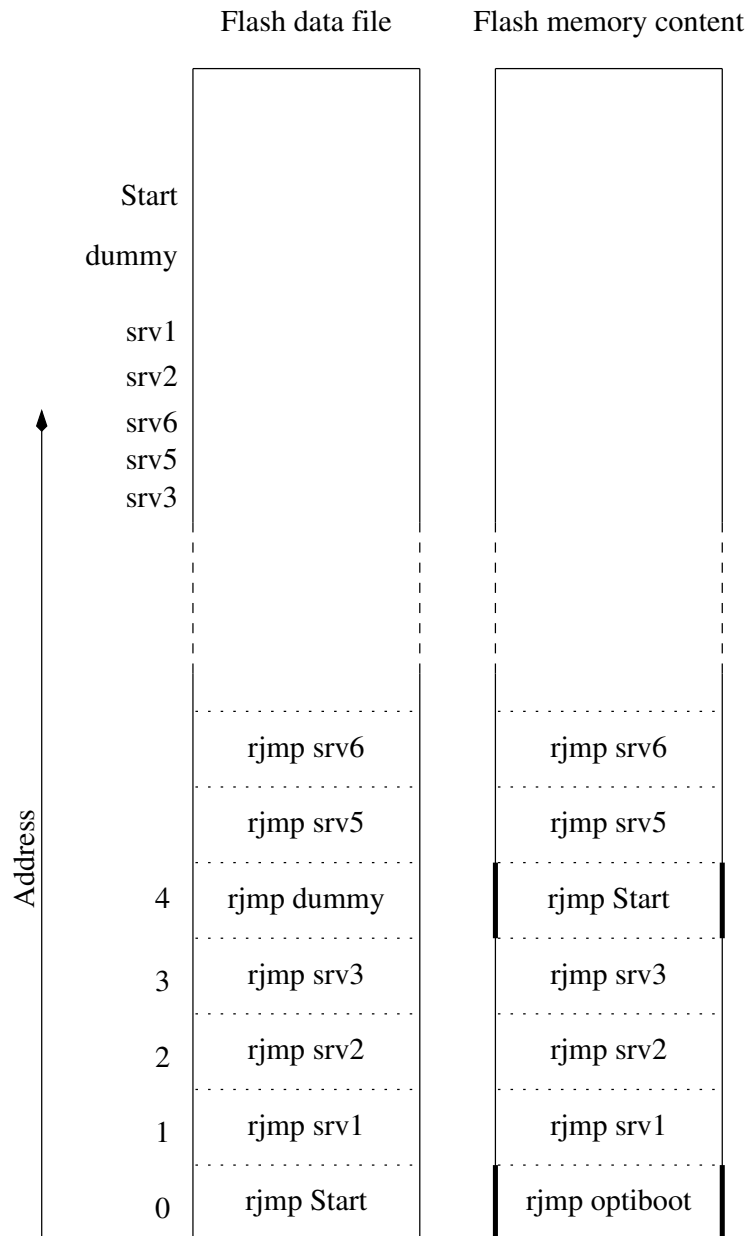


Abbildung 3.1. Veränderung der Programmdatei durch optiboot

Auf der linken Seite ist der Inhalt der Datei dargestellt, welche die Programmdatei (.hex) enthält. Rechts daneben ist der Inhalt des Flash-Speichers dargestellt, wie er vom Optiboot Bootloader geschrieben wird. An zwei Interruptvektor-Adressen wurde der Inhalt verändert. Einmal wurde auf dem Reset-Vektor 0 der Optiboot Bootloader eingetragen und zum anderen auf der „Ersatz“-Vektor Adresse 4 ein Sprung zum Start des Applikations-Programms eingetragen. Eine Schwierigkeit bei der Methode entsteht aber dadurch, daß die Programmdatei nach der Programmierung meistens zur Kontrolle zurückgelesen werden. Damit bei der Kontrolle keine Fehler gemeldet werden, gibt

Optiboot nicht den wirklichen Inhalt der Interrupt-Vektortabelle zurück, sondern den Zustand vor seiner Manipulation. Die Sprung-Adresse im Reset-Vektor kann dafür aus den Daten des „Ersatz“-Interruptvektors rekonstruiert werden. Aber die ursprünglichen Daten des „Ersatz“-Interruptvektors wären verloren, da sie an keiner Stelle der Vektortabelle wiederzufinden sind. Optiboot benutzt zum Sichern des Original-Inhaltes des „Ersatz“-Vektors deshalb die beiden letzten Bytes des EEprom-Speichers. Damit ist eine Kontrolle der Programmdatei solange möglich, wie die beiden letzten Bytes des EEproms nicht überschrieben werden. Selbst wenn die EEprom Daten überschrieben werden, bleibt der Bootloader funktionsfähig. Nur die Kontrolle (verify) der Programmdatei ist dann nicht mehr möglich. Bei der Adresse des „Ersatz“-Interruptvektors wird dann ein Fehler gemeldet.

Bei Prozessoren mit mehr als 8 kByte Flash Speicher werden zwei Befehlsworte für jeden Interrupt-Vektor vorgesehen. Normalerweise stehen auf diesen Doppelworten jmp Befehle mit den jeweiligen Sprungzielen. Auch diese Art der Vektortabelle wird von Optiboot berücksichtigt. Wenn aber für das Bindeprogramm (Linker avr-ld) die Option `-relax` verwendet wird, werden alle jmp Befehle durch die kürzeren rjmp Befehle ersetzt, wenn dies bei der jeweiligen Sprungadresse möglich ist. Dies wird derzeit nicht von optiboot berücksichtigt. Das Optiboot Programm geht fest davon aus, daß in der Vektortabelle jmp Befehle stehen, wenn mehr als 8 kByte Flash-Speicher vorhanden sind. Deshalb wird die `VIRTUAL_BOOT_PARTITION` Methode meistens nicht funktionieren, wenn die `-relax` Option beim Programmbinden benutzt wurde!

Weiter ist zu beachten, daß bei Benutzung der `VIRTUAL_BOOT_PARTITION` Option für Prozessoren, die auch die normale Bootloader Unterstützung bieten, das `BOOTRST` Fuse Bit nicht aktiviert wird. Der Grund hierfür ist, daß bei Benutzung der `VIRTUAL_BOOT_PARTITION` die Start-Adresse des Bootloaders auf einer anderen Adresse liegen kann wie bei der normalen Bootloader Unterstützung. Bei Benutzung der Option `VIRTUAL_BOOT_PARTITION` kann die Startadresse auf jedem Anfang einer Seite des Flash-Speichers liegen. Bei der normalen Bootloader Unterstützung kann immer nur das einfache, doppelte, vierfache oder achtfache einer Mindest-Bootloadergröße berücksichtigt werden (`BOOT_SZ` Fuse-Bits), wie es in Abbildung 2.3 auf Seite 10 dargestellt wird.

3.6 Die Möglichkeiten der seriellen Schnittstelle mit der verwendeten Software

Das Programm für die Erzeugung und Verarbeitung der elektrischen Signale ist in AVR-Assembler geschrieben. Die Arbeitsweise ist von der Veröffentlichung von Atmel übernommen. Allerdings sind einige Besonderheiten eingebaut. So wird beispielsweise berücksichtigt, daß nicht für alle Port Adressen die speziellen Bitbefehle `SBI`, `CBI` bzw. `SBIC` benutzt werden können. Das ist nur bis zur Adresse 31 (0x1f) möglich. Für etwas größere Port Adressen von 63 (0x3f) ist noch die Verwendung spezieller Einlese (`IN`) und Ausgabe (`OUT`) Befehle möglich. Darüber liegende Adressen können nur mit den `LDS` und `STS` Befehlen erreicht werden. Diese Befehle benötigen sowohl zwei Takte für die Ausführung und belegen auch den doppelten Speicherplatz im Flash (2 Worte oder 4 Byte). Die veränderte Taktzahl für einen Schleifendurchlauf ohne eine zusätzliche Verzögerung wird vom Programm automatisch ermittelt. Diese Taktzahl wird dann für die Berechnung der Verzögerungsschleife berücksichtigt, um eine korrekte Zeit für die Übertragung eines Bits zu erreichen. Die Diagramme 3.2 und 3.3 sollen die Erzeugung der Schleife mit dem C-Preprozessor verdeutlichen.

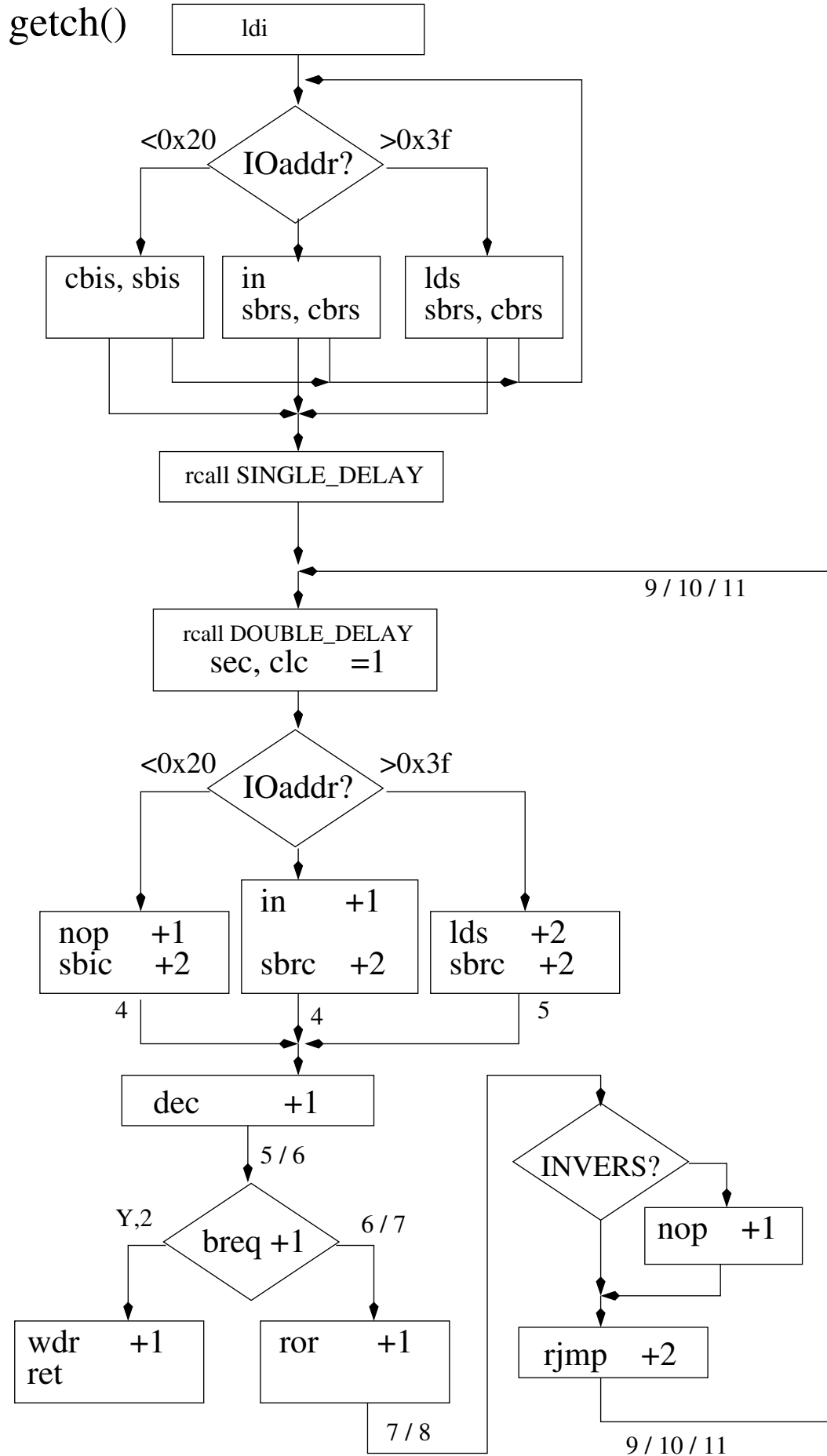


Abbildung 3.2. Mögliche Varianten der getch Funktion

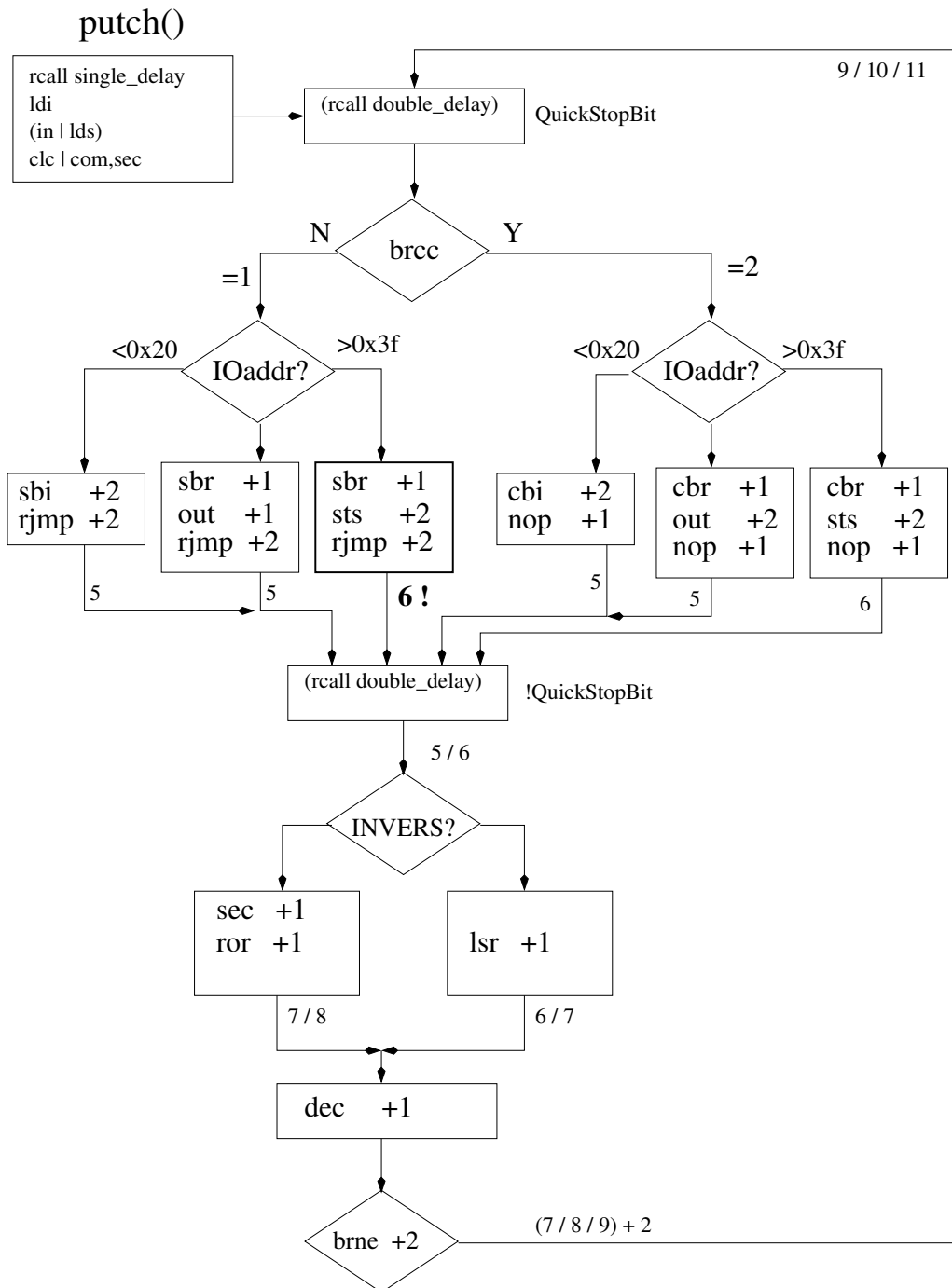


Abbildung 3.3. Mögliche Varianten der putc Funktion

Beide Schleifen werden so erzeugt, daß für die gleichen Bedingungen von INVERS_UART und Adresse des verwendeten Ports die gleiche Taktzahl gebraucht wird. Damit können dann beide Funktionen die gleiche Funktion für die notwendige Verzögerung benutzen.

3.6.1 Berechnung der Verzögerungszeit

Für die Einlesefunktion getch() wird auch die halbe Baudzeit gebraucht. Von der Erkennung des Startbits wird 1.5 Mal die Baud-Zeit gewartet, um das erste Datenbit einzulesen. Deshalb ist die Basisschleife auf die halbe Zeitdauer einer Bitübertragung ausgelegt. Für die ganze Baudzeit wird diese Basisschleife in einer speziellen Weise zwei mal aufgerufen, damit exakt die doppelte Zeit eingehalten wird. Sollte durch die Bildung der Hälfte der Zeit und der nachfolgenden Verdopplung ein Takt verloren gegangen sein, wird dieser Takt durch einen zusätzlichen NOP Befehl ausgeglichen damit die

Gesamtzeit für die Übertragung eines Bits auf einen Takt genau stimmt. Wenn bei der Schleifenzeit ein oder zwei Takte wegen der Zeitauflösung (3 Takte) fehlen, wird das automatisch durch einen zusätzlichen Befehl ausgeglichen. Natürlich geschieht das alles automatisch, da für die Berechnung nur die Schleifenzeit der Einlesefunktion (getch) bzw. Ausgabefunktion (putch), die Taktfrequenz des Prozessors und die gewünschte Baudrate bekannt sein muß. Auch die übrigen Parameter wie die Anzahl der Takte für einen Unterprogramm-Aufruf (RCALL, RET) sind für den Zielprozessor bekannt. Ein Nachteil der Basis-Verzögerungsschleife ist die begrenzte Anzahl Takte für die Verzögerung. Es sind wegen des verwendeten 8-Bit Zählers maximal $256 \cdot 3$ Takte für die Schleifenverzögerung möglich. Dazu kommt noch der Unterprogrammaufruf von 7 Takten, wodurch sich für die halbe Verzögerungszeit dann 775 Takte ergeben. Dieser Wert muß verdoppelt werden (Verzögerung für eine ganze Bitzeit) und dazu noch die Schleifenzeit der Ausgabe- bzw. Eingabe dazugezählt werden. Somit ist die höchste erzielbare Verzögerungszeit 1559 Takte. Bei 16 MHz Taktfrequenz sind so mit maximal $97.4\mu s$ noch nicht einmal 9600 Baud ($104.17\mu s$) einstellbar. Würde man den Zähler der Zählschleife für die Verzögerungszeit von 8 Bit auf 16 Bit erweitern, hätte man eine noch schlechtere Auflösung als die 3 Takte der 8-Bit Variante. Außerdem käme die Schleife wahrscheinlich nicht wie die 8-Bit Variante ohne Veränderung des Übertragungssignals (carry) aus. Dieses Problem habe ich durch die schrittweise Verdopplung der Verzögerungszeiten durch Verdopplung der Schleifenfunktion gelöst. Mit dem C-Preprozessor wird geprüft, ob der Anfangswert für die 8-Bit Zählschleife bei der gewählten Taktfrequenz des Prozessors und der Baudrate größer als 255 sein würde. Für diesen Fall wird die Berechnung für einen Doppelaufruf der Schleifenfunktion wiederholt. Wenn dann der Anfangswert für die Zählschleife immer noch zu hoch wäre, wird der Doppelaufruf noch einmal verdoppelt. Diese Prüfung wird derzeit bis zum Faktor 64 der Basiszeit fortgesetzt. Bei einer Taktfrequenz von 16 MHz oder 20 MHz sind so auf jeden Fall noch 300 Baud einstellbar. Für jede Verdopplung der Verzögerungszeit wird ein zusätzlicher Befehl (2 Byte) benötigt. Bei der maximal möglichen Zahl der Verdopplung werden dann 6 zusätzliche Befehle (12 Byte) im Flash belegt. Ein Ausgleich der durch die Verteilung möglicherweise fehlenden Takte wird hier nicht durchgeführt, um nicht unnötig Platz im Flash zu belegen. Da die zusätzliche Verteilung ja nur bei Bedarf erfolgt, bleibt der Fehler der Baudzeit deutlich unter 1% , weil die Zeit für eine Basisverzögerung auf einen Prozessor-Takt genau eingehalten wird. Die Basisschleife hat mindestens 127 Durchläufe mit etwa 381 Takten. Die doppelte Verzögerungszeit macht auch noch keinen Fehler wegen des „NOP“ Ausgleichs. Somit bleibt der Fehler unter $1:762$, also 0.13%. Probleme mit der Einhaltung der Baudrate bestehen also eher für hohe Baudraten, weil die Übertragungszeit für ein Bit nicht zum vorgegebenen Zeitraster durch den CPU-Takt paßt. Das gleiche Problem hat dann aber auch die Hardware UART-Schnittstelle. Ein Beispiel erläutert das Problem. Wenn man mit 8MHz CPU-Taktrate eine Baudrate von 230400 erzeugen möchte, kann man entweder 34 Takte mit einer Taktzeit von $4.25\mu s$ oder 35 Takte mit einer Baud-Zeit von $4.375\mu s$ verwenden. Im ersten Fall ist die Baud-Zeit um 2.08% zu kurz, im zweiten Fall ist die Baud-Zeit um 0.8% zu lang.

3.6.2 Benutzung von mehr als einer seriellen Schnittstelle

Die Assembler Datei `soft_uart.S` ist dafür ausgelegt, von einer anderen Datei eingefügt (`#include`) zu werden, welche ein normales Assembler-Programm für die AVR-Familie beinhaltet. Für die optiboot Applikation wird das von der Datei `optiboot.S` gemacht. Die eingefügte Datei `soft_uart.S` benutzt viele Anweisungen für den GNU C-Processor und fügt eine weitere Datei `uart_delay.S` ein, um eine Verzögerungsschleife für die gewünschte Baud-Rate zu generieren. Weil dieses Verfahren für `uart_delay.S` mit anderen Parametern mehrfach wiederholt werden kann, kann man bis zu 4 verschiedene Verzögerungsschleifen erzeugen lassen. Diese Vorgehensweise nutzt die Datei `soft_uart.S` für die Erzeugung der getch und putch Funktion. Für beide Funktionen wird die Datei `uart_delay.S` eingefügt. Aber für den zweiten `#include` wird meistens keine neue Verzögerungsschleife produziert, weil die Parameter beim zweiten Aufruf gleich sind. Nur bei verschiedenen Parametern wird eine neue

Verzögerungsschleife generiert. Bitte beachten Sie, daß die Aufrufe der Verzögerungsschleifen mit C-Preprozessor Makro Namen versehen sind. Diese Makro Namen `DOUBLE_DELAY_CALL` und `SINGLE_DELAY_CALL` werden durch die richtigen Funktionsnamen ersetzt, wenn die `#include` Anweisung vor der Befehlsfolge für die serielle Eingabe- oder Ausgabe-Funktion steht.

Drei Konstanten müssen vor jeder Einfügung von `uart_delay.S` gesetzt sein, `F_CPU`, `BAUD_RATE` und `LOOP_TICS`. Die Konstante `LOOP_TICS` muß auf die Anzahl der Takte gesetzt sein, die von einer seriellen Bit-Ausgabe in der Schleife gebraucht wird (normalerweise 9 Takte). Für jede erzeugte Verzögerungsfunktion wird die Anzahl der Verzögerungstakte in einer von vier verschiedenen Konstanten-Namen des C-Prozessors gespeichert, `BIT_CLOCKS_0`, `BIT_CLOCKS_1`, `BIT_CLOCKS_2` und `BIT_CLOCKS_3`. Bevor eine neue Verzögerungsschleife erzeugt wird, prüft der C-Preprozessor, ob eine schon erzeugte Schleife zu den geforderten Parametern paßt. Weil die Datei `soft_uart.S` auch mit `#include` eingefügt werden muß, kann man diesen include auch mit anderen Parametern für eine andere serielle Schnittstelle wiederholen. Aber man muß eine weitere Konstante vorbesetzen, um die Namen der erzeugten Funktionen zu unterscheiden. Wenn Sie die Konstante `SOFT_UART_NUMBER` vor dem `#include` auf 1 setzen (`#define SOFT_UART_NUMBER 1`), wird die Funktion für die serielle Eingabe `getch_1` und die Funktion für die serielle Ausgabe `putch_1` heißen. Wenn man die Konstante `NO_SOFT_UART_TX` vor dem `#include` gesetzt hat, wird keine serielle Ausgabefunktion generiert. Gleiches gilt auch für die serielle Eingabe, wenn die Konstante `NO_SOFT_UART_RX` vor dem `#include` gesetzt ist.

3.6.3 Serielle Eingabe und Ausgabe über nur einen AVR Pin

Manchmal ist es sinnvoll, die serielle Datenkommunikation nur über einen Pin zu betreiben, um einen der wenigen IO-Pins bei kleinen AVR's freizuschalten. Mit einer speziellen Schaltungstechnik kann erreicht werden, daß in den Ausgabe-Pausen der seriellen Ausgabe ein Einlesen von Daten möglich ist. Bei der hier bei optiboot gewählten Software-Lösung ist ohnehin nur ein Halb-Duplex Betrieb möglich. Es kann also zu einer Zeit nur entweder Daten gesendet oder Daten empfangen werden. Normalerweise wird der Ausgabepin mit der TX-Funktion in den Sendepausen auf High Pegel geschaltet, was ein Einlesen von Daten auf dem gleichen Pin verhindert. Wenn aber der TX Ausgabepin statt auf den High Pegel in den Sendepausen auf den Eingabemodus zurückgeschaltet wird, kann ein externer Pull-Up Widerstand den erforderlichen High Pegel erzeugen. Im Gegensatz zum festen High Pegel kann jetzt aber ein extern angeschlossenes TX-Signal den Pegel für die serielle Einlesefunktion auf Low Pegel ziehen. Ein serieller Widerstand in der Verbindung von dem gemeinsamen TX/RX Pin des AVR mit dem TX Ausgang kann die Funktion des Pull-Up Widerstandes übernehmen, da der Ruhezustand dieser Schnittstelle auf High Pegel liegt. Außerdem sorgt dieser serielle Widerstand für eine Strombegrenzung, falls doch einmal beide TX Schnittstellen gleichzeitig senden. Damit die TX-Ausgabe des AVR von der externen seriellen Schnittstelle gelesen werden kann, muß der RX-Eingang direkt mit dem gemeinsamen TX/RX verbunden werden. Die Abbildung 3.4 soll die einfachste Verbindung veranschaulichen.

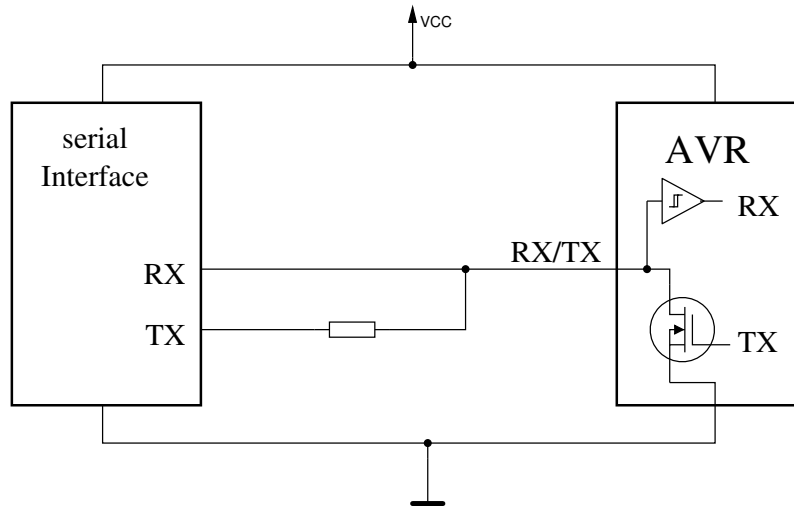
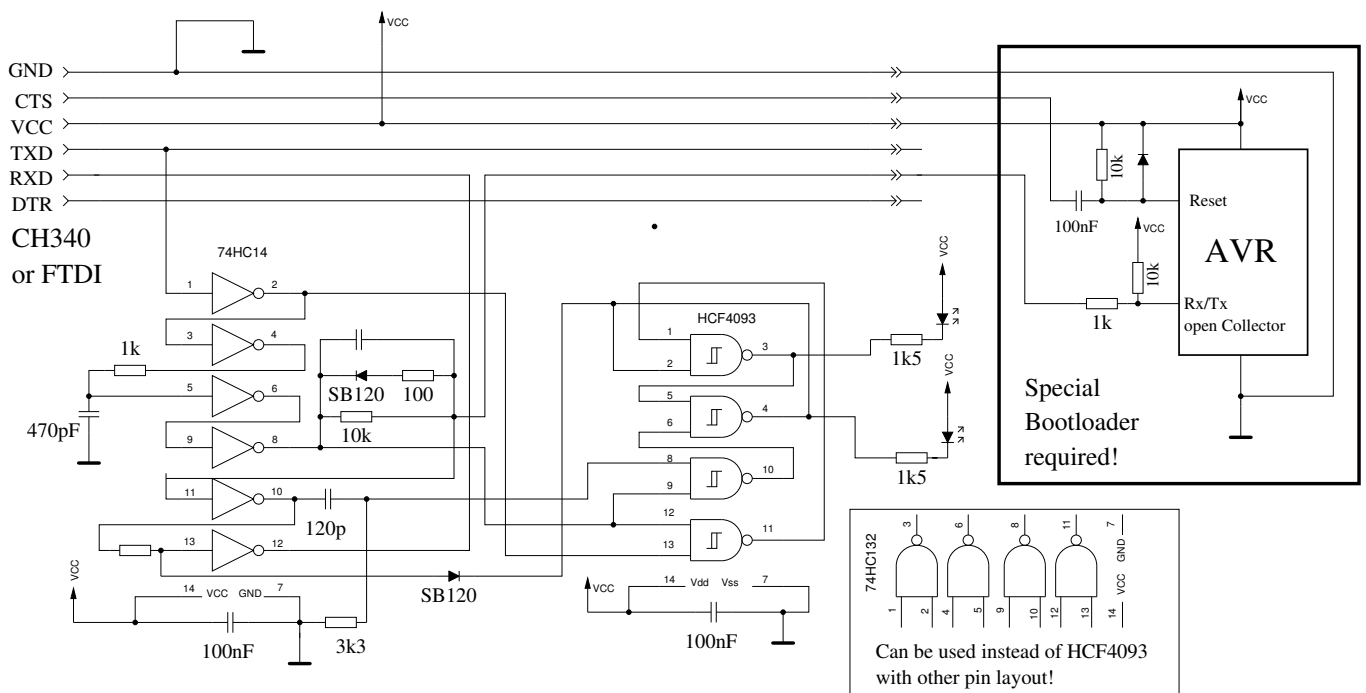


Abbildung 3.4. Mögliche serielle Verbindung zum AVR mit einem Pin

Das Problem besteht nun darin, daß die meistens full-duplex fähige externe serielle Schnittstelle die eigene Ausgabe zurückliest. Darauf ist das Kommunikationsprogramm auf der externen Seite im allgemeinen nicht vorbereitet. Es gibt nun die Möglichkeit, das Programm auf der externen Seite entsprechend anzupassen. Ich halte das für keine gute Idee, da die angepasste Version dann entweder keine Wartung mehr erhält oder es müßte die Änderung für neue Versionen ständig wiederholt werden. Aus diesem Grund bevorzuge ich eine Hardware-Lösung. Eine elektronische Schaltung, die zwischen die beiden Endpunkte der seriellen Schnittstelle geschaltet wird, muß unterscheiden, ob die Daten von der externen Schnittstelle oder von der AVR Seite gesendet werden. Ein entsprechender Schaltungsvorschlag zeigt die Abbildung 3.5.



Electronic switch to prevent local echo from TXD to RXD.

Abbildung 3.5. Schaltung zur Unterdrückung des Echos

Mit den zwei ersten NAND Gattern des HCF4093 wird ein Flip-Flop gebildet, welches von den zwei weiteren NAND Gattern dieses Bausteins in den einen oder anderen Zustand geschaltet wird. Die Schaltsignale werden von einer Kette von invertierenden Buffern mit Schmitt-Trigger Eingängen

(HC7414) abgegriffen. An einer Stelle ist ein zusätzliches C-R Glied ($120pF$ und $3.3k\Omega$ erforderlich, um ein Schalten bei einer unerwünschten Flanke zu verhindern. Umgeschaltet wird jeweils mit einer 1-0 Flanke der beiden Sendeseiten. Erforderlich ist diese Umschaltung nur bei der Flanke des Startbits. Aber ein zusätzliches Schalten durch Datenbits schadet nicht, wenn das Flip-Flop schon im richtigen Zustand ist. Wenn die externe Schnittstelle sendet, wird der Empfang der Daten über den externen Empfänger verhindert. Das externe RX-Signal bleibt auf High Pegel. Mit dieser Zusatzschaltung ist keine Software-Anpassung notwendig. Für den Bootloader kann zum Beispiel das avrdude Programm benutzt werden. Die Schaltung ist weitgehend unabhängig von der benutzten Baudrate. Lediglich bei sehr hohen Baud-Raten erwarte ich Probleme. Bei 115200 Baud läuft die Schaltung aber einwandfrei. Sehr viel höhere Baudraten sind bei der Softwarelösung sowieso oft nicht möglich.

3.6.4 Benutzung der automatischen Baudraten-Bestimmung

Wenn für die Erzeugung des Bootloaders eine Baudrate unter 100Baud angegeben wird, wird die Baudrate aus dem ersten empfangenen Zeichen automatisch ermittelt. Zum Beginn einer Übertragung mit dem STK500 Protokoll sendet der Rechner das Kommando STK_GET_SYNC (0x30) gefolgt vom Steuerzeichen CRC_EOP (0x20). Bei der seriellen Übertragung ist als Ruhezustand der High-Pegel (1) verabredet. Die Übertragung beginnt dann mit einem Start-Bit auf Low-Pegel (0). Unmittelbar darauf wird die verabredete Zahl der Datenbits (8) beginnend mit dem niederwertigsten Bit übertragen und dann die Übertragung mit einem oder mehreren Stop-Bit (1) abgeschlossen. Der Pegel jedes einzelnen Bits wird für die verabredete Baud-Zeit beibehalten. Unmittelbar nach dem Ende der Stop-Bit Übertragung kann das nächste Start-Bit folgen. Es kann aber auch eine Pause mit nicht definierter Zeit bis zur Übertragung der nächsten Bitfolge auf das Stop-Bit folgen. In der Abbildung 3.6 ist das erwartete Ergebnis für die möglichen Zeitmessungen dargestellt. Auf der Zeitachse „t“ sind vier mögliche Startpositionen für eine vollständige Zeitmessung dargestellt. Der Counter wird jeweils bei einer erkannten 1 - 0 Flanke gestartet. Die richtige Startposition für das STK_GET_SYNC Zeichen ist mit der „1“ markiert. Die Marken „2“, „3“ und „4“ zeigen die Situation für drei falsche Startpositionen. Bei der Marke „2“ und „4“ wird fälschlicherweise eine 1-0 Flanke in der Datenübertragung als Start-Bit angenommen. Bei der Marke „3“ wird zwar ein Start-Bit richtig erkannt, es ist aber das falsche Zeichen (CRC_EOP). Es können immer dann die falschen Start-Bits erkannt werden, wenn der Bootloader erst gestartet wird, wenn die Datenübertragung schon läuft. In der Abbildung 3.6 sind die erwarteten Zählerstände für die 4 möglichen Startfälle angegeben. Dabei bedeutet das „b“ den Zählerstand für ein Bit (Baud-Dauer), das „d“ steht für eine mögliche Zeitverzögerung zwischen dem Ende der Stopbit-Übertragung bis zum Beginn eines neuen Startbits. Das „D“ steht für eine zu erwartende lange Zeitverzögerung bis zum nächsten Startbit. Die Sendesequenz ist hier zu Ende und der Rechner wartet auf eine Antwort des AVR's. In der Rx-Reihe sind die Datenbits von „0“ (kleinstes Bit) bis „7“ (höchstes Bit) nummeriert. Das Start-Bit ist mit „A“ und das Stop-Bit mit „E“ gekennzeichnet. Das erste Byte ist die Codierung des STK_GET_SYNC Kommandos und das zweite Byte die Kodierung des Steuerzeichen CRC_EOP.

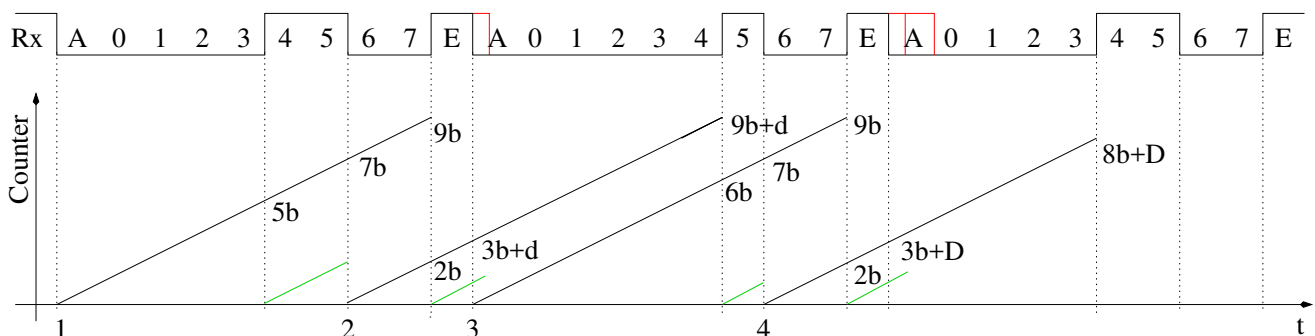


Abbildung 3.6. Mögliche Zeitmessungen für die STK_GET_SYNC Bitfolge

- Einfachste Form der Baudraten Messung, $\text{BAUD_RATE} < 30$

Die einfachste Form der Baudraten-Messung beachtet die Möglichkeit der falschen Startbit Wahl überhaupt nicht. Es wird fest davon ausgegangen, daß das erkannte Startbit zum `STK_GET_SYNC` Zeichen gehört. Nach der Startbit Erkennung wird bis zur nächsten 0-1 Flanke gewartet und dann ein 16-Bit Zähler mit der Frequenz $F_{\text{CPU}}/8$ bei -1 gestartet. Wenn die Einerstelle der Baudrate größer als 5 ist, wird der 16-Bit Zähler mit der F_{CPU} Frequenz gestartet. Bei der darauf folgenden 1-0 Flanke wird der Zählerstand abgelesen und halbiert als Frequenzteiler des UARTs genommen. Die Halbierung ist notwendig, weil die Zeit von 2 Datenbits gemessen wurde. Eigentlich muß noch 1 vom Ergebnis für den Frequenzteiler abgezogen werden. Aber bei der Halbierung sollte gerundet werden, also 1 auf den Zählerstand addiert werden. Anstelle der Subtraktion der 1 vom Divisions-Ergebnis kann man auch 2 vom Zählerstand subtrahieren. Die Methode funktioniert ausreichend gut, wenn automatisch kurz vor dem Übertragungs-Start ein Reset des AVR und damit ein Neustart des Bootloaders ausgelöst wird. Dies ist dann der Fall, wenn das DTR (Data Terminal Ready) Signal für die Erzeugung eines Reset-Signals benutzt wird. Man kann auch ohne das automatisch generierte Reset-Signal erfolgreich sein, wenn eine Reset-Taste am AVR angeschlossen ist, die solange gedrückt gehalten wird, bis das Übertragungsprogramm gestartet ist. Hier ist aber etwas Gefühl für den richtigen Loslass-Zeitpunkt des Tasters erforderlich. Das Bootloader-Programm wartet nur maximal die Zeit auf den Beginn der Übertragung, die über der Watchdog-Timer vorgegeben ist. Wenn der Watchdog-Timer einen Reset auslöst, wird normalerweise das Anwenderprogramm gestartet. Nur wenn noch kein Anwenderprogramm geladen wurde, startet der Bootloader erneut und versucht es noch einmal.

- Verbesserte Form der Baudraten Messung, $\text{BAUD_RATE} < 40$

Wie bei der einfachsten Form der Baudraten-Messung wird hier auf eine Prüfung der Bit-Wechselzeiten verzichtet. Es wird nur weiter auf die nächste 0-1 Flanke des RX-Signals gewartet und erst dann der Zähler gelesen. Dadurch wird die Zeit von vier Datenbits gemessen, die dann für die Berechnung der Baudrate verwendet wird. Da die Zeiterfassung durch die Abfrage-Schleife (polling) unpräzise ist, wirkt dieser mögliche Zeitfehler weniger, wenn er durch vier statt durch zwei geteilt wird. Daher sollte diese Form immer dann gewählt werden, wenn es auf wenig Speicherbelegung ankommt. Gegenüber der einfachsten Form werden nur 4 Byte mehr belegt.

- Einfachste Form der Baudraten Messung mit Zeitüberwachung, $\text{BAUD_RATE} < 50$

Hier wird die gleiche Methode der Baudraten-Bestimmung angewendet, wie bei der einfachsten Form. Nur wird das mögliche Überlauf-Ereignis des Zählers zusätzlich überwacht, was die Abfrage-Schleife zusätzlich verlangsamt. Durch den längeren Schleifen-Zyklus wird die Zeitmessung weniger exakt als bei der Methode ohne Zeitüberwachung zu erwarten ist. Daher ist diese Version nicht bei der Verwendung hoher Baudraten zu empfehlen. Bei dem Überlauf-Ereignis wird sofort mit der Suche nach einem neuen RX-Start-Bit begonnen. Ohne diese Begrenzung würde das Programm in der Schleife verweilen, bis entweder ein Start-Bit entdeckt wird oder die Schleife durch einen Reset vom Watchdog-Timer abgebrochen wird. Wahrscheinlich wird dadurch das Problem mit der Start-Position „4“ im Diagramm 3.6 etwas verbessert. Aber auch der Neustart der Start-Bit Suche würde einen Reset vom Watchdog-Timer nur geringfügig verzögern. Bei der Suche nach dem Start-Bit darf der Watchdog-Timer nicht zurückgesetzt werden, weil sonst kein Anwenderprogramm mehr gestartet würde. Deshalb muß die Zeit für den Watchdog-Timer größer sein als die Zeit bis zur Wiederholung der `STK_GET_SYNC` Sequenz ohne eine Antwort auf die vorausgehende `STK_GET_SYNC` Sequenz.

- Verbesserte Form der Baudraten Messung mit Zeitüberwachung, $\text{BAUD_RATE} < 60$

Die Messung der Baudrate erfolgt genau so wie bei der verbesserten Methode (< 40). Nur wird wie bei der Methode < 50 beschrieben zusätzlich eine Begrenzung der Wartezeit durchgeführt. Weil der Zählerstand erst bei der 0-1 Flanke gelesen wird und da der Zählerüberlauf nur bei der 1-0 Flanke geprüft wird, ist die Zeit genau so inexakt wie bei der verbesserten Methode ohne die Zeitüberwachung.

- Aufwendige Form der Baudraten Messung, `BAUD_RATE < 80`

Bei dieser Methode wird der Zähler mit der Erkennung eines Start-Bits sofort bei 0 gestartet und bei den folgenden 3 Bitwechseln der Zählerstand abgelesen. Dadurch ist die Zeitfolge der Bitwechsel für das `STK_GET_SYNC` Zeichen vollständig bekannt. Vom Programm wird die Zeitfolge auf Plausibilität geprüft. Als erster Test wird geprüft, ob die Differenz zwischen der 3. Zählerlesung und der ersten Zählerlesung kleiner ist als die erste Zählerlesung. Für den richtigen Startpunkt „1“ ist das der Fall $((9b - 5b) < 5b)$. Für den falschen Startpunkt „3“ ist das aber leider auch der Fall $((9b - 6b) < 6b)$. Mit großer Wahrscheinlichkeit ist das für den Startpunkt „3“ aber nicht der Fall $((9b - 3b) < (3b + d))$, wenn die Zeitverzögerung des zweiten Startbits „d“ hinreichend klein ist. Für den falschen Startpunkt „4“ hilft ohnehin nur eine Zeitüberwachung beim Warten auf den 2. Bitwechsel, da die Wiederholung der `STK_GET_SYNC` Sequenz erst nach längerer Wartezeit („D“) auf die Antwort erfolgt. Mit einem zweiten Test wird geprüft, ob die Differenz zwischen der 3. Zählerlesung und der 2. Zählerlesung nicht deutlich größer ist als die Differenz zwischen der 2. Zählerlesung und der ersten. Für den richtigen Startpunkt „1“ ergibt sich folgender Vergleich: $((9b - 7b) < (7b - 5b + 4))$ oder $(2b < 2b + 4)$. Für den falschen Startpunkt „2“ sieht der Vergleich so aus: $((9b - 3b) < (3b + d - 2b + 4))$ oder $(6b < (b + d + 4))$. Für den falschen Startpunkt „3“ ergibt sich der Vergleich so: $((9b - 7b) < (7b - 6b + 4))$ oder $(2b < (b + 4))$. Diese Prüfungen sind relativ sicher, erfordern aber auch relativ viel zusätzlichen Speicherplatz für das Programm. Diese Methode ist besonders dann zu empfehlen, wenn ohnehin mindestens 1024 Byte für den Bootloader reserviert sind (Bootloader Page Size). Für die Berechnung des UART Frequenzteilers wird die Differenz der 3. Zählerlesung und der 2. Zählerlesung halbiert $(9b - 7b - 1)/2 = (2b + 1)/2 - 1$.

- Aufwendige Form der Baudraten Messung, `BAUD_RATE < 100`

Alle Zeitlesungen und Kontrollen werden wie bei der Methode mit `Baud_RATE < 80`) durchgeführt. Lediglich für die Berechnung des UART Frequenzteilers wird die Zeit von 4 Bits benutzt. Somit ergibt sich für den richtigen Startpunkt „1“ die folgende Berechnung $(9b - 5b - 2)/4 = (4b + 2)/4 - 1$.

Für alle Methoden der Baudraten-Bestimmung würde ich die Zusatzfunktion des LED-Blinkens weglassen, um die Erkennung des Start-Bits nicht zu verzögern. Leider braucht auch die simpelste Form der Baudraten-Messung so viel Programmspeicher, daß der Bootloader nicht in 512 Byte Flash passt, wenn zusammen mit der EEPROM-Unterstützung (`SUPPORT_EEPROM=1`) auch das LED-Blinken gewählt wird. Bei einigen Prozessoren kann als Zusatzfunktion noch die `LED_DATA_FLASH` gewählt werden ohne die 512 Byte Grenze zu überschreiten. Wenn die Grenze von 512 Byte wegen benötigter Funktionen ohnehin überschritten wird, sind auch mit der Baudratenmessung alle Funktionen im Prinzip wieder möglich. Zusammen mit der `SOFT_UART` Funktion kann die Baudratenbestimmung nur mit der Assembler-Version des Optiboot Programms benutzt werden. Die C-Variante unterstützt die Baudratenmessung mit der automatischen Einstellung der Baudrate nur für einen Hardware-UART.

Bei der Baudratenmessung für die Software UART Funktion bestehen einige Unterschiede und Besonderheiten gegenüber der Lösungen für die Hardware UART Schnittstelle. Normalerweise für wird für die halbe Baud-Zeit ein 8-Bit Zähler in einer Verzögerungsschleife benutzt. Mit diesem Zähler kann die Anzahl der CPU-Takte für die Verzögerung wegen der Schleifen-Durchlaufzeit nur auf 3

Takte genau eingestellt werden. Wegen des doppelten Aufrufs der Schleife für die volle Baud-Zeit muß man die Auflösung ebenfalls verdoppeln.. Bei einer fest gewählten Baudrate wird der dadurch entstehende Fehler im Programm ausgeglichen. Das ist hier nicht möglich, da die Baudrate ja nicht im voraus bekannt ist. Um auf jeden Fall die bestmögliche Rundung des eingestellten Wertes zu ermöglichen, wird für die Zeitmessung der Zähler bei der vollen CPU-Taktrate (F_{CPU}) betrieben. Für den Hardware-UART reicht für den Zähler ein Betrieb mit $F_{CPU}/8$.

Bedingt durch den 8-Bit Zähler ergibt sich abhängig von der CPU-Taktrate eine maximale Verzögerungszeit und damit eine Mindest-Baudrate, die deutlich höher ist als die Mindest-Baudrate für den Hardware-UART. Durch die beschränkte Auflösung der Perioden-Einstellung für die Baudrate ergibt sich auch eine obere Baudrate, für die ein Fehler von kleiner als 4% garantiert werden kann. Bei Betrieb des AVR mit einem RC-Generator ist oft die Taktrate selbst schon fehlerbehaftet. Bei der Messung der Baudrate ist dieser Fehler dann schon vom Zähler berücksichtigt, der Fehler durch die beschränkte Einstellmöglichkeit ist dann aber nicht im voraus berechenbar. An einem Beispiel für den Hardware-UART möchte ich zeigen, was ich damit meine. Die Baudrate von $250kHz$ ist bei einer Taktrate von genau $8MHz$ benutzbar. Dazu wird der Teiler für die Baudraten-Erzeugung auf $32=4*8$ eingestellt, wobei sich dann kein Fehler ergibt. Wenn ich nun eine abweichende Taktrate von $7.6MHz$ annehme, ist der bestmögliche Teiler ebenfalls 32. Dadurch ergibt sich die Baudrate mit dem gleichen Fehler wie die Taktrate von $237.5kHz$, in beiden Fällen sind es -5%. Um wenigstens die untere Baud-Grenze mit der Software-UART Lösung überwinden zu können, wird bei allen vorgegebenen Baud-Werten unter 100, die ungerade sind eine Verzögerungsschleife mit 15-Bit benutzt. Leider beträgt dann die Durchlaufzeit der Schleife dann 5 Takte. Durch den doppelten Aufruf der Verzögerungsschleife beträgt die Auflösung nur noch 10 Takte und damit etwas schlechter als die Hardware-UART Lösung durch den 8:1 Vorteiler. Daher sollte man diese Option nur dann benutzen, wenn man keine sehr hohen Baudraten benutzen möchte. Die folgende Tabelle 3.5 soll den Einsatzbereich der verschiedenen Optionen bei der Betriebsfrequenz $8MHz$ zeigen. In der Tabelle ist der Zeit-Fehler nicht berücksichtigt, der bei der Messung der Baudrate durch die Abfrageschleife des RX-Signals entstehen kann.

BAUD_RATE Option	SOFT_ UART	Minimum Baud	BAUD-Err <4% @ Baud	Kommentar
40-99	0	1949	80.0k	HW_UART
42	1	5151	81.6k	Simple, 2-Bit Time, 8-Bit Delay
62	1	5151	81.6k	Complex, 2-Bit Time, 8-Bit Delay
82	1	5151	81.6k	Complex, 4-Bit Time, 8-Bit Delay
43	1	244	53.3k	Simple, 2-Bit Time, 15-Bit Delay
63	1	1220	53.3k	Complex, 2-Bit Time, 15-Bit Delay
83	1	1220	53.3k	Complex, 4-Bit Time, 15-Bit Delay

Tabelle 3.5. Grenzen für die automatische Baudrate bei 8MHz Takt.

Für die Fehlergrenze von 2%, die normalerweise als Grenze für das Gelingen angenommen wird, ist angenommen worden, daß beide Gegenstellen einen Fehler in unterschiedlicher Richtung haben können. Da bei der Autobaud-Funktion der Fehler der Gegenstelle mit gemessen wird, kann man hier eine doppelte Obergrenze für den Fehler von 4% annehmen. Bei Benutzung der Hardware-UART Schnittstelle sind unabhängig der gewählten Option für die Messung die Standard Baudraten 1200, 2400, 4800, 9600, 19200, 38400 und 57600 benutzbar. Höhere Baudraten sind nicht mehr sicher bei der Benutzung, obwohl auch $115.6kBaud$ bei Tests oft funktionierte. Ebenso war ein Test mit $115.2kBaud$ bei $16MHz$ Quarz-Betrieb erfolgreich, selbst bei Benutzung der Software UART Lösung mit der 15-Bit Verzögerungsschleife. Wenn für die Software-UART Lösung die 8-Bit Verzögerungsschleife

benutzt wird, kann die Baudrate 1200, 2400 und 4800 nicht benutzt werden. Erst bei Benutzung der 15-Bit Verzögerungsschleife sind die unteren Baudraten mit Software UART benutzbar. Der Unterschied zwischen der 49 und der 69 bzw. 89 Einstellung ergibt sich durch den verwendeten 16-Bit Zähler. Bei der Einstellung 49 wird nur die Zeit von 2 Datenbits gemessen, bei den Einstellungen über 59 wird die komplette Byte-Sequenz vom Start-Bit bis zum Stop-Bit mit dem 16-Bit Zähler gemessen. Baudraten unter 9600 Baud werden wahrscheinlich aber ohnehin eher selten benutzt. Die Bereiche für die Baudrate verschieben sich natürlich mit der verwendeten Taktrate für den Prozessor.

Abschließend möchte ich die Ergebnisse von Tests mit einem ATmega1281 bei etwa 8MHz RC-Oszillator Frequenz vorstellen, die ich bei und oberhalb der garantierten Baudrate durchgeführt habe. Die Frequenz des RC-Generators habe ich dabei mit der OSCCAL_CORR Option in 2er Schritten verstimmt und jeweils gemessen. Mit der Software UART Lösung gelangen alle Tests, ein kleines Anwenderprogramm zu laden. Weil die Ergebnisse bei der Baudrate 57600 so ermutigend waren, habe ich zusätzlich die Tabelle um Tests bei 115200 Baud ergänzt.

OSCCAL _CORR	Freq. kHz	HW-UART 57600 Mode 82	SW-UART 57600		HW-UART 115200 Mode 56	SW-UART 115200	
			Mode 82	Mode 83		Mode 52	Mode 53
20	7157	OK	OK	OK	Err	Err	Err
18	7217	OK	OK	OK	Err	Err	Err
16	7318	OK	OK	OK	OK	OK	Err
14	7404	OK	OK	OK	OK	OK	OK
12	7521	OK	OK	OK	OK	OK	OK
10	7591	OK	OK	OK	OK	OK	OK
8	7710	OK	OK	OK	OK	OK	OK
6	7815	OK	OK	OK	Err	OK	OK
4	7933	OK	OK	OK	Err	Err	Err
2	8012	OK	OK	OK	Err	OK	Err
0	8141	OK	OK	OK	Err	OK	Err
-2	8247	OK	OK	OK	OK	OK	Err
-4	8390	OK	OK	OK	OK	OK	Err
-6	8485	OK	OK	OK	OK	OK	OK
-8	8623	OK	OK	OK	OK	Err	OK
-10	8745	OK	OK	OK	OK	OK	OK
-12	8889	OK	OK	OK	Err	OK	OK

Tabelle 3.6. Test für die automatische Baudrate bei 8MHz Takt.

Für den Betriebsmodus 82 habe ich mit dem Software UART auch die ungeraden OSCCAL_CORR Einstellungen ohne erkennbare Schwierigkeiten geprüft. Auch mit dem einfachsten Betriebsmodus 42 waren bei den geraden OSCCAL_CORR Einstellungen der Tabelle keine Ausfälle zu verzeichnen. Erst bei der für diese CPU-Frequenz extrem hohen Baudrate von 115.2k waren für den Betriebsmodus 52 vier Ausfälle und mit dem Betriebsmodus 53 acht Ausfälle zu beobachten. Die Zunahme der Ausfälle bei Betriebsart 53 mit der 15-Bit Zeitschleife war wegen der groberen Rasterung der einstellbaren Zeiten zu erwarten.

Ein Test mit einer chinesischen Arduino UNO Platine, die als USB-seriell Wandler einen CH340G Chip verwendet, lief übrigens nur bis 38400 Baud einwandfrei. Bei höheren Baudraten machte das Zurücklesen der Programmdatei Probleme. Wahrscheinlich wird das letzte Byte eines Datenpakets nicht zum Rechner übertragen und die Kommunikation bleibt hängen. Bei einer Arduino UNO Platine mit Mega16U2 Controller als USB-seriell Wandler trat das Problem nicht auf. Mit dieser Platine war

sogar ein Betrieb der seriellen Schnittstelle bei $230.4k\text{Baud}$ möglich, wahrscheinlich weil sowohl der ATmega328p als auch der Mega16U2 die gleiche tatsächliche Baudrate von $250k\text{Baud}$ benutzen.

3.7 Einige Beispiele für die Erzeugung eines optiboot Bootloaders

Das erste Beispiel ist die Bildung eines Bootloaders für den beliebten ATmega328P:

```
optiboot $ make atmega328p
avr-gcc -g -Wall -Os -fno-split-wide-types -mrelax -mmcu=atmega328p \
  -fno-diagnostics-show-caret -DBAUD_RATE=115200 -DLED_START_FLASHES=3 \
  -DSUPPORT_EEPROM=1 -DLED=p -DUART=0 -DSOFT_UART=0 \
    -DUART_RX=p -DUART_TX=p -DF_CPU=16000000 \
    -DHFUSE=hexDE -DLFUSE=hexFF \
    -DBOOT_PAGE_LEN=512 -c -o optiboot.o optiboot.S
In file included from optiboot.S:254:0:
pin_defs.h:195:5: warning: #warning "LED bit is set to default B5" [-Wcpp]
In file included from optiboot.S:612:0:
init_uart_fix_baud.S:31:8: warning: #warning "BAUD_RATE error greater than 2%" [-Wcpp]
-----
BAUD RATE CHECK: Desired: 115200, Real: 117647, UBRR = 16, Error=2.12%
-----
#####
Boot Loader start address: 0x7E00 = 32256
#####

16000000 Hz operation with Baudrate 115200 configured.
avr-size optiboot.elf
   text    data     bss       dec      hex filename
   476      0       0       476     1dc optiboot.elf
Requires 1 Boot Pages, 512 Bytes each
BOOTSZ=3
avr-objdump -h -S optiboot.elf > optiboot_atmega328p.lst
avr-objcopy -j .text -j .data -j .version --set-section-flags .version=alloc,load \
  -O ihex optiboot.elf optiboot_atmega328p.hex
```

Wenn keine zusätzliche Option angegeben wird, wird eine Baudrate von 115200 mit einer Taktfrequenz von 16MHz gewählt. Für die serielle Ausgabe wird die vorhandene Hardware-Schnittstelle benutzt. Man beachte, daß der systematische Fehler der Baudrate über 2% mit dem Hardware UART beträgt. Das zweite Beispiel zeigt die Erzeugung von optiboot für den gleichen Prozessor mit einer Software-Lösung für die serielle Schnittstelle.

```
optiboot $ make atmega328p SOFT_UART=1
avr-gcc -g -Wall -Os -fno-split-wide-types -mrelax -mmcu=atmega328p \
  -fno-diagnostics-show-caret -DBAUD_RATE=115200 -DLED_START_FLASHES=3 \
  -DSUPPORT_EEPROM=1 -DLED=p -DUART=0 -DSOFT_UART=01 \
    -DUART_RX=p -DUART_TX=p -DF_CPU=16000000 \
    -DHFUSE=hexDE -DLFUSE=hexFF \
    -DBOOT_PAGE_LEN=512 -c -o optiboot.o optiboot.S
In file included from optiboot.S:254:0:
```

```

pin_defs.h:195:5: warning: #warning "LED bit is set to default B5" [-Wcpp]
pin_defs.h:206:6: warning: #warning "SOFT_UART use Pin D0 as RX" [-Wcpp]
pin_defs.h:216:6: warning: #warning "SOFT_UART use Pin D1 as TX" [-Wcpp]
-----
BAUD RATE CHECK: Desired: 115200,  SoftUART_Real: 115107, Delay: 116*1, Error=-.07%
-----
#####
Boot Loader start address: 0x7E00 = 32256
#####

16000000 Hz operation with Baudrate 115200 configured.
avr-size optiboot.elf
   text    data     bss      dec     hex filename
   496       0       0     496     1f0 optiboot.elf
Requires 1 Boot Pages, 512 Bytes each
BOOTSZ=3
avr-objdump -h -S optiboot.elf > optiboot_atmega328p.lst
avr-objcopy -j .text -j .data -j .version --set-section-flags .version=alloc,load \
  -O ihex optiboot.elf optiboot_atmega328p.hex

```

Beachten Sie bitte, daß die Software-Lösung für die serielle Schnittstelle etwas mehr flash-Speicher braucht, aber es wird auch nur eine „boot page“ gebraucht. Der systematische Fehler der Baudrate ist hier deutlich kleiner wie bei dem Hardware-UART. Aber der Hardware-UART hat den Vorteil, daß Eingang und Ausgang gleichzeitig bearbeitet werden kann (full duplex) und außerdem ist die Hardware-Lösung fehlertoleranter gegenüber kurzen Störungen des Eingangssignals. Für die serielle Schnittstelle mit Software kann jeder digitale IO-Pin als Eingang (UART_RX) und als Ausgang (UART_TX) gewählt werden. In diesem Beispiel wird die Fähigkeit benutzt, automatisch die IO-Pins des Hardware-UART's zu wählen. Die drei „warning“ Meldungen, die Sie über diese automatische Wahl informieren, können Sie ignorieren. Die automatische Wahl der IO-Pins hängt vom gewählten Prozessor-Typ und von der gewählten UART Nummer ab, wenn mehr als ein UART zur Verfügung steht.

Die letzten beiden Beispiele zeigen jeweils eine Konfiguration mit der neuen automatischen Anpassung der Baudrate. Um Platz im Speicher zu sparen, wurde beim ersten Beispiel die LED-Blinkfunktion abgewählt.

```

optiboot $ make atmega328p LED_START_FLASHES=0 BAUD_RATE=52
avr-gcc -g -Wall -Os -fno-split-wide-types -mrelax -mmcu=atmega328p \
  -fno-diagnostics-show-caret -DBAUD_RATE=52 -DLED_START_FLASHES=0 \
  -DSUPPORT_EEPROM=1 -DLED=p -DUART=0 -DSOFT_UART=0 \
    -DUART_RX=p -DUART_TX=p -DF_CPU=16000000 \
    -DHFUSE=hexDE -DLFUSE=hexFF \
    -DBOOT_PAGE_LEN=512 -c -o optiboot.o optiboot.S

```

```

-----
Simple Baudrate measurement with time limit implemented in optiboot! (4-bit, CLK/8)
UART Minimum 976 Baud, Error surely less than 4% up to 160.0 kBaud
-----

```

```

#####
Boot Loader start address: 0x7E00 = 32256
#####

```

```

16000000 Hz operation with Auto-Baudrate configured.

```

```

avr-size optiboot.elf
   text    data    bss    dec    hex filename
   498      0      0    498    1f2 optiboot.elf
Requires 1 Boot Pages, 512 Bytes each
BOOTSZ=3
avr-objdump -h -S optiboot.elf > optiboot_atmega328p.lst
avr-objcopy -j .text -j .data -j .version --set-section-flags .version=alloc,load \
  -O ihex optiboot.elf optiboot_atmega328p.hex

```

Beim letzten Beispiel wurde die aufwendigste Methode der Baudraten-Messung gewählt, da mit der LED-Blink Funktion ohnehin die Grenze von 512 Byte überschritten würde (534 Bytes).

```

optiboot $ make atmega328p BAUD_RATE=82
avr-gcc -g -Wall -Os -fno-split-wide-types -mrelax -mmcu=atmega328p \
  -fno-diagnostics-show-caret -DBAUD_RATE=82 -DLED_START_FLASHES=3 \
  -DSUPPORT_EEPROM=1 -DLED=p -DUART=0 -DSOFT_UART=0 \
    -DUART_RX=p -DUART_TX=p -DF_CPU=16000000 \
    -DHFUSE=hexDE -DLFUSE=hexFF \
    -DBOOT_PAGE_LEN=512 -c -o optiboot.o optiboot.S
In file included from optiboot.S:254:0:
pin_defs.h:195:5: warning: #warning "LED bit is set to default B5" [-Wcpp]

```

```

-----
Complex Baudrate measurement implemented in optiboot! (4-bit, CLK/8)
UART Minimum 488 Baud, Error surely less than 4% up to 160.0 kBaud
-----

```

```

#####
Boot Loader start address: 0x7C00 = 31744
#####

```

```

16000000 Hz operation with Auto-Baudrate configured.
avr-size optiboot.elf
   text    data    bss    dec    hex filename
   596      0      0    596    254 optiboot.elf
Requires 2 Boot Pages, 512 Bytes each
BOOTSZ=2
avr-objdump -h -S optiboot.elf > optiboot_atmega328p.lst
avr-objcopy -j .text -j .data -j .version --set-section-flags .version=alloc,load \
  -O ihex optiboot.elf optiboot_atmega328p.hex

```

3.8 Anpassung der Taktfrequenz bei internem RC-Generator

Die Benutzung der seriellen Schnittstelle ist nur möglich, wenn die eingestellte Baudrate hinreichend genau eingehalten wird. Die tatsächliche Baudrate hängt unmittelbar von dem tatsächlichen Prozessortakt und von dem berücksichtigtem Teilverhältnis für die Takt der seriellen Ein-Ausgabe ab. Die Hardware UART Schnittstelle teilt den Prozessortakt generell durch 8 oder durch 16 und kann dann für den bereits vorgeteilten Takt einen weiteren einstellbaren Teiler zwischen 1:1 und 1:4096 zur Erzeugung des Taktes für die serielle Schnittstelle benutzen. Für niedrige Baudraten kann der Prozessortakt bei Bedarf noch um zusätzliche 2er Potenzen geteilt werden. Wenn das Verhältnis zwischen dem Prozessortakt zu dem Baudraten-Takt ausreichend hoch ist, kann damit die Baudrate ausreichend genau eingestellt werden. Bei der Erzeugung des Optiboot Bootloaders wird der systematische

Fehler dieser Erzeugung protokolliert. Normalerweise sind Fehler von weniger als 2% als unkritisch anzusehen. Für die Implementation der seriellen Schnittstelle mit Software (SOFT_UART) werden meistens geringere systematische Fehler der Baudrate erreicht. Hier liegen die Schwierigkeiten bei der fehlenden Fehlerunterdrückung der Einlese-Funktion und bei der mangelnden Fähigkeit, die Schnittstelle „voll duplex“ zu betreiben. Von der Ausgabe des letzten Bits bis zur Empfangsbereitschaft vergeht immer eine gewisse Zeit. Daher ist hier bei geringeren Baudraten mit weniger Schwierigkeiten zu rechnen.

Alle diese Betrachtungen setzen aber voraus, daß der Prozessortakt selbst hinreichend genau eingehalten wird. Bei Quarz oder Keramik-Resonator Betrieb ist das meistens ohne weitere Maßnahmen der Fall. Anders sieht das aber bei der Benutzung des internen RC-Generators der AVR Prozessoren aus. Hier kann die Prozessorfrequenz deutlich vom Wunschwert abweichen. Die Prozessoren sind zwar ab Werk vorkalibriert. Dies gilt aber oft nur für eine Frequenz und für eine Temperatur und eine Betriebsspannung. Je nach Prozessortyp ist die Frequenz des RC-Generators mehr oder weniger abhängig von Temperatur und Betriebsspannung.

Um vorhandene Fehler der Frequenz mit dem internen RC-Generators ausgleichen zu können, wird der Kalibrationswert des Herstellers beim Start des Prozessors in das IO-Register OSCCAL kopiert. Der Optiboot Bootloader kann die Option OSCCAL_CORR benutzen, um den vorhandenen Restfehler auszugleichen.

Wenn die aktuelle Taktrate für Ihre Applikation unwichtig ist und Sie mehr Speicherplatz für den Bootloader zur Verfügung stellen können, können Sie auch die automatische Baudraten-Anpassung von Optiboot benutzen. Die automatische Baudraten-Anpassung wird immer dann eingebaut, wenn Sie bei der Erzeugung eine Baudrate unter 100 angeben. Näheres zur automatischen Baudraten-Anpassung finden Sie im Unterkapitel 3.6.4 auf Seite 29.

In den folgenden Unterkapiteln werde ich einige AVR-Typen exemplarisch näher untersuchen.

3.8.1 Untersuchung der RC-Generatoren des ATmega8

Der ATmega8 kann 4 verschiedene Frequenzen mit dem internen RC-Generator über die Low-Fuse einstellen, 1MHz, 2MHz, 4MHz und 8MHz. In der Tabelle 3.7 habe ich alle 4 Frequenzeinstellungen untersucht.

AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
			Corr	Freq	Corr	Freq	Corr	Freq
1M	0xA1	9.6k	-8	1050k	4	983k	0	1004k
2M	0xA2	19.2k	-8	2098k	4	1967k	0	2008k
4M	0xA3	19.2k	-2	4201k	10	3927k	7	3999k
8M	0xA4	57.6k	0	8231k	13	7723k	6	7990k

Tabelle 3.7. Mögliche OSCCAL_CORR Einstellungen für die RC-Frequenzen des ATmega8

Die Tabelle 3.7 zeigt, daß für den 1Mhz und 2MHz Betrieb eine Korrektur des OSCCAL Registers nicht erforderlich ist. Dieser ATmega8 ist ab Werk für diese Frequenzen sehr gut kalibriert. Bei 4MHz kommt man noch ohne Korrektur aus, erreicht aber bei OSCCAL_CORR=7 die richtige Schwingfrequenz. Bei 8MHz ist der Betrieb der seriellen Schnittstelle so gerade eben noch möglich, sicherer läuft die serielle Schnittstelle aber mit OSCCAL_CORR=6.

3.8.2 Untersuchung der RC-Generatoren des ATmega8535

Der ATmega8535 kann wie der ATmega8 4 verschiedene Frequenzen mit dem internen RC-Generator über die Low-Fuse einstellen, 1MHz, 2MHz, 4MHz und 8MHz. In der Tabelle 3.8 sind die Ergeb-

nisse bei einem Exemplar für alle 4 Frequenzeinstellungen festgehalten.

AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
			Corr	Freq	Corr	Freq	Corr	Freq
1M	0xA1	9.6k	-10	1053k	3	982k	0	1001k
2M	0xA2	19.2k	-9	2095k	4	1965k	1	1998k
4M	0xA3	19.2k	-5	4204k	8	3932k	4	4012k
8M	0xA4	19.2k	-7	8420k	6	7901k	3	8003k

Tabelle 3.8. Mögliche OSCCAL_CORR Einstellungen für die RC-Frequenzen des ATmega8535

3.8.3 Untersuchung der RC-Generatoren des ATmega8515 und des ATmega162

Der ATmega8515 kann wie der ATmega8 4 verschiedene Frequenzen mit dem internen RC-Generator über die Low-Fuse einstellen, $1MHz$, $2MHz$, $4MHz$ und $8MHz$. In der Tabelle 3.9 sind die Ergebnisse bei einem Exemplar für alle 4 Frequenzeinstellungen festgehalten.

AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
			Corr	Freq	Corr	Freq	Corr	Freq
1M	0xA1	9.6k	-10	1053k	2	985k	-1	997k
2M	0xA2	19.2k	-10	2099k	3	1963k	-1	1999k
4M	0xA3	38.4k	-3	4192k	10	3928k	7	3979k
8M	0xA4	38.4k	-3	8396k	10	7860k	7	7966k

Tabelle 3.9. Mögliche OSCCAL_CORR Einstellungen für die RC-Frequenzen des ATmega8515

Mit einer ähnlichen Pinbelegung aber nur einem $8MHz$ RC-Generator liefert ein ATmega162 die Ergebnisse von Tabelle 3.10.

AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
			Corr	Freq	Corr	Freq	Corr	Freq
8M	0xE2	38.4k	0	8190k	6	7718k	2	8000k

Tabelle 3.10. Mögliche OSCCAL_CORR Einstellungen für den RC-Oszillator des ATmega162

3.8.4 Untersuchung der RC-Generatoren der ATmega328 Familie

Bei der ATmega328 Familie kann nur eine RC-Oszillatorfrequenz von $8MHz$ gewählt werden. Die Frequenz kann aber mit einem Fuse-Bit mit Faktor 8 vorgeteilt werden, so daß auch ein $1MHz$ Betrieb eingestellt werden kann. Die Tabelle 3.11 zeigt die Resultate der untersuchten Prozessoren.

Typ	AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
				Corr	Freq	Corr	Freq	Corr	Freq
mega48P	8M	0xE2	57.6k	-6	8230k	8	7720k	0	8010k
mega88	8M	0xE2	57.6k	-2	8250k	10	7770k	4	7990k
mega168	8M	0xE2	57.6k	-5	8263k	8	7720k	1	7970k
mega328P	8M	0xE2	57.6k	-5	8250k	9	7723k	1	7992k

Tabelle 3.11. Mögliche OSCCAL_CORR Einstellungen für die ATmega328 Familie

Bei allen untersuchten Prozessoren ist ein Betrieb der seriellen Schnittstelle auch mit dem internen RC-Oszillator möglich. Nur bei dem untersuchten ATmega88 würde sich bei OSCCAL_CORR=4 eine Korrektur überhaupt lohnen.

3.8.5 Untersuchung der RC-Generatoren des ATmega32 / 16

Der ATmega32 und der ATmega16 können 4 verschiedene Frequenzen mit dem internen RC-Generator über die Low-Fuse einstellen, 1MHz, 2MHz, 4MHz und 8MHz. In den Tabellen 3.12 und 3.13 habe ich alle 4 Frequenzeinstellungen untersucht.

Typ	AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
				Corr	Freq	Corr	Freq	Corr	Freq
m32	1M	0xA1	9.6k	-13	1049k	-1	980k	-5	1001k
m32a				-7	1046k	4	984k	1	998k
m32	2M	0xA2	19.2k	-12	2102k	0	1968k	-3	1997k
m32a				-7	2105k	6	1966k	2	2005k
m32	4M	0xA3	19.2k	-5	4169k	6	3942k	3	3993k
m32a				2	4192k	14	3939k	10	4015k
m32	8M	0xA4	19.2k	-7	8425k	6	7888k	3	7983k
m32a				2	8408k	14	7921k	11	8014k

Tabelle 3.12. Mögliche OSCCAL_CORR Einstellungen für die RC-Frequenzen des ATmega32

AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
			Corr	Freq	Corr	Freq	Corr	Freq
1M	0xA1	9.6k	-11	1047k	1	982k	-2	998k
2M	0xA2	19.2k	-12	2099k	0	1971k	-3	1995k
4M	0xA3	19.2k	-9	4291k	3	3932k	0	4002k
8M	0xA4	19.2k	-11	8415k	2	7857k	-2	8013k

Tabelle 3.13. Mögliche OSCCAL_CORR Einstellungen für die RC-Frequenzen des ATmega16A

Immer wenn in der MinCorr Spalte positive Werte oder in der MaxCorr Spalte negative Werte auftauchen, ist bei dieser Frequenz und diesem Prozessor-Exemplar der Betrieb der seriellen Schnittstelle ohne Korrektur nicht möglich. Wenn eine 0 in den Spalten auftaucht, ist der Betrieb der seriellen Schnittstelle gerade eben noch möglich.

3.8.6 Untersuchung des RC-Generators des ATmega163L

Der ATmega163L besitzt nur einen $1MHz$ RC-Generator, der mit dem OSCCAL Register abgestimmt werden kann. Mein Exemplar hatte keine Voreinstellung des OSCCAL Wertes. Daher sind hier außergewöhnlich hohe Korrekturwerte erforderlich, um die Frequenz auf etwa $1MHz$ einstellen zu können.

AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
			Corr	Freq	Corr	Freq	Corr	Freq
1M	0x92	9.6k	-88	1026k	-62	964k	-77	998k

Tabelle 3.14. Mögliche OSCCAL_CORR Einstellungen für die RC-Frequenz des ATmega163L

3.8.7 Untersuchung der RC-Generatoren des ATmega64 / 128

Der ATmega64 und der ATmega128 können 4 verschiedene Frequenzen mit dem internen RC-Generator über die Low-Fuse einstellen, $1MHz$, $2MHz$, $4MHz$ und $8MHz$. In den Tabellen 3.15 und 3.16 habe ich alle 4 Frequenzeinstellungen untersucht. An dieser Stelle sei auch ein Hinweis erlaubt, das das Laden der Programmdateien über die ISP-Schnittstelle nicht mit den Signalen MISO und MOSI, sondern über die Signale TXD (PE1) und RXD (PE0) erfolgt. Dies muß natürlich beim Anschluß an den Programmer berücksichtigt werden.

AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
			Corr	Freq	Corr	Freq	Corr	Freq
1M	0xA1	9.6k	-4	1024k	6	975k	1	1000k
2M	0xA2	19.2k	-4	2047k	6	1952k	0	2015k
4M	0xA3	19.2k	4	4070k	10	3939k	8	3976k
8M	0xA4	57.6k	6	8028k	10	7847k	7	8005k

Tabelle 3.15. Mögliche OSCCAL_CORR Einstellungen für die RC-Frequenzen des ATmega64

AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
			Corr	Freq	Corr	Freq	Corr	Freq
1M	0xA1	9.6k	-9	1051k	3	985k	0	999k
2M	0xA2	19.2k	-9	2102k	3	1971k	0	2000k
4M	0xA3	19.2k	-3	4209k	9	3960k	6	4006k
8M	0xA4	57.6k	0	8225k	13	7723k	7	8005k

Tabelle 3.16. Mögliche OSCCAL_CORR Einstellungen für die RC-Frequenzen des ATmega128

Die Tabellen zeigen, daß für den $1MHz$ und $2MHz$ Betrieb eine Korrektur des OSCCAL Registers nicht erforderlich ist. Bei $4MHz$ und $8MHz$ Betrieb kann die serielle Schnittstelle aber beim untersuchten ATmega64 nicht ohne Korrektur betrieben werden. Ohne Korrektur wäre die $4MHz$ Frequenz um etwa 4% zu hoch und die $8MHz$ Frequenz um etwa 4.3% zu hoch. In der Dokumentation von Atmel wird übrigens abgegeben, daß der RC-Generator des ATmega64 und ATmega128 bei $1MHz$ abgeglichen wird. Es sei noch einmal darauf hingewiesen, daß es sich bei den Tabellendaten um die Untersuchung eines einzelnen Exemplars des ATmega handelt. Außerhalb der angegebenen

Min- bzw. Max-Werte der OSCCAL Korrekturen war ein Betrieb der seriellen Schnittstelle bei der angegebenen Baud-Rate nicht möglich.

3.8.8 Untersuchung der RC-Generatoren der ATmega644 Familie

Bei der ATmega644 Familie kann eine RC-Oszillatorfrequenz von 8MHz gewählt werden. Daneben kann auch noch ein 128kHz Generator als Takt gewählt werden, der sonst den Watchdog-Timer versorgt. Die gewählte Frequenz kann aber mit einem Fuse-Bit mit Faktor 8 vorgeteilt werden, so daß auch ein 1MHz Betrieb eingestellt werden kann. Die Tabelle 3.17 zeigt die Resultate der untersuchten Prozessoren.

Typ	AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
				Corr	Freq	Corr	Freq	Corr	Freq
mega1284p	8M	0xC2	19.2k	-8	8416k	7	7882k	4	7989k
mega644p	8M	0xC2	19.2k	-12	8416k	3	7871k	-1	8009k
mega324p	8M	0xC2	19.2k	-12	8398k	3	7885k	0	7976k
mega164p	8M	0xC2	19.2k	-5	8401k	4	7888k	2	8012k

Tabelle 3.17. Mögliche OSCCAL_CORR Einstellungen für die ATmega644 Familie

3.8.9 Untersuchung der RC-Generatoren der ATmega645 Familie

Bei der ATmega645 Familie kann nur eine RC-Oszillatorfrequenz von 8MHz gewählt werden. Die Frequenz kann aber mit einem Fuse-Bit mit Faktor 8 vorgeteilt werden, so daß auch ein 1MHz Betrieb eingestellt werden kann. Die Tabelle 3.18 zeigt die Resultate der untersuchten Prozessoren.

Typ	AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
				Corr	Freq	Corr	Freq	Corr	Freq
mega165p	8M	0xE2	57.6k	-6	8235k	7	7718k	-1	8015k
mega325	8M	0xE2	38.4k	-10	8403k	5	7868k	1	7992k
mega645	8M	0xE2	57.6k	0	8253k	12	7726k	5	8012k

Tabelle 3.18. Mögliche OSCCAL_CORR Einstellungen für die ATmega645 Familie

Beim ATmega645 ist der Betrieb der seriellen Schnittstelle ohne OSCCAL Korrektur gerade noch möglich. Sicherer ist aber der Betrieb mit OSCCAL_CORR=5, da dann die 8MHz besser eingehalten werden.

3.8.10 Untersuchung der RC-Generatoren der ATmega649 Familie

Bei der ATmega649 Familie kann nur eine RC-Oszillatorfrequenz von 8MHz gewählt werden. Die Frequenz kann aber mit einem Fuse-Bit mit Faktor 8 vorgeteilt werden, so daß auch ein 1MHz Betrieb eingestellt werden kann. Die Tabelle 3.19 zeigt die Resultate der untersuchten Prozessoren.

Typ	AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
				Corr	Freq	Corr	Freq	Corr	Freq
mega169	8M	0xE2	57.6k	-9	8250k	2	7864k	-2	8010k
mega329	8M	0xE2	38.4k	-2	8330k	7	7877k	4	8013k
mega649	8M	0xE2	38.4k	-2	8370k	8	7895k	6	7988k

Tabelle 3.19. Mögliche OSCCAL_CORR Einstellungen für die ATmega649 Familie

3.8.11 Untersuchung des RC-Generators der ATmega2560 Familie

Bei der ATmega2560 Familie kann eine RC-Oszillatorfrequenz von 8MHz gewählt werden. Daneben kann auch noch ein 128kHz Generator als Takt gewählt werden, der sonst den Watchdog-Timer versorgt. Die gewählte Frequenz kann aber mit einem Fuse-Bit mit Faktor 8 vorgeteilt werden, so daß auch ein 1MHz Betrieb eingestellt werden kann. Die Tabelle 3.20 zeigt die Resultate der untersuchten Prozessoren.

Typ	AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
				Corr	Freq	Corr	Freq	Corr	Freq
mega1281	8M	0xC2	38.4k	-5	8405k	5	7871k	2	8012k
mega2561	8M	0xC2	38.4k	-8	8363k	4	7870k	1	7990k

Tabelle 3.20. Mögliche OSCCAL_CORR Einstellungen für die ATmega2560 Familie

Das Laden von mehr als 128KByte Daten wurde mit dem ATmega2561 erfolgreich getestet. Normalerweise beginnen die Anwenderdaten für den Flash-Speicher bei der Adresse 0. Das ist für den Daten-Download über die serielle Schnittstelle nicht unbedingt erforderlich. Die Anfangs-Adresse muß aber auf jeden Fall unter 128K (0x20000) liegen, damit das Laden von Daten in die obere Speicherhälfte funktioniert. Die Option VIRTUAL_BOOT_PARTITION kann bei Prozessoren mit mehr als 128Kbyte Flash Speicher nicht benutzt werden.

3.8.12 Untersuchung der RC-Generatoren der ATtiny4313 Familie

Beim ATtiny4313 und ATtiny2313 kann der interne RC-Generator bei 8MHz oder bei 4MHz betrieben werden. Außerdem ist auch noch ein interner 128kHz Generator wählbar, der aber nicht kalibriert werden kann. Die Tabelle 3.21 zeigt die Ergebnisse der Frequenzmessung beim 8MHz und 4MHz Betrieb

Typ	AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
				Corr	Freq	Corr	Freq	Corr	Freq
tiny4313	8M	0xE4	38.4k	-4	8342k	0	7975k	-1	7983k
				-2	8326k	3	7905k	1	8010k
tiny2313	8M	0xE4	38.4k	-4	8400k	3	7909k	2	7980k
tiny4313	4M	0xE2	38.4k	-6	4193k	-3	3976k	-3	3976k
				1	4169k	6	3961k	5	4017k
tiny2313	4M	0xE2	38.4k	0	4160k	6	3960k	5	3998k

Tabelle 3.21. Mögliche OSCCAL_CORR Einstellungen für die ATtiny4313 Familie

Bei allen drei vorhandenen ATtinys dieser Serie hat sich das Einstellen der Frequenz als schwierig erwiesen weil sich die Frequenz bei kleiner OSCCAL Korrektur schon relativ stark ändert.

3.8.13 Untersuchung der RC-Generatoren der ATtiny84 Familie

Bei der ATtiny84 Familie kann außer dem $8MHz$ RC-Oszillator auch noch der $128kHz$ Takt der Watchdog-Schaltung benutzt werden. Der $128kHz$ Takt kann nicht kalibriert werden. Wenn man diesen Takt benutzen möchte, kann man die erzeugte Baudrate nur über den vorgegebenen Wert korrigieren oder die automatische Baudraten-Anpassung benutzen. Bei einem ATtiny24a habe ich die erzeugte Baudrate kontrolliert. Statt der eingestellten 2400 Baud habe ich nur 2170 Baud gemessen. Das ergibt einen Frequenzfehler von etwa 9.6% und damit deutlich zu viel, um ohne Korrektur benutzt werden zu können. Bei eingestellten 2640 Baud funktionierte der Download mit 2400 Baud. Die gemessene Taktrate betrug dann nur $115.2kHz$ anstelle der $128kHz$. Die Tabelle 3.22 stellt für die untersuchten Exemplare die möglichen OSCCAL Änderungen für den $8MHz$ Betrieb dar.

Typ	AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
				Corr	Freq	Corr	Freq	Corr	Freq
attiny84	8M	0xE2	19.2k	-6	8453k	14	7673k	5	8019k
attiny44a	8M	0xE2	19.2k	-16	8367k	3	7673k	-7	7984k
attiny24a	8M	0xE2	19.2k	-4	8388k	11	7685k	4	7992k

Tabelle 3.22. Mögliche OSCCAL_CORR Einstellungen für die ATtiny84 Familie

3.8.14 Untersuchung der RC-Generatoren der ATtiny85 Familie

Bei der ATtiny84 Familie kann außer dem $8MHz$ RC-Oszillator auch noch der ein $6.4MHz$ RC-Oszillator und der $128kHz$ Takt der Watchdog-Schaltung benutzt werden. Der $6.4MHz$ RC-Oszillator wird aber immer mit einem Frequenzteiler auf $1.6MHz$ heruntergeteilt. Der $128kHz$ Takt kann nicht kalibriert werden. Wenn man diesen Takt benutzen möchte, kann man die erzeugte Baudrate nur über den vorgegebenen Wert korrigieren oder die automatische Baudraten-Anpassung benutzen. Die erste Tabelle 3.23 stellt für die untersuchten Exemplare die möglichen OSCCAL Änderungen für den $8MHz$ Betrieb dar.

Typ	AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
				Corr	Freq	Corr	Freq	Corr	Freq
attiny85	8M	0xE2	38.4k	-4	8370k	9	7714k	3	8012k
attiny45	8M	0xE2	38.4k	-4	8400k	9	7706k	3	8030k
attiny25	8M	0xE2	38.4k	-9	8424k	46	7724k	40	8034k
attiny25	8M	0xE2	38.4k	-12	8399k	7	7680k	-2	7992k

Tabelle 3.23. Mögliche OSCCAL_CORR Einstellungen für die ATtiny85 Familie bei 8MHz

Die Einstellwerte bei einem ATtiny25 sehen merkwürdig aus, aber bei der Korrektur 3 hat der OSCCAL Wert die Zahl 128 unterschritten und ist damit in einem anderen Stellbereich. Erst bei einem Korrekturwert von etwa 34 wurde dann wieder eine Frequenz von $8364kHz$ erreicht, bei der die serielle Schnittstelle wieder betrieben werden kann. Eine ähnliche Frequenz wurde im anderen Stellbereich beim Korrekturwert -6 erreicht. Die nächste Tabelle 3.24 stellt für die untersuchten Exemplare die möglichen OSCCAL Änderungen für den $1.6MHz$ Betrieb dar. Der RC-Generator läuft dabei bei $6.4MHz$, diese Frequenz wird aber immer durch Faktor 4 geteilt.

Typ	AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
				Corr	Freq	Corr	Freq	Corr	Freq
attiny85	1.6M	0xD3	9.6k	-7	1684k	9	1547k	2	1603k
attiny45	1.6M	0xD3	9.6k	-5	1684k	11	1559k	4	1603k
attiny25	1.6M	0xD3	9.6k	-7	1689k	10	1543k	3	1602k
attiny25	1.6M	0xD3	9.6k	-10	1680k	3	1550k	-3	1609k

Tabelle 3.24. Mögliche OSCCAL_CORR Einstellungen für die ATtiny85 Familie bei 1.6MHz

Bei dem Betrieb mit 1.6MHz hat sich die Besonderheit mit der OSCCAL Korrektur-Einstellung nicht gezeigt. Alle untersuchten Exemplare würden auch ohne Korrektur der Frequenz mit der seriellen Schnittstelle arbeiten können. Die ATtiny84 Prozessor Familie kann den Prozessor auch mit einem PLL-Oszillator betreiben, der vom 8MHz RC-Oszillator kontrolliert wird. Der PLL-Oszillator kann entweder 64MHz oder 32MHz erzeugen, die normalerweise für den T1 Zähler benutzt werden können. Wenn der PLL-Takt als Prozessor-Takt verwendet werden soll, kann der PLL-Oszillator nur bei 64MHz arbeiten und wird immer durch Faktor 4 geteilt. Somit ergeben sich 16MHz für den Prozessortakt. Die Tabelle 3.25 zeigt die gemessenen Resultate. Erwartungsgemäß weichen diese Ergebnisse nicht wesentlich von den 8MHz Ergebnissen ab.

Typ	AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
				Corr	Freq	Corr	Freq	Corr	Freq
attiny85	16M	0xF1	38.4k	-4	16.87M	10	15.41M	4	16.02M
attiny45	16M	0xF1	38.4k	-4	16.87M	10	15.41M	4	15.95M
attiny25	16M	0xF1	38.4k	-9	16.91M	47	15.38M	41	16.03M
attiny25	16M	0xF1	38.4k	-11	16.82M	7	15.43M	-2	16.07M

Tabelle 3.25. Mögliche OSCCAL_CORR Einstellungen für die ATtiny85 Familie bei 16MHz

3.8.15 Untersuchung der RC-Generatoren der ATtiny841 Familie

Der ATtiny841 und der ATtiny441 haben ebenfalls einen 8MHz RC-Generator, der abgestimmt werden kann. Für die Unterstützung dieser Familie waren einige Anpassungen beim Optiboot Bootloader erforderlich. In der Tabelle 3.26 sind die Ergebnisse der untersuchten Exemplare dargestellt.

Typ	AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
				Corr	Freq	Corr	Freq	Corr	Freq
attiny841	8M	0xE2	38.4k	-4	8369k	10	7861k	6	8003k
				-5	8389k	9	7874k	6	7990k
attiny441	8M	0xE2	38.4k	-4	8399k	10	7870k	7	7985k
				-4	8380k	9	7900k	7	7985k

Tabelle 3.26. Mögliche OSCCAL_CORR Einstellungen für die ATtiny841 Familie bei 8MHz

Bei allen untersuchten Exemplaren kann die serielle Schnittstelle auch ohne die OSCCAL-Korrektur benutzt werden.

3.8.16 Untersuchung der RC-Generatoren der ATtiny861 Familie

Bei der ATtiny861 Familie kann außer dem $8MHz$ RC-Oszillator noch ein PLL-Oszillator und der $128kHz$ Takt der Watchdog-Schaltung als Prozessor-Takt benutzt werden. Der $128kHz$ Takt der Watchdog-Schaltung kann aber nicht kalibriert werden und kommt daher für die Bootloader-Anwendung sinnvoll nur mit der automatischen Baudraten-Anpassung in Frage. Der PLL-Oszillator hat für den Prozessor eine Frequenz von $16MHz$, kann aber leider nur vom internen RC-Oszillator synchronisiert werden. Daher kann mit dem PLL-Oszillator keine genaue Zeitmessung durchgeführt werden. Die erste Tabelle 3.27 stellt für die untersuchten Exemplare die möglichen OSCCAL Änderungen für den $8MHz$ Betrieb dar.

Typ	AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
				Corr	Freq	Corr	Freq	Corr	Freq
attiny861	8M	0xE2	38.4k	-2	8415k	18	7693k	9	8007k
				-1	8436k	19	7678k	10	8011k
attiny461	8M	0xE2	38.4k	-2	8418k	17	7690k	9	7995k
				-4	8380k	14	7695k	5	8030k
attiny261	8M	0xE2	38.4k	-4	8403k	17	7710k	9	7986k

Tabelle 3.27. Mögliche OSCCAL_CORR Einstellungen für die ATtiny861 Familie bei $8MHz$

Beim ATtiny261 habe ich auf das optionale LED-Blinken beim Start von Optiboot verzichtet, damit genug Platz für das Testprogramm zur Verfügung steht (Option LED_START_FLASHES=0).

3.8.17 Untersuchung des RC-Generators der ATtiny87 Familie

Die ATtiny87 Familie kann außer einem $8MHz$ internem RC-Generator nur noch einen nicht kalibrierbaren $128kHz$ Generator oder einen externen Takt als Taktgeber für den Prozessor wählen. Ein Frequenzteiler mit Faktor 8 ist für den Prozessortakt bei der LFUSE auch einstellbar. In der Tabelle 3.28 sind die Ergebnisse für die Kalibration des internen $8MHz$ Generators bei zwei Exemplaren der Familie dargestellt.

Typ	AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
				Corr	Freq	Corr	Freq	Corr	Freq
attiny87	8M	0xE2	57.6k	-1	8270k	7	7940k	3	8035k
attiny167	8M	0xE2	57.6k	-5	8227k	2	7839k	-1	8009k

Tabelle 3.28. Mögliche OSCCAL_CORR Einstellungen für die ATtiny87 Familie

3.8.18 Untersuchung des RC-Generators der ATtiny88 Familie

Die ATtiny88 Familie kann außer einem $8MHz$ internem RC-Generator nur noch einen nicht kalibrierbaren $128kHz$ Generator oder einen externen Takt als Taktgeber für den Prozessor wählen. Ein Frequenzteiler mit Faktor 8 ist für den Prozessortakt bei der LFUSE auch einstellbar. In der Tabelle 3.29 sind die Ergebnisse für die Kalibration des internen $8MHz$ Generators bei zwei Exemplaren der Familie dargestellt.

Typ	AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
				Corr	Freq	Corr	Freq	Corr	Freq
attiny88	8M	0xE2	38.4k	-4	8397k	15	7682k	6	8013k
attiny48	8M	0xE2	38.4k	-5	8385k	12	7739k	5	7995k

Tabelle 3.29. Mögliche OSCCAL_CORR Einstellungen für die ATtiny88 Familie

Bei beiden Exemplaren läuft die serielle Schnittstelle ohne Frequenz-Korrektur. Die Takt-Frequenz wird aber bei einer Korrektur von 5 (6) besser eingehalten.

3.8.19 Untersuchung der RC-Generatoren des ATtiny1634

Für den ATtiny1634 habe ich zwei Exemplare mit dem $8MHz$ internem RC-Generator untersucht. Neben der Frequenz kann auch noch der Frequenz-Temperaturgang des RC-Generators mit zwei zusätzlichen Kalibrations-Registern eingestellt werden. Den Abgleich des Temperaturgangs habe ich in der Tabelle 3.30 nicht untersucht. Neben dem $8MHz$ RC-Generator kann bei diesem Prozessor auch die Frequenz des internen $32kHz$ Generators mit einem zusätzlichen Kalibrations-Register (OSCCAL1) abgeglichen werden. Das wird derzeit aber noch nicht vom Optiboot Bootloader unterstützt.

AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
			Corr	Freq	Corr	Freq	Corr	Freq
8M	0xE2	19.2k	-5	8404k	9	7867k	6	7983k
8M	0xE2	19.2k	-7	8410k	7	7867k	4	7986k

Tabelle 3.30. Mögliche OSCCAL_CORR Einstellungen für den ATtiny1634

3.8.20 Untersuchung des RC-Generators der AT90PWM Familie

Neben dem üblichen $8MHz$ RC-Generator hat die AT90PWM Familie noch einen PLL-Oszillator, der vom $8MHz$ Generator synchronisiert wird. Mit dem PLL-Oszillator kann der Prozessor mit $16MHz$ betrieben werden.

Typ	AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
				Corr	Freq	Corr	Freq	Corr	Freq
at90pwm2b	8M	0xE2	38.4k	-13	8350k	-1	7862k	-5	8020k
at90pwm3	8M	0xE2	38.4k	-10	8359k	4	7885k	1	7991k
at90pwm2b	16M	0xE3	38.4k	-14	16.74M	-1	15.74M	-4	15.97M
at90pwm3	16M	0xE3	38.4k	-10	16.79M	5	15.79M	2	15.98M

Tabelle 3.31. Mögliche OSCCAL_CORR Einstellungen für die AT90PWM Familie

Beim untersuchten AT90PWM2B wäre der Betrieb der seriellen Schnittstelle ohne die OSCCAL-Korrektur nicht möglich gewesen.

3.8.21 Untersuchung des RC-Generators der AT90CAN Familie

Untersucht habe ich nur jeweils ein Exemplar AT90CAN32 und AT90CAN128. Beide Exemplare können nur einen internen $8MHz$ RC-Oszillator wählen. Alle anderen Wahlmöglichkeiten erfordern

einen externen Quarz oder einen externen Taktgenerator. Die Taktfrequenz kann optional auch mit dem Faktor 8 geteilt werden, so daß auch 1 *MHz* Betrieb mit dem internen Takt möglich ist.

Typ	AVR_ FREQ	LFUSE	Baud- rate	Minimum		Maximum		Best	
				Corr	Freq	Corr	Freq	Corr	Freq
at90can32	8M	0xE2	38.4k	0	8379k	6	7920k	5	8019k
at90can128	8M	0xE2	38.4k	0	8303k	3	7922k	2	8057k

Tabelle 3.32. Mögliche OSCCAL_CORR Einstellungen für die AT90CAN Familie

Kapitel 4

Daten der AVR 8-Bit Mikrocontroller

4.1 Signatur Bytes und Standard Fuse Einstellung

Die folgenden Tabellen zeigen die Signatur-Bytes und die Standard-Werte für die Fuses verschiedener AVR-Familien.

Typ	Signature			Default Fuses			Default Clock
	1	2	3	Low	High	Extended	
ATtiny11	0x1E	0x90	0x05	0x52	-	-	1MHz RC
ATtiny102	0x1E	0x90	0x0C	0xFF	-	-	8/8MHz RC
ATtiny104	0x1E	0x90	0x0B	0xFF	-	-	8/8MHz RC
ATtiny12	0x1E	0x90	0x05	0x52	-	-	1.2MHz RC
ATtiny13	0x1E	0x90	0x07	0x6A	0xFF	-	9.6/8MHz RC
ATtiny15	0x1E	0x90	0x06	0x50	-	-	1.6MHz RC
ATtiny22	0x1E	0x91	0x06	0xBE?	-	-	1MHz RC
ATtiny2313A	0x1E	0x91	0x0A	0x64	0xDF	0xFF	8/8MHz RC
ATtiny24	0x1E	0x91	0x0B	0x62	0xDF	0xFF	8/8MHz RC
ATtiny25	0x1E	0x91	0x08	0x62	0xDF	0xFF	8/8MHz RC
ATtiny26	0x1E	0x91	0x09	0xE1	0xF7	-	8/8MHz RC
ATtiny261A	0x1E	0x91	0x0C	0x62	0xDF	0xFF	8/8MHz RC
ATtiny28	0x1E	0x91	0x07	0xFF	-	-	1.2MHz RC
ATtiny4313	0x1E	0x92	0x0D	0x62	0xDF	0xFF	8/8MHz RC
ATtiny44	0x1E	0x92	0x07	0x62	0xDF	0xFF	8/8MHz RC
ATtiny441	0x1E	0x92	0x15	0x62	0xDF	0xFF	8/8MHz RC
ATtiny461A	0x1E	0x92	0x08	0x62	0xDF	0xFF	8/8MHz RC
ATtiny45	0x1E	0x92	0x06	0x62	0xDF	0xFF	8/8MHz RC
ATtiny48	0x1E	0x92	0x09	0x6E	0xDF	0xFF	8/8MHz RC
ATtiny84	0x1E	0x93	0x0C	0x62	0xDF	0xFF	8/8MHz RC
ATtiny841	0x1E	0x93	0x15	0x62	0xDF	0xFF	8/8MHz RC
ATtiny861A	0x1E	0x93	0x0D	0x62	0xDF	0xFF	8/8MHz RC
ATtiny85	0x1E	0x93	0x0B	0x62	0xDF	0xFF	8/8MHz RC
ATtiny87	0x1E	0x93	0x87	0x62	0xDF	0xFF	8/8MHz RC
ATtiny88	0x1E	0x93	0x11	0x6E	0xDF	0xFF	8/8MHz RC
ATtiny167	0x1E	0x94	0x87	0x62	0xDF	0xFF	8/8MHz RC
ATtiny1634	0x1E	0x94	0x12	0x62	0xDF	0xFF	8/8MHz RC

Tabelle 4.1. Signatur Bytes der ATtiny Prozessoren und Standard Fuses

Typ	Signature			Default Fuses			Default Clock
	1	2	3	Low	High	Extended	
ATmega103	0x1E	0x97	0x01	0xDF?	-	-	Crystal
ATmega128	0x1E	0x97	0x02	0xC1	0x99	0xFD	1MHz RC
ATmega48A	0x1E	0x92	0x05	0x62	0xDF	0xFF	8/8MHz RC
ATmega48PA	0x1E	0x92	0x0A	0x62	0xDF	0xFF	8/8MHz RC
ATmega8	0x1E	0x93	0x07	0xE1	0xD9	-	1MHz RC
ATmega88A	0x1E	0x93	0x0A	0x62	0xDF	0xF9	8/8MHz RC
ATmega88PA	0x1E	0x93	0x0F	0x62	0xDF	0xF9	8/8MHz RC
ATmega8515	0x1E	0x93	0x06	0xC1	0xD9	-	1MHz RC
ATmega8535	0x1E	0x93	0x08	0xC1	0xD9	-	1MHz RC
ATmega16	0x1E	0x94	0x03	0xE1	0x99	-	1MHz RC
ATmega161	0x1E	0x94	0x01	0xDA	-	-	Crystal
ATmega162	0x1E	0x94	0x04	0x62	0x99	0xFF	8/8MHz RC
ATmega163	0x1E	0x94	0x02	0xF2	0xF9	-	8/8MHz RC
ATmega164A	0x1E	0x94	0x0A	0x42	0x99	0xFF	8/8MHz RC
ATmega165A	0x1E	0x94	0x10	0x62	0x99	0xFF	8/8MHz RC
ATmega165PA	0x1E	0x94	0x07	0x62	0x99	0xFF	8/8MHz RC
ATmega168A	0x1E	0x94	0x06	0x62	0xDF	0xF9	8/8MHz RC
ATmega168PA	0x1E	0x94	0x0B	0x62	0xDF	0xF9	8/8MHz RC
ATmega169	0x1E	0x94	0x05	0x62	0x99	0xFF	8/8MHz RC
ATmega32	0x1E	0x95	0x02	0xE1	0x99	-	1MHz RC
ATmega323	0x1E	0x95	0x01	0xE1	0x99	-	1MHz RC
ATmega324A	0x1E	0x95	0x08	0x42	0x99	0xFF	8/8MHz RC
ATmega325A	0x1E	0x95	0x05	0x62	0x99	0xFF	8/8MHz RC
ATmega325PA	0x1E	0x95	0x0D	0x62	0x99	0xFF	8/8MHz RC
ATmega3250A	0x1E	0x95	0x06	0x62	0x99	0xFF	8/8MHz RC
ATmega3250PA	0x1E	0x95	0x0E	0x62	0x99	0xFF	8/8MHz RC
ATmega328	0x1E	0x95	0x14	0x62	0xD9	0xFF	8/8MHz RC
ATmega328P	0x1E	0x95	0x0F	0x62	0xD9	0xFF	8/8MHz RC
ATmega329	0x1E	0x95	0x03	0x62	0x99	0xFF	8/8MHz RC
ATmega3290	0x1E	0x95	0x04	0x62	0x99	0xFF	8/8MHz RC
ATmega64	0x1E	0x96	0x02	0xC1	0x99	0xFF	1MHz RC
ATmega640	0x1E	0x96	0x08	0x42	0x99	0xFF	8/8MHz RC
ATmega644A	0x1E	0x96	0x0A	0x62	0x99	0xFF	8/8MHz RC
ATmega645A	0x1E	0x96	0x05	0x62	0x99	0xFF	8/8MHz RC
ATmega645P	0x1E	0x96	0x0D	0x62	0x99	0xFF	8/8MHz RC
ATmega6450A	0x1E	0x96	0x06	0x62	0x99	0xFF	8/8MHz RC
ATmega6450P	0x1E	0x96	0x0E	0x62	0x99	0xFF	8/8MHz RC
ATmega649	0x1E	0x96	0x03	0x62	0x99	0xFF	8/8MHz RC
ATmega6490	0x1E	0x96	0x04	0x62	0x99	0xFF	8/8MHz RC
ATmega1280	0x1E	0x97	0x03	0x42	0x99	0xFF	8/8MHz RC
ATmega1281	0x1E	0x97	0x04	0x42	0x99	0xFF	8/8MHz RC
ATmega1284	0x1E	0x97	0x05	0x62	0x99	0xFF	8/8MHz RC
ATmega2560	0x1E	0x98	0x01	0x42	0x99	0xFF	8/8MHz RC
ATmega2561	0x1E	0x98	0x02	0x42	0x99	0xFF	8/8MHz RC

Tabelle 4.2. Signatur Bytes der ATmega Prozessoren und Standard Fuses

Typ	Signature			Default Fuses			Default Clock
	1	2	3	Low	High	Extended	
AT90S1200	0x1E	0x90	0x01	0xFF	-	-	Crystal
AT90S2313	0x1E	0x91	0x01	0x64	0xDF	0xFF	Crystal
AT90S2333	0x1E	0x91	0x05	0xDA			Crystal
AT90S4414	0x1E	0x92	0x01	0xF9	-	-	Crystal
AT90S4433	0x1E	0x92	0x03	0xDA	-	-	Crystal
AT90S4434	0x1E	0x92	0x02	0xF9	-	-	Crystal
AT90S8515	0x1E	0x93	0x01	0xF9	-	-	Crystal
AT90S8535	0x1E	0x93	0x03	0xF9	-	-	Crystal
AT90PWM2 AT90PWM3	0x1E	0x93	0x81	0x62	0xDF	0xF9	8/8MHz RC
AT90PWM2B AT90PWM3B	0x1E	0x93	0x83	0x41	0xDF	0xF9	8/8MHz RC
AT90CAN32	0x1E	0x95	0x81	0x62	0x99	0xFF	8/8MHz RC
AT90CAN64	0x1E	0x96	0x81	0x62	0x99	0xFF	8/8MHz RC
AT90CAN128	0x1E	0x97	0x81	0x62	0x99	0xFF	8/8MHz RC

Tabelle 4.3. Signatur Bytes der AT90 Prozessoren und Standard Fuses

4.2 Belegung der Fuses

Typ	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
m8	BODLEVEL	BODEN	SUT1	SUT0	CKSEL3:0			
m16/32	BODLEVEL	BODEN	SUT1	SUT0	CKSEL3:0			
m64/128	BODLEVEL	BODEN	SUT1	SUT0	CKSEL3:0			
t24/25	CKDIV8	CKOUT	SUT1	SUT0	CKSEL3:0			
t2313/261	CKDIV8	CKOUT	SUT1	SUT0	CKSEL3:0			
t4313/44	CKDIV8	CKOUT	SUT1	SUT0	CKSEL3:0			
t45/461	CKDIV8	CKOUT	SUT1	SUT0	CKSEL3:0			
t84/85	CKDIV8	CKOUT	SUT1	SUT0	CKSEL3:0			
t861/87	CKDIV8	CKOUT	SUT1	SUT0	CKSEL3:0			
t167	CKDIV8	CKOUT	SUT1	SUT0	CKSEL3:0			
m48/88	CKDIV8	CKOUT	SUT1	SUT0	CKSEL3:0			
m165/168/169	CKDIV8	CKOUT	SUT1	SUT0	CKSEL3:0			
m325/328/329	CKDIV8	CKOUT	SUT1	SUT0	CKSEL3:0			
m645/649	CKDIV8	CKOUT	SUT1	SUT0	CKSEL3:0			
90PWM2/3	CKDIV8	CKOUT	SUT1	SUT0	CKSEL3:0			
t441/841	CKDIV8	CKOUT	-	SUT	CKSEL3:0			
t48/88	CKDIV8	CKOUT	-	SUT	CKSEL3:0			
t1634	CKDIV8	CKOUT	-	SUT	CKSEL3:0			

Tabelle 4.4. Belegung der Low Fuse von AVR Prozessoren

Typ	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
m8	RSTDISBL	WDTON	SPIEN	CKOPT	EESAVE	BOOTSZ1:0		BOOTRST
m16/32	OCDEN	JTAGEN	SPIEN	CKOPT	EESAVE	BOOTSZ1:0		BOOTRST
m64/128	OCDEN	JTAGEN	SPIEN	CKOPT	EESAVE	BOOTSZ1:0		BOOTRST
m165/169	OCDEN	JTAGEN	SPIEN	WDTON	EESAVE	BOOTSZ1:0		BOOTRST
m325/329	OCDEN	JTAGEN	SPIEN	WDTON	EESAVE	BOOTSZ1:0		BOOTRST
m645/649	OCDEN	JTAGEN	SPIEN	WDTON	EESAVE	BOOTSZ1:0		BOOTRST
m640	OCDEN	JTAGEN	SPIEN	WDTON	EESAVE	BOOTSZ1:0		BOOTRST
m1280	OCDEN	JTAGEN	SPIEN	WDTON	EESAVE	BOOTSZ1:0		BOOTRST
m2560	OCDEN	JTAGEN	SPIEN	WDTON	EESAVE	BOOTSZ1:0		BOOTRST
m328	RSTDISBL	DWEN	SPIEN	WDTON	EESAVE	BOOTSZ1:0		BOOTRST
m88/48	RSTDISBL	DWEN	SPIEN	WDTON	EESAVE	BODLEVEL2:0		
m168	RSTDISBL	DWEN	SPIEN	WDTON	EESAVE	BODLEVEL2:0		
90PWM2/3	RSTDISBL	DWEN	SPIEN	WDTON	EESAVE	BODLEVEL2:0		
t24/25	RSTDISBL	DWEN	SPIEN	WDTON	EESAVE	BODLEVEL2:0		
t261	RSTDISBL	DWEN	SPIEN	WDTON	EESAVE	BODLEVEL2:0		
t44/441	RSTDISBL	DWEN	SPIEN	WDTON	EESAVE	BODLEVEL2:0		
t461	RSTDISBL	DWEN	SPIEN	WDTON	EESAVE	BODLEVEL2:0		
t45/48	RSTDISBL	DWEN	SPIEN	WDTON	EESAVE	BODLEVEL2:0		
t84/841	RSTDISBL	DWEN	SPIEN	WDTON	EESAVE	BODLEVEL2:0		
t85/87	RSTDISBL	DWEN	SPIEN	WDTON	EESAVE	BODLEVEL2:0		
t88/861	RSTDISBL	DWEN	SPIEN	WDTON	EESAVE	BODLEVEL2:0		
t167	RSTDISBL	DWEN	SPIEN	WDTON	EESAVE	BODLEVEL2:0		
t1634	RSTDISBL	DWEN	SPIEN	WDTON	EESAVE	BODLEVEL2:0		
t4313/2313	DWEN	EESAVE	SPIEN	WDTON	BODLEVEL2:0			RSTDISBL

Tabelle 4.5. Belegung der High Fuse von AVR Prozessoren

Typ	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
m64/128	-	-	-	-	-	-	M103C	WDTON
m165/169	-	-	-	-	BODLEVEL2:0			RSTDISBL
m325/329	-	-	-	-	BODLEVEL2:0			RSTDISBL
m645/649	-	-	-	-	BODLEVEL2:0			RSTDISBL
m640	-	-	-	-	BODLEVEL2:0			RSTDISBL
m1280	-	-	-	-	BODLEVEL2:0			RSTDISBL
m2560	-	-	-	-	BODLEVEL2:0			RSTDISBL
m48	-	-	-	-	-	-	-	SELFPRGEN
t24/25	-	-	-	-	-	-	-	SELFPRGEN
t261	-	-	-	-	-	-	-	SELFPRGEN
t2313	-	-	-	-	-	-	-	SELFPRGEN
t4313	-	-	-	-	-	-	-	SELFPRGEN
t44/45	-	-	-	-	-	-	-	SELFPRGEN
t461/48	-	-	-	-	-	-	-	SELFPRGEN
t84/85	-	-	-	-	-	-	-	SELFPRGEN
t861	-	-	-	-	-	-	-	SELFPRGEN
t87/88	-	-	-	-	-	-	-	SELFPRGEN
t167	-	-	-	-	-	-	-	SELFPRGEN
t441/841	ULPOSCSEL2:1			BODPD1	BODPD0	BODACT1:0		SELFPRGEN
t1634	-	-	-	BODPD1	BODPD0	BODACT1:0		SELFPRGEN
m168/88	-	-	-	-	-	BOOTSZ1:0		BOOTRST
m328	-	-	-	-	-	BOOTSZ1:0		BOOTRST
90PWM2	PSC2RB	PSC1RB	PSC0RB	PSCRV	-	BOOTSZ1:0		BOOTRST
90PWM3	PSC2RB	PSC1RB	PSC0RB	PSCRV	-	BOOTSZ1:0		BOOTRST

Tabelle 4.6. Belegung der Extended Fuse von AVR Prozessoren

Kapitel 5

Verschiedene USB zu Seriell Wandler mit Linux

Die klassische serielle Schnittstelle wird heute immer weniger verwendet. Bei älteren Rechnern findet man diese Schnittstelle nach RS232 Standard häufiger. Die serielle Schnittstelle ist aber für die Programmierung eines Mikrocontrollers ohnehin nicht sehr praktisch, da die verwendeten Spannungspegel (etwa -12V und +12V) nicht direkt verwendet werden können. Diese Spannungspegel müssten erst wieder mit Pegelwandlern auf die bei Mikrocontrollern gebräuchlichen +5V oder 3.3V zurückgewandelt werden. Praktischer sind für den Zweck der Programmierung die USB zu Seriell Wandler, da diese neben dem benötigten Spannungspegel auch noch die +5V oder +3.3V für die Versorgung des Mikrocontrollers zur Verfügung stellen. Unter Linux werden diese USB-Geräte meistens problemlos erkannt. Es kann aber bei den Zugriffsrechten hapern. Meistens werden die Zugangsknoten wie `/dev/ttyUSB1` der Gruppe `dialout` zugewiesen. Dann sollte man selbst (user) dieser Gruppe angehören. Mit dem Kommando „`usermod -a -G dialout $USER`“ sollte man der Gruppe `dialout` angehören.

5.1 Der CH340G und der CP2102 Wandler

Untersucht habe ich eine Platine mit der Aufschrift BTE13-005A, auf der ein CH340G Wandler von QinHeng Electronics untergebracht ist. Die Platine hat einen Minischalter zum Umschalten der VCC Spannung auf 3.3V oder 5V und einen 12 MHz Quarz. Auf der einen Seite befindet sich ein USB-A Stecker und auf der anderen Seite eine 6-polige Pin-Leiste mit den Signalen GND, CTS, VCC, TXD, RXD und DTR. In einem chinesischen Datenblatt zum Chip kann man Angaben zu den unterstützten Baudraten finden. Auf der Platine befindet sich eine mit VCC verbundene LED und eine weitere LED.

Die andere Platine mit dem CP2102 Wandler von Silicon Laboratories Inc. hat keine Aufschrift auf der Platine. Wie bei der CH340G Platine befindet sich auf der einen Seite der USB-A Stecker und auf der gegenüberliegenden Seite eine 6-polige Stiftleiste mit den Signalen 3.3V, GND, +5V, TXD, RXD und DTR. Auf den beiden anderen Seiten läßt sich jeweils eine 4-polige Stiftleiste nachrüsten mit den Signalen DCD, D3R, RTS und CTS sowie RST, R1, /SUS und SUS. Alle für den Bootloader benötigten Signale befinden sich aber auch bei dieser Platine auf der bereits bestückten Stiftleiste. Die Reihenfolge der Belegung ist aber unterschiedlich. Auf der Platine mit dem CP2102 Wandler befinden sich außer dem Wandlerchip sehr wenige Bauteile, eine LED für RXD, TXD und Power ist aber vorhanden.

Mit meinem Linux-Mint 17.2 wurden beide Wandler ohne weiteres erkannt. Mit dem Kommando

lsusb sieht man in der Ausgabe:

```
Bus 002 Device 093: ID 10c4:ea60 Cygnal Integrated Products, Inc. CP210x UART Bridge / myA
Bus 002 Device 076: ID 0403:6001 Future Technology Devices International, Ltd FT232 Serial
```

Natürlich sind die Angaben zum Bus abhängig vom Rechner und dem verwendeten USB-Port.

Die beim Einstecken automatisch erzeugten Device Namen kann man sofort nach dem Einstecken durch das Kommando „dmesg | tail -20“ herausfinden. Beim folgenden Beispiel habe ich beide Ausgaben zusammengefaßt.

```
usb 2-4.2: new full-speed USB device number 94 using ohci-pci
usb 2-4.2: New USB device found, idVendor=1a86, idProduct=7523
usb 2-4.2: New USB device strings: Mfr=0, Product=2, SerialNumber=0
usb 2-4.2: Product: USB2.0-Serial
ch341 2-4.2:1.0: ch341-uart converter detected
usb 2-4.2: ch341-uart converter now attached to ttyUSB1
usb 2-4.5: new full-speed USB device number 93 using ohci-pci
usb 2-4.5: New USB device found, idVendor=10c4, idProduct=ea60
usb 2-4.5: New USB device strings: Mfr=1, Product=2, SerialNumber=3
usb 2-4.5: Product: CP2102 USB to UART Bridge Controller
usb 2-4.5: Manufacturer: Silicon Labs
usb 2-4.5: SerialNumber: 0001
cp210x 2-4.5:1.0: cp210x converter detected
usb 2-4.5: reset full-speed USB device number 93 using ohci-pci
usb 2-4.5: cp210x converter now attached to ttyUSB2
```

Nach diesen Angaben und eigenen Experimenten habe ich die Tabellen 5.1 und 5.2 erstellt. Weil sich mit dem neueren Betriebssystem Linux Mint 18.3 teilweise bessere Ergebnisse ergeben haben, habe ich die Meßergebnisse mit diesem System gemessen.

CH340G supported BaudRate	CH340G stty speed	CH340G measured BaudRate	CP2102 supported BaudRate	CP2102 stty speed	CP2102 measured BaudRate	AVR UBBR @16MHz
50	50	50.00	(50)	Error		
75	75	75.18	(75)	Error		
100	Error	-	(100)	Error		
110	110	109.3	(120)	Error		
134	134	133.4	(134)	Error		
150	150	150.4	(150)	Error		
300	300	300.7	300	300	300.7	
600	600	602.4	600	600	598.8	3332
900	Error	-	(900)	Error	-	2221
1200	1200	1204.8	1200	1200	1198	832
1800	1800	1801.6	1800	1800	1802	555
2400	2400	2409.6	2400	2400	2410	416
3600	Error	-	(3600)	Error	-	277
(4000)	Error	-	4000	Error	-	249
4800	4800	4808	4800	4800	4808	207
(7200)	Error	-	7200	Error	-	138
9600	9600	9616	9600	9600	9616	207
14400	Error	-	14400	Error	-	138
(16000)	Error	-	16000	Error	-	124
19200	19200	19232	19200	19200	19232	103

Tabelle 5.1. geprüfte Baudraten des CH340 und CP2102 im unteren Baud-Bereich

CH340G supported BaudRate	CH340G stty speed	CH340G measured BaudRate	CP2102 supported BaudRate	CP2102 stty speed	CP2102 measured BaudRate	AVR UBBR @16MHz
28800	Error	-	28800	Error	-	68
33600	Error	-	(33600)	Error	-	59
38400	38400	38.464k	38400	38400	38.464k	51
(51200)	Error	-	51200	Error	-	38, 0.16%
56000	Error	-	56000	Error	-	35, -0.79%
57600	57600	57.8k	57600	57600	57.472k	34, -0.79%
(64000)	Error	-	64000	Error	-	30, 0.80%
76800	Error	-	76800	Error	-	25, 0.16%
115200	115200	115.6k	115200	115200	114.96k	16, 2.12%
128000	Error	-	128000	Error	-	15, -2.34%
153600	Error	-	153600	Error	-	12, 0.16%
230400	230400	229.9k	230400	230400	229.9k	8, -3.54%
(250000)	Error	-	250000	Error	-	7, 0.00%
(256000)	Error	-	256000	Error	-	7, -2.34%
460800	460800	460.8k	460800	460800	458.7k	-, >5%
(500000)	500000	500.0k	500000	500000	500.0k	3, 0.00%
(576000)	576000	543,4k	576000	576000	571.4k	-, >5%
921600	921600	851.2k	921600	921600	921.6k	-, >5%
(1000000)	1000000	1000k	(1000000)	1000000	921.6k	1, 0.00%
(1200000)	Error	-	(1200000)	Error	-	-, >5%
1500000	1500000	1498k	(1500000)	1500000	1498k	-, >5%
2000000	2000000	2000k	(2000000)	2000000	1504k	0, 0.00%
(3000000)	3000000	3007k	(3000000)	2000000	-	-, >5%

Tabelle 5.2. geprüfte Baudraten des CH340 und CP2102 im oberen Baud-Bereich

Bei beiden Tabellen fällt auf, daß nicht alle von den Herstellern angegebenen Baudraten mit dem Linux stty Kommando einstellbar sind. In den meisten Fällen wird ein Fehler gemeldet, aber leider nicht immer. Beim CP2102 Kontroller wird die Fehlergrenze bei den Baudraten 1 MBaud und 2 MBaud deutlich überschritten. Auch bei den 576 kBaud ist die Abweichung etwas höher als erwartet. Bei der Messung der eingestellten Baudrate fällt nur die Einstellung 576000 und 921600 des CH340G Kontrollers negativ auf. Die anderen Einstellungen bleiben bei der Toleranz unkritisch. Wo die Ursachen für diese Auffälligkeiten liegen, habe ich nicht erörtert. Bei der Dokumentation zum CH340G scheint aber nicht alles mit der gelieferten Version übereinzustimmen. Die Einstellungen 500 kBaud und 1 MBaud sind zwar möglich, aber nicht in der Dokumentation erwähnt.

5.2 Der PL-2303 und der FT232R Wandler

Diesmal habe ich eine Platine mit der Aufschrift „SBT5329” und dem PL-2303RX Wandler von Proflic Technology und eine Platine „FTDI Basic 1” mit einem FT232RL Wandler von Future Technology Devices untersucht.

Die SBT5329 Platine hat auf der einen Seite einen USB-A Stecker und auf der anderen Seite eine 5-polige Stiftleiste mit den Signalen +5V, GND, RXD, TXD und 3.3V. Außerdem findet man auf der Platine noch einen 12 MHz Quarz und drei Leuchtdioden Tx, Rx und Power. Die Steuersignale der seriellen Schnittstelle sind bei dieser Platine nicht auf Stiftleisten herausgeführt. Der PL-2303

Chip stellt aber die Handshake-Signale der seriellen Schnittstelle bereit.

Die FTDI Basic 1 Platine hat auf der einen Seite eine USB-B-Buchse und auf der anderen Seite eine 6-polige Steckerleiste mit den Signalen GND, CTS, 5V, TXD, RXD und DTR. Außer dem FT232RL Chip sind nur wenige weitere Bauteile auf der Platine zu finden. Zwei LED's für Tx und Rx sind jedenfalls auch vorhanden.

Wie auch bei den beiden anderen Platinen werden die Geräte unter Linux Mint 17.1 einwandfrei erkannt.

```
Bus 002 Device 095: ID 067b:2303 Prolific Technology, Inc. PL2303 Serial Port
```

```
Bus 002 Device 076: ID 0403:6001 Future Technology Devices International, Ltd FT232 Serial
```

So zeigen sich die Geräte mit dem Kommando `lsusb`. Mit dem Kommando „`dmesg | tail -20`“ sieht man dann unmittelbar nach dem Einstecken die Meldungen:

```
usb 2-4.5: new full-speed USB device number 95 using ohci-pci
usb 2-4.5: New USB device found, idVendor=067b, idProduct=2303
usb 2-4.5: New USB device strings: Mfr=1, Product=2, SerialNumber=0
usb 2-4.5: Product: USB-Serial Controller
usb 2-4.5: Manufacturer: Prolific Technology Inc.
pl2303 2-4.5:1.0: pl2303 converter detected
usb 2-4.5: pl2303 converter now attached to ttyUSB1
```

beziehungsweise

```
usb 2-4.3: new full-speed USB device number 96 using ohci-pci
usb 2-4.3: New USB device found, idVendor=0403, idProduct=6001
usb 2-4.3: New USB device strings: Mfr=1, Product=2, SerialNumber=3
usb 2-4.3: Product: FT232R USB UART
usb 2-4.3: Manufacturer: FTDI
usb 2-4.3: SerialNumber: A50285BI
ftdi_sio 2-4.3:1.0: FTDI USB Serial Device converter detected
usb 2-4.3: Detected FT232RL
usb 2-4.3: Number of endpoints 2
usb 2-4.3: Endpoint 1 MaxPacketSize 64
usb 2-4.3: Endpoint 2 MaxPacketSize 64
usb 2-4.3: Setting MaxPacketSize 64
usb 2-4.3: FTDI USB Serial Device converter now attached to ttyUSB0
```

In der Tabelle 5.3 wird die Baudrate für den FT232R Controller auch unter 300 Baud eingestellt, obwohl der Chip das nicht kann. Aber das `stty` Kommando akzeptiert diese Einstellungen ohne eine Fehlermeldung. Natürlich ist die resultierende Baudrate für diese Einstellungen falsch.

PL2303 supported BaudRate	PL2303 stty speed	PL2303 measured BaudRate	FT232R supported BaudRate	FT232R stty speed	FT232R measured BaudRate	AVR UBBR @16MHz
75	75	75.18	(75)	75	415	
(110)	110	109.9	(110)	110	278	
(134)	134	135.1	(134)	134	502	
150	150	149.8	(150)	150	832	
300	300	300.7	300	300	300.72	
600	600	602.4	600	600	602.4	3332
(900)	Error	-	900	Error	-	2221
1200	1200	1204.8	1200	1200	1212	832
1800	1800	1801.6	1800	1800	1809.6	555
2400	2400	2409.6	2400	2400	2424	416
3600	Error	-	3600	Error	-	277
4800	4800	4808	4800	4800	4831	207
7200	Error	-	7200	Error	-	138
9600	9600	9616	9600	9600	9664	207
14400	Error	-	14400	Error	-	138
19200	19200	19232	19200	19200	19320	103

Tabelle 5.3. geprüfte Baudraten des PL-2303 und FT232R im unteren Baud-Bereich

In der Tabelle 5.4 wird die Baudrate für den FT232R Konverter richtig gesetzt, wenn das stty Kommando keinen Fehler meldet. Ich kenne den Grund nicht, warum einige Baudraten für den FT232R Chip nicht vom stty Kommando akzeptiert werden. Nur die Baudrate 576000 könnte vom Chip besser eingestellt werden, als hier gemessen.

PL2303 supported BaudRate	PL2303 stty speed	PL2303 measured BaudRate	FT232R supported BaudRate	FT232R stty speed	FT232R measured BaudRate	AVR UBBR @16MHz
28800	Error	-	28800	Error	-	68
(33600)	Error	-	33600	Error	-	59
38400	38400	38.464k	38400	38400	38.6k	51
(51200)	Error	-	51200	Error	-	38, 0.16%
(56000)	Error	-	56000	Error	-	35, -0.79%
57600	57600	57.8k	57600	57600	57.8k	34, -0.79%
(64000)	Error	-	64000	Error	-	30, 0.80%
(76800)	Error	-	76800	Error	-	25, 0.16%
115200	115200	115.6k	115200	115200	115.6k	16, 2.12%
(128000)	Error	-	128000	Error	-	15, -2.34%
(153600)	Error	-	153600	Error	-	12, 0.16%
230400	230400	231.2k	230400	230400	231.2k	8, -3.54%
(250000)	Error	-	250000	Error	-	7, 0.00%
(256000)	Error	-	256000	Error	-	7, -2.34%
460800	460800	460.8k	460800	460800	465.1k	-, >5%
(500000)	500000	500.0k	500000	500000	500.0k	3, 0.00%
(576000)	Error	-	576000	576000	588.24k	-, >5%
921600	921600	925.6k	921600	921600	930.4k	-, >5%
(1000000)	1000000	1000k	1000000	1000000	1005k	1, 0.00%
(1200000)	Error	-	1200000	Error	-	-, >5%
(1500000)	Error	1482k	1500000	1500000	1509k	-, >5%
(2000000)	2000000	2010k	2000000	2000000	2020k	0, 0.00%
(3000000)	3000000	3007k	3000000	3000000	3007k	-, >5%

Tabelle 5.4. geprüfte Baudraten des PL-2303 und FT232R im oberen Baud-Bereich

5.3 Der USB-serial Wandler mit der ATmega16X2 Software

Auf manchen Arduino UNO Platinen wird ein ATmega16X2 als USB-seriell Wandler benutzt. Deswegen möchte ich die Untersuchungen der einstellbaren Baudraten auch für diese Lösung durchführen. In der ersten Tabelle 5.5 für den unteren Baudraten-Bereich fällt nur negativ auf, daß die Baudraten unter 600 Baud von stty ohne Fehlermeldung akzeptiert werden. Ab 600 Baud aufwärts werden die Einstellungen ohne Fehlermeldung brauchbar eingehalten.

Mega16X2 supported BaudRate	Mega16X2 stty speed	Mega16X2 measured BaudRate	AVR UBBR @16MHz
75	75	956	
110	110	1120	
134	134	757.6	
150	150	1914	
300	300	778	
600	600	599	3332
900	Error	-	2221
1200	1200	1198	832
1800	1800	1802	555
2400	2400	2395	416
3600	Error	-	277
4800	4800	4808	207
7200	Error	-	138
9600	9600	9616	207
14400	Error	-	138
19200	19200	19232	103

Tabelle 5.5. geprüfte Baudraten des ATmega16X2 im unteren Baud-Bereich

Bei der Tabelle 5.6 für den oberen Baudbereich kann man erkennen, daß auch nicht alle Zahlenwerte ohne Fehlermeldung richtig eingestellt werden. Wünschenswert wäre natürlich eine bessere Rückmeldung von stty, welche Baudraten für das angewählte Interface eingestellt werden können.

Mega16X2 supported BaudRate	Mega16X2 stty speed	Mega16X2 measured BaudRate	AVR UBBR @16MHz
28800	Error	-	68
33600	Error	-	59
38400	38400	38.312k	51
51200	Error	-	38, 0.16%
56000	Error	-	35, -0.79%
57600	57600	58.82k	34, -0.79%
64000	Error	-	30, 0.80%
76800	Error	-	25, 0.16%
115200	115200	116.9k	16, 2.12%
128000	Error	-	15, -2.34%
153600	Error	-	12, 0.16%
230400	230400	221.0k	8, -3.54%
250000	Error	-	7, 0.00%
256000	Error	-	7, -2.34%
(460800)	460800	500.0k	-, >5%
500000	500000	500.0k	3, 0.00%
(576000)	576000	667k	-, >5%
(921600)	921600	995.0k	-, >5%
(1000000)	1000000	1000k	1, 0.00%
(1200000)	Error	-	-, >5%
(1500000)	Error	2000k	-, >5%
2000000	2000000	2000k	0, 0.00%
(3000000)	3000000	2000k	-, >5%

Tabelle 5.6. geprüfte Baudraten des ATmega16X2 im oberen Baud-Bereich

Literaturverzeichnis

- [1] Atmel Corporation *8-bit AVR with 8KBytes In-System Programmable Flash - ATmega8(L)*,. Manual, 2486AA-AVR-02/13, 2013
- [2] Atmel Corporation *8-bit AVR with 8KBytes In-System Programmable Flash - ATmega8515(L)*,. Manual, 2512K-AVR-01/10, 2010
- [3] Atmel Corporation *8-bit AVR with 8KBytes In-System Programmable Flash - ATmega8535(L)*,. Manual, 2502K-AVR-10/06, 2006
- [4] Atmel Corporation *8-bit AVR with 16KBytes In-System Programmable Flash - ATmega16A*,. Manual, 8154C-AVR-07/14, 2014
- [5] Atmel Corporation *8-bit AVR with 32KBytes In-System Programmable Flash - ATmega32(L)*,. Manual, doc2503-AVR-07/11, 2011
- [6] Atmel Corporation *8-bit AVR with 16KBytes In-System Programmable Flash - ATmega163, ATmega163L*,. Manual, 1142E-AVR-02/03, 2003
- [7] Atmel Corporation *8-bit AVR with 4/8/16/32KBytes In-System Programmable Flash - ATmega48 - ATmega328*,. Manual, 8271J-AVR-11/15, 2015
- [8] Atmel Corporation *8-bit AVR with 64KBytes In-System Programmable Flash - ATmega64, ATmega64L*,. Manual, 2490R-AVR-02/2013, 2013
- [9] Atmel Corporation *8-bit AVR with 16/32/64/128KBytes In-System Programmable Flash - ATmega164 - ATmega1284*,. Manual, 8272G-AVR-01/15, 2015
- [10] Atmel Corporation *8-bit AVR with 16/32/64KBytes In-System Programmable Flash - ATmega165A/PA - ATmega6450A/P*,. Manual, 8285F-AVR-ATmega-08/2014, 2013-2014
- [11] Atmel Corporation *8-bit AVR with 128KBytes In-System Programmable Flash - ATmega128, ATmega128L*,. Manual, 2467X-AVR-ATmega-06/11, 2011
- [12] Atmel Corporation *8-bit AVR with 2/4KBytes In-System Programmable Flash - ATtiny2313A-ATtiny4313* ,. Manual, 8246B-AVR-09/11, 2011
- [13] Atmel Corporation *8-bit AVR with 2/4/8KBytes In-System Programmable Flash - ATtiny24-ATtiny44-ATtiny84* ,. Manual, doc8006-AVR-10/10, 2010
- [14] Atmel Corporation *8-bit AVR with 4/8KBytes In-System Programmable Flash - ATtiny441-ATtiny841* ,. Manual, 8495H-AVR-05/14, 2014
- [15] Atmel Corporation *8-bit AVR with 2/4/8KBytes In-System Programmable Flash - ATtiny25-ATtiny45-ATtiny85* ,. Manual, 2586N-AVR-04/11, 2011

- [16] Atmel Corporation *8-bit AVR with 2/4/8KBytes In-System Programmable Flash - ATtiny261A-ATtiny461A-ATtiny861A* ,. Manual, 8197C-AVR-05/11, 2011
- [17] Atmel Corporation *8-bit AVR with 4/8KBytes In-System Programmable Flash - ATtiny48-ATtiny88* ,. Manual, 8008H-AVR-04/11, 2011
- [18] Atmel Corporation *8-bit AVR with 16KBytes In-System Programmable Flash - ATtiny1634* ,. Manual, Atmel-8303H-AVR-ATtiny1634-Datasheet__02/2014, 2014
- [19] Atmel Corporation *8-bit AVR with 32/64/128KBytes of ISP Flash and CAN Controller - AT90CAN32-AT90CAN64-AT90CAN128* ,. Manual, 7682C-AUTO-04/08, 2008
- [20] Atmel Corporation *8-bit AVR with 8KBytes of In-System Programmable Flash - AT90PWM2B-AT90PWM3B* ,. Manual, 4317K-AVR-03/2013, 2013
- [21] Atmel Corporation *STK500 Communication Protocol* ,. Application Note, AVR061-04/03, 2003
- [22] Atmel Corporation *Calibration of the internal RC oscillator* ,. Application Note, AVR053-12/03, 2003
- [23] Atmel Corporation *Half Duplex Compact Software UART* ,. Application Note, 0952C-AVR-0905, 2005
- [24] http://en.wikibooks.org/wiki/LaTeX_LaTeX_documentation,. Guide to the LaTeX markup language, 2012
- [25] <http://www.xfig.org/userman> *Xfig documentation*,. Documentation of the interactive drawing tool xfig, 2009
- [26] <http://www.cs.ou.edu/~fagg/classes/general/atmel/avrdude.pdf> *AVRDUDE Userguide*,. A program for download/uploading AVR microcontroller flash and eeprom, by Brian S. Dean 2006
- [27] <http://www.mikrocontroller.net/articles/AVRDUDE> *Online Dokumentation des avrdude programmer interface*, Online Article, 2004-2011
- [28] <http://wch.cn> *USB to serial chip CH340*, English DataSheet
- [29] <http://www.silabs.com> *CP2102N Data Sheet*, USBXpress Family, 2016
- [30] <http://www.silabs.com> *CP210x Baud Rate Support*, AN205 Rev 0.4, 2007
- [31] <http://www.ftdichip.com/FTProducts.htm> *FT232R USB UART IC Datasheet*, Version 2.13, 2015
- [32] <http://www.ftdichip.com> *Configuring FT232R, FT2232 and FT232B Baud Rates*, AN232B-05, 2004-2006
- [33] <http://www.prolific.com.tw> *PL-2303 Edition USB to Serial Bridge Controller*, Product Datasheet, Rev. 1.6, April26, 2006