

# 简单组合逻辑电路的设计

翁家翌 2016011446

2018-04-12

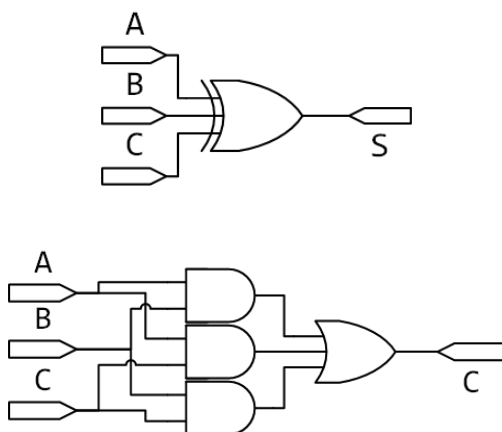
## 1 实验目的

1. 实现两位全加运算
2. 实现两位减法运算 (显示借位信息, 并且当  $A < B$  时, 显示补码表示的差值)
3. 改进两位减法运算 (显示借位信息, 和计算出的差的绝对值)

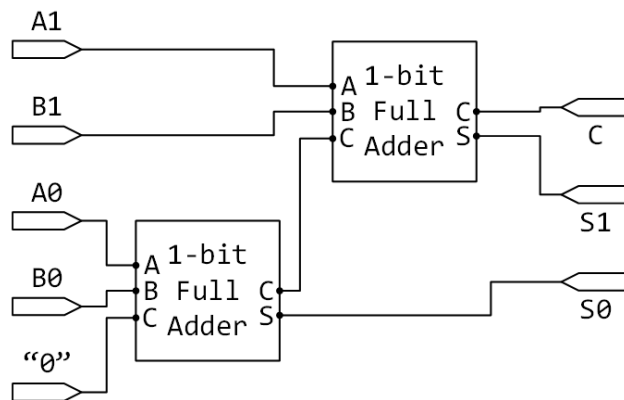
## 2 实验原理

### 2.1 两位全加运算

我们用二进制的方式表示一个数。先设计 1 位全加器, 即给出输入  $A, B, C_{in}$ , 要输出当前位的和  $S$  和进位信息  $C_{out}$ 。设计电路如下:

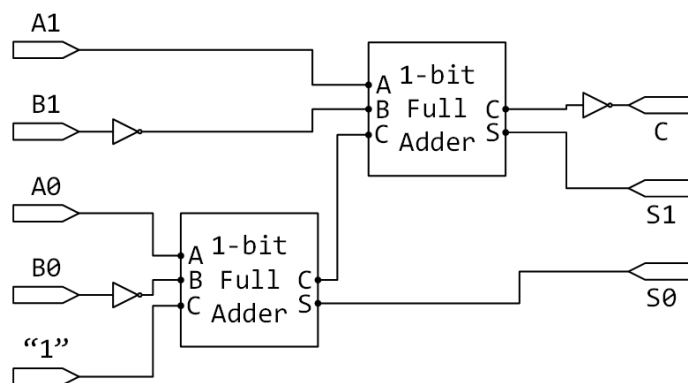


通过重复使用 1 位全加器, 即可得到 2 位全加器。电路如下:



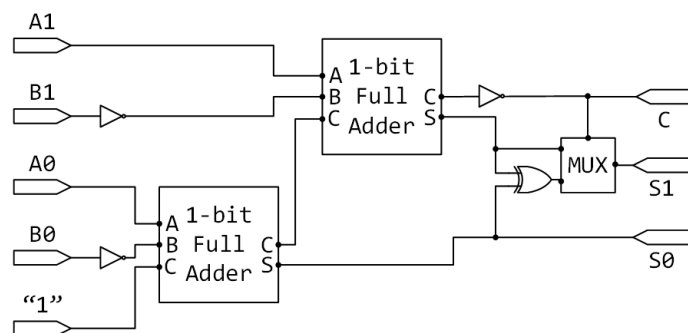
## 2.2 两位减法运算

与 2 位全加器的实现方法类似, 只需稍作改动就可以得到 2 位减法器。电路如下:



## 2.3 改进两位减法运算

根据借位信息  $C$  分类讨论, 如果  $C$  为 1 则输出原码。2 位的补码转原码电路只需要一个异或门。然后, 再在上述减法电路的基础上加一个选择器就可以实现了。电路如下:



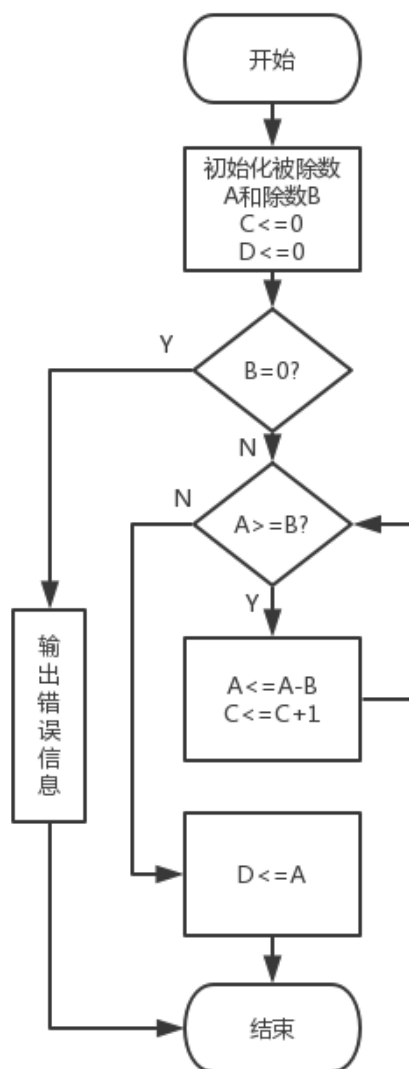
### 3 实验过程

根据设计的电路图, 在实验箱上用逻辑门连好电路, 即可实现所需要的功能。

### 4 思考题

设计一个 4 位二进制除法运算电路。A 为被除数, B 为除数, C 为商数, D 为余数。要求画出具体逻辑图或框图, 并描述其工作原理。

#### 4.1 逻辑框图



## 4.2 工作原理

1. 如果除数为 0，那么输出错误信息；
2. 如果被除数比除数来得大，那么不停地将被除数减去除数，同时商数 +1，当被除数小于除数的时候，把被除数当前的值赋给余数，算法结束。

## 5 实验小结

1. 对于比较复杂的实验，一定要先将实验线路图画好，确认无误之后再接线；
2. 一般情况下，接线前要对导线和芯片进行检查，能有效提高心理安全感，并减少一定出错的概率；
3. 对于接线比较复杂的实验，要尝试给导线颜色以一定的含义，以便于检查接线；
4. 可以利用发光二极管查看某一个位置点的电平是高电平还是低电平；
5. 如果接线完成之后的实验结果，即使进行了简单的查错与修改，仍然与预期不同，应该重新检查实验线路图并拆除所有导线重新连接，这样会比直接在原有基础上查错修改的效率很高很多；
6. 感谢老师和助教的耐心指导。