

实验五 同步时序逻辑电路设计与分析

22281067 衡勇睿

一、实验目的

- 1、熟悉 Multisim14.0 仿真软件环境；
- 2、掌握集成触发器的功能和使用方法；
- 3、掌握同步时序逻辑电路的设计与分析的方法。

二、实验原理

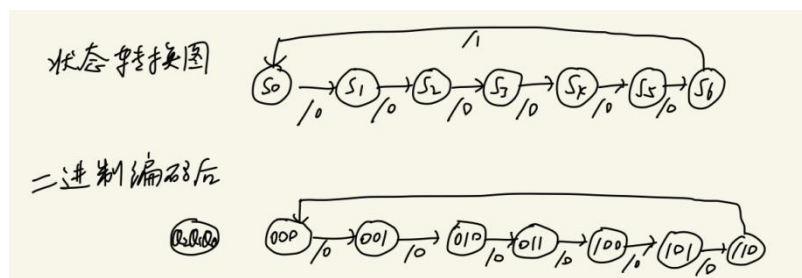
计数器是数字系统中用的较多的基本逻辑器件，它的基本功能是统计时钟脉冲的个数，即实现计数操作，它也可用于分频、定时、产生节拍脉冲和脉冲序列等。例如，计算机中的时序发生器、分频器、指令计数器等都要使用计数器。

计数器的种类很多。按构成计数器中的各触发器是否使用一个时钟脉冲源来分，可分为同步计数器和异步计数器；按进位体制的不同，可分为二进制计数器、十进制计数器和任意进制计数器；按计数过程中数字增减趋势的不同，可分为加法计数器、减法计数器和可逆计数器；还有可预置数等等。

三、实验内容及实验步骤

任务 1：实现习题 5-19。完成实验以及撰写实验报告的时候应注意：（1）要按照书上设计步骤，有完整的设计过程。（2）模 6 计数器或者模 7 计数器，都需要用到 3 个触发器，总共 8 个状态。因此一定会有有效循环之外的无效状态。设计及实验需要体现自启动能力，即当系统状态预置为无效状态的时候，仍然能进入有效状态。（3）需要设计进位输出信号，输出进位信号的周期显然应为计数器的模。（4）要在逻辑分析仪上观测到上述现象。

状态转换图：



卡诺图：

卡诺图

	Q_1^n	00	01	11	10
Q_0^n	0	001/0	010/0	100/0	011/0
	1	101/0	110/0	X	000/1

各次态卡诺图及状态方程：

Q_0^{n+1}

	Q_1^n	00	01	11	10
Q_0^n	0	1	0	0	1
	1	1	0	X	0

$$Q_0^{n+1} = \overline{Q_1^n} \overline{Q_0^n} + \overline{Q_1^n} Q_0^n$$

$$= \overline{Q_1^n} Q_0^n$$

$$J_0 = \overline{Q_1^n} Q_0^n, K_0 = 1$$

Q_1^{n+1}

	Q_1^n	00	01	11	10
Q_0^n	0	0	1	0	1
	1	0	1	X	0

$$Q_1^{n+1} = \overline{Q_1^n} Q_0^n + \overline{Q_2^n} Q_1^n \overline{Q_0^n}$$

$$J_1 = Q_0^n$$

$$K_1 = \overline{Q_2^n} \overline{Q_0^n}$$

Q_2^{n+1}

	Q_1^n	00	01	11	10
Q_0^n	0	0	0	1	0
	1	1	1	X	0

$$Q_2^{n+1} = Q_2^n \overline{Q_1^n} + Q_1^n Q_0^n \overline{Q_2^n}$$

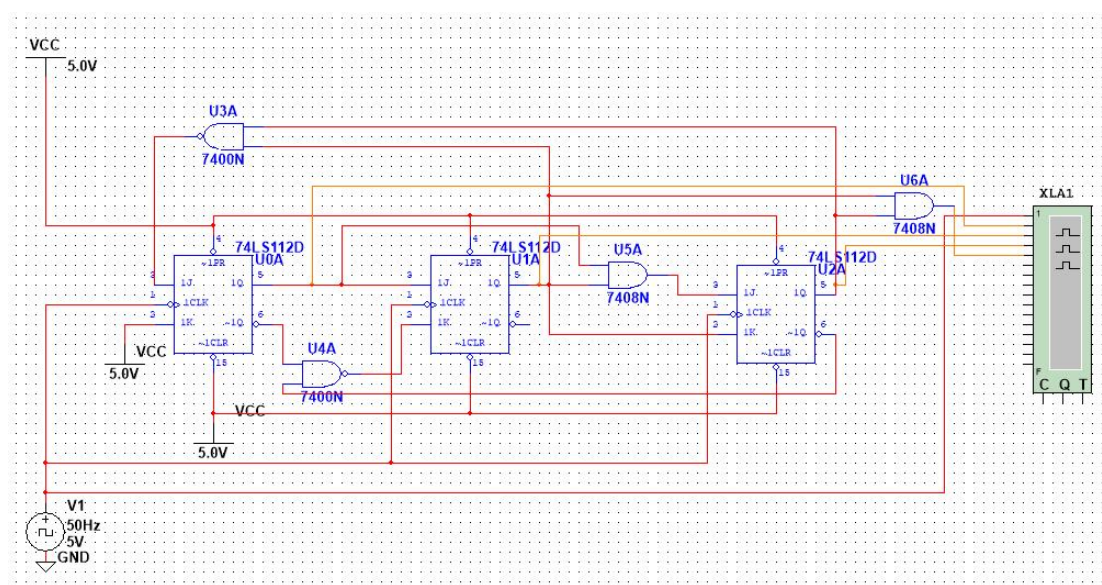
$$J_2 = Q_1^n Q_0^n$$

$$K_2 = Q_1^n$$

	Q_1^n	00	01	11	10
Q_0^n	0	0	0	0	0
	1	0	0	X	1

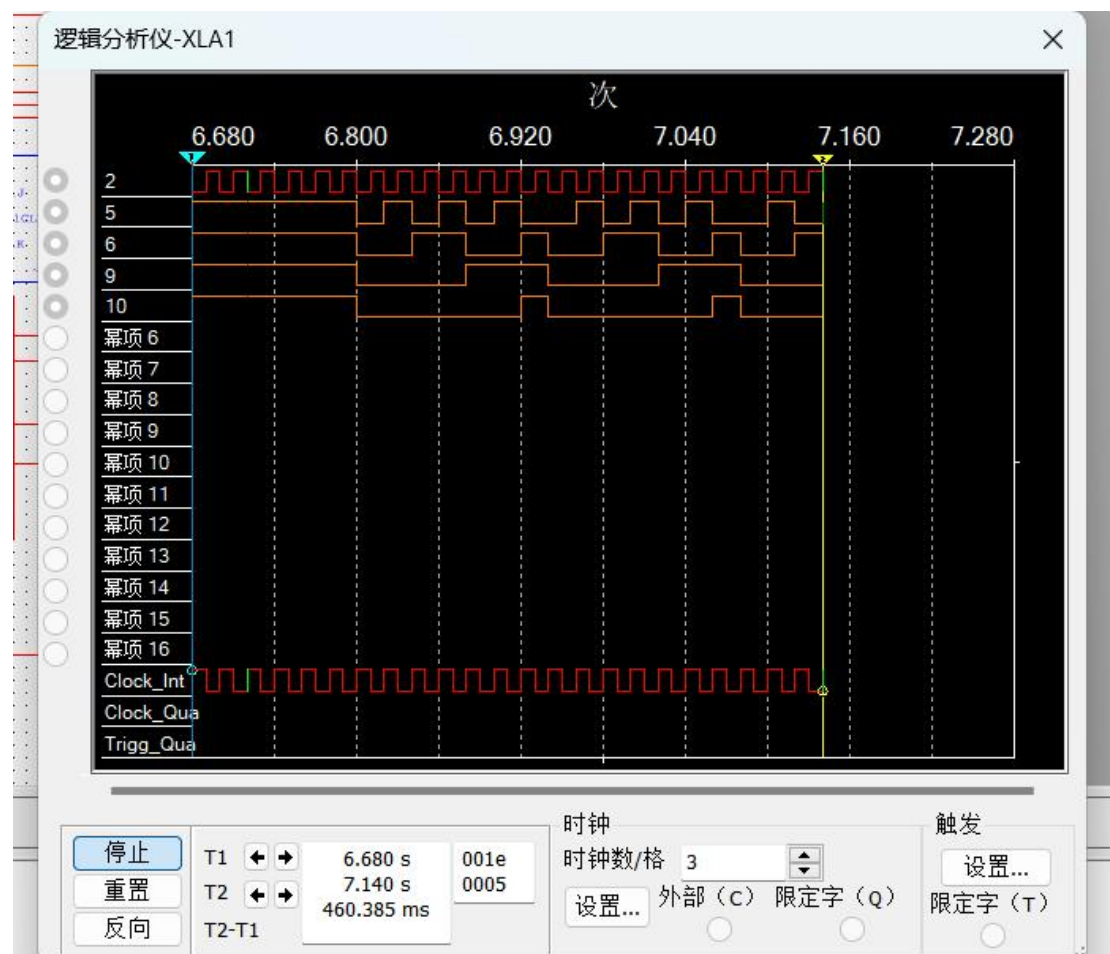
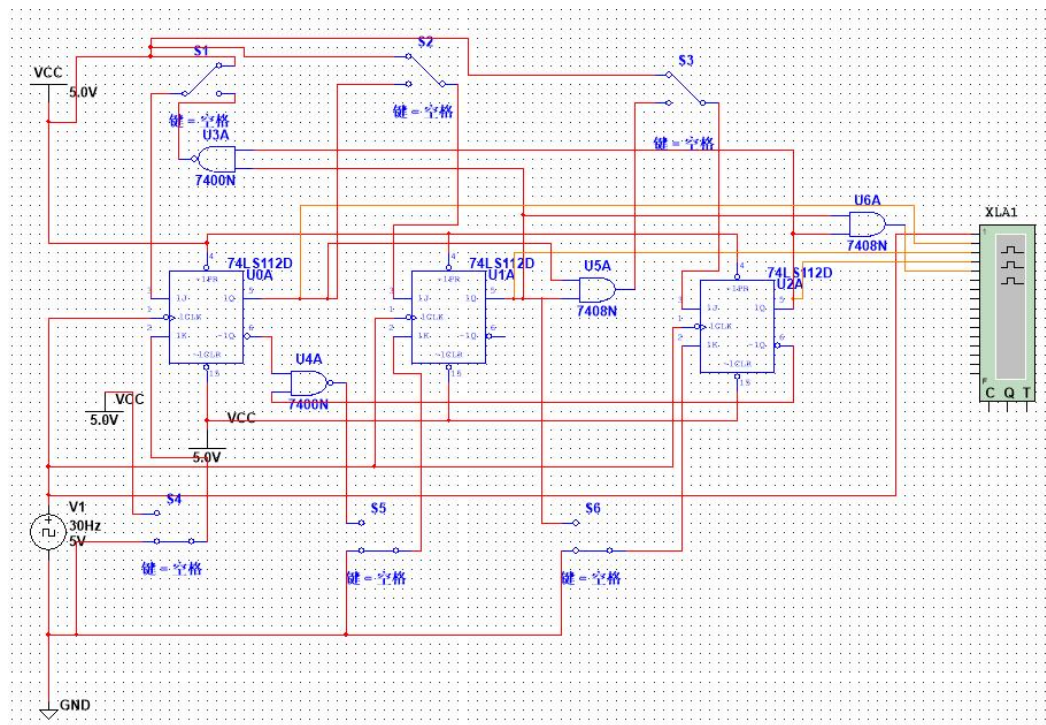
$F = Q_1^n Q_0^n$

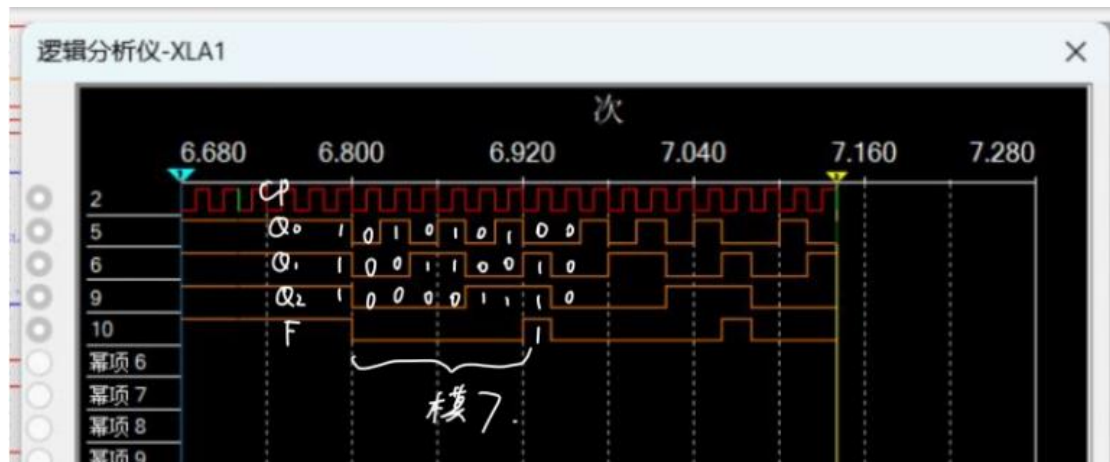
电路图：



实验现象：

在原电路图的基础上添加 6 个开关，用于将 Q2Q1Q0 预置为 111（当 J=1,K=0 时，Q=1），以检查电路能否从无效状态 111 自启动。

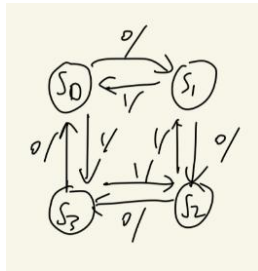




注：5 条波形从上到下依次为：CP、Q0、Q1、Q2、输出 F。
经检查，电路能够自启动。

任务 2: 请用 D 触发器 (74LS74) 实现实验五的模 4 可逆计数器功能。

状态转换图:



卡诺图:

$X \backslash Y_2 Y_1$	00	01	11	10
0	01	10	00	11
1	11	00	10	01

各次态及输出端卡诺图、状态方程:

Y_2^{n+1}

$X \backslash Y_2 Y_1$	00	01	11	10
0	0	1	0	1
1	1	0	1	0

$$Y_2^{n+1} = \overline{X \oplus Y_1} Y_2 + X \oplus Y_1 \overline{Y_2}$$

$$= (X \oplus Y_1) \oplus Y_2$$

$$D_2 = (X \oplus Y_1) \oplus Y_2$$

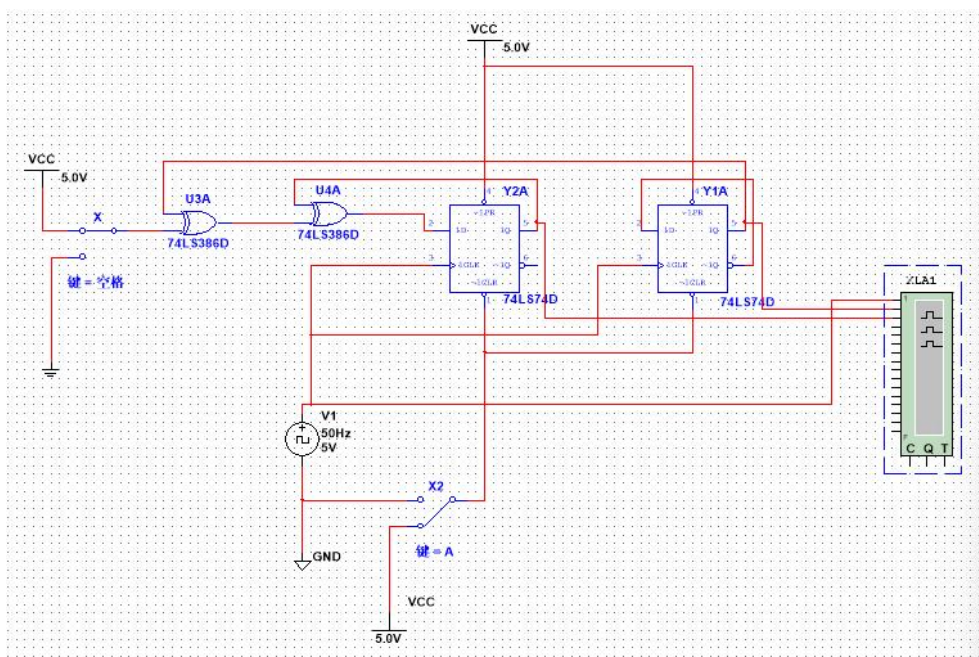
Y_1^{n+1}

$X \backslash Y_2 Y_1$	00	01	11	10
0	1	0	0	1
1	1	0	0	1

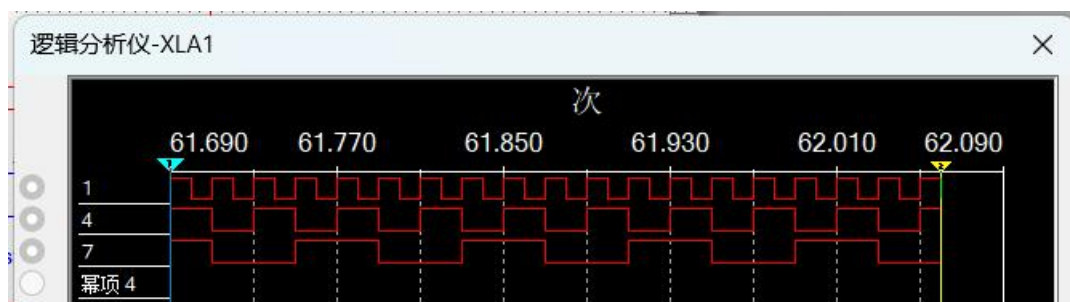
$$Y_1^{n+1} = \overline{Y_1}$$

$$D_1 = \overline{Y_1}$$

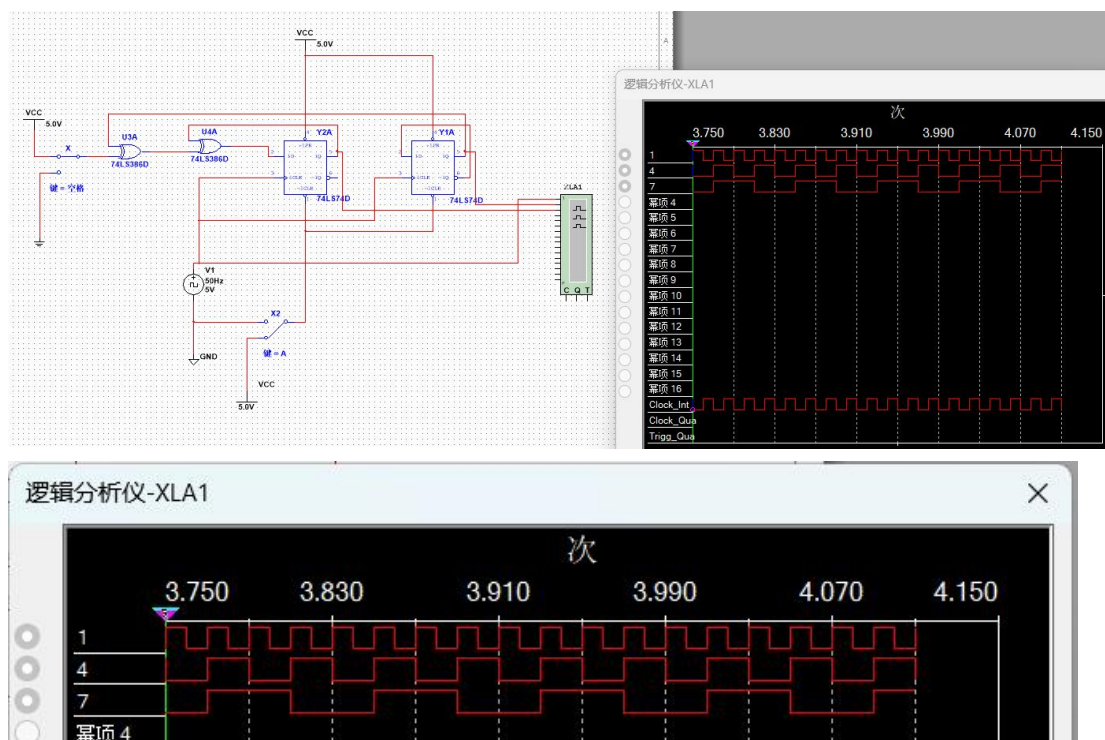
电路图:



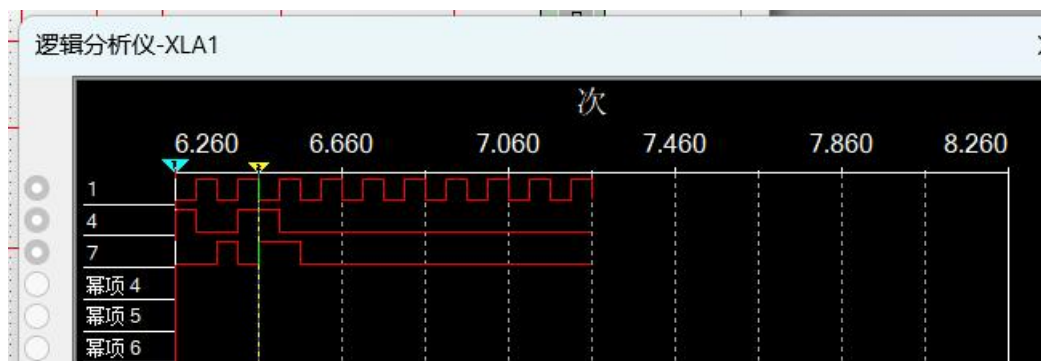
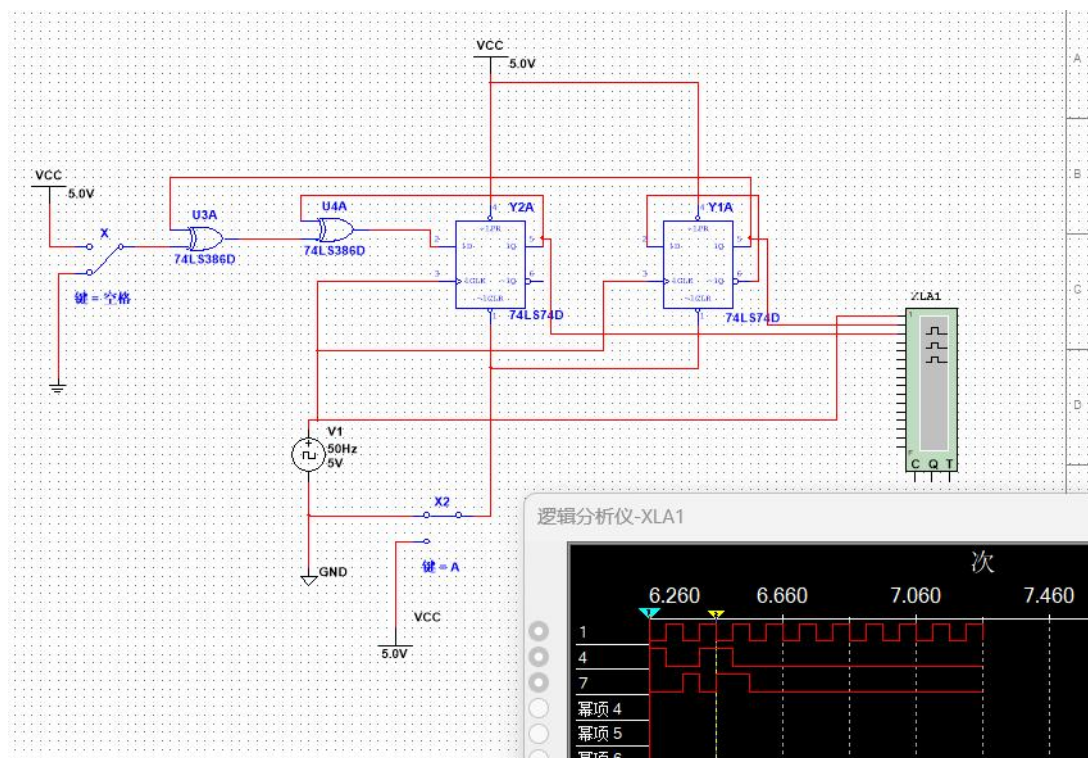
(1) $X=0$ 时, 为加计数器。



(2) $X=1$ 时, 为减计数器。



(3) 通过开关 X2，可以实现清零操作。



任务 3: 实现串行信号 110 的检测。实验报告重点: (1) \sim CLR 是高优先级别的清零端, 在需要的时候清零, 因此清零端在不需要的时候应该置 1。(2)实验报告撰写应充分体现设计和实验过程 (3)在用逻辑分析仪显示的时候, 应将系统时钟和输出信号直接连接到逻辑分析仪, 要能从波形上观察到串行 110 信号及相应的输出信号。

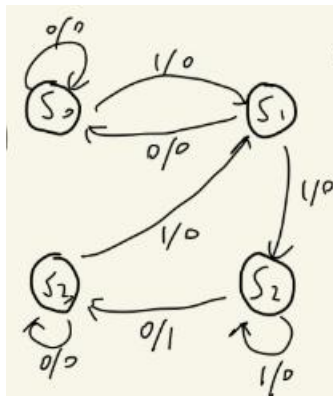
设计思路:

记 S_0 : 出现 1 之前

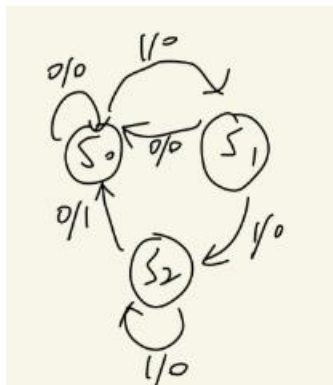
S_1 : 出现了 1 个 1

S_2 : 出现了 2 个 1

S_3 : 出现了 110



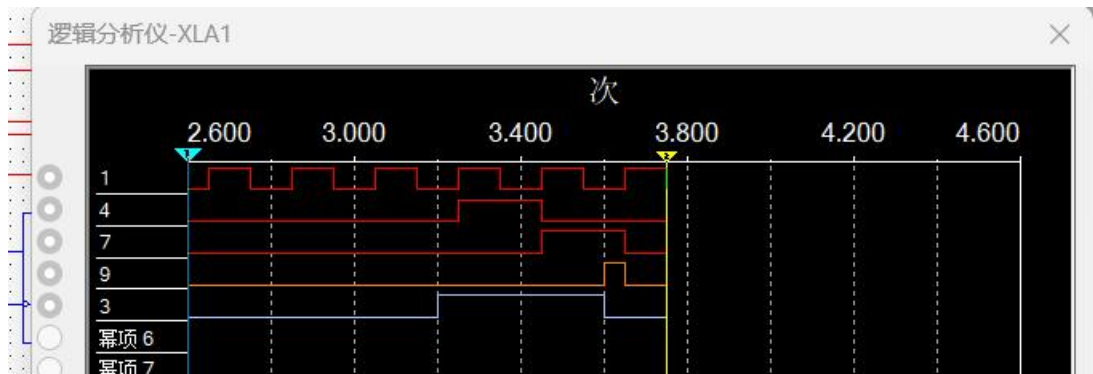
发现 S_0 与 S_3 等价。化简:



卡诺图:

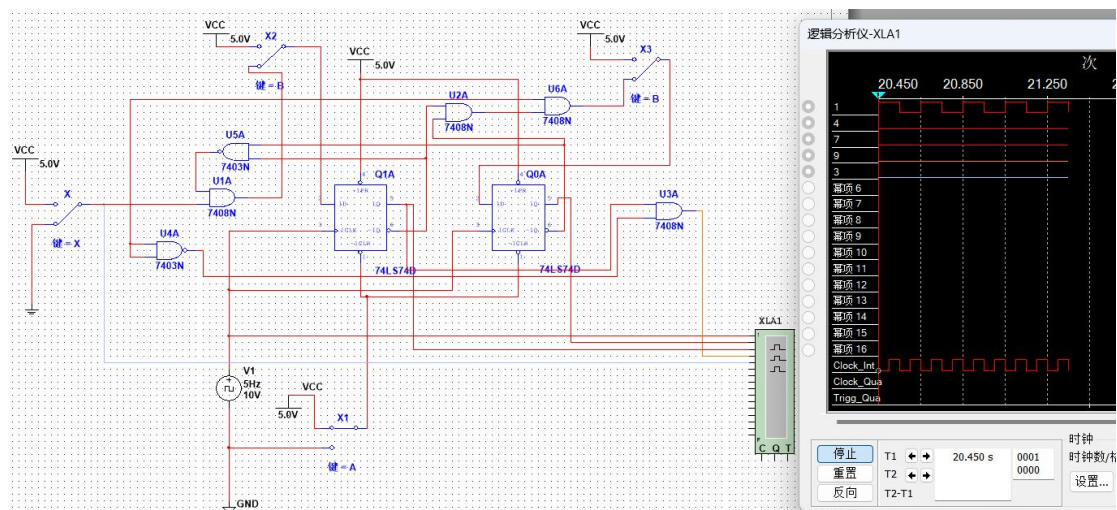
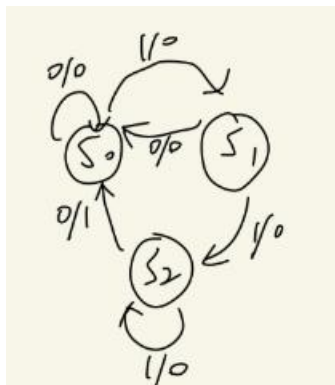
$Q_1 Q_0$					
X		00	01	11	10
	0	0/0	0/0	X	0/1
	1	0/0	1/0	X	1/0

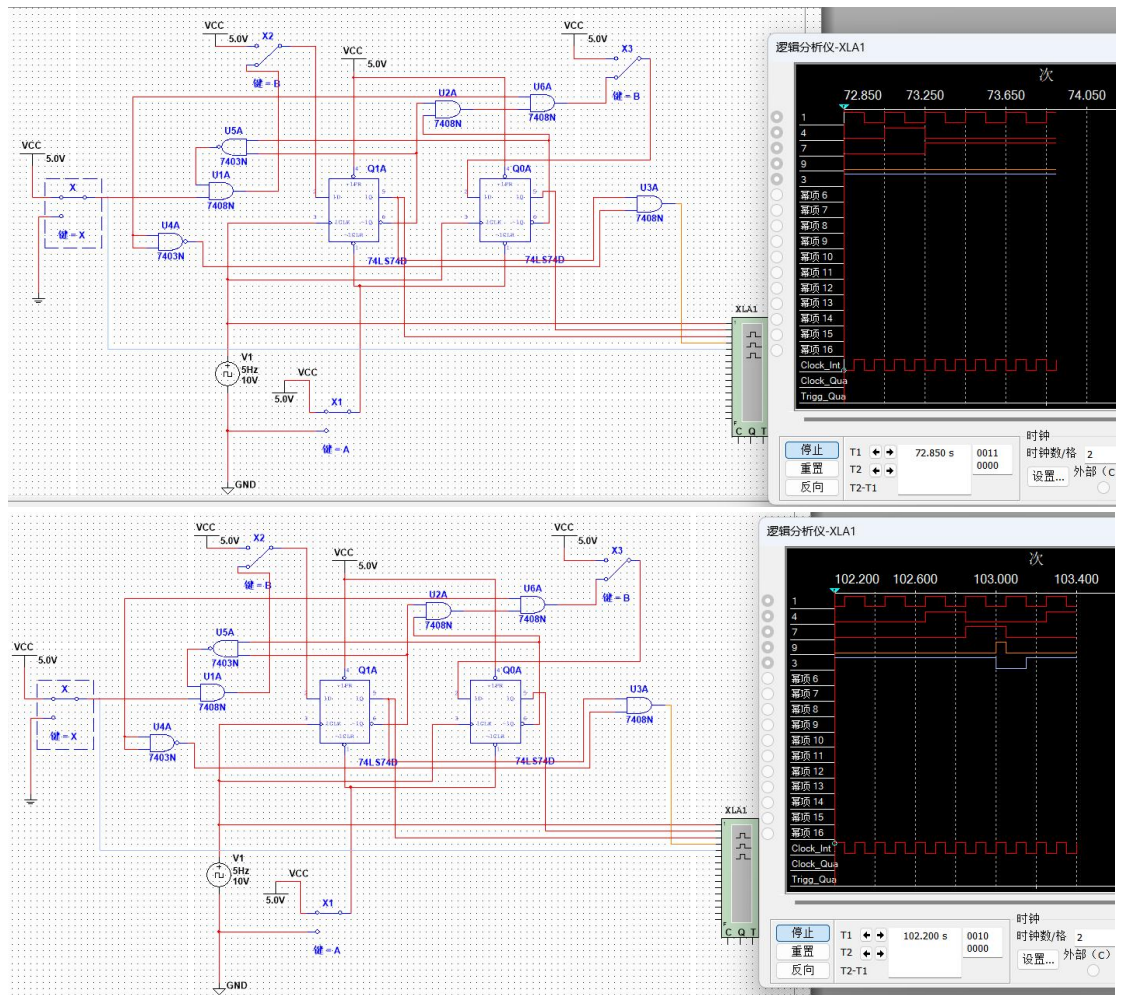
各状态及输出端卡诺图、状态方程:



注：5 条波形从上到下依次为：CP、Q0、Q1、输出 F、输入 X。

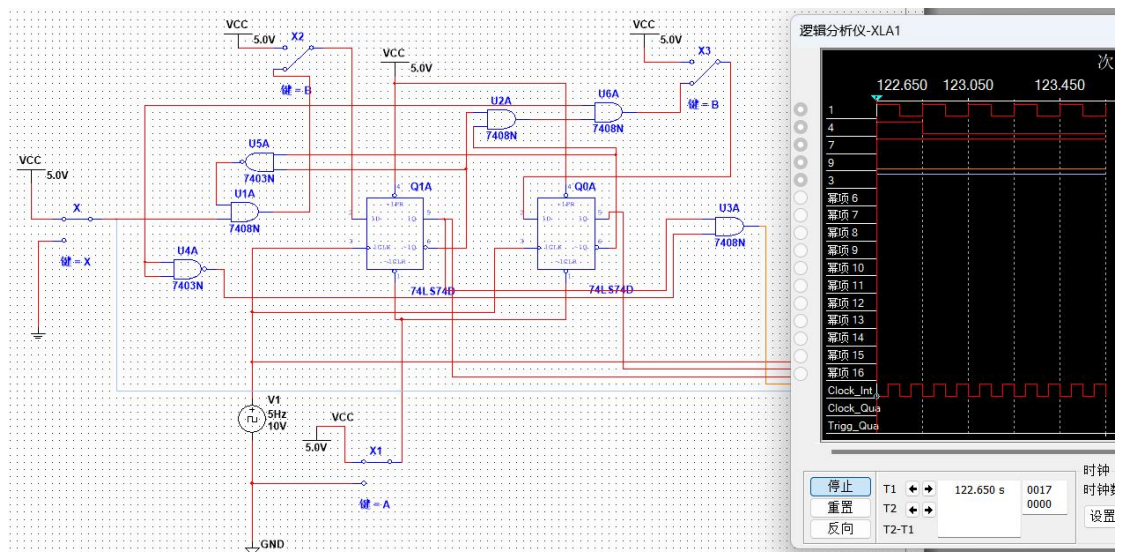
(2) 当串行输入为其他情况，如 000...或 111 或 011011...等，按照如下转换图进行转移。



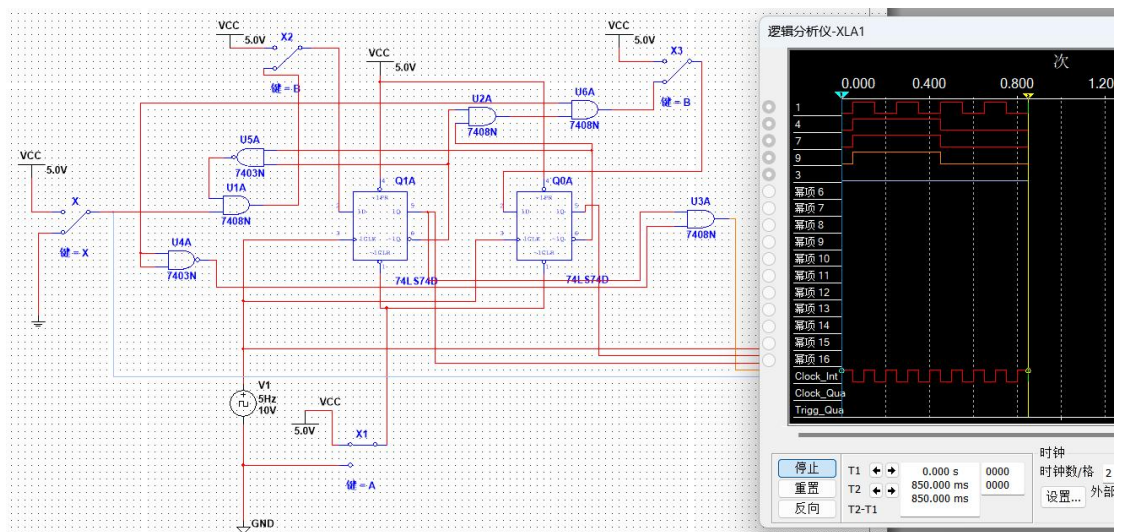


(3) 本电路无效状态为 $Q_1Q_0=11$ ，预置为无效状态时，能自启动。
通过加入两个开关 X_2 、 X_3 实现预置 $Q_1Q_0 = 11$ 。

$X=1$ 时， Q_1Q_0 从 11 变为 10；



$X=0$ 时, Q_1Q_0 从 11 变为 00。



经检验, 电路能够自启动, 最终的状态转换图如下:

