实验六、计数器电路的设计

1. 实验目的
   1. 掌握同步时序逻辑电路的分析方法
   2. 掌握集成时序逻辑器件的分析和设计方法
2. 实验任务

**任务A：**

在实验指导书图6-2的基础上，试设计2位不同进制计数器的电路。以各位学号的最后两位确定进制。如学号为20281162，则设计62进制计数器。如学号最后两位数小于30，则将最后两位加上40。如21284023，则设计63进制计数器。

1、画出实验电路。

2、观察仿真结果，验证此电路的功能是否实现，并说明该计数器的计数时钟是上升沿还是下降沿触发。

3、验证RCO输出端与计数值QD~QA的逻辑关系。

4、通过实验，说明74160的ENP和ENT的作用。

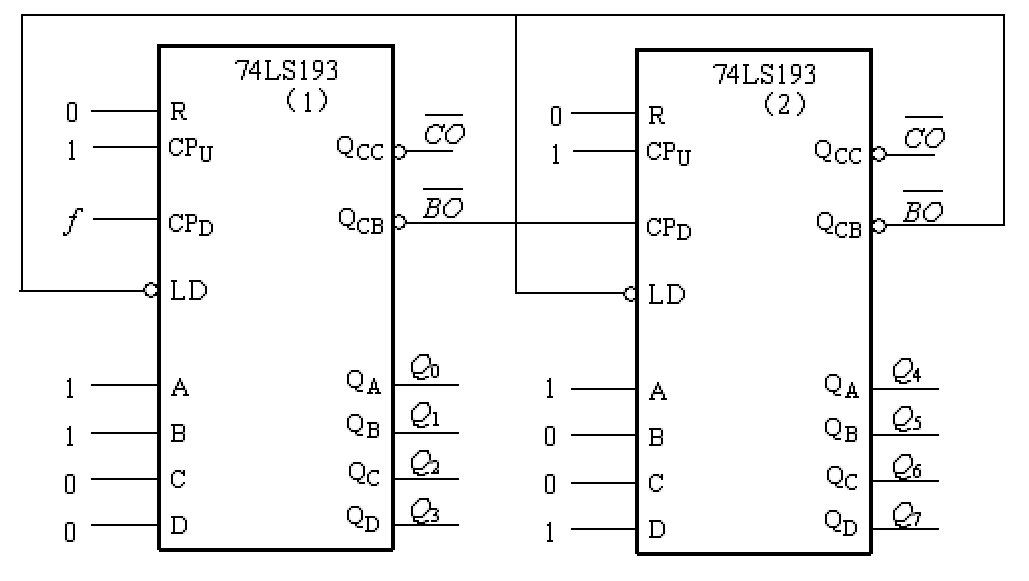
67

0~66

0000 0000 ~ 0110 0110

**任务B**：

分析下图，试确定该计数器的模（提示，可使用数码管）。要求有完整分析过程。



1. 提交要求
2. 提交内容包括（1）运行截图和必要的文字说明；（2）可运行的完整工程文件，未完成则不必提交；
3. 提交入口为课程平台，11月28日00:00准时关闭。
4. 如有疑问，微信随时联系。

**友情提示：严禁拷贝其他同学的实验结果、截图等，如有此类行为，一经发现，涉及的同学（包括抄袭及被抄袭者）实验分数直接不及格。**