

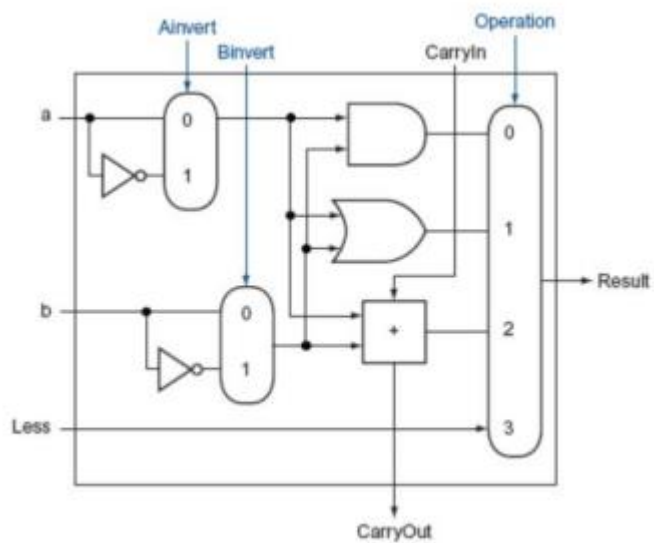
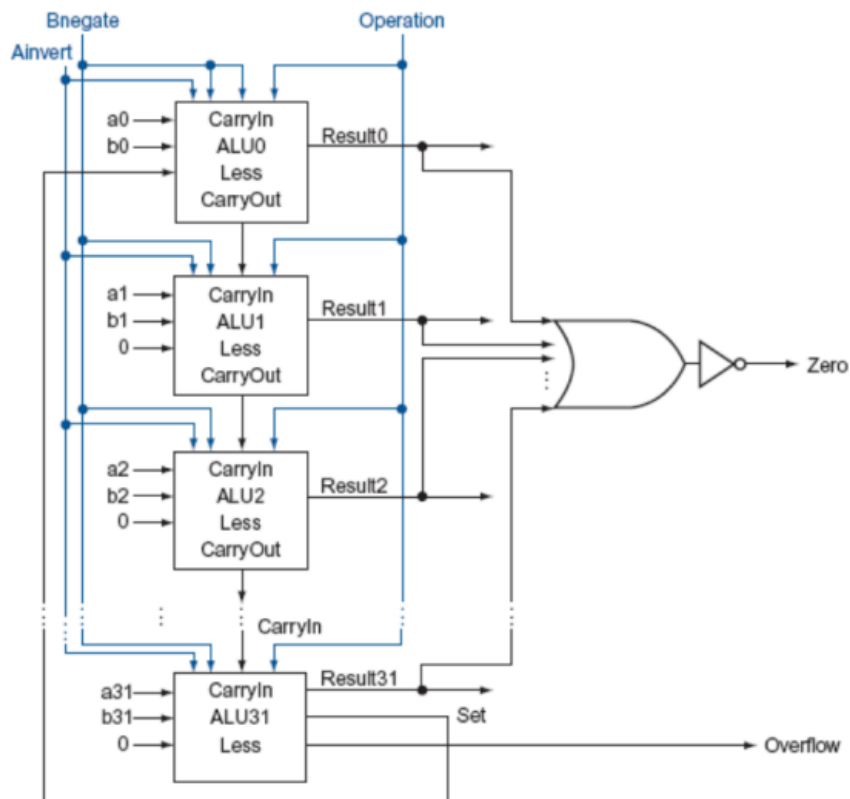
# Computer Organization

## Lab 1: 32-bit ALU

Student ID:110550142

Name: 黃芷柔

### 1. Architecture diagrams



## 2. Hardware module analysis

alu\_top():根據 ALU\_control[1:0]分成四種情況，用 case 分別運算四種情況。

alu():用 32 個 1-bit alu(alu\_top())組成，

result: SLT 要轉換成 32'b0 或 32'b1，其他照原本的輸出。

overflow:根據運算方式(ADD,SUB)比較兩個 input 和 result 的正負號，得到結果。

## 3. Experimental result

把 testbench 跟 txt 檔匯入，

Test case:

1. AND:運算後的結果是 00000000，z=1,c=0,v=0
2. OR:運算後的結果是 399fcbdc，z=0,c=0,v=0
3. ADD: ffffffff+00000001=00000000，z=1,c=1,v=0(一正一負，沒有 overflow)
4. SUB: 7eda5023-2ec36ae5=5016e53e，z=0,c=1,v=0(大減小後是正數，沒有 overflow)
5. SLT:負數<正數，結果是 00000001，z=0,c=0,v=0
6. NOR: 運算後的結果是 ffffffff，z=0,c=0,v=0

執行後得到結果：

```
*****  
Congratulation! All data are correct!  
*****
```

## 4. Problems you met and solutions

Problem1.跑出[VRFC 10-3236] concurrent assignment to a non-net 'result' is not permitted 的錯誤訊息。

Solution1.由於 reg 不能匯入 module 做 output，因此另外設 wire 匯入即可。

Problem2. SLT 的 testcase 答案有誤

**Solution2.** 沒有考慮到輸入是有符號數，發現後改成先比較正負號，在從 `result[30]`判斷。

## 5. Summary

由於之前上數位電路設計沒有寫過 `verilog`，對語法不太熟悉，剛開始卡在變數設定的地方，幸好網路上查得到錯誤訊息的解決方法。

在這次的 **lab** 中，我對 **alu** 的運作方式更加了解，並學到一些運算有符號數的技巧。