



Cours exposé

ELECTRONIQUE NUMERIQUE

email : nasser_baghdad @ yahoo.fr

ELECTRONIQUE NUMERIQUE

Sommaire

Chapitre I : Technologies des circuits logiques : TTL et CMOS

Chapitre II : Les bases de numération

Chapitre III : Les portes logiques

Chapitre IV : Les fonctions binaires

Chapitre V : Les circuits combinatoires

Chapitre VI : Les circuits séquentiels

ELECTRONIQUE NUMERIQUE

Chapitre. VI

Les circuits séquentiels

Chapitre VI : Les circuits séquentiels

I. Les bascules

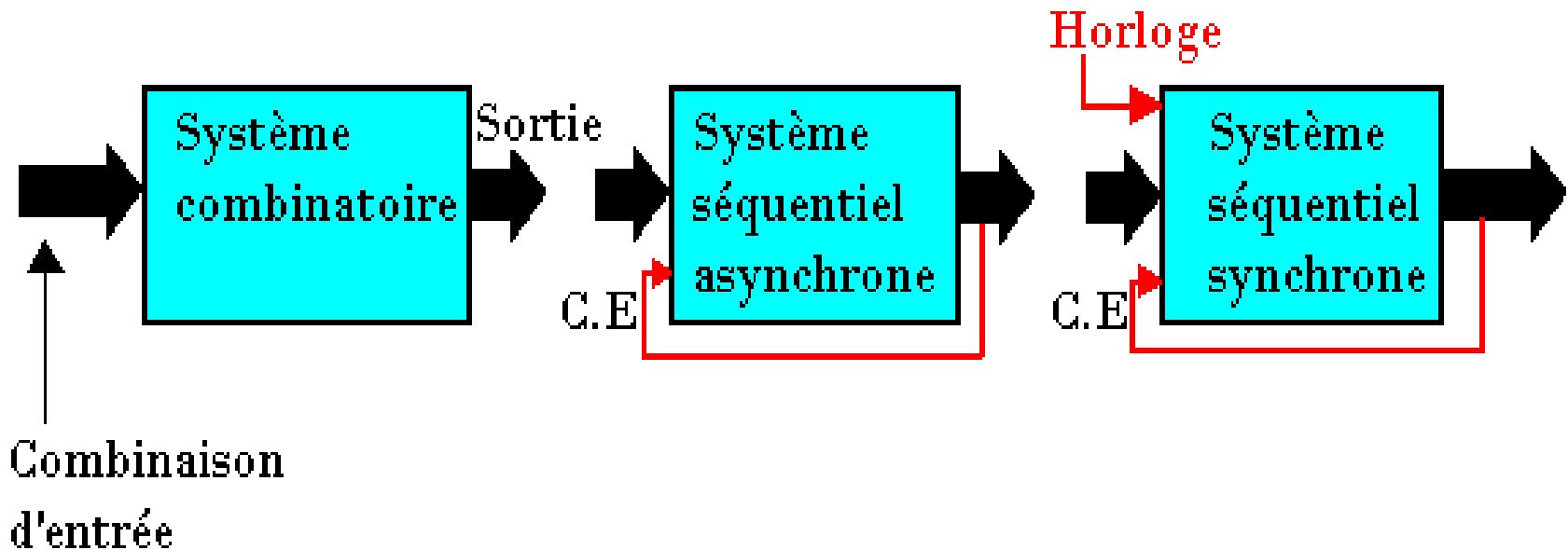
II. Les circuits de comptage : compteurs/décompteurs

III. Les registres

IV. Les mémoires

Chapitre VI : Les circuits séquentiels

Système combinatoire - Système séquentiel : Rappel



Chapitre VI : Les circuits séquentiels

I. Les bascules

Chapitre VI : Les circuits séquentiels

1°) Les bascules RS

2°) Les bascules JK

3°) Les bascules D

4°) Les bascules T

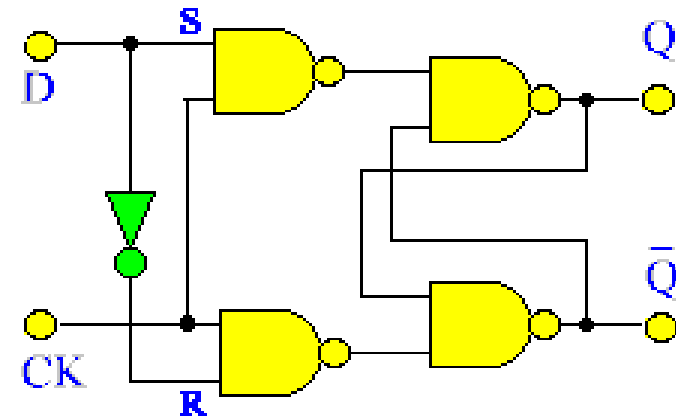
Chapitre VI : Les circuits séquentiels

Définition

- ▶ Une bascule est une micro structure séquentielle qui comprend une ou plusieurs entrées et 2 sorties complémentaires.
- ▶ On l'appelle aussi élément mémoire ou multivibrateur bistable.
- ▶ On distingue plusieurs types de bascule.

- Les bascules RS
- Les bascules JK
- Les bascules D
- Les bascules T

Exemple : bascule D



Chapitre VI : Les circuits séquentiels

1°) Les bascules RS

a. Bascule RS asynchrone

Symbole de la bascule RS asynchrone : version n°1



- S (Set) est l'entrée de mise à 1.
- R (Reset) est l'entrée de mise à 0 ou d'effacement de la mémoire.
- La sortie Q donne l'information mémorisée.
- La sortie \bar{Q} correspond au complément de Q .

S	R		Q_t	\bar{Q}_t	Etat des sorties
0	0		Q_{t-1}	\bar{Q}_{t-1}	Mémoire
0	1		0	1	Mise à 0 (MAZ) ou armé
1	0		1	0	Mise à 1 (MAU) ou réarmé
1	1		x	x	Interdit ou irrégulier

Équation de fonctionnement :

$$Q_t = S + \bar{R} \cdot Q_{t-1}$$

Chapitre VI : Les circuits séquentiels

L'implémentation utilisant
les portes NOR

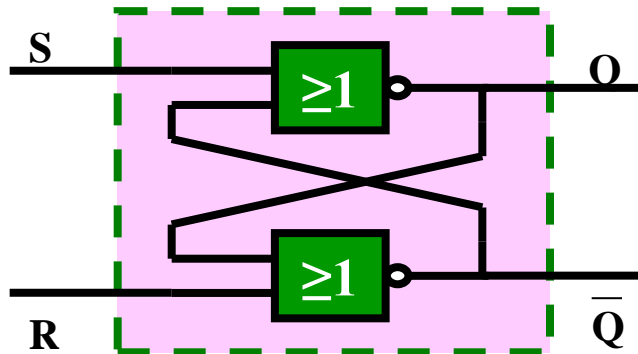


Table de vérité optimisée

S	R		Q_t	$\overline{Q_t}$	Etat des sorties
0	0		Q_{t-1}	$\overline{Q_{t-1}}$	Mémoire
0	1		0	1	Mise à 0 (MAZ) Reset ou armé
1	0		1	0	Mise à 1 (MAU) Set ou réarmé
1	1		0	0	Interdit ou irrégulier

$$Q_t = \overline{R} \cdot (S + Q_{t-1})$$

L'implémentation utilisant
les portes NAND

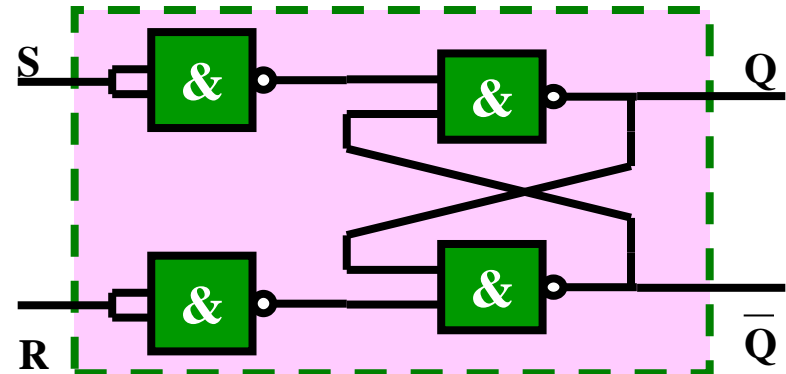


Table de vérité optimisée

S	R		Q_t	$\overline{Q_t}$	Etat des sorties
0	0		Q_{t-1}	$\overline{Q_{t-1}}$	Mémoire
0	1		0	1	Mise à 0 (MAZ) Reset ou armé
1	0		1	0	Mise à 1 (MAU) Set ou réarmé
1	1		1	1	Interdit ou irrégulier

$$Q_t = S + \overline{R} \cdot Q_{t-1}$$

Chapitre VI : Les circuits séquentiels

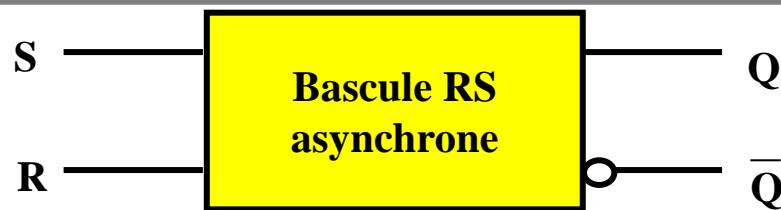


Table de vérité

S	R	Qt-1	Qt	Qt	Etat de la sortie
0	0	0	0	1	Mémoire
0	0	1	1	0	Mémoire
0	1	0	0	1	Mise à 0
0	1	1	0	1	Mise à 0
1	0	0	1	0	Mise à 1
1	0	1	1	0	Mise à 1
1	1	0	0 X 1	0 X 1	NOR Interdit NAND
1	1	1	0 X 1	0 X 1	NOR Interdit NAND

Équation de fonctionnement :

$$Q_t = S + \bar{R} \cdot Q_{t-1}$$

Chapitre VI : Les circuits séquentiels

Symbole de la bascule RS asynchrone : version n°2

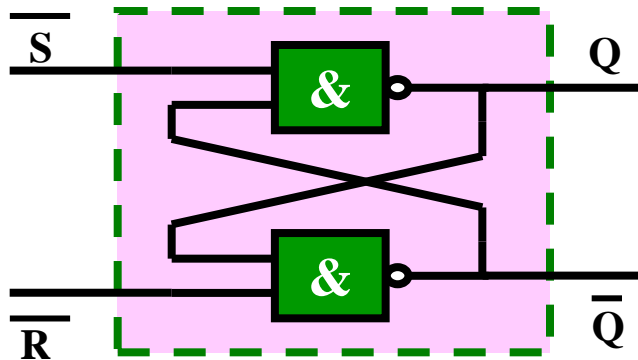


- \overline{R} (Set) est l'entrée de mise à 1 ou mémorisation de l'information reçue.
- \overline{S} (Reset) est l'entrée de mise à 0 ou d'effacement de la mémoire.
- La sortie Q donne l'information mémorisée.
- La sortie \overline{Q} correspond au complément de Q .

\overline{S}	\overline{R}		Q_t	$\overline{Q_t}$	Etat des sorties
0	0		X	X	Interdit ou irrégulier
0	1		1	0	Mise à 1 (MAU) Set ou réarmé
1	0		0	1	Mise à 0 (MAZ) Reset ou armé
1	1		Q_{t-1}	$\overline{Q_{t-1}}$	Mémoire

Chapitre VI : Les circuits séquentiels

L'implémentation utilisant les portes NAND



L'implémentation utilisant les portes NOR

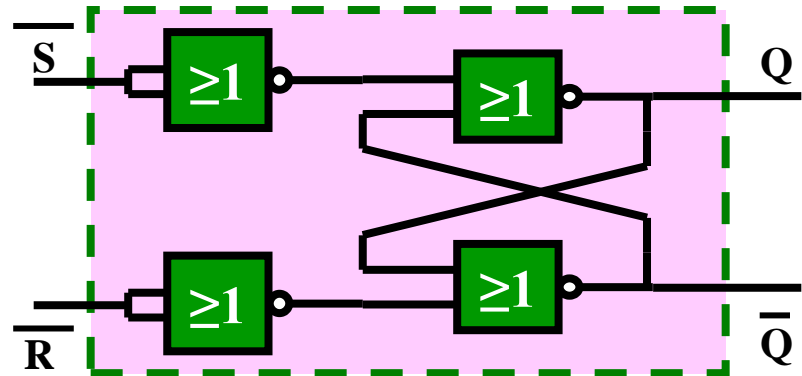


Table de vérité optimisée

S	R		Qt	Qt̄	Etat des sorties
0	0		1	1	Interdit ou irrégulier
0	1		1	0	Mise à 1 (MAU) Set ou réarmé
1	0		0	1	Mise à 0 (MAZ) Reset ou armé
1	1		Qt-1	Qt̄-1	Mémoire

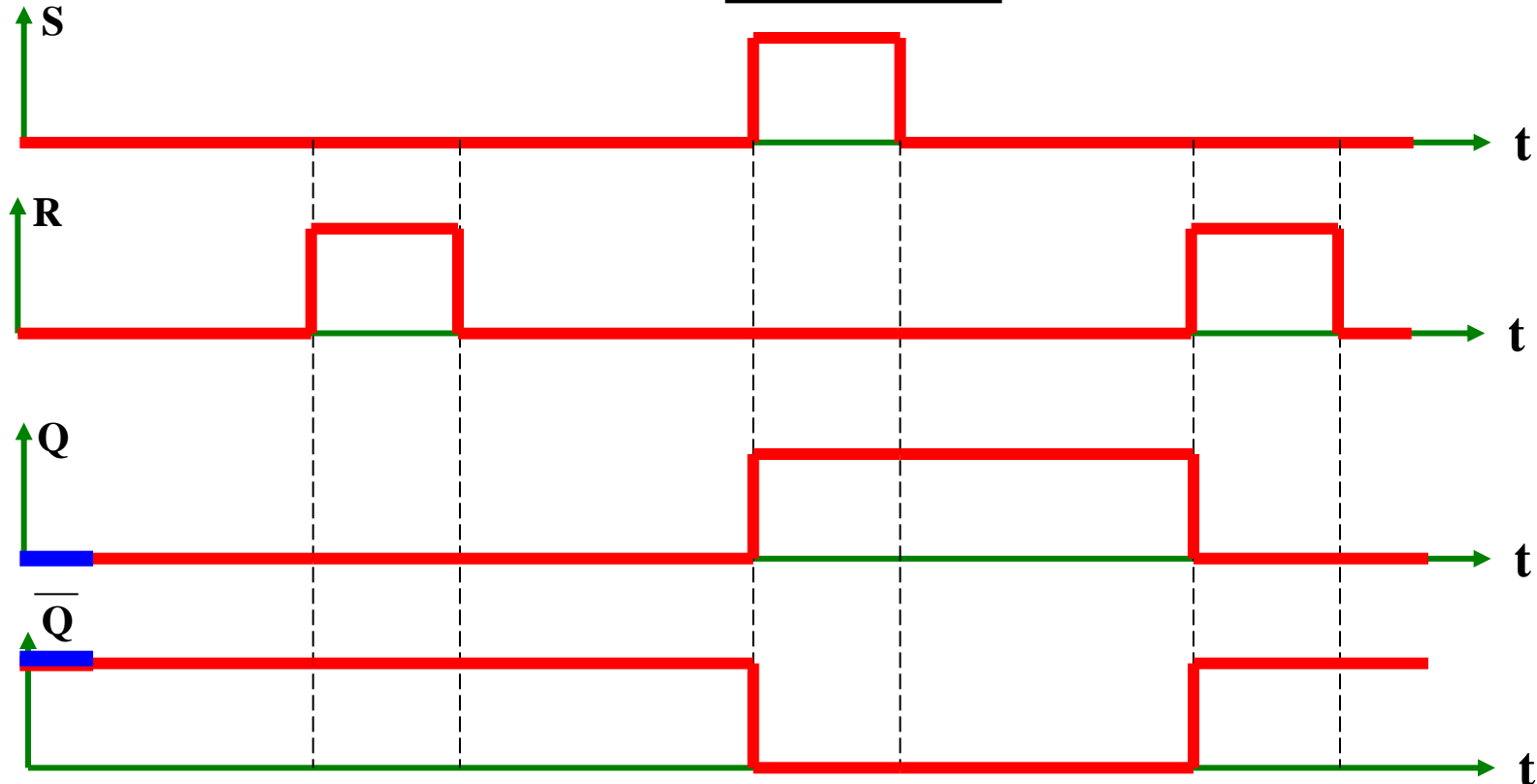
Table de vérité optimisée

S	R		Qt	Qt̄	Etat des sorties
0	0		0	0	Interdit ou irrégulier
0	1		1	0	Mise à 1 (MAU) Set ou réarmé
1	0		0	1	Mise à 0 (MAZ) Reset ou armé
1	1		Qt-1	Qt̄-1	Mémoire

Chapitre VI : Les circuits séquentiels

Diagramme des temps (ou chronogramme) : initialement $Q = 0$

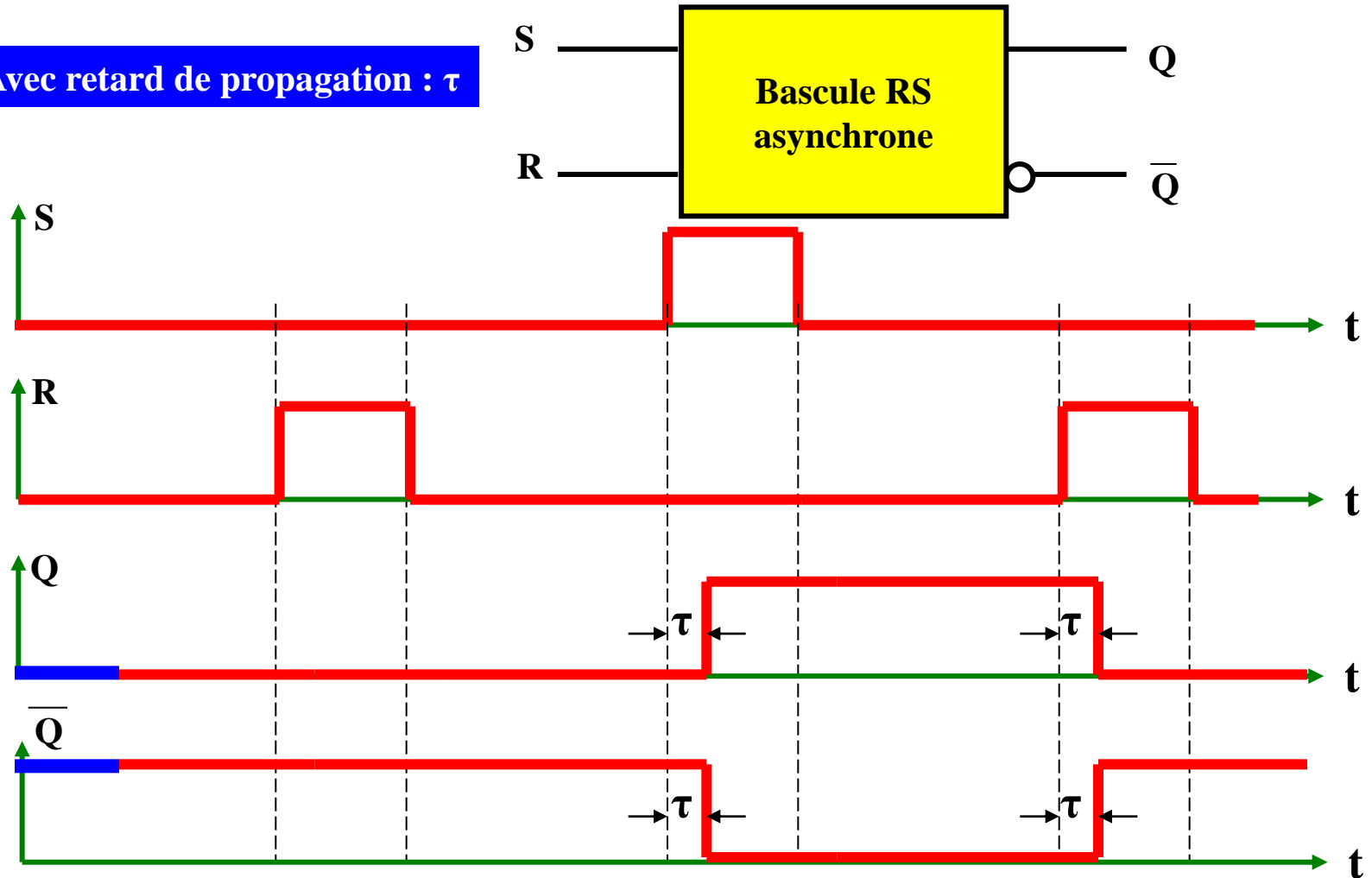
Sans retard de propagation :



Chapitre VI : Les circuits séquentiels

Diagramme des temps (ou chronogramme) : initialement $Q = 0$

Avec retard de propagation : τ

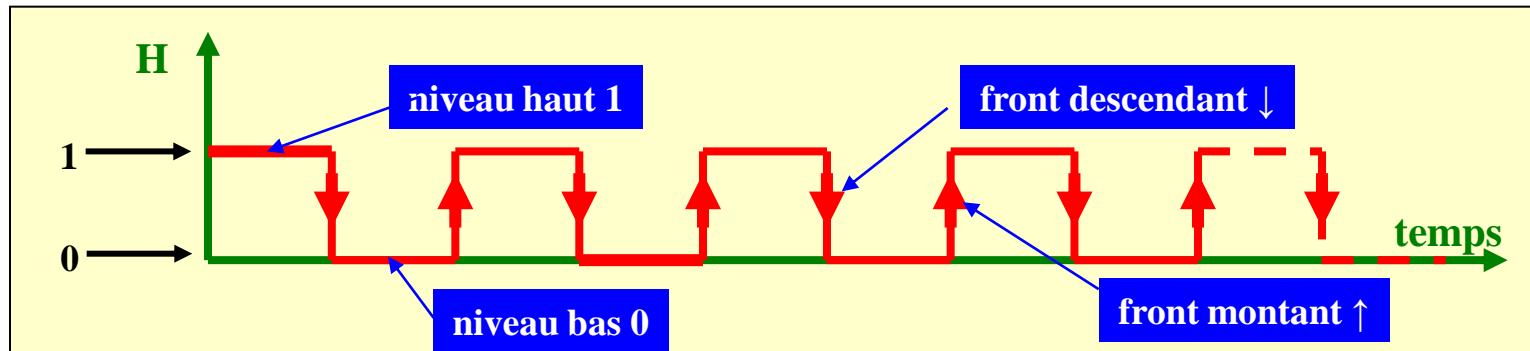


τ : pose un problème d'utilisation de ce type de bascule dans les systèmes asynchrones

Chapitre VI : Les circuits séquentiels

b. Bascule RS synchrone

- Une bascule RS synchrone est une bascule qui réagit sur l'ordre d'un signal d'horloge.
- C'est généralement un train d'onde carré ou rectangulaire noté H, CK, CLK. Il comporte deux fronts : un front montant et un front descendant.



Remarque :

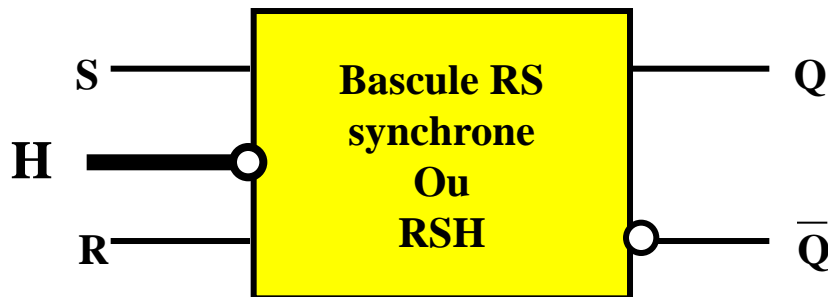
- L'horloge est généralement un signal carré.
- L'horloge peut agir soit avec son niveau (0 ou 1) soit avec son front (montant ou descendant).
- Dans le premier cas, on dit que la bascule est sensible sur le niveau (level sensitive).
- Dans le deuxième cas, on dit que la bascule est sensible sur le front (edge sensitive).

Chapitre VI : Les circuits séquentiels

Les différentes configurations :

■ Déclenchement statique

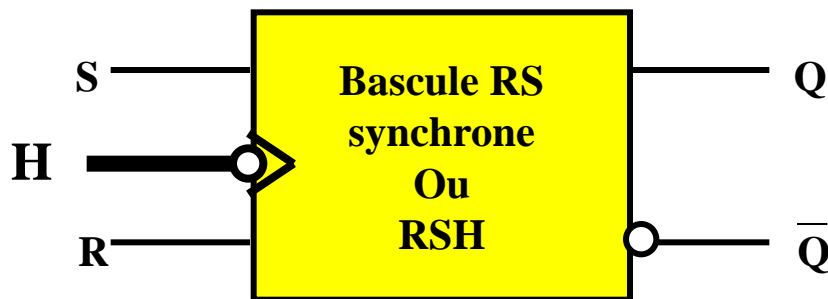
Entrée horloge active sur le niveau bas



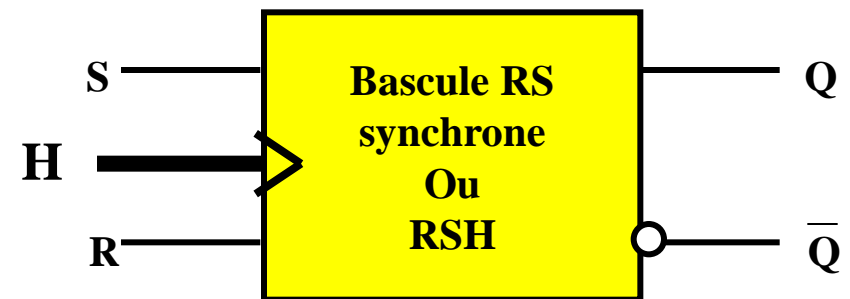
Entrée horloge active sur le niveau haut



■ Déclenchement dynamique



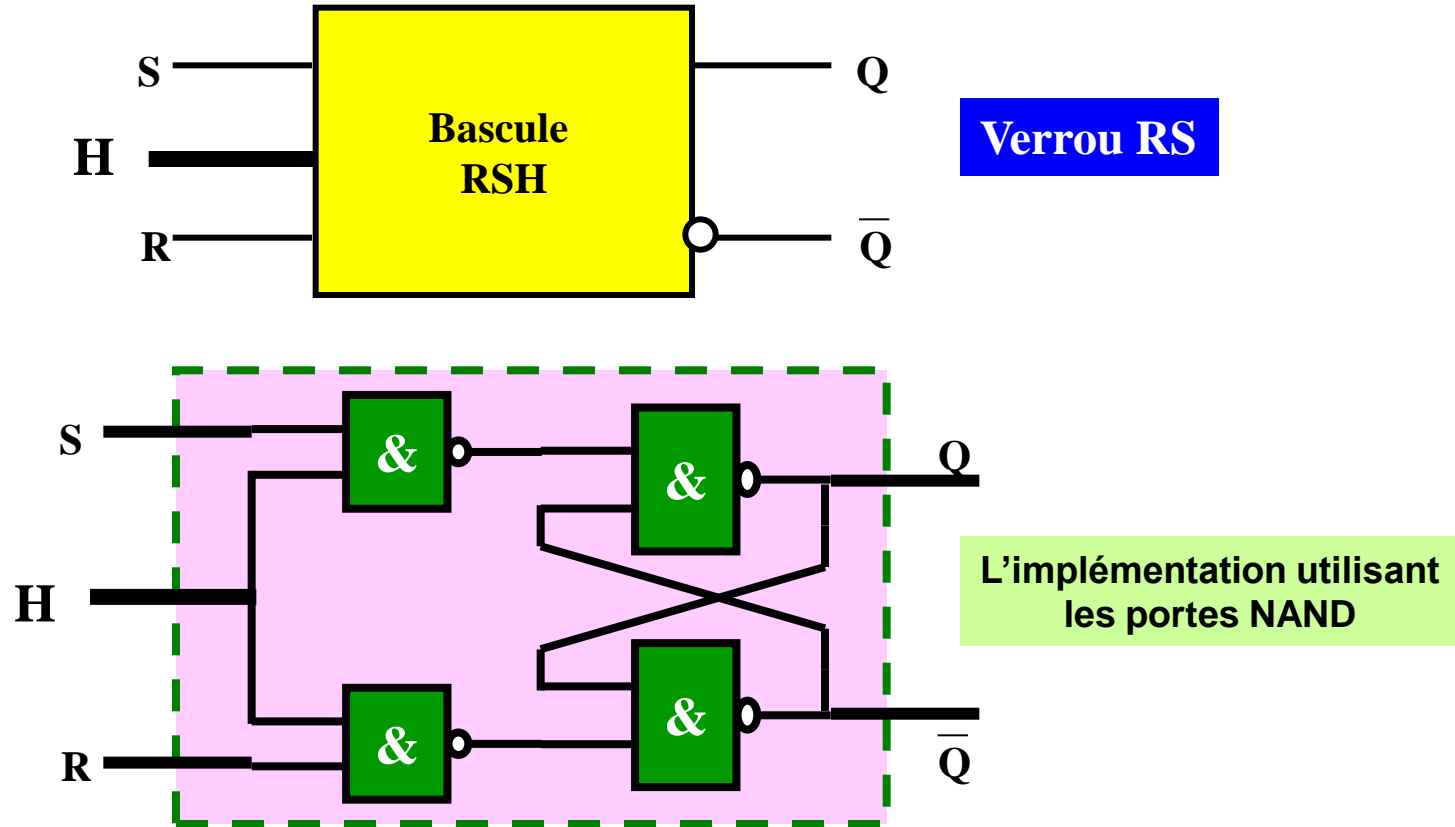
Entrée horloge active sur front descendant



Entrée horloge active sur front montant

Chapitre VI : Les circuits séquentiels

Exemple de déclenchement statique



- R et S sont des entées synchrones car elles dépendent de l'hrloge H.
- H = 0 verrouille la bascule (mode bloqué) et le changement d'état n'est autorisé que pour H = 1.

Chapitre VI : Les circuits séquentiels

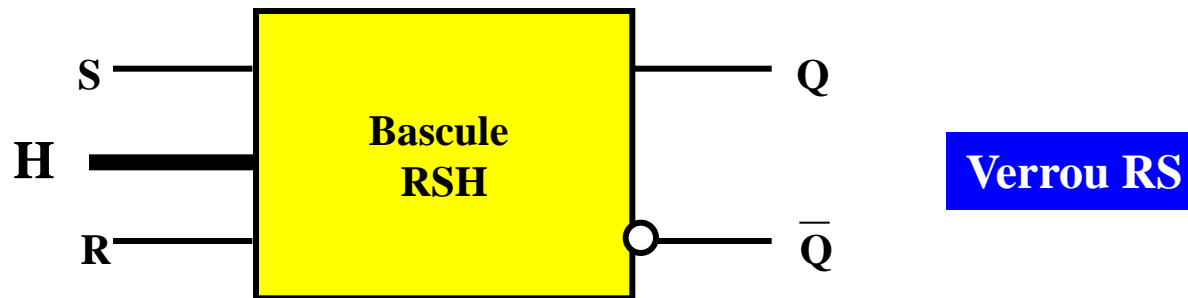


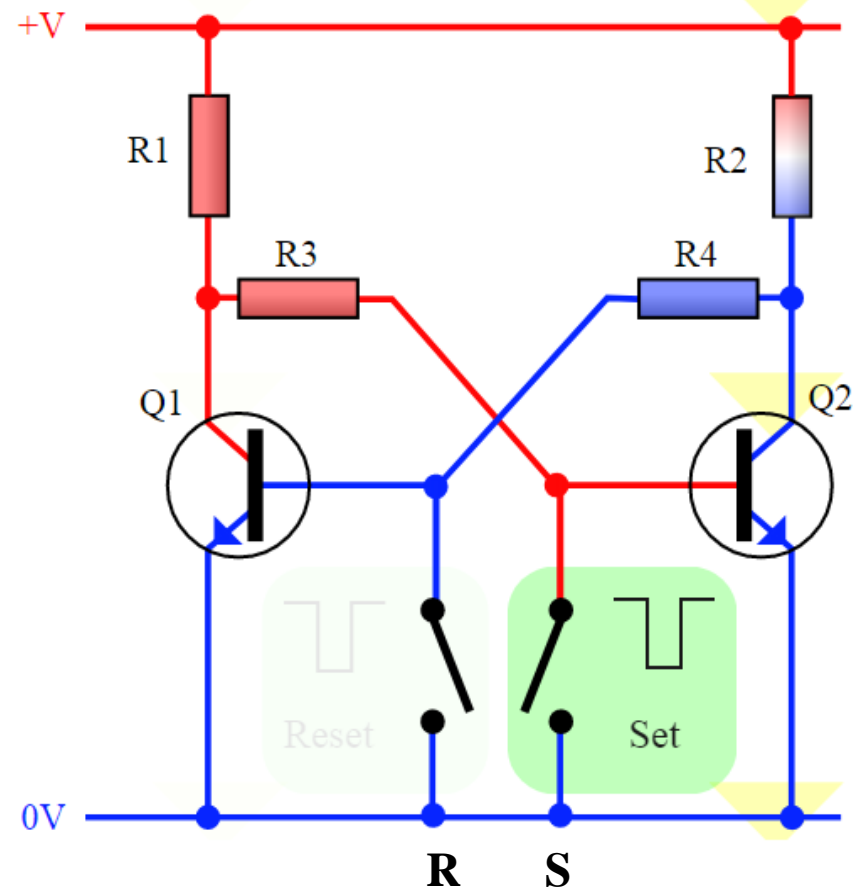
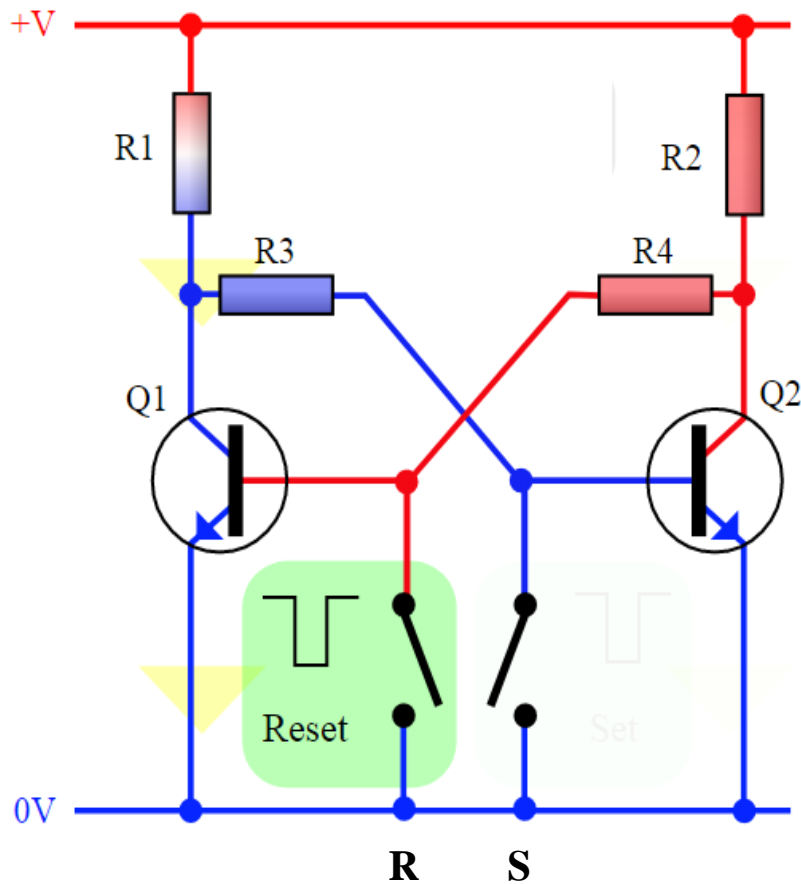
Table de vérité

H	S	R		Qt	\bar{Q}_t	Etat de RS
0	x	x		Qt-1	\bar{Q}_{t-1}	Mémoire
↓	x	x		Qt-1	\bar{Q}_{t-1}	Mémoire
↑	x	x		Qt-1	\bar{Q}_{t-1}	Mémoire
1	0	0		Qt-1	\bar{Q}_{t-1}	Mémoire
1	0	1		0	1	MAZ
1	1	0		1	0	MAU
1	1	1		1	1	Interdit

Bascule sensible sur niveau le niveau haut (1)

Chapitre VI : Les circuits séquentiels

Verrou RS avec porte NOR

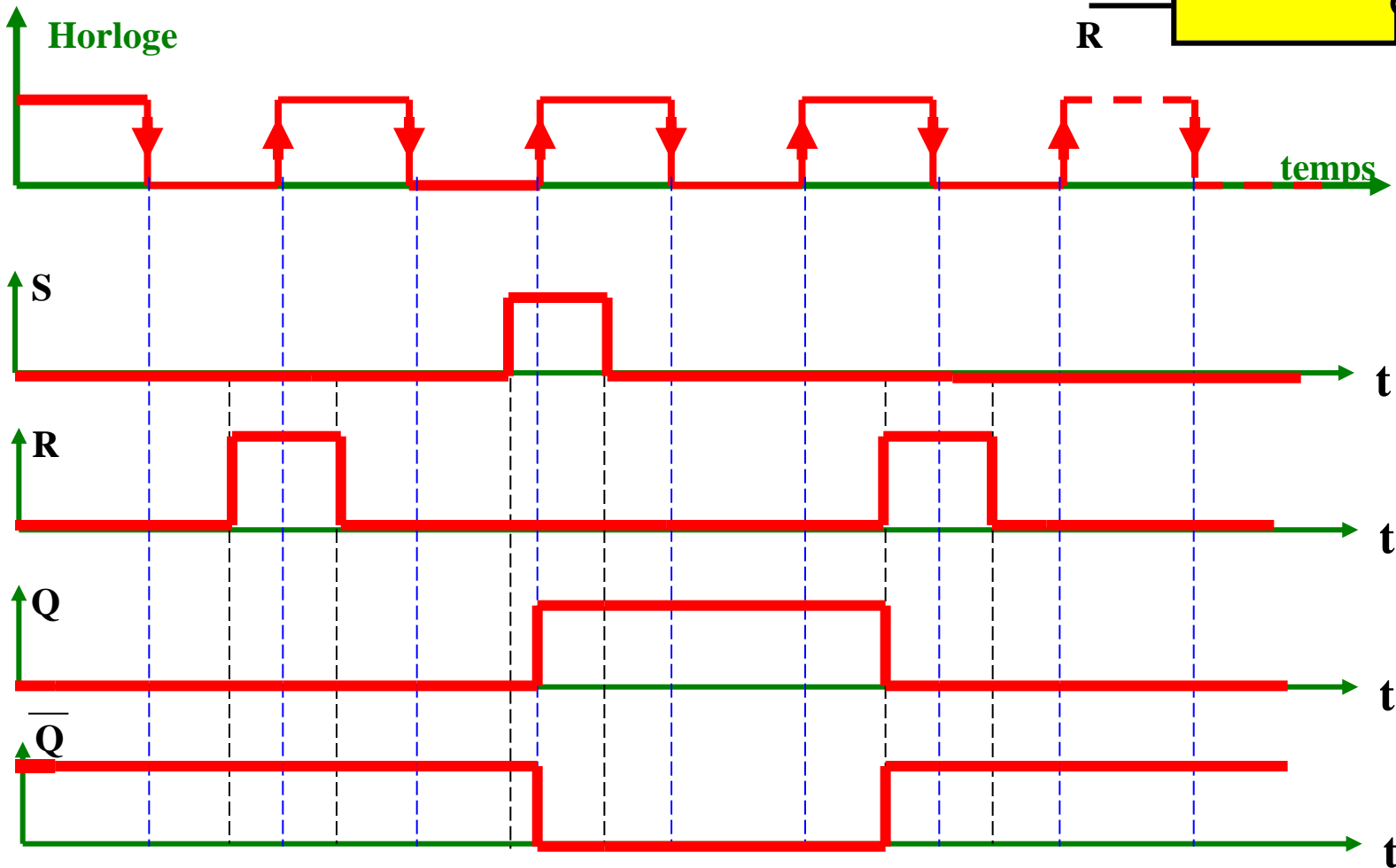
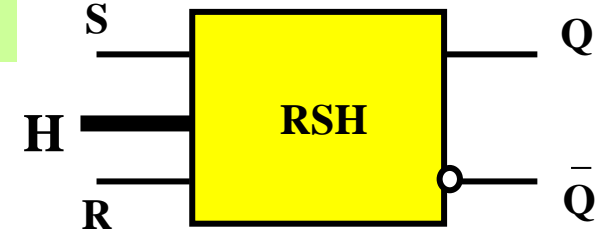


$R1, R2 = 1 \text{ k}\Omega$

$R3, R4 = 47 \text{ k}\Omega.$

Chapitre VI : Les circuits séquentiels

Diagramme des temps (ou chronogramme) : initialement $Q = 0$



Chapitre VI : Les circuits séquentiels

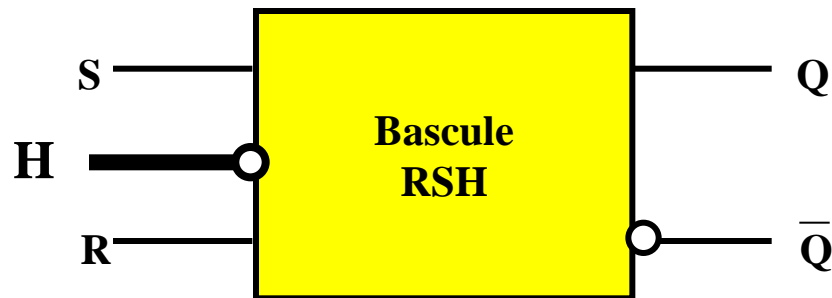


Table de vérité

H	S	R		Qt	$\bar{Q}t$	Etat de RS
1	x	x		Qt-1	$\bar{Q}t-1$	Mémoire
↓	x	x		Qt-1	$\bar{Q}t-1$	Mémoire
↑	x	x		Qt-1	$\bar{Q}t-1$	Mémoire
0	0	0		Qt-1	$\bar{Q}t-1$	Mémoire
0	0	1		0	1	MAZ
0	1	0		1	0	MAU
0	1	1		1	1	Interdit

Bascule sensible sur niveau le niveau bas (0)

Chapitre VI : Les circuits séquentiels

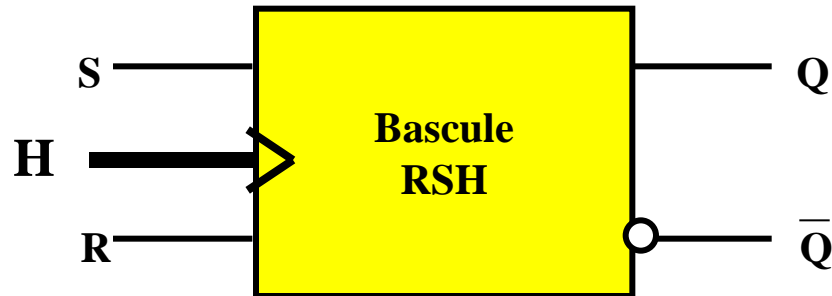


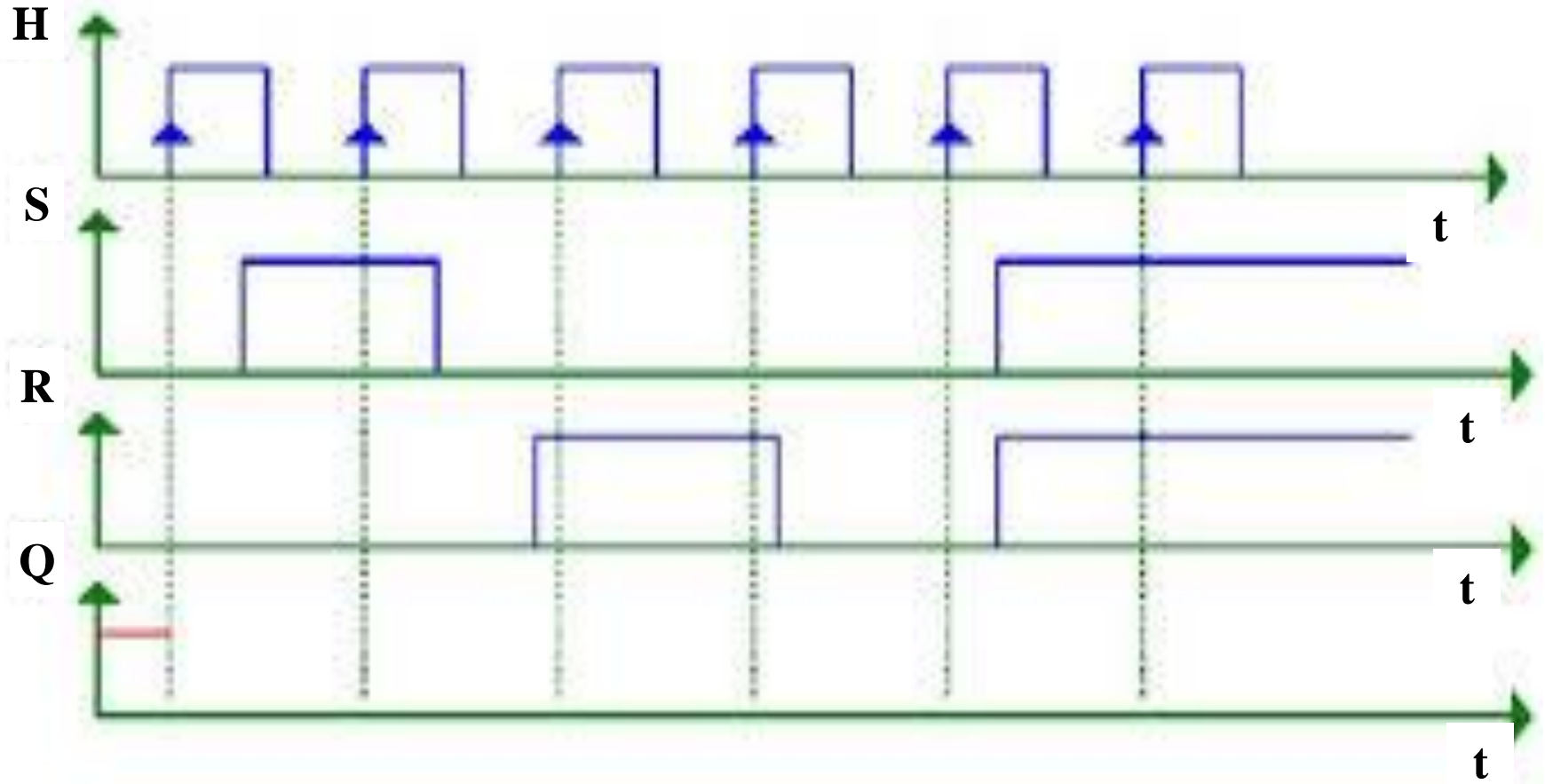
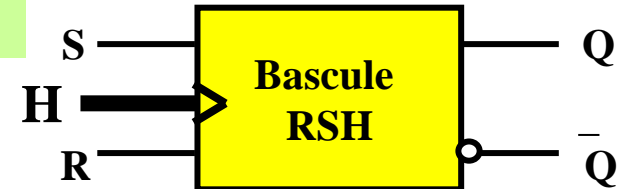
Table de vérité

H	S	R		Qt	\bar{Q}_t	Etat de RS
0	x	x		Qt-1	\bar{Q}_t-1	Mémoire
1	x	x		Qt-1	\bar{Q}_t-1	Mémoire
↓	x	x		Qt-1	\bar{Q}_t-1	Mémoire
↑	0	0		Qt-1	\bar{Q}_t-1	Mémoire
↑	0	1		0	1	MAZ
↑	1	0		1	0	MAU
↑	1	1		1	1	Interdit

Bascule sensible sur le front montant (↑)

Chapitre VI : Les circuits séquentiels

Diagramme des temps (ou chronogramme) : initialement $Q = 0$



Chapitre VI : Les circuits séquentiels

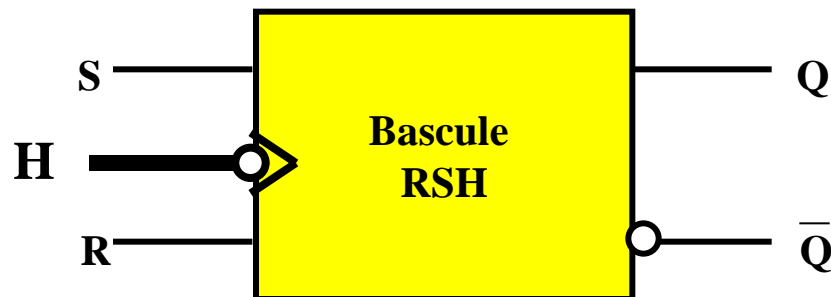


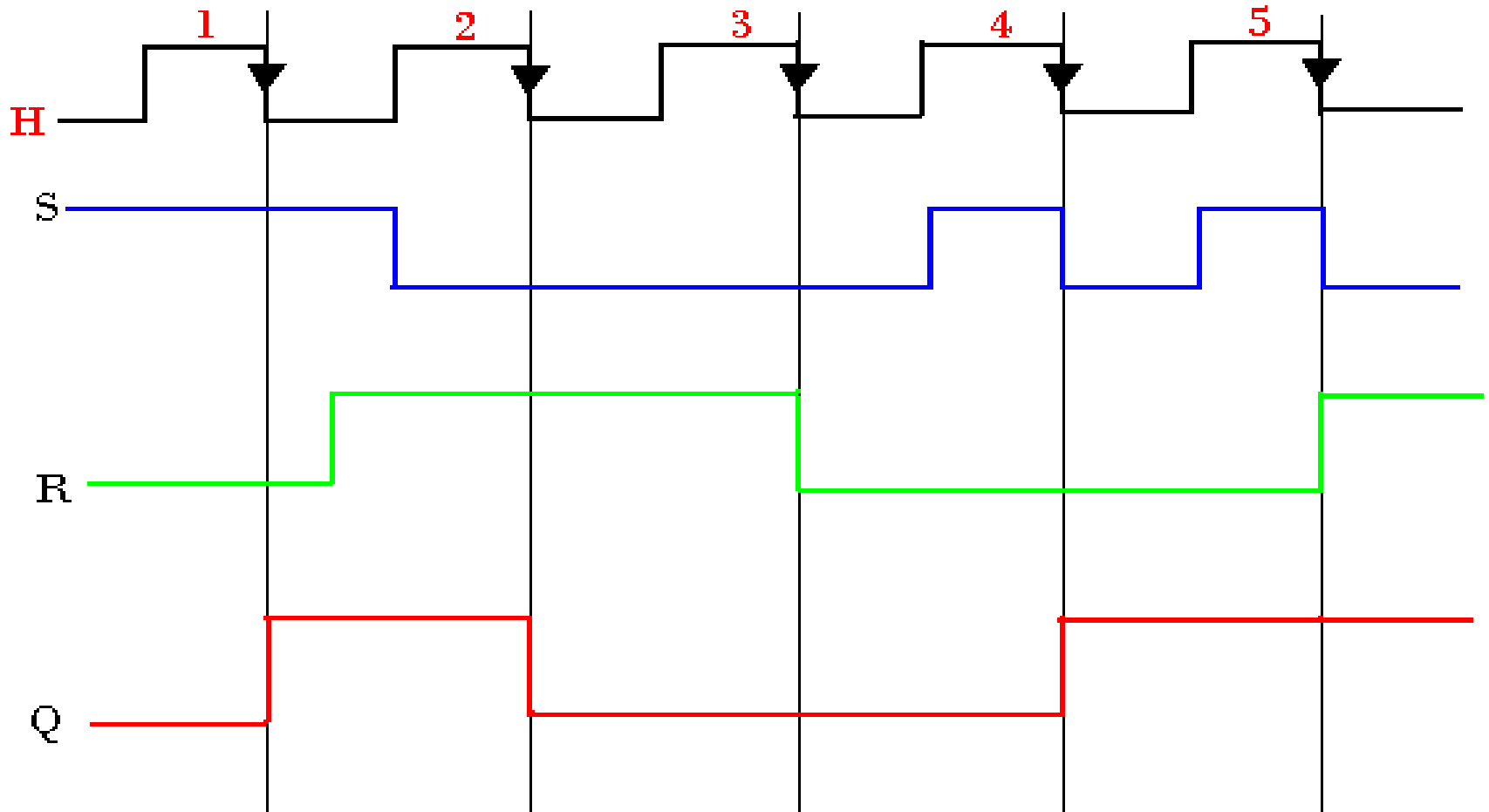
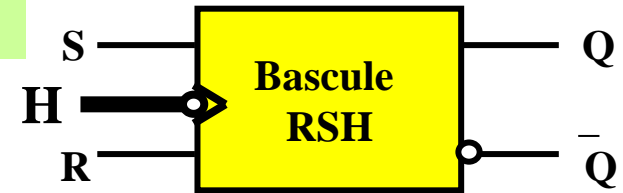
Table de vérité

H	S	R		Qt	\bar{Q}_t	Etat de RS
0	x	x		Qt-1	\bar{Q}_{t-1}	Mémoire
1	x	x		Qt-1	\bar{Q}_{t-1}	Mémoire
↑	x	x		Qt-1	\bar{Q}_{t-1}	Mémoire
↓	0	0		Qt-1	\bar{Q}_{t-1}	Mémoire
↓	0	1		0	1	MAZ
↓	1	0		1	0	MAU
↓	1	1		1	1	Interdit

Bascule sensible sur le front descendant (↓)

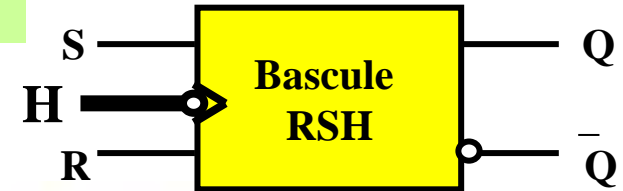
Chapitre VI : Les circuits séquentiels

Diagramme des temps (ou chronogramme) : initialement $Q = 0$

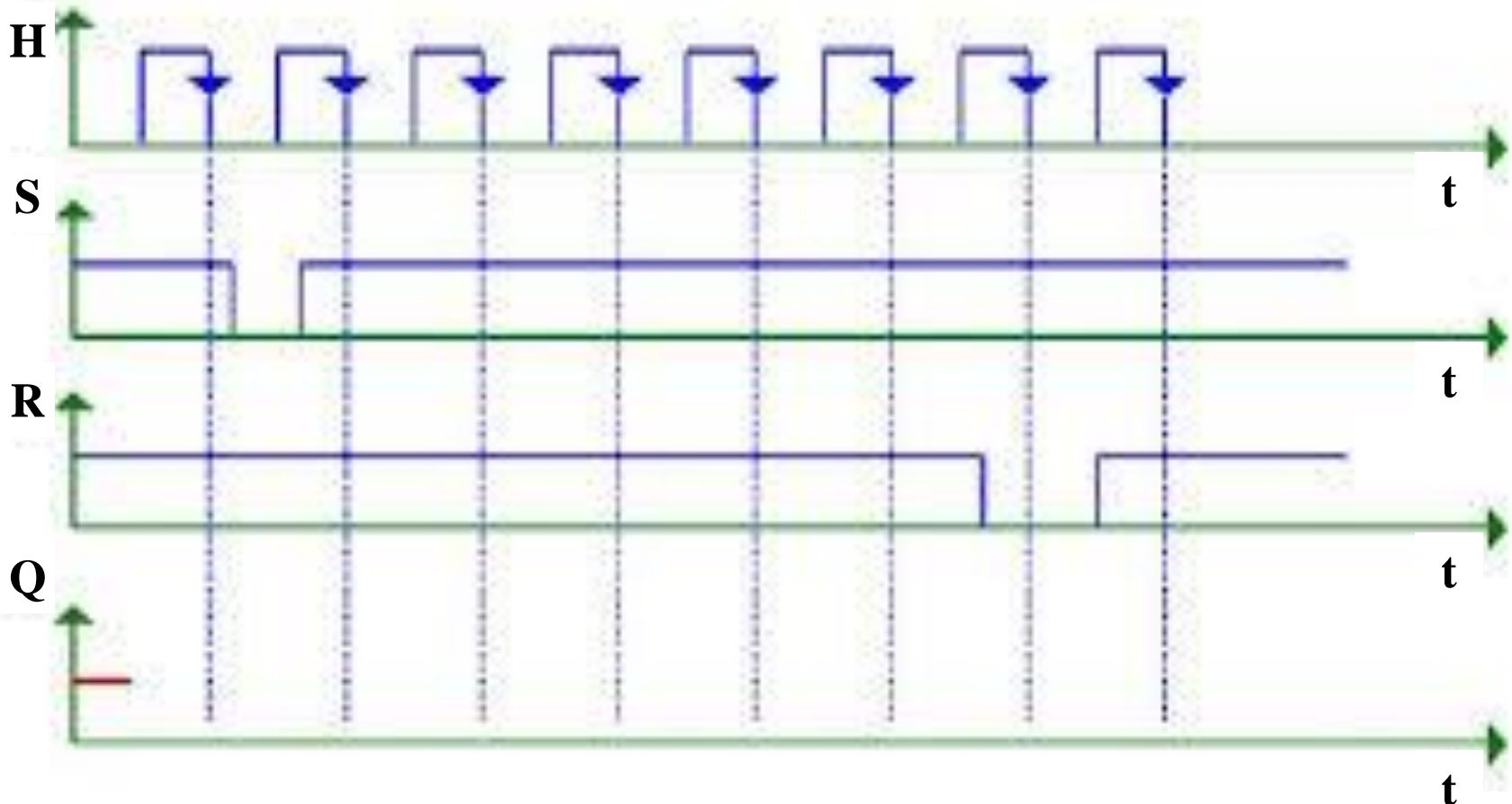


Chapitre VI : Les circuits séquentiels

Diagramme des temps (ou chronogramme) : initialement $Q = 1$



Exercice :



Chapitre VI : Les circuits séquentiels

2°) Les bascules JK

- Puisque les lettres J et K étaient peu utilisées dans les systèmes électroniques il a été décidé d'utiliser ces lettres comme entrées "set" et "reset".
- pour un système utilisant plusieurs bascules ce sont les indices qui permettent de les distinguer les unes des autres.

a. Bascule JK asynchrone

Symbole de la bascule JK asynchrone



- J (Set) est l'entrée de mise à 1.
- K (Reset) est l'entrée de mise à 0 ou d'effacement de la mémoire.
- La sortie Q donne à l'information mémorisée.
- La sortie \overline{Q} correspond au complément de Q .

Chapitre VI : Les circuits séquentiels



L'implémentation utilisant les portes NAND

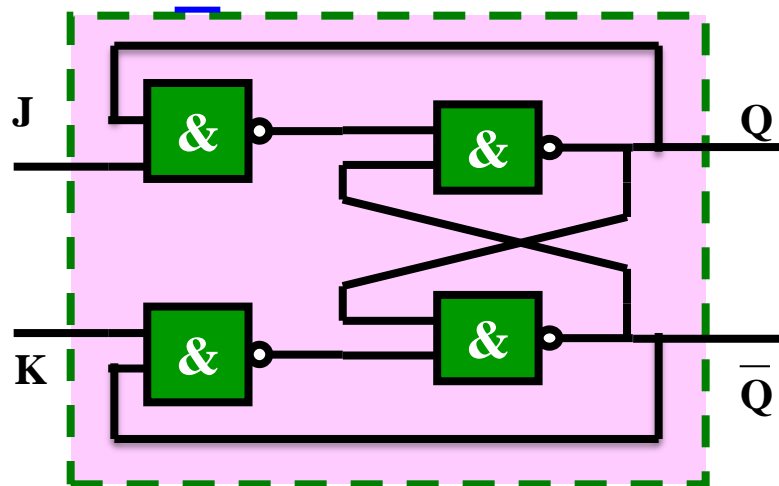


Table de vérité optimisée

J	K		Q_t	\bar{Q}_t	Etat des sorties
0	0		Q_{t-1}	\bar{Q}_{t-1}	Mémoire
0	1		0	1	Mise à 0 (MAZ) ou armé
1	0		1	0	Mise à 1 (MAU) ou réarmé
1	1		\bar{Q}_{t-1}	Q_{t-1}	Toggle ou basculement

Équation de fonctionnement :

$$Q_t = J \cdot \bar{Q}_{t-1} + \bar{K} \cdot Q_{t-1}$$

Chapitre VI : Les circuits séquentiels

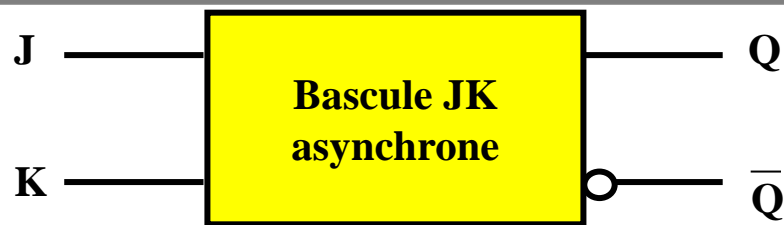


Table de vérité détaillée

J	K	Qt-1		Qt	$\overline{Q_t}$	Etat de la sortie
0	0	0		0	1	Mémoire
0	0	1		1	0	Mémoire
0	1	0		0	1	Mise à 0
0	1	1		0	1	Mise à 0
1	0	0		1	0	Mise à 1
1	0	1		1	0	Mise à 1
1	1	0		1	0	Toggle
1	1	1		0	1	Toggle

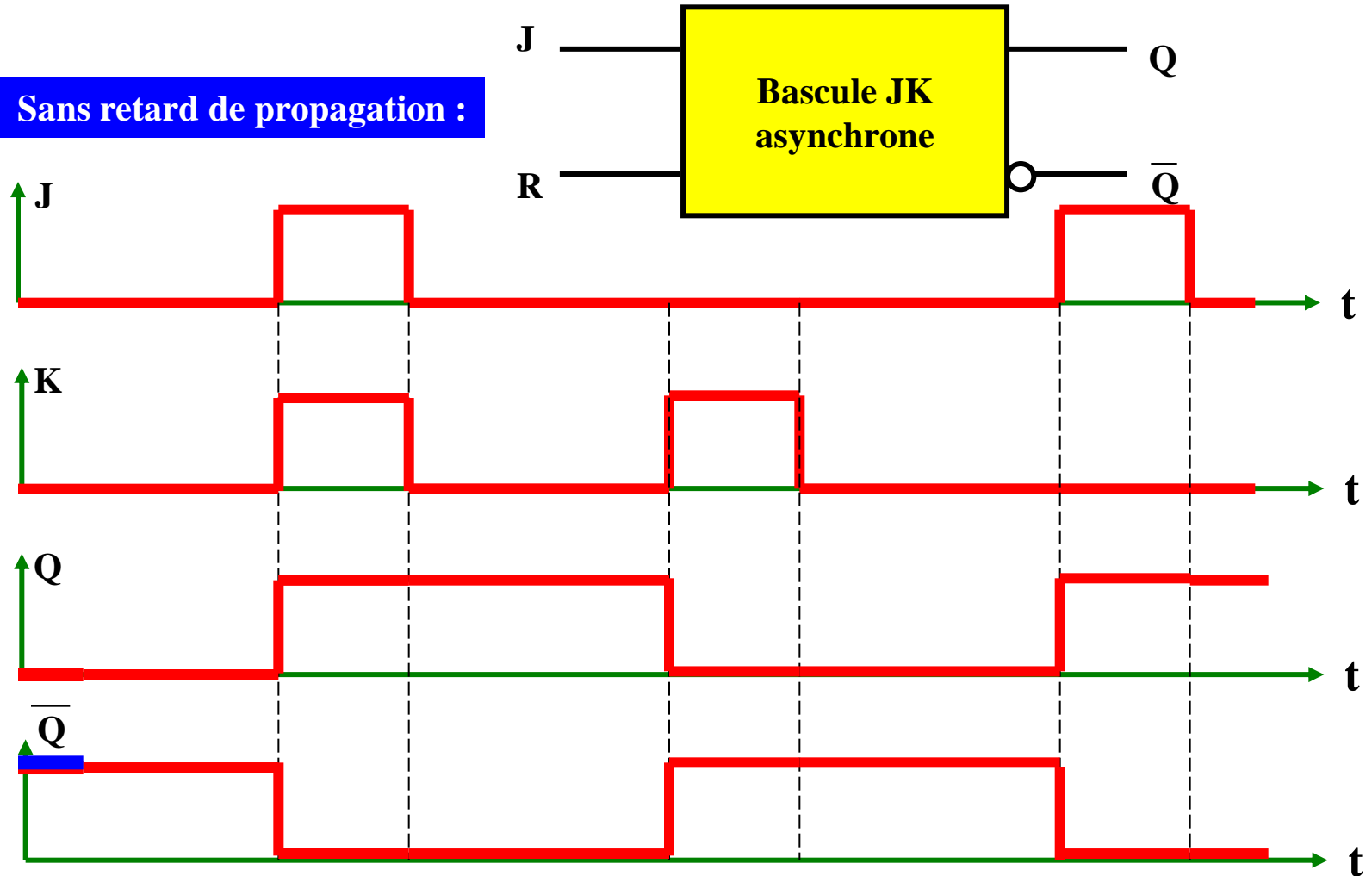
Équation de fonctionnement :

$$Q_t = J \cdot \overline{Q_{t-1}} + \overline{K} \cdot Q_{t-1}$$

Chapitre VI : Les circuits séquentiels

Diagramme des temps (ou chronogramme) : initialement $Q = 0$

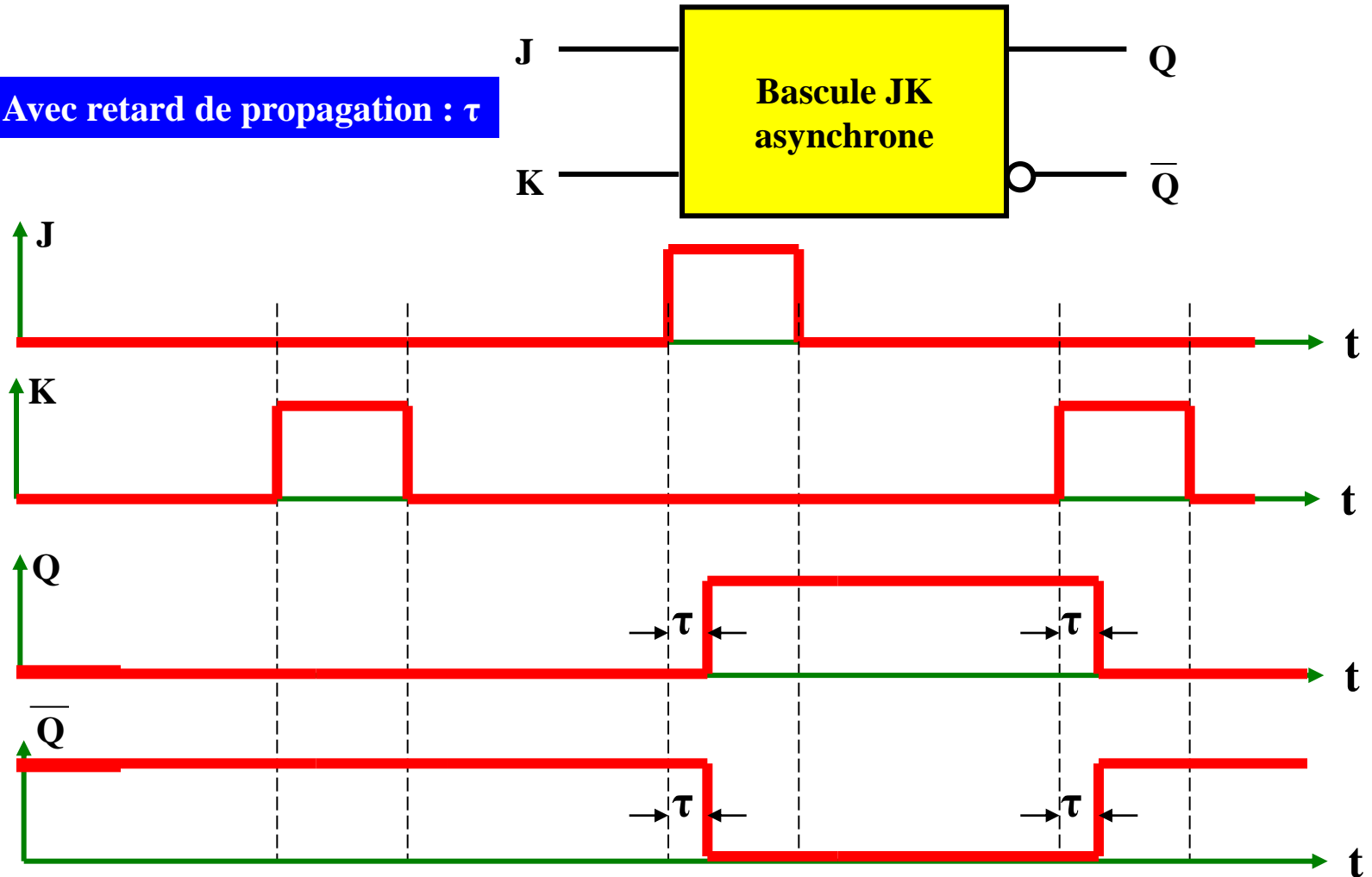
Sans retard de propagation :



Chapitre VI : Les circuits séquentiels

Diagramme des temps (ou chronogramme) : initialement $Q = 0$

Avec retard de propagation : τ



τ : pose un problème d'utilisation de ce type de bascule dans les systèmes asynchrones

Chapitre VI : Les circuits séquentiels

b. Bascule JK synchrone

Les différentes configurations :

■ Déclenchement statique

Entrée horloge active sur le niveau bas



Entrée horloge active sur le niveau haut

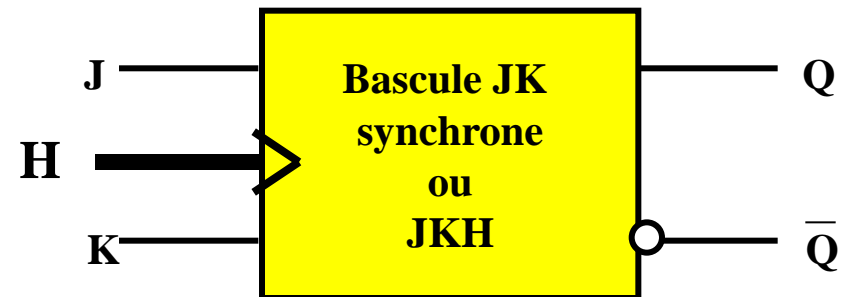


■ Déclenchement dynamique

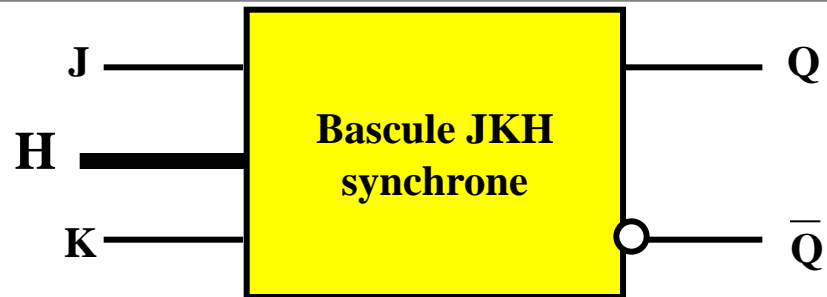
Entrée horloge active sur front descendant



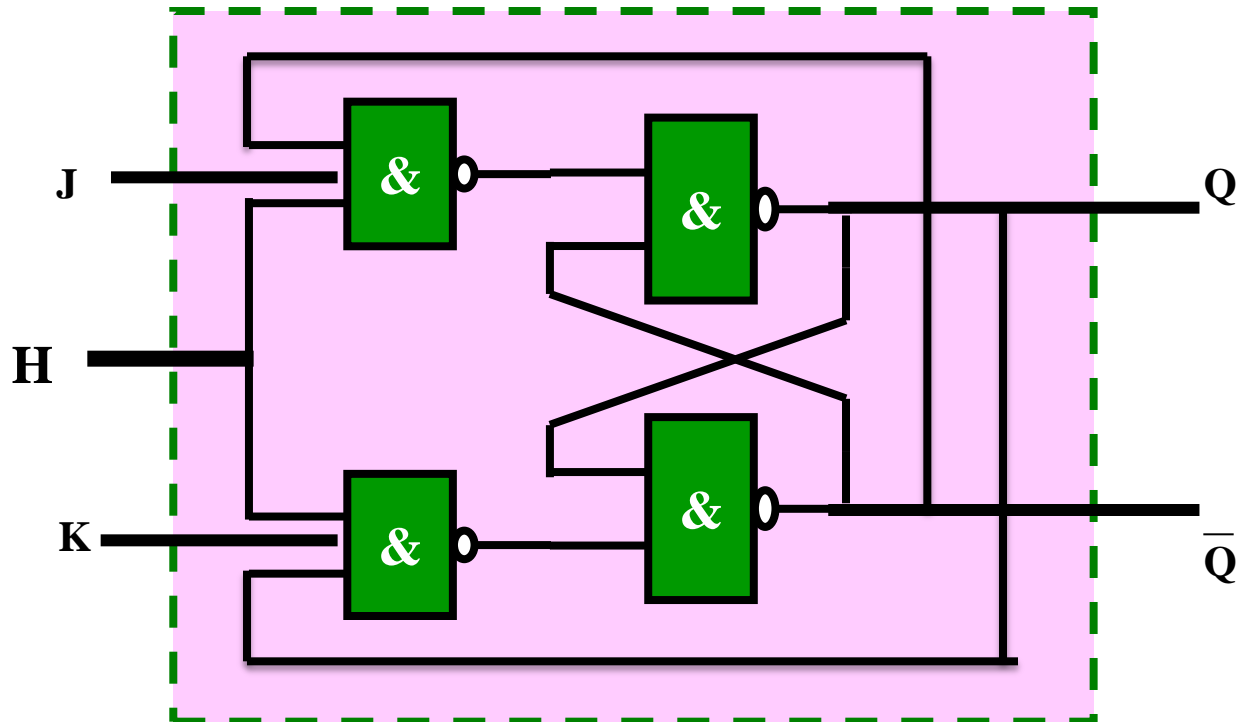
Entrée horloge active sur front montant



Chapitre VI : Les circuits séquentiels



L'implémentation utilisant les portes NAND



Chapitre VI : Les circuits séquentiels

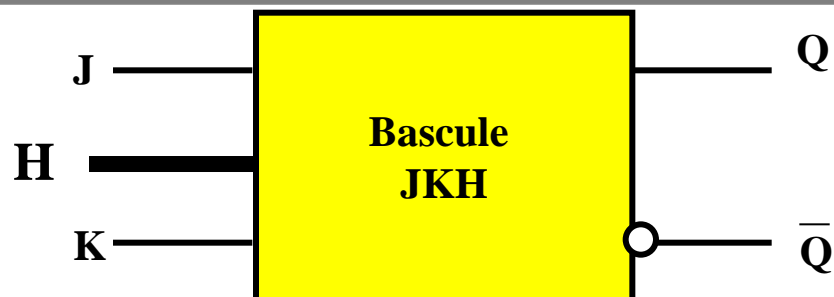


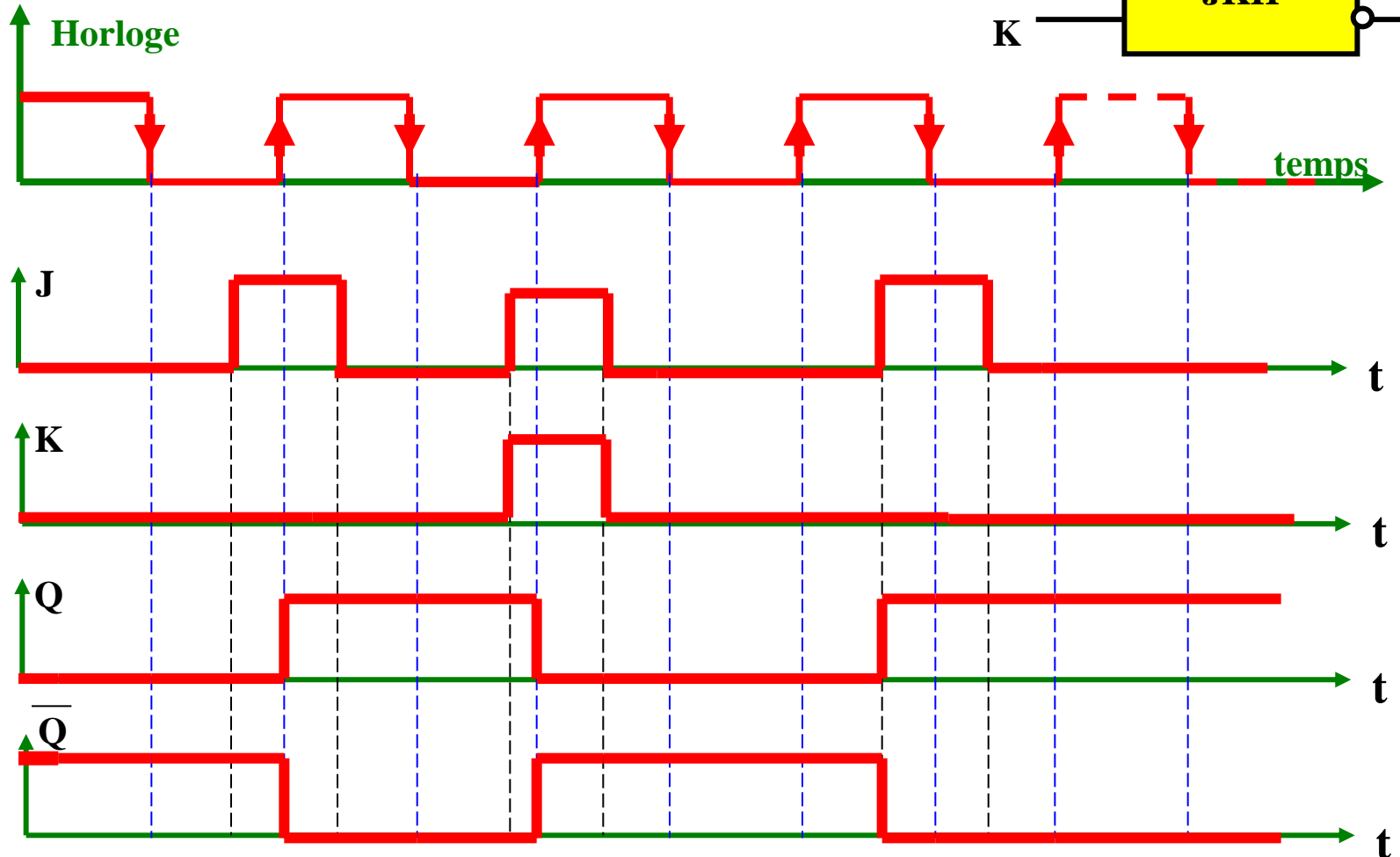
Table de vérité

H	J	K		Qt	$\overline{Q_t}$	État de JK
0	x	x		Qt-1	$\overline{Q_{t-1}}$	Mémorise
↓	x	x		Qt-1	$\overline{Q_{t-1}}$	Mémorise
↑	x	x		Qt-1	$\overline{Q_{t-1}}$	Mémorise
1	0	0		Qt-1	$\overline{Q_{t-1}}$	Mémoire
1	0	1		0	1	MAZ
1	1	0		1	0	MAU
1	1	1		$\overline{Q_{t-1}}$	Qt-1	Toggle

Bascule se déclenchant sur niveau le niveau haut (1)

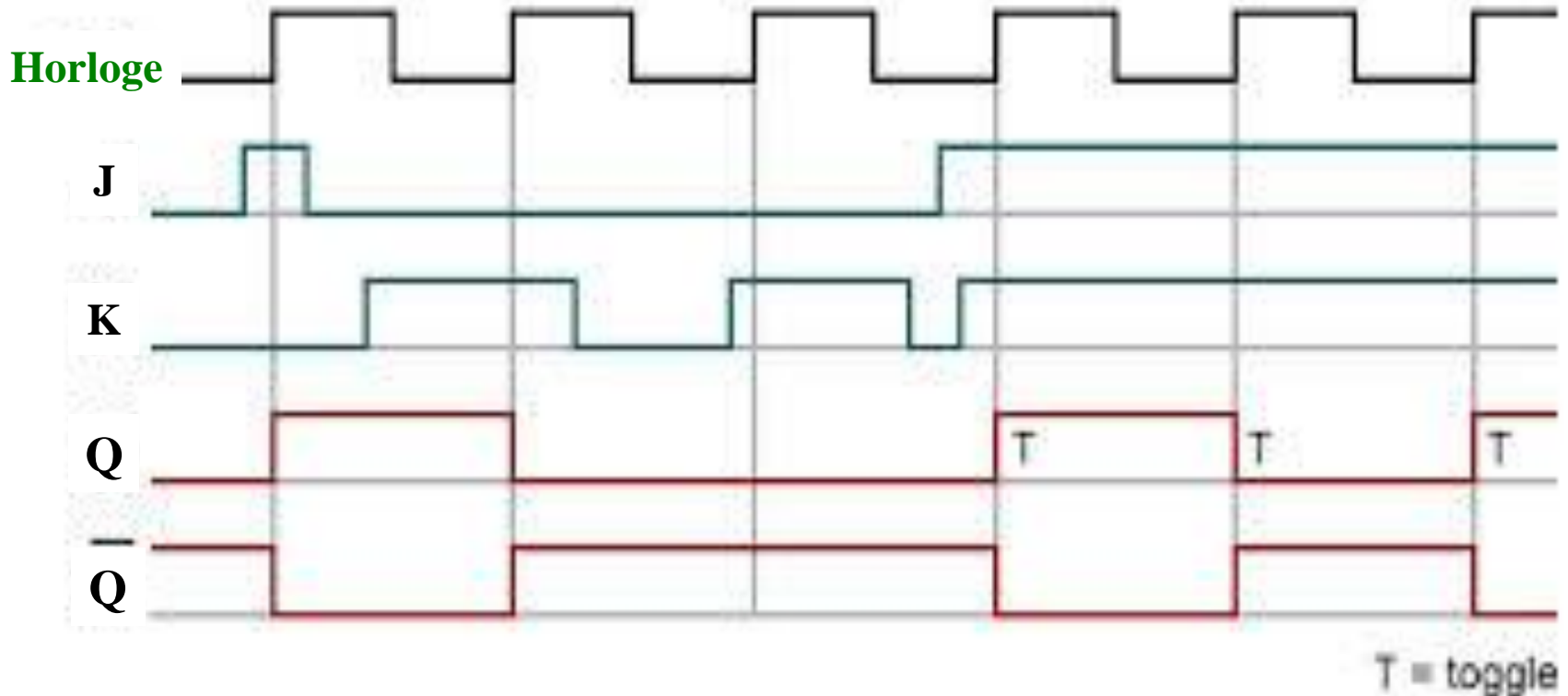
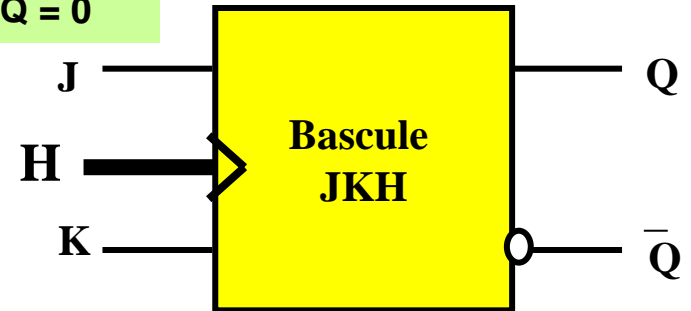
Chapitre VI : Les circuits séquentiels

Diagramme des temps (ou chronogramme) : initialement $Q = 0$



Chapitre VI : Les circuits séquentiels

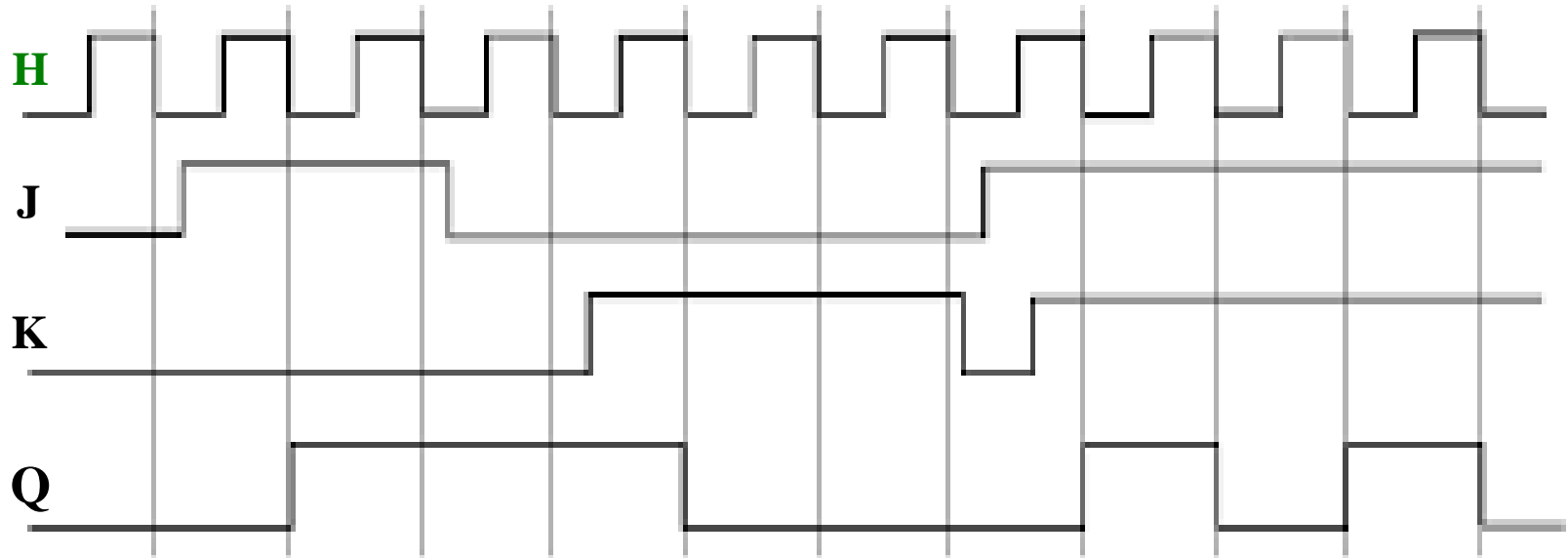
Diagramme des temps (ou chronogramme) : initialement $Q = 0$



Chapitre VI : Les circuits séquentiels

Diagramme des temps (ou chronogramme) : initialement $Q = 0$

De quel type de déclenchement s'agit-il?



Chapitre VI : Les circuits séquentiels

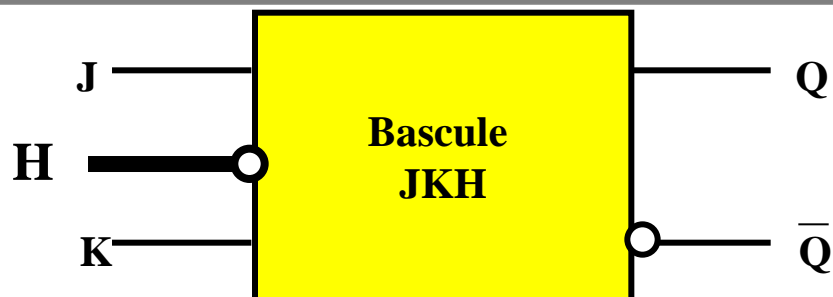


Table de vérité

H	J	K		Qt	$\overline{Q_t}$	État de JK
1	x	x		Qt-1	$\overline{Q_{t-1}}$	Mémorise
↓	x	x		Qt-1	$\overline{Q_{t-1}}$	Mémorise
↑	x	x		Qt-1	$\overline{Q_{t-1}}$	Mémorise
0	0	0		Qt-1	$\overline{Q_{t-1}}$	Mémoire
0	0	1		0	1	MAZ
0	1	0		1	0	MAU
0	1	1		$\overline{Q_{t-1}}$	Qt-1	Toggle

Bascule se déclenchant sur niveau le niveau bas (0)

Chapitre VI : Les circuits séquentiels

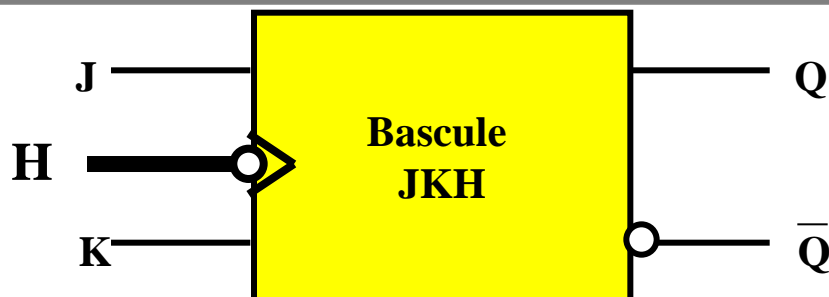


Table de vérité

H	J	K		Qt	$\overline{Q_t}$	État de JK
0	x	x		Qt-1	$\overline{Q_{t-1}}$	Mémoire
1	x	x		Qt-1	$\overline{Q_{t-1}}$	Mémoire
↑	x	x		Qt-1	$\overline{Q_{t-1}}$	Mémoire
↓	0	0		Qt-1	$\overline{Q_{t-1}}$	Mémoire
↓	0	1		0	1	MAZ
↓	1	0		1	0	MAU
↓	1	1		$\overline{Q_{t-1}}$	Qt-1	Toggle

Bascule se déclenchant sur niveau front descendant (↓)

Chapitre VI : Les circuits séquentiels

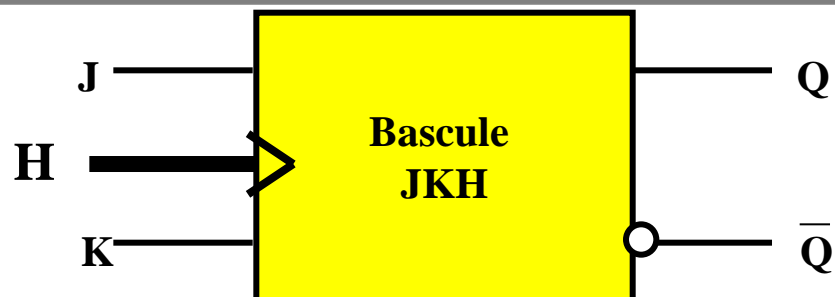


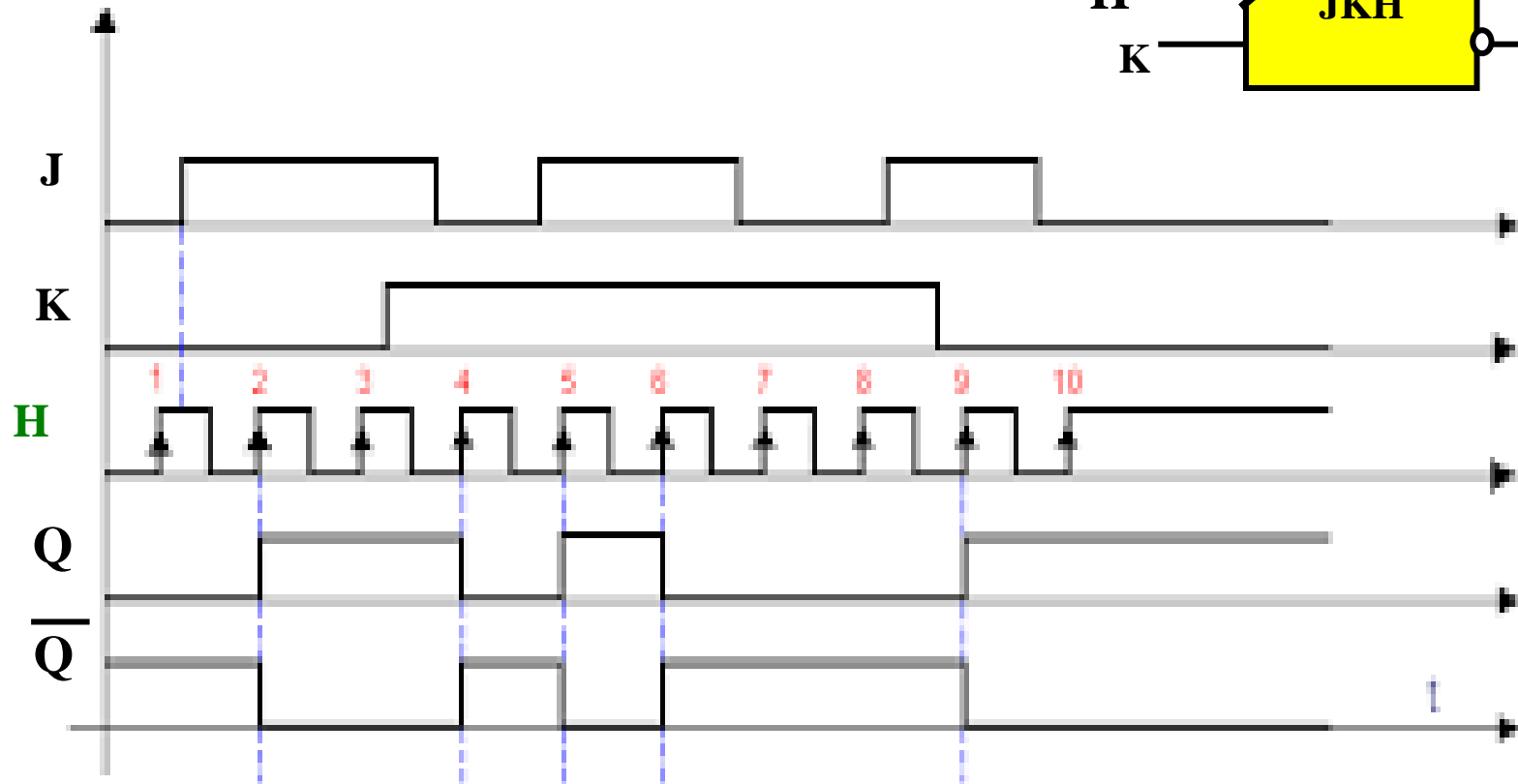
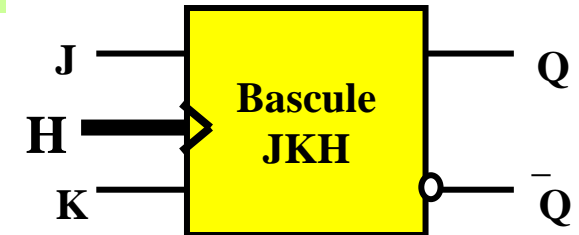
Table de vérité

H	J	K		Qt	$\overline{Q_t}$	État de JK
0	x	x		Qt-1	$\overline{Q_{t-1}}$	Mémorise
1	x	x		Qt-1	$\overline{Q_{t-1}}$	Mémorise
↓	x	x		Qt-1	$\overline{Q_{t-1}}$	Mémorise
↑	0	0		Qt-1	$\overline{Q_{t-1}}$	Mémoire
↑	0	1		0	1	MAZ
↑	1	0		1	0	MAU
↑	1	1		$\overline{Q_{t-1}}$	Qt-1	Toggle

Bascule se déclenchant sur niveau front montant (↑)

Chapitre VI : Les circuits séquentiels

Diagramme des temps (ou chronogramme) : initialement $Q = 0$



Chapitre VI : Les circuits séquentiels

c. Bascule JK synchrone avec des entrées asynchrones prioritaires

Version n° 1 : celle du banc numérique

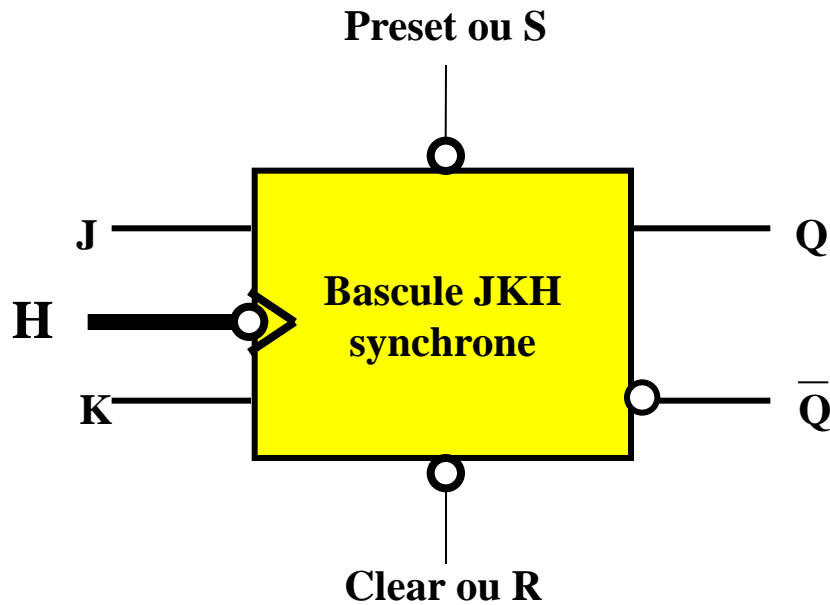


Table de vérité

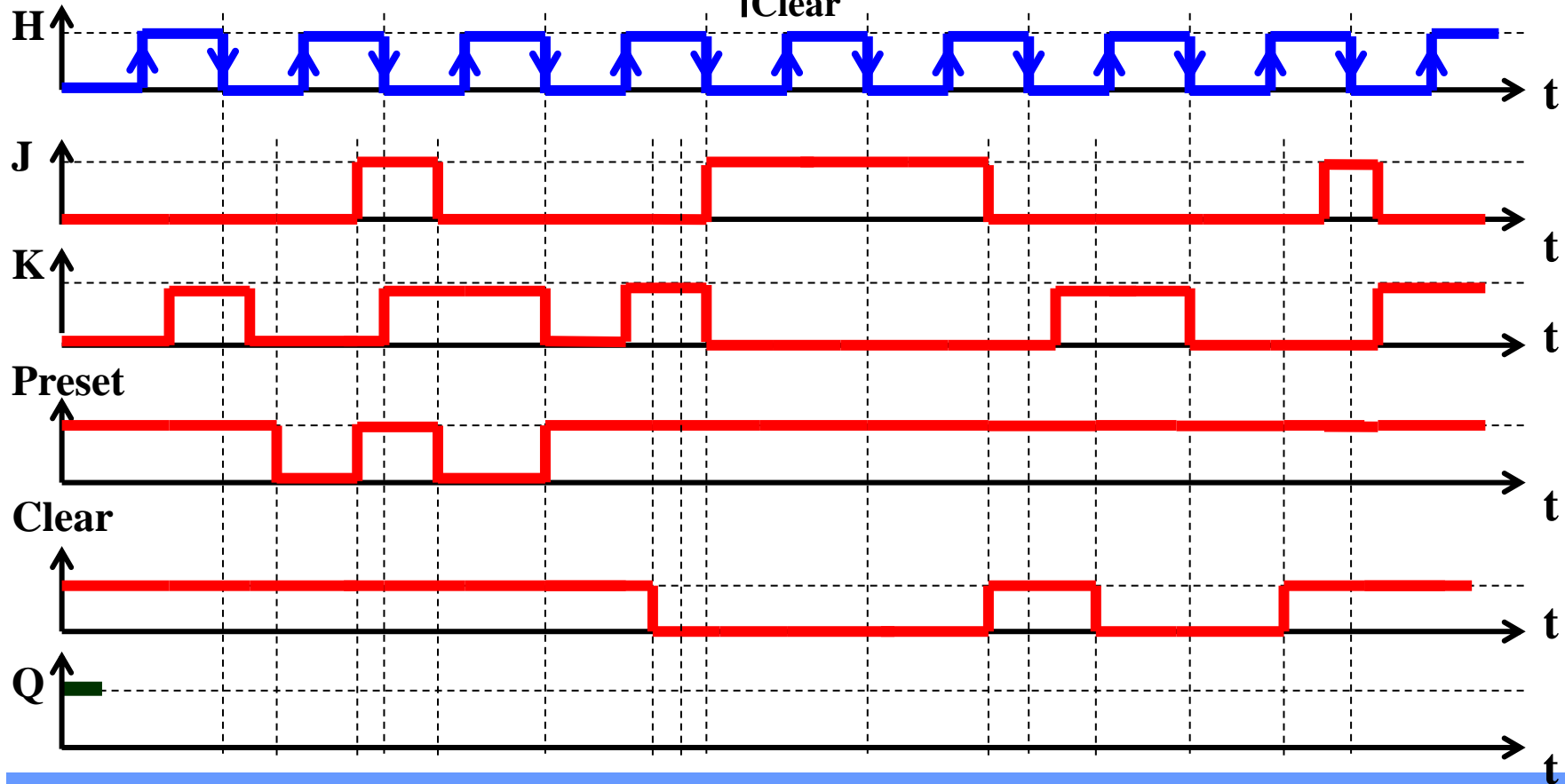
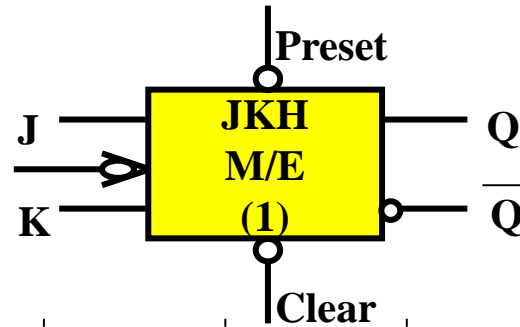
Preset ou S	Clear ou R	Q_t	Etat
0	0	Q_{t-1}	Bascule bloquée « ambigüité »
0	1	1	RAU
1	0	0	RAZ
1	1	\downarrow	JKH

Preset et clear sont des entrées prioritaires asynchrones

0 prédominant le 1

Chapitre VI : Les circuits séquentiels

Exercice :



Chapitre VI : Les circuits séquentiels

Version n° 2

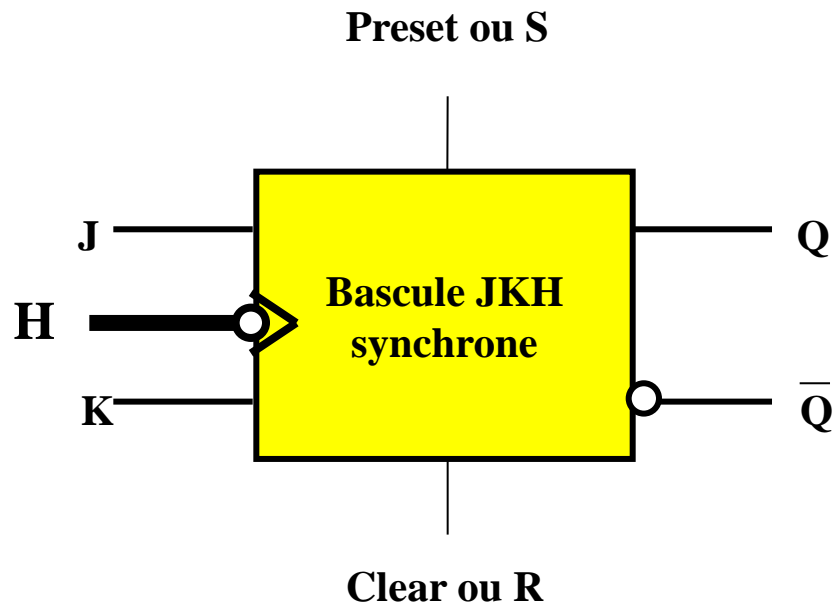


Table de vérité

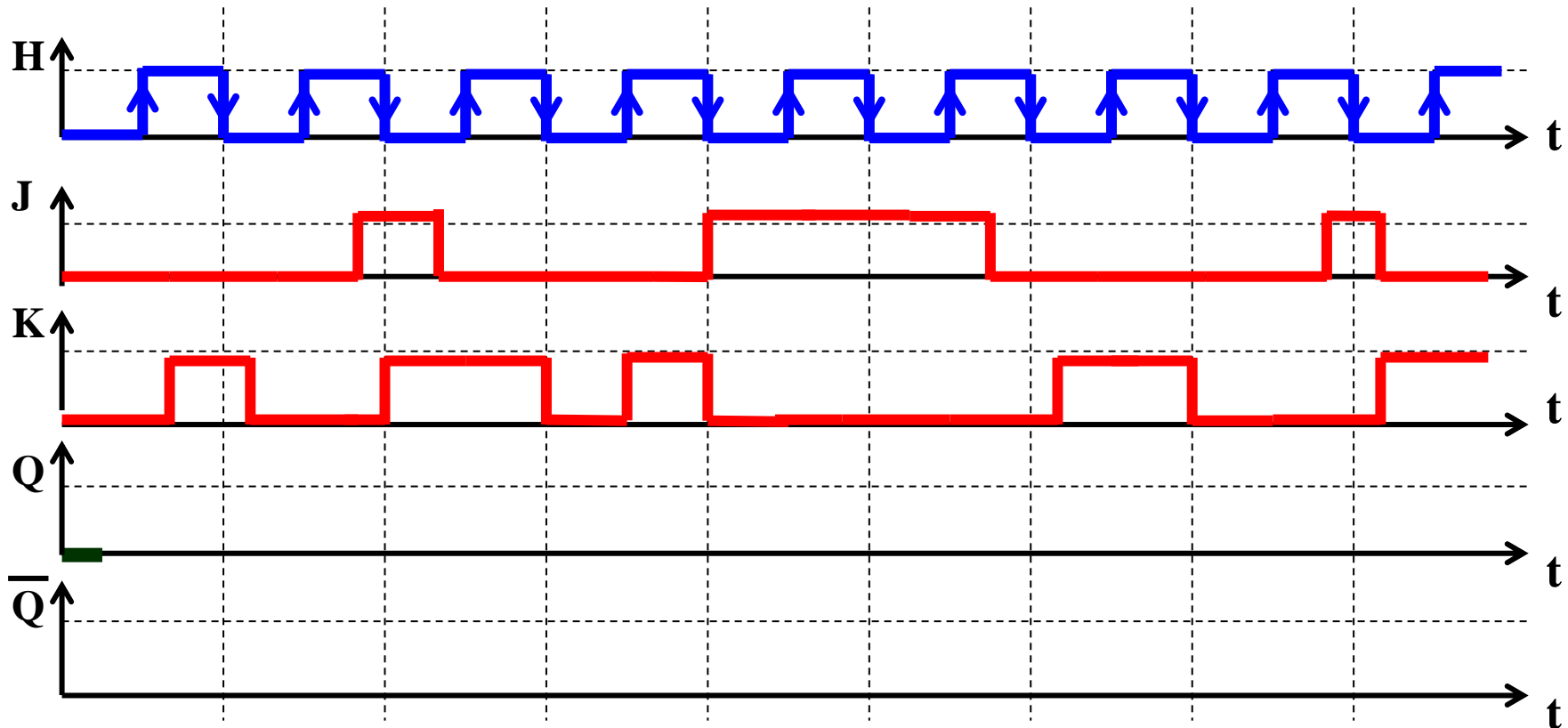
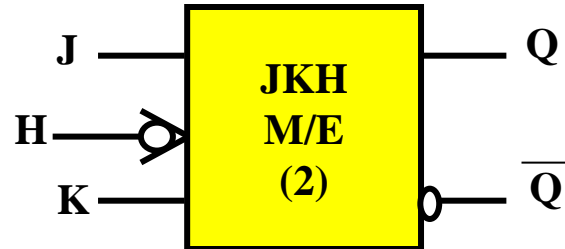
Preset ou S	Clear ou R		Qt	Etat
1	1		Qt-1	Bascule bloquée « ambigüité »
1	0		1	MAU ou RAU
0	1		0	MAZ ou RAZ
0	0		↓	JKH

Preset et clear sont des entrées prioritaires asynchrones

1 prédominant le 0

Chapitre VI : Les circuits séquentiels

Exercice :



Chapitre VI : Les circuits séquentiels

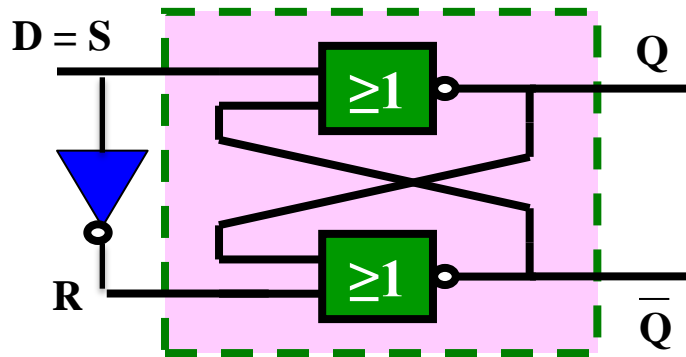
3°) Les bascules D

a. Bascule D asynchrone

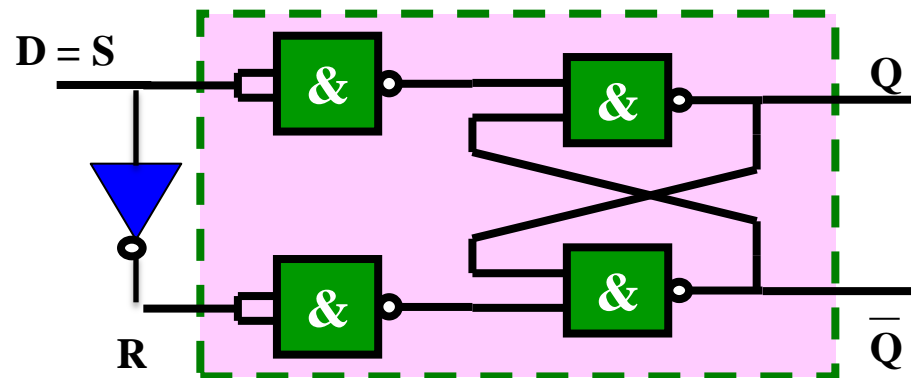
► C'est une bascule délai (delay) qui recopie.



L'implémentation utilisant les portes NOR



L'implémentation utilisant les portes NAND



Chapitre VI : Les circuits séquentiels

Technologie : NOR

S	R		Q_t	$\overline{Q_t}$	Etat des sorties
0	0		Q_{t-1}	$\overline{Q_{t-1}}$	Mémoire
0	1		0	1	Mise à 0 (MAZ) ou armé
1	0		1	0	Mise à 1 (MAU) ou réarmé
1	1		0	0	Interdit ou irrégulier

Technologie : NAND

S	R		Q_t	$\overline{Q_t}$	Etat des sorties
0	0		Q_{t-1}	$\overline{Q_{t-1}}$	Mémoire
0	1		0	1	Mise à 0 (MAZ) ou armé
1	0		1	0	Mise à 1 (MAU) ou réarmé
1	1		1	1	Interdit ou irrégulier

Table de vérité

D	Q	Etat de la sortie
0	0	Recopie
1	1	Recopie

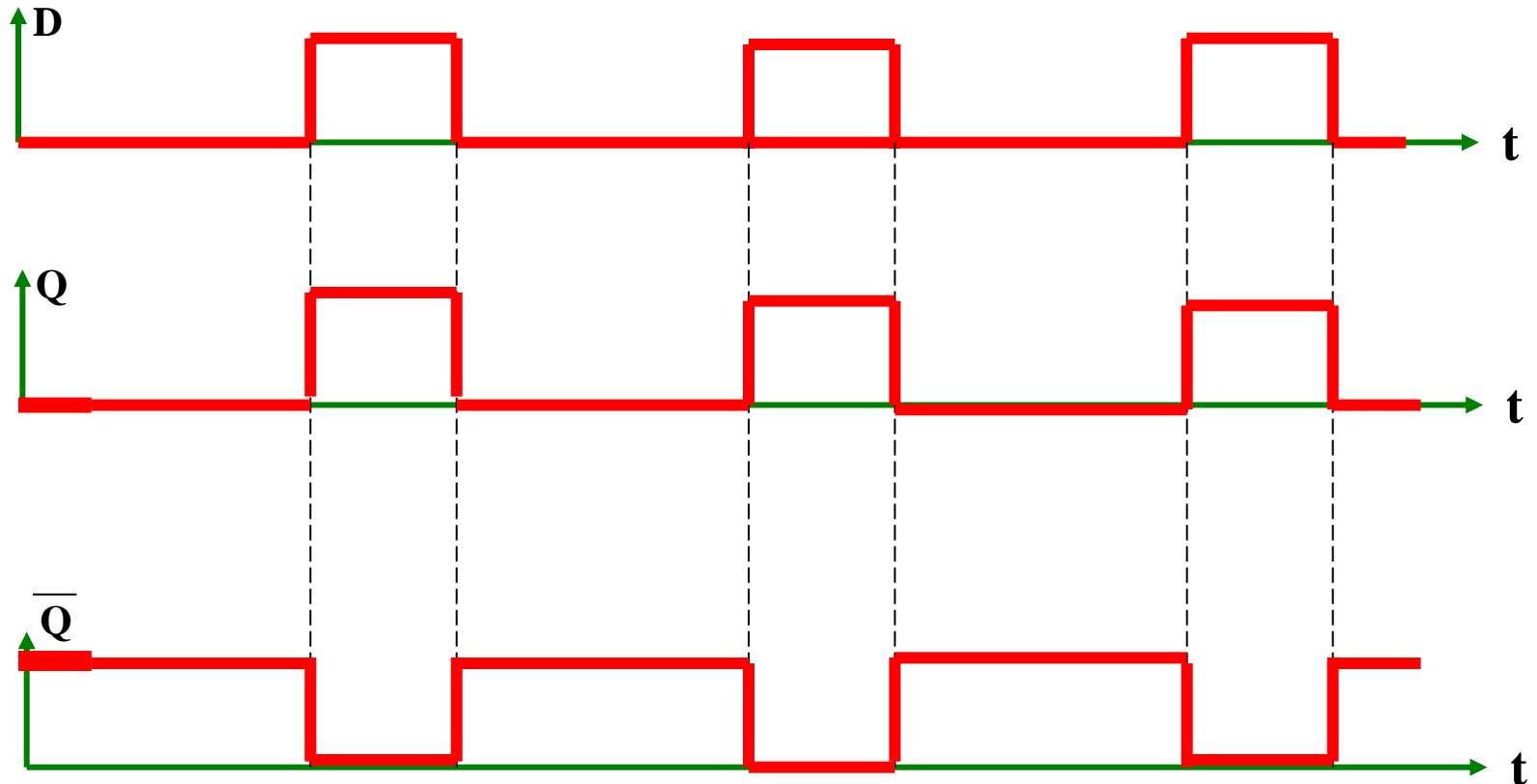
Équation de fonctionnement :

$$D = S = \overline{R} = Q$$

Chapitre VI : Les circuits séquentiels

Diagramme des temps (ou chronogramme) : initialement $Q = 0$

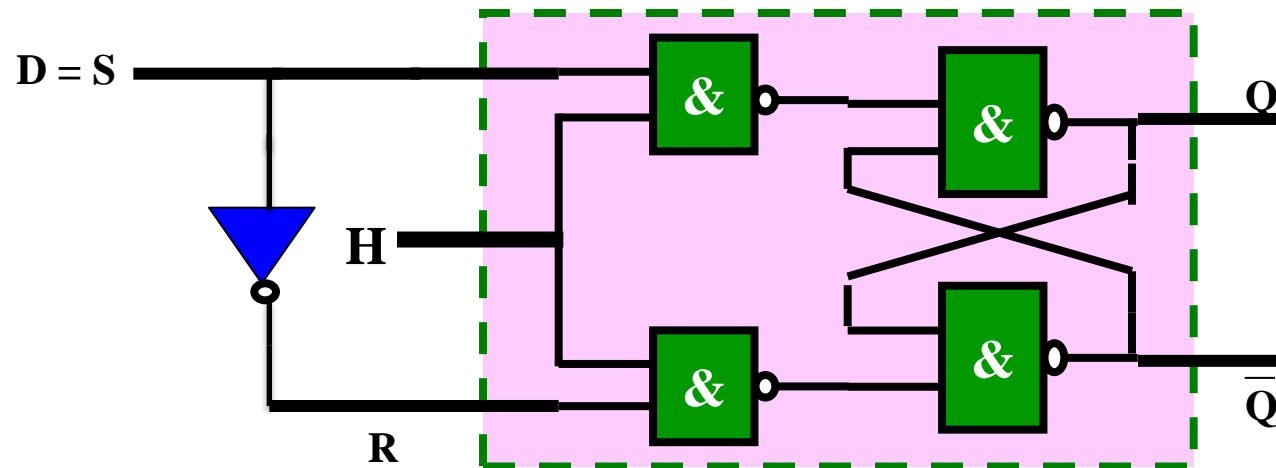
Sans retard de propagation :



Chapitre VI : Les circuits séquentiels

b. Bascule D synchrone

► Réalisation à partir de RSH

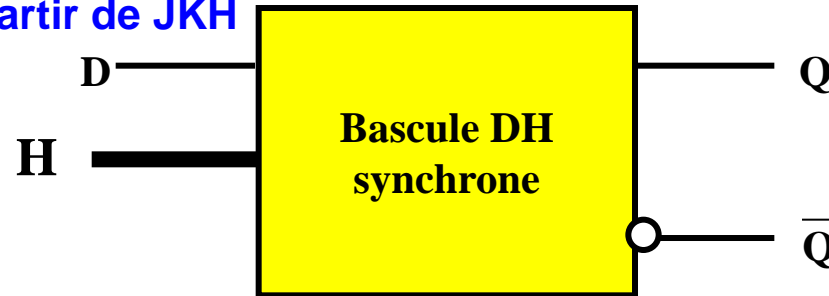


L'implémentation utilisant les portes NAND

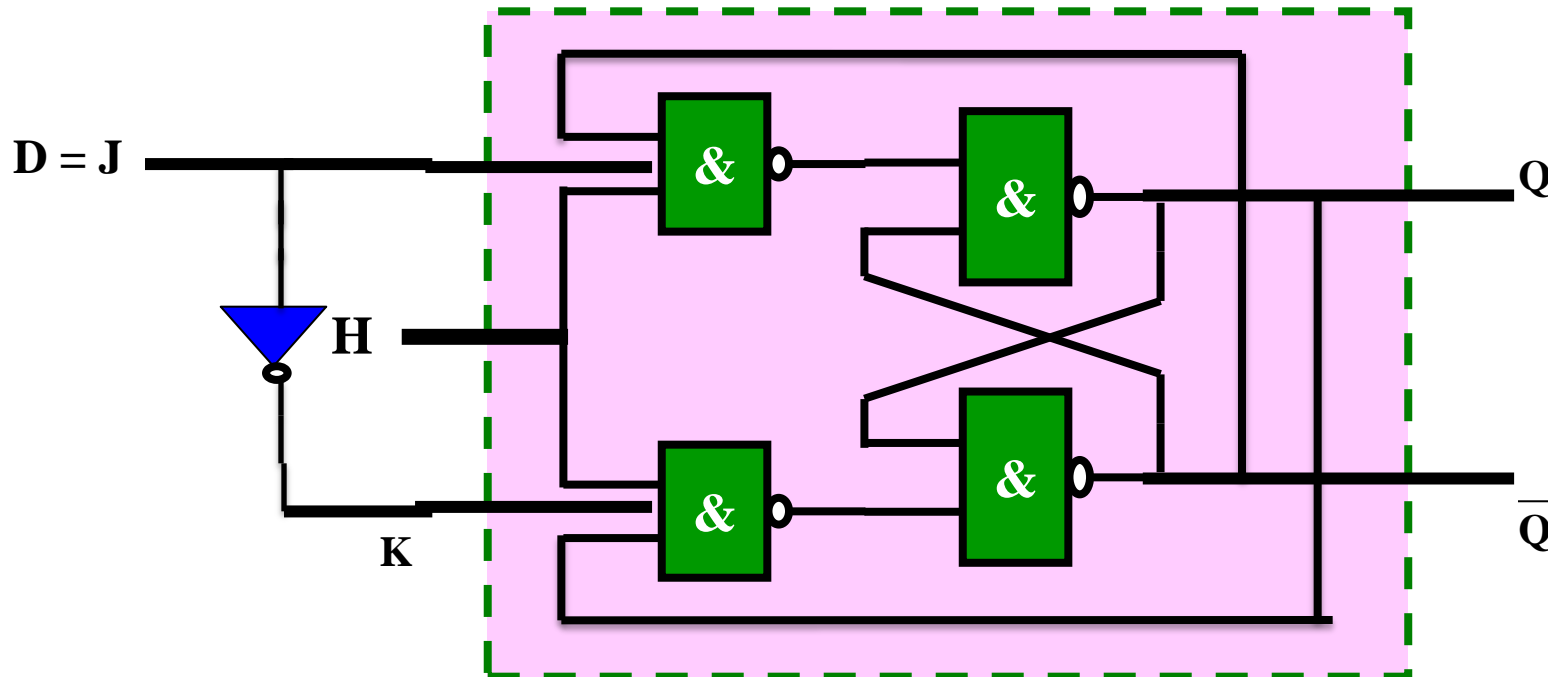
$$D = S = \bar{R}$$

Chapitre VI : Les circuits séquentiels

► Réalisation à partir de JKH



L'implémentation utilisant les portes NAND



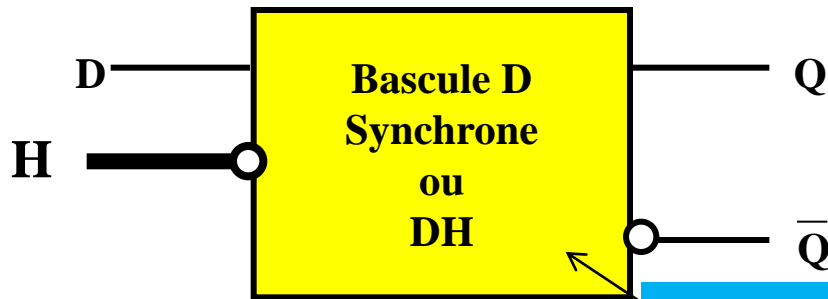
$$D = J = \bar{K} = Q$$

Chapitre VI : Les circuits séquentiels

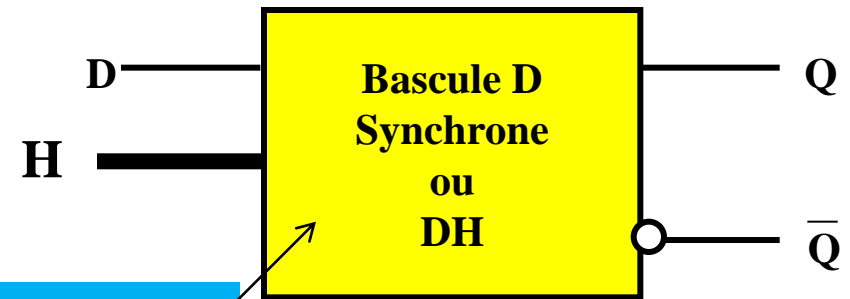
Les différentes configurations :

■ Déclenchement statique

Entrée horloge active au niveau bas

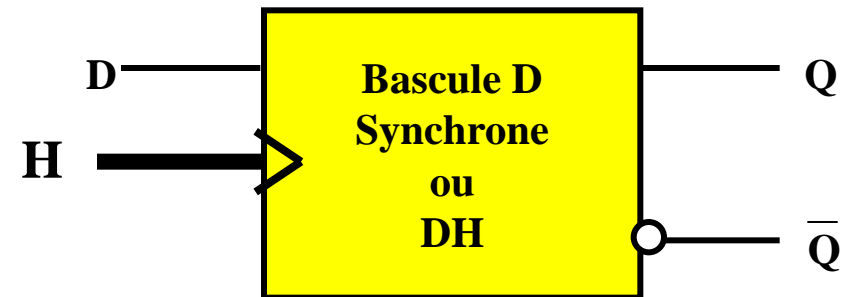
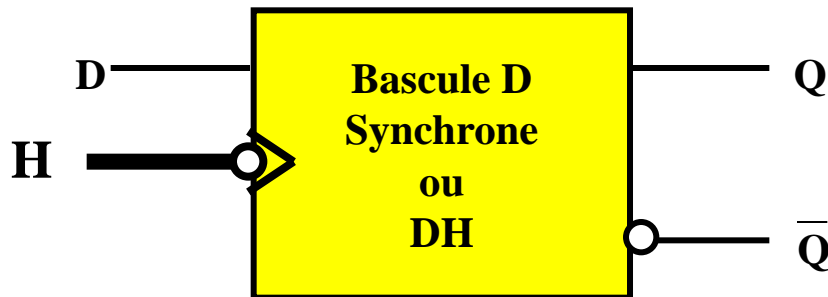


Entrée horloge active au niveau haut



Bascule latch ou verrou

■ Déclenchement dynamique



Entrée horloge active sur front descendant

Entrée horloge active sur front montant

Chapitre VI : Les circuits séquentiels

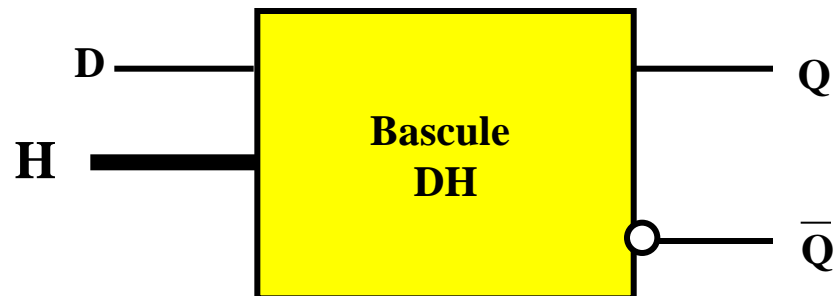


Table de vérité

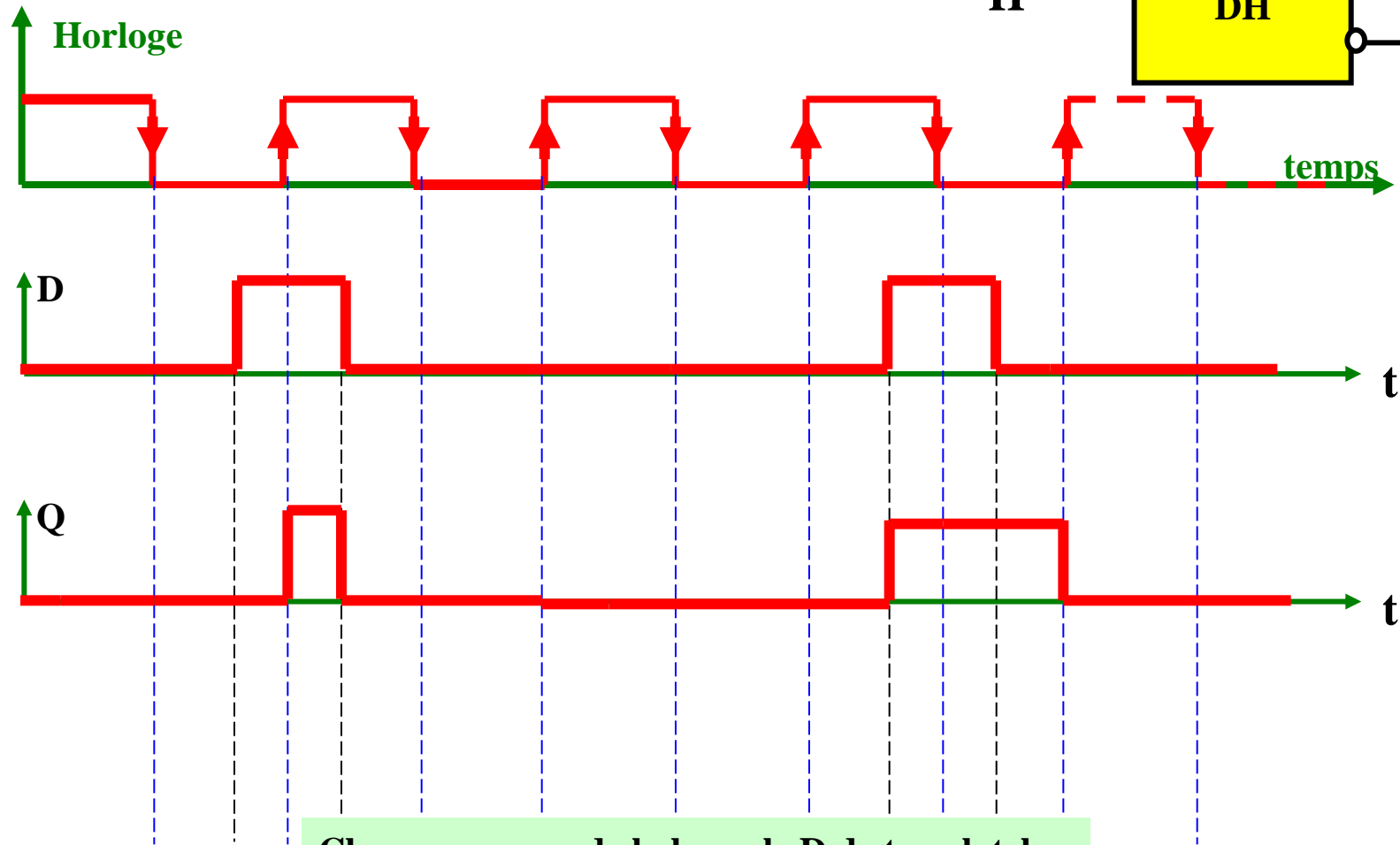
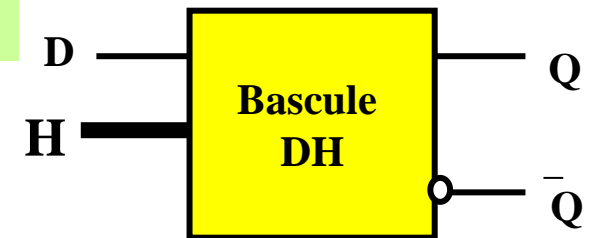
H	D		Qt	Etat de D
0	x		Qt-1	Mémorisation
↓	x		Qt-1	Mémorisation
↑	x		Qt-1	Mémorisation
1	0		0	Recopie
1	1		1	Recopie

Bascule latch ou verrou

Déclenchement sur le niveau haut (1)

Chapitre VI : Les circuits séquentiels

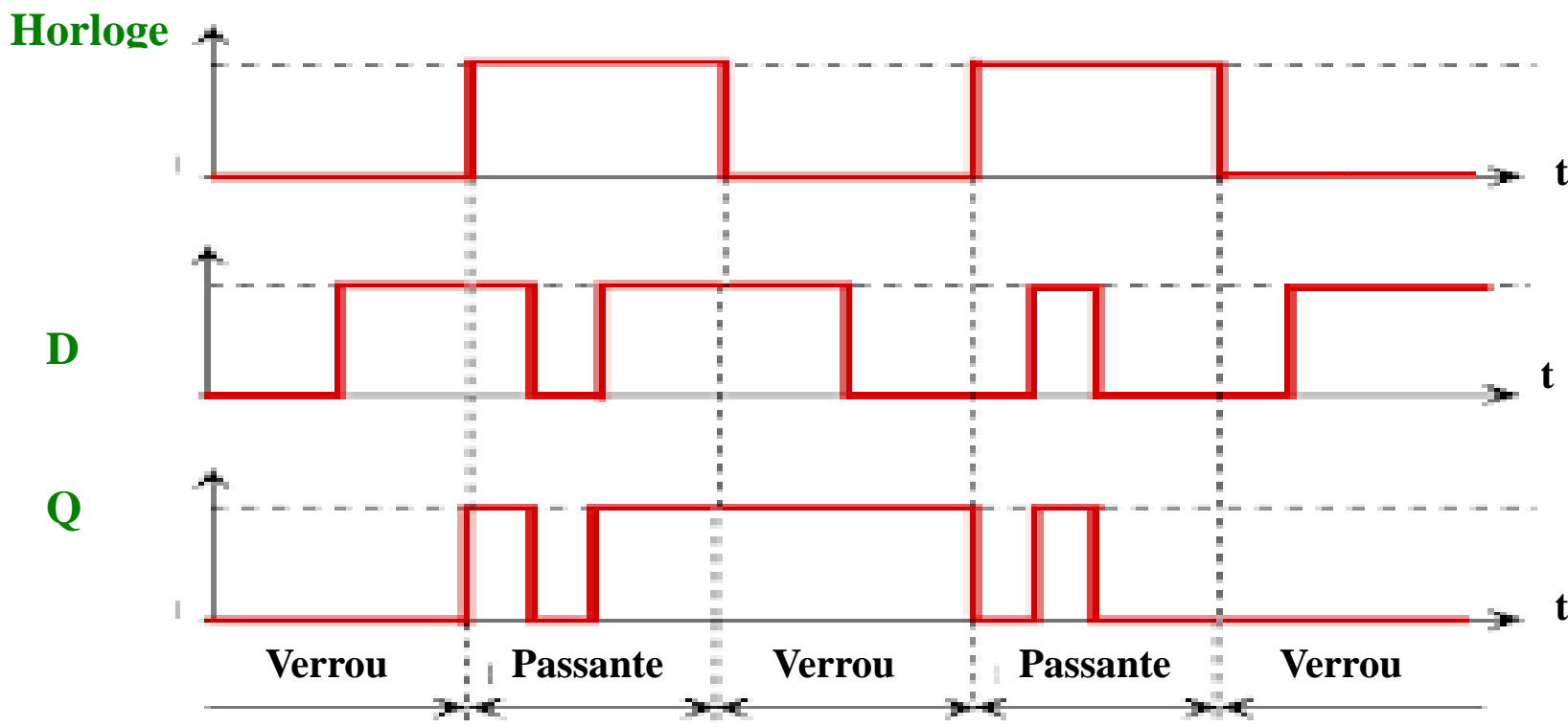
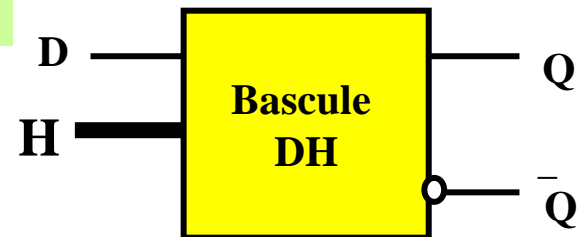
Diagramme des temps (ou chronogramme) : initialement $Q = 0$



Chronogramme de la bascule D de type latch

Chapitre VI : Les circuits séquentiels

Diagramme des temps (ou chronogramme) : initialement $Q = 0$



Chronogramme de la bascule D de type latch

Chapitre VI : Les circuits séquentiels

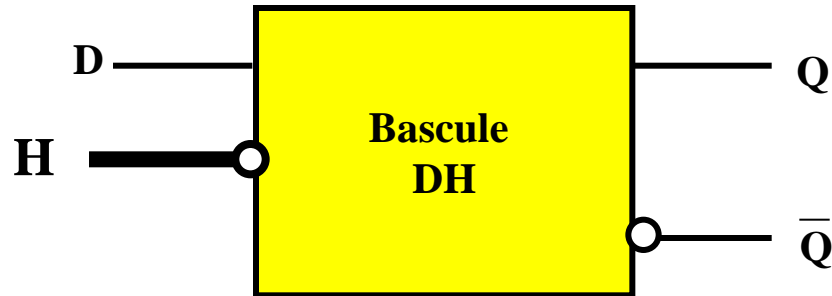


Table de vérité

H	D		Qt	Etat de D
1	x		Qt-1	Mémorisation
↓	x		Qt-1	Mémorisation
↑	x		Qt-1	Mémorisation
0	0		0	Recopie
0	1		1	Recopie

Bascule latch ou verrou

Déclenchement sur le niveau bas (0)

Chapitre VI : Les circuits séquentiels

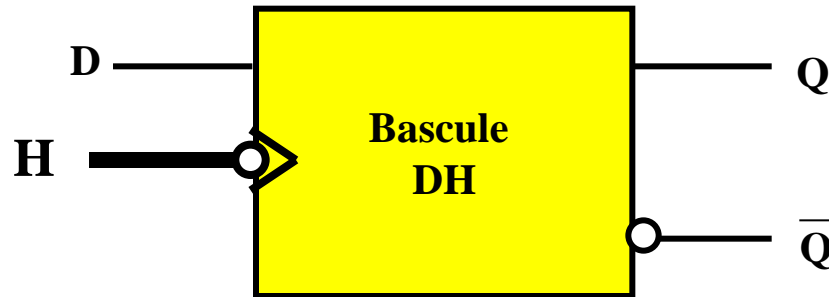


Table de vérité

H	D		Qt	Etat de D
0	x		Qt-1	Mémorisation
1	x		Qt-1	Mémorisation
↑	x		Qt-1	Mémorisation
↓	0		0	Recopie
↓	1		1	Recopie

Déclenchement sur le front descendant (↓)

Chapitre VI : Les circuits séquentiels

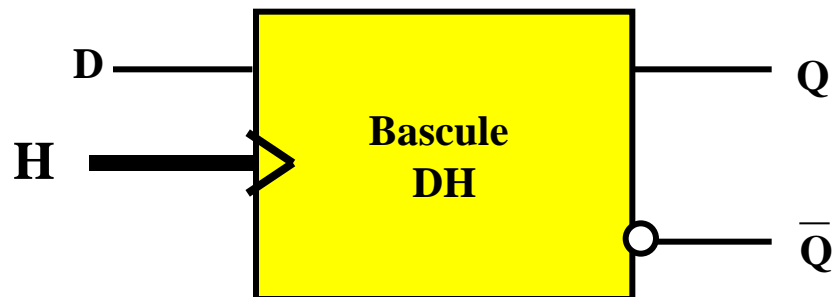


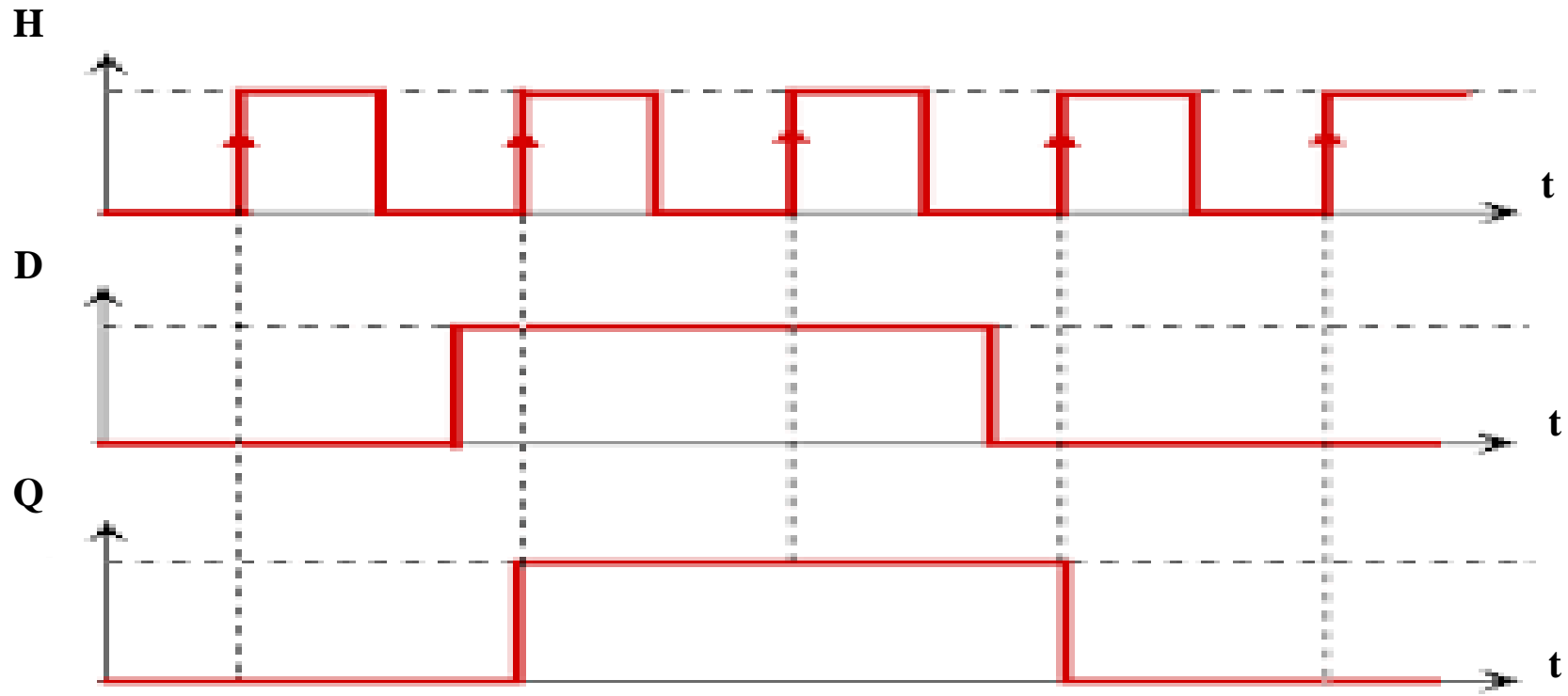
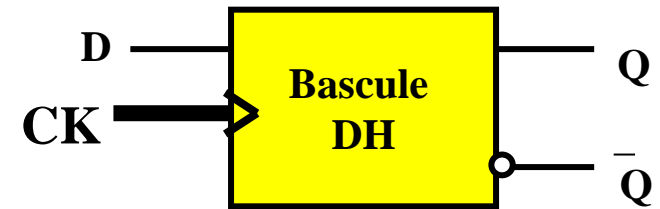
Table de vérité

H	D		Qt	Etat de D
1	x		Qt-1	Mémorisation
↓	x		Qt-1	Mémorisation
1	x		Qt-1	Mémorisation
↑	0		0	Recopie
↑	1		1	Recopie

Déclenchement sur le niveau bas (↑)

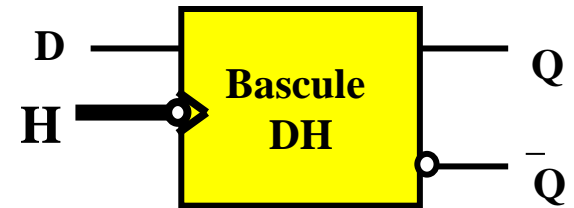
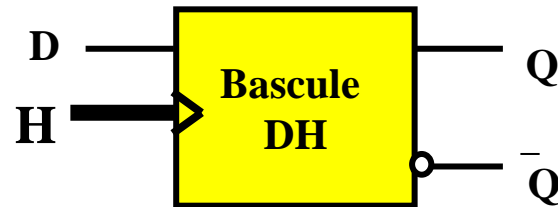
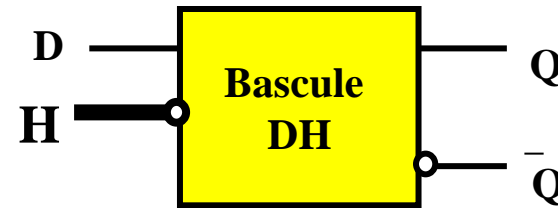
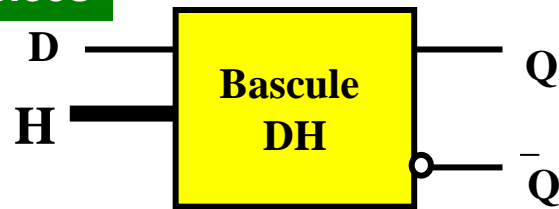
Chapitre VI : Les circuits séquentiels

Diagramme des temps (ou chronogramme) : initialement $Q = 0$

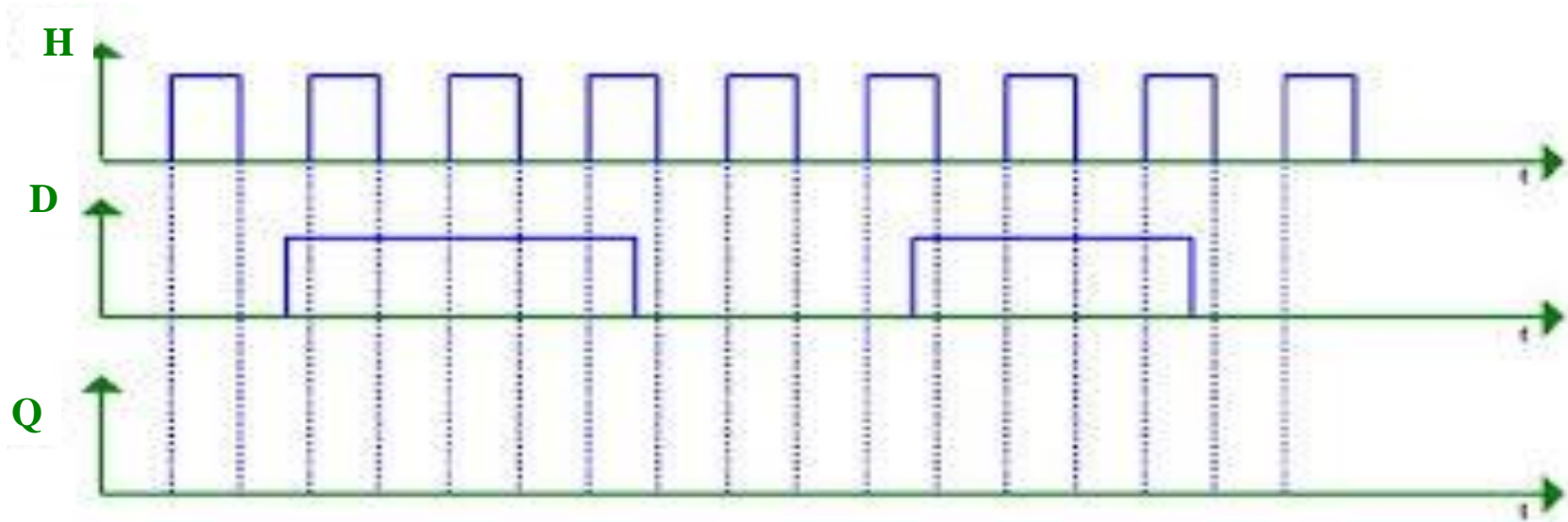


Chapitre VI : Les circuits séquentiels

Exercices

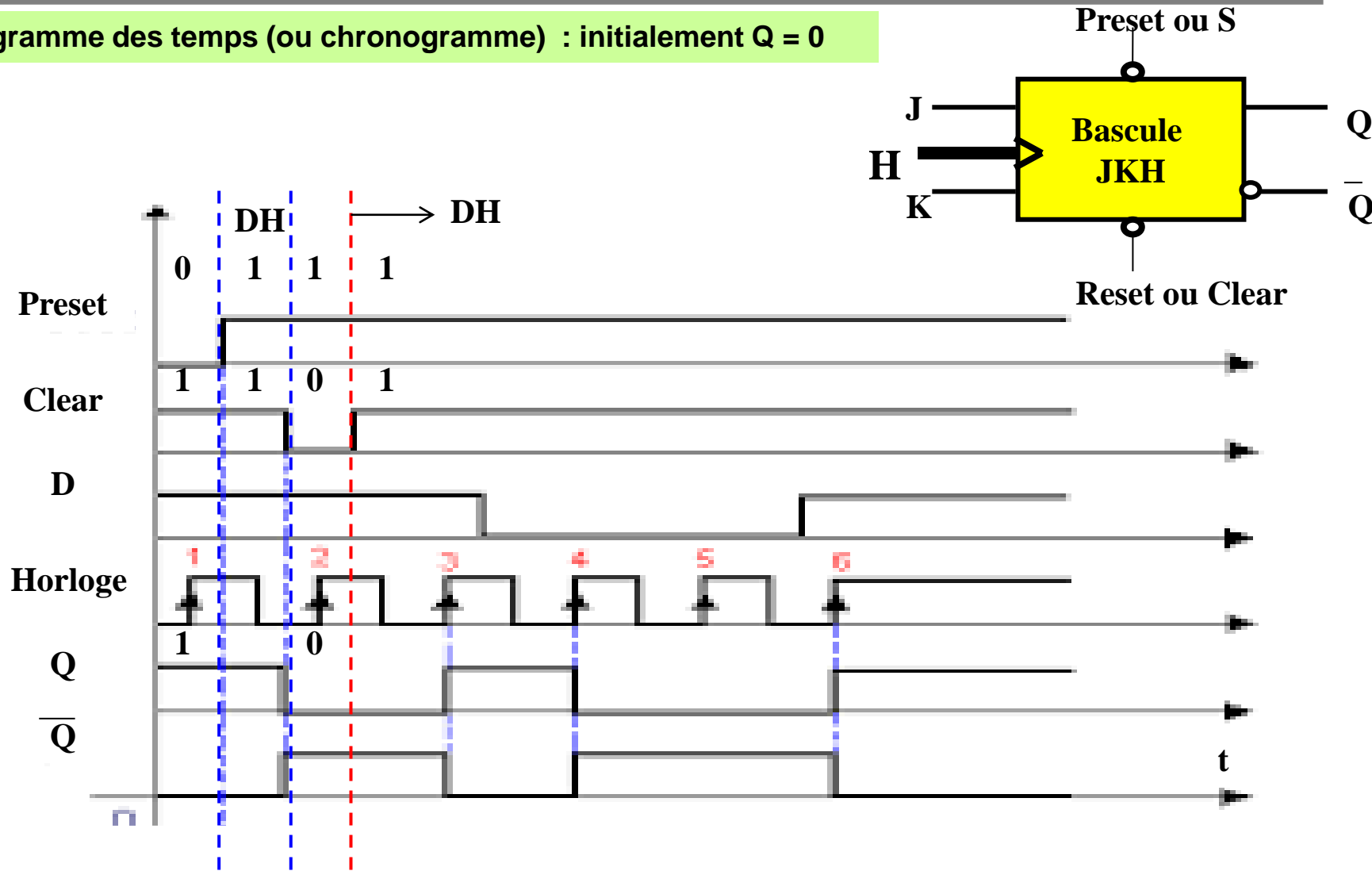


Chronogramme : initialement $Q = 0$



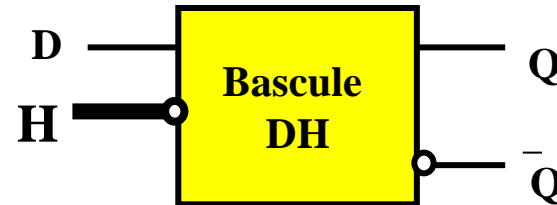
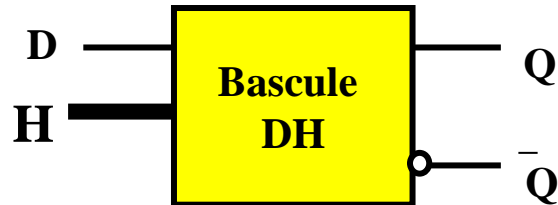
Chapitre VI : Les circuits séquentiels

Diagramme des temps (ou chronogramme) : initialement $Q = 0$

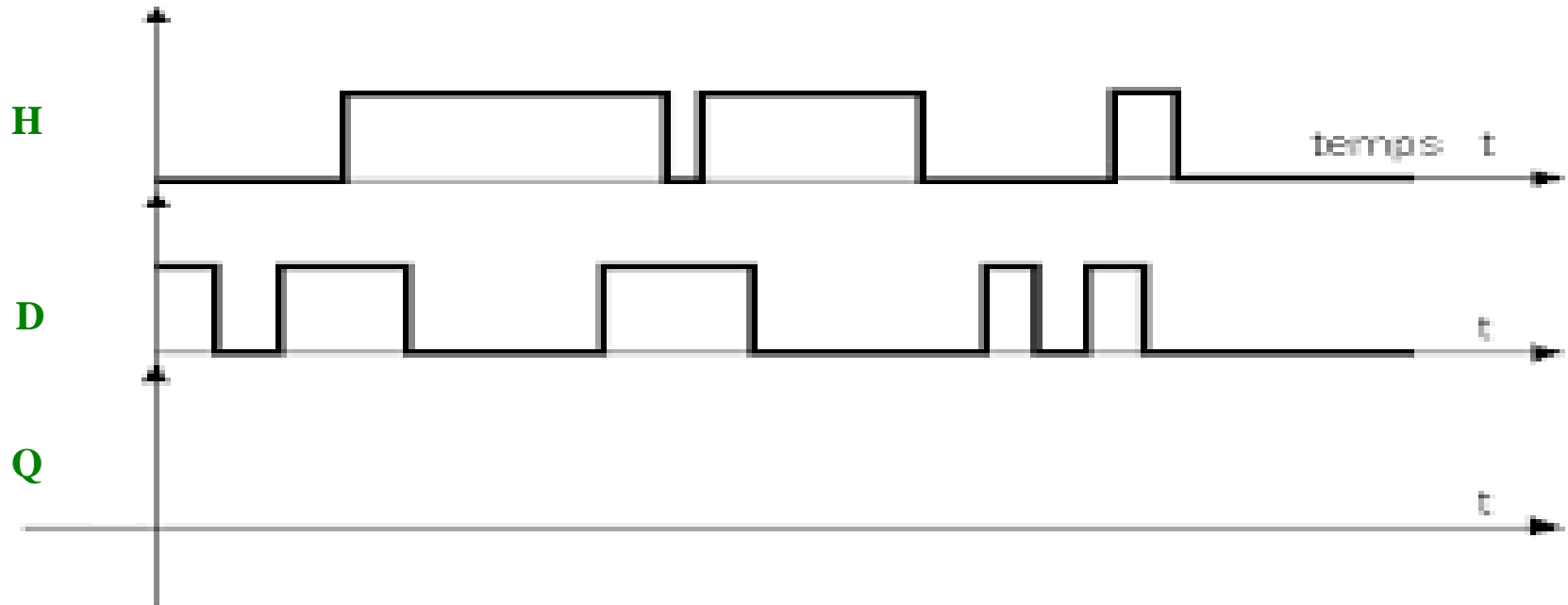


Chapitre VI : Les circuits séquentiels

Exercices



Chronogramme : initialement $Q = 0$



Chapitre VI : Les circuits séquentiels

4°) Les bascules T

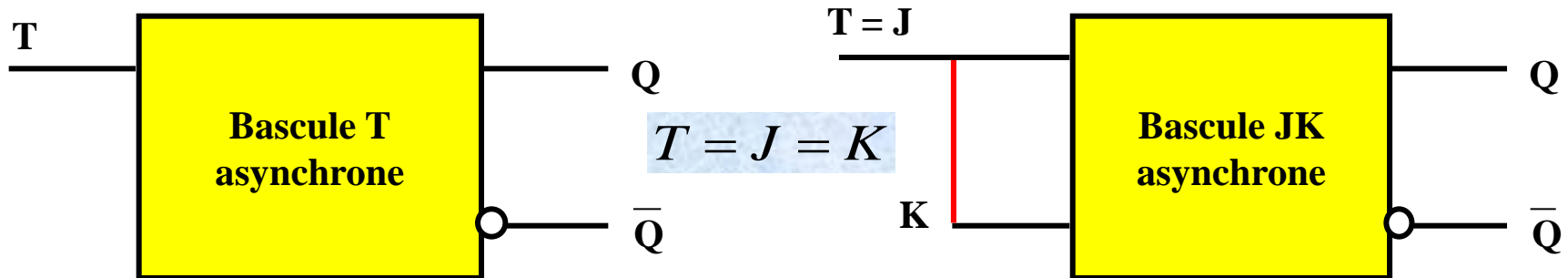
a. Bascule T asynchrone

► C'est une bascule (Trigger) qui commute.

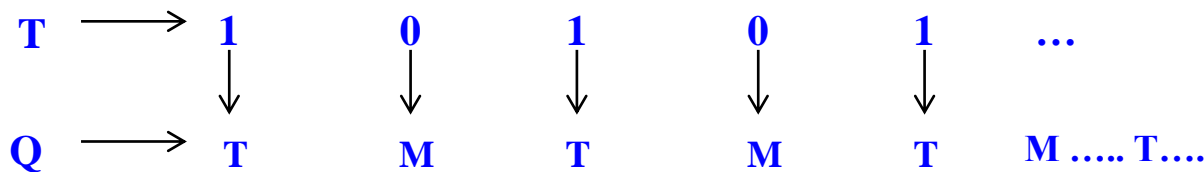


Chapitre VI : Les circuits séquentiels

► Réalisation à partir de la bascule JK asynchrone



J	K		Q_t	\bar{Q}_t	Etat des sorties
0	0		Q_{t-1}	\bar{Q}_{t-1}	Mémoire
1	1		\bar{Q}_{t-1}	Q_{t-1}	Toggle

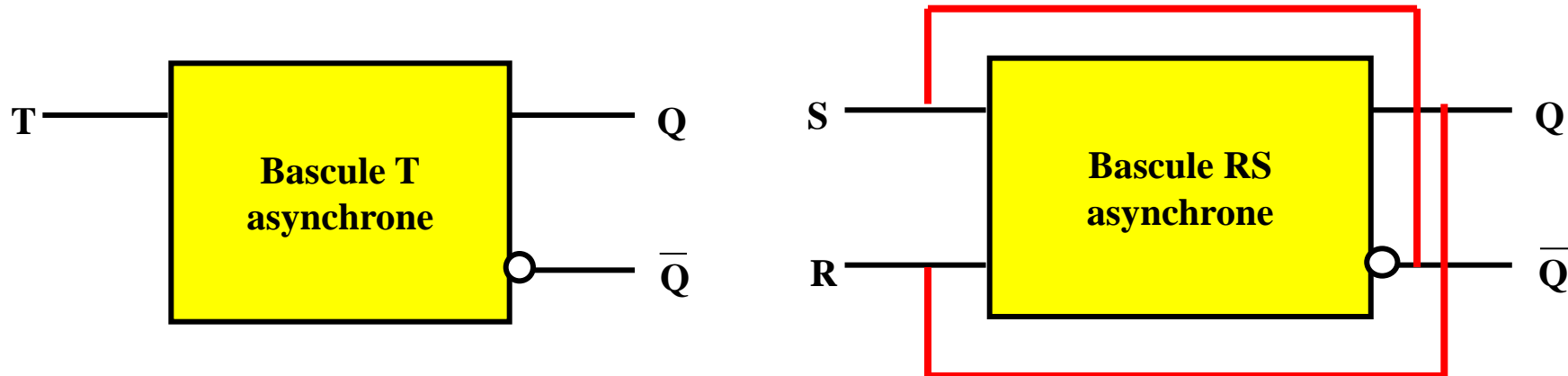


Basculement
et
Mémorisation

$$T = J = K = 1 (Toggle)$$

Chapitre VI : Les circuits séquentiels

► Réalisation à partir de la bascule RS asynchrone



S	R		Qt	$\bar{Q}t$	État des sorties
0	1		1	0	Toggle
1	0		0	1	Toggle

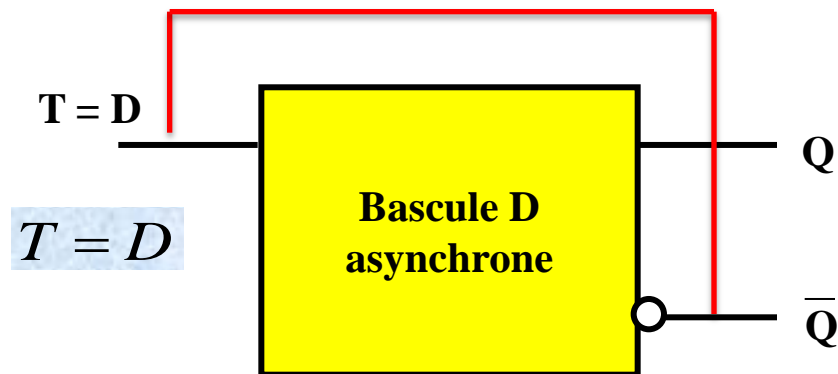
$$T = S = \bar{R}$$

Remarque :

► Réalisation pratique assez difficile car les états des sorties de Q et \bar{Q} peuvent être contradictoires : la réaction externe de la bascule → prise en compte du temps de propagation interne

Chapitre VI : Les circuits séquentiels

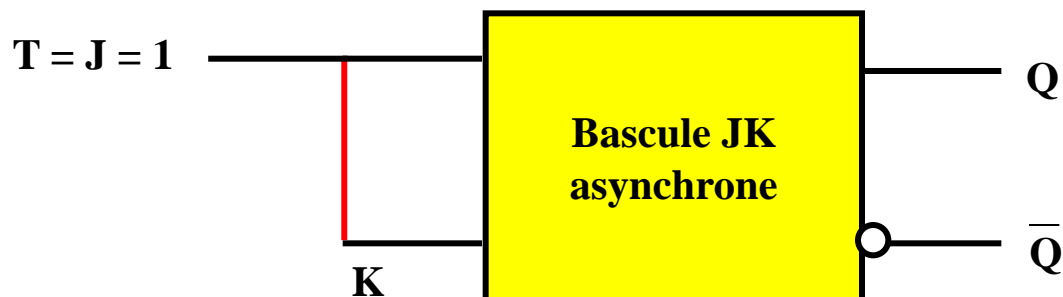
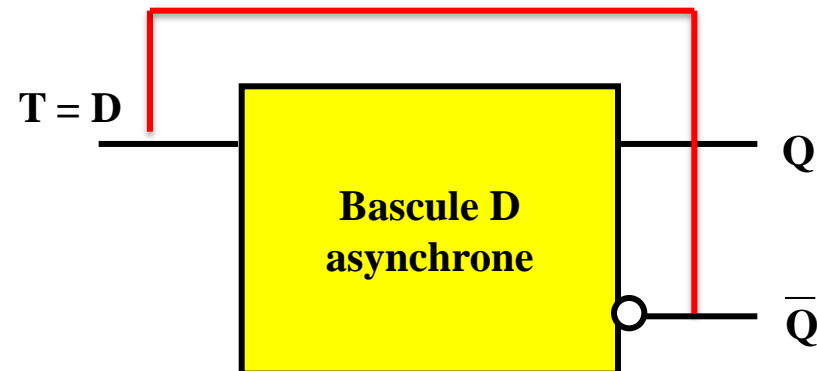
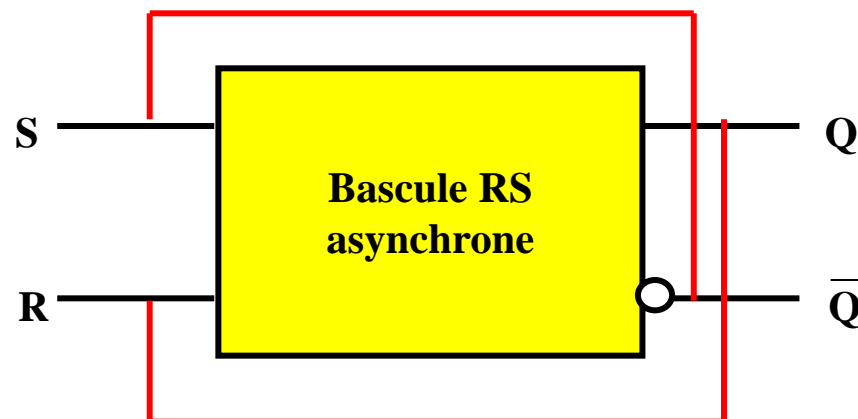
► Réalisation à partir de la bascule D asynchrone



D		Qt	$\overline{Q_t}$	État des sorties
0		1	0	Toggle
1		0	1	Toggle

Chapitre VI : Les circuits séquentiels

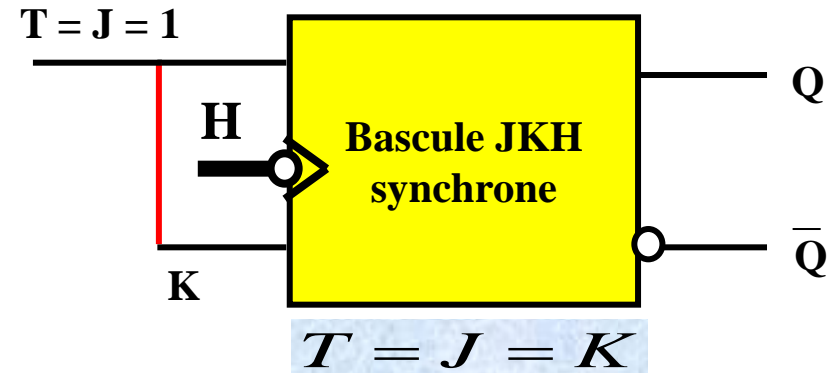
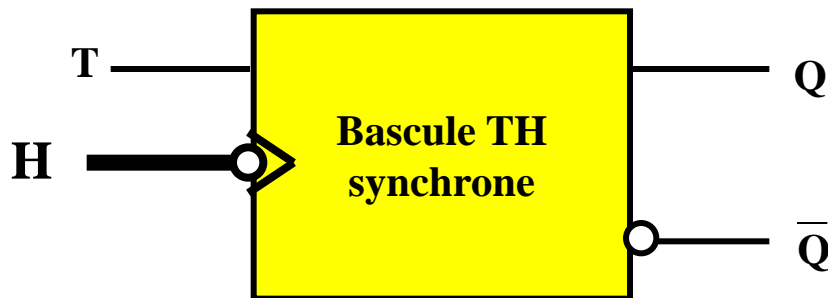
Résumé :



Chapitre VI : Les circuits séquentiels

b. Bascule T synchrone

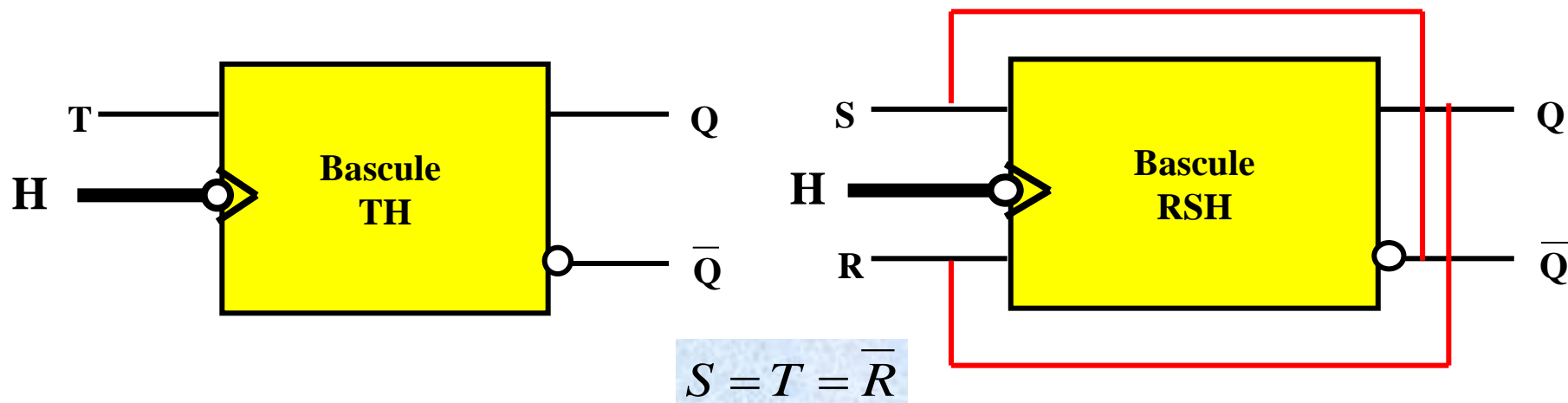
► Réalisation à partir de la bascule JKH



H	J	K		Q_t	$\overline{Q_t}$	État des sorties
↓	0	0		Q_{t-1}	$\overline{Q_{t-1}}$	Mémorisation
↓	1	1		$\overline{Q_{t-1}}$	Q_{t-1}	Toggle
0	x	x		Q_{t-1}	$\overline{Q_{t-1}}$	Mémorisation
1	x	x		Q_{t-1}	$\overline{Q_{t-1}}$	Mémorisation
↑	x	x		Q_{t-1}	$\overline{Q_{t-1}}$	Mémorisation

Chapitre VI : Les circuits séquentiels

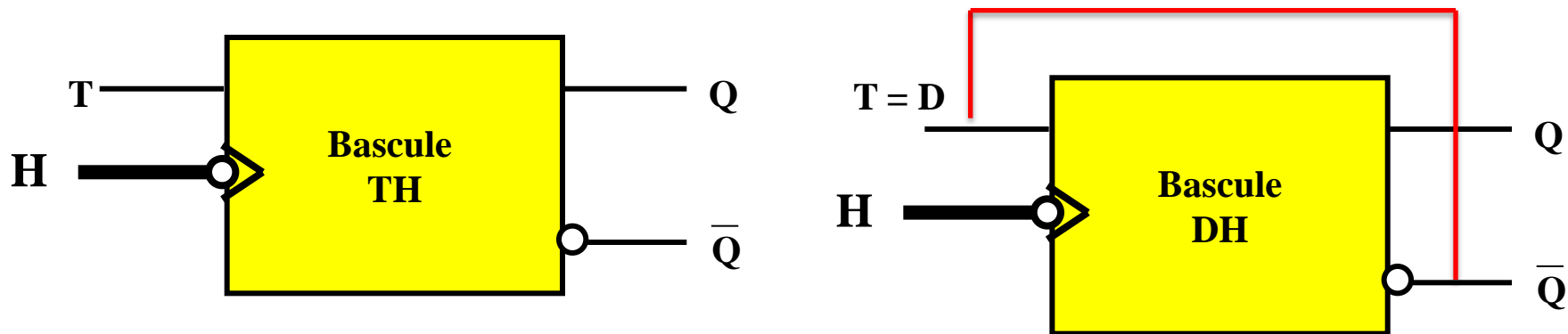
► Réalisation à partir de la bascule RSH



H	S	R		Qt	$\bar{Q}t$	État des sorties
↓	0	1		1	0	Toggle
↓	1	0		0	1	Toggle
0	x	x		Qt-1	$\bar{Q}t-1$	Mémorisation
1	x	x		Qt-1	$\bar{Q}t-1$	Mémorisation
↑	x	x		Qt-1	$\bar{Q}t-1$	Mémorisation

Chapitre VI : Les circuits séquentiels

► Réalisation à partir de la bascule DH



H	D		Q_t	\bar{Q}_t	État des sorties
↓	0		1	0	Toggle
↓	1		0	1	Toggle
0	x		Q_{t-1}	\bar{Q}_{t-1}	Mémorisation
1	x		Q_{t-1}	\bar{Q}_{t-1}	Mémorisation
↑	x		Q_{t-1}	\bar{Q}_{t-1}	Mémorisation

Chapitre VI : Les circuits séquentiels

Résumé :

