



Exposé

ELECTRONIQUE NUMERIQUE

email : nasser_baghdad @ yahoo.fr

ELECTRONIQUE NUMERIQUE

Sommaire

Chapitre I : Technologies des circuits logiques : TTL et CMOS

Chapitre II : Les bases de numération

Chapitre III : Les portes logiques

Chapitre IV : Les fonctions binaires

Chapitre V : Les circuits combinatoires

Chapitre VI : Les circuits séquentiels

ELECTRONIQUE NUMERIQUE

Chapitre. V

Les circuits combinatoires

Chapitre V : Les circuits combinatoires

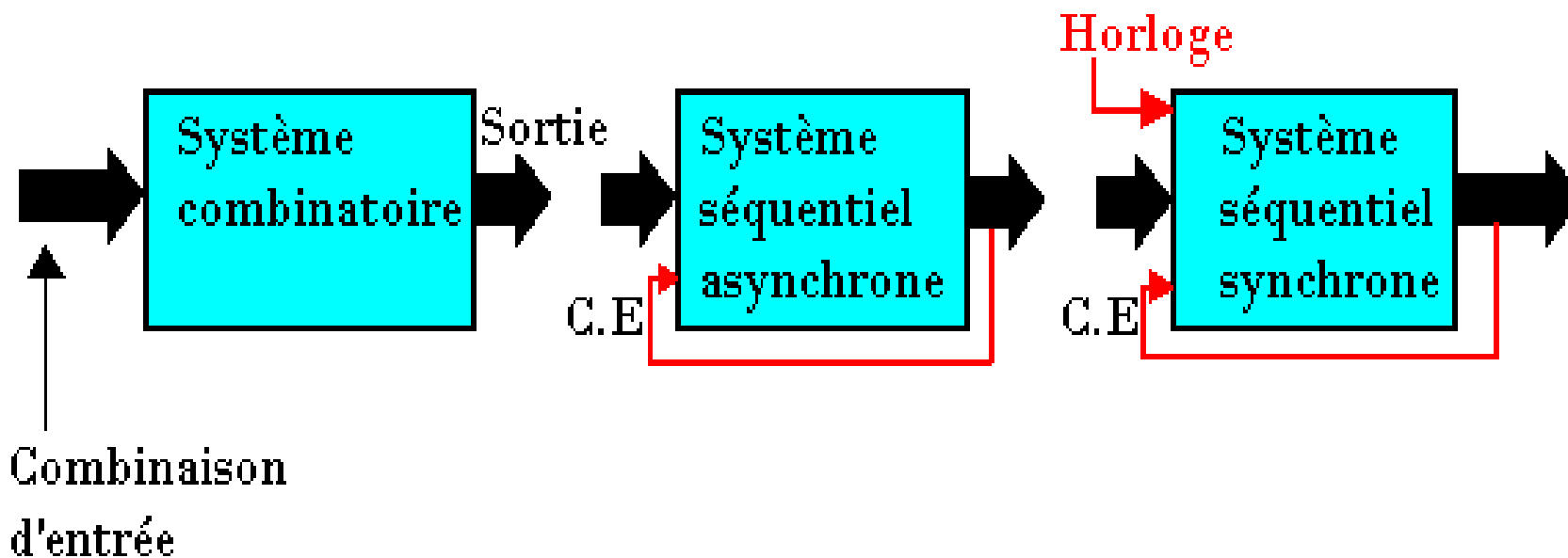
I. Circuits arithmétiques

II. Circuits de transcodage

III. Circuits d'aiguillage

Chapitre V : Les circuits combinatoires

Système combinatoire - Système séquentiel :



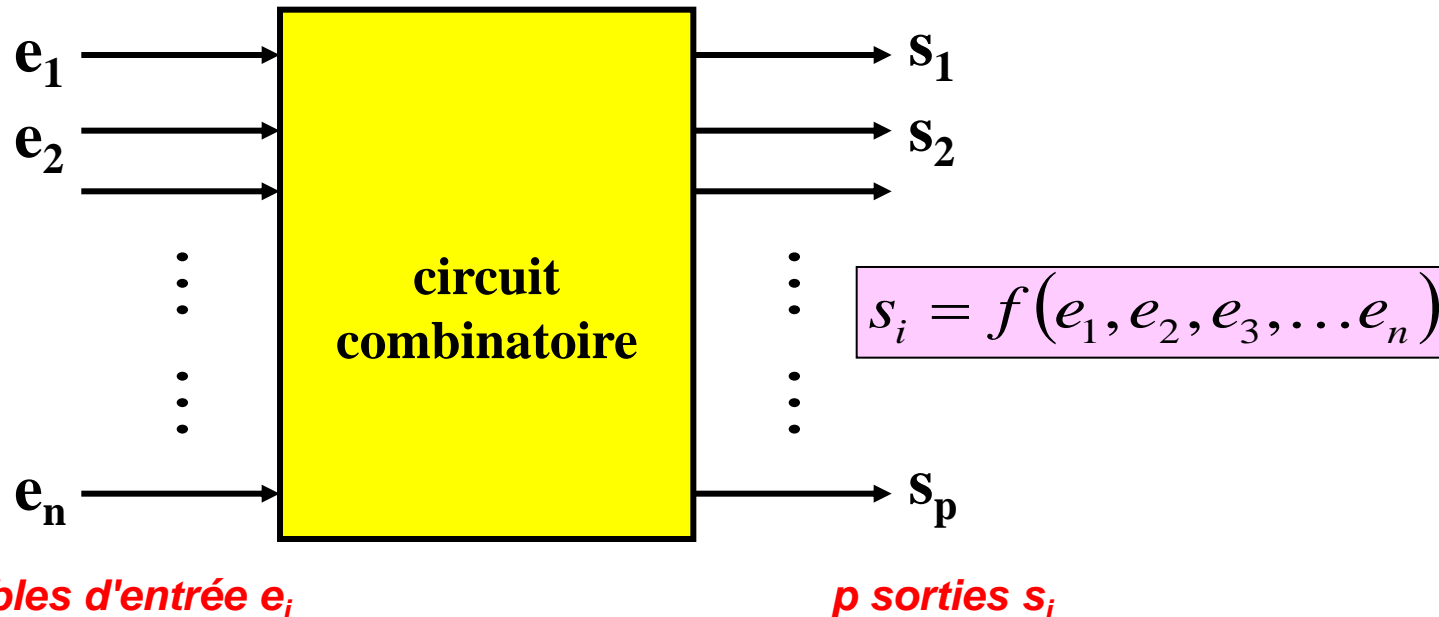
Chapitre V : Les circuits combinatoires

Définition d'un circuit combinatoire

► Une fonction binaire est dite combinatoire si sa valeur à l'instant t ne dépend que des valeurs de ses entrées à cet instant.

Un circuit combinatoire est un circuit logique où chacune des sorties est une fonction logique des entrées.

Exemple



Chapitre V : Les circuits combinatoires

II. Circuits arithmétiques

Chapitre V : Les circuits combinatoires

- 1°) Additionneurs – addition binaire
- 2°) Soustracteurs – soustraction binaire
- 3°) Multiplieurs – multiplication binaire
- 4°) Diviseurs – division binaire
- 5°) Compareurs – comparaison binaire
- 6°) Compareur avec des entrées de mise en cascade
- 7°) UAL : Unité Arithmétique et Logique (*ALU : Arithmetic Logic Unit*)

Chapitre V : Les circuits combinatoires

1°) Additionneurs – Addition binaire

- Les additionneurs ont pour rôle d'effectuer l'addition des nombre binaires

a°) Règle de l'opération addition

- L'addition des nombres binaires se fait en respectant la règle suivante :

$$0 + 0 = 0 \quad \text{retenue } 0$$

$$0 + 1 = 1 \quad \text{retenue } 0$$

$$1 + 0 = 1 \quad \text{retenue } 0$$

$$1 + 1 = 0 \quad \text{retenue } 1$$

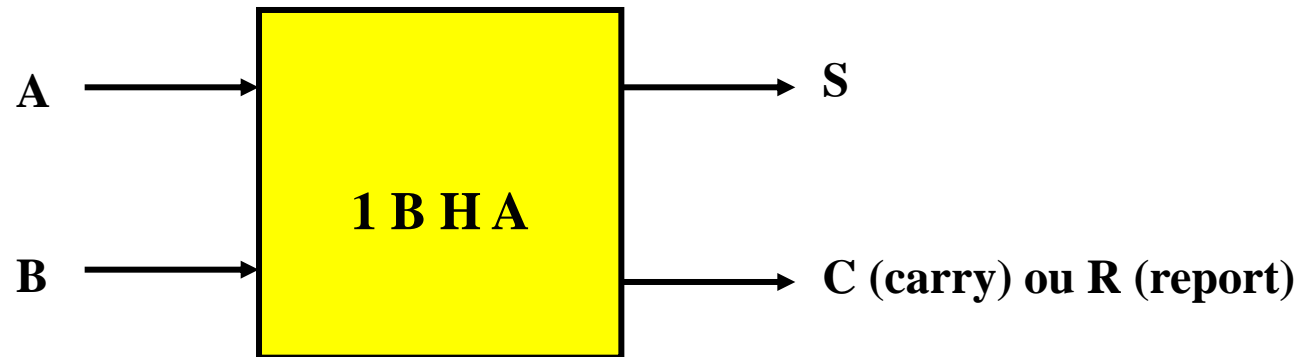
Chapitre V : Les circuits combinatoires

b°) Conception d'un circuit additionneur

i°) Demi additionneur (Half Adder) ou (HA)

- ▶ Il s'agit ici de concevoir un circuit capable d'effectuer la somme de deux nombres binaires A et B.
- ▶ Le circuit doit avoir deux entrées A et B, et deux sorties S et C
S : Sortie du bit somme
C : Carry (sortie du bit de report)

Schéma bloc du 1BHA



- ▶ Il ne tient pas compte de la retenue qui peut arriver en entrée, provenant de calculs précédents.

Chapitre V : Les circuits combinatoires

Table délivrant la fonction 1BHA

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Tableau de Karnaugh

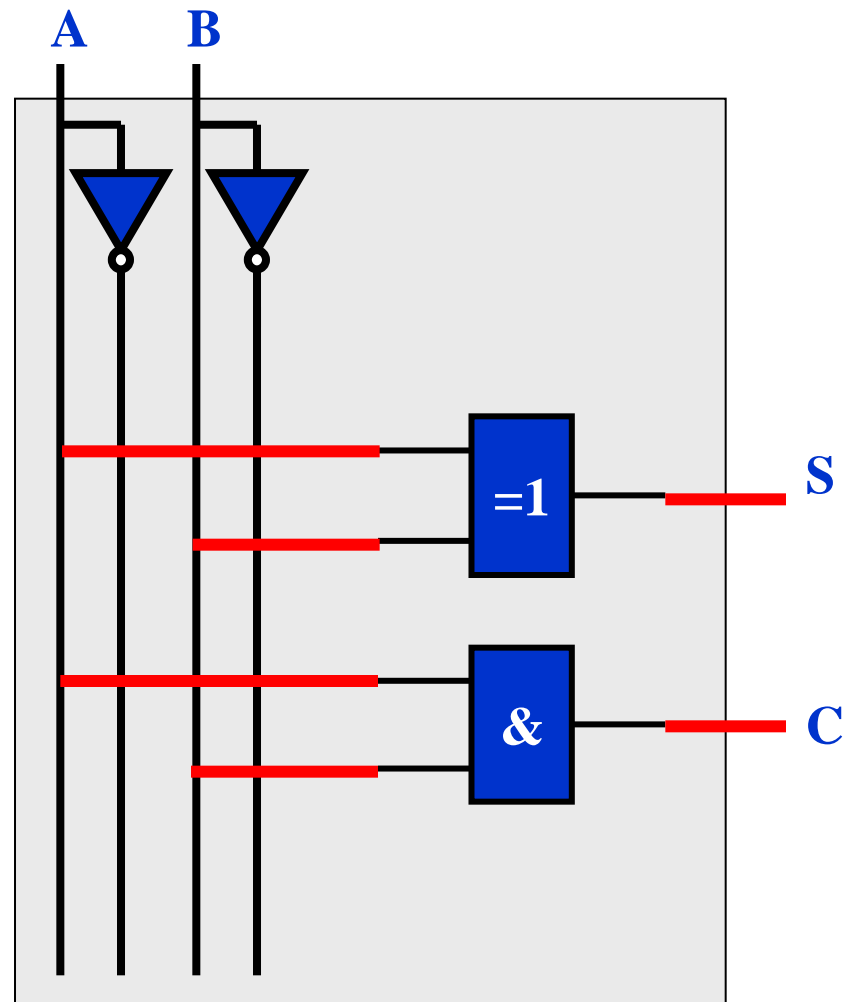
Inutile « expression compacte »

Expressions logiques des sorties

$$S = A \oplus B$$

$$C = A \cdot B$$

Logigramme

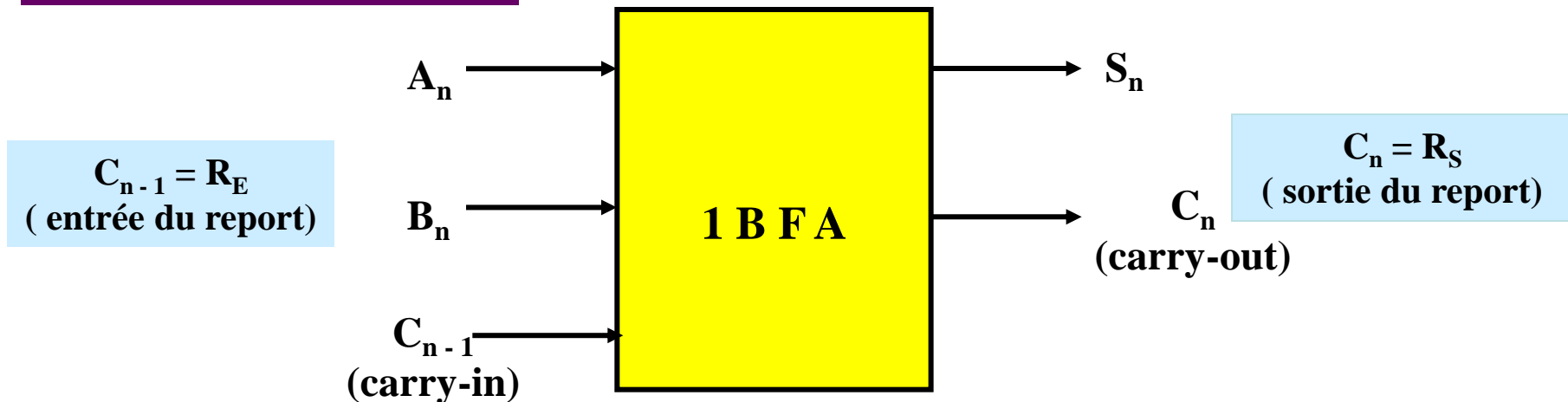


Chapitre V : Les circuits combinatoires

ii° Additionneur complet (Full Adder) ou (FA)

- ▶ Un additionneur complet est un circuit capable de faire la somme de 3 bits A_n et B_n qui sont les bits à additionner et C_{n-1} le report provenant de la somme des bits directement moins significatifs.
- ▶ Le circuit aura deux sorties S_n et C_n qui sont respectivement le bit de la somme et le bit du report provenant de la somme de 3 bits A_n , B_n et C_{n-1} .

Schéma bloc du FA à 1 bit



- ▶ Il tient compte de la retenue qui peut arriver en entrée, provenant de calculs précédents.

Chapitre V : Les circuits combinatoires

Table délivrant la fonction 1BPA

A	B	R _E	S	R _S	décimal
0	0	0	0	0	0
0	0	1	1	0	1
0	1	0	1	0	2
0	1	1	0	1	3
1	0	0	1	0	4
1	0	1	0	1	5
1	1	0	0	1	6
1	1	1	1	1	7

Tableaux de Karnaugh

Sortie S somme

A \ B R _E				
	0 0	0 1	1 1	1 0
0	0	1	0	1
1	1	0	1	0

Expressions logiques des sorties

$$S = A.\bar{B}.\bar{R}_E + \bar{A}.\bar{B}.R_E + A.B.R_E + \bar{A}.B.\bar{R}_E$$

$$S = (A.\bar{B} + \bar{A}.B).\bar{R}_E + (\bar{A}.\bar{B} + A.B).R_E$$

$$S = (A \oplus B).\bar{R}_E + (\overline{A \oplus B}).R_E$$

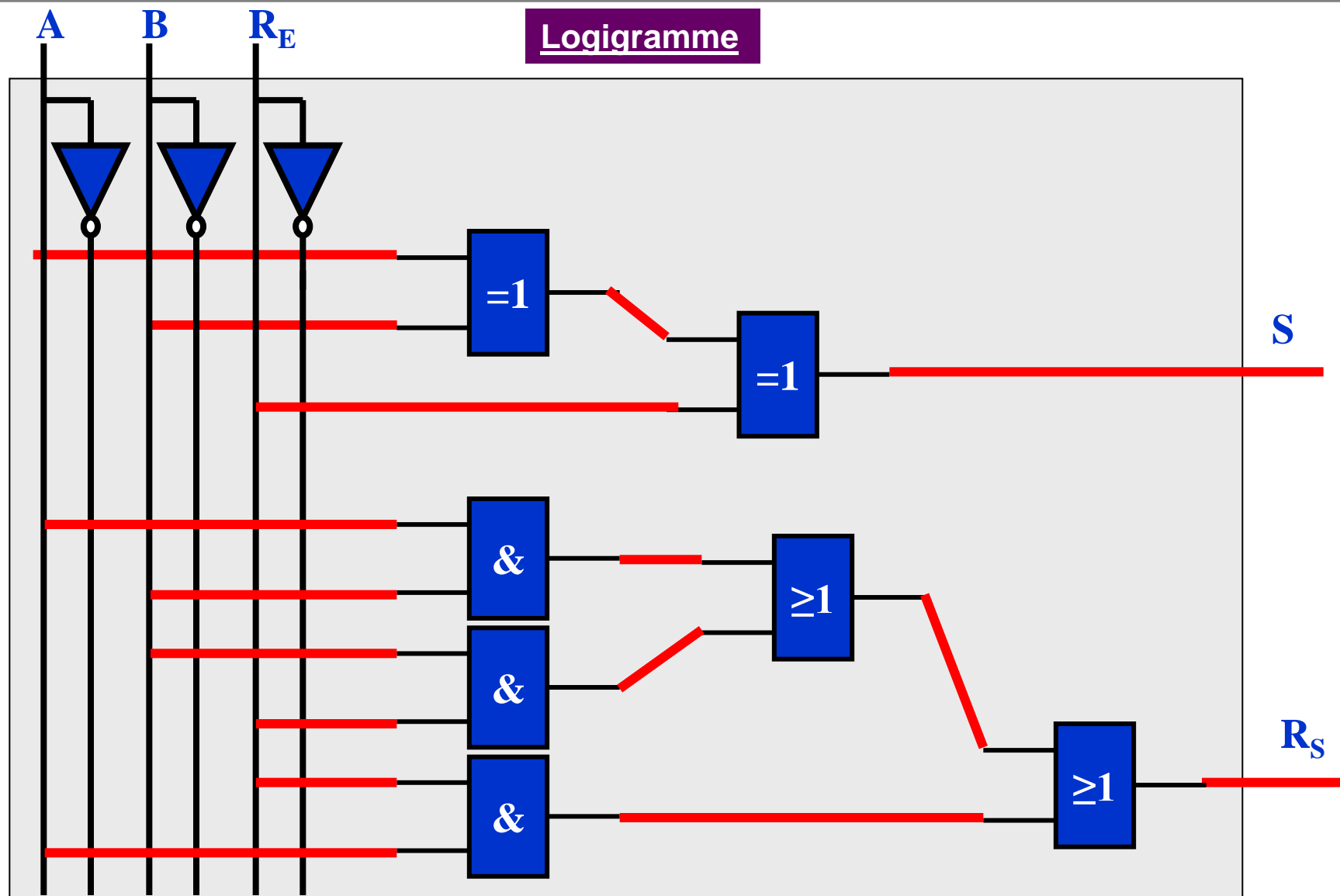
$$S = A \oplus B \oplus R_E$$

$$R_S = A.B + B.R_E + A.R_E$$

Sortie R_S retenue

A \ B R _E				
	0 0	0 1	1 1	1 0
0	0	0	1	0
1	0	1	1	1

Chapitre V : Les circuits combinatoires



Chapitre V : Les circuits combinatoires

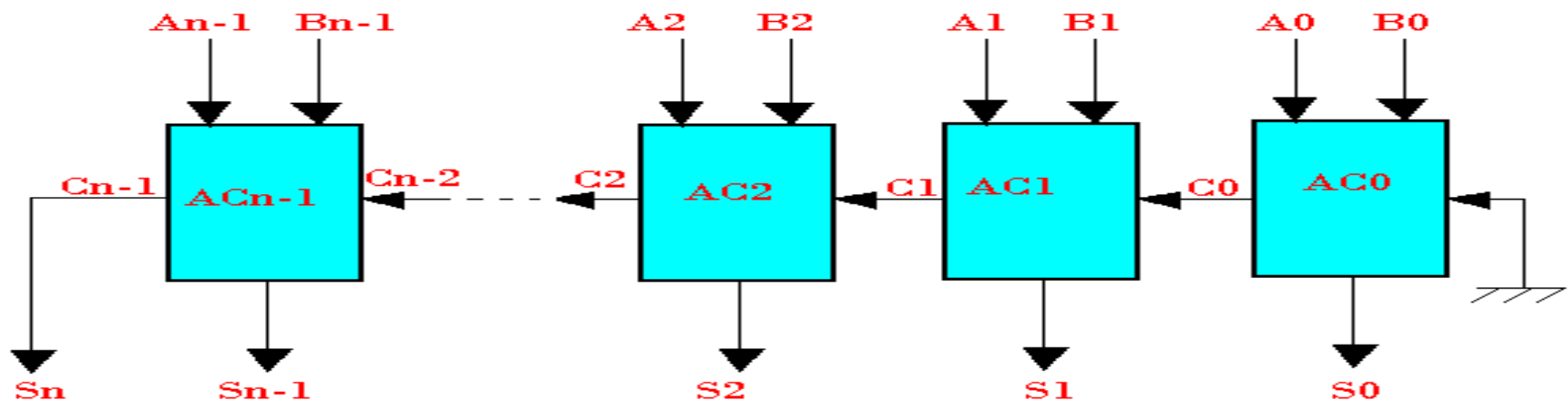
iii°) Réalisation d'un additionneur de deux nombre de n bits

► On peut réaliser un additionneur de deux nombres binaires de n bits chacun.

Soit à effectuer la somme de deux nombres N_1 et N_2 :

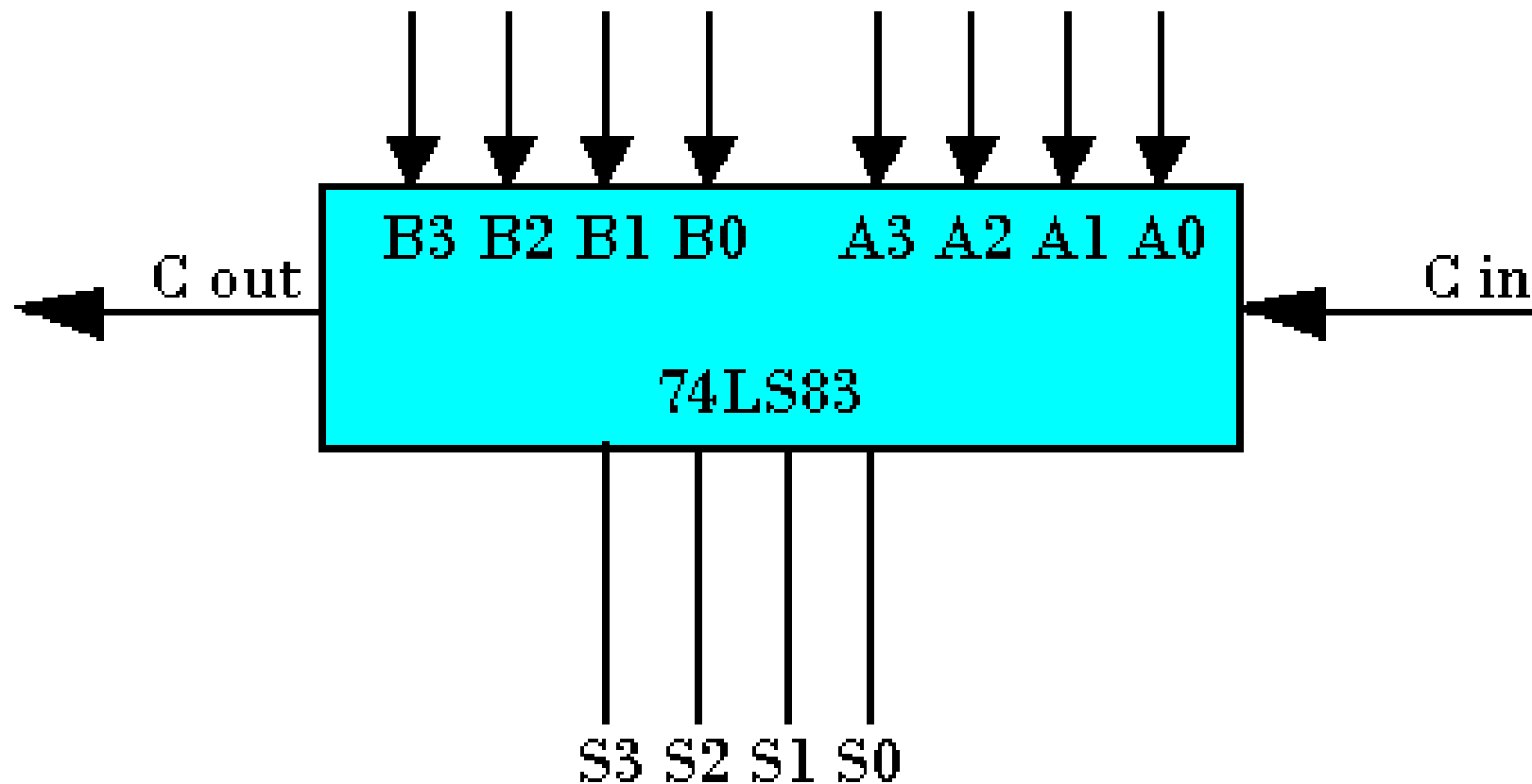
- N_1 est constitué de $A_{n-1} A_{n-2} \dots A_2 A_1 A_0$
- N_2 est constitué de $B_{n-1} B_{n-2} \dots B_2 B_1 B_0$
- A_0 et B_0 sont les LSB.

$$\begin{array}{r} R_n \ R_{n-1} \ \dots \ R_3 \ R_2 \ R_1 \ R_0=0 \\ A_n \ \dots \ A_4 \ A_3 \ A_2 \ A_1 \\ + \ B_n \ \dots \ B_4 \ B_3 \ B_2 \ B_1 \\ \hline R_n \ S_n \ \dots \ S_4 \ S_3 \ S_2 \ S_1 \end{array}$$



Chapitre V : Les circuits combinatoires

iiii°) Additionneur 4 bits à CI (74LS83)



Chapitre V : Les circuits combinatoires

2°) Soustrakteurs – soustraction binaire

a°) Règle de l'opération soustraction

► La soustraction des nombres binaires se fait en respectant la règle suivante :

$$0 - 0 = 0 \quad \text{retenue } 0$$

$$0 - 1 = 1 \quad \text{retenue } 1 \quad \text{On écrit "1" et on retient 1}$$

$$1 - 0 = 1 \quad \text{retenue } 0$$

$$1 - 1 = 0 \quad \text{retenue } 0$$

Chapitre V : Les circuits combinatoires

b°) Conception d'un circuit soustracteur

i°) Demi soustracteur

► C'est un circuit capable de faire la soustraction de deux nombre binaires d'un bit chacun.

► Le circuit aura deux entrées x, y et deux sorties S et B

S : Sortie du bit de soustraction

B : Retenue (borrow)

Schéma bloc du D.S.

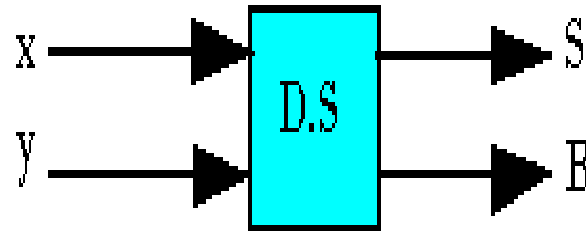


Table de vérité

x	y	S	B
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Expressions logiques

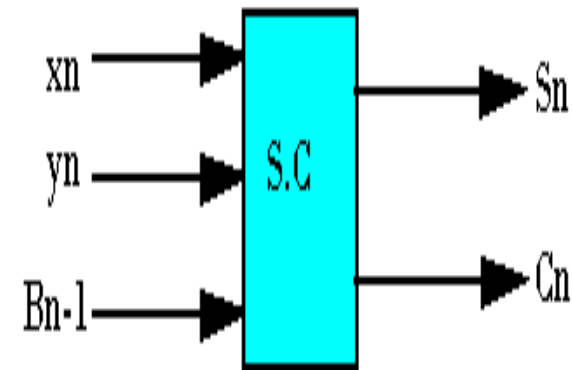
$$S = \overline{x}y + x\overline{y} = x \oplus y$$

$$B = \overline{x}y$$

Chapitre V : Les circuits combinatoires

ii°) Soustracteur complet (S.C.) à n bits

C'est un circuit capable de faire la soustraction de deux bits de rang n , ($x_n - y_n$) tout en tenant compte de la retenue B_{n-1} provenant de la soustraction des bits de rang directement inférieurs. On aura deux sorties S_n et B_n .



Solution :

a) Table de vérité

x_n	y_n	B_{n-1}	S_n	B_n
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

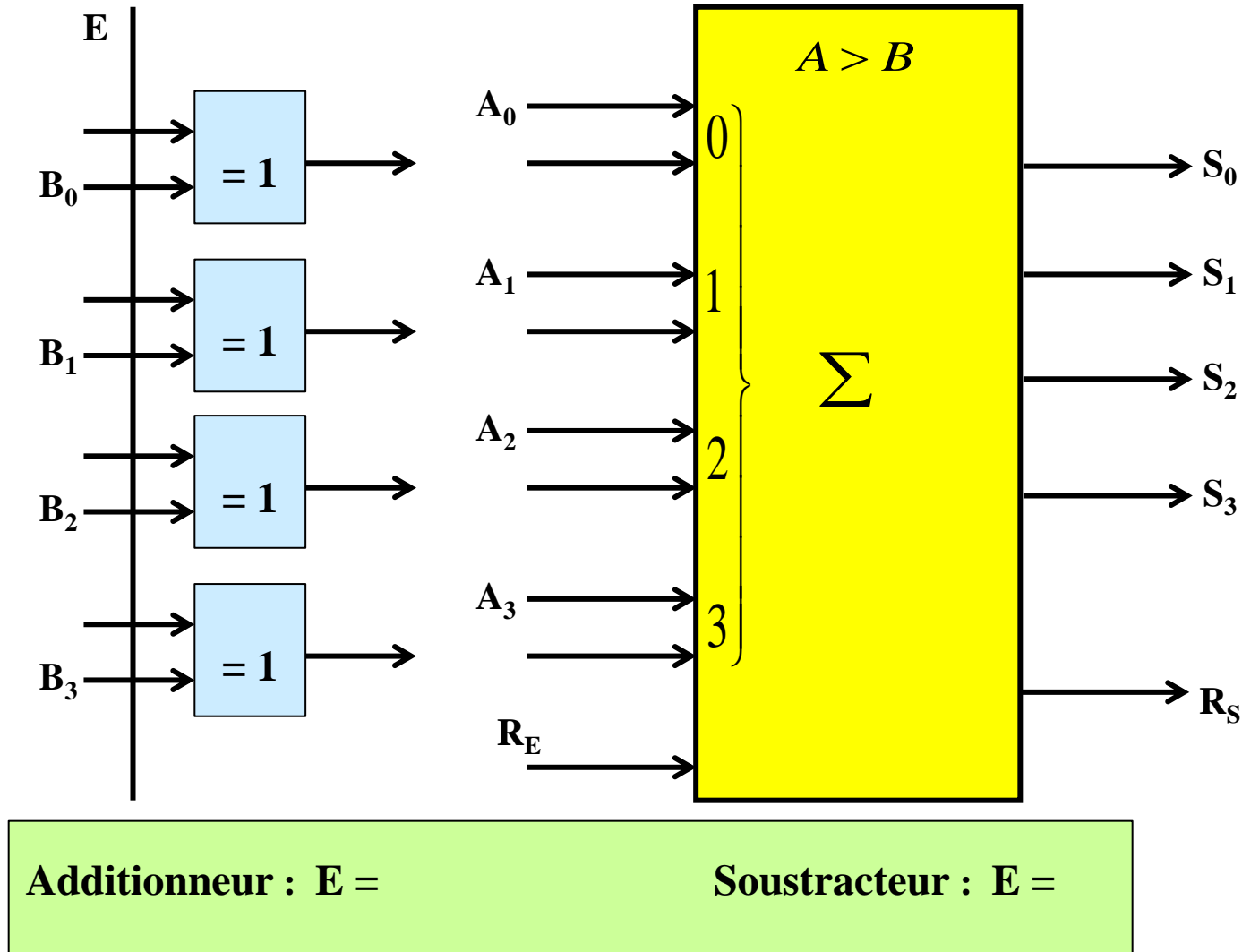
b) Équations des sorties ?

c) Simplification : Karnaugh ?

d) Logigramme ?

Chapitre V : Les circuits combinatoires

iiii) Réalisation d'un circuit soustracteur / additionneur ?



Chapitre V : Les circuits combinatoires

b°) Conception d'un circuit multiplieur

Multiplieur 1 bit

Schéma bloc

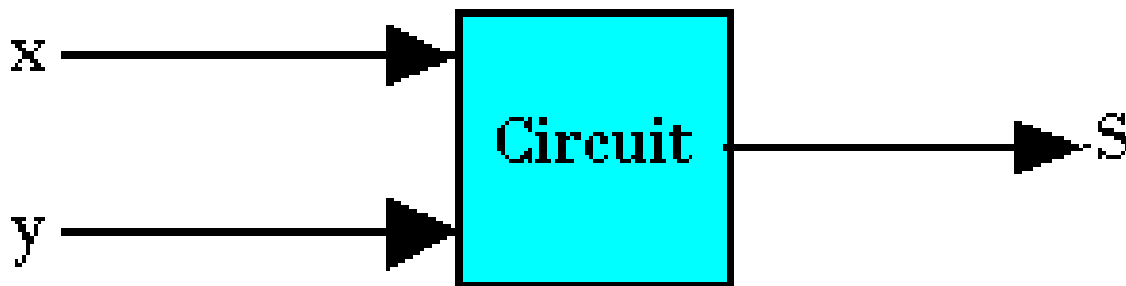


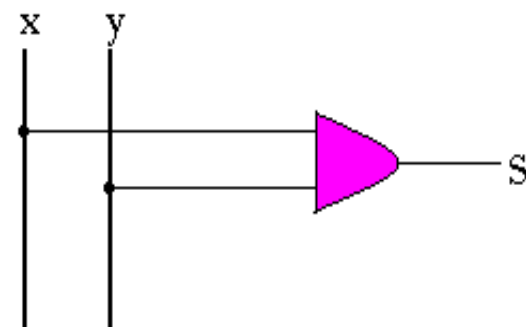
Table de vérité

x	y	S
0	0	0
0	1	0
1	0	0
1	1	1

Expressions logiques

$$\underline{\underline{S = xy}}$$

Logigramme



Chapitre V : Les circuits combinatoires

4°) Diviseurs – division binaire

Même principe que la division des nombres décimaux.

Exemple :

$$\begin{array}{r|l} 1001 & 11 \\ -11 & 11 \\ \hline 0011 & \\ -11 & \\ \hline 0 & \end{array}$$

$$\begin{array}{r|l} 9 & 3 \\ -3 & 3 \\ \hline 0 & \end{array}$$

$$\begin{array}{r|l} 1011 & 100 \\ -100 & 10,11 \\ \hline 00110 & \\ -100 & \\ \hline 0100 & \\ -100 & \\ \hline 000 & \end{array}$$

$$\begin{array}{r|l} 11 & 4 \\ -11 & 2,75 \\ \hline 0 & \end{array}$$

$$2,75 = 2 + 0,75$$

$$0,75 \times 2 = 1,5$$

$$0,5 \times 2 = 1$$

$$\begin{array}{r|l} 1011100 & 11,1 \dots \\ -111 & \\ \hline 01001 & \\ -111 & \\ \hline 00100 & \\ -000 & \\ \hline 1000 & \\ -111 & \\ \hline 001000 & \\ -111 & \\ \hline 0001 & \end{array}$$

$$29,6774 = 29 + 0,6774$$

$$0,6774 \times 2 = 1,3548$$

$$0,3548 \times 2 = 0,7096$$

$$0,7096 \times 2 = 1,4192$$

$$0,4192 \times 2 = 0,8384$$

$$0,8384 \times 2 = 1,6768$$

...

$$\begin{array}{r|l} 92 & 3,1 \\ -62 & 29,6774\dots \\ \hline 300 & \\ 279 & \\ \hline 210 & \end{array}$$

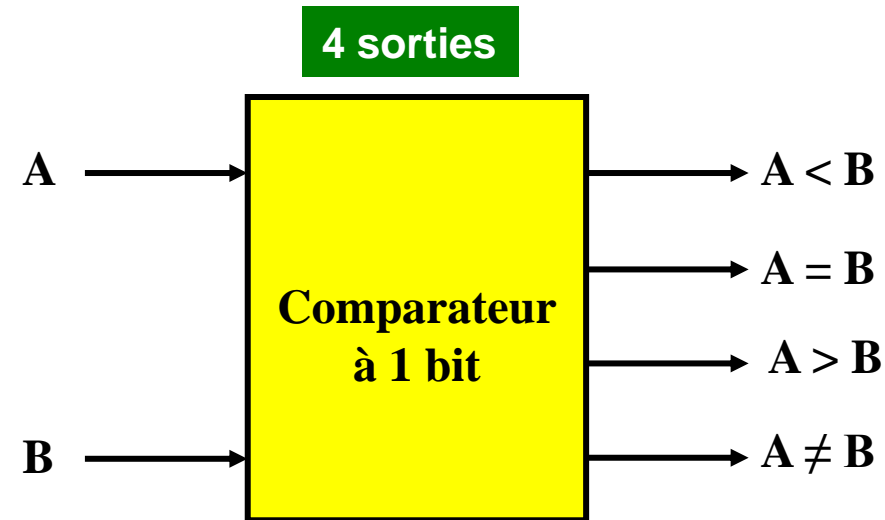
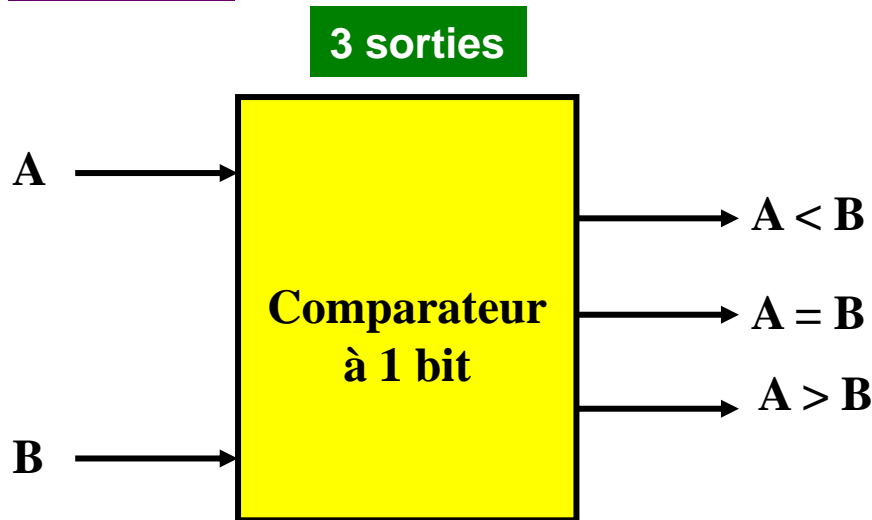
Chapitre V : Les circuits combinatoires

5°) Compareurs – comparaison binaire

- ▶ Le comparateur détecte l'égalité entre deux nombres A et B.
- ▶ Certains circuits permettent également de détecter si A est supérieur ou bien inférieur à B ou bien différent de B.

i°) Conception d'un circuit comparateur à 1 bit

Symbole



Chapitre V : Les circuits combinatoires

Table de vérité

A	B		$A < B$	$A = B$	$A > B$	$A \neq B$
0	0		0	1	0	0
0	1		1	0	0	1
1	0		0	0	1	1
1	1		0	1	0	0

Tableau de Karnaugh

Inutile « expression compacte »

Expressions logiques des sorties : SOP

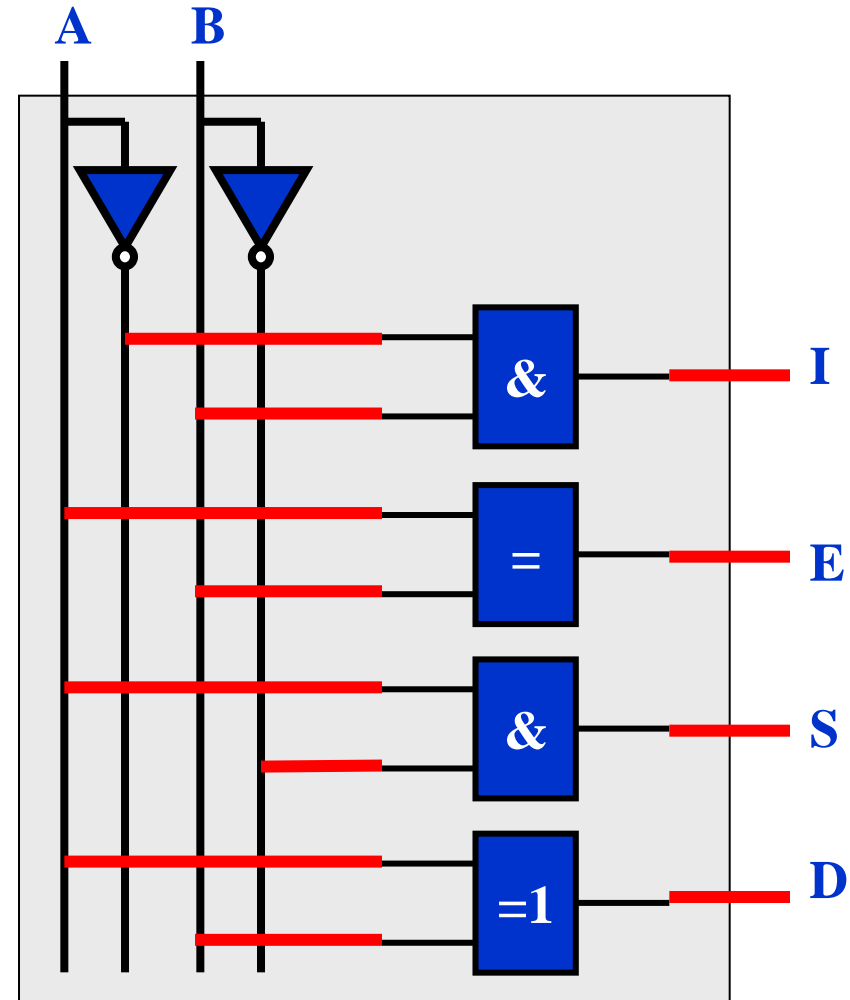
$$(A < B) = I = s_1 = \bar{A} B$$

$$(A = B) = E = s_2 = \bar{A} \oplus \bar{B}$$

$$(A > B) = S = s_3 = A \bar{B}$$

$$(A \neq B) = D = s_4 = A \oplus B$$

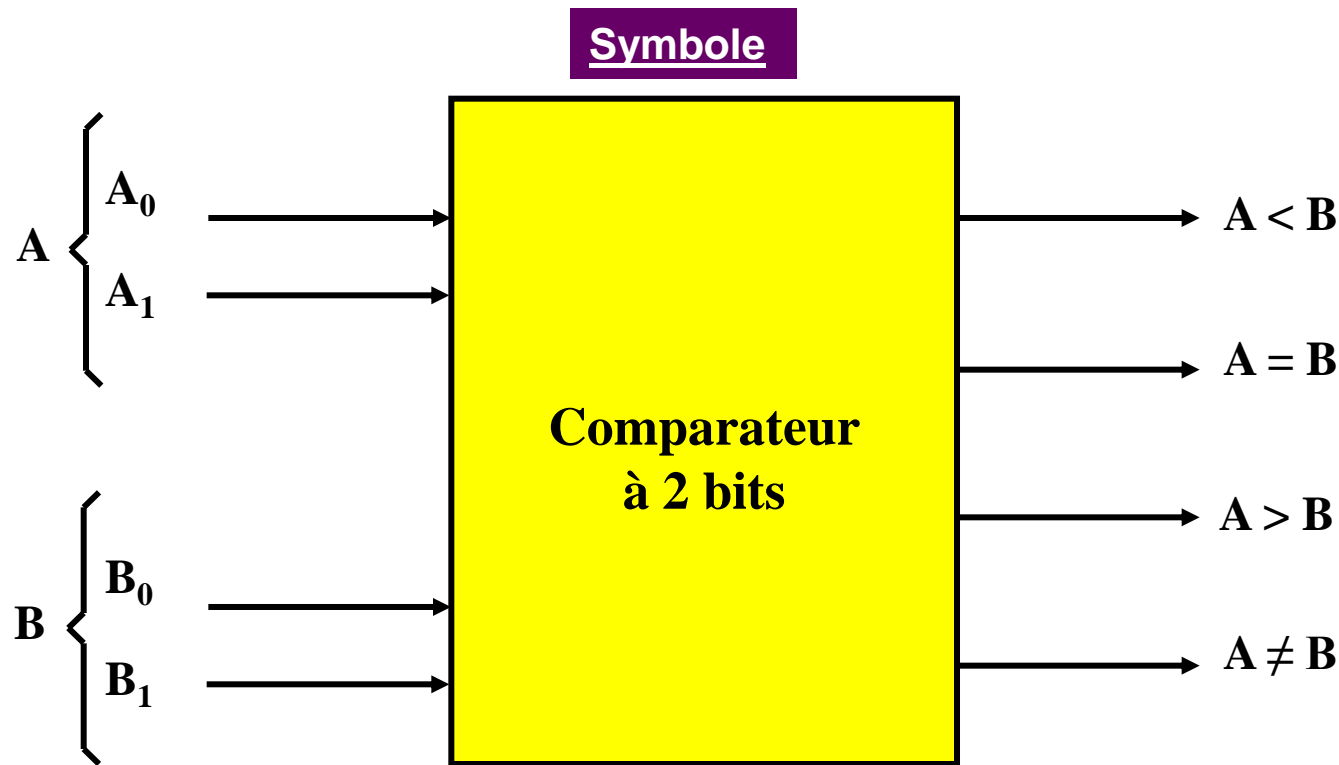
Logigramme



Chapitre V : Les circuits combinatoires

ii°) Conception d'un circuit comparateur à 2 bits à l'aide des portes logiques

- Réaliser un tel circuit en utilisant un minimum de portes logiques.



Chapitre V : Les circuits combinatoires

Table de vérité

A		B		sorties				Identification décimal
A ₁	A ₀	B ₁	B ₀	A < B	A = B	A > B	A ≠ B	
0	0	0	0	0	1	0	0	0
0	0	0	1	1	0	0	1	1
0	0	1	0	1	0	0	1	2
0	0	1	1	1	0	0	1	3
0	1	0	0	0	0	1	1	4
0	1	0	1	0	1	0	0	5
0	1	1	0	1	0	0	1	6
0	1	1	1	1	0	0	1	7
1	0	0	0	0	0	1	1	8
1	0	0	1	0	0	1	1	9
1	0	1	0	0	1	0	0	10
1	0	1	1	1	0	0	1	11
1	1	0	0	0	0	1	1	12
1	1	0	1	0	0	1	1	13
1	1	1	0	0	0	1	1	14
1	1	1	1	0	1	0	0	15

Chapitre V : Les circuits combinatoires

Tableaux de Karnaugh et expressions logiques simplifiées

$$(A \prec B) = S_1 = I$$

$B_1 B_0$ $A_1 A_0$	00	01	11	10
00				
01				
11				
10				

$$(A \prec B) = S_1 = I$$

$$(A = B) = S_2 = E$$

$B_1 B_0$ $A_1 A_0$	00	01	11	10
00				
01				
11				
10				

$$(A = B) = S_2 = E$$

$$(A \succ B) = S_3 = S$$

$B_1 B_0$ $A_1 A_0$	00	01	11	10
00				
01				
11				
10				

$$(A \succ B) = S_3 = S$$

$$(A \neq B) = S_4 = D$$

$B_1 B_0$ $A_1 A_0$	00	01	11	10
00				
01				
11				
10				

$$(A \neq B) = S_4 = D$$

Chapitre V : Les circuits combinatoires

Expressions logiques des sorties

$$(A < B) = I = s_1 = \dots\dots\dots$$

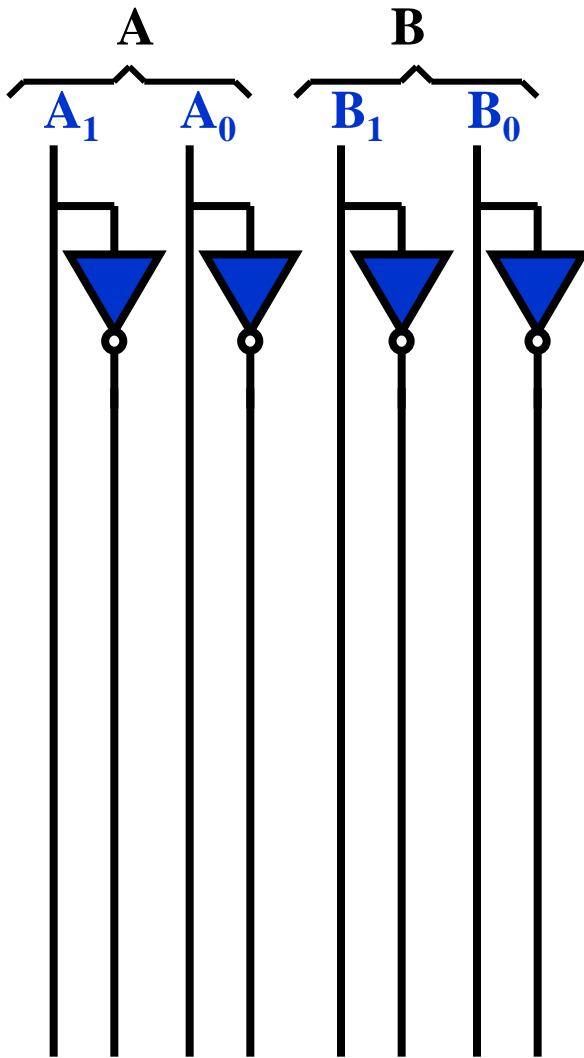
$$(A = B) = E = s_2 = \dots\dots\dots$$

$$(A > B) = S = s_3 = \dots\dots\dots$$

$$(A \neq B) = D = s_4 = \dots\dots\dots$$

Chapitre V : Les circuits combinatoires

Logigramme



Chapitre V : Les circuits combinatoires

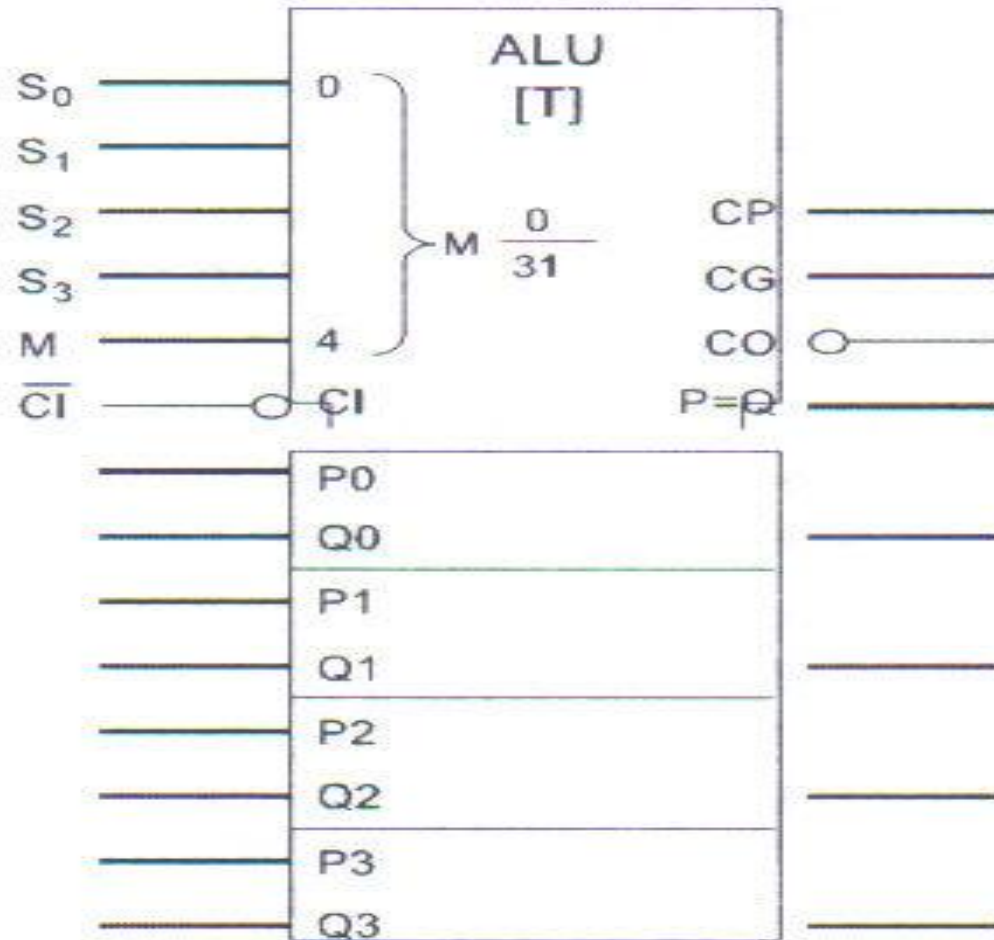
7°) UAL : Unité Arithmétique et Logique (*ALU : Arithmetic Logic Unit en anglais*)

a°) Généralités

- ▶ L'unité arithmétique et logique, abrégée UAL (ou bien ALU, Arithmetic Logic Unit en anglais), est l'organe de l'ordinateur chargé d'effectuer les calculs.
- ▶ Le plus souvent, l'UAL est incluse dans l'unité centrale (ou le microprocesseur).
- ▶ Les UAL peuvent être spécialisées ou pas. Les UAL élémentaires calculent sur des nombres entiers, et peuvent effectuer les opérations communes, que l'on peut séparer en quatre groupes :
 - Les opérations arithmétiques : addition, soustraction, changement de signe, etc.,
 - les opérations logiques : compléments à un, à deux, ET, OU, OU-exclusif, NON, NON-ET, etc.,
 - les comparaisons : test d'égalité, supérieur, inférieur, et leur équivalents « ou égal », éventuellement des décalages et rotations (mais parfois ces opérations sont externalisées).

Chapitre V : Les circuits combinatoires

b°) Unité logique arithmétique de type 74 HC / HCT 181



symbole de circuit du composant.

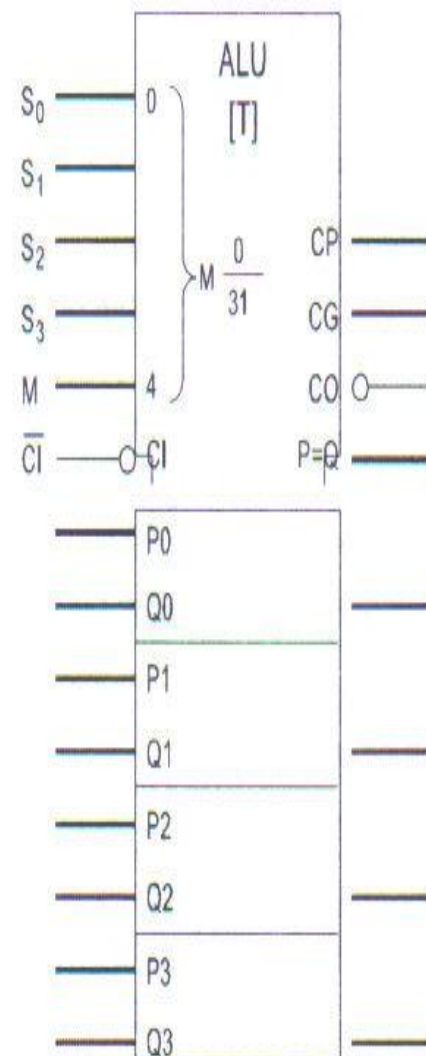
Chapitre V : Les circuits combinatoires

c°) Affectation des picots :

- $P_0 \dots P_3$: données d'entrée à 4 bits (opérateur A)
- $Q_0 \dots Q_3$: données d'entrée à 4 bits (opérateur B)

d°) Lignes de commande (sélection du mode) :

- $S_0 \dots S_3$: sélection de fonction par le mot de commande à 4 bits aux entrées. L'opération est définie avec $S_0 \dots S_3$.
- M : ligne de sélection du mode d'opération (commande de mode), commutant opération arithmétique et opération logique.
- CI : retenue (carry in)
- CO : soustraction de retenue (carry out)
- CP, CG : pour applications spéciales de formation de report.
- P = Q : sortie de comparateur. Cette sortie reporte le signal "1" si l'ensemble des sorties de résultats reportent ce signal "1". Pour certaines opérations, cette fonction permet de déterminer l'égalité des opérateurs A et B.



Chapitre V : Les circuits combinatoires

e°) Principales opérations et signaux de commande de l'UAL :

► Le tableau suivant renferme les principales opérations et signaux de commande de l'unité logique arithmétique 74HC / HCT181.

Opération	Fonction	M	S ₃	S ₂	S ₁	S ₀	$\overline{\text{CI}}$	
A + 1	incréméntation	0	0	0	0	0	0	Opérations arithmétiques
A - B	soustraction	0	0	1	1	0	0	
A - B - CY	soustraction avec retenue	0	0	1	1	0	1	
A + B	addition	0	1	0	0	1	1	
A + B + CY	addition avec retenue	0	1	0	0	1	0	
A + A	décalage à gauche	0	1	1	0	0	1	
A + A + CY	rotation à gauche	0	1	1	0	0	0	
A - 1	décréméntation	0	1	1	1	1	1	
$\overline{\text{A}}$	NEGATION (inverser)	1	0	0	0	0	*	Opérations logiques
$\overline{\text{B}}$	(charger et inverser)	1	0	1	0	1	*	
A ≠ B	OU EXCLUSIF	1	0	1	1	0	*	
A ≡ B	EQUIVALENCE	1	1	0	0	1	*	
B	(charger)	1	1	0	1	0	*	
A ∧ B	ET	1	1	0	1	1	*	
A ∨ B	OU	1	1	1	1	0	*	
A	(sans effet)	1	1	1	1	1	*	

Chapitre V : Les circuits combinatoires

f°) Notes sur l' affectation des picots :

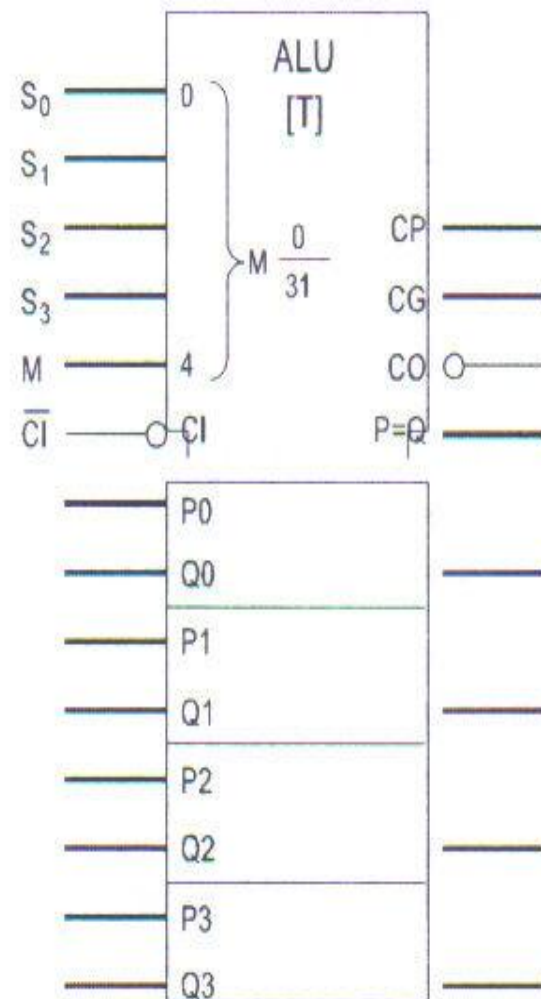
- * : CI n'affecte pas les opérations de logique.
- Opérateur A correspond à l'information aux entrées P.
- Opérateur B correspond à l'information aux entrées Q.
- Les fonctions entre parenthèses sont valables pour un circuit avec accumulateur.
- CY de valeur "1" représente le report (carry).

Opération	Fonction	M	S ₃	S ₂	S ₁	S ₀	\overline{CI}	
A + 1	incréméntation	0	0	0	0	0	0	Opérations arithmétiques
A - B	soustraction	0	0	1	1	0	0	
A - B - CY	soustraction avec retenue	0	0	1	1	0	1	
A + B	addition	0	1	0	0	1	1	
A + B + CY	addition avec retenue	0	1	0	0	1	0	
A + A	décalage à gauche	0	1	1	0	0	1	
A + A + CY	rotation à gauche	0	1	1	0	0	0	
A - 1	décréméntation	0	1	1	1	1	1	Opérations logiques
\overline{A}	NEGATION (inverser)	1	0	0	0	0	*	
\overline{B}	(charger et inverser)	1	0	1	0	1	*	
A ≠ B	OU EXCLUSIF	1	0	1	1	0	*	
A ≡ B	EQUIVALENCE	1	1	0	0	1	*	
B	(charger)	1	1	0	1	0	*	
A ∧ B	ET	1	1	0	1	1	*	
A ∨ B	OU	1	1	1	1	0	*	
A	(sans effet)	1	1	1	1	1	*	

Chapitre V : Les circuits combinatoires

► Le tableau suivant renferme les principales opérations et signaux de commande de l'unité logique arithmétique 74HC / HCT181.

Opération	Fonction	M	S ₃	S ₂	S ₁	S ₀	$\overline{\text{CI}}$	
A + 1	incréméntation	0	0	0	0	0	0	Opérations arithmétiques
A - B	soustraction	0	0	1	1	0	0	
A - B - CY	soustraction avec retenue	0	0	1	1	0	1	
A + B	addition	0	1	0	0	1	1	
A + B + CY	addition avec retenue	0	1	0	0	1	0	
A + A	décalage à gauche	0	1	1	0	0	1	
A + A + CY	rotation à gauche	0	1	1	0	0	0	
A - 1	décréméntation	0	1	1	1	1	1	
$\overline{\text{A}}$	NEGATION (inverser)	1	0	0	0	0	*	Opérations logiques
$\overline{\text{B}}$	(charger et inverser)	1	0	1	0	1	*	
A ≠ B	OU EXCLUSIF	1	0	1	1	0	*	
A ≡ B	EQUIVALENCE	1	1	0	0	1	*	
B	(charger)	1	1	0	1	0	*	
A ∧ B	ET	1	1	0	1	1	*	
A ∨ B	OU	1	1	1	1	0	*	
A	(sans effet)	1	1	1	1	1	*	



II. Circuits de transcodage

Chapitre V : Les circuits combinatoires

1°) Codeurs (ou encodeurs)

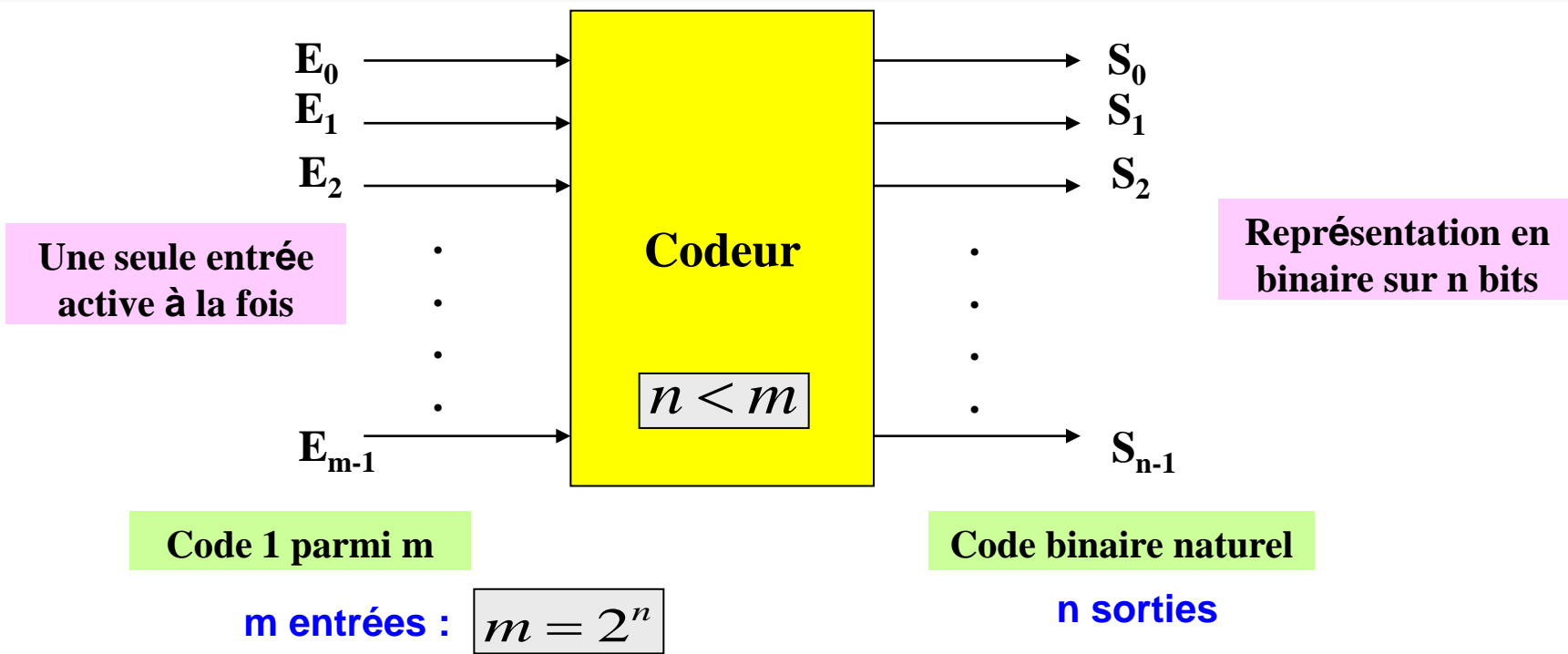
2°) Décodeurs

3°) Transcodeurs

Chapitre V : Les circuits combinatoires

1°) Codeurs (ou encodeurs)

- Circuit à $m = 2^n$ entrées et n sorties qui code en binaire le rang de la seule entrée active.
- Une seule entrée parmi m est activée à la fois, ce qui correspond à un nombre binaire de n bits en sortie.

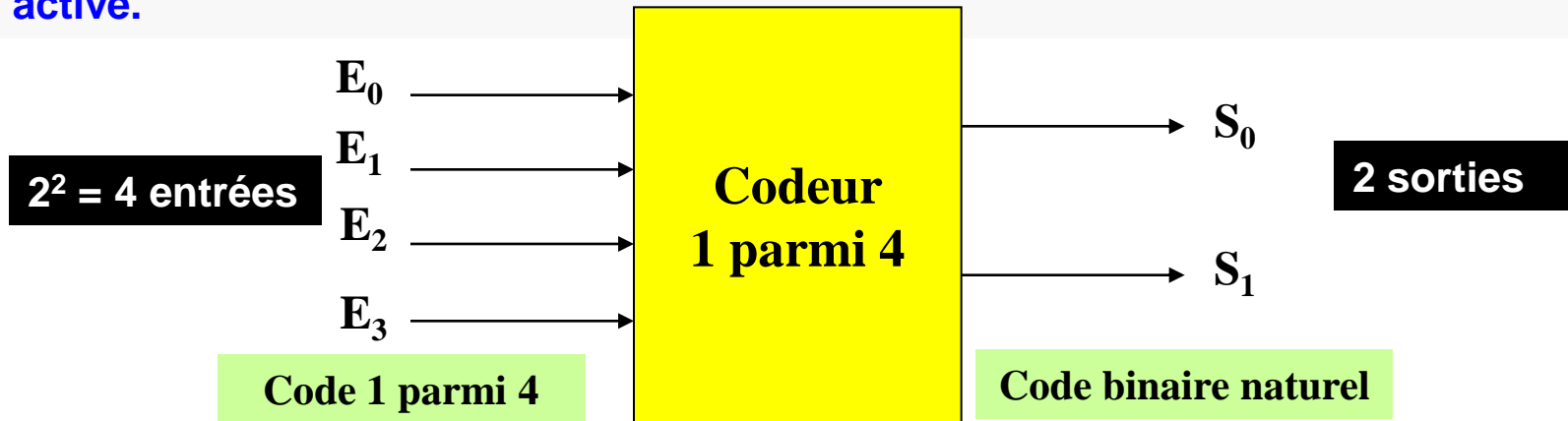


- Un codeur transforme le code binaire 1 parmi m en code binaire naturel.

Chapitre V : Les circuits combinatoires

a°) Codeur 1 parmi 4

► Circuit à $2^2 = 4$ entrées et 2 sorties qui code en binaire le rang de la seule entrée active.



► Ce codeur transforme le code binaire 1 parmi 4 en code binaire naturel.

Table de vérité

E_3	E_2	E_1	E_0	S_1	S_0
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

Expressions logiques des sorties

$$S_0 = E_1 + E_3$$

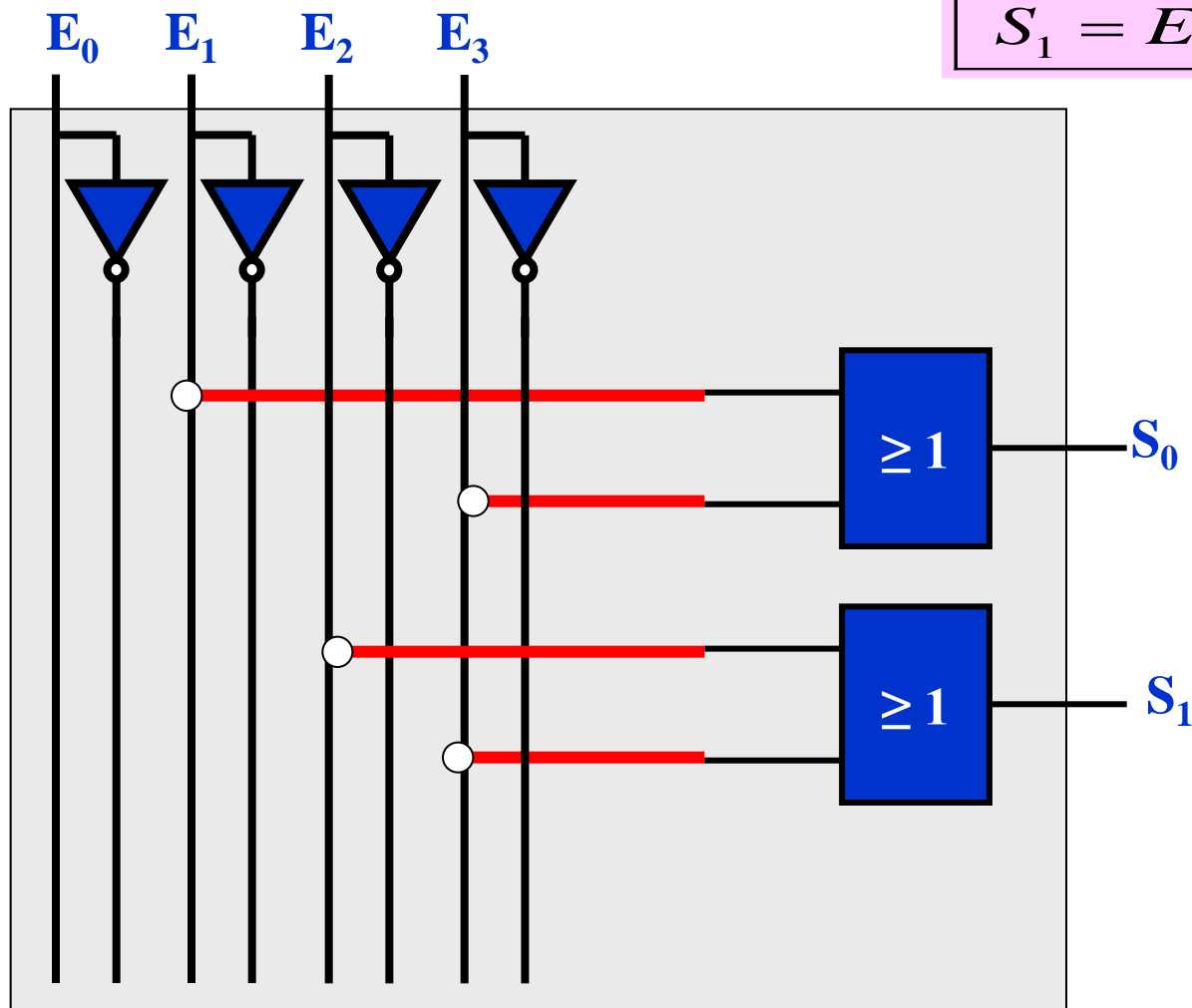
$$S_1 = E_2 + E_3$$

Chapitre V : Les circuits combinatoires

Logigramme

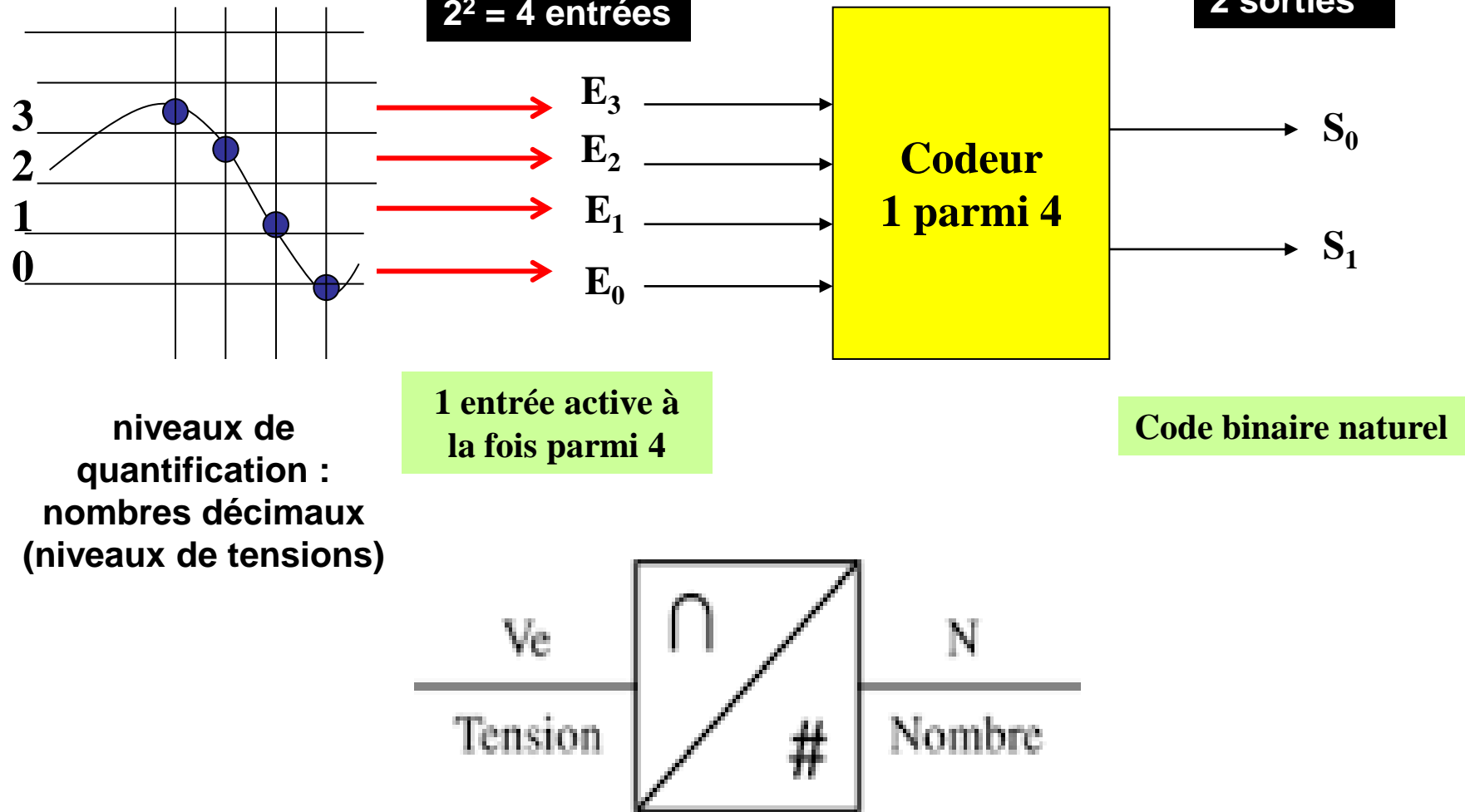
$$S_0 = E_1 + E_3$$

$$S_1 = E_2 + E_3$$



Chapitre V : Les circuits combinatoires

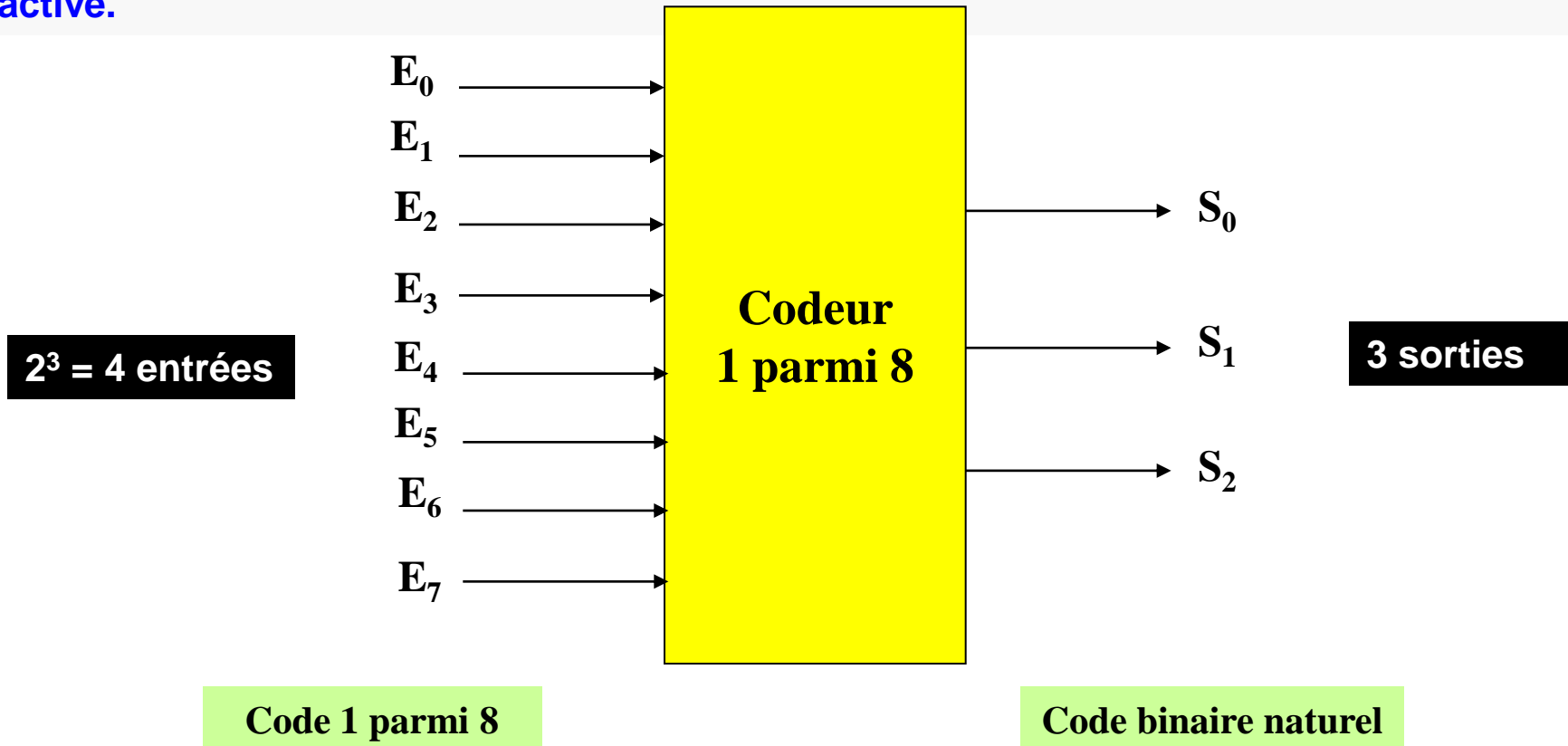
Application : Convertisseur Analogique Numérique (CAN)



Chapitre V : Les circuits combinatoires

b°) Codeur 1 parmi 8

► Circuit à $2^3 = 8$ entrées et 3 sorties qui code en binaire le rang de la seule entrée active.



► Ce codeur transforme le code binaire 1 parmi 8 en code binaire naturel.

Chapitre V : Les circuits combinatoires

Table de vérité ?

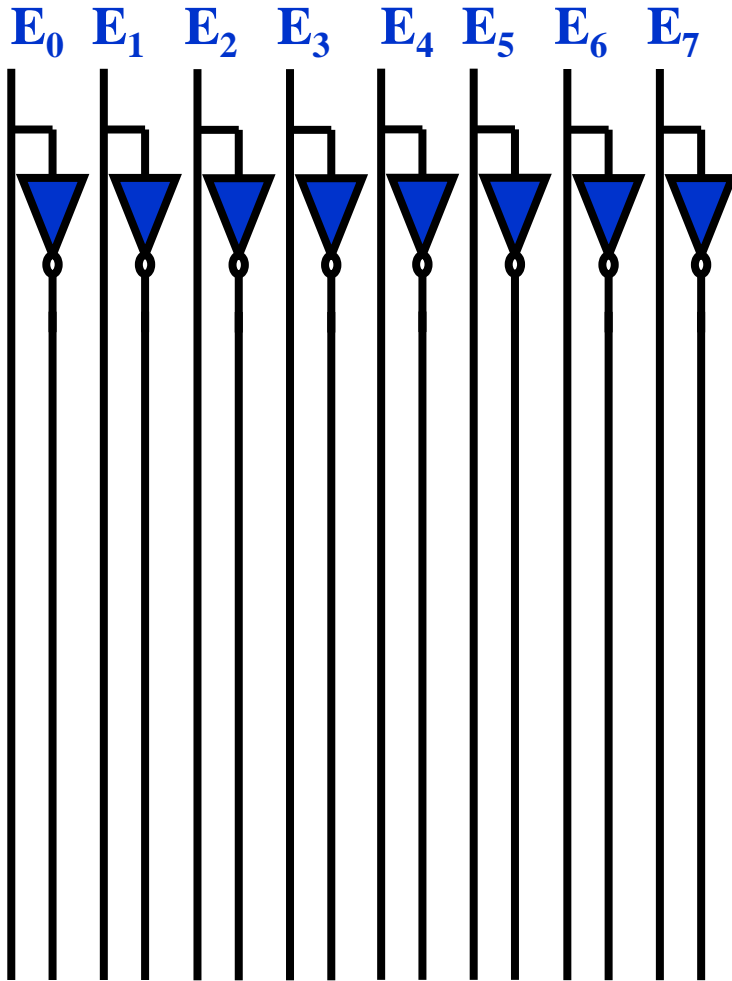
ENTREES								SORTIES		
E ₇	E ₆	E ₅	E ₄	E ₃	E ₂	E ₁	E ₀	S ₂	S ₁	S ₀

Équations logiques ?

$S_0 = \dots\dots\dots$
 $S_1 = \dots\dots\dots$
 $S_2 = \dots\dots\dots$

Chapitre V : Les circuits combinatoires

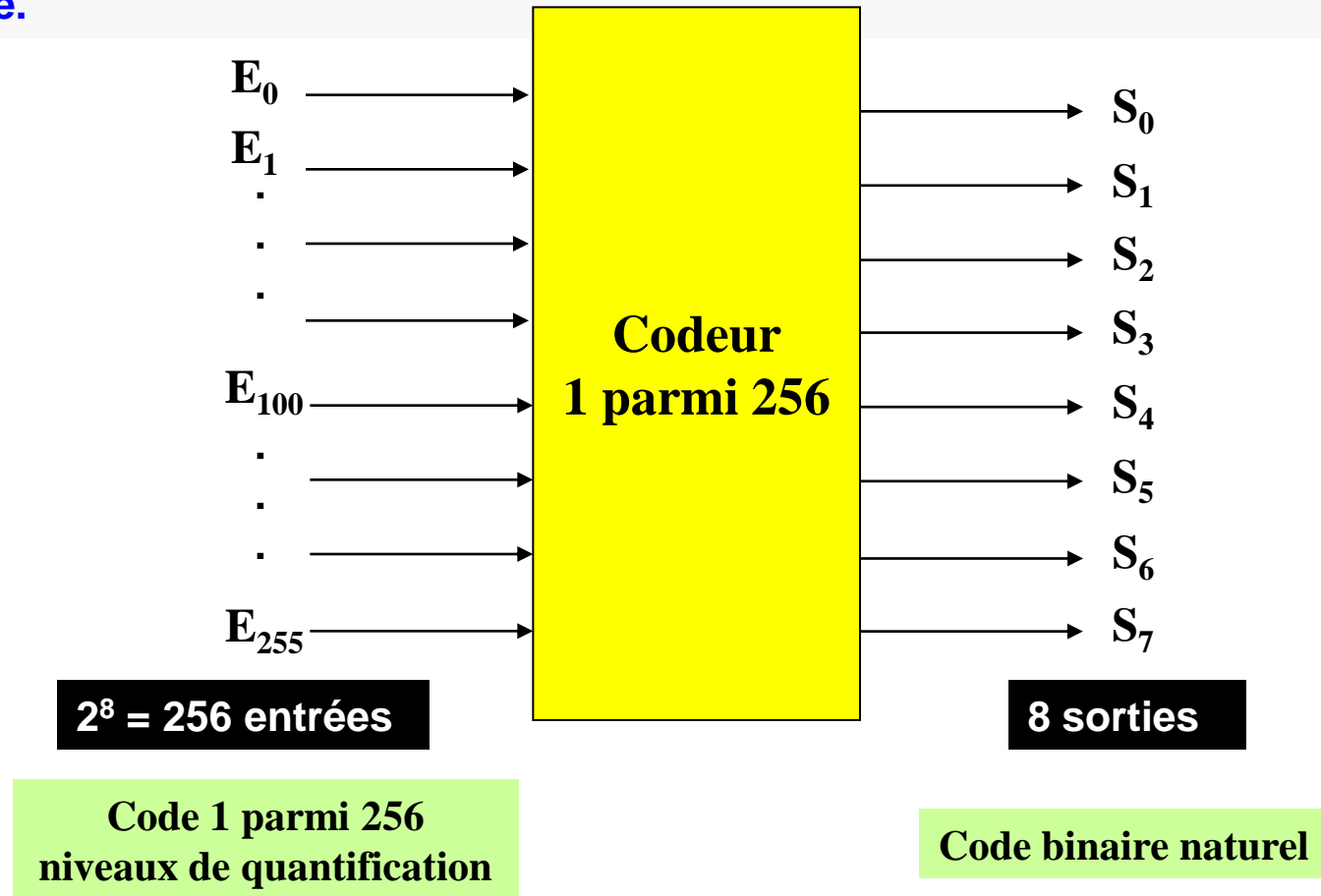
Logigramme ?



Chapitre V : Les circuits combinatoires

Exemple d'application en télécommunication : transmission de la voix numérique

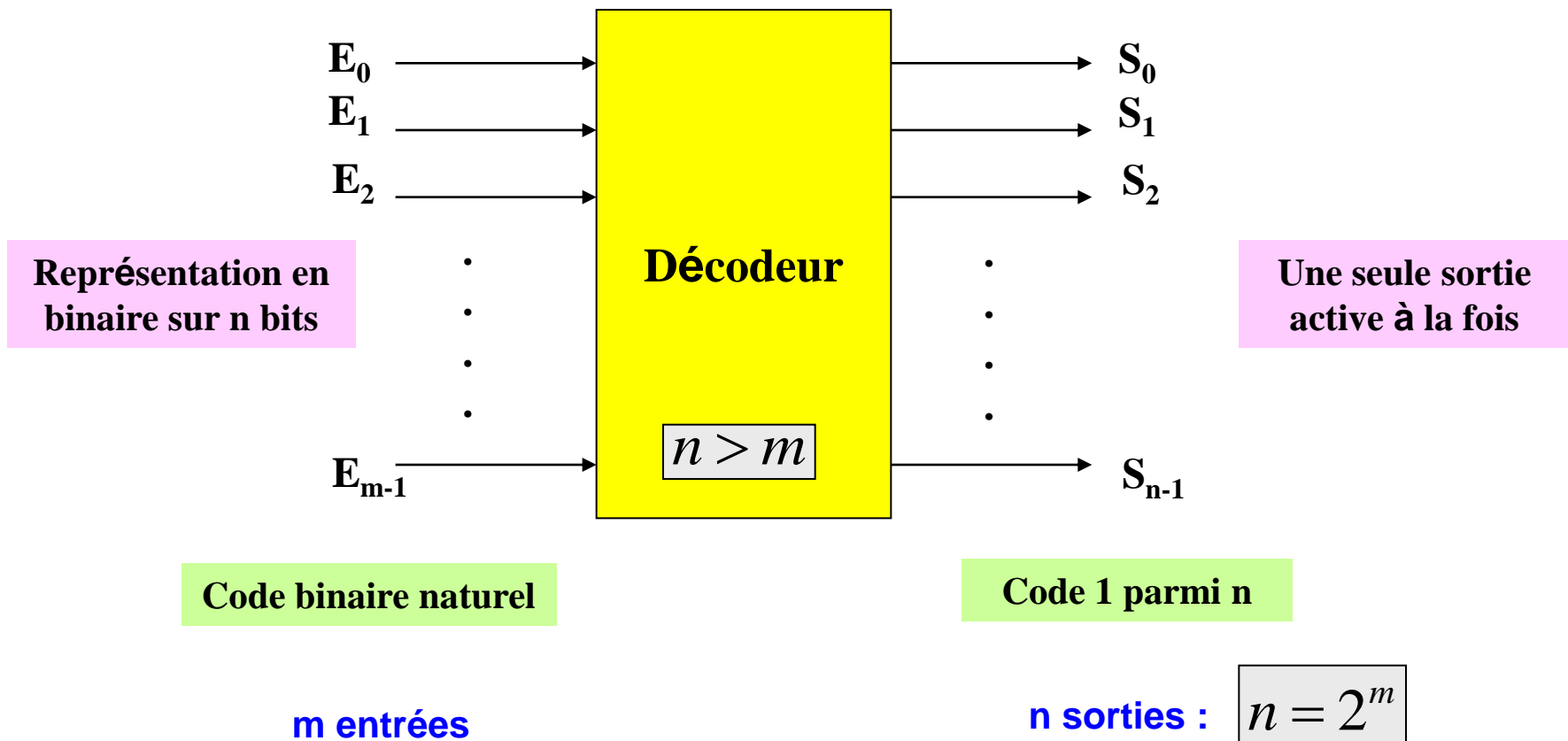
► Circuit à $2^8 = 256$ entrées et 8 sorties qui code en binaire le rang de la seule entrée active.



Chapitre V : Les circuits combinatoires

2°) Décodeurs

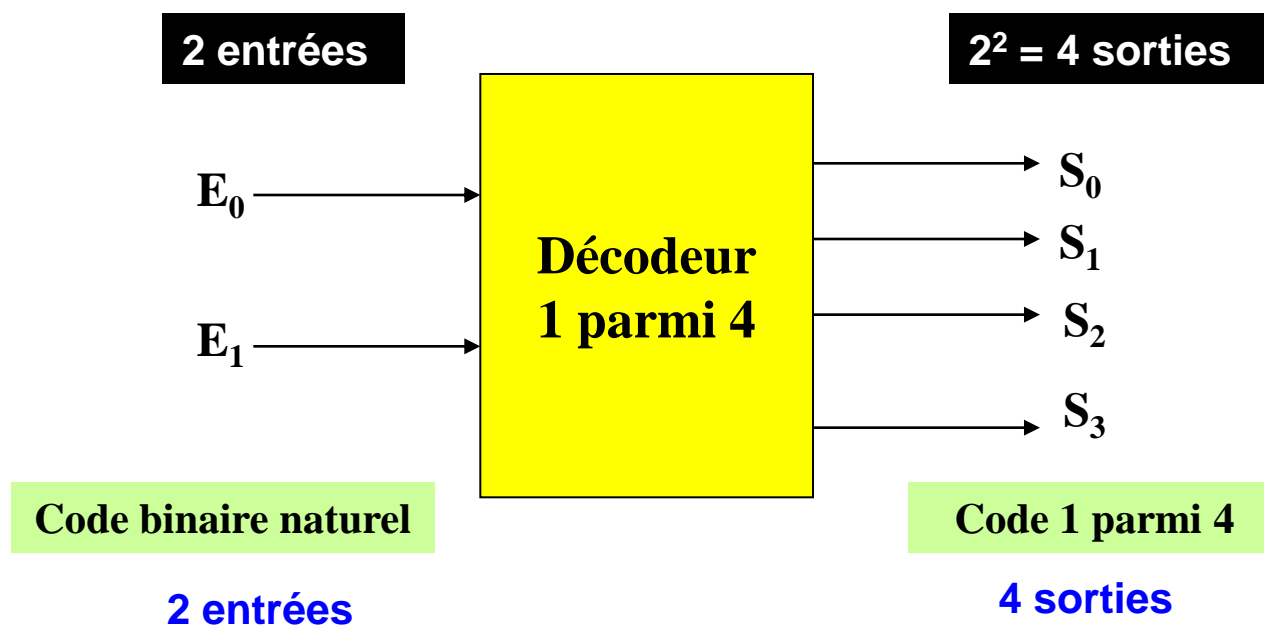
► Circuit à m entrées et $n = 2^m$ sorties qui transforme un code binaire naturel en un code 1 parmi n .



Chapitre V : Les circuits combinatoires

a°) Décodeur 1 parmi 4

► Circuit à 2 entrées et 4 sorties qui transforme le code binaire naturel en un code 1 parmi 4.



Chapitre V : Les circuits combinatoires

Table de fonctionnement

Code binaire d'entrée		Code 1 parmi 4 sorties			
E_1	E_0	S_3	S_2	S_1	S_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

Expressions logiques des sorties

$$S_0 = \overline{E_0} \cdot \overline{E_1}$$

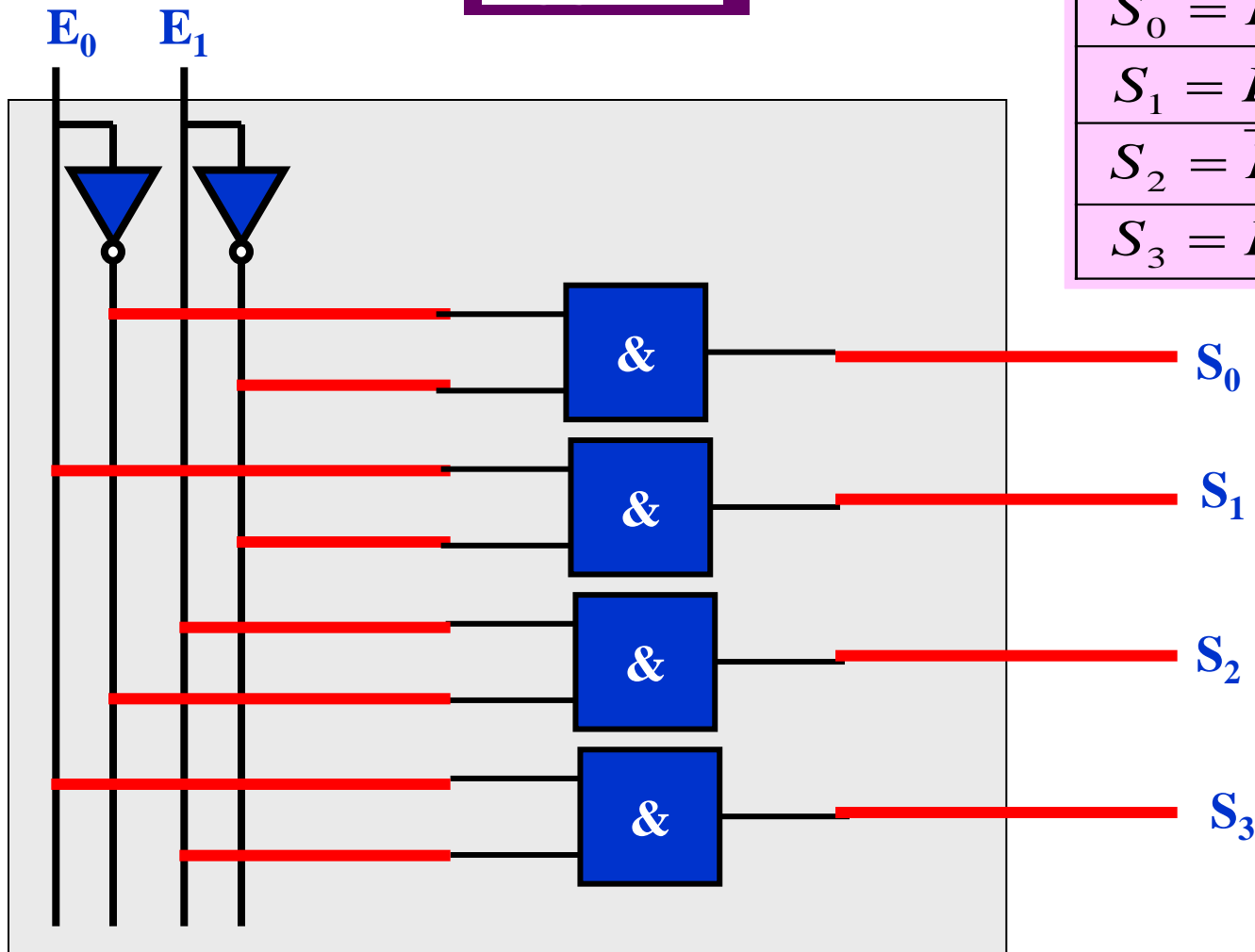
$$S_1 = E_0 \cdot \overline{E_1}$$

$$S_2 = \overline{E_0} \cdot E_1$$

$$S_3 = E_0 \cdot E_1$$

Chapitre V : Les circuits combinatoires

Logigramme



$$S_0 = \overline{E_0} \cdot \overline{E_1}$$

$$S_1 = E_0 \cdot \overline{E_1}$$

$$S_2 = \overline{E_0} \cdot E_1$$

$$S_3 = E_0 \cdot E_1$$

Chapitre V : Les circuits combinatoires

Application : Convertisseur Numérique Analogique (CNA)

2 entrées

E_0

E_1

Décodeur
1 parmi 4

$2^2 = 4$ sorties

S_3

S_2

S_1

S_0

3

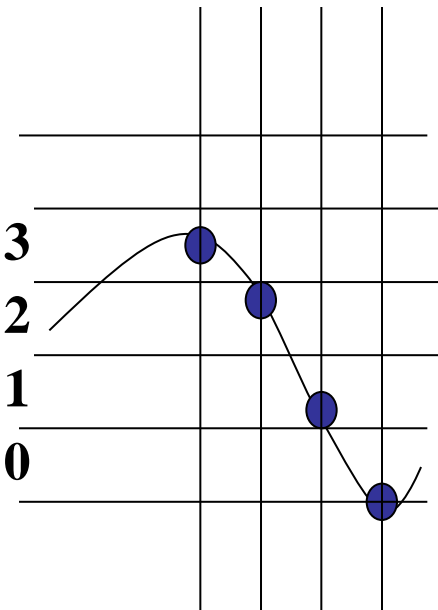
2

1

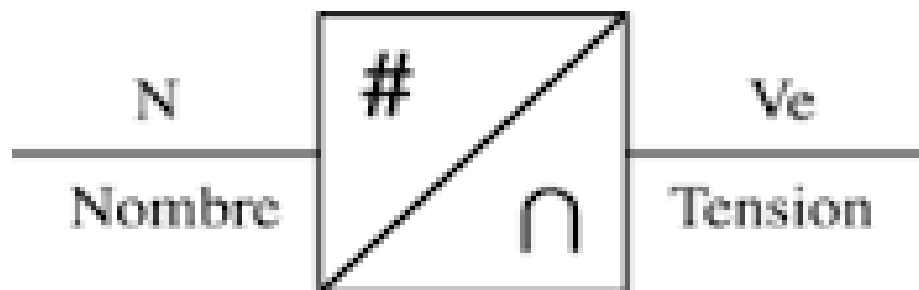
0

Code binaire naturel

Code 1 parmi 4



► Ce décodeur transforme le code binaire naturel en code binaire 1 parmi 4.



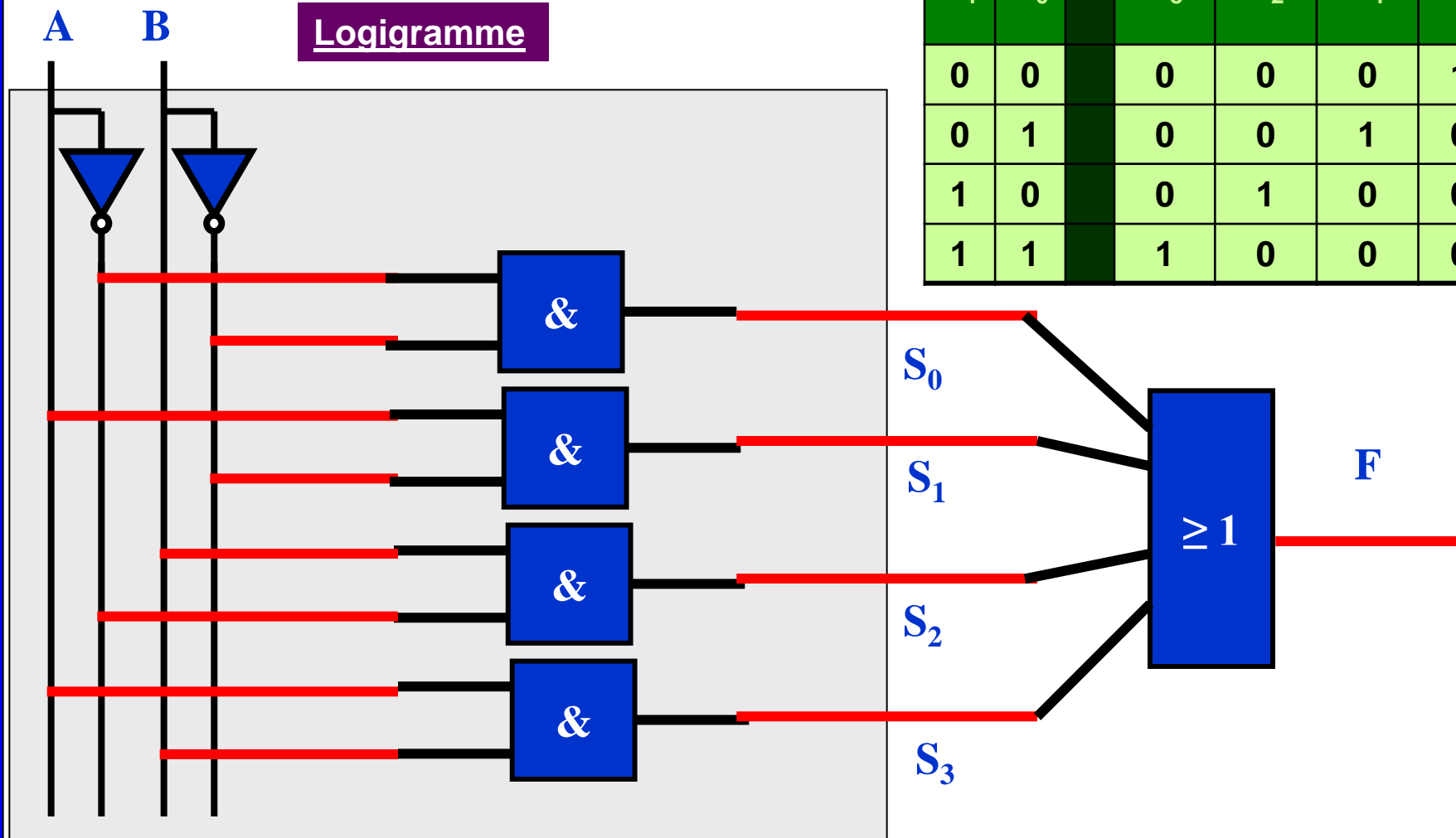
Chapitre V : Les circuits combinatoires

Circuit logique décodeur réduit à une sortie unique

Table de vérité

E_1	E_0		S_3	S_2	S_1	S_0
0	0		0	0	0	1
0	1		0	0	1	0
1	0		0	1	0	0
1	1		1	0	0	0

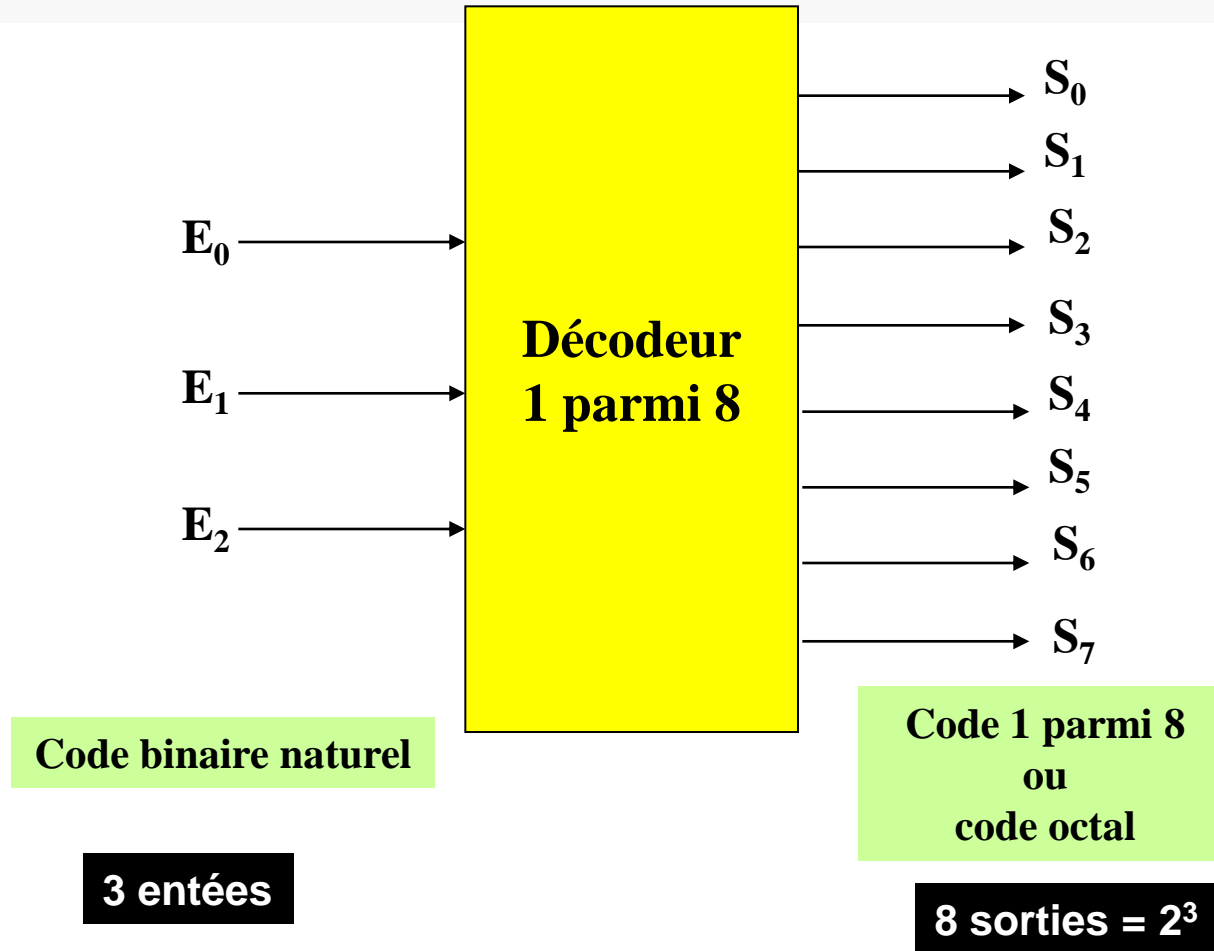
Logigramme



Chapitre V : Les circuits combinatoires

b°) Décodeur 1 parmi 8

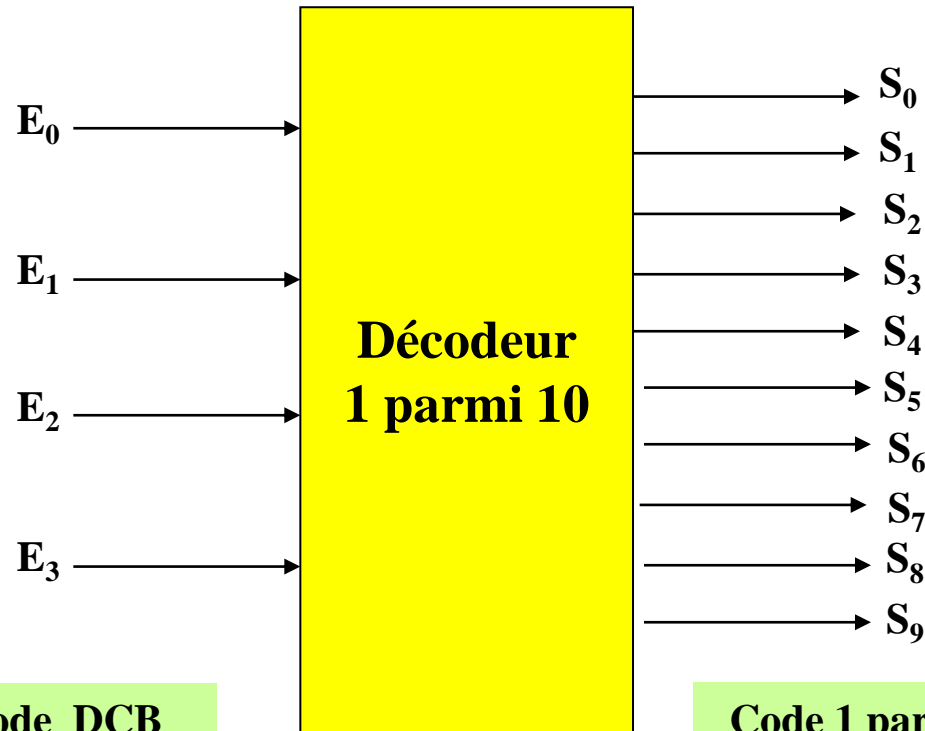
► Circuit à 3 entrées et 8 sorties qui transforme le code binaire naturel en code 1 parmi 8.



Chapitre V : Les circuits combinatoires

c°) Décodeur 1 parmi 10 (ou décodeur DCB – décimal)

► Circuit à 4 entrées et 10 sorties transformant le code DCB en un code 1 parmi 10.



Code DCB

Code 1 parmi 10
ou
Code décimal

$2^3 < 9 < 2^4 \rightarrow 4$ entrées

Base

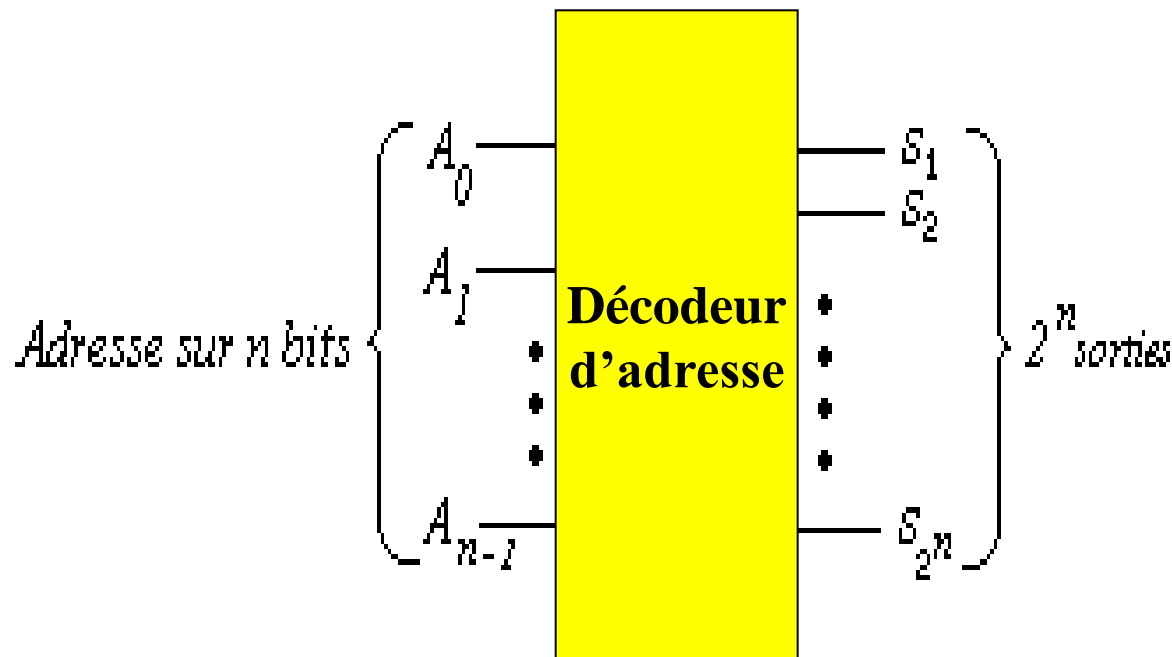
décimale : 0 \rightarrow 9

10 sorties \rightarrow 10 chiffres décimaux

Chapitre V : Les circuits combinatoires

d°) Circuit décodeur d'adresse

► C'est un circuit composé de n lignes d'entrées qui représentent une adresse sur n bits et de 2^n lignes de sortie possibles dont une seule est sélectionnée en fonction de la "programmation" des n lignes d'entrées.

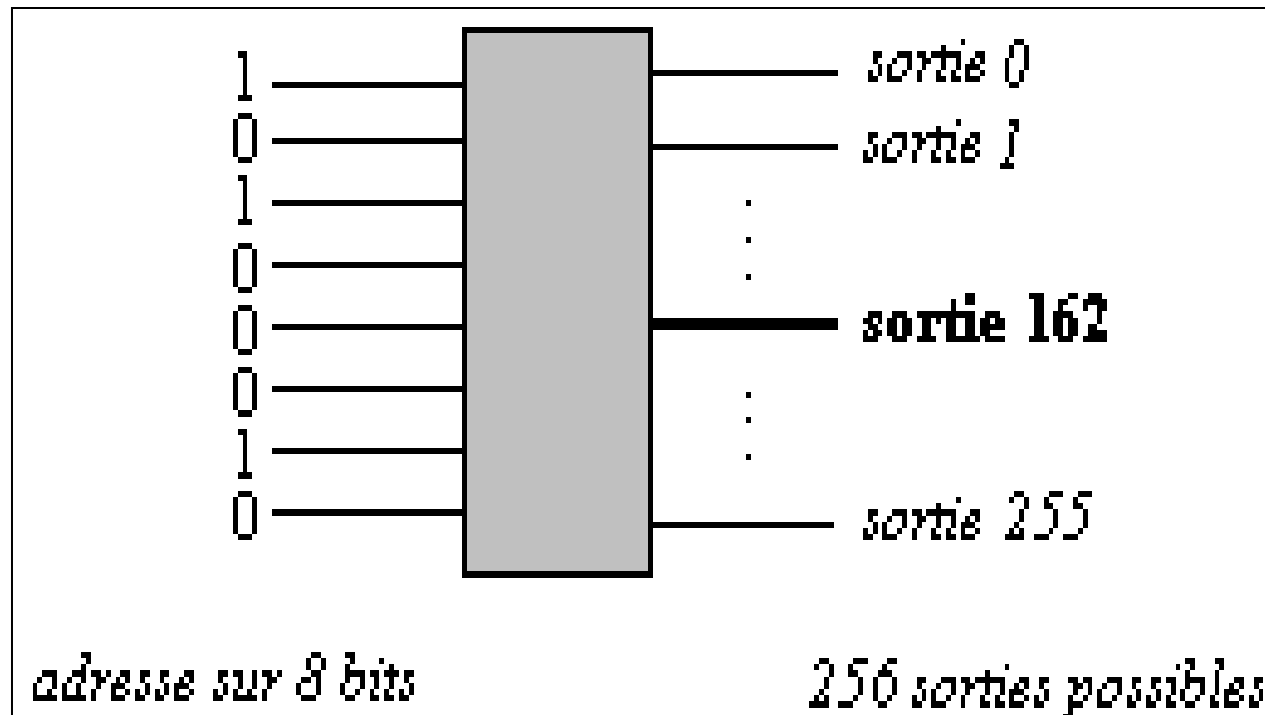


Écriture/lecture d'un contenu binaire dans une mémoire

Chapitre V : Les circuits combinatoires

Exemple d'utilisation en informatique : lecture et écriture dans les mémoires

► On entre l'adresse de la ligne à sélectionner soit **1 0 1 0 0 0 1 0** en binaire ($A_0 = 1$, $A_1 = 0$, $A_2 = 1$, ... , $A_7 = 0$) ce nombre binaire vaut **162** en décimal, c'est donc la sortie S : 162 qui est activée par le composant.

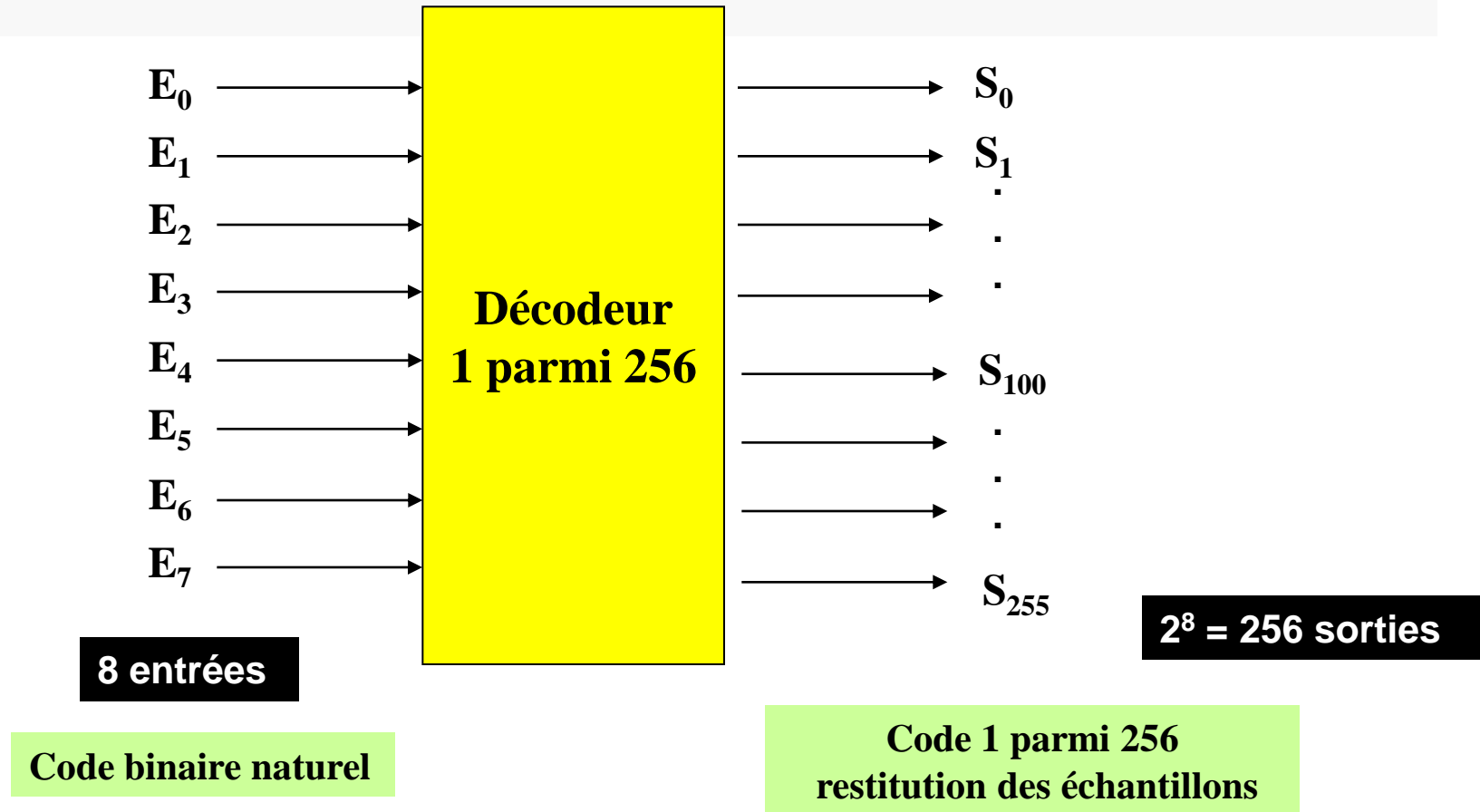


► Ce genre de circuits très fréquent dans un ordinateur sert à sélectionner des registres, des cellules mémoires ou des lignes de périphériques.

Chapitre V : Les circuits combinatoires

Exemple d'utilisation en télécommunication : restitution de la voix

► Circuit à 8 entrées et $2^8 = 256$ sorties, qui code en binaire le rang de la seule entrée active.



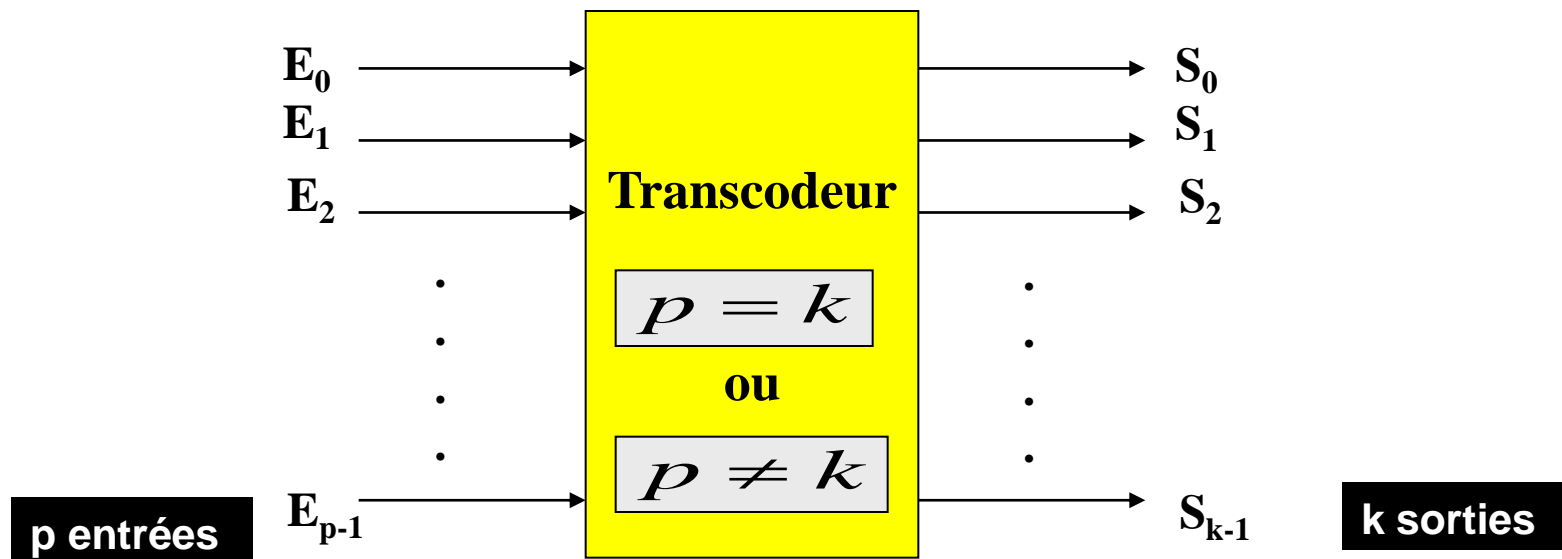
Chapitre V : Les circuits combinatoires

3°) Transcodeurs

► Le transcodeur est un circuit qui transforme un code machine en un autre code machine.

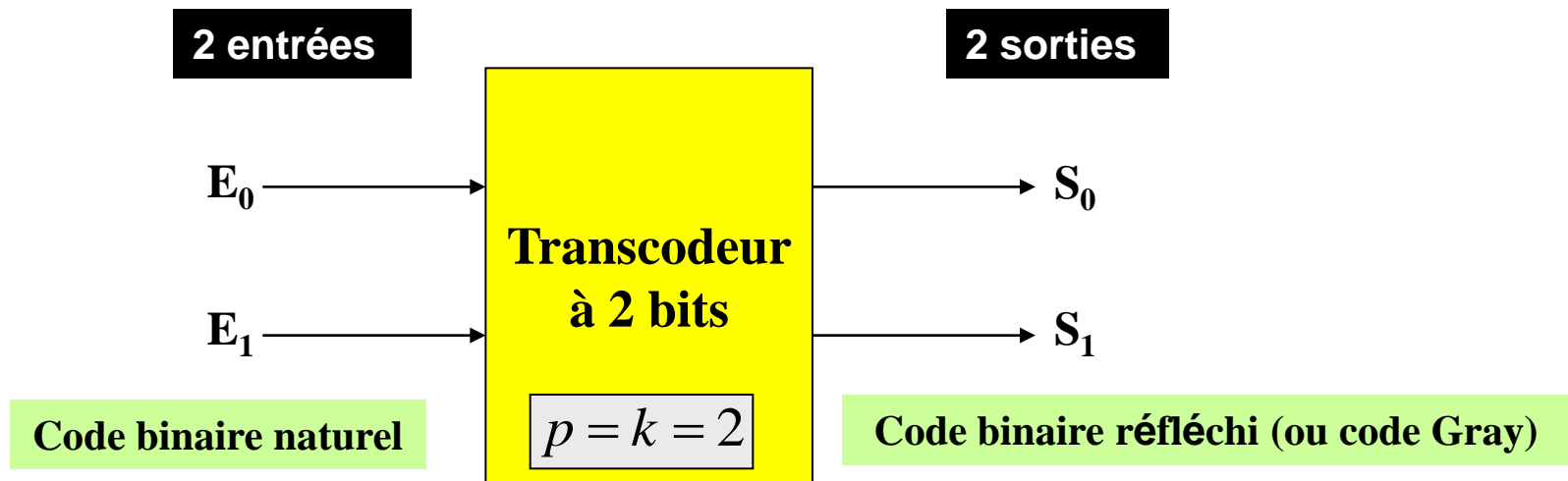
► Par exemple, il permet la conversion :

- du code binaire au code de Gray,
- du code DCB - 7 segments : décimal ou hexadécimal



Chapitre V : Les circuits combinatoires

a°) Transcodeur à 2 bits : binaire naturel (CBN) → code de Gray (CBR)



► Ce décodeur transforme le code binaire naturel (CBN) en code binaire réfléchi (CBR).

Table de vérité

E_1	E_0		S_1	S_0
0	0		0	0
0	1		0	1
1	0		1	1
1	1		1	0

Expressions logiques des sorties

$$S_0 = E_0 \cdot \overline{E_1} + \overline{E_0} \cdot E_1 = E_0 \oplus E_1$$

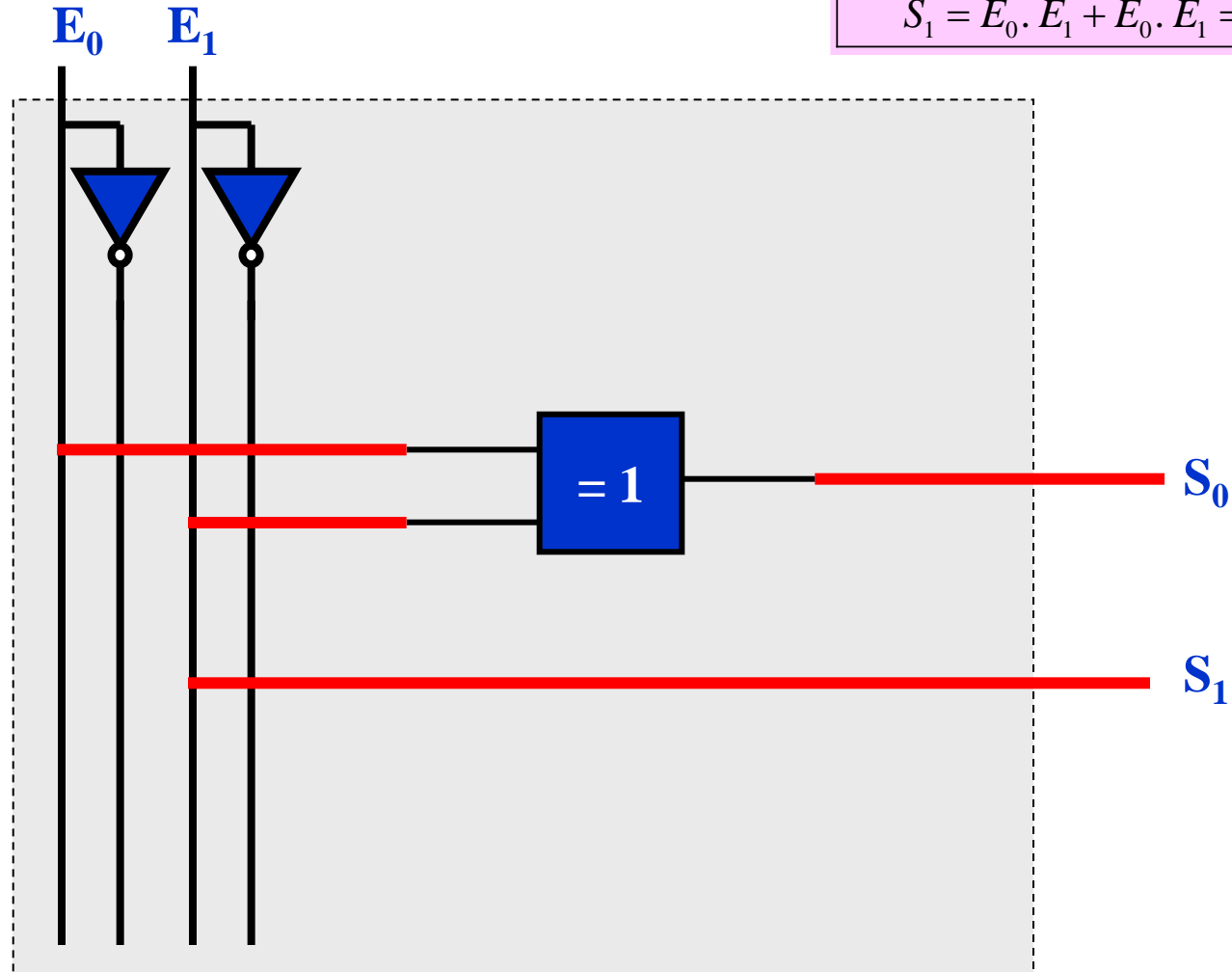
$$S_1 = \overline{E_0} \cdot E_1 + E_0 \cdot E_1 = E_1$$

Chapitre V : Les circuits combinatoires

Logigramme

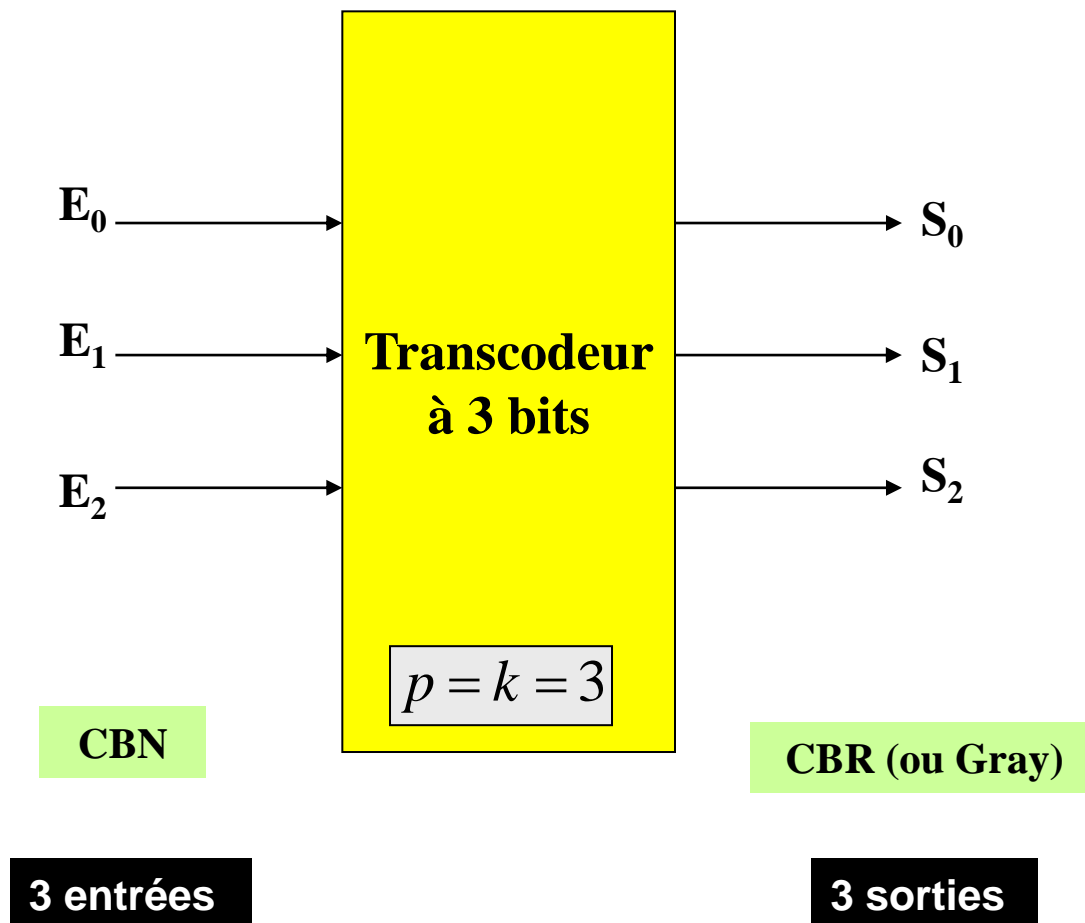
$$S_0 = E_0 \cdot \overline{E_1} + \overline{E_0} \cdot E_1 = E_0 \oplus E_1$$

$$S_1 = \overline{E_0} \cdot E_1 + E_0 \cdot E_1 = E_1$$



Chapitre V : Les circuits combinatoires

b°) Transcodeur à 3 bits : binaire naturel (CBN) → code de Gray (CBR)



Chapitre V : Les circuits combinatoires

Table de vérité ?

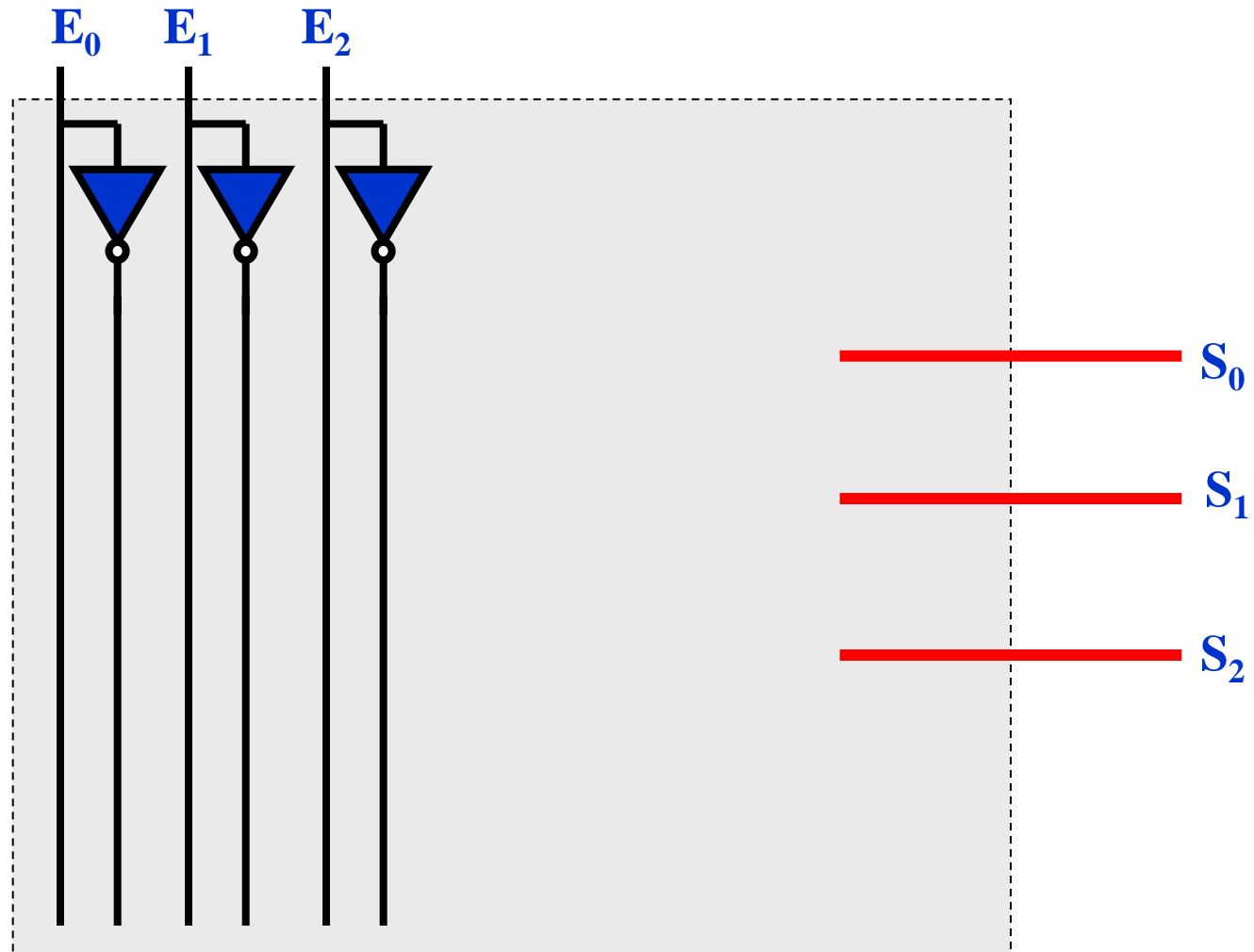
E_2	E_1	E_0		S_2	S_1	S_0
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	0	0				
1	0	1				
1	1	0				
1	1	1				

Expressions logiques des sorties ?

$S_0 =$
$S_1 =$
$S_2 =$

Chapitre V : Les circuits combinatoires

Logigramme ?



Chapitre V : Les circuits combinatoires

c°) Transcodeur (ou décodeur) pilote DCB - 7 segments

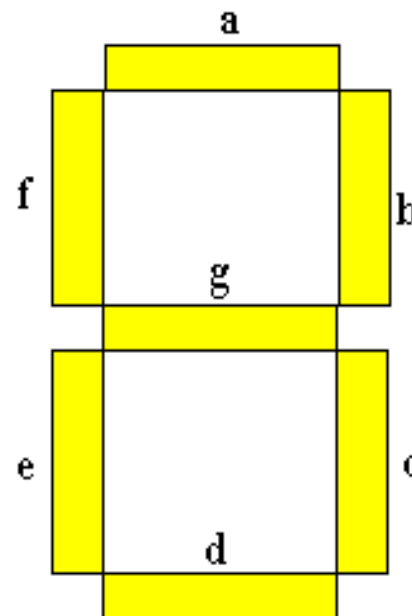
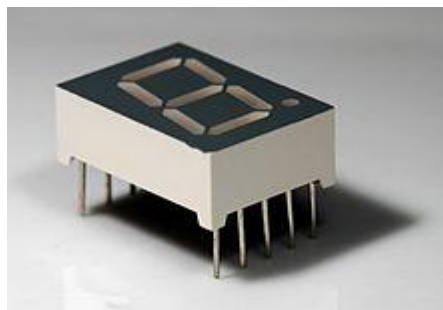
- Les 10 chiffres décimaux (0 à 9) et parfois les caractères de l'hexadécimal (A à F) peuvent être configurés au moyen de 7 segments.
- Chaque segment est constitué d'un matériau qui émet de la lumière lorsqu'il est traversé par un courant. Les matériaux les plus utilisés sont les LED et les filaments incandescents.

8 s'écrit en allumant toutes les LED

2 s'écrit en allumant a, b, d, e, g

1 s'écrit en allumant les LED b, c

F s'écrit en allumant les LED a, e, f, g

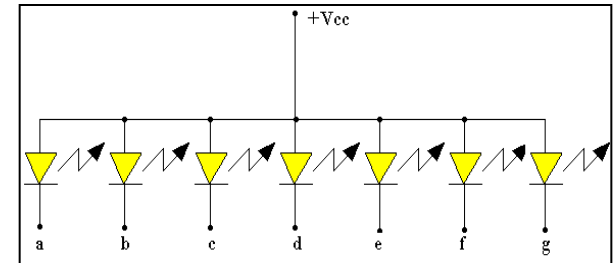


Disposition des 7 segments

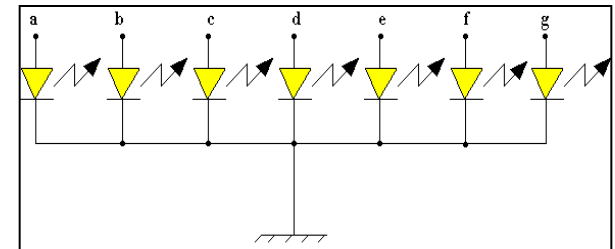
Chapitre V : Les circuits combinatoires

Remarques :

- ▶ Afficheur 7 segments est dit à anode commune lorsque toutes les anodes des LED qui constituent les 7 segments sont reliés à $+V_{CC}$.
- ▶ Une LED est allumée si sa cathode est à la masse.



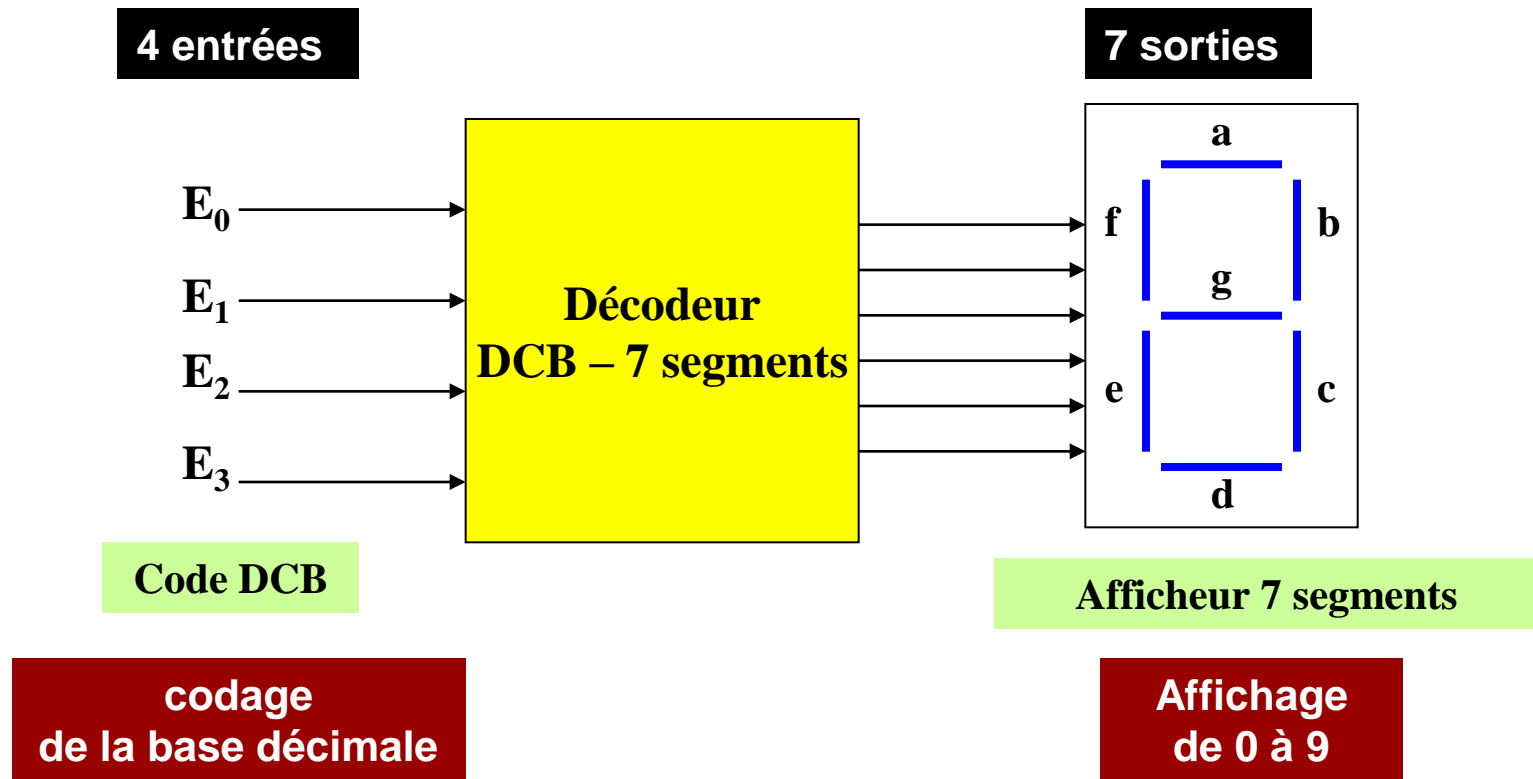
- ▶ Un afficheur est dit à cathode commune lorsque toutes les cathodes sont reliées à la masse.
- ▶ Une LED s'allume lorsque l'anode est mise à $+V_{CC}$.



- ▶ Les segments étant constitués des LED, il est nécessaire de disposer d'une résistance en série avec chaque LED pour limiter le courant et éviter sa destruction

Chapitre V : Les circuits combinatoires

- Le décodeur 7 segments permet à partir d'une combinaison sur 4 bits, de piloter un afficheur sept segments en décimal (digits de 0 à 9).



Chapitre V : Les circuits combinatoires

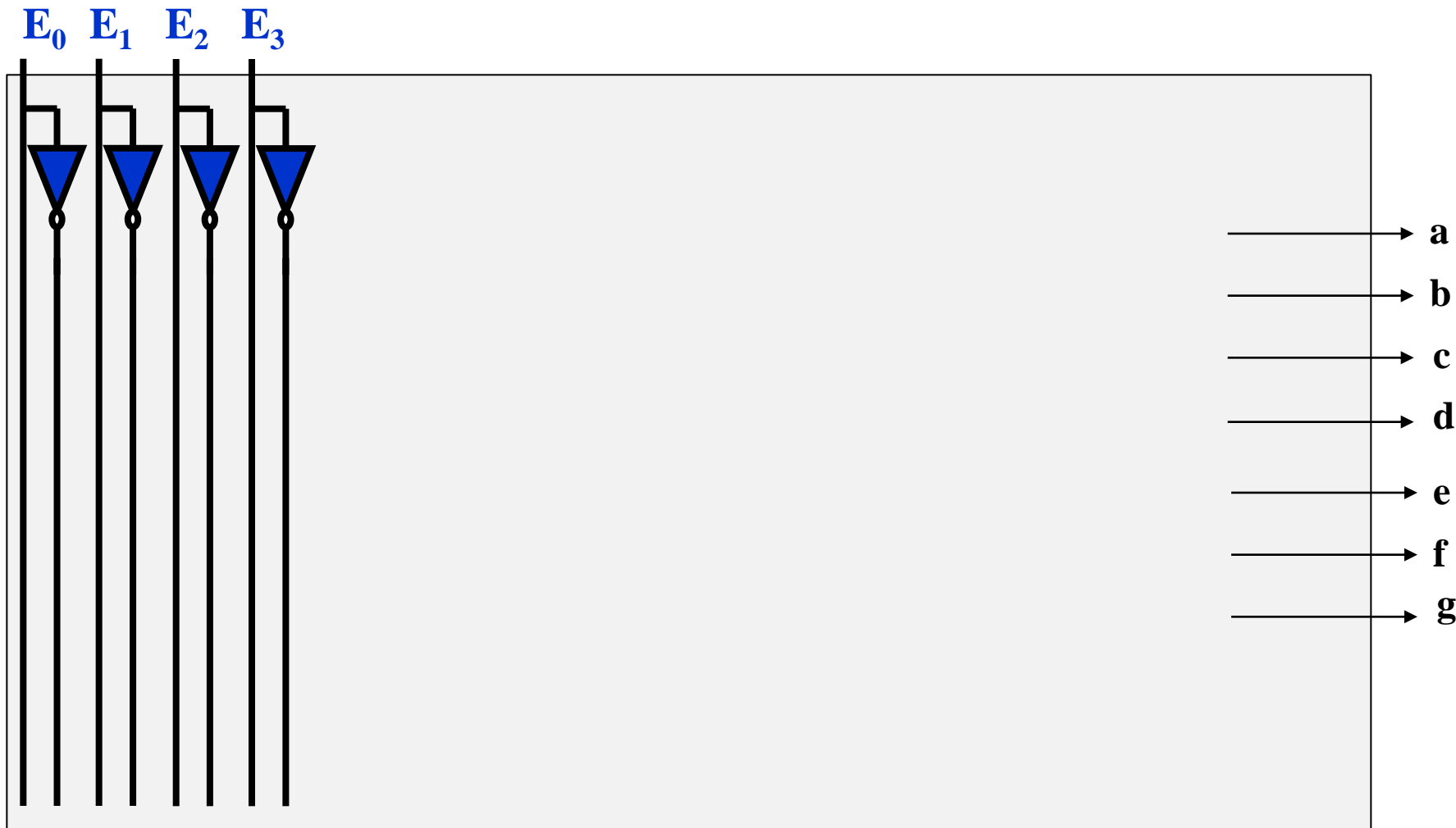
Table de vérité

Pilotage d'un afficheur sept segments en décimal

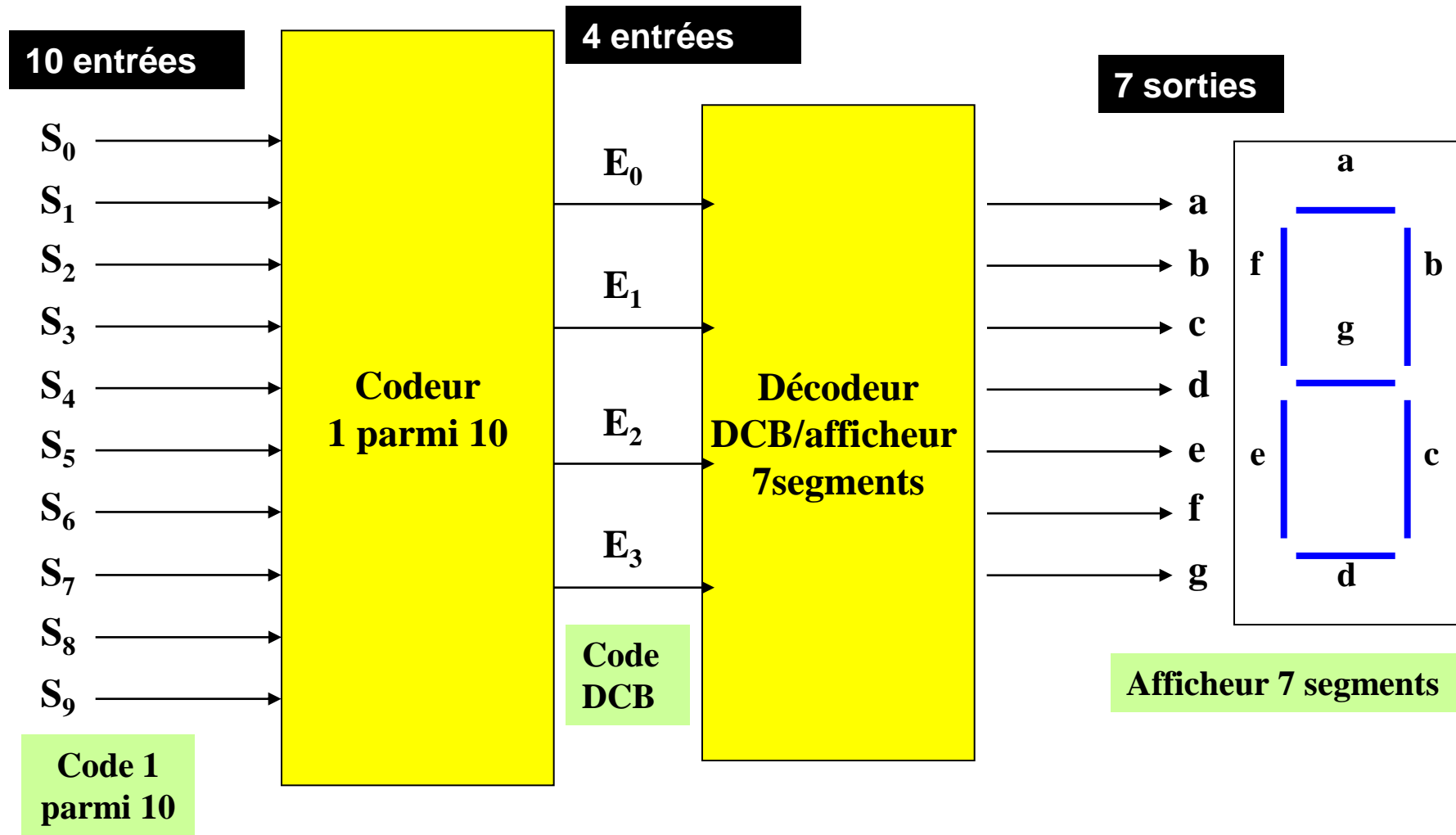
E3	E2	E1	E0		a	b	c	d	e	f	g
0	0	0	0								
0	0	0	1								
0	0	1	0								
0	0	1	1								
0	1	0	0								
0	1	0	1								
0	1	1	0								
0	1	1	1								
1	0	0	0								
1	0	0	1								

Chapitre V : Les circuits combinatoires

Logigramme ?



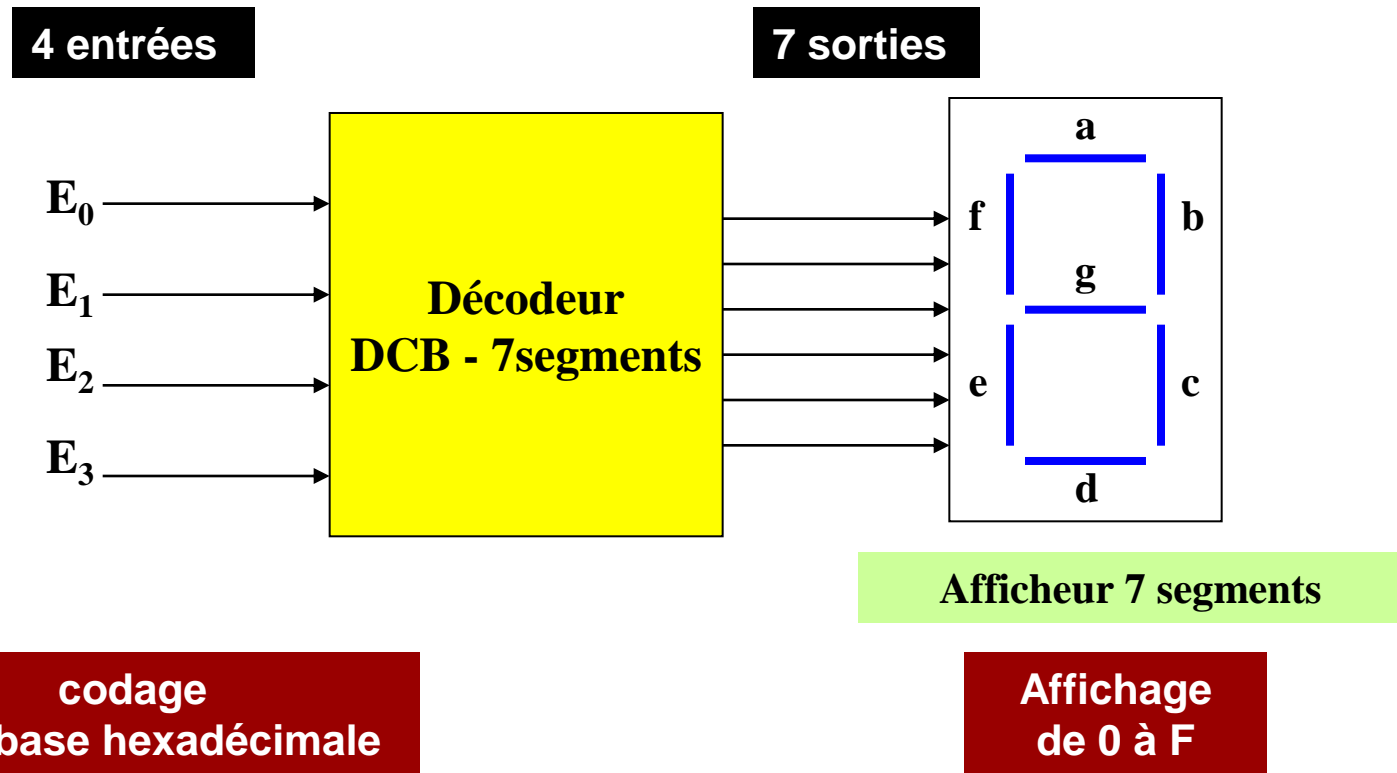
Chapitre V : Les circuits combinatoires



Chapitre V : Les circuits combinatoires

d°) Transcodeur (ou décodeur) pilote Hexadécimal - 7 segments

► Le décodeur 7 segments permet à partir d'une combinaison sur 4 bits, de piloter un afficheur sept segments en hexadécimal (digits de 0 à F).



Chapitre V : Les circuits combinatoires

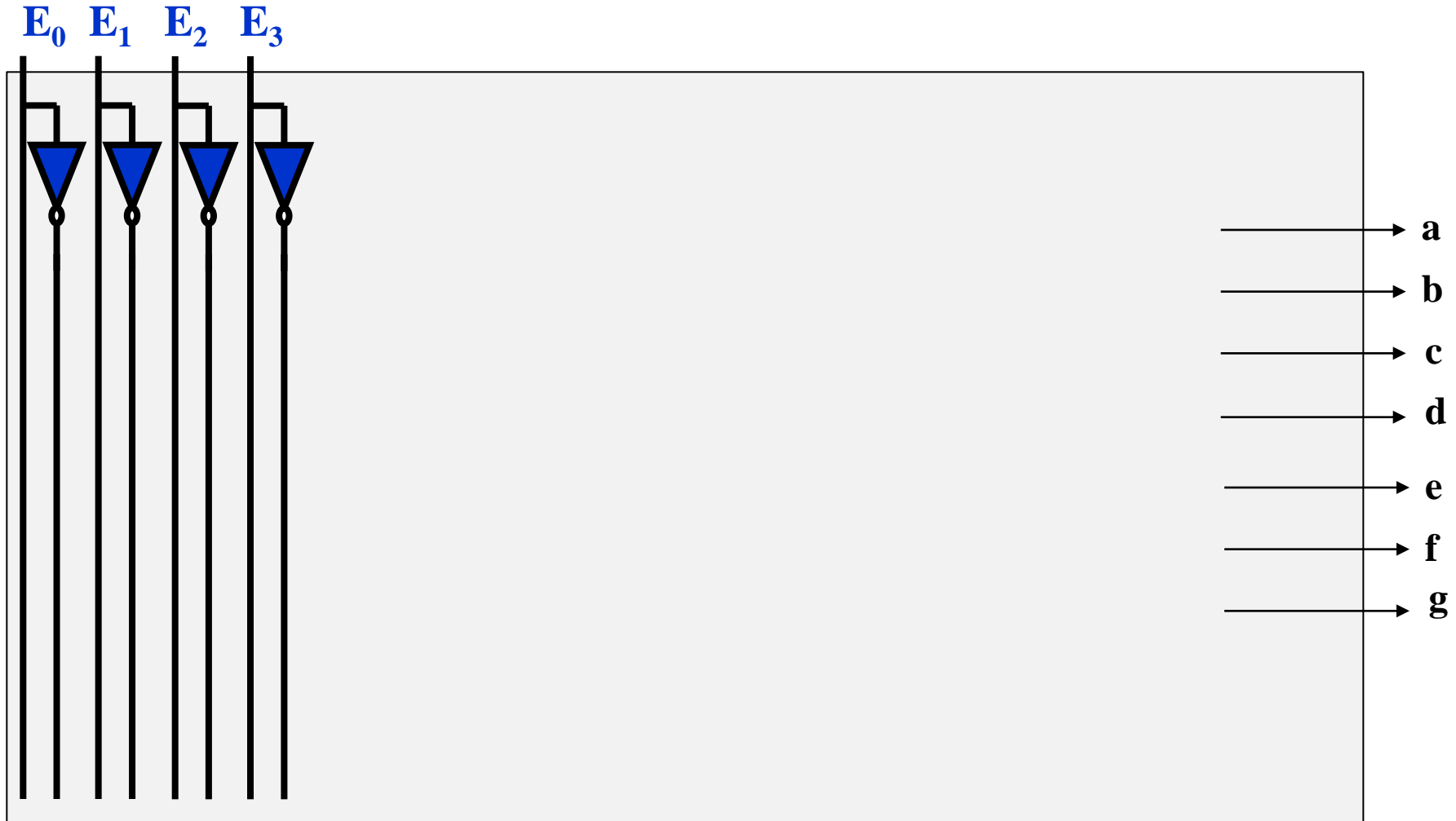
Table de vérité

Pilotage d' un afficheur sept segments en hexadécimal

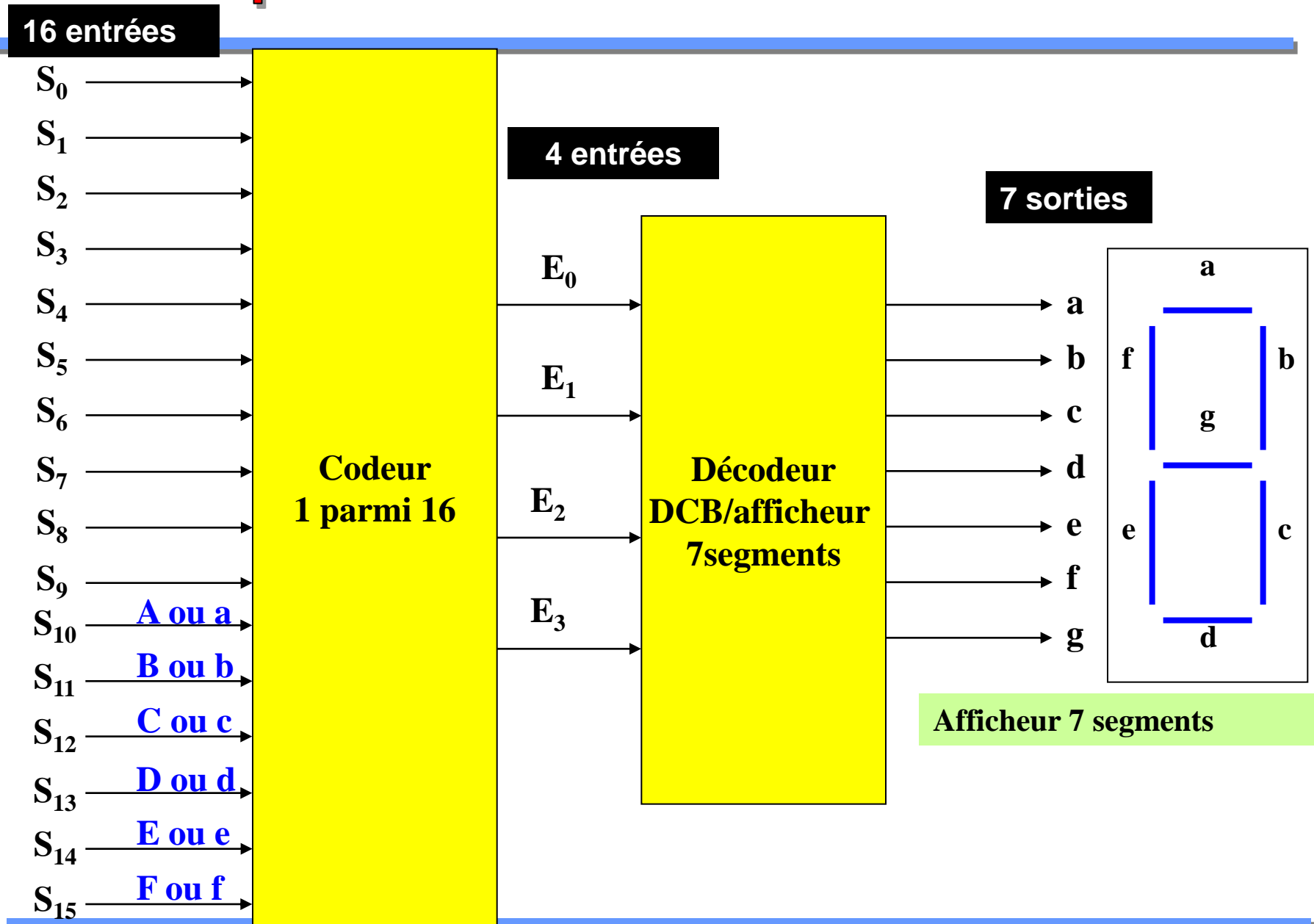
E3	E2	E1	E0		a	b	c	d	e	f	g
0	0	0	0								
0	0	0	1								
0	0	1	0								
0	0	1	1								
0	1	0	0								
0	1	0	1								
0	1	1	0								
0	1	1	1								
1	0	0	0								
1	0	0	1								
1	0	1	0								
1	0	1	1								
1	1	0	0								
1	1	0	1								
1	1	1	0								
1	1	1	1								

Chapitre V : Les circuits combinatoires

Logigramme ?



Chapitre V : Les circuits combinatoires



III. Circuits d'aiguillage

Chapitre V : Les circuits combinatoires

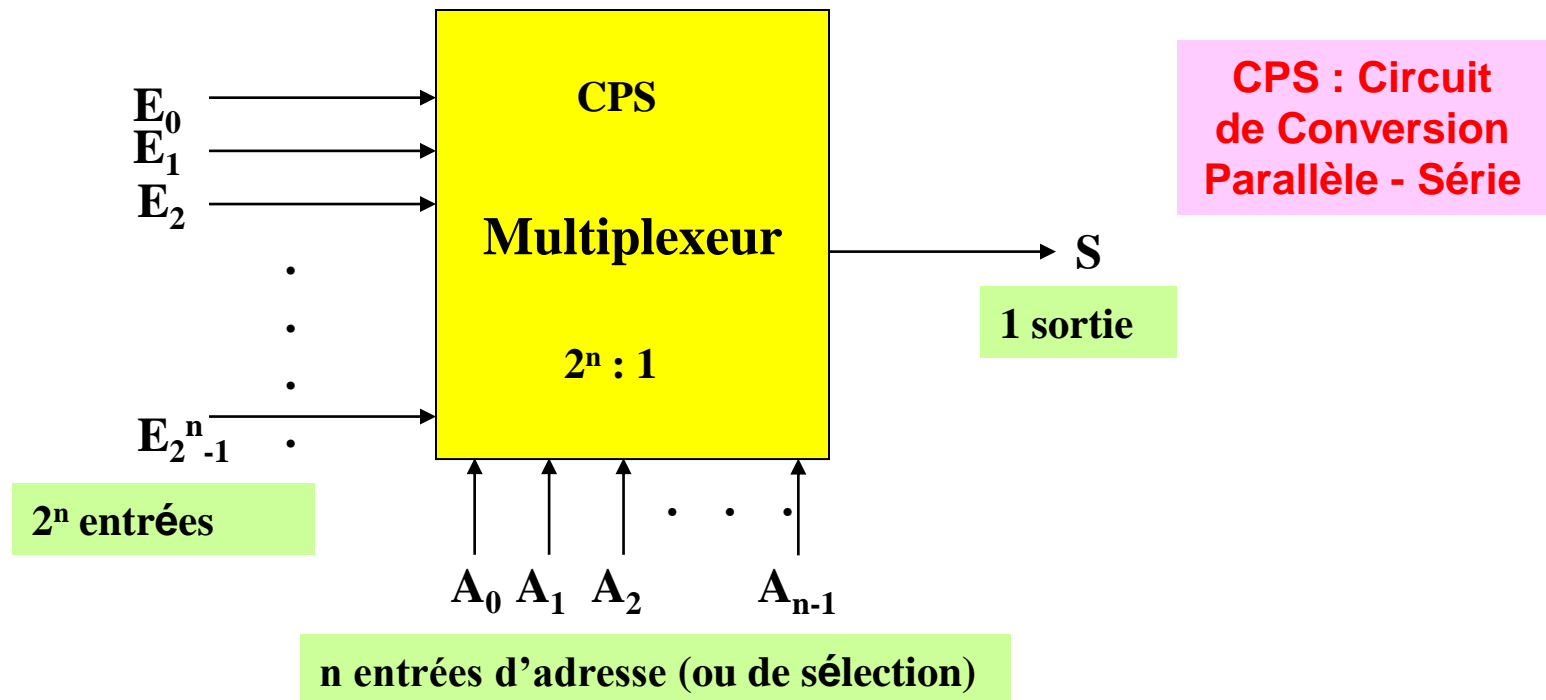
1°) Multiplexeurs (CPS)

2°) Démultiplexeurs (CSP)

Chapitre V : Les circuits combinatoires

1°) Multiplexeurs (ou Convertisseur Parallèle Série : CPS)

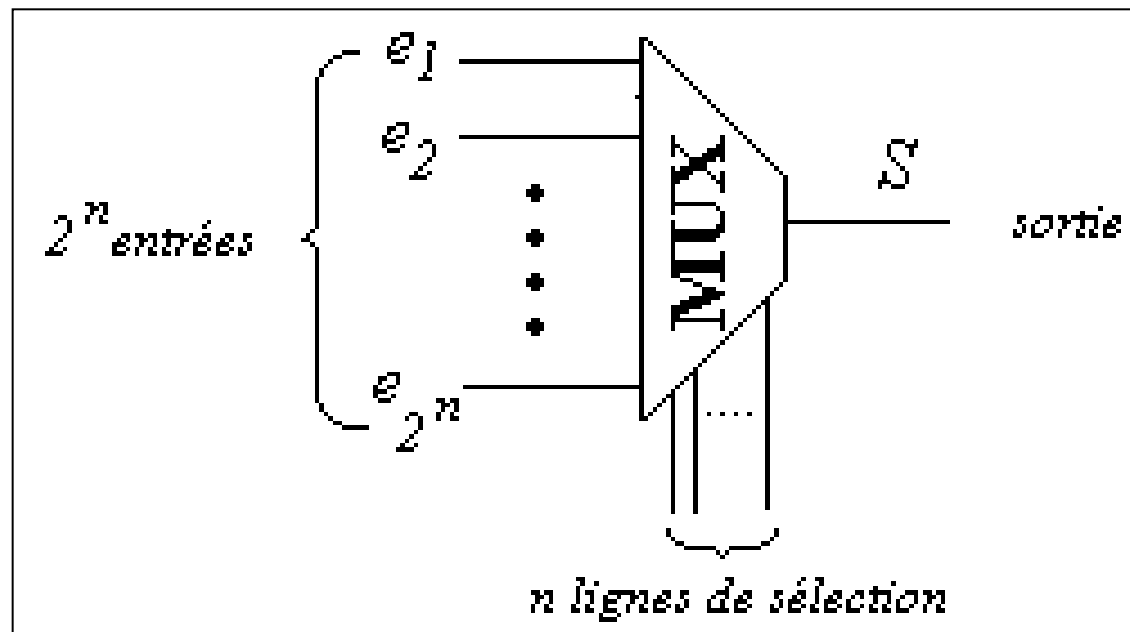
- C'est un circuit d'aiguillage comportant 2^n entrées, n lignes de sélection (ou d'adresse) et une sortie unique.
- Les n lignes de sélection permettent de "programmer" le numéro de l'entrée qui doit être sélectionnée pour être aiguiller vers la sortie.



Chapitre V : Les circuits combinatoires

Application en télécommunication :

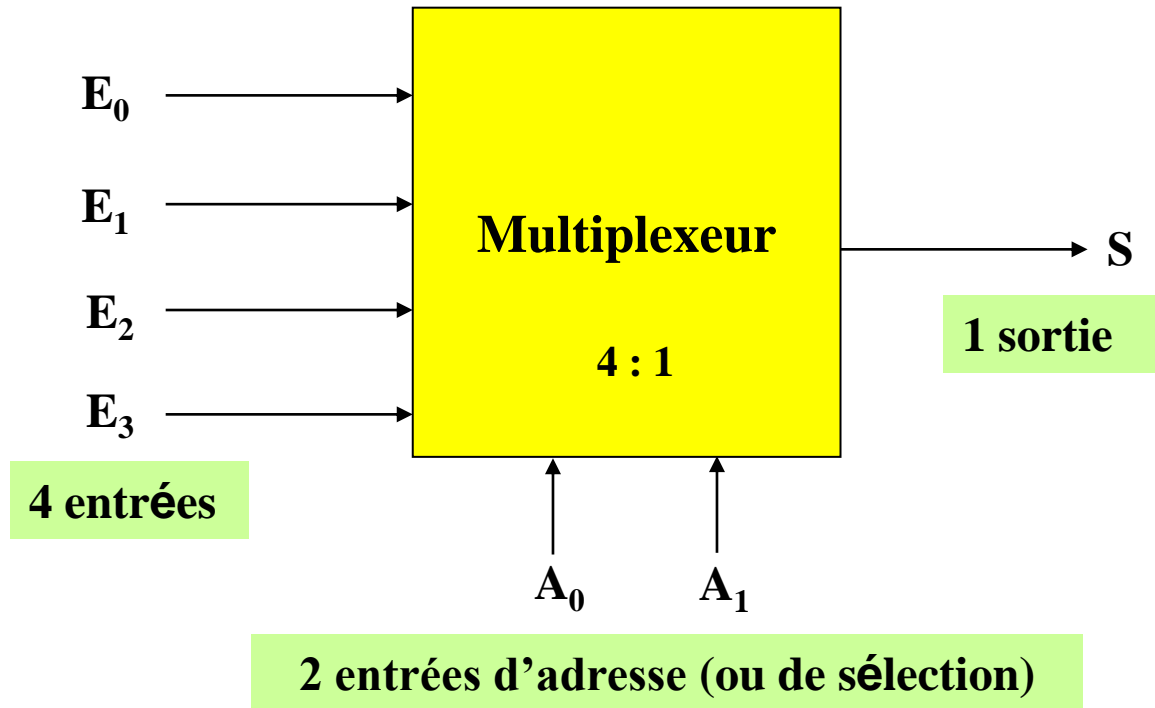
► Le rôle d'un multiplexeur en télécommunication consiste à faire circuler sur un seul conducteur (FO, câble électrique, air,...) des informations provenant de sources multiples.



Collecte

Chapitre V : Les circuits combinatoires

a°) Multiplexeur : 4 entrées, 2 lignes de sélection et une sortie



► Le module de commande (de sélection) ou (d'adressage) permet de sélectionner l'entrée qui doit fournir l'information à la sortie.

Chapitre V : Les circuits combinatoires

Table de vérité :

E ₃	E ₂	E ₁	E ₀	S
0	0	0	1	$\underline{A_0} \underline{A_1} E_0$
0	0	1	0	$\underline{A_0} A_1 E_1$
0	1	0	0	$A_0 \underline{A_1} E_2$
1	0	1	1	$A_0 A_1 E_3$

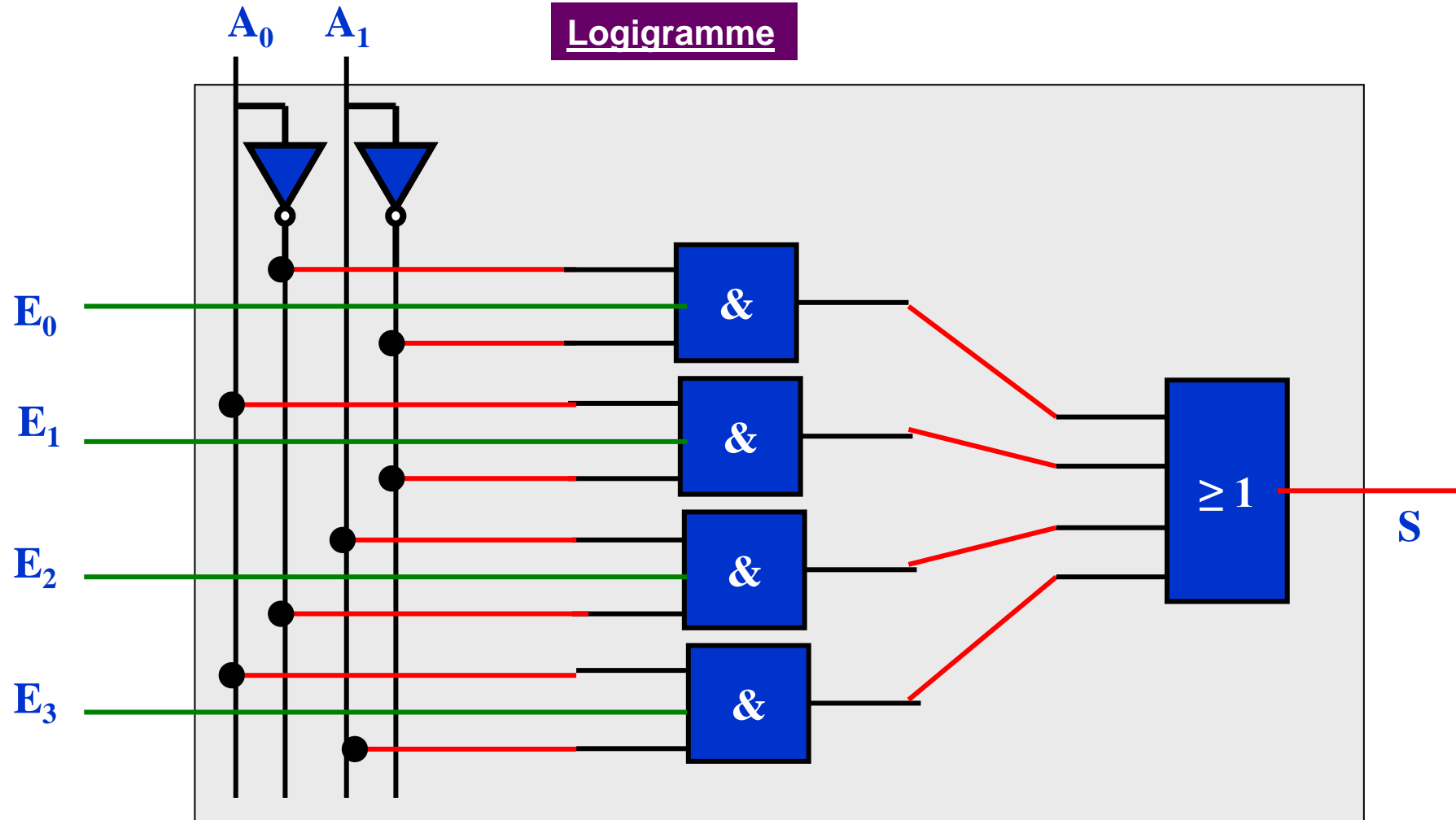
Equation logique :

$$S = \underline{A_0} \underline{A_1} E_0 + \underline{A_0} A_1 E_1 + A_0 \underline{A_1} E_2 + A_0 A_1 E_3$$

Chapitre V : Les circuits combinatoires

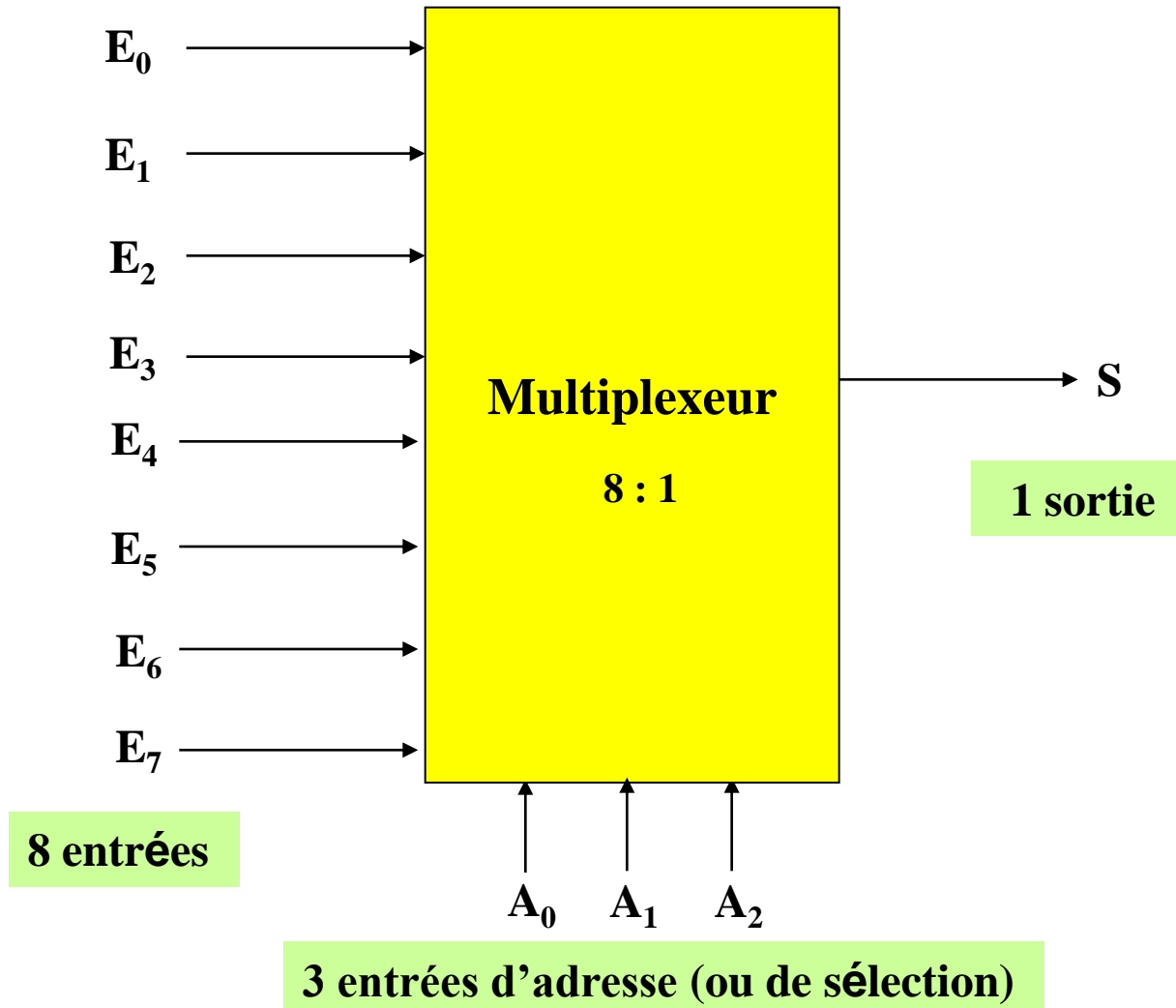
$$S = \underline{A_0} \underline{A_1} E_0 + \underline{A_0} A_1 E_1 + A_0 \underline{A_1} E_2 + A_0 A_1 E_3$$

Logigramme



Chapitre V : Les circuits combinatoires

b°) Multiplexeur : 8 entrées, 3 lignes de sélection et une sortie unique



Chapitre V : Les circuits combinatoires

Table de vérité : ?

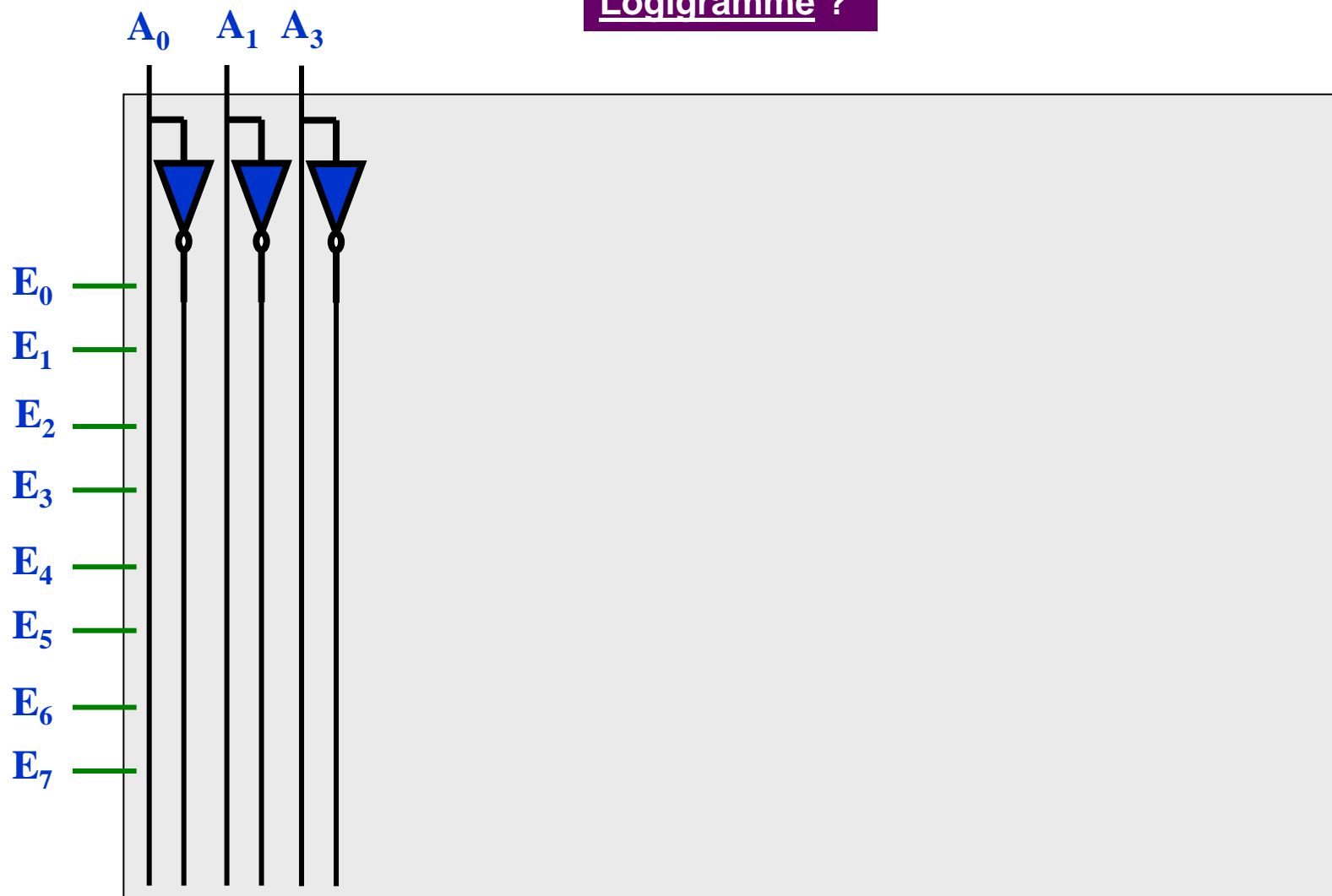
E ₇	E ₆	E ₅	E ₄	E ₃	E ₂	E ₁	E ₀		S

Équation logique : ?

S =

Chapitre V : Les circuits combinatoires

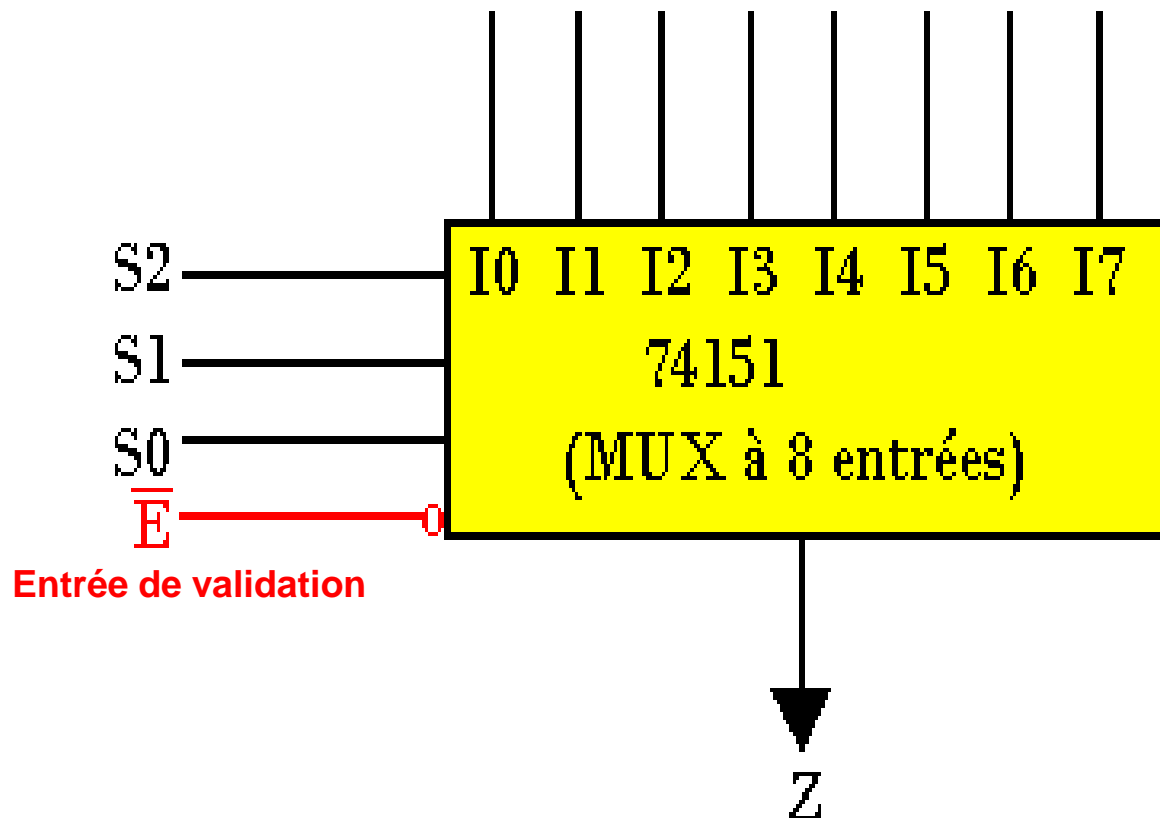
Logigramme ?



Chapitre V : Les circuits combinatoires

c°) Circuit intégré 74151

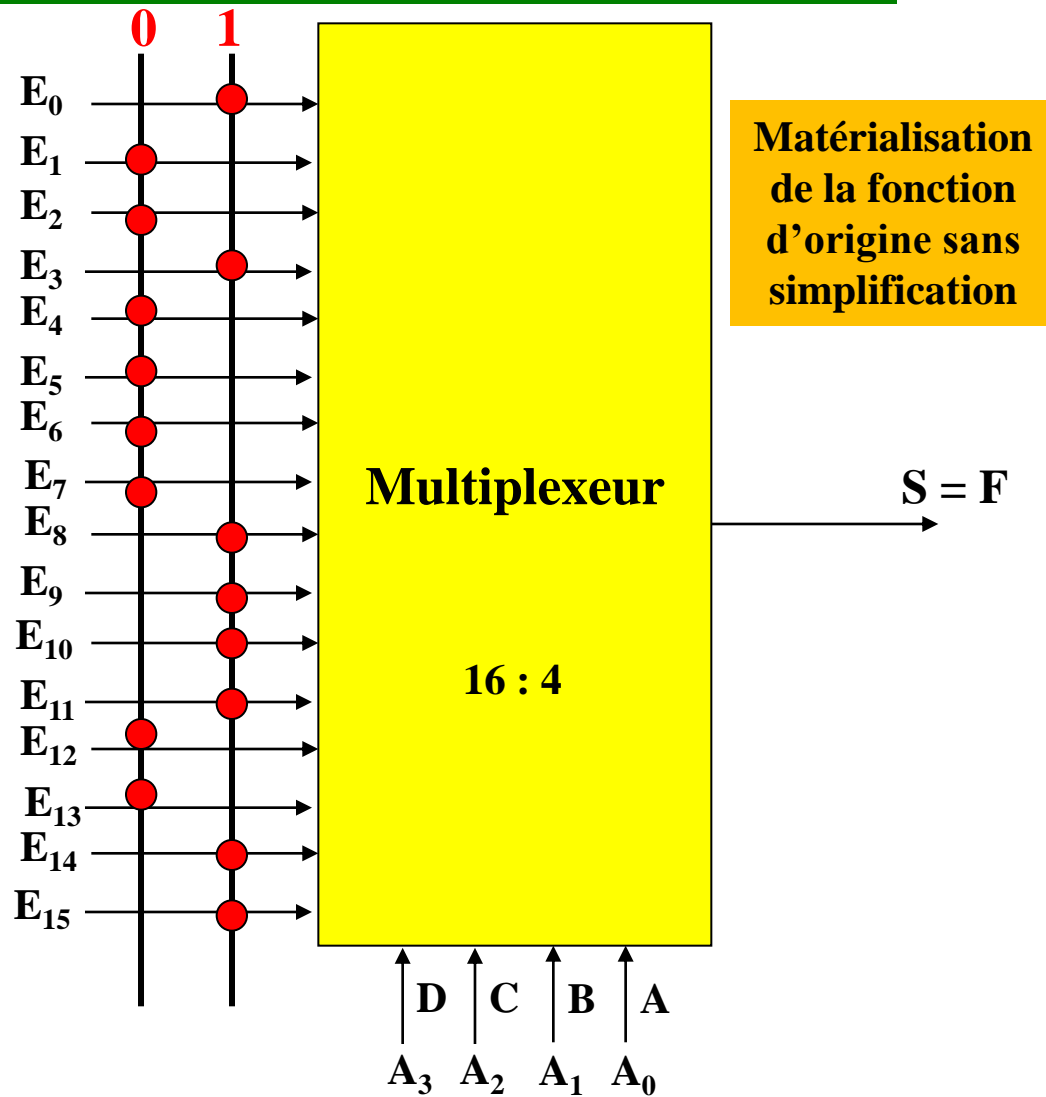
Multiplexeur à CI 74151



Chapitre V : Les circuits combinatoires

Exemple d'utilisation des multiplexeurs : la synthèse des fonctions logiques

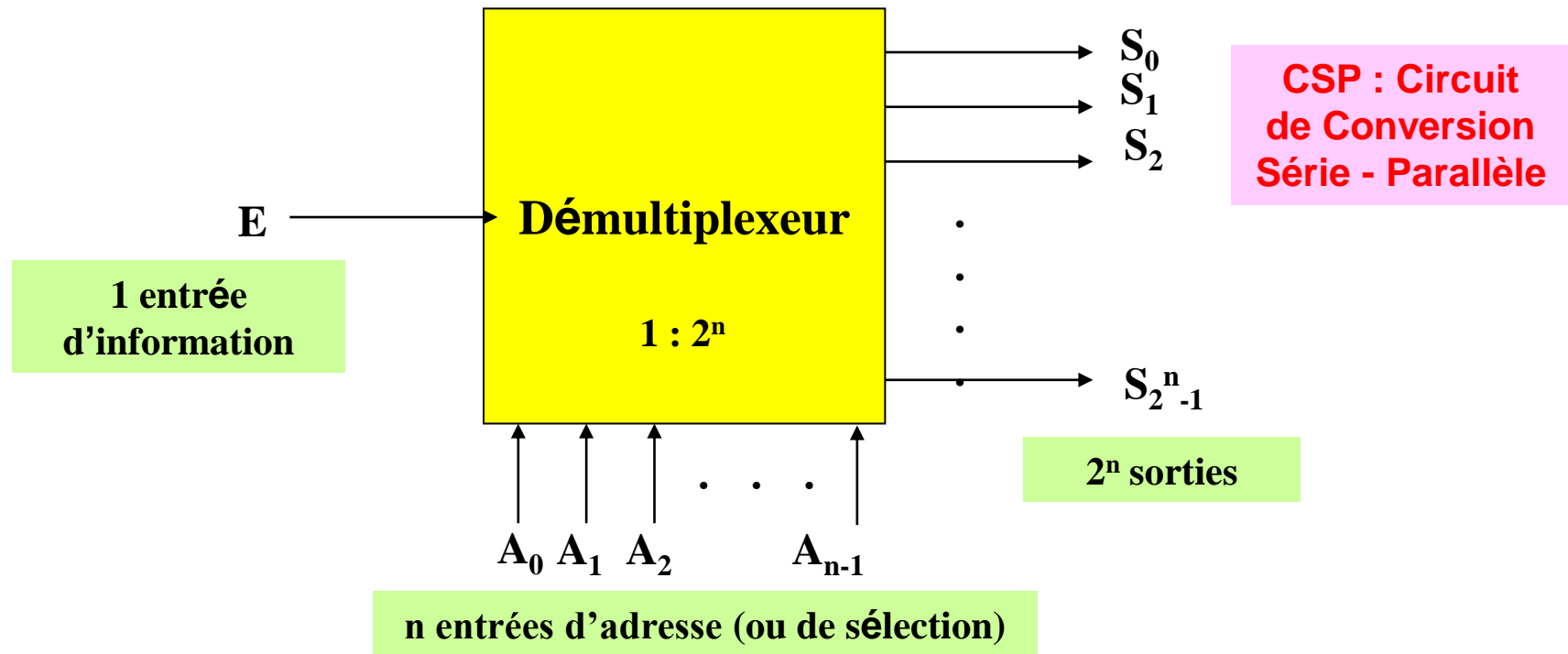
D	C	B	A		F
0	0	0	0		1
0	0	0	1		0
0	0	1	0		0
0	0	1	1		1
0	1	0	0		0
0	1	0	1		0
0	1	1	0		0
0	1	1	1		0
1	0	0	0		1
1	0	0	1		1
1	0	1	0		1
1	0	1	1		1
1	1	0	0		0
1	1	0	1		0
1	1	1	0		1
1	1	1	1		1



Chapitre V : Les circuits combinatoires

2°) Démultiplexeurs (ou Convertisseur Série Parallèle : CSP)

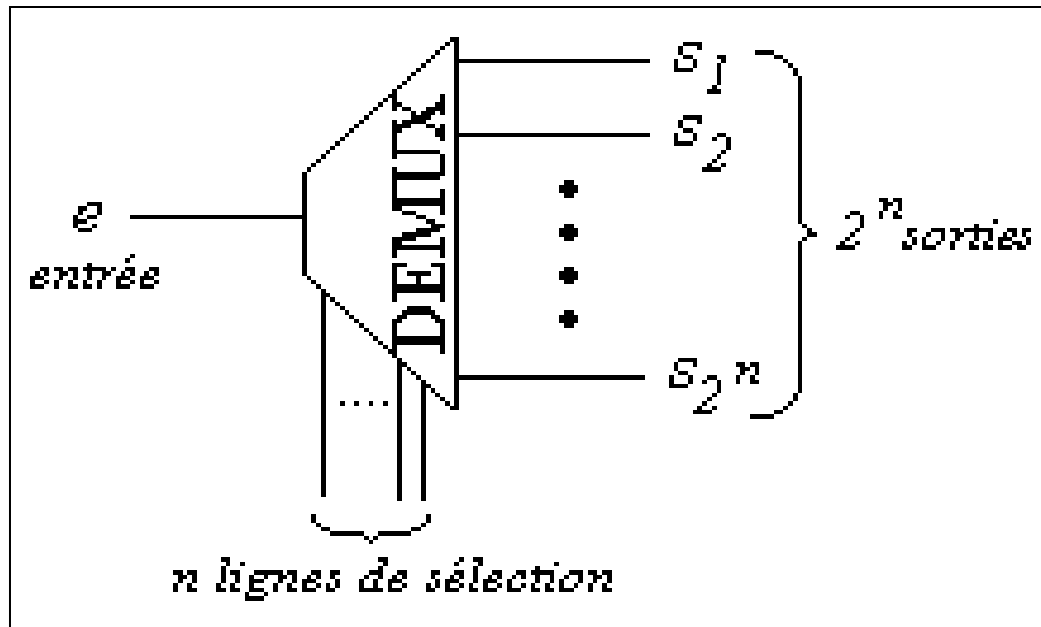
► C'est un circuit qui fonctionne à l'inverse du circuit précédent, il permet d'aiguiller l'entrée sur l'une des 2^n sorties possibles, selon la programmation des n lignes de sélection (ou d'adresse).



Chapitre V : Les circuits combinatoires

Application en télécommunication :

- Le rôle d'un démultiplexeur en télécommunication consiste à guider l'information présente en entrée vers une sortie sélectionnée parmi plusieurs.
- La sélection est faite à l'aide des n entrées de commande.

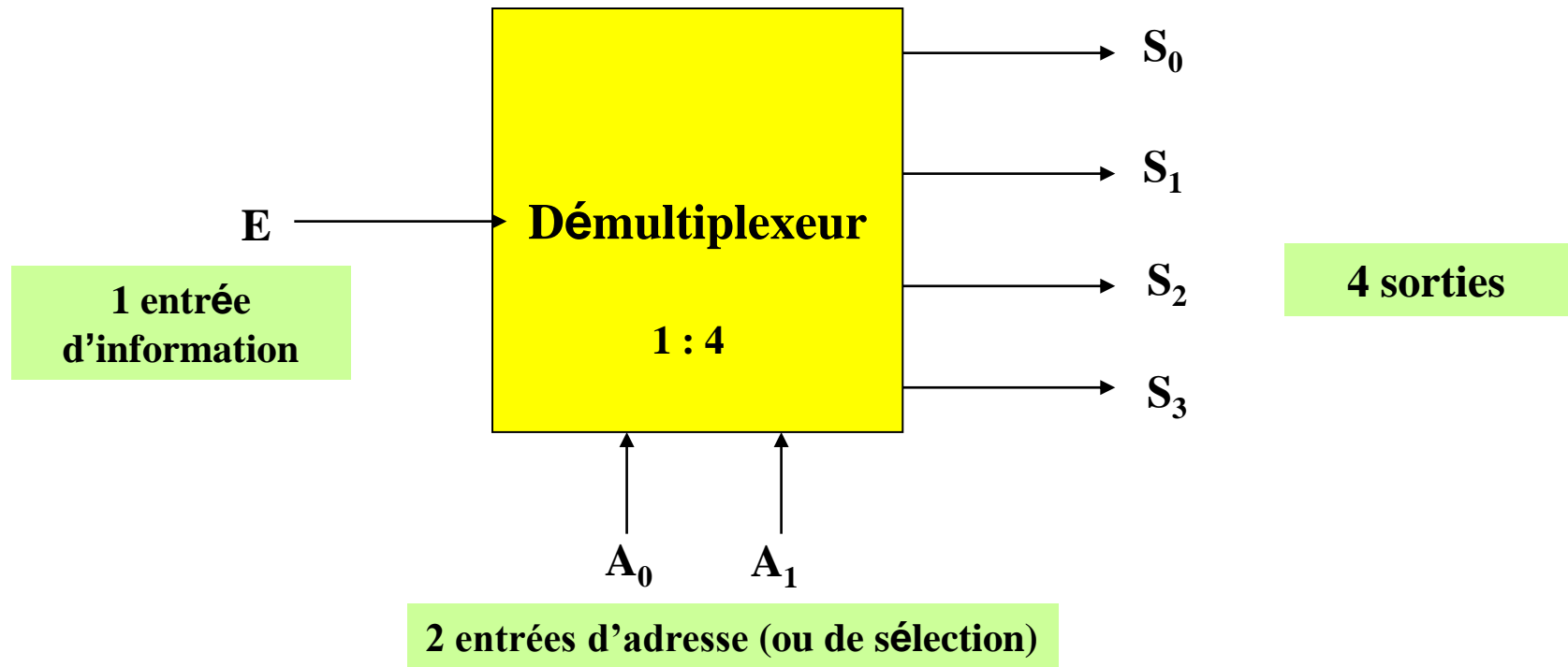


Distribution

Chapitre V : Les circuits combinatoires

a°) Démultiplexeur : 1 entrée unique, 2 lignes de sélection et 4 sorties

► C'est un circuit qui a pour rôle le de redistribuer sur 4 voies les informations provenant d'une seule source.



► Le module commande permet de sélectionner la sortie qui doit recevoir l'information de l'entrée.

Chapitre V : Les circuits combinatoires

Table de vérité :

A ₁	A ₀		S ₀	S ₁	S ₂	S ₃
0	0		E	0	0	0
0	1		0	E	0	0
1	0		0	0	E	0
1	1		0	0	0	E

Équations logiques :

$$S_1 = \underline{A_0} \ \underline{A_1} \ E$$

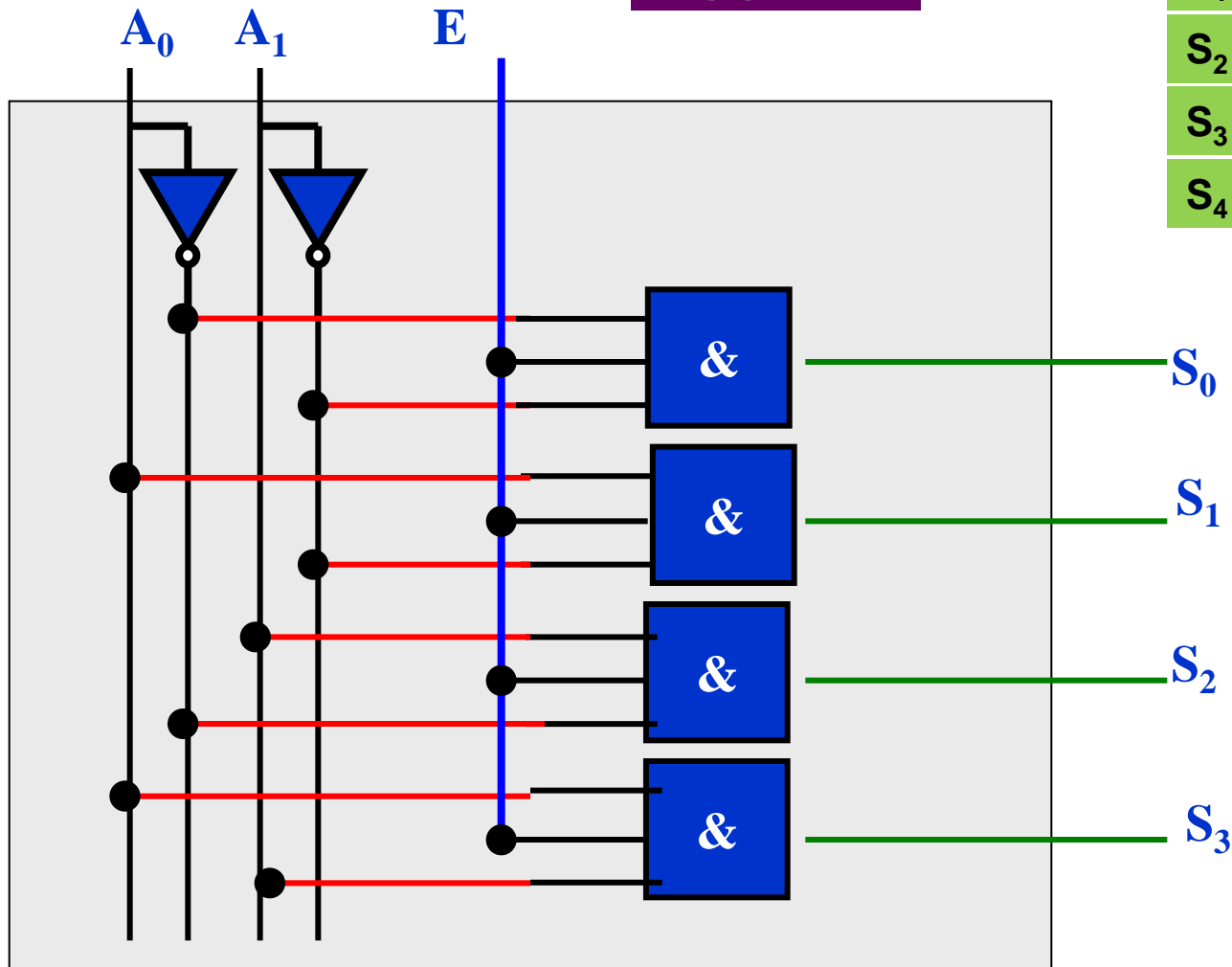
$$S_2 = \underline{A_0} \ A_1 \ E$$

$$S_3 = A_0 \ \underline{A_1} \ E$$

$$S_4 = A_0 \ A_1 \ E$$

Chapitre V : Les circuits combinatoires

Logigramme



$$S_1 = \underline{A_0} \ \underline{A_1} \ E$$

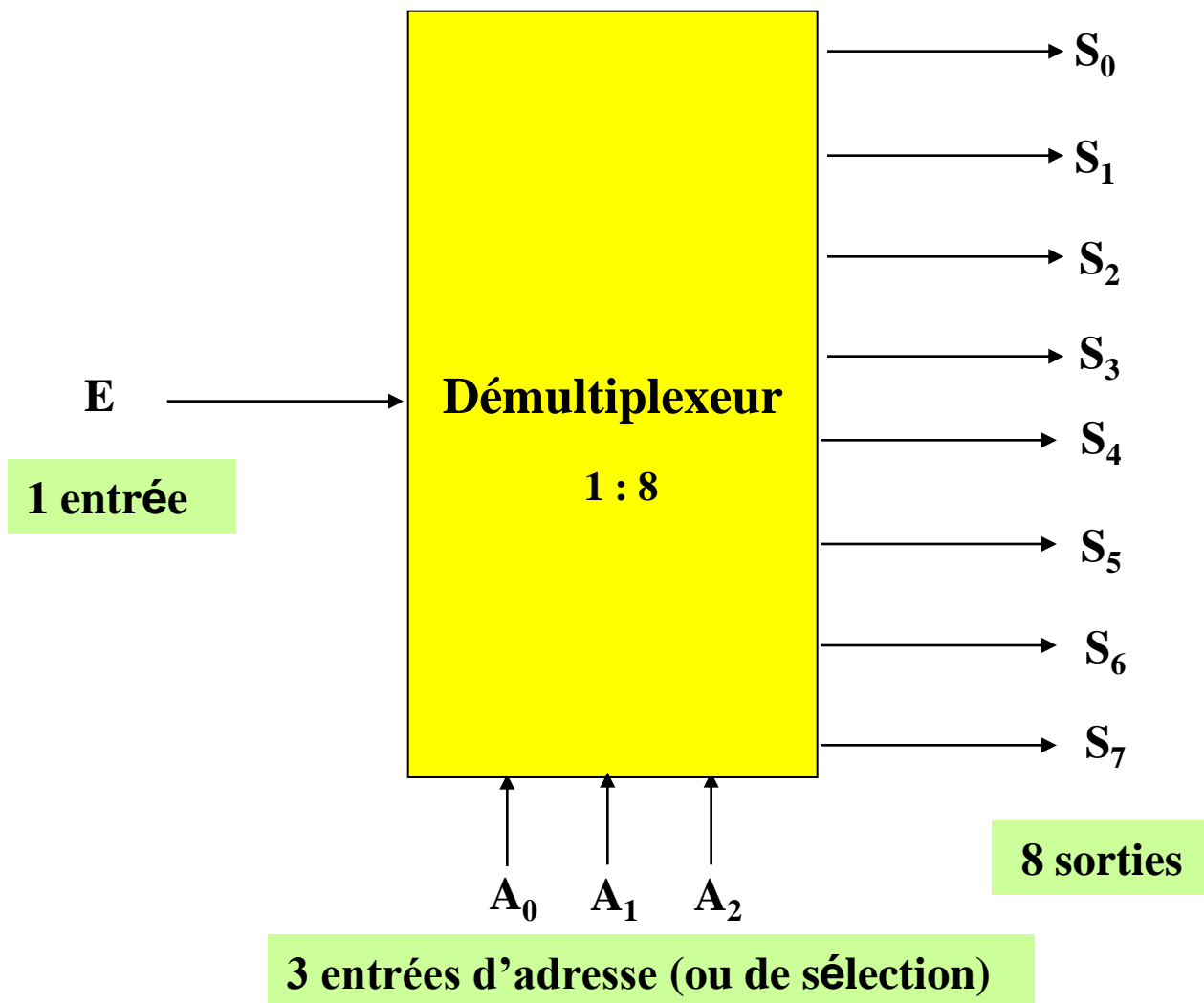
$$S_2 = \underline{A_0} \ A_1 \ E$$

$$S_3 = A_0 \ \underline{A_1} \ E$$

$$S_4 = A_0 \ A_1 \ E$$

Chapitre V : Les circuits combinatoires

b°) Démultiplexeur : 1 entrée unique, 3 lignes de sélection et 8 sorties



Chapitre V : Les circuits combinatoires

Table de vérité : ?

A_2	A_1	A_0		S_0	S_1	S_2	S_3	S_4	S_5	S_6	S_7
0	0	0									
0	0	1									
0	1	0									
0	1	1									
1	0	0									
1	0	1									
1	1	0									
1	1	1									

Équations logiques : ?

$$S_0 =$$

$$S_1 =$$

$$S_2 =$$

$$S_3 =$$

$$S_4 =$$

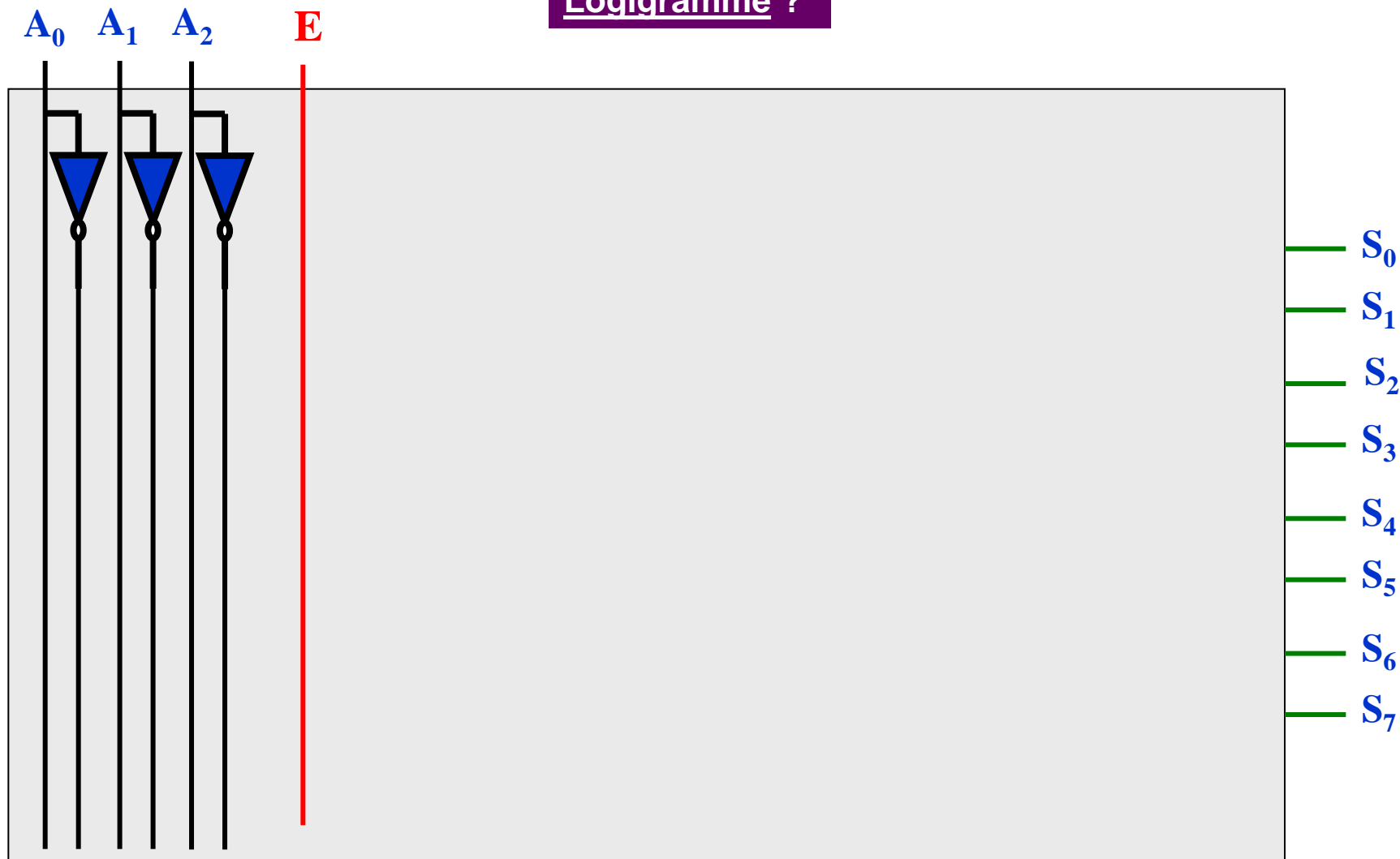
$$S_5 =$$

$$S_6 =$$

$$S_7 =$$

Chapitre V : Les circuits combinatoires

Logigramme ?



Chapitre V : Les circuits combinatoires

c°) Démultiplexeur intégré avec entrée de validation

Avec 4 voies de sortie, on a besoin de 2 bits de sélection ($2^2 = 4$). Lorsqu'une sortie est sélectionnée, elle prend la valeur de l'entrée et les autres sorties restent à zéro.

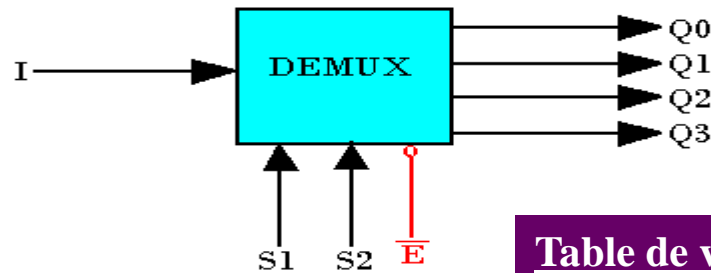


Table de vérité

ENTREES				SORTIES			
VAD	Selection		Info	O3	O2	O1	O0
\overline{E}	S1	S2	I				
1	X	X	I	0	0	0	0
0	0	0	I0	0	0	0	I0
0	0	1	I1	0	0	I1	0
0	1	0	I2	0	I2	0	0
0	1	1	I3	I3	0	0	0

Equation des sorties

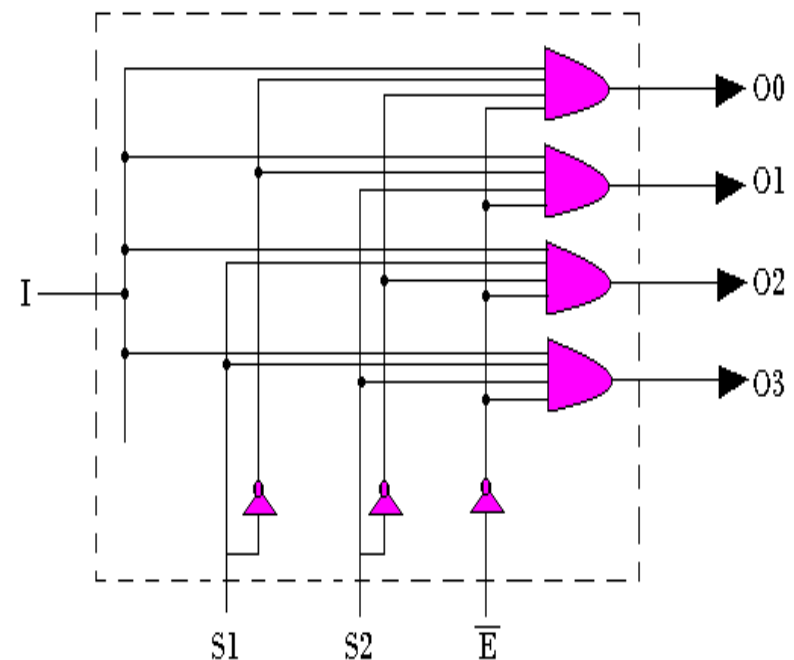
$$O0 = E \cdot \overline{S1} \cdot \overline{S0} \cdot I0$$

$$O1 = E \cdot \overline{S1} \cdot S0 \cdot I1$$

$$O2 = E \cdot S1 \cdot \overline{S0} \cdot I2$$

$$O3 = E \cdot S1 \cdot S0 \cdot I3$$

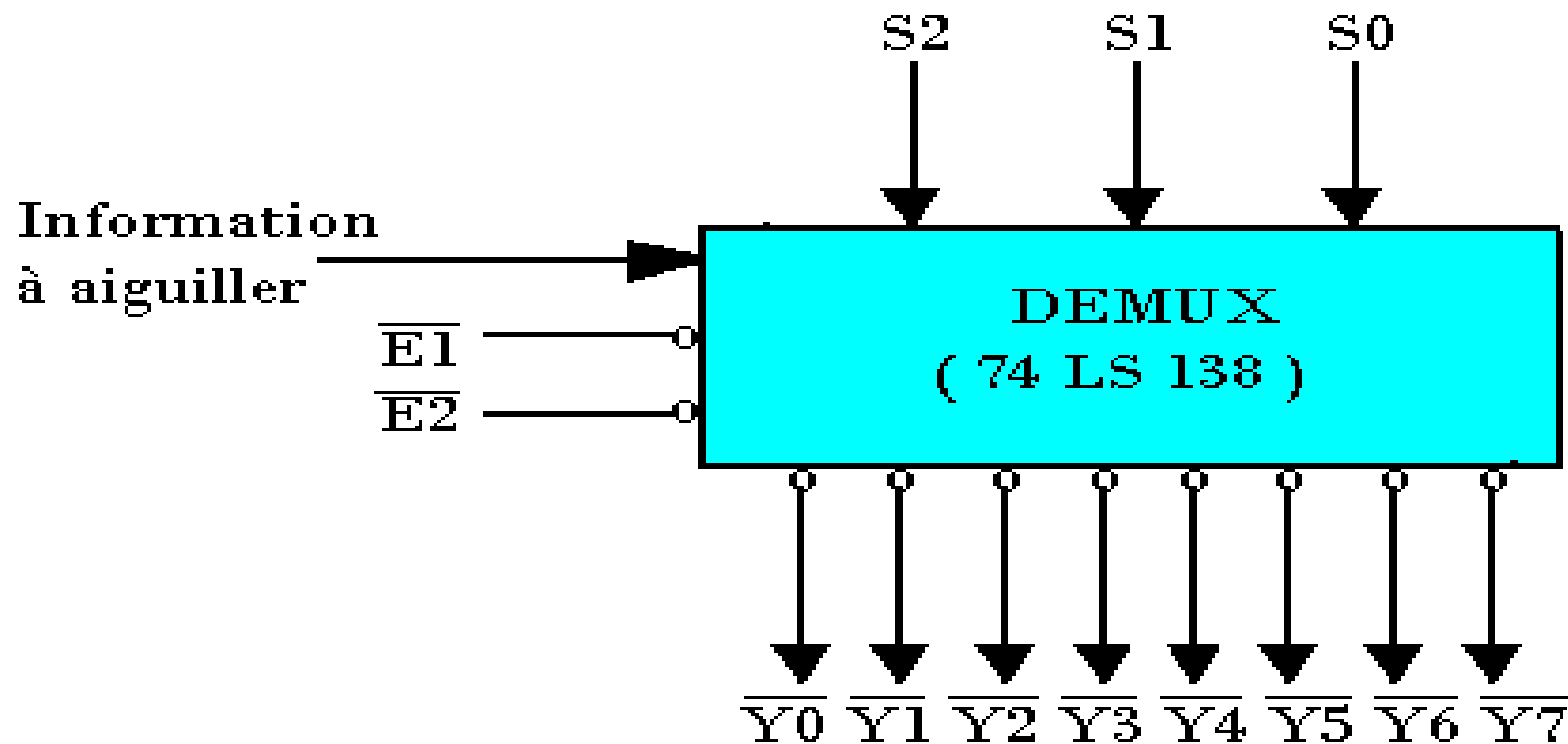
Logigramme



Chapitre V : Les circuits combinatoires

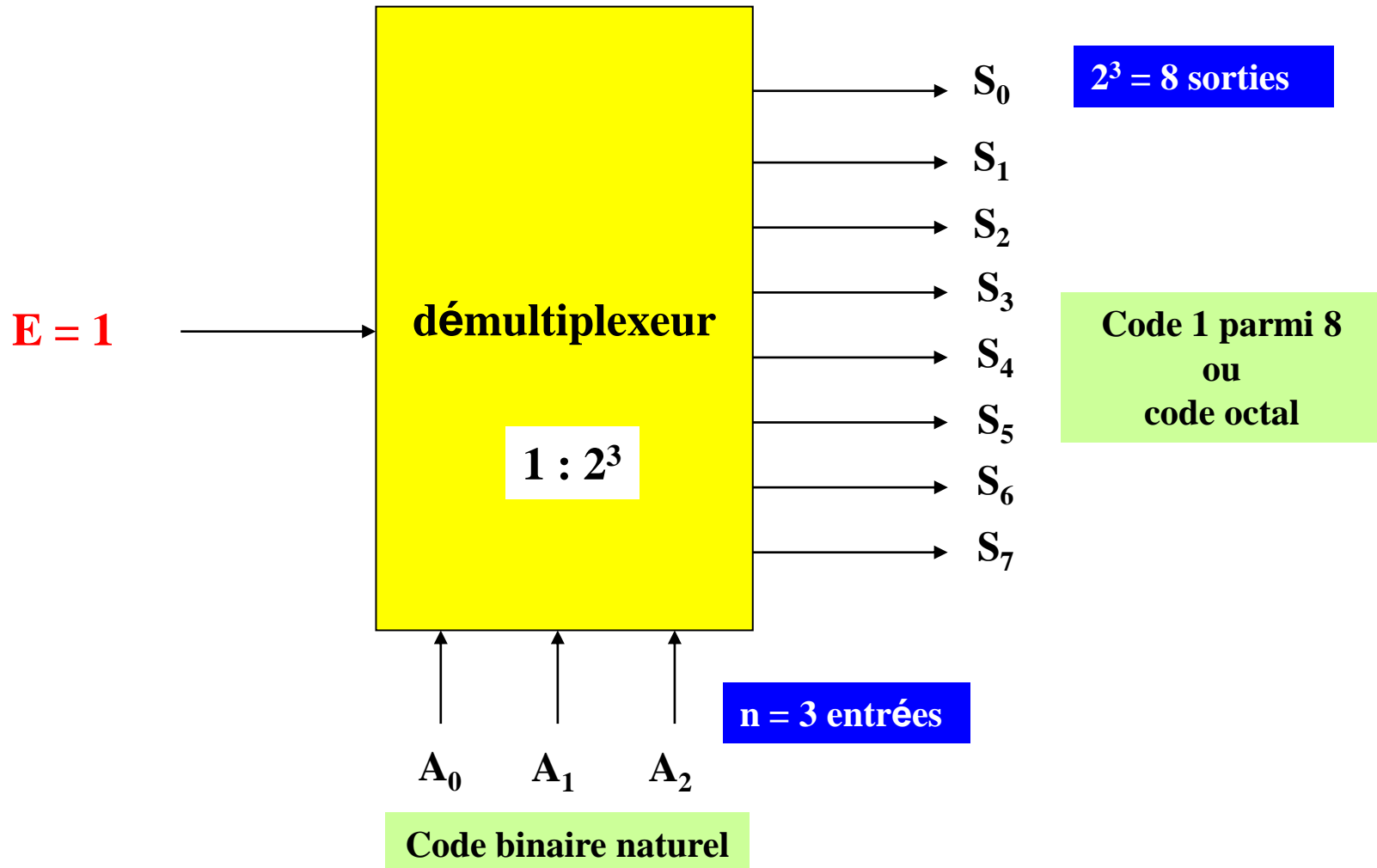
d°) Démultiplexeur à CI : 74LS138

Démultiplexeur à CI 74LS138



Chapitre V : Les circuits combinatoires

Exemple d'utilisation : Démultiplexeur utilisé comme Décodeur



Chapitre V : Les circuits combinatoires

Exemple d'utilisation de MUX/DEMUX : Transmission numérique de l'information

Multiplexage temporel

Démultiplexage temporel

