Cours exposé

ELECTRONIQUE NUMERIQUE

email : nasser_baghdad @ yahoo.fr

ELECTRONIQUE NUMERIQUE

Sommaire

Chapitre. VI

Les circuits séquentiels

Chapitre VI : Les circuits séquentiels

I. Les bascules

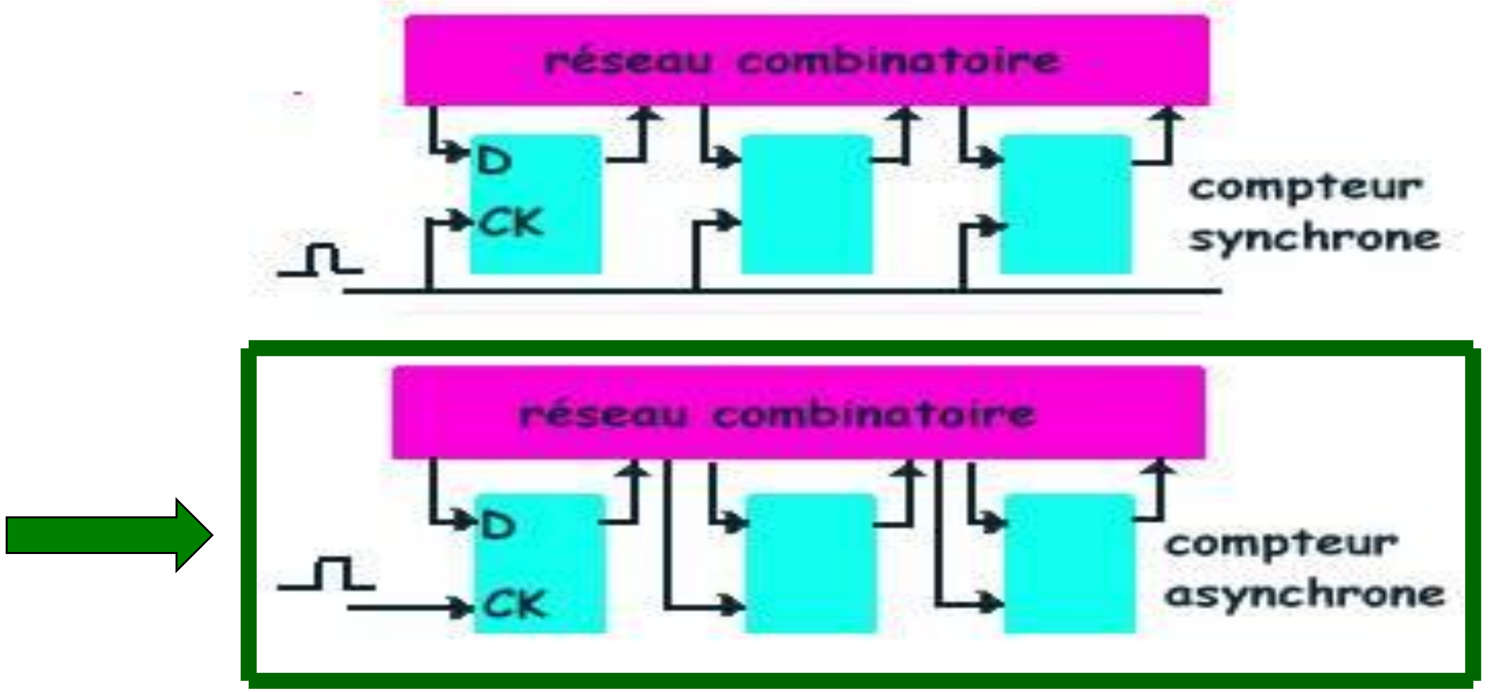
II. Les circuits de comptage : compteurs/décompteurs

III. Les registres

IV. Les mémoires

III. Les circuits de comptage : Compteurs/Décompteurs

A. Les compteurs / décompteurs synchrones



Chapitre VI : Les circuits séquentiels

1°) Les diviseurs de fréquence

2°) Les compteurs asynchrones (ou compteurs séries)

3°) Les décompteurs asynchrones (ou décompteurs séries)

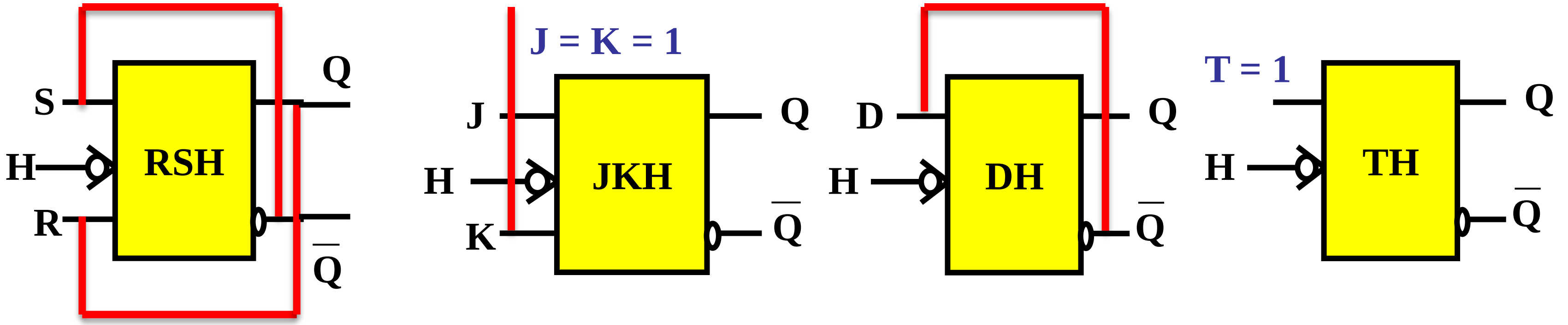
4°) Les compteurs asynchrones réversibles (ou compteurs-décompteurs asynchrones)

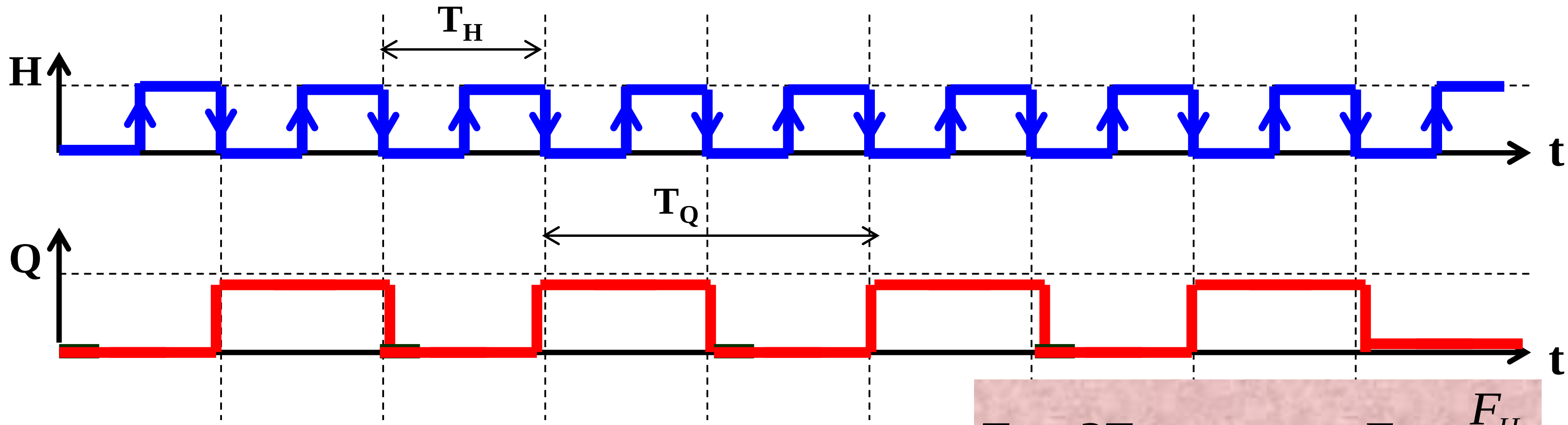
5°) Inconvénients des compteurs / décompteurs asynchrones

Chapitre VI : Les circuits séquentiels

1°) Les diviseurs de fréquence

► Élément de base du compteur asynchrone ou Q oscille (commute ou bascule) entre 0 et 1 à chaque front actif de l'horloge





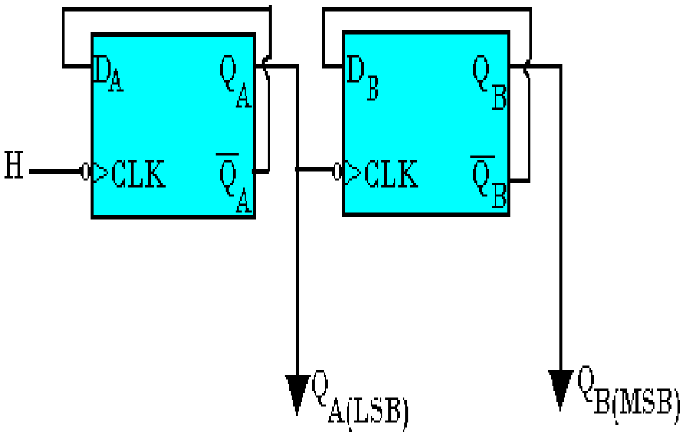
► Avec une bascule, on réalise une division par 2

$$T_Q = 2T_H \quad \Leftrightarrow \quad F_Q = \frac{F_H}{2}$$

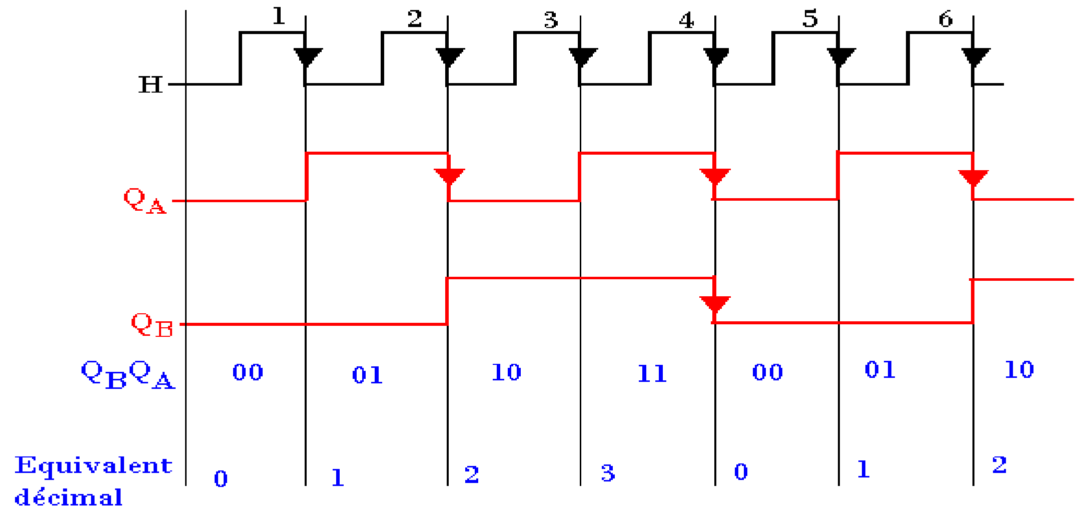
Chapitre VI : Les circuits séquentiels

► **Avec 2 bascules, on réalise une division par 4.**

Compteur modulo 4



Chronogramme



Remarque :

$$f_{QA} = \frac{1}{2} f_H \quad ; \quad f_{QB} = \frac{1}{2} f_{QA} = \frac{1}{4} f_H$$

► **La fréquence de sortie de la dernière bascule Q_B est égale à la fréquence de l'horloge divisée par le modulo du compteur**

$$f_{Qn} = f_H / N$$

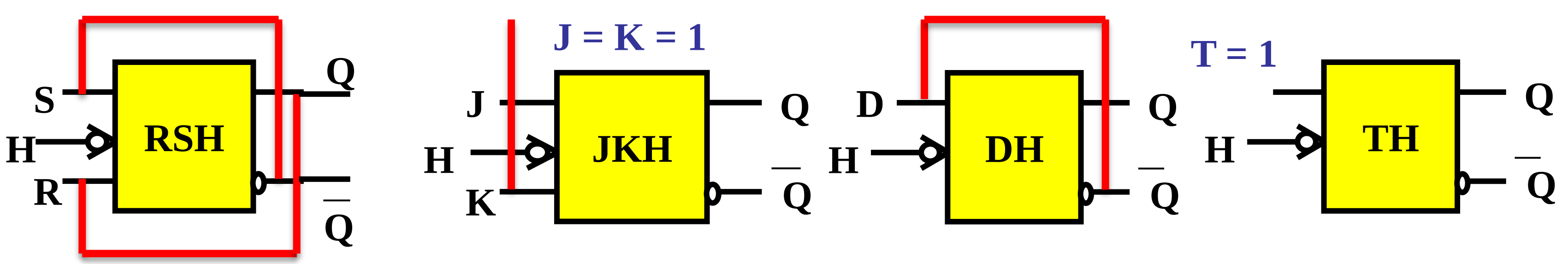
N : Modulo
Q_N : Sortie de la dernière bascule
f_H : Fréquence de l'horloge.

Chapitre VI : Les circuits séquentiels

2°) Les compteurs asynchrones (ou compteurs séries)

► La conception des compteurs asynchrones repose sur les principes suivants :

- Les bascules doivent être montées en trigger ou en bistable (basculement à chaque front du signal d'horloge).
- Les bascules considérées ci-dessous doivent réagir au front descendant.
- L'horloge de comptage est appliquée à la première bascule.
- La sortie de chaque bascule est reliée à l'entrée d'horloge de la bascule suivante.
- Les sorties des bascules constituent directement les sorties du compteur.
- La sortie de la première bascule représente le LSB et celle de la dernière bascule représente le MSB.

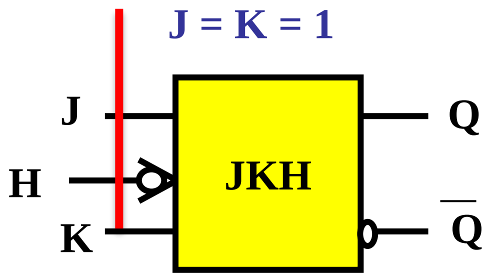


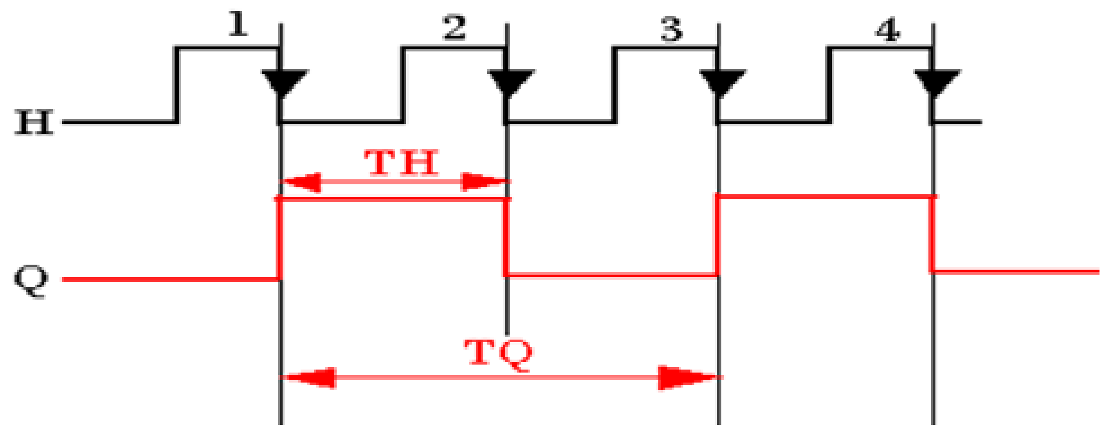
Chapitre VI : Les circuits séquentiels

■ Bascules trigger

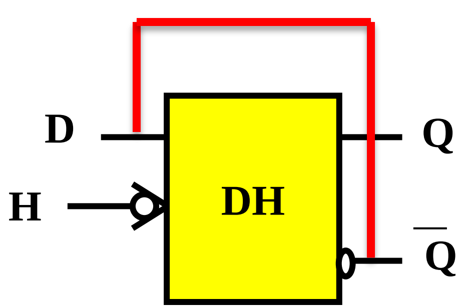
Une bascule trigger ou bistable est une bascule dont la sortie commute à chaque front du signal d'horloge.

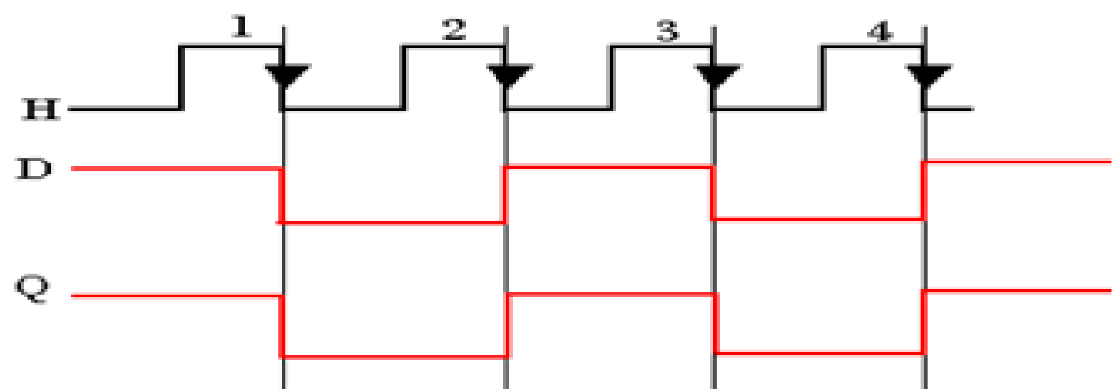
1°) bascule JK montée en trigger





2°) bascule D montée en trigger



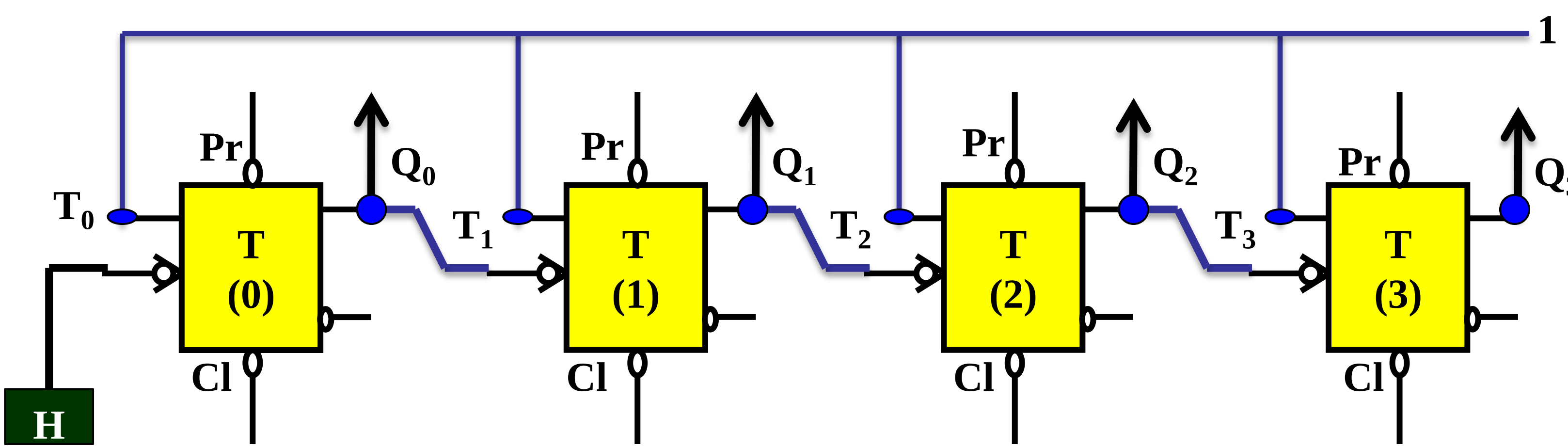


Chapitre VI : Les circuits séquentiels

■ Les compteurs asynchrones à <u>cycle régulier</u>

a°) $N = 2^n$: compteurs asynchrones à cycle de comptage complet.

Exemple n°1 :

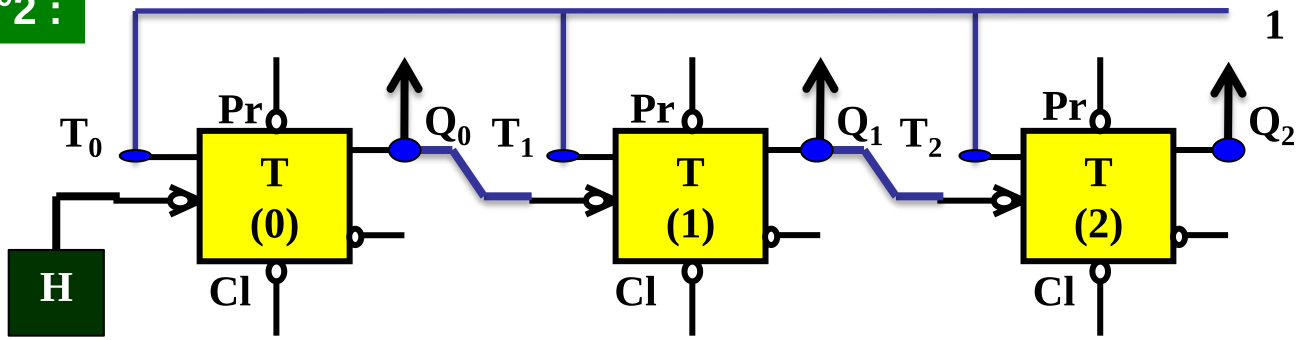


Compteur asynchrone modulo 16 : ➔ $16 = 2^4$ ➔ 4 bascules TH

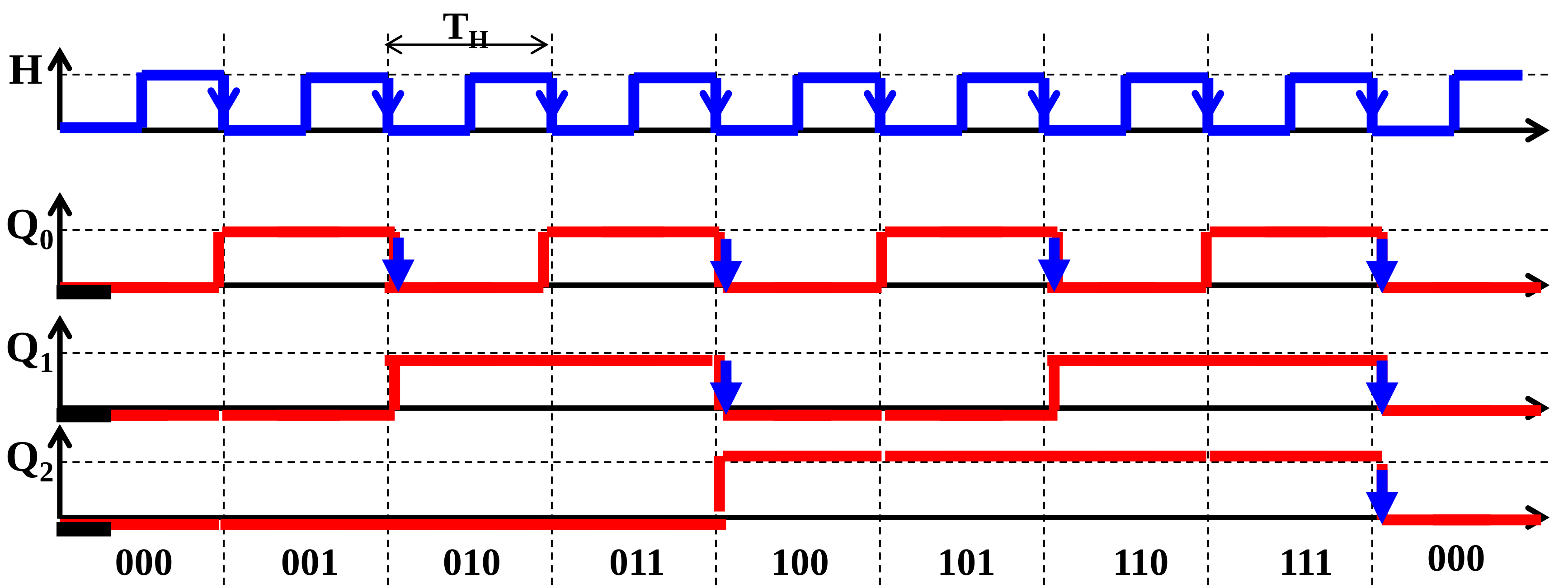
Chapitre VI : Les circuits séquentiels

Exemple n°2 :

1er cas :

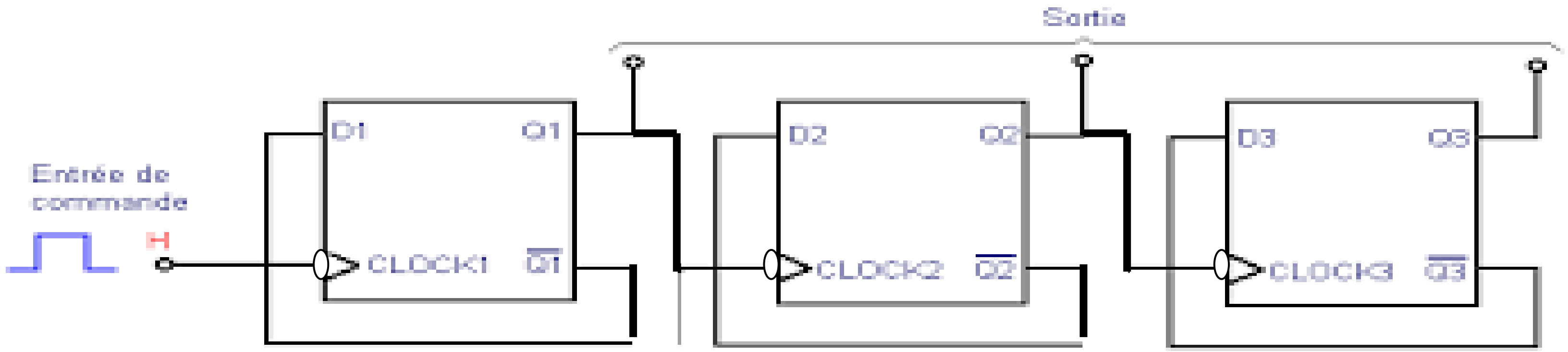


Compteur asynchrone modulo 8 : ➔ 8 = 2^3 ➔ 3 bascules TH

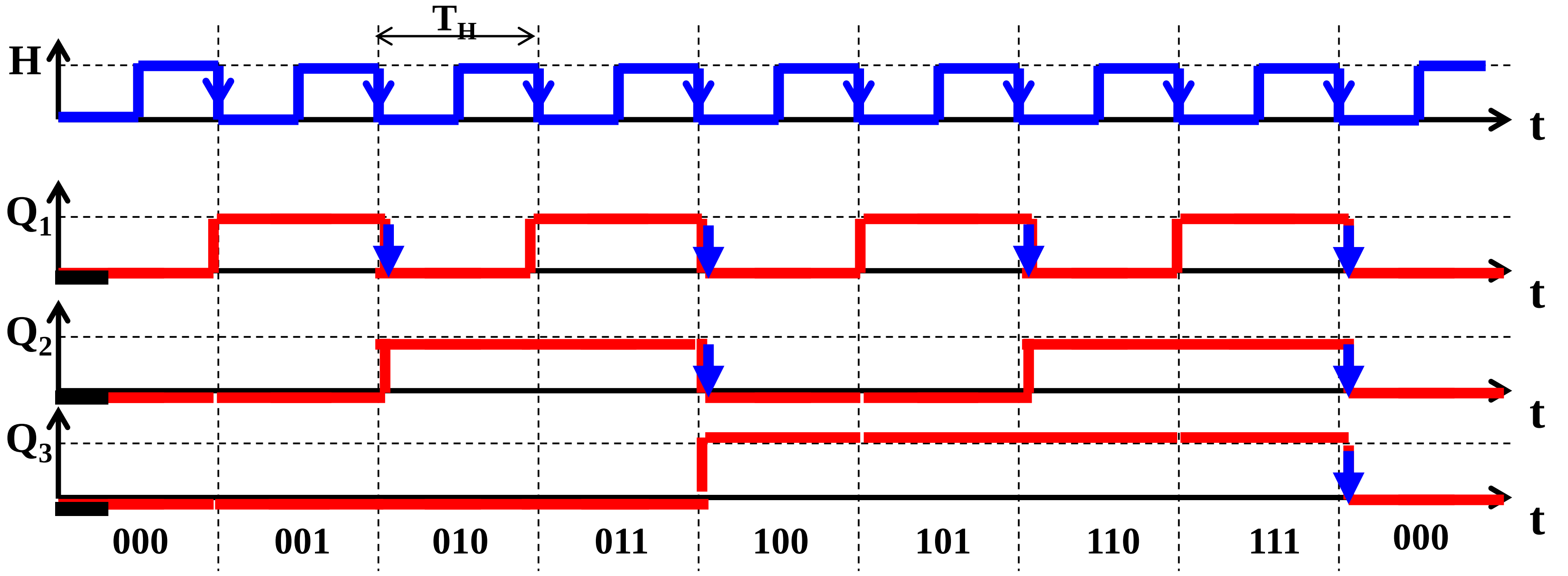


Chapitre VI : Les circuits séquentiels

2



Compteur asynchrone modulo 8 : ➔ 8 = 2^3 ➔ 3 bascules DH



Chapitre VI : Les circuits séquentiels

■ Les compteurs asynchrones à cycle régulier

b°) N < 2^n : compteurs asynchrones à cycle de comptage incomplet.

► **Nous avons vu jusqu'ici les compteurs de modulo égal 2^n.**

► **Il est possible de modifier ces compteurs pour obtenir des compteurs de modulo inférieur 2^n.**

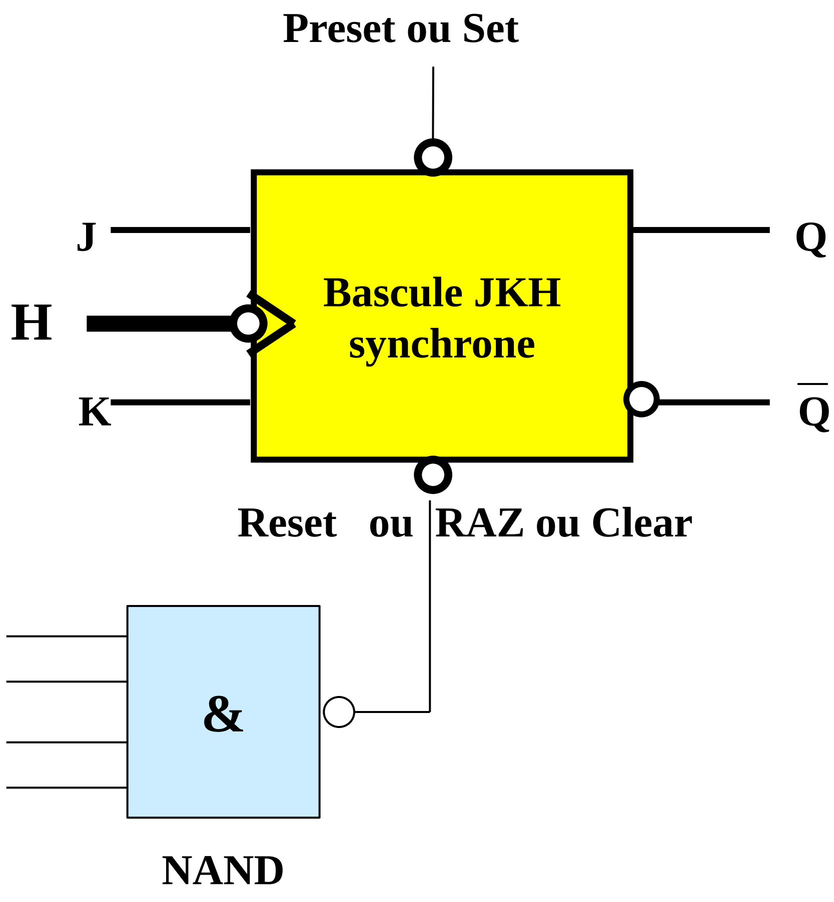
► **La principe consiste à connecter la sortie d'une porte "NON- ET" (pour les bascules dont la remise à zéro est active au niveau bas) aux entrées « Clear » ou « RAZ » de chaque bascule.**

► **lorsque la combinaison correspondant au modulo du compteur est atteinte, on relie les entrées de la porte "NON- ET" aux sorties des bascules ayant, le niveau logique "1".**

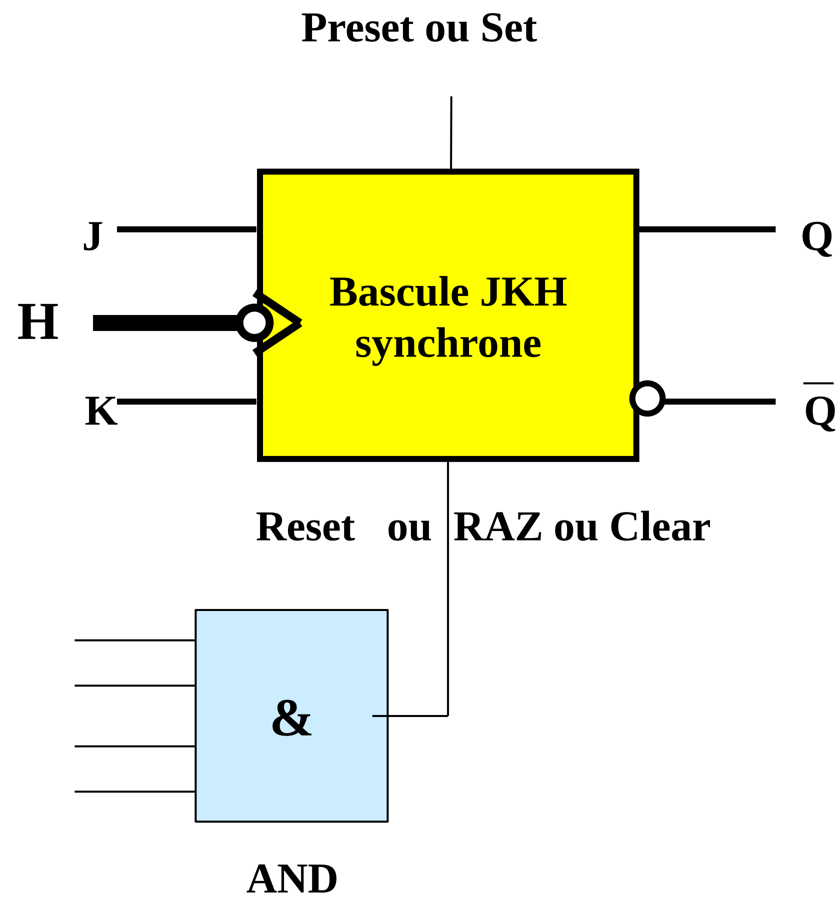
► **Lorsque la sortie de la porte "NON- ET" devient zéro les entrées RAZ sont activées, les sorties des bascules sont ramenées à zéro et le compteur se remet immédiatement à compter à partir de zéro.**

► **Pour les bascules donc la RAZ est active au niveau haut utilisez la porte "ET" au lieu de la porte "NON-ET"**

Bascule donc la RAZ est active au niveau bas



Bascule donc la RAZ est active au niveau haut



► Ainsi, pour $2^{n-1} < n < 2^n$, on réalise un compteur modulo 2^n (avec n bascules), puis on raccourcit le cycle en jouant sur les entrées « Clear » des bascules.

Exemple :

► Pour un modulo 3 : $2^1 < 3 < 2^2$ ➔ il faut 2 bascules

► Pour un modulo 7 : $2^2 < 7 < 2^3$ ➔ il faut 3 bascules

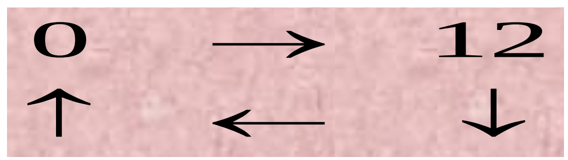
► Pour un modulo 10 : $2^3 < 3 < 2^4$ ➔ il faut 4 bascules

Un certain nombre d'états ne seront jamais utilisés.

Exemple n °1 :

► Réalisation d'un compteur modulo 13 avec des bascules JK déclenchés sur front descendant de l'horloge.

► Le compteur modulo 13 compte de 0000 à 1100 (de 0 à 12).



► On a : $2^3 < 13 < 2^4$, on réalise donc un compteur modulo 16, et on ramène le compteur à 0000 quand les sorties des bascules indiquent 1101.

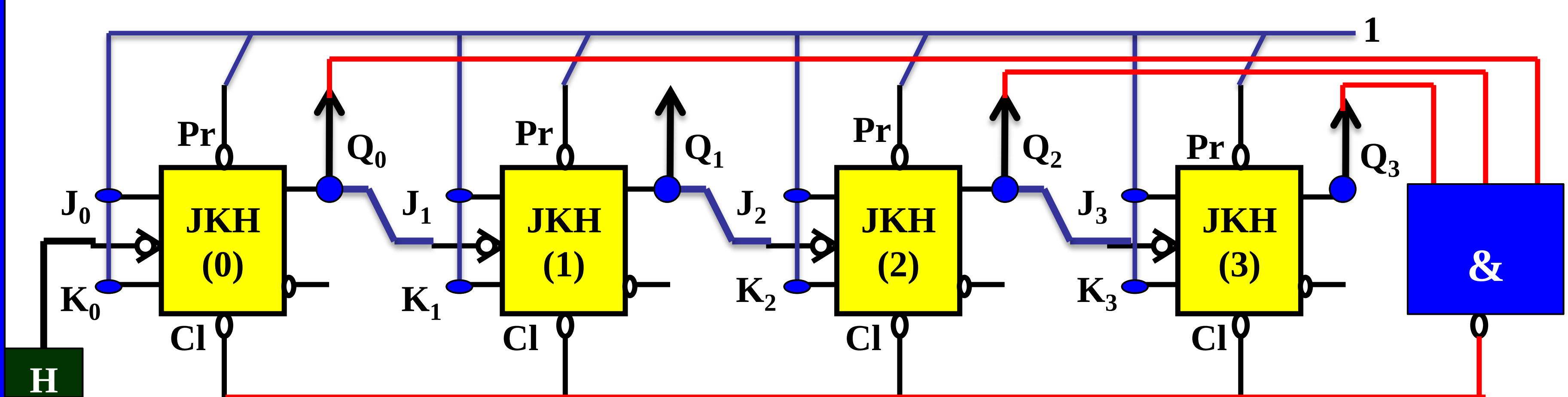
► L'état $Q_3\ Q_2\ Q_1\ Q_0$ = 1 1 0 1 est un état temporaire. Il n'existe que pendant une durée très courte.

► C'est un état indésirable que l'on nomme parfois « glitch ».

Chapitre VI : Les circuits séquentiels

1er cas : réalisation avec des bascules JKH

Combinaison	Q_3 Q_2 Q_1 Q_0	forçage à zéro de toutes les JKH par	Q_3 Q_2 Q_1 Q_0
13	1 1 0 1	Pr = 1 et Cl = 0	0 0 0 0

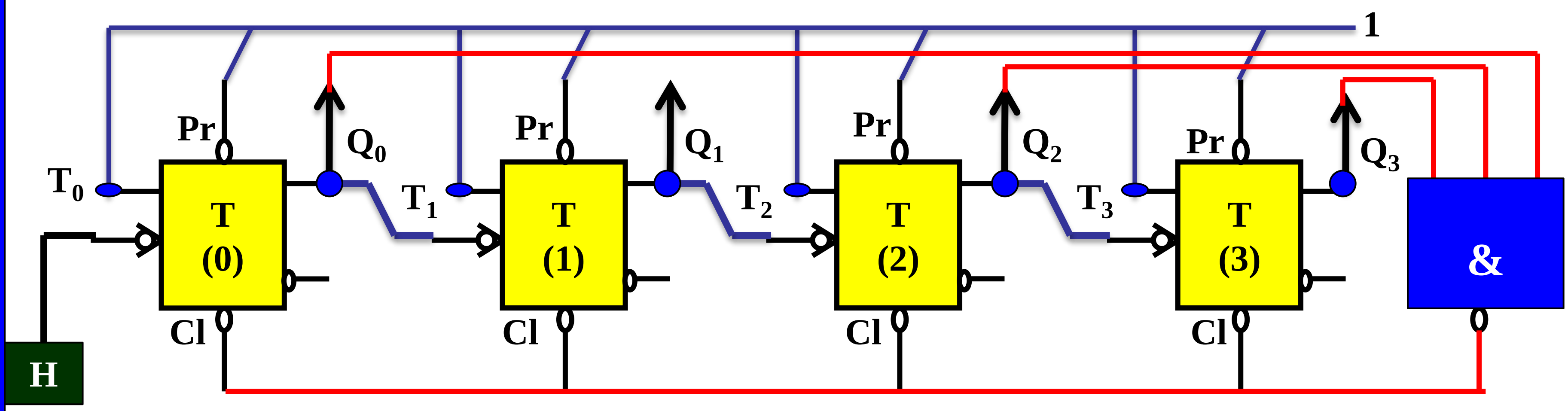


Compteur asynchrone modulo 13 : ➔ $2^3 < 13 < 2^4$ ➔ 4 bascules JKH

Chapitre VI : Les circuits séquentiels

2ème cas : réalisation avec des bascules TH

Combinaison	Q_3	Q_2	Q_1	Q_0	forçage à zéro de toutes les TH par	Q_3	Q_2	Q_1	Q_0
13	1	1	0	1	Pr = 1 et Cl = 0	0	0	0	0



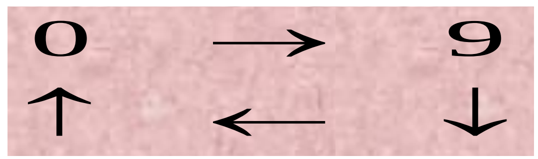
Compteur asynchrone modulo 13 : ➔ $2^3 < 13 < 2^4$ ➔ 4 bascules TH

Chapitre VI : Les circuits séquentiels

Exemple n°2 :

► **Réalisation d'un compteur modulo 10 avec des bascules JK déclenchés sur front descendant de l'horloge.**

► **Le compteur modulo 10 compte de 0000 à 1001 (de 0 à 9).**



► **On a : $2^3 < 13 < 2^4$, on réalise donc un compteur modulo 16, et on ramène le compteur à 0000 quand les sorties des bascules indiquent 1010.**

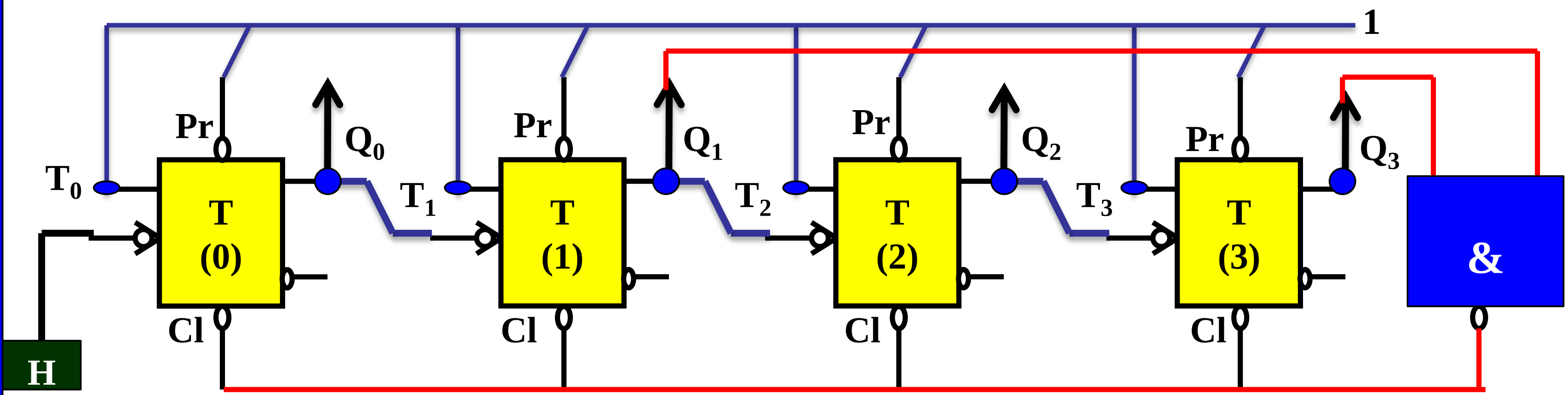
► **L'état $Q_3\ Q_2\ Q_1\ Q_0$ = 1 0 1 0 est un état temporaire. Il n'existe que pendant une durée très courte.**

► **C'est un état indésirable que l'on nomme parfois 'glitch'.**

Chapitre VI : Les circuits séquentiels

1er cas : réalisation avec des bascules TH

Combinaison	Q_3	Q_2	Q_1	Q_0	forçage à zéro de toutes les TH par	Q_3	Q_2	Q_1	Q_0
10	1	0	1	0	Pr = 1 et Cl = 0	0	0	0	0

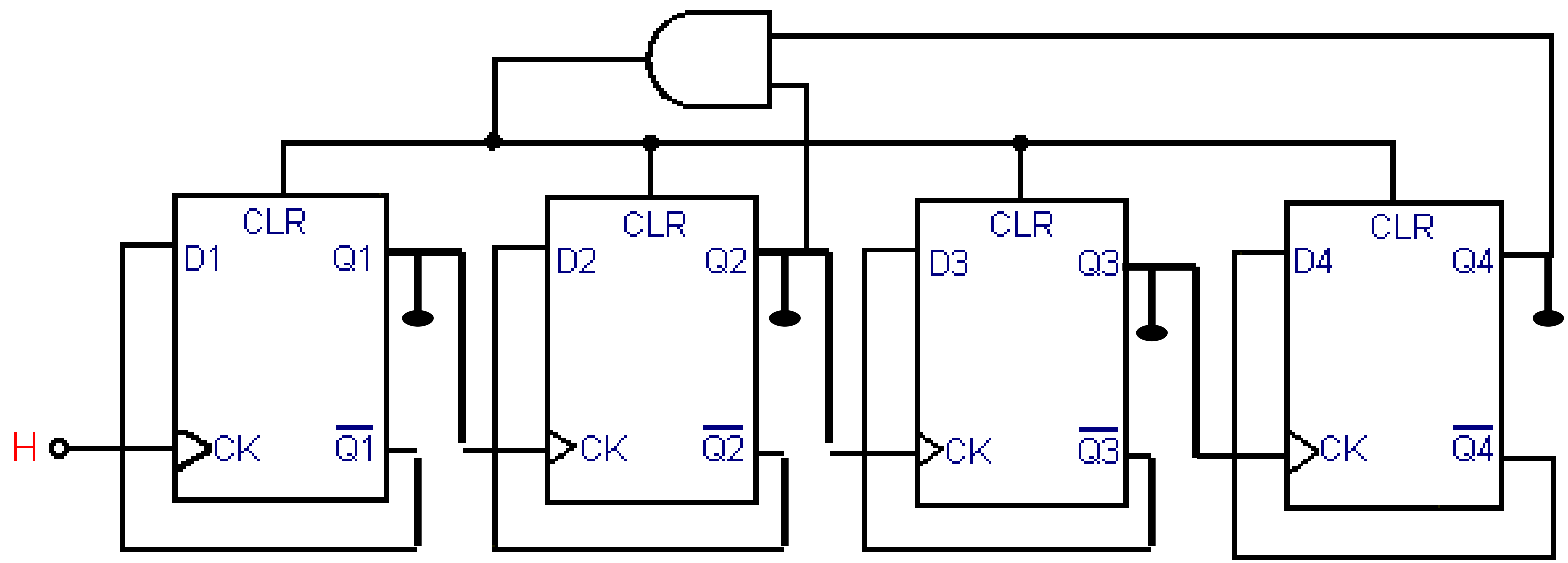


Compteur asynchrone modulo 10 : ➔ $2^3 < 10 < 2^4$ ➔ 4 bascules TH

Chapitre VI : Les circuits séquentiels

2ème cas : réalisation avec des bascules DH

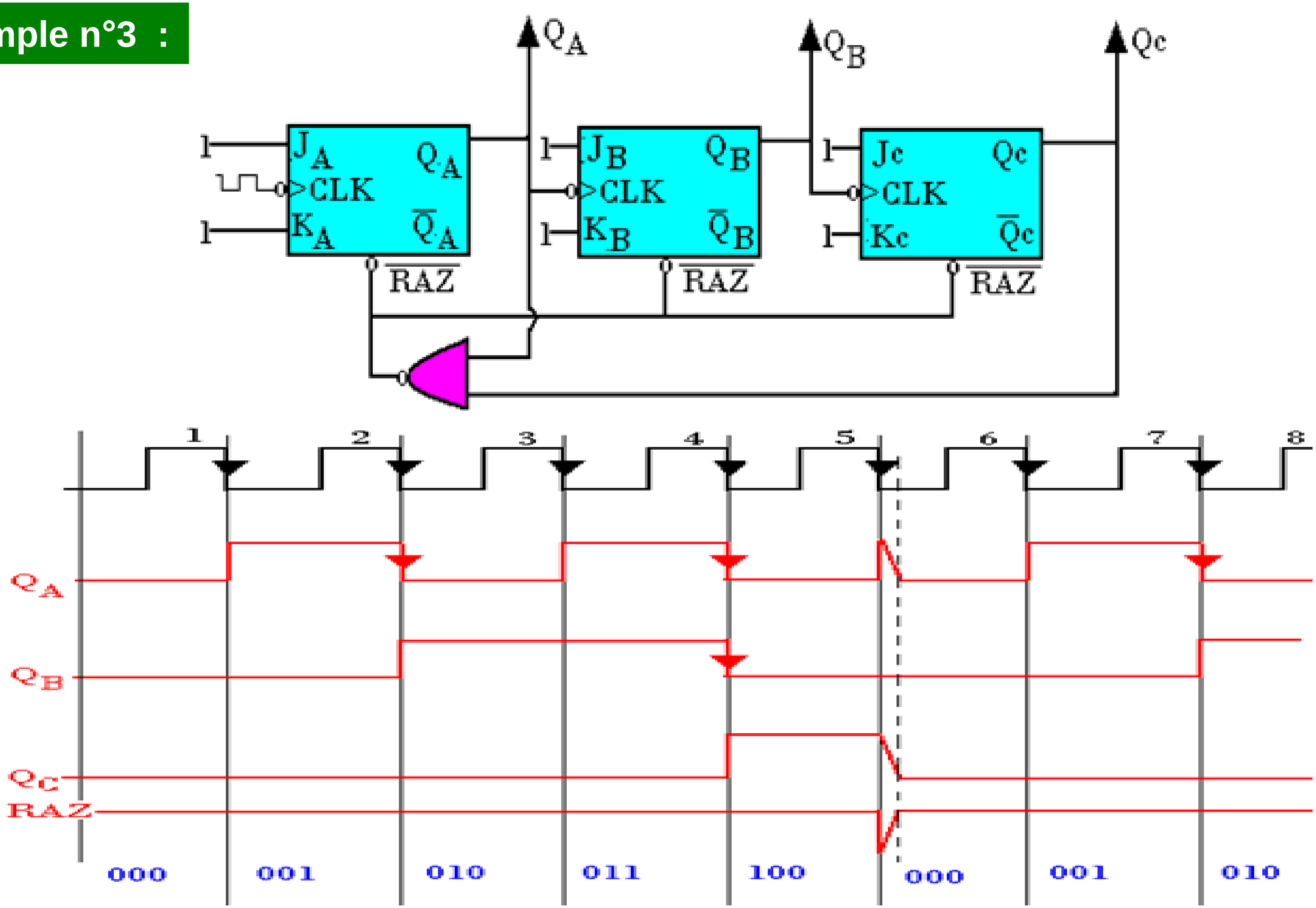
Combinaison	Q_4 Q_3 Q_2 Q_1	forçage à zéro de toutes les DH par	Q_3 Q_2 Q_1 Q_0
10	1 0 1 0	Pr = 0 et Cl = 1	0 0 0 0



Compteur asynchrone modulo 10 : ➔ $2^3 < 10 < 2^4$ ➔ 4 bascules DH

Chapitre VI : Les circuits séquentiels

Exemple n°3 :



Compteur asynchrone modulo 5 : ➔ $2^2 < 5 < 2^3$ ➔ 3 bascules JKH

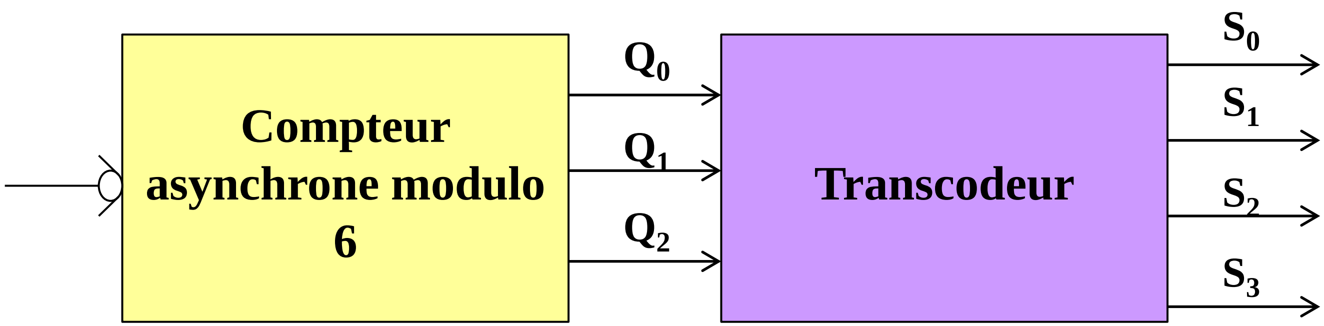
Chapitre VI : Les circuits séquentiels

■ Les compteurs asynchrones à <u>cycle non régulier</u> (ou dans un ordre quelconque).

► On réalise d'abord un compteur de même modulo, ensuite on transcode ses sorties pour obtenir le cycle demandé.

Exemple :

► Réalisation d'un compteur ayant pour cycle : 2, 5, 6, 8, 10, 13.



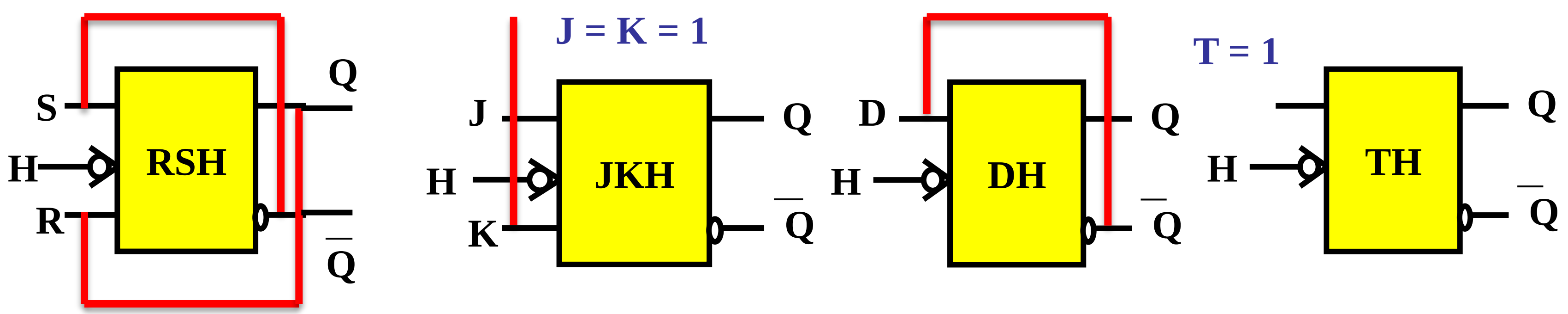
N°	Q_2	Q_1	Q_0	Transition	N°	S_3	S_2	S_1	S_0
0	0	0	0	→	2	0	0	1	0
1	0	0	1	→	5	0	1	0	1
2	0	1	0	→	6	0	1	1	0
3	0	1	1	→	8	1	0	0	0
4	1	0	0	→	10	1	0	1	0
5	1	0	1	→	13	1	1	1	0

Chapitre VI : Les circuits séquentiels

3°) Les décompteurs asynchrones (ou décompteurs séries)

► Le câblage d'un décompteur asynchrone se fait de la manière suivante :

- Les bascules ci-dessous doivent réagir au front descendant et doivent être montées en trigger.
- Le signal d'horloge est appliqué à la première bascule.
- La sortie complémentée de chaque bascule est appliquée à l'entrée d'horloge de la bascule suivante.
- Les sorties des bascules constituent directement les sorties du décompteur.



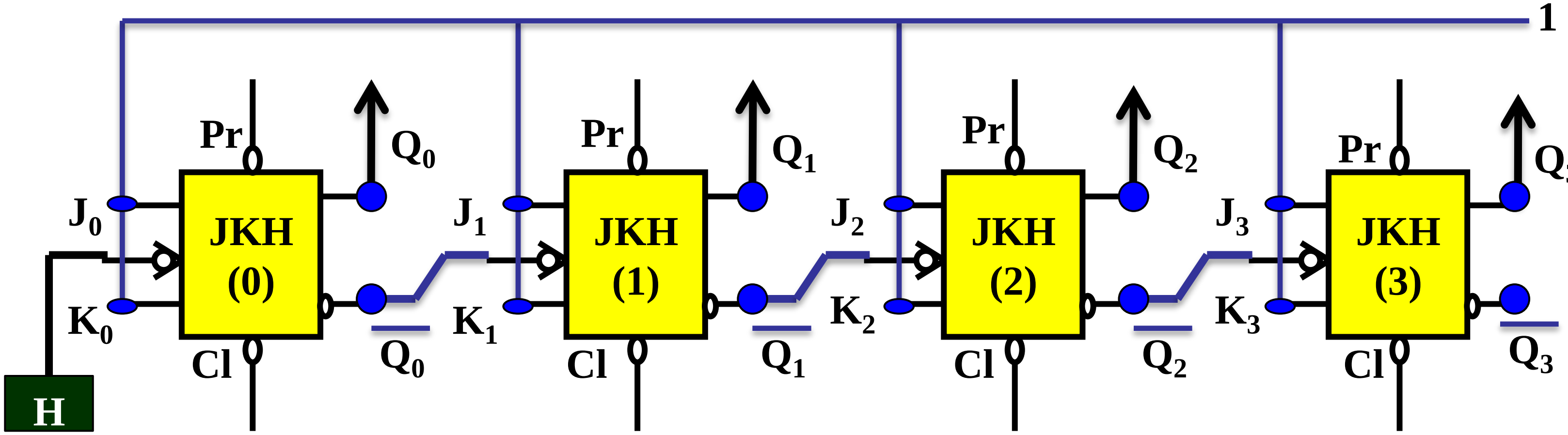
Chapitre VI : Les circuits séquentiels

■ Les décompteurs asynchrones à <u>cycle régulier</u>

a°) $N = 2^n$: compteurs asynchrones à cycle de comptage complet.

Cas n°1 :

Les sorties du décompteur sont les Q_i
Les horloges à partir de la deuxième sont les $\overline{Q_i}$



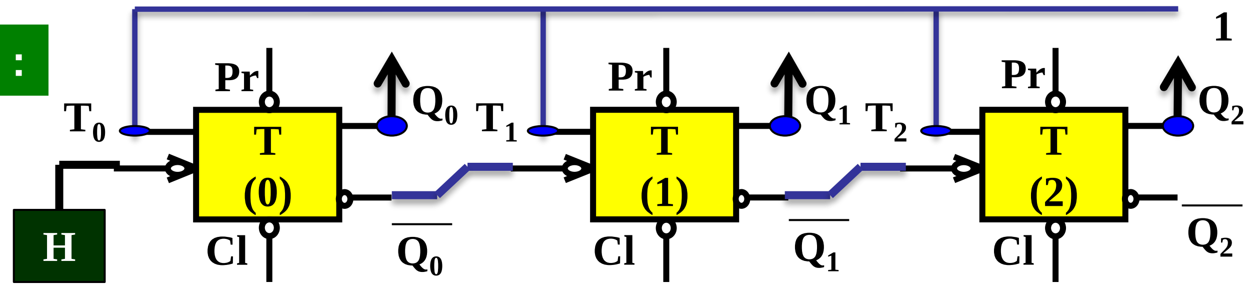
Décompteur asynchrone modulo 16 : ➔ $16 = 2^4$ ➔ 4 bascules JKH

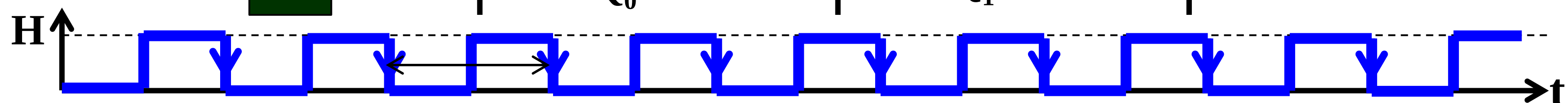
15 ⟶ 0
↑ ⟵ ↓

Chapitre VI : Les circuits séquentiels

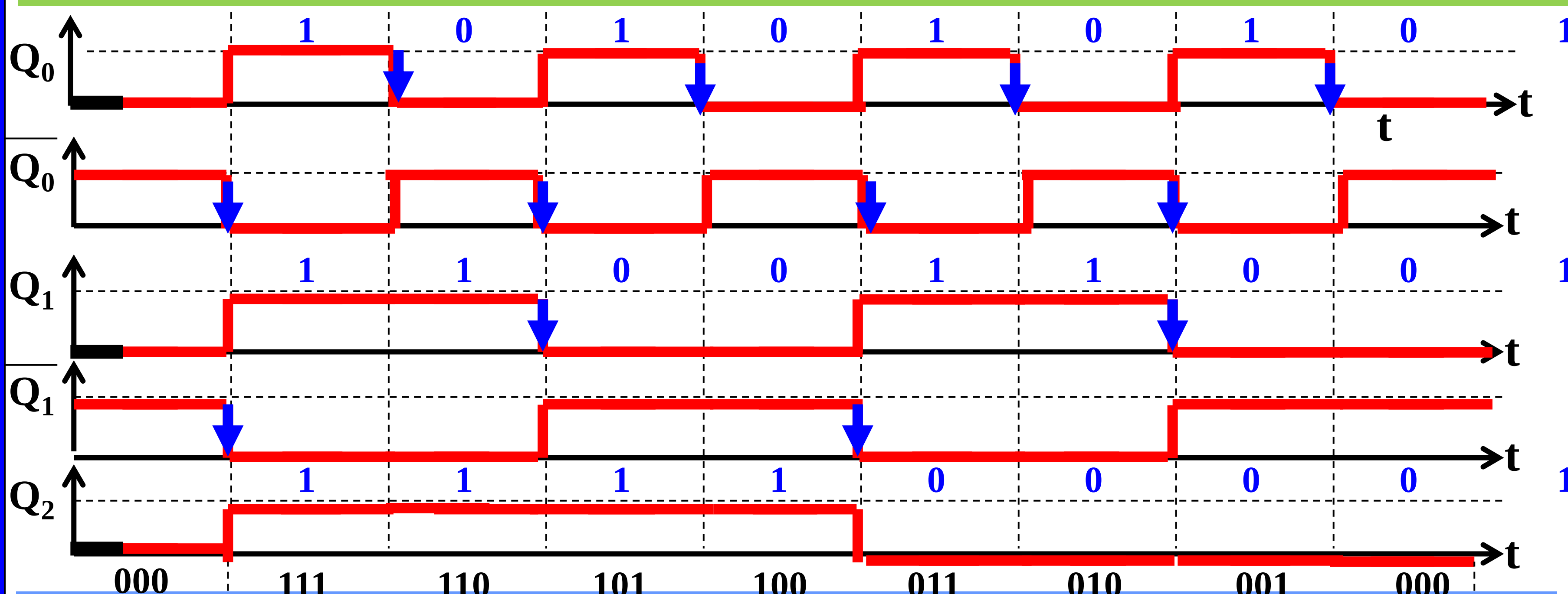
Décompteur asynchrone modulo 8 : ➔ 8 = 2^3 ➔ 3 bascules TH

Exemple n°1 :





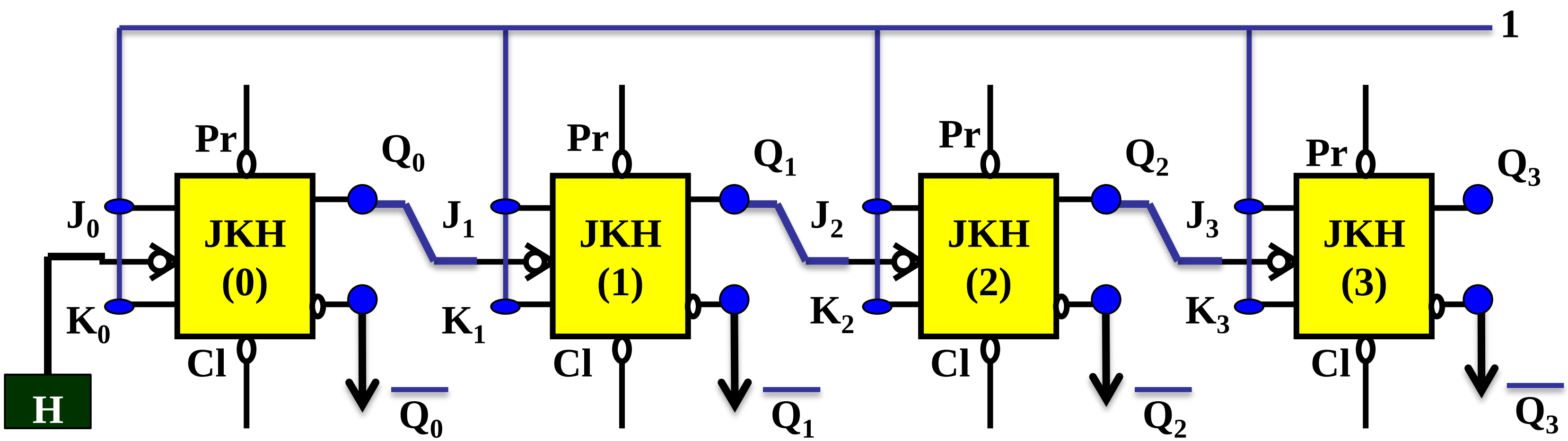
La première se déclenche sur le front ↓ de H et les suivantes sur les fronts ↓ des (Qi barre) qui correspondent aux front ↑ des Qi



Chapitre VI : Les circuits séquentiels

Cas n°2 :

Les sorties du décompteur sont les $\overline{Q_i}$
Les horloges à partir de la deuxième sont les Q_i



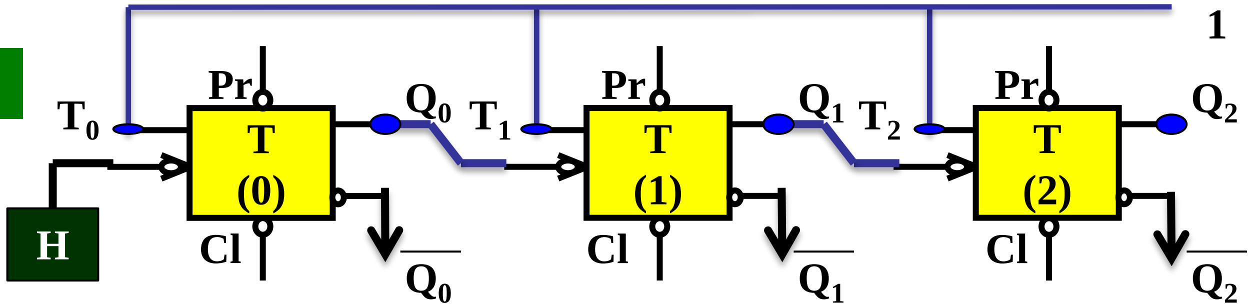
Décompteur asynchrone modulo 16 : ➔ 16 = 2^4 ➔ 4 bascules JKH

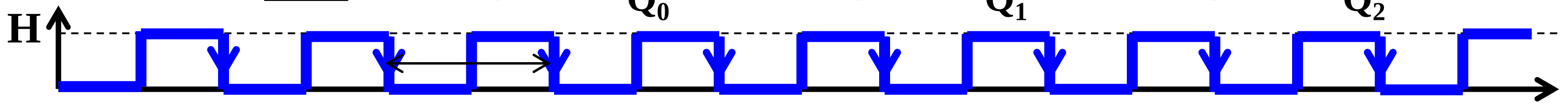
$$\begin{array}{ccc} 15 & \longrightarrow & 0 \\ \uparrow & \longleftarrow & \downarrow \end{array}$$

Chapitre VI : Les circuits séquentiels

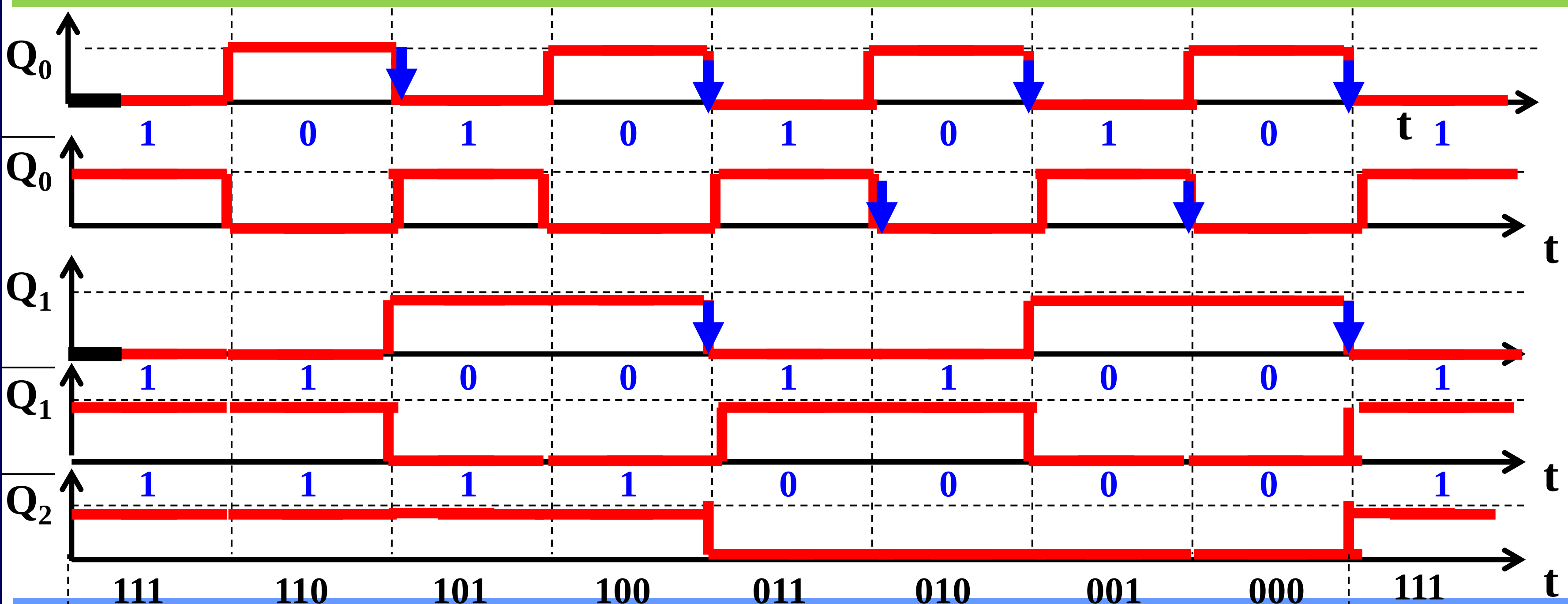
Décompteur asynchrone modulo 8 : ➔ $8 = 2^3$ ➔ 3 bascules TH

Exemple n°2 :





La première se déclenche sur le front ↓ de H et les suivantes sur les fronts ↓ des (Qi) qui correspondent aux front ↑ des (Qi barre)



Chapitre VI : Les circuits séquentiels

Réalisation d'un décompteur asynchrone : Résumé

► Il suffit en pratique de faire un compteur binaire et de sortir non sur les Q mais sur les sorties complémentaires $\overline{Q}$.

► En effet :

N	Q3	Q2	Q1	$\overline{Q3}$	$\overline{Q2}$	$\overline{Q1}$	
0	0	0	0	1	1	1	7
1	0	0	1	1	1	0	6
2	0	1	0	1	0	1	5
3	0	1	1	1	0	0	4
4	1	0	0	0	1	1	3
5	1	0	1	0	1	0	2
6	1	1	0	0	0	1	1
7	1	1	1	0	0	0	0

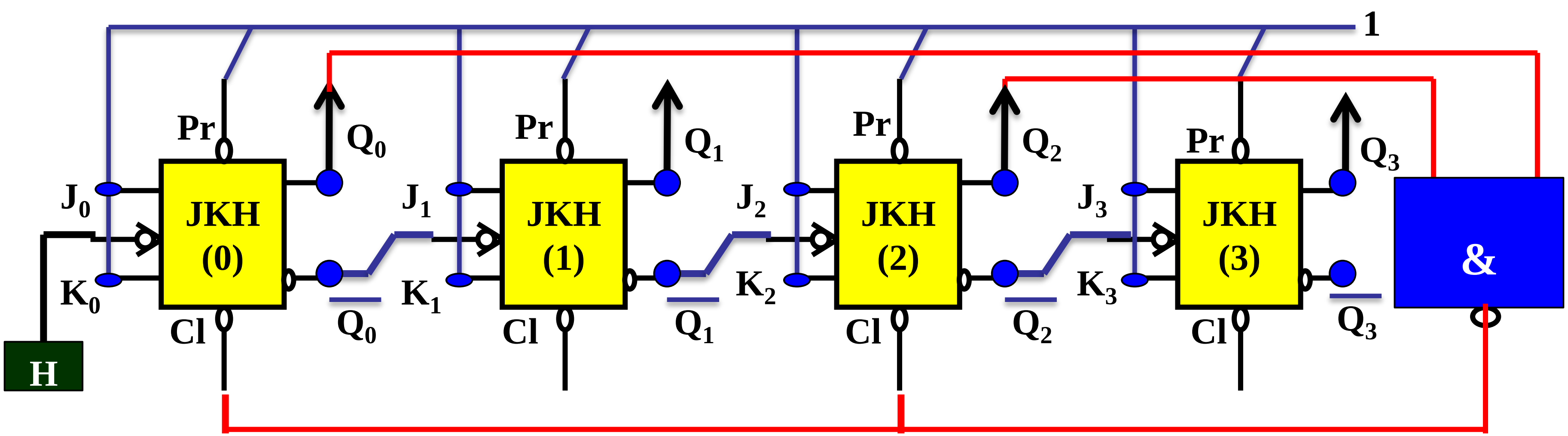
Chapitre VI : Les circuits séquentiels

■ Les décompteurs asynchrones à cycle régulier

b°) $N < 2^n$: décompteurs asynchrones à cycle de comptage incomplet.

Exemple n°1 :

Combinaison	Q_3	Q_2	Q_1	Q_0	forçage à zéro de JKH (0) et JKH (2) par	Combinaison	Q_3	Q_2	Q_1	Q_0
15	1	1	1	1	Pr = 1 et Cl = 0	10	1	0	1	0

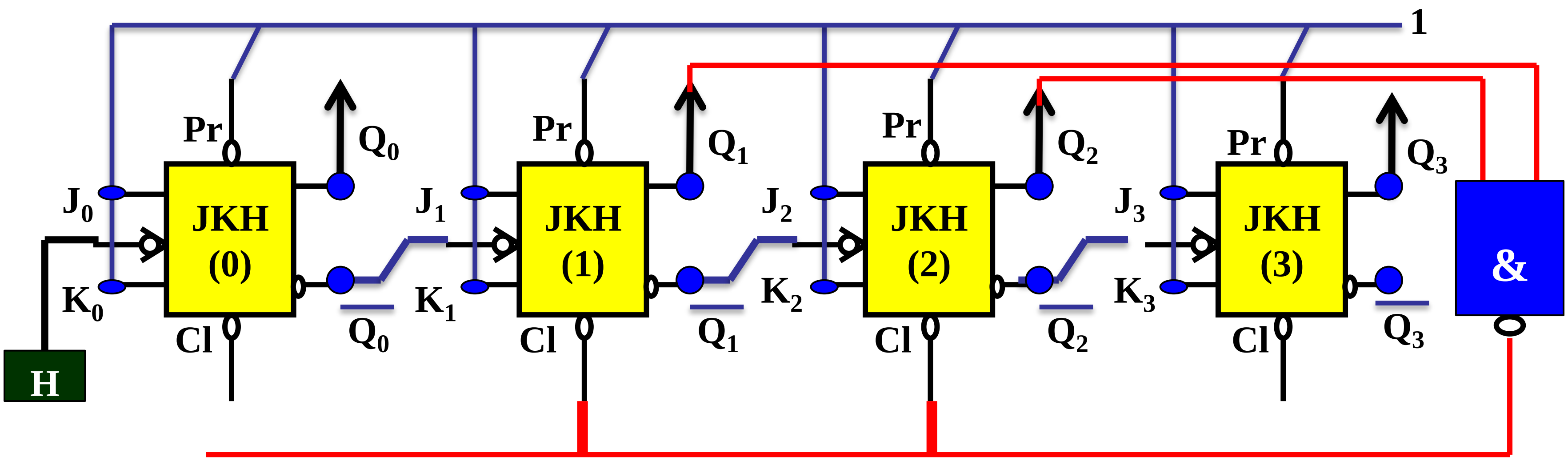


Décompteur modulo 11 : $2^3 < 11 < 2^4$ ➔ 4 bascules JKH

Chapitre VI : Les circuits séquentiels

Exemple n°2 :

Combinaison	Q_3	Q_2	Q_1	Q_0	forçage à zéro de JKH (1) et JKH (2) par	Combinaison	Q_3	Q_2	Q_1	Q_0
15	1	1	1	1	Pr = 1 et Cl = 0	9	1	0	0	1



Décompteur modulo 10 : $2^3 < 10 < 2^4$ ➔ 4 bascules JKH

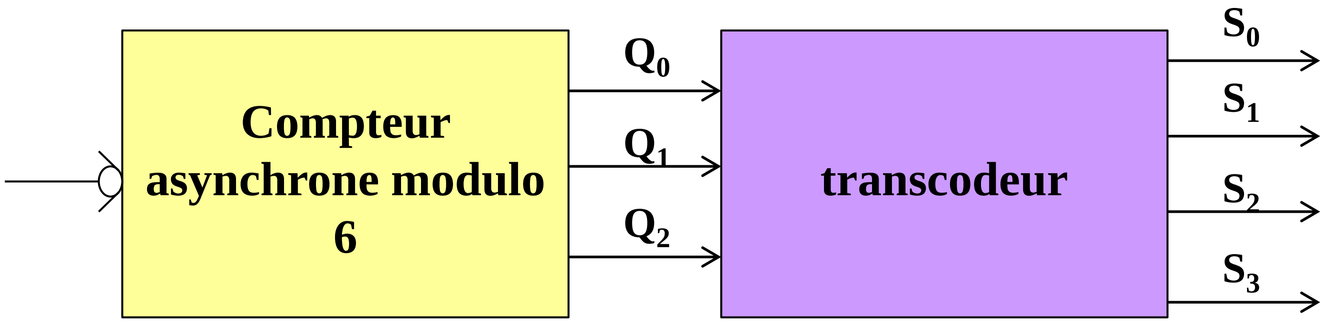
Chapitre VI : Les circuits séquentiels

■ Les décompteurs asynchrones à cycle régulier (ou dans un ordre quelconque)

► **On réalise d'abord un compteur de même modulo, ensuite on transcode ses sorties pour obtenir le cycle demandé.**

Exemple :

► **Réalisation d'un décompteur ayant pour cycle : 13, 10, 8, 6, 5, 2.**

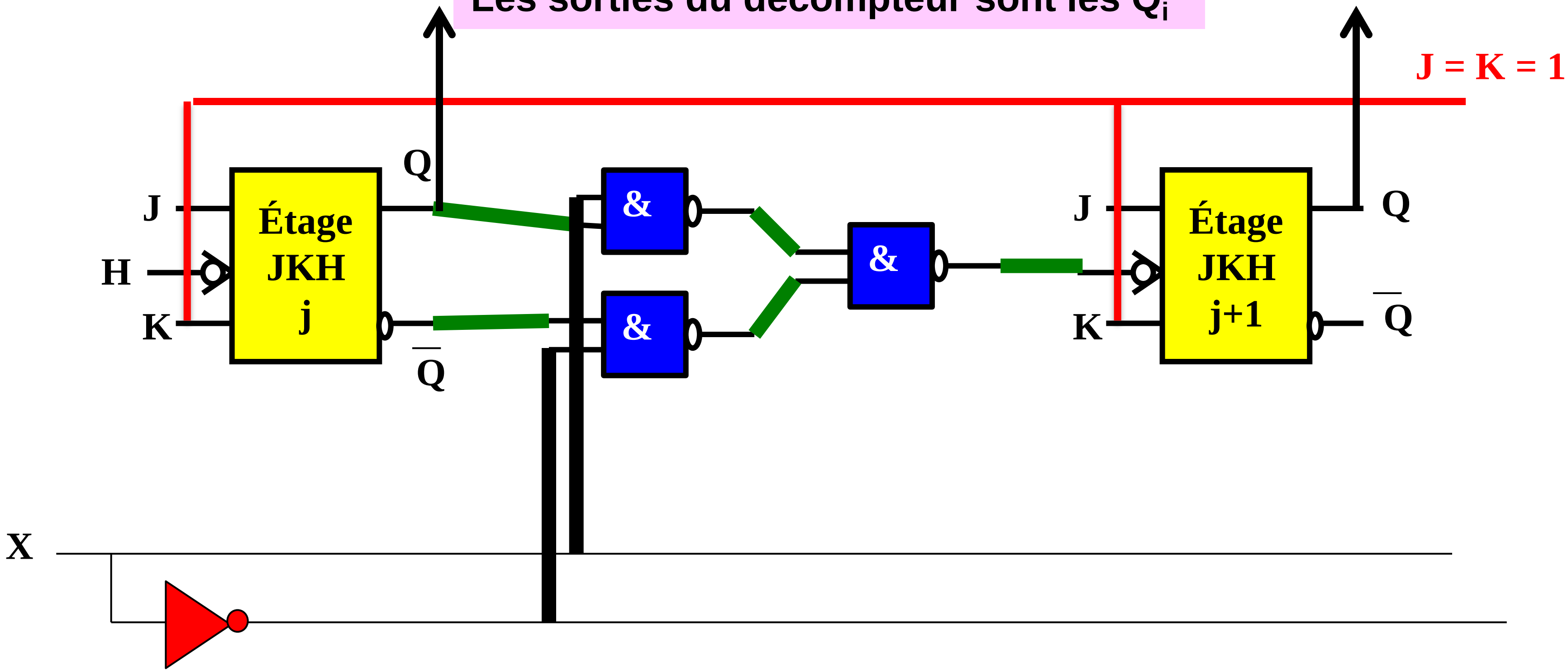


N°	Q_2	Q_1	Q_0	Transition	N°	S_3	S_2	S_1	S_0
0	0	0	0	→	13	1	1	1	0
1	0	0	1	→	10	1	0	1	0
2	0	1	0	→	8	1	0	0	0
3	0	1	1	→	6	0	1	1	0
4	1	0	0	→	5	0	1	0	1
5	1	0	1	→	2	0	0	1	0

Chapitre VI : Les circuits séquentiels

4°) Les compteurs asynchrones réversibles ou (compteurs - décompteurs asynchrones)

Les sorties du décompteur sont les Q_i



X = 1 : compteur ➔ Horloge : Q_i

X = 0 : décompteur ➔ Horloge : $\overline{Q_i}$

Chapitre VI : Les circuits séquentiels

5°) Inconvénients des compteurs / décompteurs asynchrones

► Comme chaque bascule a un temps de réponse, le signal d'horloge ne parvient pas simultanément sur toute les bascules.

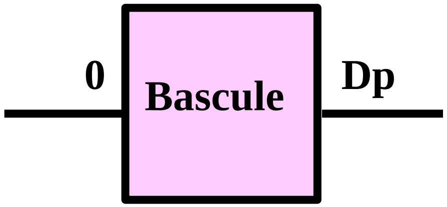
► Ceci a pour conséquence de provoquer des états transitoires qui peuvent être indésirables.

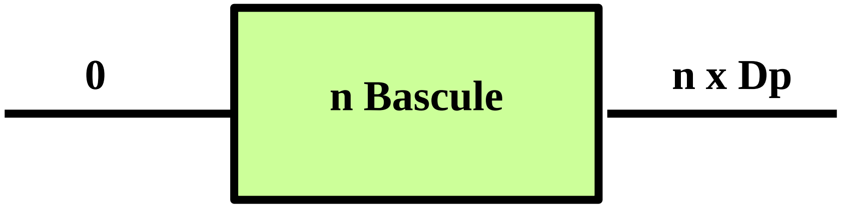
► Supposons le même temps de réponse Dp pour toutes les bascules.

► Considérons la chronologie de passage d'un compteur asynchrone 4 bits de 0111 à 1000. Passage de 7_{10} à 8_{10}

► Nous constatons que le compteur passe par les états transitoires 6 4 et 0 qui sont faux.

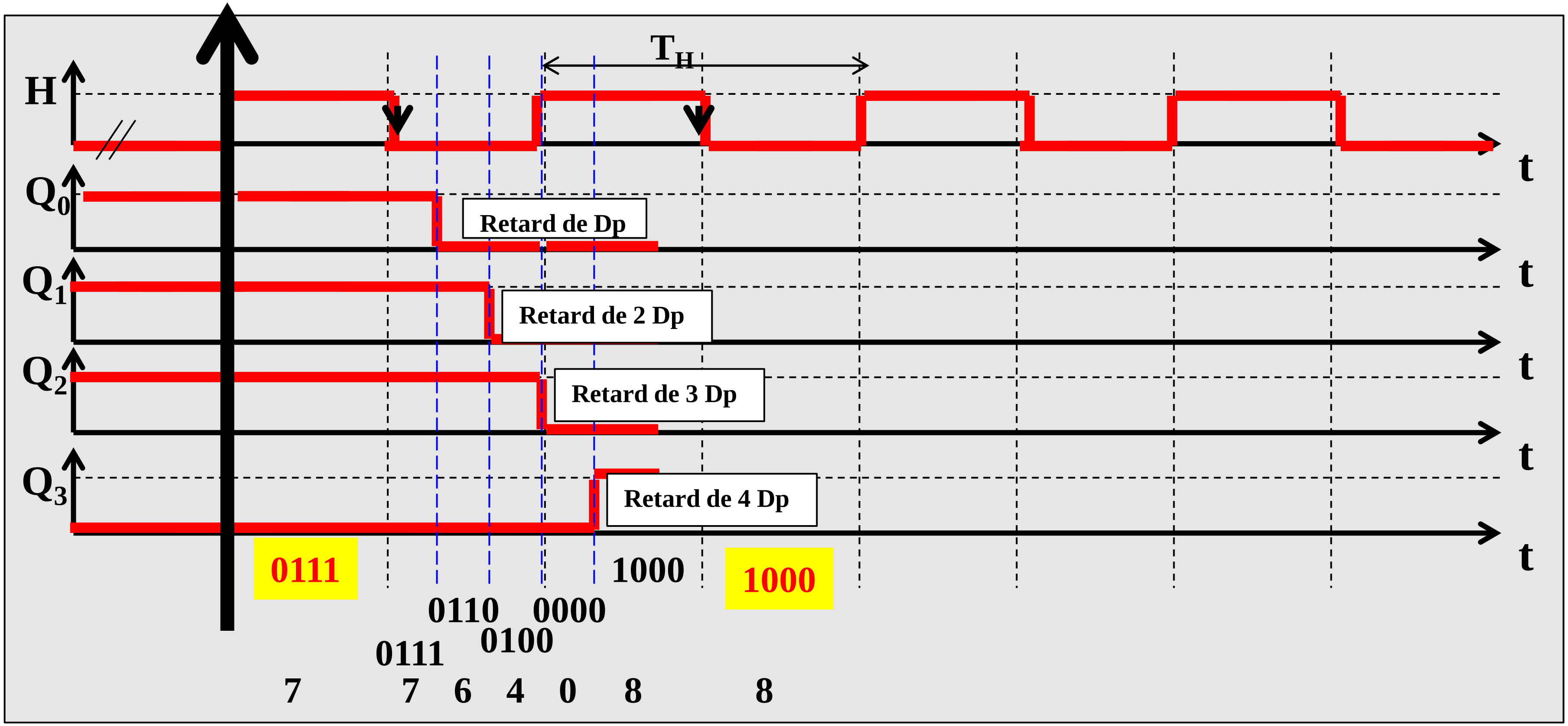
► Ceci est un inconvénient rédhibitoire à chaque fois que le compteur est exploité par des organes rapides

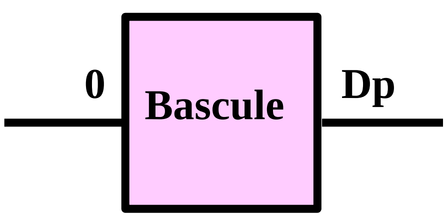


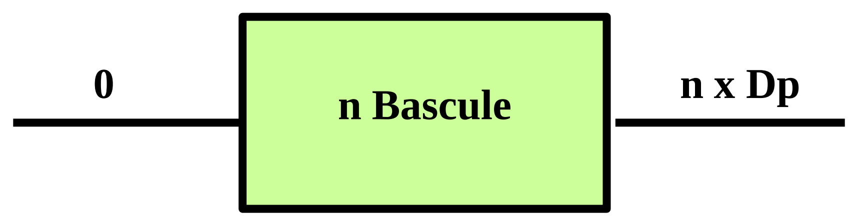


Chapitre VI : Les circuits séquentiels

Exemple n°1 : transition $7_{10} \rightarrow 8_{10}$







Chapitre VI : Les circuits séquentiels

► **Chaque bascule introduit un retard Dp de l'ordre de 25 ns.**

► **Chaque bascule est déclenchée par la transition de la précédente, les retards s'additionnent : à la nième bascule, on a un retard de n × Dp.**

► **Ainsi, la fréquence maximum de fonctionnement F_H d'un compteur modulo n dépend du nombre de bascules et donc du modulo du compteur :**

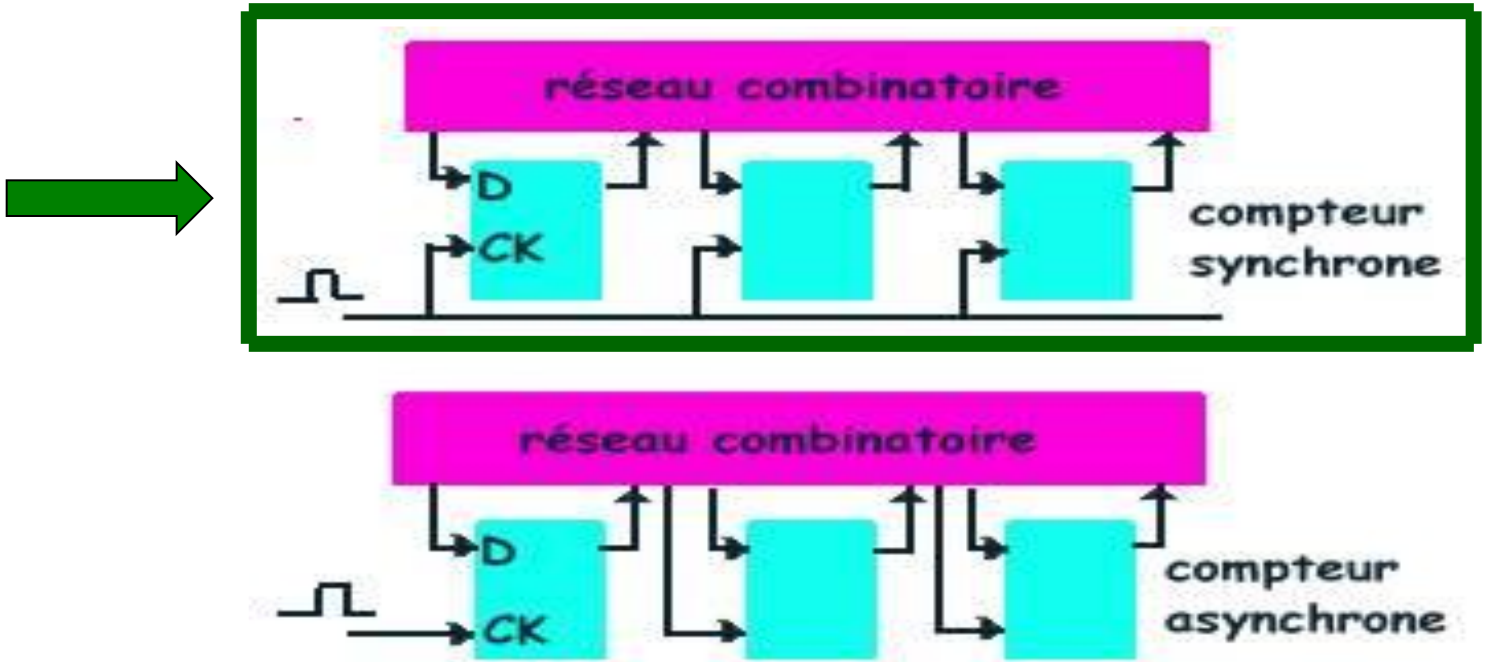
$$F_H = \frac{1}{2 \cdot n \cdot D_p} \qquad D_p : \textit{délai de propagation}$$

► **L'accumulation des retards des bascules implique une utilisation du compteur (ou décompteur) limitée en fréquence.**

$$plus \quad n\uparrow \quad \Rightarrow \quad plus \quad F_H \downarrow$$

► **Les retards de commutation implique un problème d'interface avec des circuits rapides (temps de lecture inférieur au retard entre plusieurs bits).**

B. Les compteurs / décompteurs synchrones



Chapitre VI : Les circuits séquentiels

1°) Table de transition des bascules

2°) Les compteurs synchrones (ou compteurs parallèles)

3°) Les décompteurs synchrones (ou décompteurs parallèles)

4°) Les compteurs synchrones réversibles (ou compteurs-décompteurs synchrones)

5°) Les compteurs/décompteurs intégrés

Chapitre VI : Les circuits séquentiels

1°) Table de transition des bascules

► Cette table indique quelles sont les entrées à imposer à une bascule pour obtenir une variation (ou transition) donnée de la sortie.

► Elle sera utile pour comprendre et réaliser certains compteurs, notamment les compteurs synchrones.

Transition désirée	Commande à appliquer pour la RSH		Commande à appliquer pour la JKH		Commande à appliquer pour la DH	Commande à appliquer pour la TH
$Q_t \rightarrow Q_{t+1}$	S	R	J	K	D	T
0 → 0	0	x	0	x	0	0
0 → 1	1	0	1	x	1	1
1 → 0	0	1	x	1	0	1
1 → 1	x	0	x	0	1	0

Chapitre VI : Les circuits séquentiels

Principe de construction : Bascules RS, JK, D et T.

S	R	Q_t		Q_{t+1}	$\overline{Q_{t+1}}$	Etat de la sortie
0	0	0		0	1	Mémoire
0	0	1		1	0	Mémoire
0	1	0		0	1	Mise à 0
0	1	1		0	1	Mise à 0
1	0	0		1	0	Mise à 1
1	0	1		1	0	Mise à 1
1	1	0		x	x	interdit
1	1	1		x	x	Interdit

J	K	Q_t		Q_{t+1}	$\overline{Q_{t+1}}$	Etat de la sortie
0	0	0		0	1	Mémoire
0	0	1		1	0	Mémoire
0	1	0		0	1	Mise à 0
0	1	1		0	1	Mise à 0
1	0	0		1	0	Mise à 1
1	0	1		1	0	Mise à 1
1	1	0		1	0	Toggle
1	1	1		0	1	Toggle

D = S = $\overline{R}$ J = K = R	Q_t		Q_{t+1}	$\overline{Q_{t+1}}$	Etat de la sortie
0	0		0	1	Recopie 0
0	1		0	1	Recopie 0
1	0		1	0	Recopie 1
1	1		1	0	Recopie 1

J = K = T	Q_t		Q_{t+1}	$\overline{Q_{t+1}}$	Etat de la sortie
0	0		0	1	Mémoire
0	1		1	0	Mémoire
1	0		1	0	Toggle
1	1		0	1	Toggle

Chapitre VI : Les circuits séquentiels

Principe de construction : Bascules RS

S	R	Q_t		Q_{t+1}	$\overline{Q_{t+1}}$	Etat de la sortie
0	0	0		0	1	Mémoire
0	0	1		1	0	Mémoire
0	1	0		0	1	Mise à 0
0	1	1		0	1	Mise à 0
1	0	0		1	0	Mise à 1
1	0	1		1	0	Mise à 1
1	1	0		x	x	interdit
1	1	1		x	x	Interdit

Transition désirée	Commande à appliquer pour la RSH	
$Q_t \rightarrow Q_{t+1}$	S	R
$0 \rightarrow 0$	0	x
$0 \rightarrow 1$	1	0
$1 \rightarrow 0$	0	1
$1 \rightarrow 1$	x	0

Chapitre VI : Les circuits séquentiels

Principe de construction : Bascules JK

J	K	Q_t		Q_{t+1}	$\overline{Q_{t+1}}$	Etat de la sortie
0	0	0		0	1	Mémoire
0	0	1		1	0	Mémoire
0	1	0		0	1	Mise à 0
0	1	1		0	1	Mise à 0
1	0	0		1	0	Mise à 1
1	0	1		1	0	Mise à 1
1	1	0		1	0	Toggle
1	1	1		0	1	Toggle

Transition désirée	Commande à appliquer pour la JKH	
$Q_t \rightarrow Q_{t+1}$	J	K
$0 \rightarrow 0$	0	x
$0 \rightarrow 1$	1	x
$1 \rightarrow 0$	x	1
$1 \rightarrow 1$	x	0

Chapitre VI : Les circuits séquentiels

Principe de construction : Bascules D

$D = S = \overline{R}$ $J = K = \overline{R}$	Q_t		Q_{t+1}	$\overline{Q_{t+1}}$	Etat de la sortie
0	0		0	1	Recopie 0
0	1		0	1	Recopie 0
1	0		1	0	Recopie 1
1	1		1	0	Recopie 1

Transition désirée	Commande à appliquer pour la DH
$Q_t \rightarrow Q_{t+1}$	D
$0 \rightarrow 0$	0
$0 \rightarrow 1$	1
$1 \rightarrow 0$	0
$1 \rightarrow 1$	1

Chapitre VI : Les circuits séquentiels

Principe de construction : Bascules RS, JK, D et T.

J = K = T	Q_t		Q_{t+1}	$\overline{Q_{t+1}}$	Etat de la sortie
0	0		0	1	Mémoire
0	1		1	0	Mémoire
1	0		1	0	Toggle
1	1		0	1	Toggle

Transition désirée	Commande à appliquer pour la TH
$Q_t \rightarrow Q_{t+1}$	T
$0 \rightarrow 0$	0
$0 \rightarrow 1$	1
$1 \rightarrow 0$	1
$1 \rightarrow 1$	0

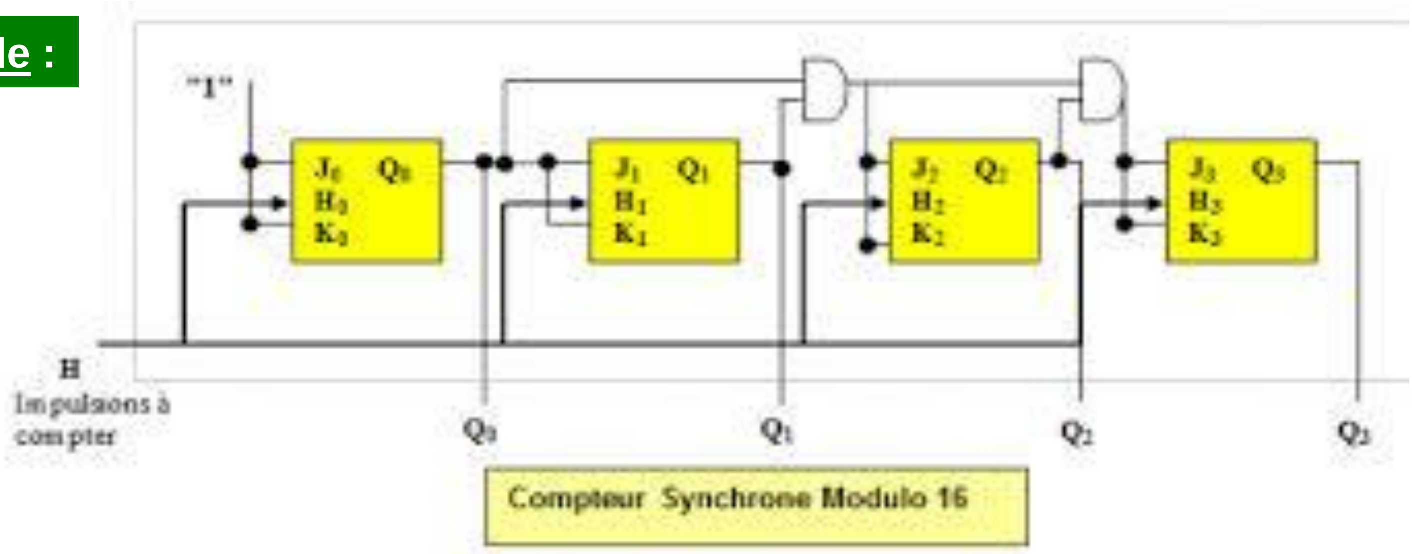
2°) Les compteurs synchrones (ou compteurs parallèles)

► Pour résoudre le problème de retard de propagation des compteurs asynchrones, on utilise les compteurs synchrones.

► Dans les compteurs synchrones toutes les bascules sont déclenchées par l'horloge au même moment.

► Avant chaque impulsion d'horloge les entrées J et K des bascules JK (ou l'entrée D de la bascule D) doivent se trouver dans le niveau approprié pour assurer le passage de chaque bascule dans le bon état.

Exemple :



Chapitre VI : Les circuits séquentiels

■ Les compteurs synchrones à cycle régulier

a°) $N = 2^n$: compteurs synchrones à cycle de comptage complet.

Exemple n°1 :

Compteur synchrone modulo 4 : ➔ $4 = 2^2$ ➔ 2 bascules JKH

Table de vérité inversée de la bascule JK

Q_n	Q_{n+1}	J	K
0	0	0	0
		0	1
0	1	1	0
		1	1
1	0	0	1
		1	1
1	1	0	0
		1	0

Table de transition d'une bascule JK

Q_n	Q_{n+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Chapitre VI : Les circuits séquentiels

► **Pour réaliser ce compteur il faut 2 bascules JK.**

Transition désirée	Commande à appliquer pour la JKH	
$Q_t \rightarrow Q_{t+1}$	J	K
0 → 0	0	x
0 → 1	1	x
1 → 0	x	1
1 → 1	x	0

Table de transition du compteur modulo 4

États	Q_B	Q_A	J_B	K_B	J_A	K_A
0	0	0	**0**	**X**	**1**	**X**
1	0	1	**1**	**X**	**x**	**1**
2	1	0	**X**	**0**	**1**	**X**
3	1	1	**X**	**1**	**X**	**1**
0	0	0				

► **On remplit les états de JK d'une ligne en considérant la sortie de cette ligne comme Q_n et les sorties de la ligne suivante comme Q_{n+1}**

► **Pour un compteur modulo 4 pour quitter de 1 à 2 les entrées des bascules J_A K_A et J_B K_B doivent se trouver au bon niveau logique pour que la sortie de la bascule A passe de 1 à 0 et la sortie de la bascule B passe de 0 à 1.**

Chapitre VI : Les circuits séquentiels

Simplification par tableau de Karnaugh

JA

QB \ QA	0	1
0	1	X
1	1	X

JA = 1

KA

QB \ QA	0	1
0	X	1
1	X	1

KA = 1

États	Q_B	Q_A	J_B	K_B	J_A	K_A
0	0	0	0	X	1	X
1	0	1	1	X	x	1
2	1	0	X	0	1	X
3	1	1	X	1	X	1
0	0	0				

JB

QB \ QA	0	1
0	0	1
1	X	X

JB = QA

KB

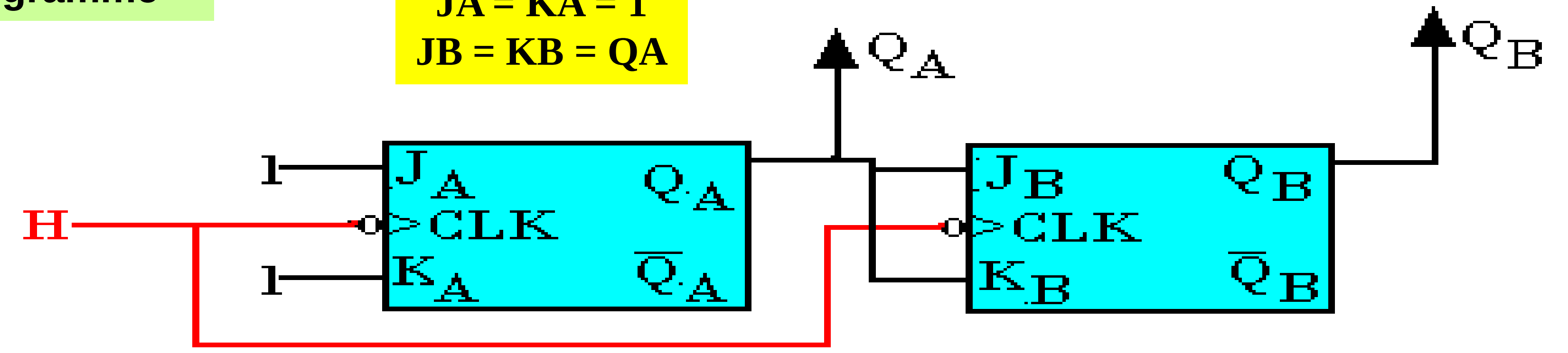
QB \ QA	0	1
0	X	X
1	0	1

KB = QA

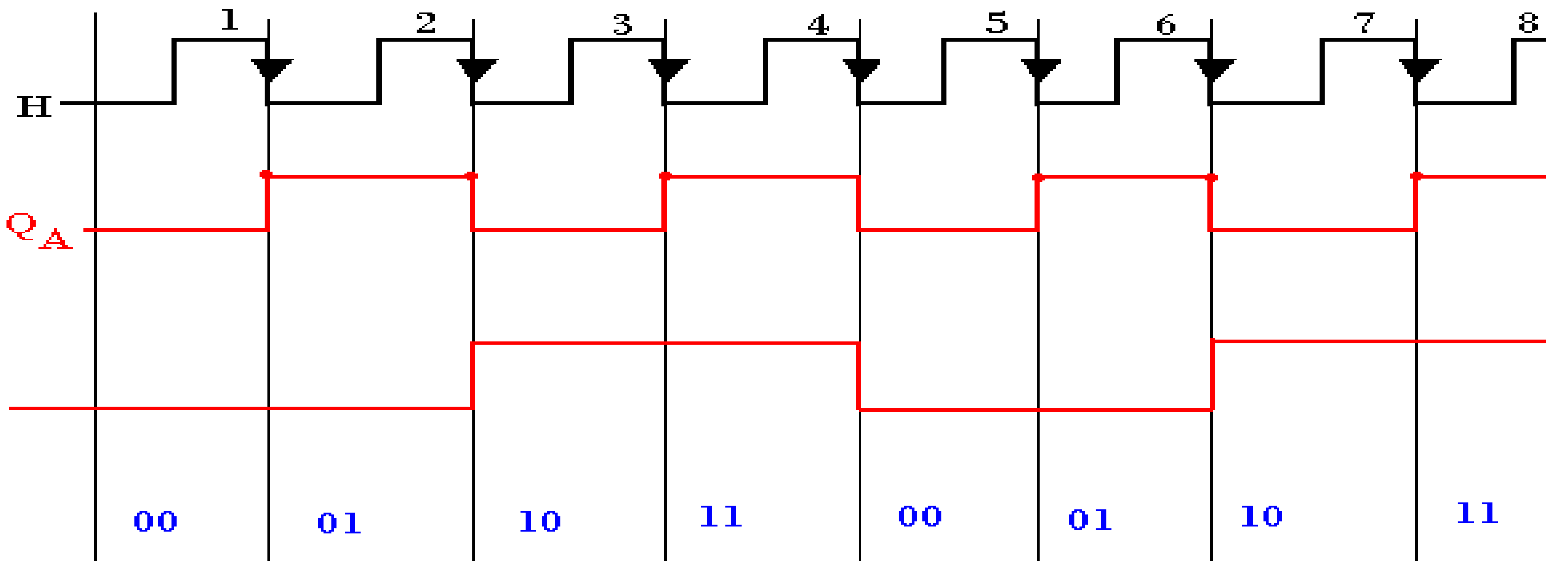
JA = KA = 1
JB = KB = QA

Logigramme

JA = KA = 1
JB = KB = QA



Chronogramme



Chapitre VI : Les circuits séquentiels

Exemple n°2 :

Compteur synchrone modulo 4 : ➔ 4 = 2^2 ➔ 2 bascules DH

Table de transition de la bascule D

Transition désirée	Commande à appliquer pour la DH
$Q_t \rightarrow Q_{t+1}$	D
0 → 0	0
0 → 1	1
1 → 0	0
1 → 1	1

Table de transition du compteur

États	Q_B	Q_A	D_B	D_A
0	0	0	$\boxed{0}$	$\boxed{1}$
1	0	1	1	0
2	1	0	1	1
3	1	1	0	0
0	0	0		

Chapitre VI : Les circuits séquentiels

Simplification par Karnaugh

DA

QA \ QB	0	1
0	1	1
1	0	0

$$D_A = \overline{Q_A}$$

DB

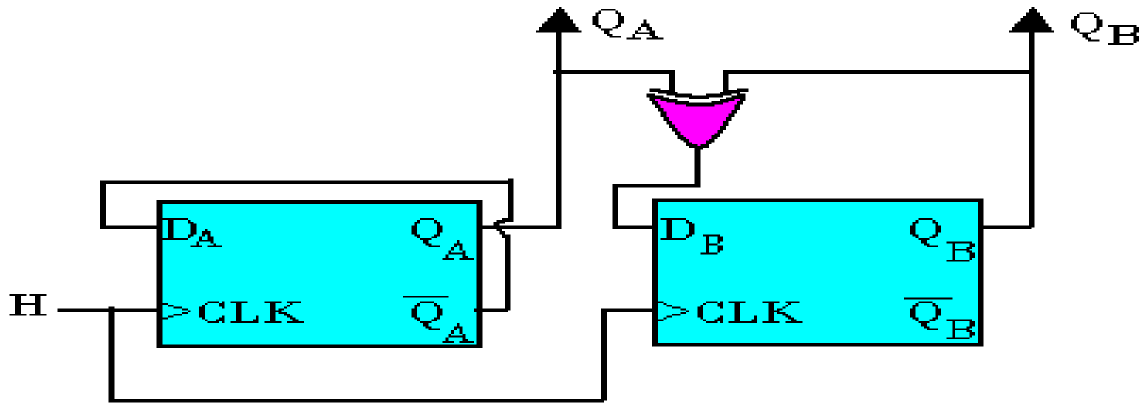
QA \ QB	0	1
0	0	1
1	1	0

$$DB = Q_B\overline{Q_A} + \overline{Q_B}Q_A$$

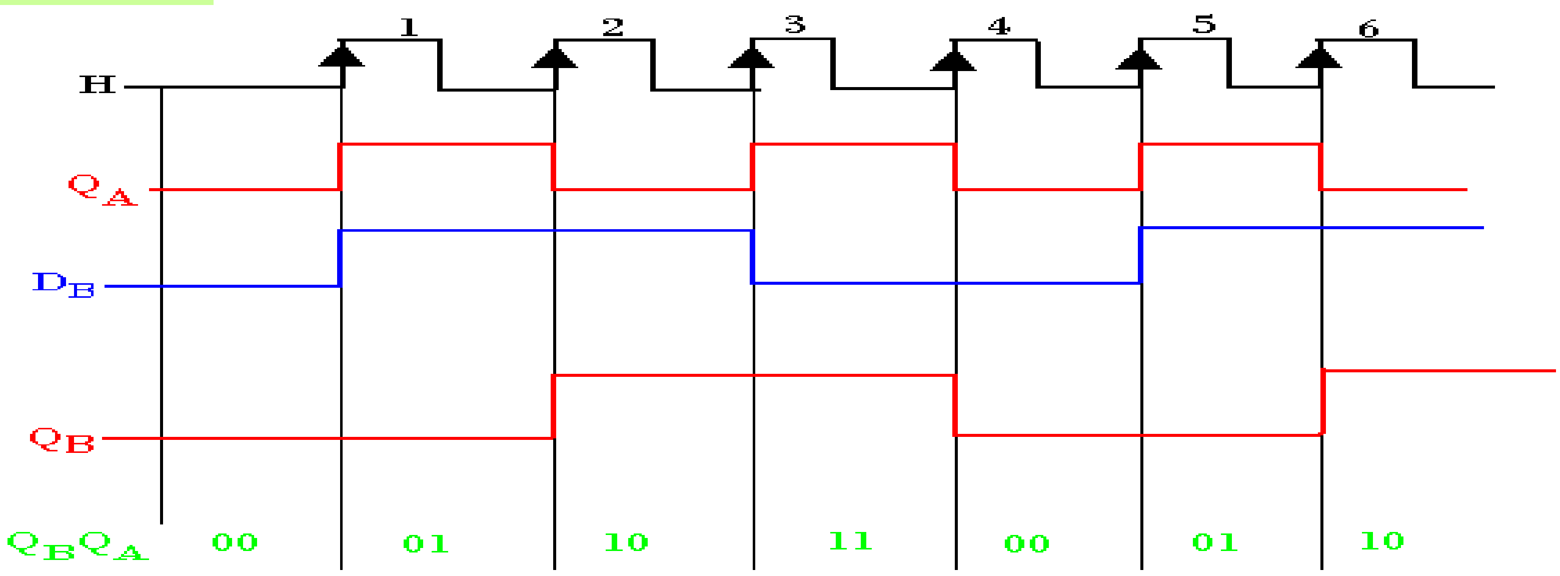
$$D_B = Q_B \oplus Q_A$$

Chapitre VI : Les circuits séquentiels

Logigramme



Chronogramme



UNIVERSITE INTERNATIONALE DE CASABLANCA - LAUREAT INTERNATIONAL UNIVERSITIES
ECOLE D'INGENIERIE - 1ÈRE ANNÉE GÉNIE INFORMATIQUE - S6

Exemple n°3 :

Table de transition du compteur synchrone modulo 8

Transition désirée	Commande à appliquer pour la TH
$Q_t \rightarrow Q_{t+1}$	T
$0 \rightarrow 0$	0
$0 \rightarrow 1$	1
$1 \rightarrow 0$	1
$1 \rightarrow 1$	0

	Etat Initial de T_2	Etat Initial de T_1	Etat Initial de T_0		Action à l'entrée de T2	Action à l'entrée de T1	Action à l'entrée de T0
Top	Q_2	Q_1	Q_0	➔	T_2	T_1	T_0
CI	0	0	0		0	0	1
1	0	0	1		0	1	1
2	0	1	0		0	0	1
3	0	1	1		1	1	1
4	1	0	0		0	0	1
5	1	0	1		0	1	1
6	1	1	0		0	0	1
7	1	1	1		1	1	1
8	0	0	0				

$$T_0 = 1$$
$$T_1 = Q_0$$
$$T_2 = Q_0 \cdot Q_1$$

Chapitre VI : Les circuits séquentiels

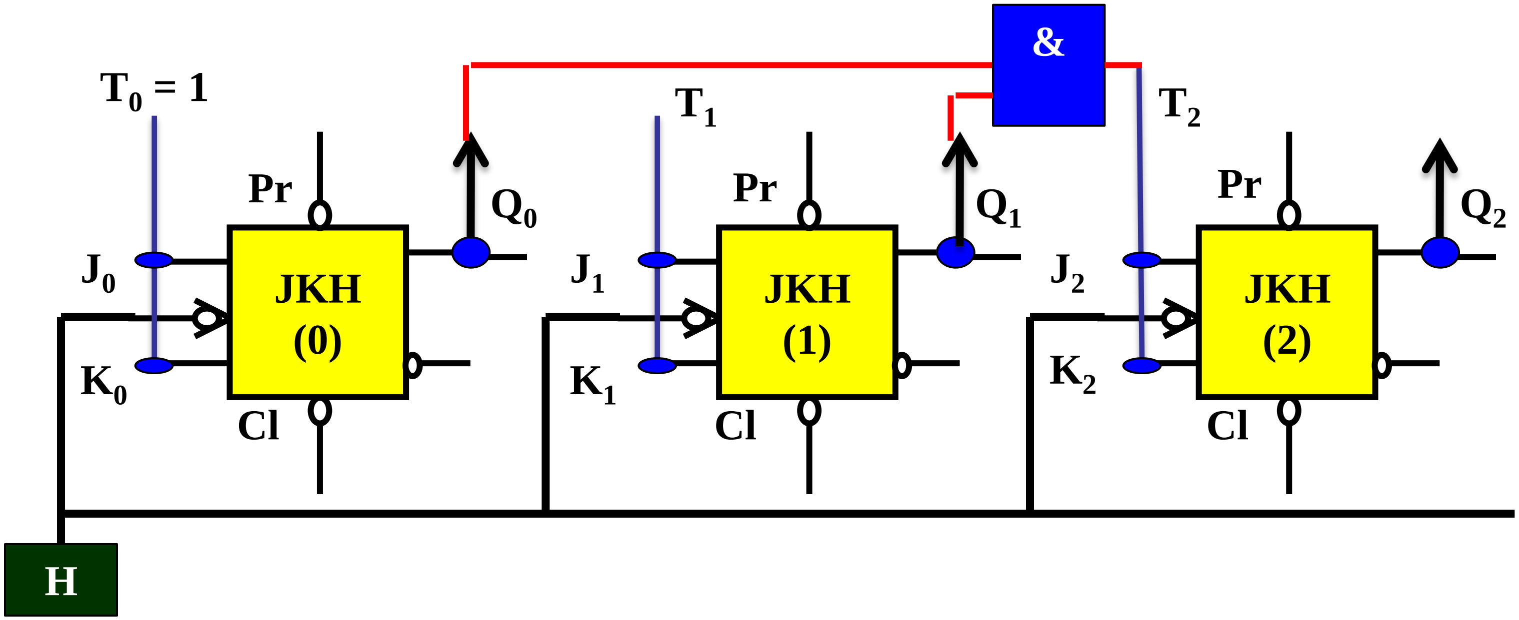
Table de transition du compteur synchrone modulo 8

	Etat Initial de T_2	Etat Initial de T_1	Etat Initial de T_0		Etat suivant de T_2	Etat suivant de T_1	Etat suivant de T_0		Action à l'entrée de T2	Action à l'entrée de T1	Action à l'entrée de T0
Top	Q_2	Q_1	Q_0	➔	Q_2'	Q_1'	Q_0'	➔	T_2	T_1	T_0
1	0	0	0	➔	0	0	1		0	0	1
2	0	0	1	➔	0	1	0		0	1	1
3	0	1	0	➔	0	1	1		0	0	1
4	0	1	1	➔	1	0	0		1	1	1
5	1	0	0	➔	1	0	1		0	0	1
6	1	0	1	➔	1	1	0		0	1	1
7	1	1	0	➔	1	1	1		0	0	1
8	1	1	1	➔	0	0	0		1	1	1
9	0	0	0	➔	0	0	1		0	0	1

$T_0 = 1$
$T_1 = Q_0$
$T_2 = Q_0 \cdot Q_1$

Chapitre VI : Les circuits séquentiels

Compteur synchrone modulo 8 : ➔ 8 = 2^3 ➔ 3 bascules JKH



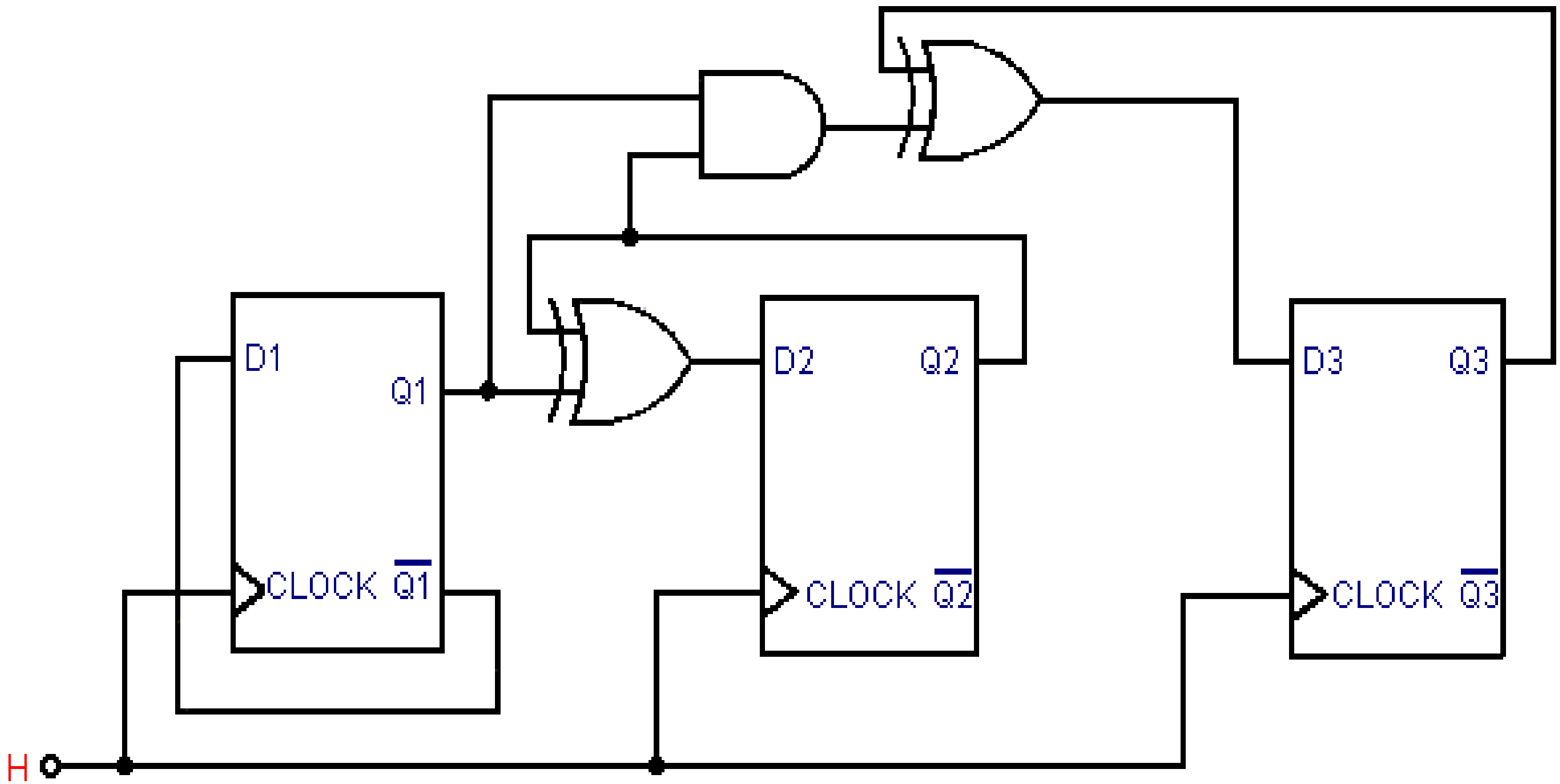
Bascule JKH montée en bascule T	$J_i = K_i = T_i$
Relations générales de récurrence	$J_0 = K_0 = T_0 = 1$ $J_i = K_i = T_i = Q_0 . Q_1 . Q_2 ... Q_{i-1}$ ou autrement : $J_i = K_i = T_i = T_{i-1} . Q_{i-1}$
Dans le cas du compteur synchrone modulo 8	$J_0 = K_0 = T_0 = 1$ $J_1 = K_1 = T_1 = Q_0$ $J_2 = K_2 = T_2 = Q_0 . Q_1$

$T_0 = 1$
$T_1 = Q_0$
$T_2 = Q_0 . Q_1$

Chapitre VI : Les circuits séquentiels

Exercice : Établir la table de transition de ce compteur et par karnaugh les expressions logiques

Compteur synchrone modulo 8 : ➔ 3 bascules DH



Chapitre VI : Les circuits séquentiels

Exemple n°4 :

	Etat Initial de T_3	Etat Initial de T_2	Etat Initial de T_1	Etat Initial de T_0		Action à l'entrée de T3	Action à l'entrée de T2	Action à l'entrée de T1	Action à l'entrée de T0
Top	Q_3	Q_2	Q_1	Q_0	➔	T_3	T_2	T_1	T_0
CI	0	0	0	0		0	0	0	1
1	0	0	0	1		0	0	1	1
2	0	0	1	0		0	0	0	1
3	0	0	1	1		0	1	1	1
4	0	1	0	0		0	0	0	1
5	0	1	0	1		0	0	1	1
6	0	1	1	0		0	0	0	1
7	0	1	1	1		1	1	1	1
8	1	0	0	0		0	0	0	1
9	1	0	0	1		0	0	1	1
10	1	0	1	0		0	0	0	1
11	1	0	1	1		0	1	1	1
12	1	1	0	0		0	0	0	1
13	1	1	0	1		0	0	1	1
14	1	1	1	0		0	0	0	1
15	1	1	1	1		1	1	1	1
16	0	0	0	0					

Table de transition du compteur synchrone modulo 16

Transition désirée	Commande à appliquer pour la TH
$Q_t \rightarrow Q_{t+1}$	T
$0 \rightarrow 0$	0
$0 \rightarrow 1$	1
$1 \rightarrow 0$	1
$1 \rightarrow 1$	0

$$T_0 = 1$$
$$T_1 = Q_0$$
$$T_2 = Q_0 \cdot Q_1$$
$$T_3 = Q_0 \cdot Q_1 \cdot Q_2$$

Chapitre VI : Les circuits séquentiels

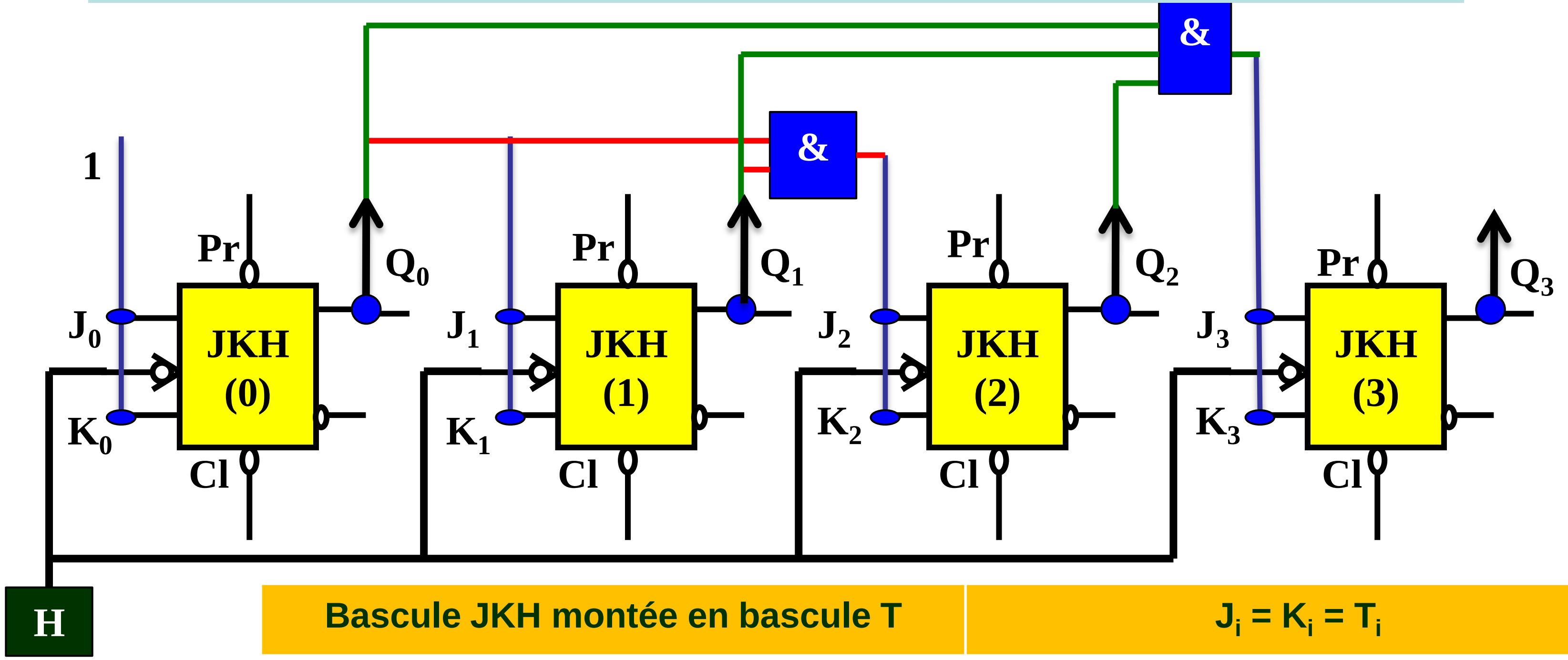
$T_0 = 1$
$T_1 = Q_0$
$T_2 = Q_0 . Q_1$
$T_3 = Q_0 . Q_1 . Q_2$

Table de transition du compteur synchrone modulo 16

	Etat Initial de T_3	Etat Initial de T_2	Etat Initial de T_1	Etat Initial de T_0		Etat suivant de T_3	Etat suivant de T_2	Etat suivant de T_1	Etat suivant de T_0		Action à l'entrée de T3	Action à l'entrée de T2	Action à l'entrée de T1	Action à l'entrée de T0
Top	Q_3	Q_2	Q_1	Q_0	➔	Q_3'	Q_2'	Q_1'	Q_0'	➔	T_3	T_2	T_1	T_0
1	0	0	0	0	➔	0	0	0	1		0	0	0	1
2	0	0	0	1	➔	0	0	1	0		0	0	1	1
3	0	0	1	0	➔	0	0	1	1		0	0	0	1
4	0	0	1	1	➔	0	1	0	0		0	1	1	1
5	0	1	0	0	➔	0	1	0	1		0	0	0	1
6	0	1	0	1	➔	0	1	1	0		0	0	1	1
7	0	1	1	0	➔	0	1	1	1		0	0	0	1
8	0	1	1	1	➔	1	0	0	0		1	1	1	1
9	1	0	0	0	➔	1	0	0	1		0	0	0	1
10	1	0	0	1	➔	1	0	1	0		0	0	1	1
11	1	0	1	0	➔	1	0	1	1		0	0	0	1
12	1	0	1	1	➔	1	1	0	0		0	1	1	1
13	1	1	0	0	➔	1	1	0	1		0	0	0	1
14	1	1	0	1	➔	1	1	1	0		0	0	1	1
15	1	1	1	0	➔	1	1	1	1		0	0	0	1
16	1	1	1	1	➔	0	0	0	0		1	1	1	1

Chapitre VI : Les circuits séquentiels

Compteur synchrone modulo 16 : ➔ $16 = 2^4$ ➔ 4 bascules JKH



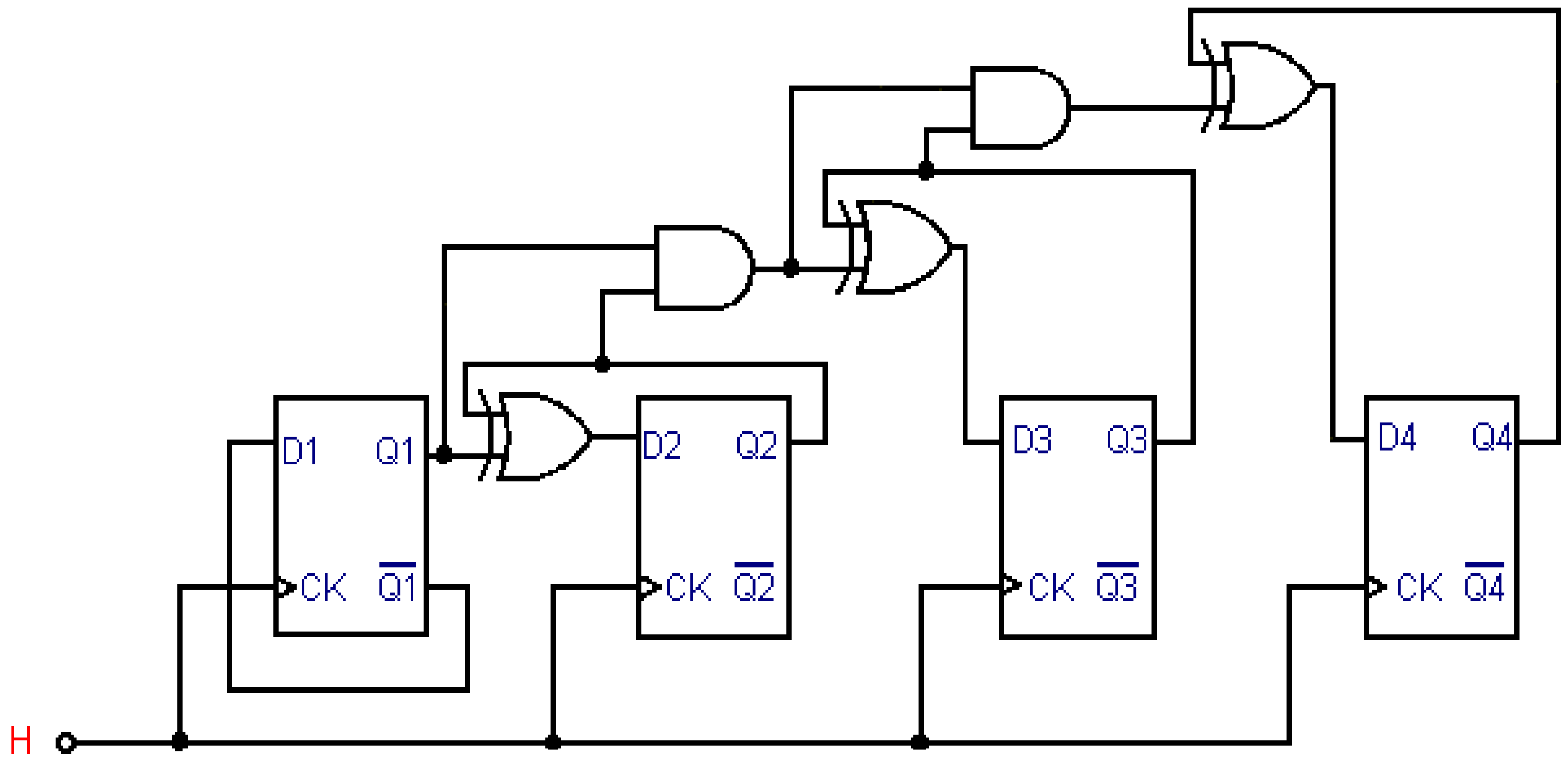
$T_0 = 1$
$T_1 = Q_0$
$T_2 = Q_0 \cdot Q_1$
$T_3 = Q_0 \cdot Q_1 \cdot Q_2$

Bascule JKH montée en bascule T	$J_i = K_i = T_i$
Relations générales de récurrence	$J_0 = K_0 = 1$ $J_i = K_i = Q_0 \cdot Q_1 \cdot Q_2 \ldots Q_{i-1}$ ou autrement : $J_i = K_i = J_{i-1} \cdot Q_{i-1}$
Dans le cas du compteur synchrone modulo 16	$J_0 = K_0 = 1$ $J_1 = K_1 = Q_0$ $J_2 = K_2 = Q_0 \cdot Q_1$ $J_3 = K_3 = Q_0 \cdot Q_1 \cdot Q_2$

Chapitre VI : Les circuits séquentiels

Exercice : Établir la table de transition de ce compteur et par karnaugh les expressions logiques

Compteur synchrone modulo 16 : ➔ 4 bascules DH



Chapitre VI : Les circuits séquentiels

■ Les compteurs synchrones à <u>cycle régulier</u>

b°) N < 2^n : compteurs asynchrones à cycle de comptage incomplet.

Exemple n°1 :

Compteur synchrone modulo 7 : ➔ $2^2 < 7 < 2^3$ ➔ 3 bascules JKH

Table de transition du compteur

Transition désirée	Commande à appliquer pour la JKH	
$Q_t \rightarrow Q_{t+1}$	J	K
$0 \rightarrow 0$	0	x
$0 \rightarrow 1$	1	x
$1 \rightarrow 0$	x	1
$1 \rightarrow 1$	x	0

État	Q_C	Q_B	Q_A	J_C	K_C	J_B	K_B	J_A	K_A
0	0	0	0	0	X	0	X	1	X
1	0	0	1	0	X	1	X	X	1
2	0	1	0	0	X	X	0	1	X
3	0	1	1	1	X	X	1	X	1
4	1	0	0	X	0	0	X	1	X
5	1	0	1	X	0	1	X	X	1
6	1	1	0	X	1	X	1	0	X
	0	0	0						

Chapitre VI : Les circuits séquentiels

Simplification par Karnaugh

J_c

Q_cQ_B \ Q_A	0	1
00	0	0
01	0	1
11	X	X
10	X	X

Kc

Q_cQ_B \ Q_A	0	1
00	X	X
01	X	X
11	1	X
10	0	0

J_B

Q_cQ_B \ Q_A	0	1
00	0	1
01	X	X
11	X	X
10	0	1

K_B

Q_cQ_B \ Q_A	0	1
00	X	X
01	0	1
11	1	X
10	X	X

J_A

Q_cQ_B \ Q_A	0	1
00	1	X
01	1	X
11	0	X
10	1	X

K_A

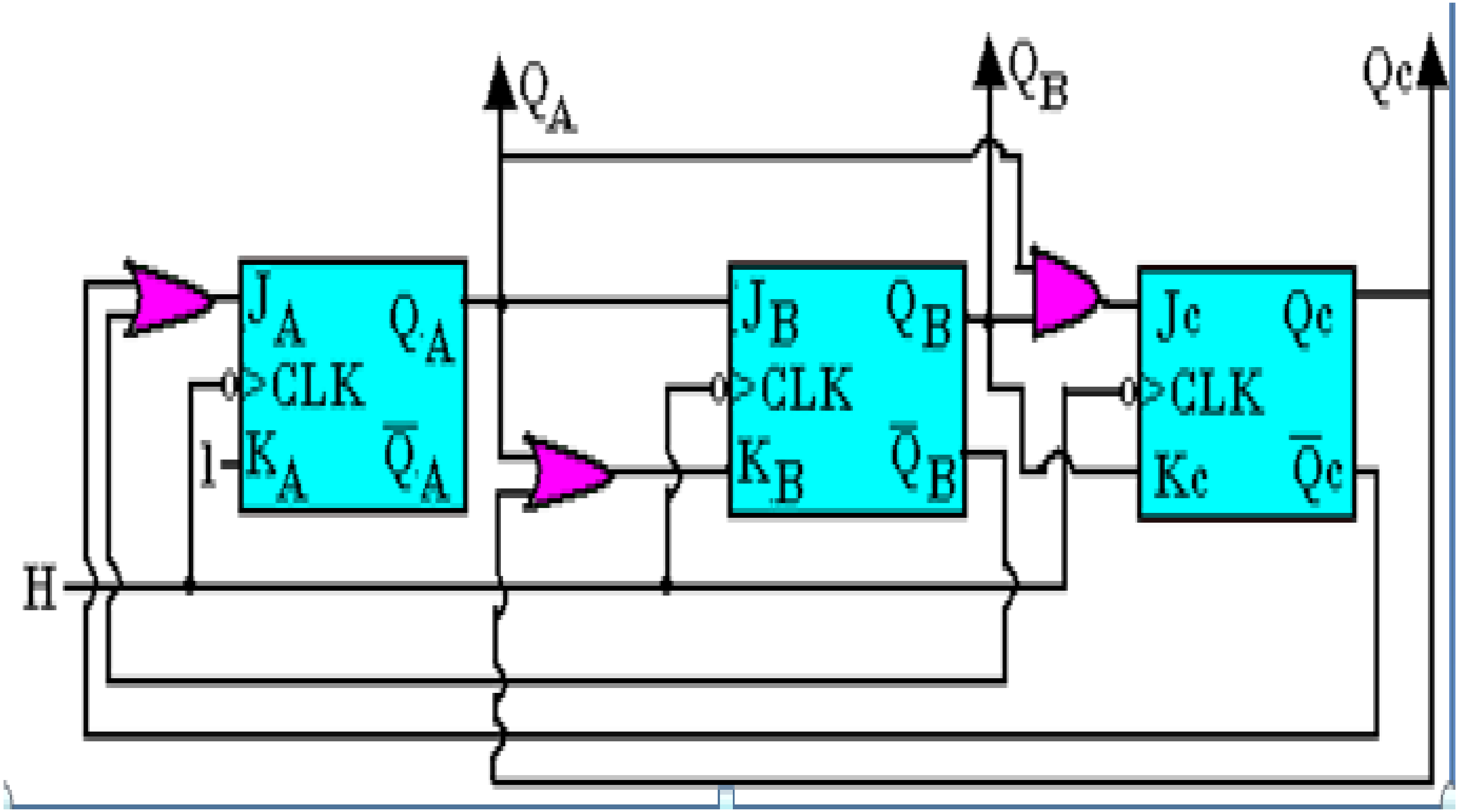
Q_cQ_B \ Q_A	0	1
00	X	1
01	X	1
11	X	X
10	X	1

$$Jc = Q_A Q_B$$
$$Kc = Q_B$$
$$J_B = Q_A$$

$$JA = \overline{Q}c + \overline{Q}_B$$
$$K_A = 1$$
$$K_B = Qc + Q_A$$

UNIVERSITE INTERNATIONALE DE CASABLANCA - LAUREAT INTERNATIONAL UNIVERSITIES
ECOLE D'INGENIERIE - 1ÈRE ANNÉE GÉNIE INFORMATIQUE - S6

Logigramme



Chapitre VI : Les circuits séquentiels

Exemple n°2 :

Compteur synchrone modulo 6 : ➔ $2^2 < 6 < 2^3$ ➔ 3 bascules TH

Transition désirée	Commande à appliquer pour la TH
$Q_t \rightarrow Q_{t+1}$	T
0 → 0	0
0 → 1	1
1 → 0	1
1 → 1	0

	Etat Initial de T_2	Etat Initial de T_1	Etat Initial de T_0		Action à l'entrée de T2	Action à l'entrée de T1	Action à l'entrée de T0
Top	Q_2	Q_1	Q_0	➔	T_2	T_1	T_0
CI	0	0	0		$\boxed{0}$	$\boxed{0}$	$\boxed{1}$
1	0	0	1		0	1	1
2	0	1	0		0	0	1
3	0	1	1		1	1	1
4	1	0	0		0	0	1
5	1	0	1		1	0	1
6	0	0	0				

Table de transition du compteur synchrone modulo 6

Chapitre VI : Les circuits séquentiels

Compteur synchrone modulo 6 : ➔ $2^2 < 6 < 2^3$ ➔ 3 bascules TH

	Etat Initial de T_2	Etat Initial de T_1	Etat Initial de T_0		Etat suivant de T_2	Etat suivant de T_1	Etat suivant de T_0		Action à l'entrée de T2	Action à l'entrée de T1	Action à l'entrée de T0
Top	Q_2	Q_1	Q_0	➔	Q_2'	Q_1'	Q_0'	➔	T_2	T_1	T_0
0	0	0	0	➔	0	0	1		0	0	1
1	0	0	1	➔	0	1	0		0	1	1
2	0	1	0	➔	0	1	1		0	0	1
3	0	1	1	➔	1	0	0		1	1	1
4	1	0	0	➔	1	0	1		0	0	1
5	1	0	1	➔	0	0	0		1	0	1

Table de transition du compteur synchrone modulo 6

Simplification par Karnaugh

T_2	T_1	T_0
0	0	1
0	1	1
0	0	1
1	1	1
0	0	1
1	0	1

Q_2 \ $Q_1 Q_0$	0 0	0 1	1 1	1 0
0	1	1	1	1
1	1	1	1	1

$$T_0 = 1$$

Q_2 \ $Q_1 Q_0$	0 0	0 1	1 1	1 0
0	0	1	1	0
1	0	0	x	x

$$T_1 = Q_0 \overline{Q_2}$$

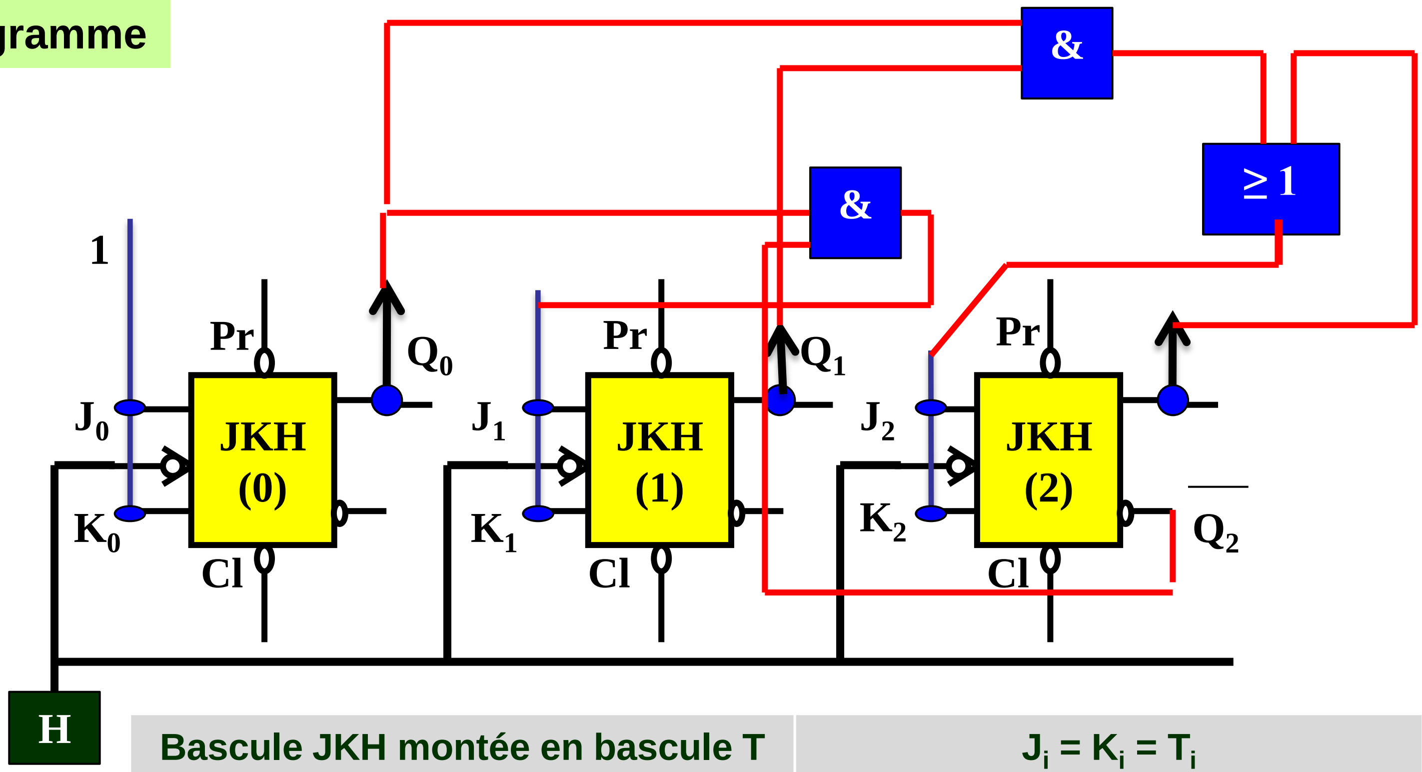
Q_2 \ $Q_1 Q_0$	0 0	0 1	1 1	1 0
0	0	0	1	0
1	0	1	x	x

$$T_2 = Q_0 \left(Q_1 + Q_2\right)$$

Chapitre VI : Les circuits séquentiels

Compteur synchrone modulo 6 : ➔ $2^2 < 6 < 2^3$ ➔ 3 bascules TH

Logigramme



Bascule JKH montée en bascule T	$J_i = K_i = T_i$
Relations générales	$J_0 = K_0 = T_0 = \underline{1}$ $J_1 = K_1 = T_1 = Q_0 \cdot Q_2$ $J_2 = K_2 = T_1 = Q_0 \cdot (Q_1 + Q_2)$

Chapitre VI : Les circuits séquentiels

Exemple n°3 :

Compteur synchrone modulo 6 : ➔ $2^2 < 6 < 2^3$ ➔ 3 bascules JKH

	Etat Initial de JKH_2	Etat Initial de JKH_1	Etat Initial de JKH_0		Etat suivant de JKH_2	Etat suivant de JKH_1	Etat suivant de JKH_0		Action à l'entrée de J2	Action à l'entrée de K2	Action à l'entrée de J1	Action à l'entrée de K1	Action à l'entrée de J0	Action à l'entrée de K0
Top	Q_2	Q_1	Q_0	➔	Q_2'	Q_1'	Q_0'	➔	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	➔	0	0	1		0	x	0	x	1	x
1	0	0	1	➔	0	1	0		0	x	1	x	x	1
2	0	1	0	➔	0	1	1		0	x	x	0	1	x
3	0	1	1	➔	1	0	0		1	x	x	1	x	1
4	1	0	0	➔	1	0	1		x	0	0	x	1	X
5	1	0	1	➔	0	0	0		x	1	0	x	x	1

$$J_0 = K_0 = 1$$

Chapitre VI : Les circuits séquentiels

Simplification par Karnaugh

J_2	K_2	J_1	K_1
0	x	0	x
0	x	1	x
0	x	x	0
1	x	x	1
x	0	0	x
x	1	0	x

Q_2 \ $Q_1 Q_0$	0 0	0 1	1 1	1 0
0	0	1	x	x
1	0	0	x	x

$$J_1 = Q_0 \overline{Q_2}$$

Q_2 \ $Q_1 Q_0$	0 0	0 1	1 1	1 0
0	x	x	1	0
1	x	x	x	x

$$K_1 = Q_0$$

Q_2 \ $Q_1 Q_0$	0 0	0 1	1 1	1 0
0	0	0	1	0
1	x	x	x	x

$$J_2 = Q_0 Q_1$$

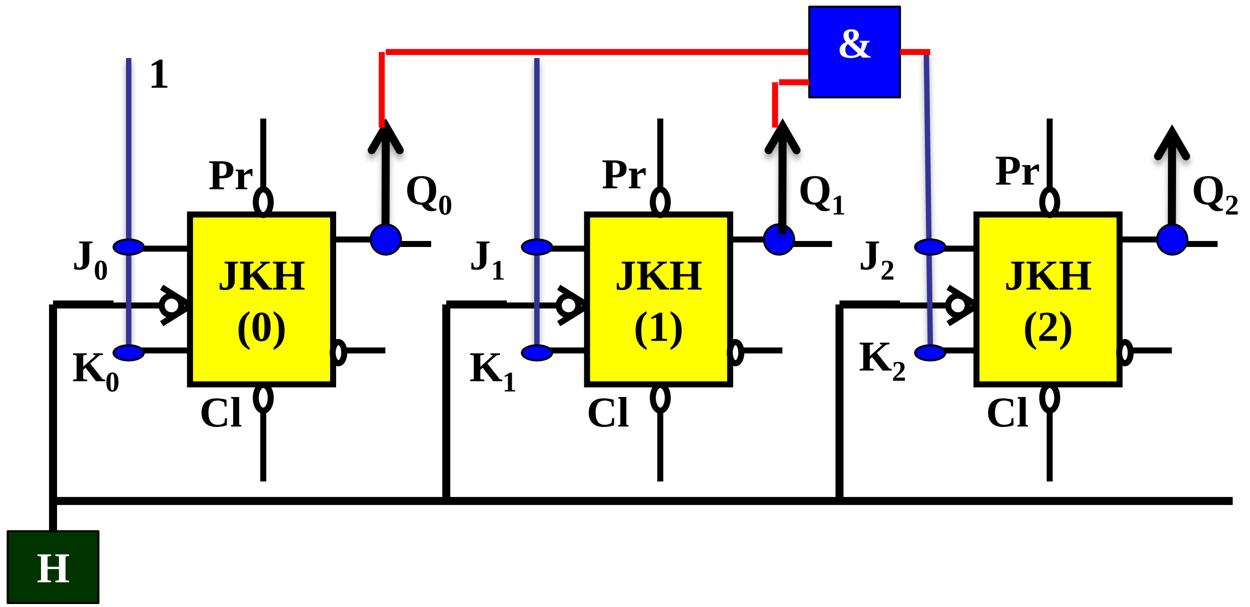
Q_2 \ $Q_1 Q_0$	0 0	0 1	1 1	1 0
0	x	x	x	x
1	0	1	x	x

$$K_2 = Q_0$$

Chapitre VI : Les circuits séquentiels

Compteur synchrone modulo 6 : ➔ $2^2 < 6 < 2^3$ ➔ 3 bascules JKH

Logigramme



Bascule JKH montée en bascule T	$J_i = K_i = T_i$
Relations générales de récurrence compteur synchrone modulo 2^n	$J_0 = K_0 = 1$ $J_i = K_i = Q_0 . Q_1 . Q_2 ... Q_{i-1}$ ou autrement : $J_i = K_i = J_{i-1} . Q_{i-1}$
Dans le cas du compteur synchrone modulo 6	$J_0 = K_0 = 1$ $J_1 = Q_0\,\overline{Q_2}$ et $K_1 = Q_0$ $J_2 = Q_0 . Q_1$ et $K_2 = Q_0$

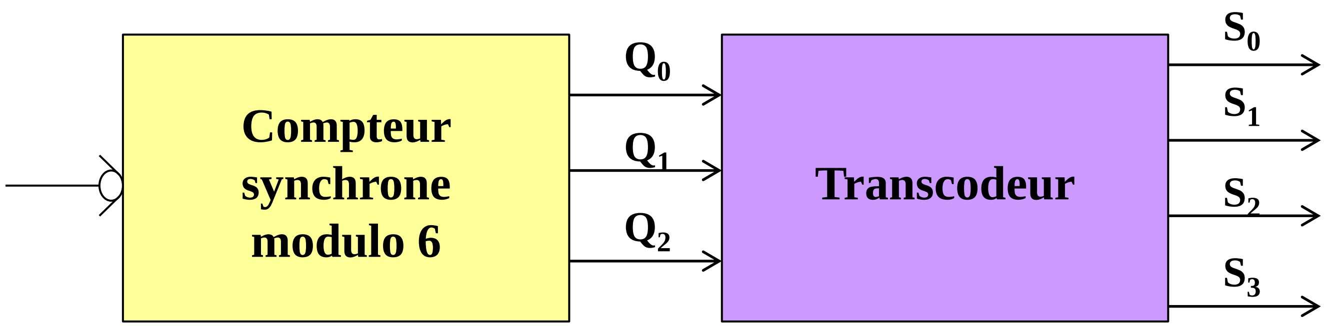
Chapitre VI : Les circuits séquentiels

■ Les compteurs synchrones à cycle non régulier (ou dans un ordre quelconque).

► On réalise d'abord un compteur de même modulo, ensuite on transcode ses sorties pour obtenir le cycle demandé.

Exemple n°1 :

► Réalisation d'un compteur ayant pour cycle : 2, 5, 6, 8, 10, 13.



N°	Q_2	Q_1	Q_0	Transition	N°	S_3	S_2	S_1	S_0
0	0	0	0	→	2	0	0	1	0
1	0	0	1	→	5	0	1	0	1
2	0	1	0	→	6	0	1	1	0
3	0	1	1	→	8	1	0	0	0
4	1	0	0	→	10	1	0	1	0
5	1	0	1	→	13	1	1	0	1

Chapitre VI : Les circuits séquentiels

Exemple n°2 :

Compteur synchrone modulo 6 à cycle irrégulier : ➔ $2^2 < 6 < 2^3$ ➔ 3 bascules JKH

► **Soit à construire un compteur synchrone modulo 6 décrivant le cycle suivant et utilisant des JK**

Top	A	B	C	Cycle irrégulier
0	0	0	0	0
1	1	0	0	4
2	0	1	0	2
3	1	1	0	6
4	0	1	1	3
5	1	1	1	7

► **Attention ce cycle n'est pas binaire régulier : on peut déduire du tableau les états que doivent prendre à chaque instant les entrées J et K pour que le compteur décrive le cycle désiré.**

Chapitre VI : Les circuits séquentiels

► Ainsi par exemple :

- lorsque QA = QB = QC = 0 pour qu'au top suivant QA passe à 1 il faut JA =1 et KA indifférent,
- pour que QB reste à 0 il faut JB = 0 et KB indifférent,
- pour que QCreste à 0 il faut JC = 0 et KC indifférent, etc.

► On aboutit alors au tableau de transition suivant :

Top	A	B	C	J_A	K_A	J_B	K_B	J_C	K_C
0	0	0	0	1	x	0	x	0	x
1	1	0	0	x	1	1	x	0	x
2	0	1	0	1	x	x	0	0	x
3	1	1	0	x	1	x	0	1	x
4	0	1	1	1	x	x	0	x	0
5	1	1	1	x	1	x	1	x	1

Chapitre VI : Les circuits séquentiels

► **En utilisant le diagramme de Karnaugh on va déterminer les équations et donc la circuiterie à réaliser.**

► **On note les 1 de la sortie A B C, ainsi la première ligne pour Top = 0 donne A B C = 1 et dans le tableau on note la valeur correspondante de JA soit 1 ici.**

► **Sur le diagramme de Karnaugh on a figuré en rouge dans les cases correspondantes les différentes valeurs de Top, ainsi la case en haut à droite correspond à Top = 1**

N	QA	QB	QC	J_A	K_A	J_B	K_B	J_C	K_C
0	0	0	0	1	x	0	x	0	x
1	1	0	0	x	1	1	x	0	x
2	0	1	0	1	x	x	0	0	x
3	1	1	0	x	1	x	0	1	x
4	0	1	1	1	x	x	0	x	0
5	1	1	1	x	1	x	1	x	1

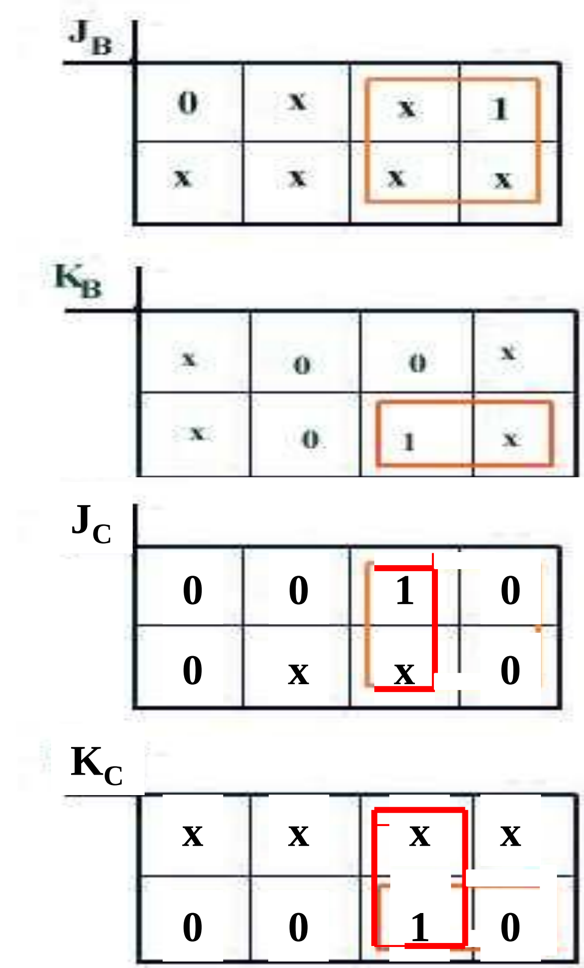
J_A	$\overline{Q_A}\,\overline{Q_B}$	$\overline{Q_A}\,Q_B$	$Q_A Q_B$	$Q_A \overline{Q_B}$
$\overline{Q_C}$	1 0	1 2	x 3	x 1
Q_C	x	1 4	x 5	x

► **Dans ce cas précis il n'y a que des 1 ou des cases indifférentes dans le diagramme donc JA = 1, on trouvera la même chose pour KA.**

Chapitre VI : Les circuits séquentiels

► Par contre le diagramme pour JB contient un 0 dans la case 0, on ne pourra donc avoir que 4 cases remplies de 1 contigus

Top	A	B	C	J_A	K_A	J_B	K_B	J_C	K_C
0	0	0	0	1	x	0	x	0	x
1	1	0	0	x	1	1	x	0	x
2	0	1	0	1	x	x	0	0	x
3	1	1	0	x	1	x	0	1	x
4	0	1	1	1	x	x	0	x	0
5	1	1	1	x	1	x	1	x	1



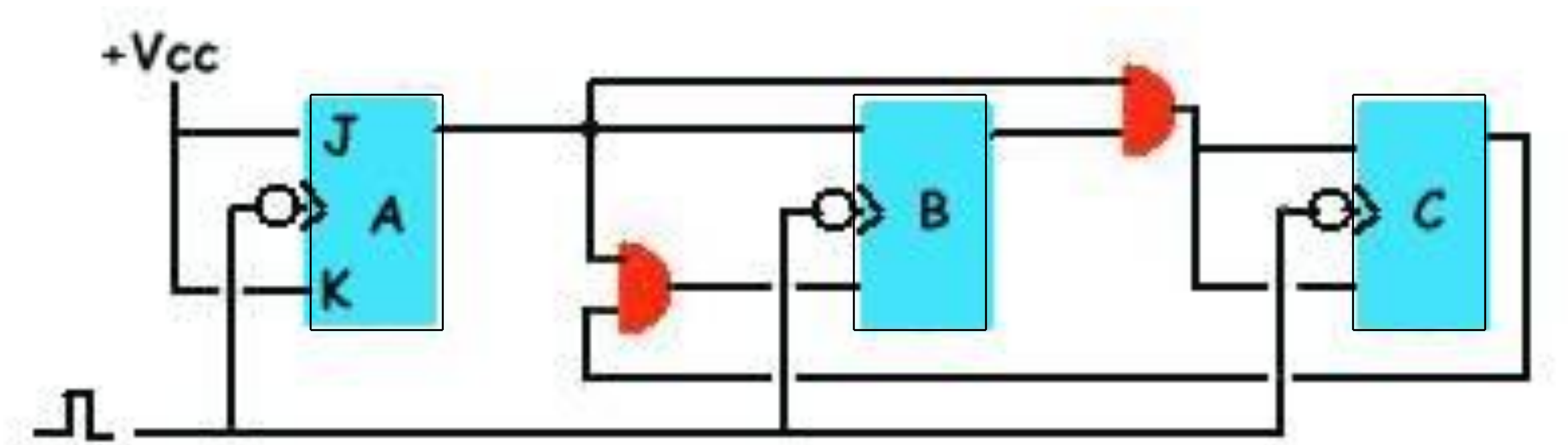
► Donc JB = QA et KB = QA . QC

► De même on trouvera JC = QA . QB et KC = QA . QB.

Chapitre VI : Les circuits séquentiels

► On prendra par exemple pour KC la simplification la moins performante soit QA . QB parce que c'est la même chose pour JC.

► D'où la réalisation avec deux portes ET. Mais l'autre solution implique les deux mêmes portes ET et n'est guère plus complexe à réaliser.



JA = KA = 1 JB = QA et KB = QA . QC JC = KC = QA . QB

Chapitre VI : Les circuits séquentiels

3°) Les décompteurs synchrones (ou décompteurs parallèles)

■ Les décompteurs synchrones à cycle régulier

a°) $N = 2^n$: décompteurs synchrones à cycle de comptage complet.

➢ **Le principe de construction des décompteurs synchrones est le même que celui des compteurs synchrones.**

➢ **Il suffit d'établir la table de transition, sortir les équations et faire le logigramme à l'aide des bascules et portes logiques.**

Chapitre VI : Les circuits séquentiels

Exemple n°1 :

décompteur synchrone modulo 4 : ➔ 4 = 2^2 ➔ 2 bascules DH

Transition désirée	Commande à appliquer pour la DH
$Q_t \rightarrow Q_{t+1}$	D
0 → 0	0
0 → 1	1
1 → 0	0
1 → 1	1

1°) Table de transition du décompteur

États	Q_B	Q_A	D_B	D_A
3	1	1	1	0
2	1	0	0	1
1	0	1	0	0
0	0	0	1	1
3	1	1		

Chapitre VI : Les circuits séquentiels

2°) Équations simplifiées

D_B

Q_B \ QA	0	1
0	1	0
1	0	1

D_A

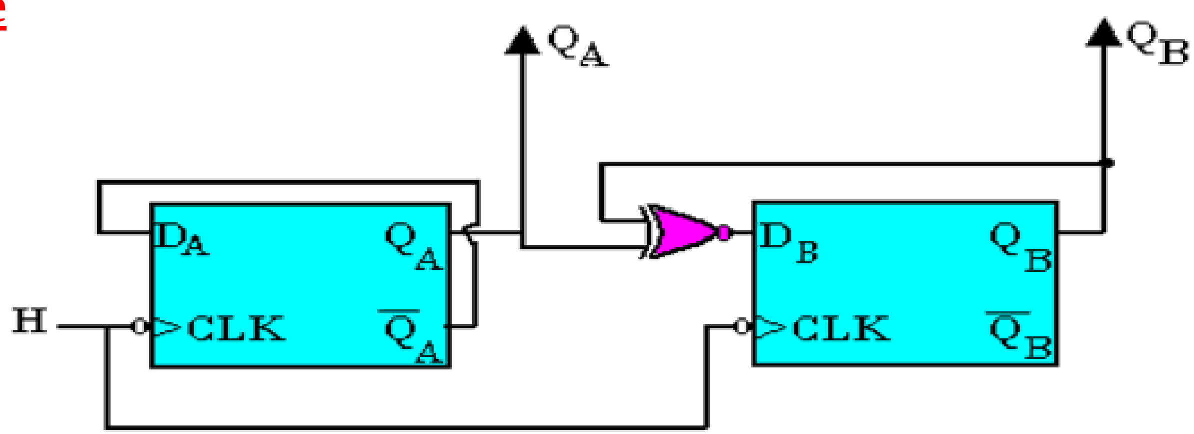
Q_B \ QA	0	1
0	1	0
1	1	0

$$D_B = \overline{Q}_A\overline{Q}_B + Q_AQ_B$$

$$D_B = \overline{Q_B \oplus Q_A}$$

$$D_A = \overline{Q}_A$$

3°) Logigramme



Chapitre VI : Les circuits séquentiels

Exemple n°2 :

décompteur synchrone modulo 8 : ➔ 8 = 2^3 ➔ 3 bascules TH

Transition désirée	Commande à appliquer pour la TH
$Q_t \rightarrow Q_{t+1}$	T
0 → 0	0
0 → 1	1
1 → 0	1
1 → 1	0

	Etat Initial de T_2	Etat Initial de T_1	Etat Initial de T_0		Etat suivant de T_2	Etat suivant de T_1	Etat suivant de T_0		Action à l'entrée de T2	Action à l'entrée de T1	Action à l'entrée de T0
Top	Q_2	Q_1	Q_0	➔	Q_2'	Q_1'	Q_0'	➔	T_2	T_1	T_0
1	0	0	0	➔	1	1	1		1	1	1
2	1	1	1	➔	1	1	0		0	0	1
3	1	1	0	➔	1	0	1		0	1	1
4	1	0	1	➔	1	0	0		0	0	1
5	1	0	0	➔	0	1	1		1	1	1
6	0	1	1	➔	0	1	0		0	0	1
7	0	1	0	➔	0	0	1		0	1	1
8	0	0	1	➔	0	0	0		0	0	1

Table de transition du décompteur synchrone modulo 8

$$T_0 = 1$$
$$T_1 = \overline{Q_0}$$
$$T_2 = \overline{Q_0} \cdot \overline{Q_1}$$

Chapitre VI : Les circuits séquentiels

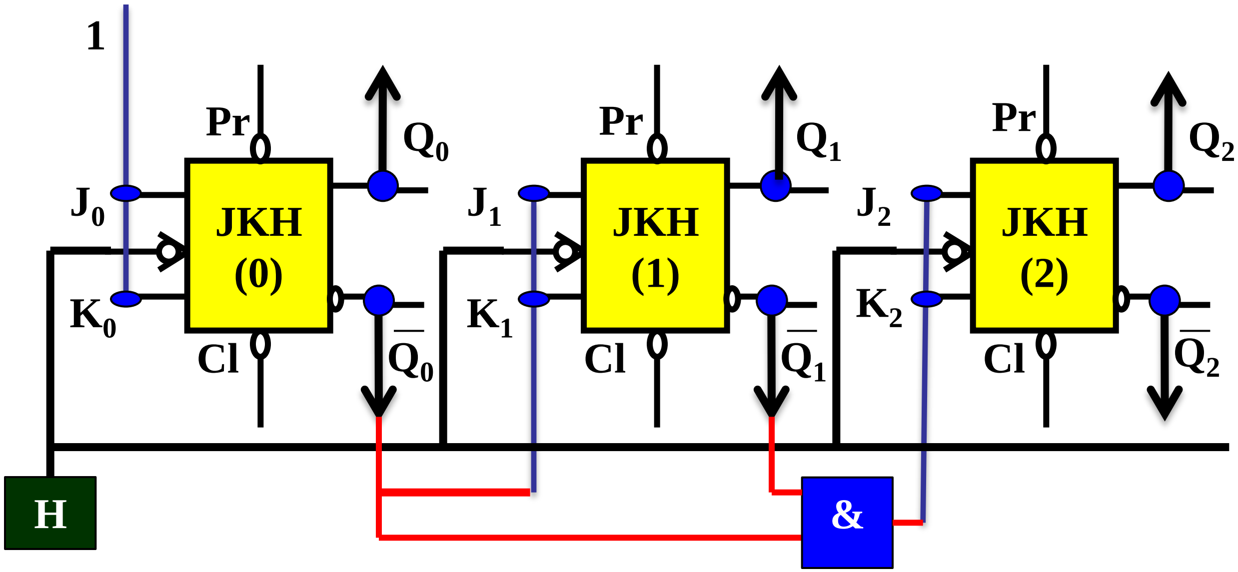
décompteur synchrone modulo 8 : ➔ 8 = 2^3 ➔ 3 bascules

	Etat Initial de T_2	Etat Initial de T_1	Etat Initial de T_0		Action à l'entrée de T2	Action à l'entrée de T1	Action à l'entrée de T0
Top	Q_2	Q_1	Q_0	➔	T_2	T_1	T_0
CI	0	0	0		$\boxed{1}$	$\boxed{1}$	$\boxed{1}$
1	1	1	1		0	0	1
2	1	1	0		0	1	1
3	1	0	1		0	0	1
4	1	0	0		1	1	1
5	0	1	1		0	0	1
6	0	1	0		0	1	1
7	0	0	1		0	0	1
8	0	0	0		1	1	1
9	1	1	1				

Table de transition du décompteur synchrone modulo 8

Chapitre VI : Les circuits séquentiels

décompteur synchrone modulo 8 : ➔ 8 = 2^3 ➔ 3 bascules JK

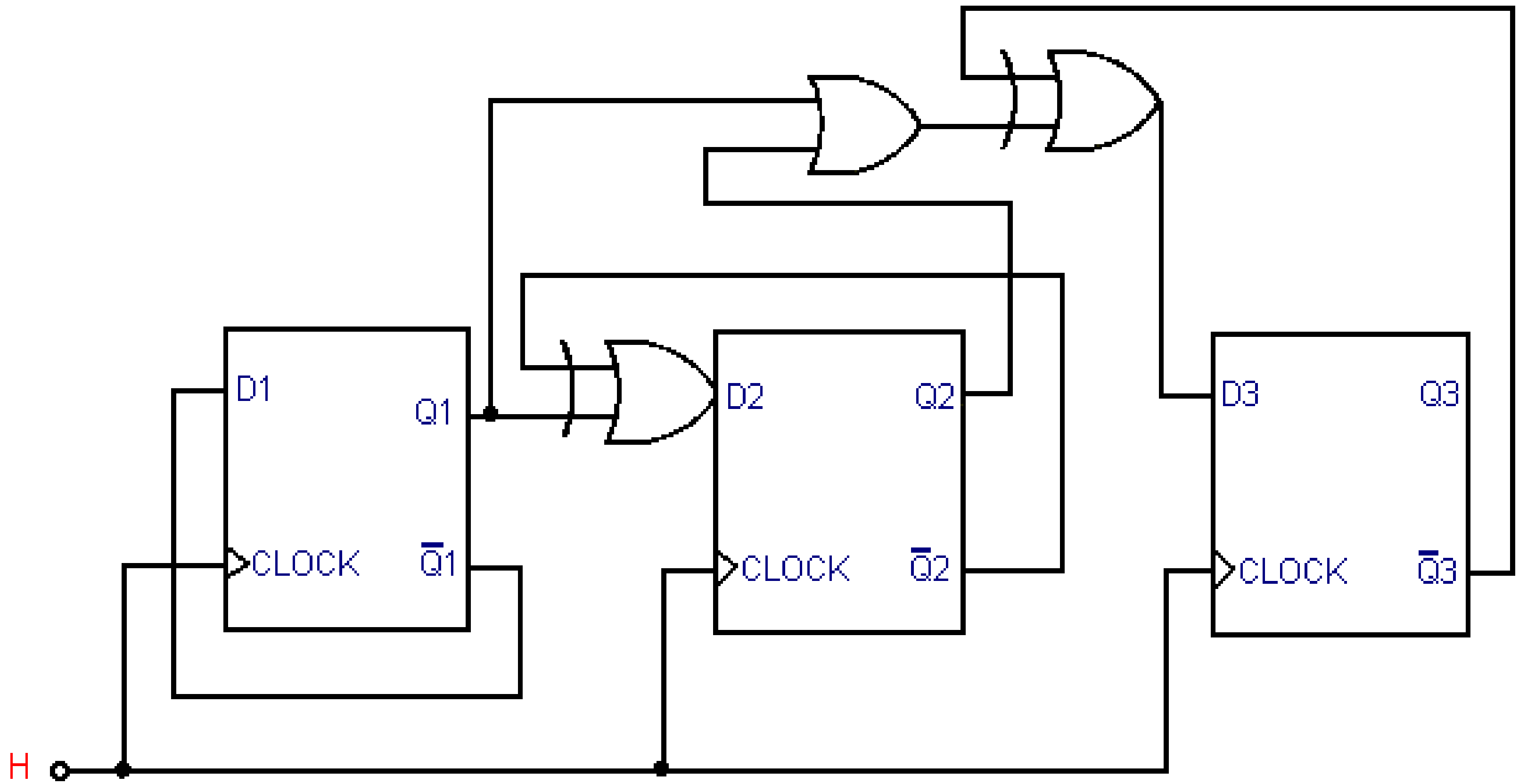


Bascule JKH montée en bascule T	$J_i = K_i = T_i$
Relations générales de récurrence	$J_0 = K_0 = 1$ $J_i = K_i = \overline{Q}_0 \,.\, \overline{Q}_1 \,.\, \overline{Q}_2 \ldots \overline{Q}_{i-1}$ ou autrement : $J_i = K_i = J_{i-1} \,.\, \overline{Q}_{i-1}$
Dans le cas du décompteur synchrone modulo 8	$J_0 = K_0 = T_0 = 1$ $J_1 = K_1 = T_1 = \overline{Q}_0$ $J_2 = K_2 = T_2 = \overline{Q}_0 \,.\, \overline{Q}_1$

Chapitre VI : Les circuits séquentiels

Exercice : Établir la table de transition de ce décompteur et par karnaugh les expressions logiques

décompteur synchrone modulo 8 : ➔ 8 = 2^3 ➔ 3 bascules DH



Chapitre VI : Les circuits séquentiels

Exemple n°3 : décompteur synchrone modulo 16 : ➔ 16 = 2^4 ➔ 4 bascules TH

Transition désirée	Commande à appliquer pour la TH
$Q_t \rightarrow Q_{t+1}$	T
$0 \rightarrow 0$	0
$0 \rightarrow 1$	1
$1 \rightarrow 0$	1
$1 \rightarrow 1$	0

$$T_0 = 1$$
$$T_1 = \overline{Q_0}$$
$$T_2 = \overline{Q_0} \cdot \overline{Q_1}$$
$$T_3 = \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2}$$

	Etat Initial de T_3	Etat Initial de T_2	Etat Initial de T_1	Etat Initial de T_0		Action à l'entrée de T3	Action à l'entrée de T2	Action à l'entrée de T1	Action à l'entrée de T0
Top	Q_3	Q_2	Q_1	Q_0	➔	T_3	T_2	T_1	T_0
CI	0	0	0	0		1	1	1	1
1	1	1	1	1		0	0	0	1
2	1	1	1	0		0	0	1	1
3	1	1	0	1		0	0	0	1
4	1	1	0	0		0	1	1	1
5	1	0	1	1		0	0	0	1
6	1	0	1	0		0	0	1	1
7	1	0	0	1		0	0	0	1
8	1	0	0	0		1	1	1	1
9	0	1	1	1		0	0	0	1
10	0	1	1	0		0	0	1	1
11	0	1	0	1		0	0	0	1
12	0	1	0	0		0	1	1	1
13	0	0	1	1		0	0	0	1
14	0	0	1	0		0	0	1	1
15	0	0	0	1		0	0	0	1
16	0	0	0	0					

Table de transition du décompteur synchrone modulo 16

Chapitre VI : Les circuits séquentiels

$T_0 = 1$

$T_1 = \overline{Q_0}$

$T_2 = \overline{Q_0} \cdot \overline{Q_1}$

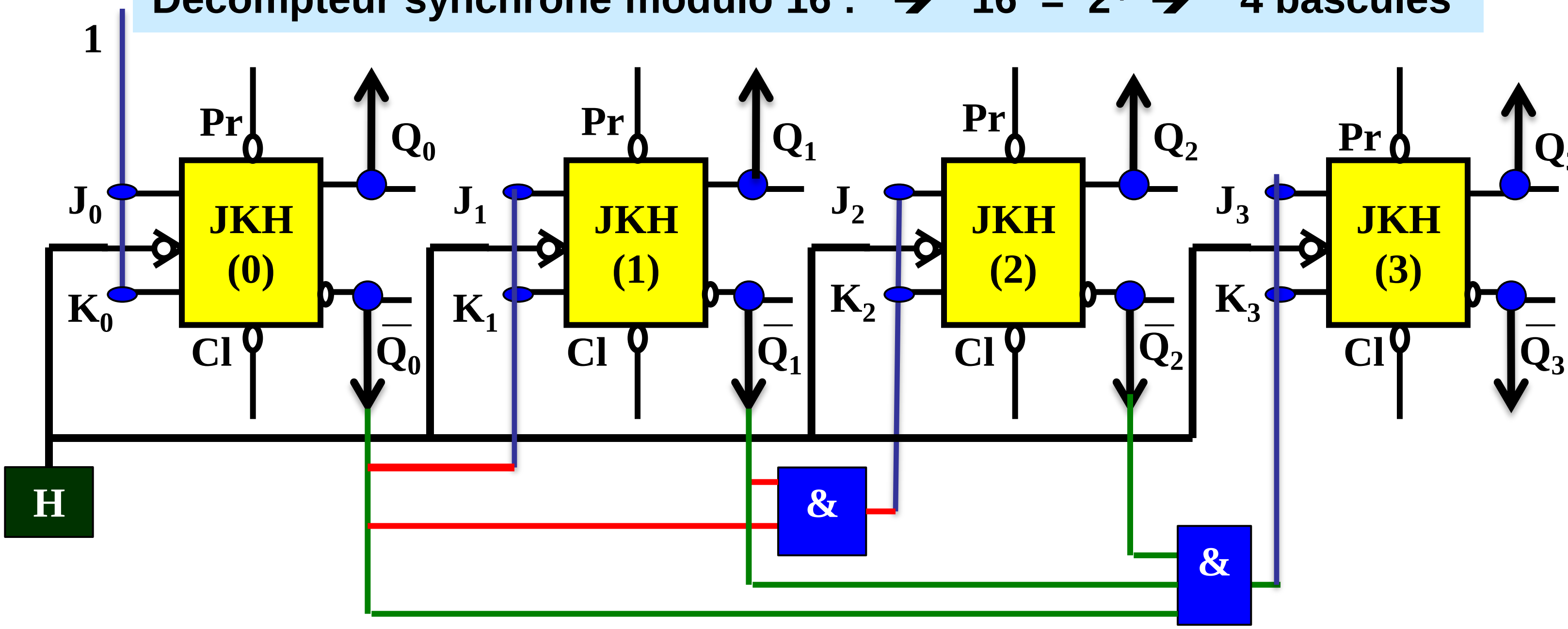
$T_3 = \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2}$

	Etat Initial de T_3	Etat Initial de T_2	Etat Initial de T_1	Etat Initial de T_0		Etat suivant de T_3	Etat suivant de T_2	Etat suivant de T_1	Etat suivant de T_0		Action à l'entrée de T3	Action à l'entrée de T2	Action à l'entrée de T1	Action à l'entrée de T0
Top	Q_3	Q_2	Q_1	Q_0	➔	Q_3'	Q_2'	Q_1'	Q_0'	➔	T_3	T_2	T_1	T_0
1	0	0	0	0	➔	1	1	1	1		1	1	1	1
2	1	1	1	1	➔	1	1	1	0		0	0	0	1
3	1	1	1	0	➔	1	1	0	1		0	0	1	1
4	1	1	0	1	➔	1	1	0	0		0	0	0	1
5	1	1	0	0	➔	1	0	1	1		0	1	1	1
6	1	0	1	1	➔	1	0	1	0		0	0	0	1
7	1	0	1	0	➔	1	0	0	1		0	0	1	1
8	1	0	0	1	➔	1	0	0	0		0	0	0	1
9	1	0	0	0	➔	0	1	1	1		1	1	1	1
10	0	1	1	1	➔	0	1	1	0		0	0	0	1
11	0	1	1	0	➔	0	1	0	1		0	0	1	1
12	0	1	0	1	➔	0	1	0	0		0	0	0	1
13	0	1	0	0	➔	0	0	1	1		0	1	1	1
14	0	0	1	1	➔	0	0	1	0		0	0	0	1
15	0	0	1	0	➔	0	0	0	1		0	0	1	1
16	0	0	0	1	➔	0	0	0	0		0	0	0	1

Table de transition du décompteur synchrone modulo 16

Chapitre VI : Les circuits séquentiels

Décompteur synchrone modulo 16 : ➔ 16 = 2^4 ➔ 4 bascules



Bascule JKH montée en bascule T	$J_i = K_i = T_i$
Relations générales de récurrence	$J_0 = K_0 = 1$ $J_i = K_i = \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2} \ldots \overline{Q_{i-1}}$ ou autrement : $J_i = K_i = J_{i-1} \cdot \overline{Q_{i-1}}$
Dans le cas du compteur synchrone modulo 16	$J_0 = K_0 = 1$ $J_1 = K_1 = \overline{Q_0}$ $J_2 = K_2 = \overline{Q_0} \cdot \overline{Q_1}$ $J_3 = K_3 = \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2}$

Chapitre VI : Les circuits séquentiels

■ Les décompteurs synchrones à cycle régulier

b°) $N < 2^n$: décompteurs synchrones à cycle de comptage incomplet.

Exemple n°1 : décompteur synchrone modulo 6 : ➔ $2^2 < 6 < 2^3$ ➔ 3 bascules TH

Transition désirée	Commande à appliquer pour la TH
$Q_t \rightarrow Q_{t+1}$	T
0 → 0	0
0 → 1	1
1 → 0	1
1 → 1	0

	Etat Initial de T_2	Etat Initial de T_1	Etat Initial de T_0		Etat suivant de T_2	Etat suivant de T_1	Etat suivant de T_0		Action à l'entrée de T2	Action à l'entrée de T1	Action à l'entrée de T0
Top	Q_2	Q_1	Q_0	➔	Q_2'	Q_1'	Q_0'	➔	T_2	T_1	T_0
1	0	0	0	➔	1	0	1		1	0	1
2	1	0	1	➔	1	0	0		0	0	1
3	1	0	0	➔	0	1	1		1	1	1
4	0	1	1	➔	0	1	0		0	0	1
5	0	1	0	➔	0	0	1		0	1	1
6	0	0	1	➔	0	0	0		0	0	1
7	0	0	0	➔	1	0	1		1	0	1

Table de transition du décompteur synchrone modulo 6

décompteur synchrone modulo 6 : ➔ $2^2 < 6 < 2^3$ ➔ 3 bascules TH

	Etat Initial de T_2	Etat Initial de T_1	Etat Initial de T_0		Action à l'entrée de T3	Action à l'entrée de T2	Action à l'entrée de T1	Action à l'entrée de T0
Top	Q_2	Q_1	Q_0	➔		T_2	T_1	T_0
Cl	0	0	0			1	0	1
1	1	0	1			0	0	1
2	1	0	0			1	1	1
3	0	1	1			0	0	1
4	0	1	0			0	1	1
5	0	0	1			0	0	1
6	0	0	0			1	0	1
7	1	0	1					

Table de transition du décompteur synchrone modulo 6

Chapitre VI : Les circuits séquentiels

Q_2	Q_1	Q_0	➔	Q_2'	Q_1'	Q_0'	➔	T_2	T_1	T_0
0	0	0	➔	1	0	1		1	0	1
1	0	1	➔	1	0	0		0	0	1
1	0	0	➔	0	1	1		1	1	1
0	1	1	➔	0	1	0		0	0	1
0	1	0	➔	0	0	1		0	1	1
0	0	1	➔	0	0	0		0	0	1
0	0	0	➔	1	0	1		1	0	1

T_0

Q_2 \ $Q_1 Q_0$	00	01	11	10
0	1	1	1	1
1	1	1	x	x

$$T_0 = 1$$

T_1

Q_2 \ $Q_1 Q_0$	00	01	11	10
0	0	0	0	1
1	1	0	x	x

$$T_1 = \overline{Q_0}\,Q_1 + \overline{Q_0}\,Q_2$$

$$T_1 = \overline{Q_0}\,(Q_1 + Q_2)$$

T_2

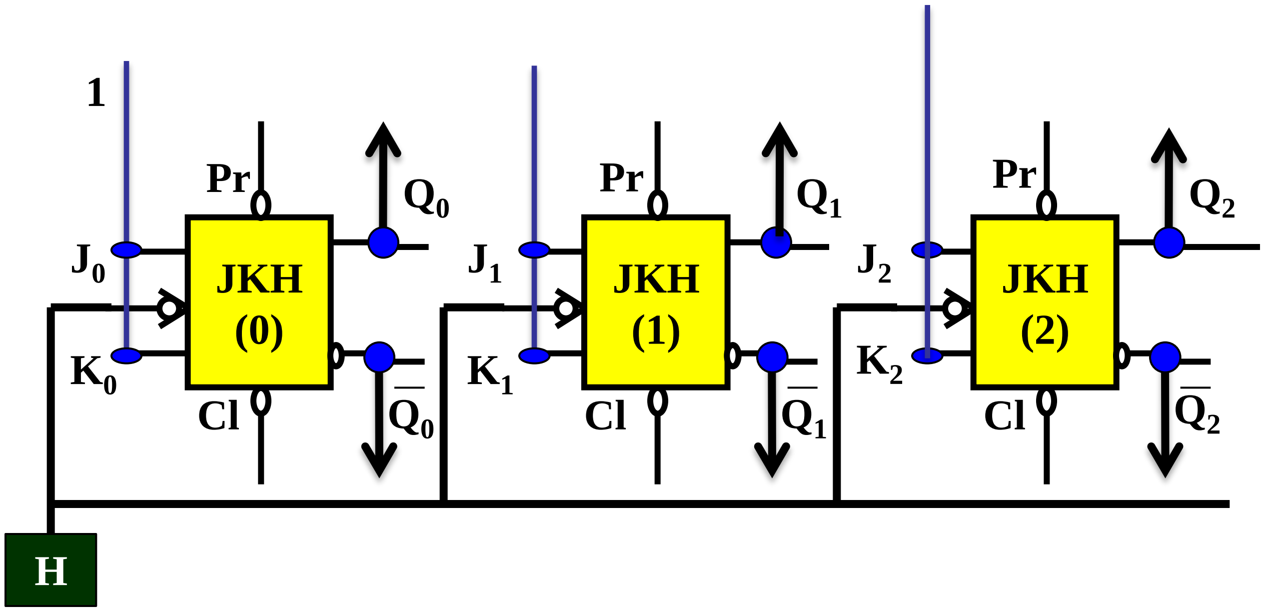
Q_2 \ $Q_1 Q_0$	00	01	11	10
0	1	0	0	0
1	1	0	x	x

$$T_2 = \overline{Q_0}\,\overline{Q_1}$$

Chapitre VI : Les circuits séquentiels

Exercice : Réaliser le logigramme de ce décompteur

Décompteur synchrone modulo 6 : ➔ $2^2 < 6 < 2^3$ ➔ 3 bascules TH



Expressions de transition	$T_0 = 1$	$T_1 = \overline{Q_0}\,Q_1 + \overline{Q_0}\,Q_2$ $T_1 = \overline{Q_0}\left(Q_1 + Q_2\right)$	$T_2 = \overline{Q_0}\,\overline{Q_1}$

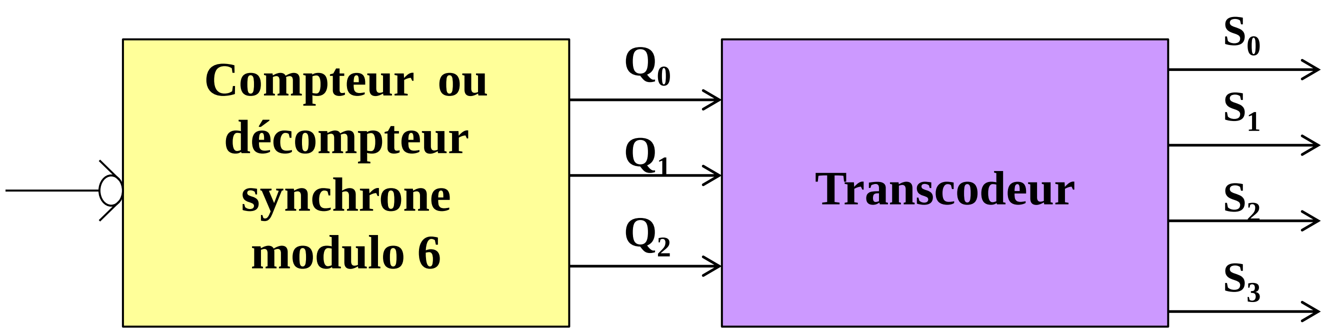
Chapitre VI : Les circuits séquentiels

■ Les décompteurs synchrones à cycle non régulier (ou dans un ordre quelconque).

► On réalise d'abord un compteur ou décompteur de même modulo, ensuite on transcode ses sorties pour obtenir le cycle demandé.

Exemple :

► Réalisation d'un compteur ayant pour cycle : 2, 5, 6, 8, 10, 13.



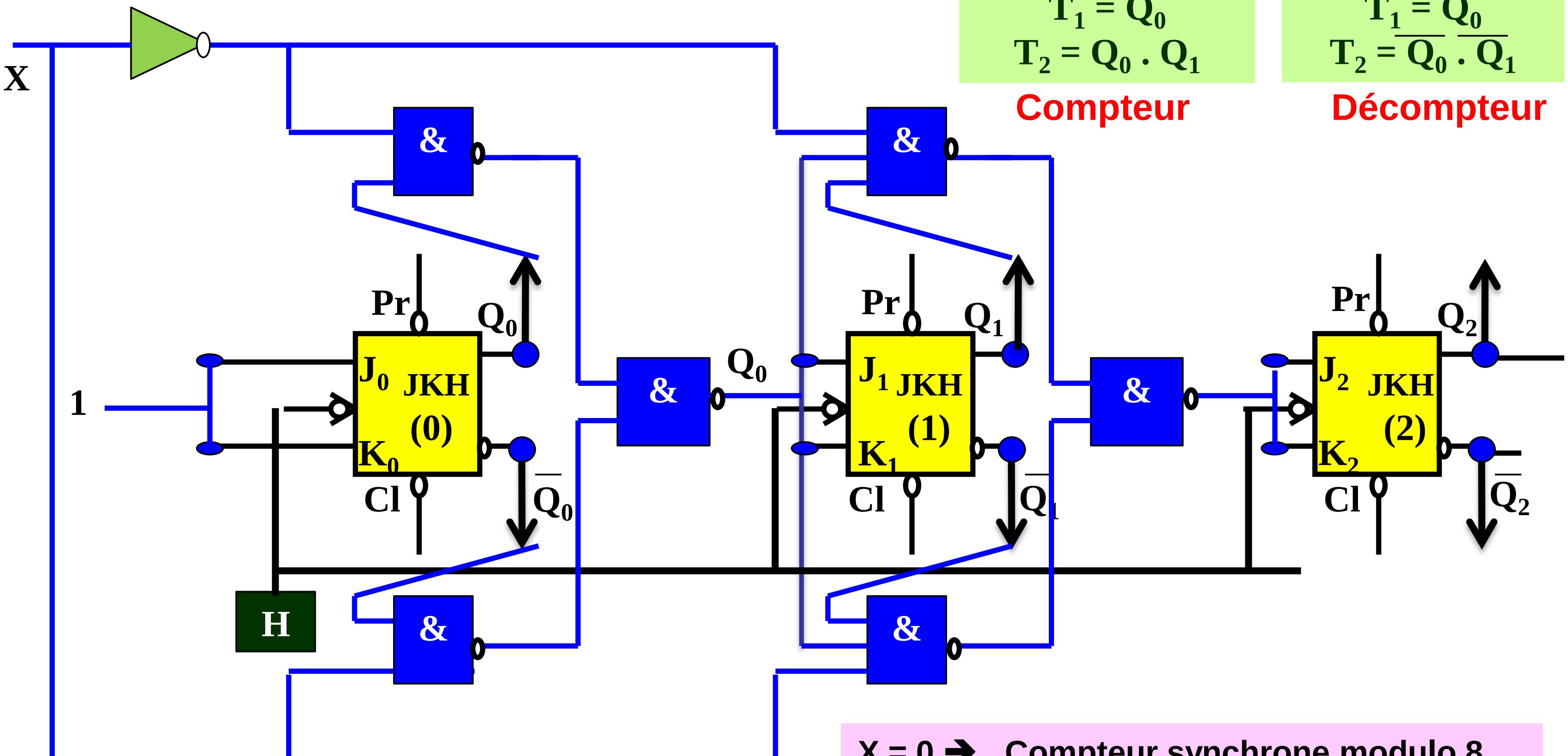
N°	Q_2	Q_1	Q_0	Transition	N°	S_3	S_2	S_1	S_0
0	0	0	0	→	2	1	1	0	1
1	0	0	1	→	5	1	0	1	0
2	0	1	0	→	6	1	0	0	0
3	0	1	1	→	8	0	1	1	0
4	1	0	0	→	10	0	1	0	1
5	1	0	1	→	13	0	0	1	0

Chapitre VI : Les circuits séquentiels

4°) Les compteurs synchrones réversibles (ou compteurs-décompteurs synchrones)

Exemple de réalisation avec des bascules JKH

Compteur	Décompteur
$T_0 = 1$	$T_0 = 1$
$T_1 = Q_0$	$T_1 = \overline{Q_0}$
$T_2 = Q_0 \cdot Q_1$	$T_2 = \overline{Q_0} \cdot \overline{Q_1}$



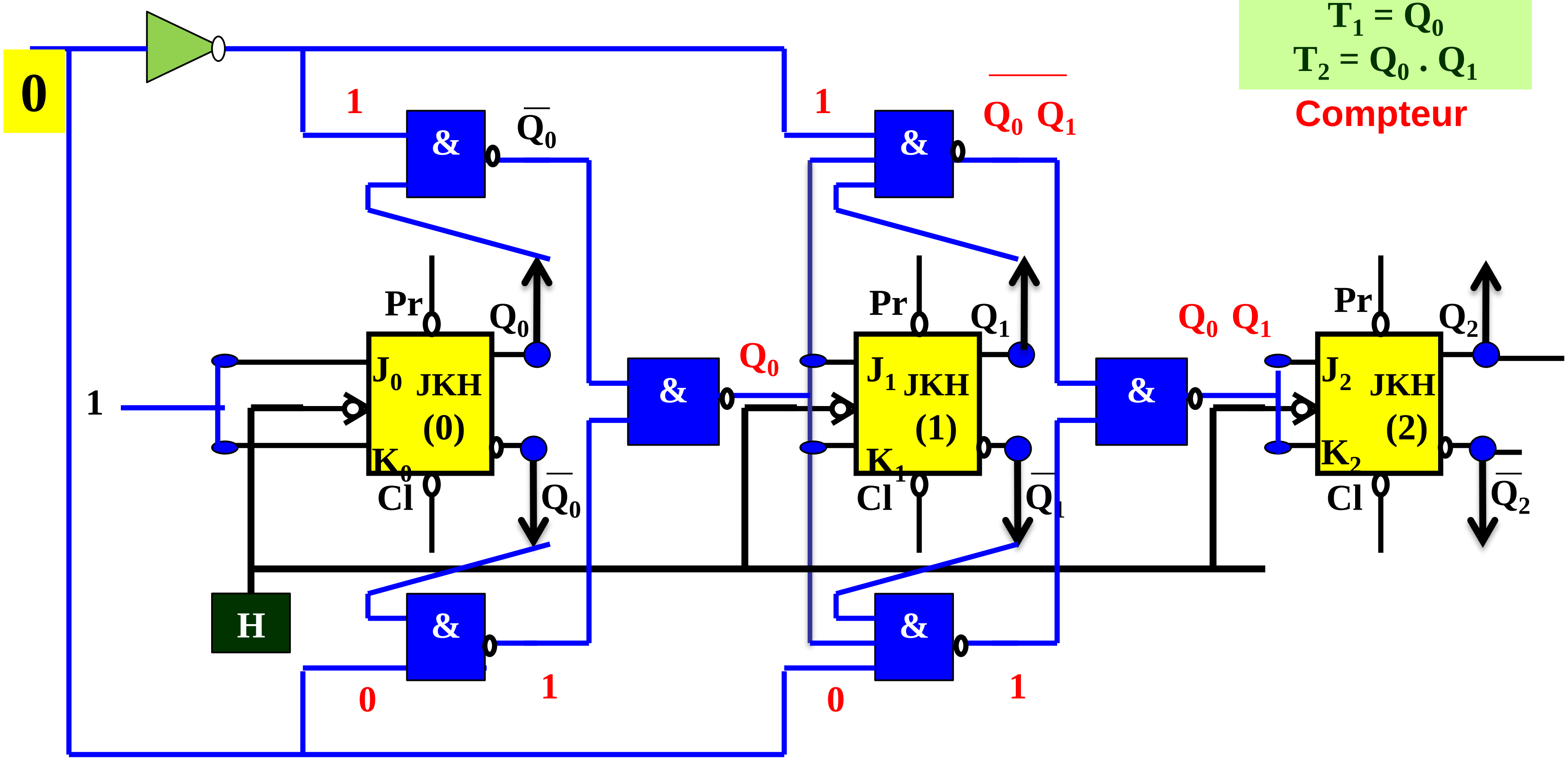
X = 0 ➔ Compteur synchrone modulo 8
X = 1 ➔ Décompteur synchrone modulo 8

Chapitre VI : Les circuits séquentiels

X = 0 ➔ Compteur synchrone modulo 8

$T_0 = 1$
$T_1 = Q_0$
$T_2 = Q_0 \cdot Q_1$

Compteur

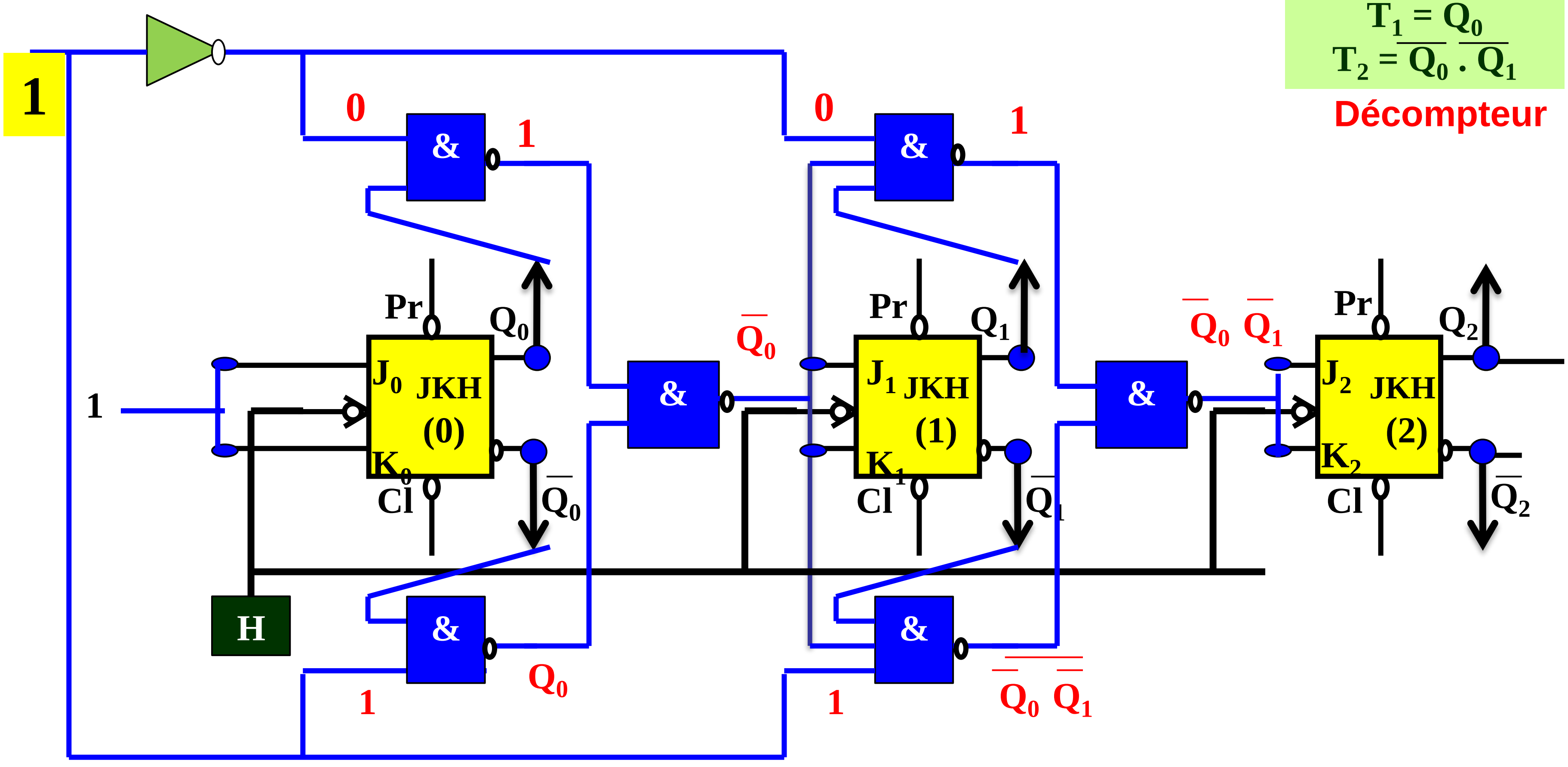


Chapitre VI : Les circuits séquentiels

X = 1 ➔ Décompteur synchrone modulo 8

$T_0 = \overline{1}$
$T_1 = \overline{Q_0}$
$T_2 = \overline{Q_0} \cdot \overline{Q_1}$

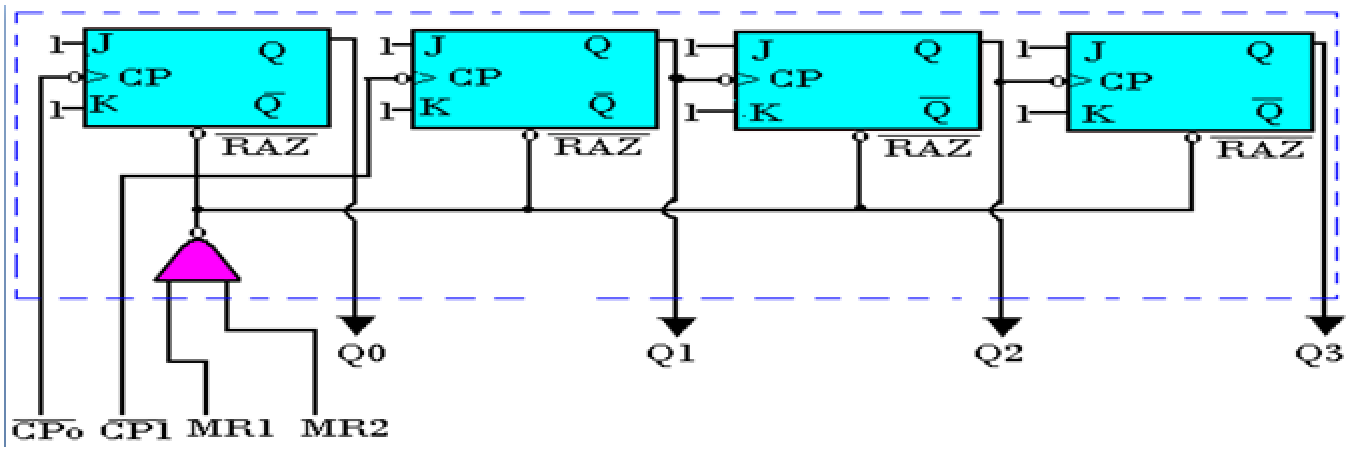
Décompteur



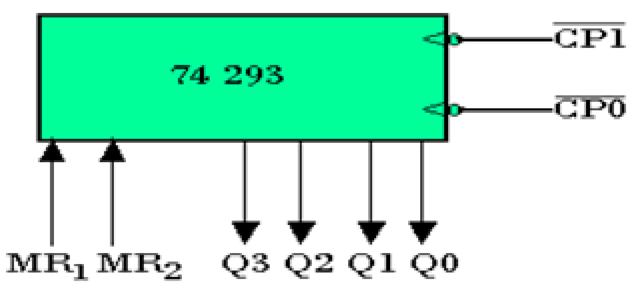
5°) Les compteurs/décompteurs à circuits intégrés

CI 74 293

► Ce C.I intègre 4 bascules JK et une porte NAND connectée de la manière suivante.



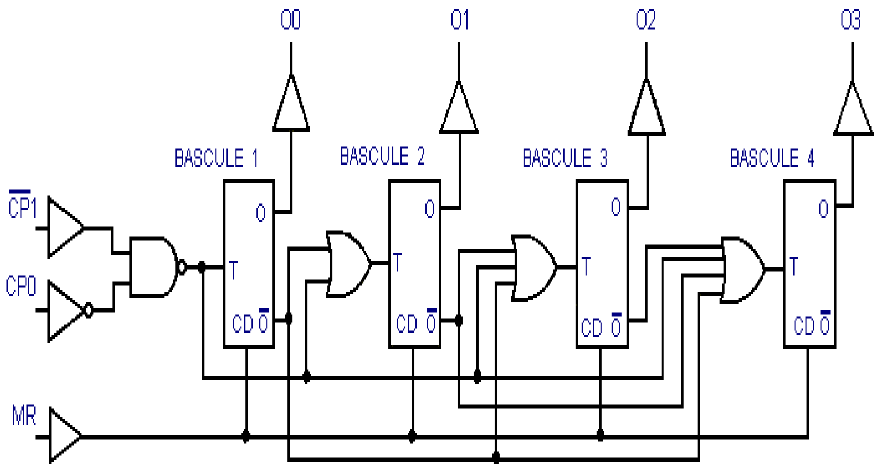
Symbole simplifié :

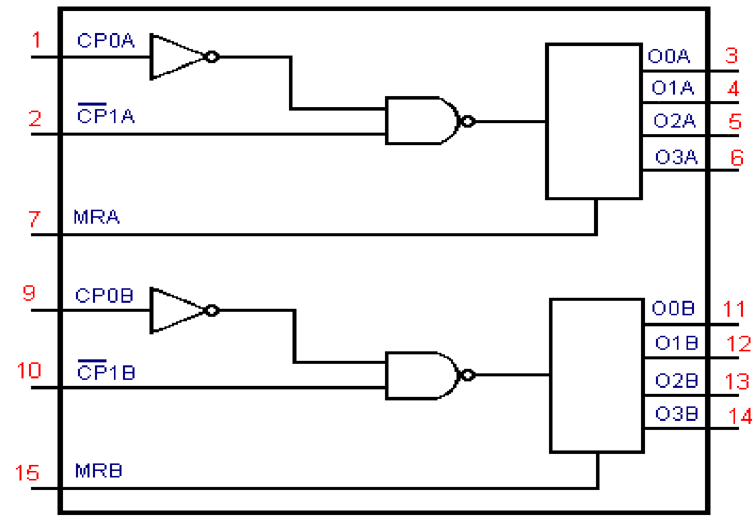


CP: Entrée de l'horloge active au front descendant
Q: Sortie de bascule
MR: Remise à zero (Master Reset)
Q3: MSB
Q0: LSB

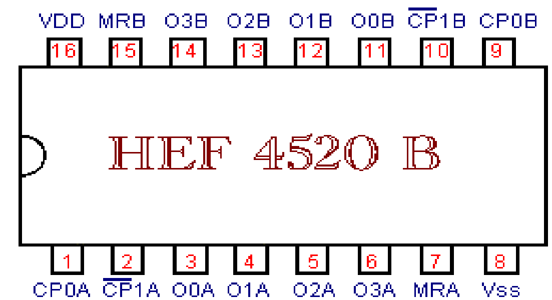
Chapitre VI : Les circuits séquentiels

HEF 4520 B





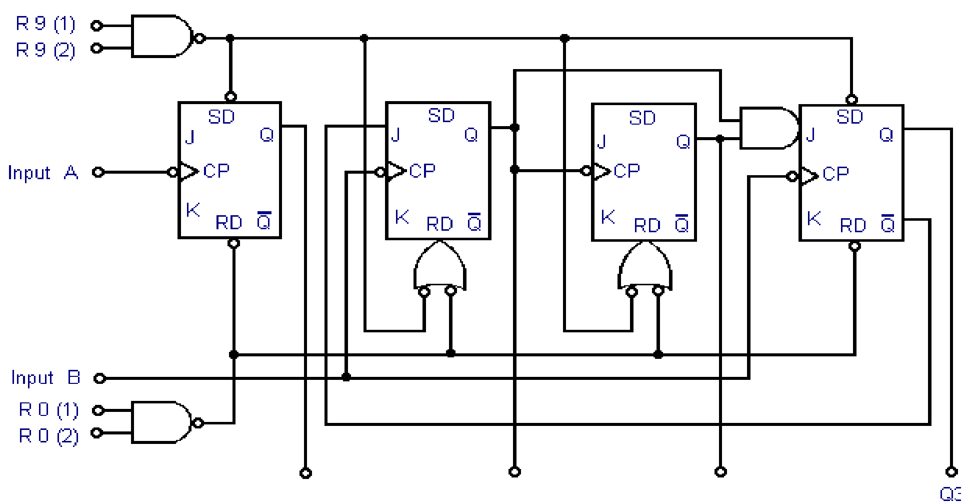
a)

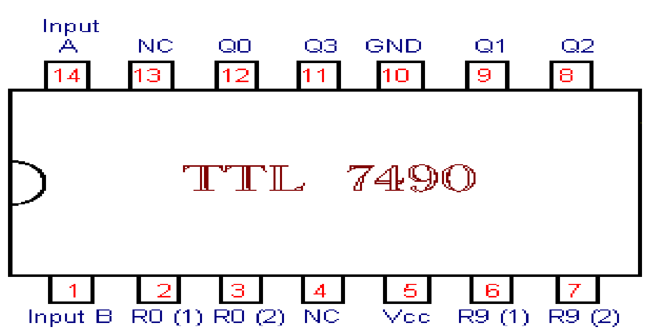


b)

Chapitre VI : Les circuits séquentiels

CI - TTL : 7490





R0 (1)	R0 (2)	R9 (1)	R9 (2)	Q3	Q2	Q1	Q0
1	1	0	X	0	0	0	0
1	1	X	0	0	0	0	0
X	X	1	1	1	0	0	1
X	0	X	0	Comptage			
0	X	0	X	Comptage			
0	X	X	0	Comptage			
X	0	0	X	Comptage			

Table de vérité relative au fonctionnement du compteur 7490.

Chapitre VI : Les circuits séquentiels

Compteur programmable : CTRDIV16

► **Il existe des circuits intégrés réalisant la fonction « comptage » ou/et « décomptage».**

On peut distinguer dans la série TTL :

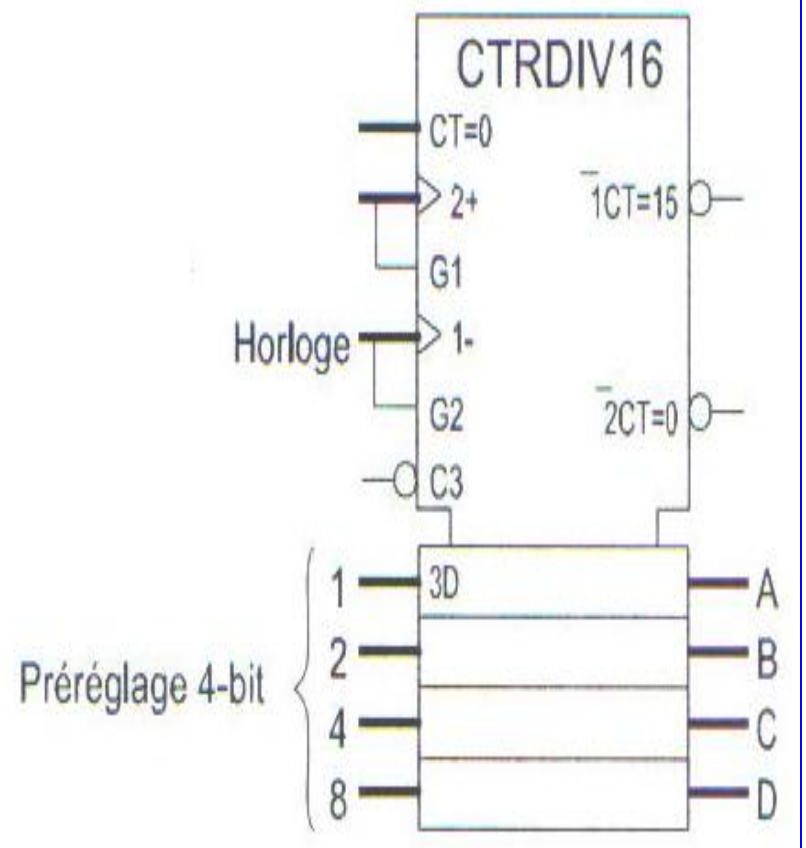
- les compteurs binaires [modulo 16];
- les compteurs décimaux(ou BCD) [modulo 10];
- les compteurs/décompteurs décimaux avec entrées de préchargement;
- les compteurs/décompteurs binaires avec entrées de préchargement;
- les compteurs/décompteurs décimaux avec registre;
- les diviseurs de fréquence (taux de division fixe ou programmable)

Chapitre VI : Les circuits séquentiels

Exemple de compteur/décompteur décimal synchrone programmable : 74192

Principales caractéristiques :

- **Mode réversible : Compteur / décompteur**
- **Déclenchement simultané de toutes les bascules (mode synchrone).**
- **4 entrées de pré-chargement (ou préréglage) (1 à 8)**
- **Entrée de commande /LOAD (ou C3)**
- **Entrée d'horloge pour le comptage (UP) ou (2+/G1)**
- **Entrée d'horloge pour le décomptage (DOWN) ou (1-/G2)**
- **Entrée de RAZ ou CLR ou (CT = 0).**



Symbole de circuit du composant.