



**Université Internationale
de Casablanca**

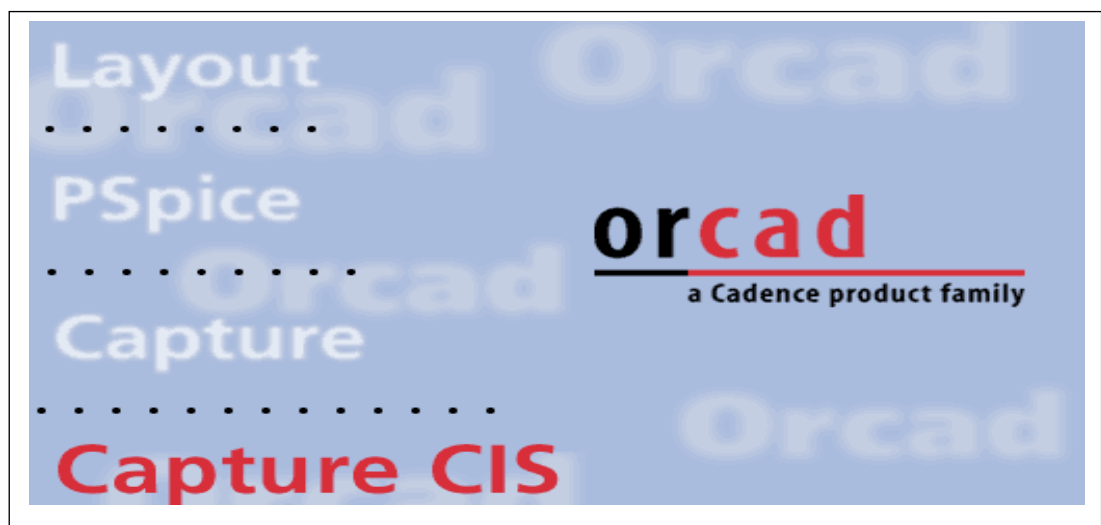
LAUREATE INTERNATIONAL UNIVERSITIES

Filières GI & GE

Première Année du Cycle Ingénieur

Support du cours

Simulation et Routage



Plan du cours :

Chapitre 1 : Introduction à la CAO des systèmes électroniques

- 1.1 L'ordinateur dans le domaine de conception électronique
- 1.2 Cycle de fabrication des systèmes électroniques
- 1.3 Outils de base d'une chaîne d'IAO/CAO

Chapitre 2 : Saisie de schéma

- 2.1 Notion de conception hiérarchique (approche Top Down)
- 2.2 La saisie d'un schéma électronique

Chapitre 3 : La simulation fonctionnelle des systèmes numériques

- 3.1 Environnement de travail d'un simulateur
- 3.2 Procédure de simulation

Chapitre 4 : La simulation TEMPORELLE des systèmes numériques

- 4.1 Caractéristiques temporelles d'un circuit séquentiel
- 4.2 Simulation en temps Min, en temps Max et en temps Typiques
- 4.3 Fréquence maximale de fonctionnement
- 4.4 Marge du 'SETUP' et Marge du 'HOLD' et notion d'Aléas de Fonctionnement
- 4.5 Simulation de fautes et évaluation de la testabilité

Chapitre 5 : Simulation des systèmes analogiques (Simulateur PSPICE)

- 5.1 Représentation fonctionnelle d'un simulateur analogique
- 5.2 Représentation des différents fichiers propre à SPICE
- 5.3 Les icônes relatifs à PSPICE
- 5.4 Les étapes de simulation d'un circuit sous PSPICE

Chapitre 6 : CAO du circuit imprimé

- 6.1 Concepts de base sur la fabrication industrielle des cartes électronique
- 6.2 Procédure de développement d'un PCB par les outils de CAO
- 6.3 Environnement logiciel d'un outil de CAO d'un PCB
- 6.4 Principaux paramètres de configuration d'un PCB
- 6.5 les étapes de conception d'un PCB

1 L'ordinateur dans le domaine de la conception électronique

I.A.O : Ingénierie Assistée par Ordinateur pour le développement de produits électroniques :

- prise en compte des spécifications du cahier des charges pour arriver au produit fini optimal répondant à ces spécifications
- simulation fonctionnelle
- qualification
- Optimisation

C.A.O : Conception Assistée par Ordinateur pour l'implantation physique et le routage des cartes

C.F.A.O : Ingénierie Assistée par Ordinateur pour l'étude et le suivi des procédés de fabrication et tests de circuits imprimés

- perçage par machine à commande numérique
- implantation automatique des composants
- tests IN-SITU

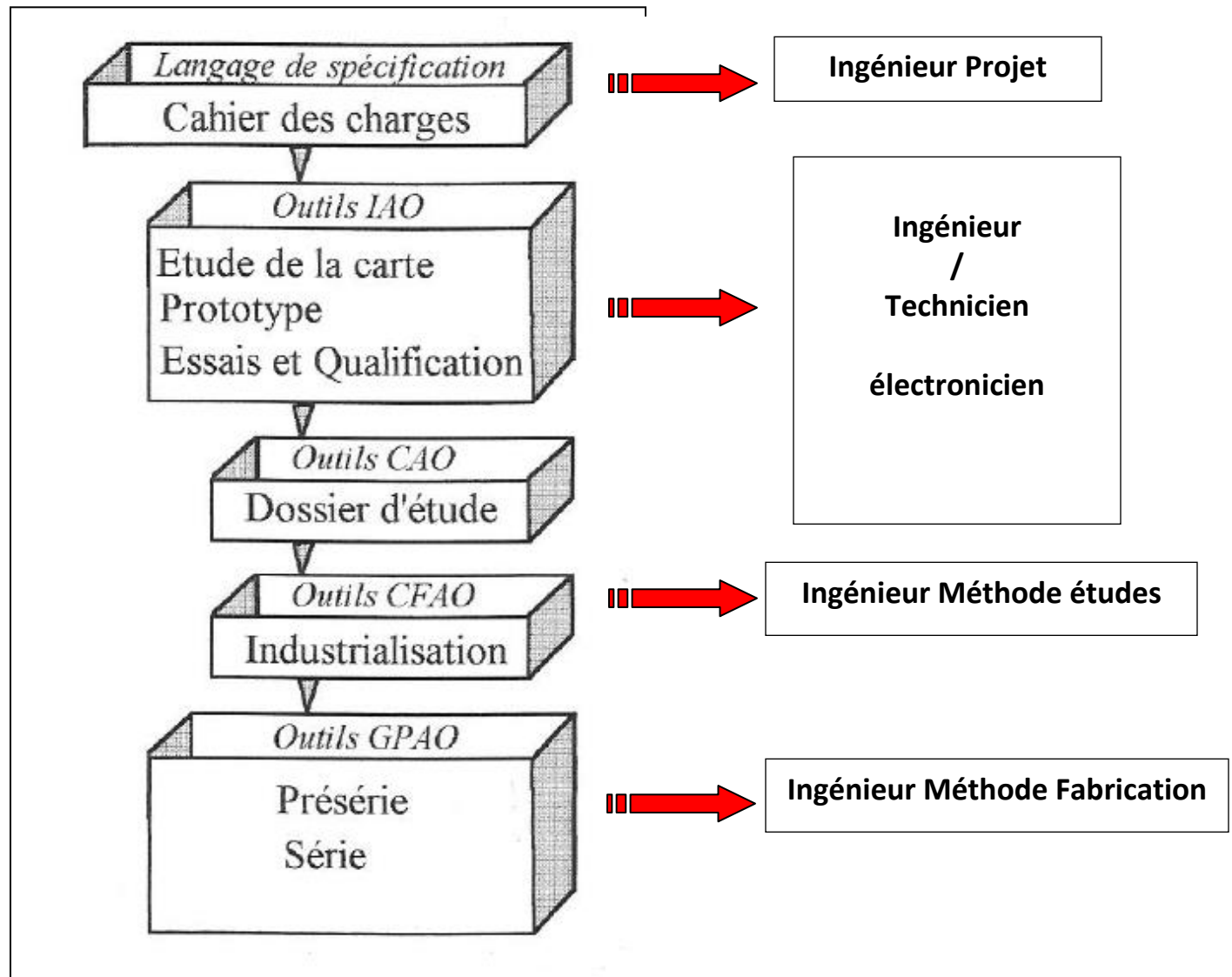
Exemples de chaînes d'IAO/CAO professionnelle et industrielle:

Système Mentor Graphics
Système Valid
Systèmes Cadence Orcad

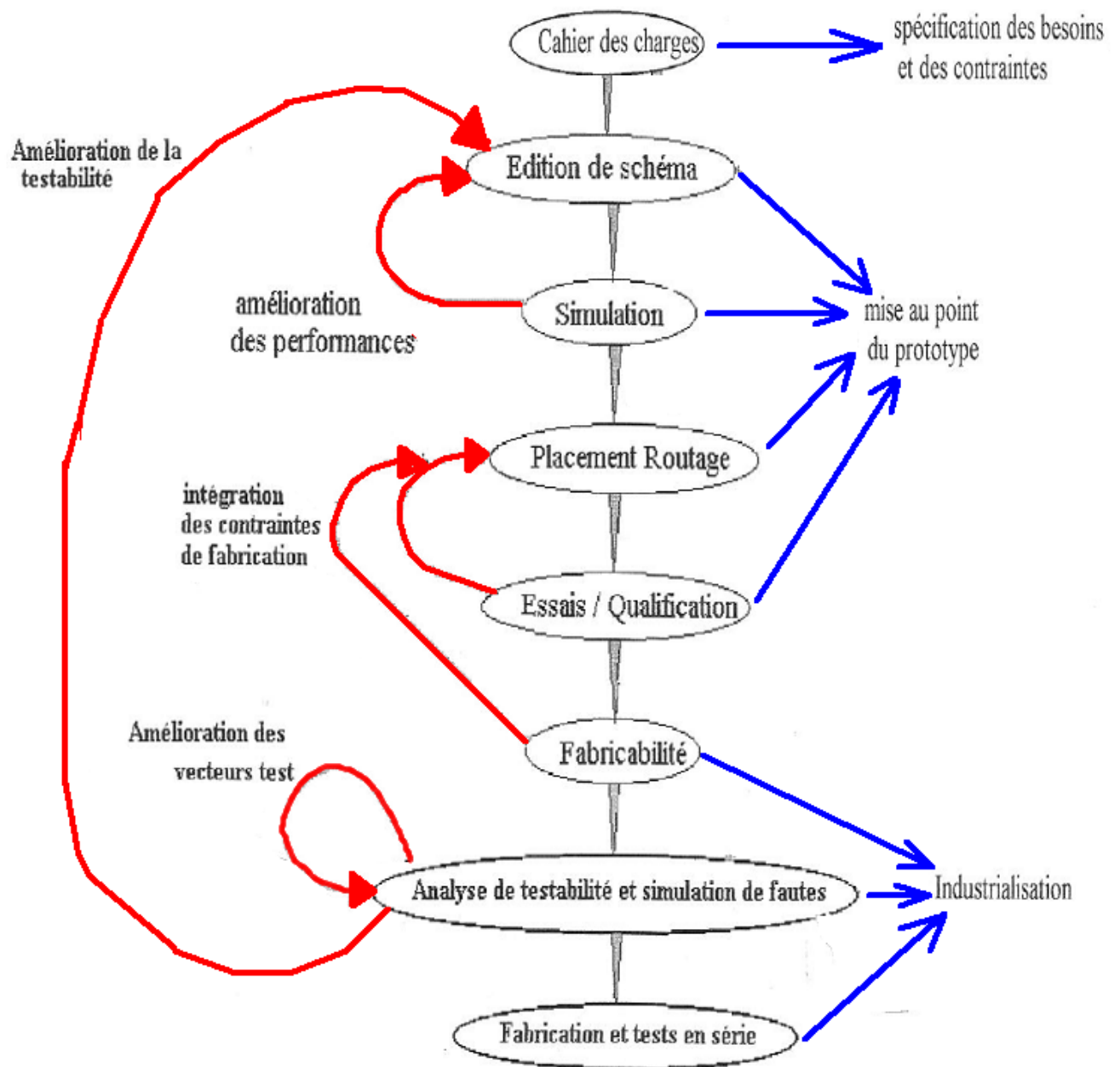
Exemples de chaîne complète personnelle :

Système ISIS
Système EAGLE
Système PROTEUS

2 Cycle de fabrication des systèmes électroniques



3 Outils de base d'une chaîne d'IAO/CAO



.

Chapitre 2 :

Saisie de schéma

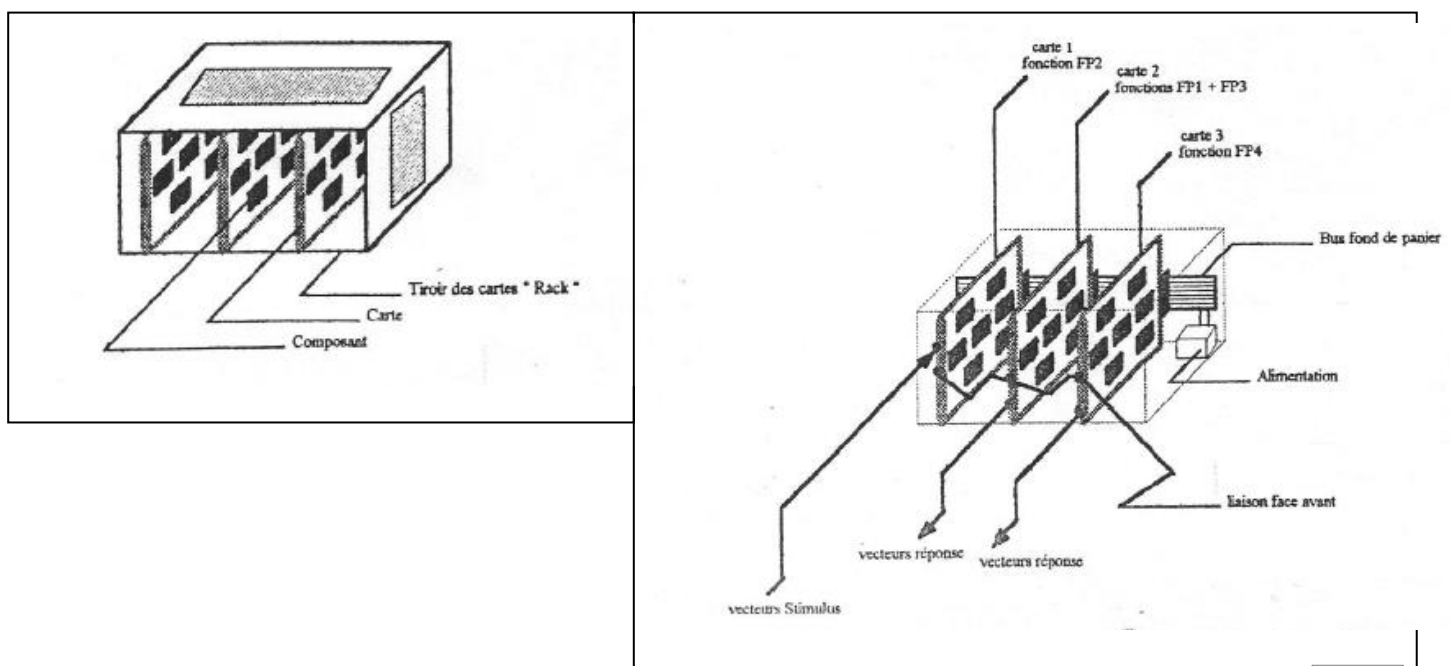
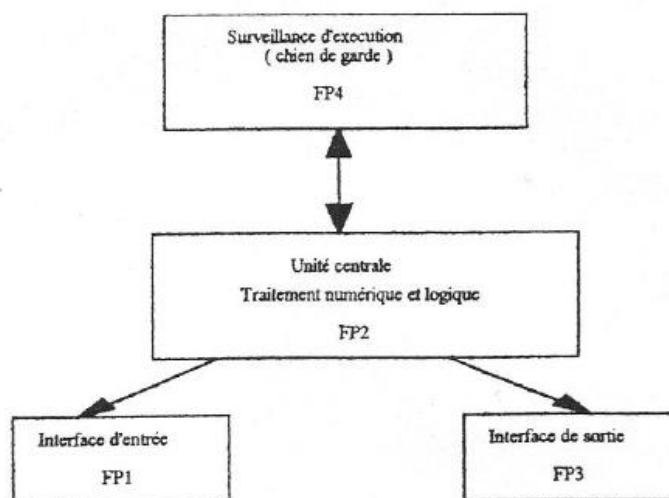
Gestion d'un projet de conception électronique :

- analyses bottom-up et
- analyse top-down

2-1 Notion de conception hiérarchique (approche Top Down)

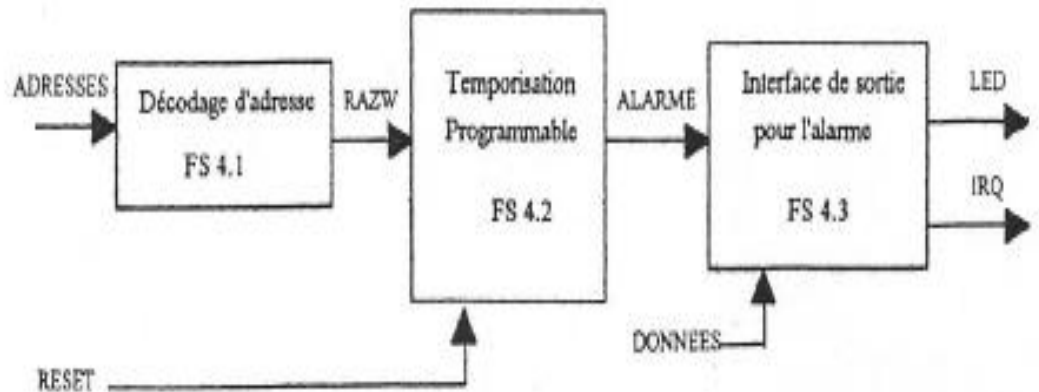
Phase 1 : Description abstractive du système

Exemple : automate programmable

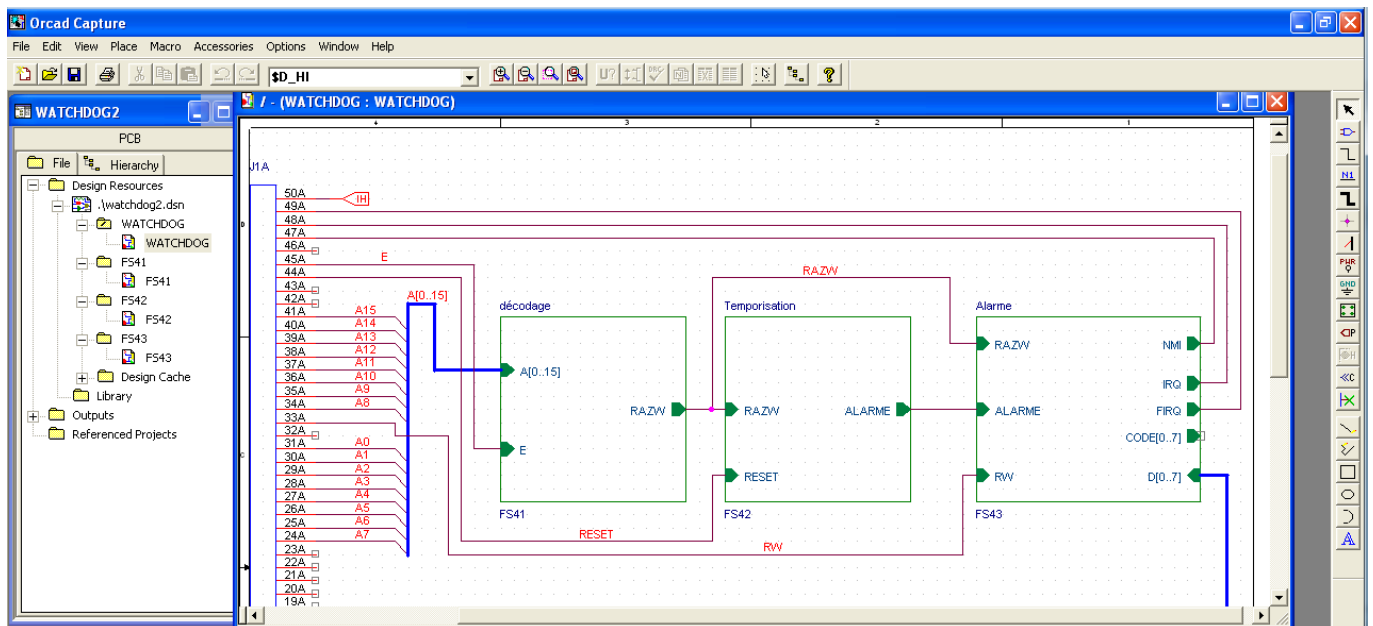


Phase 2 - Description de chaque fonction principale

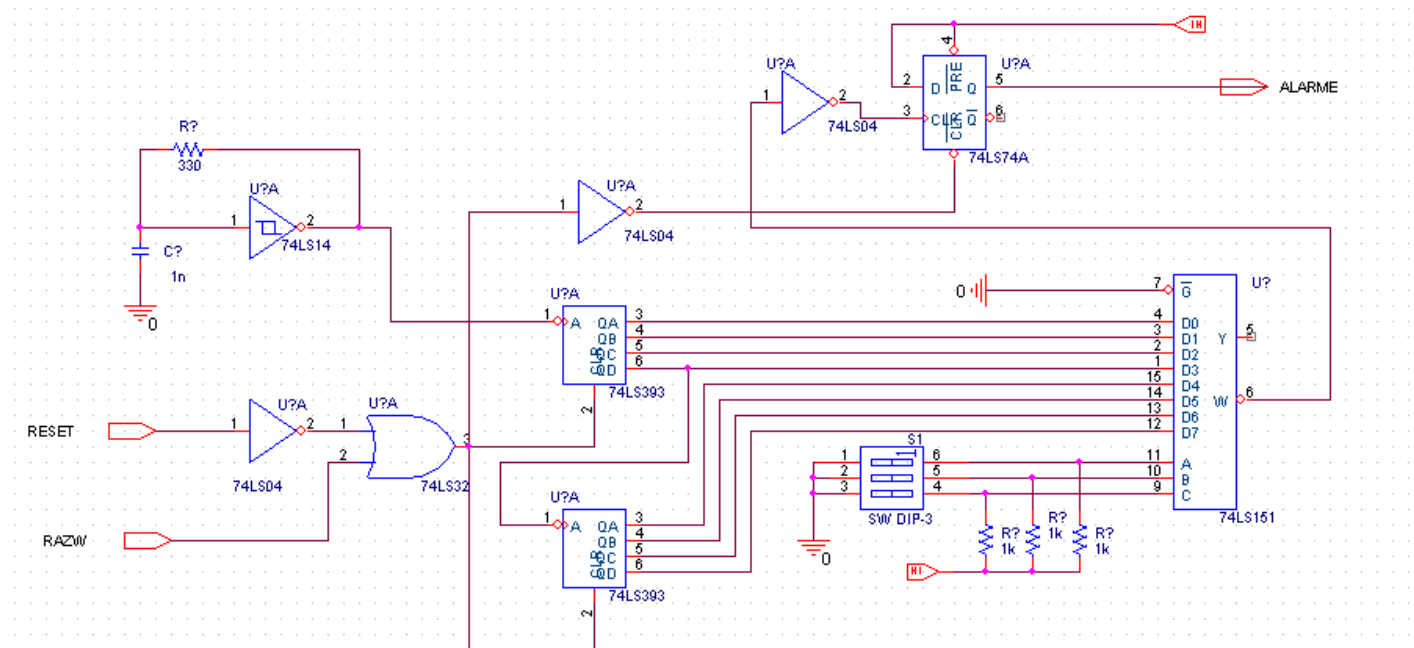
* fonction principale 4 (FP 4)



Phase 3 - Description de chaque fonction secondaire : phase concrétisation de l'étude (niveau composant)

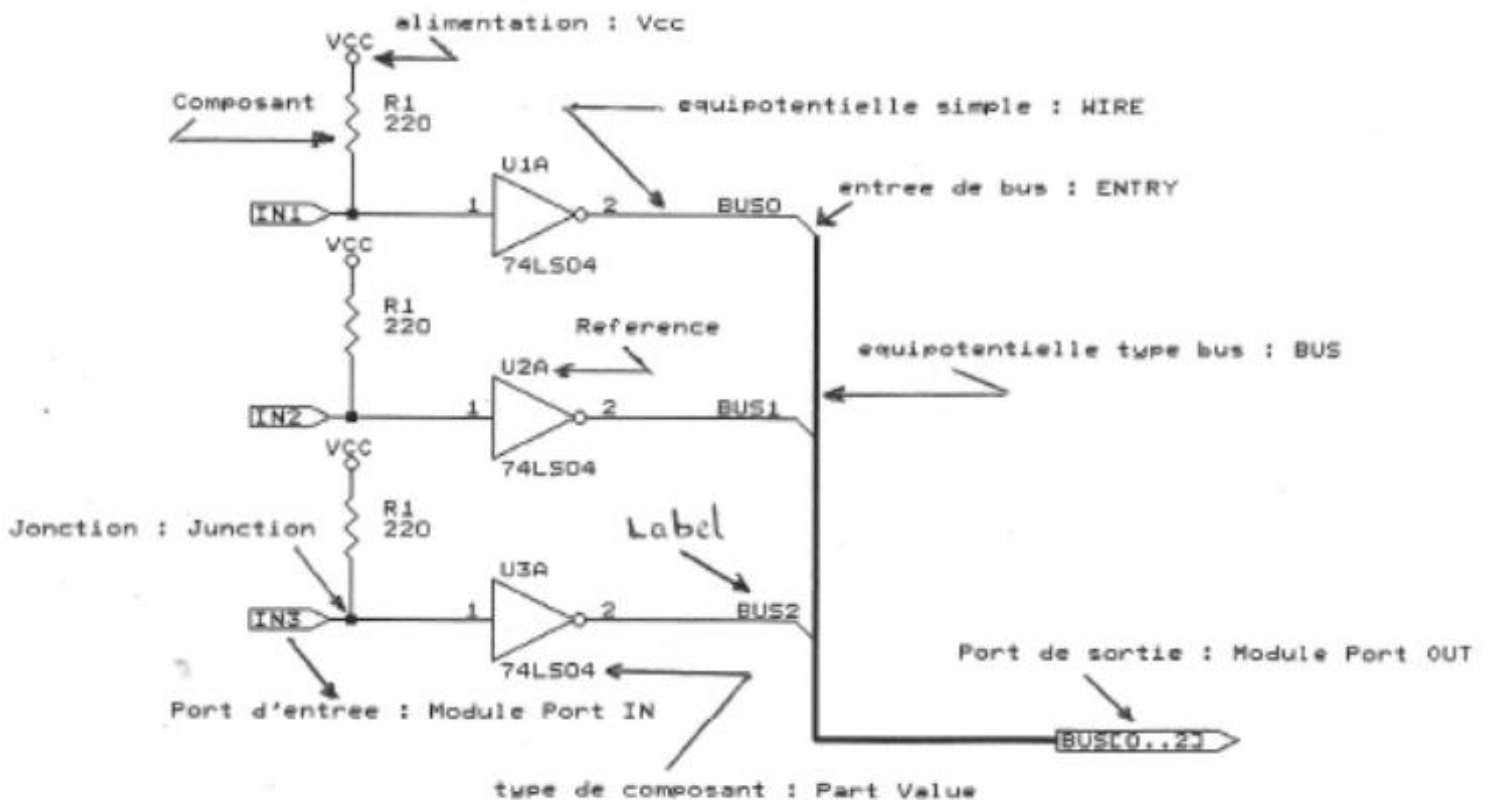


* fonction secondaire 2 (FS 4.2)

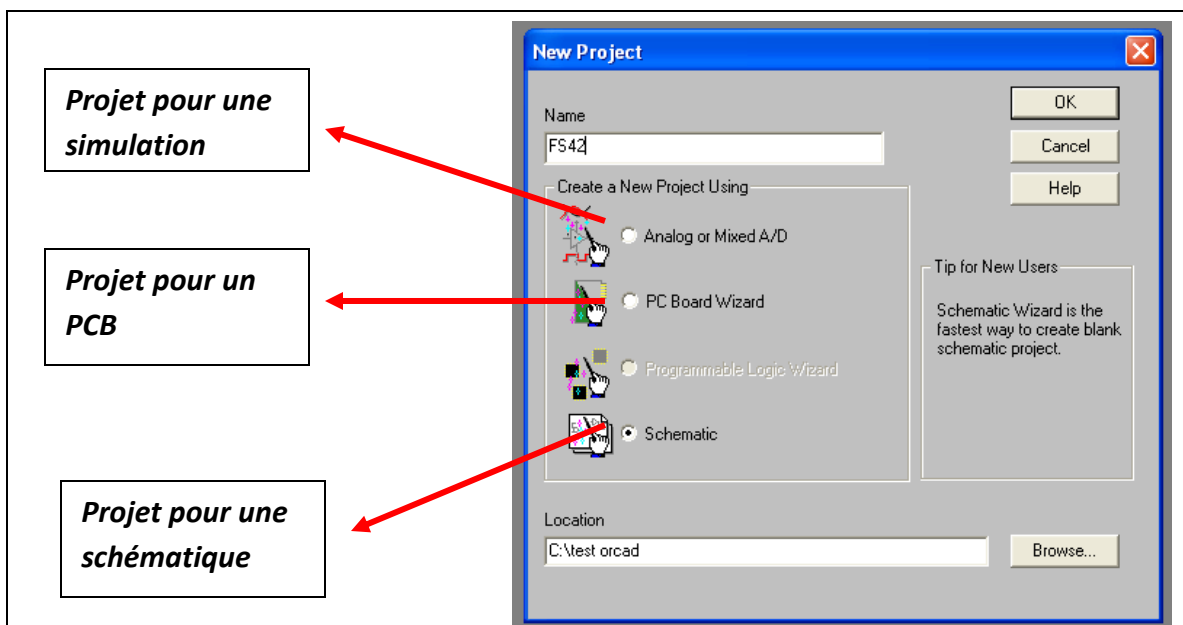


2.2- La saisie d'un schéma électronique

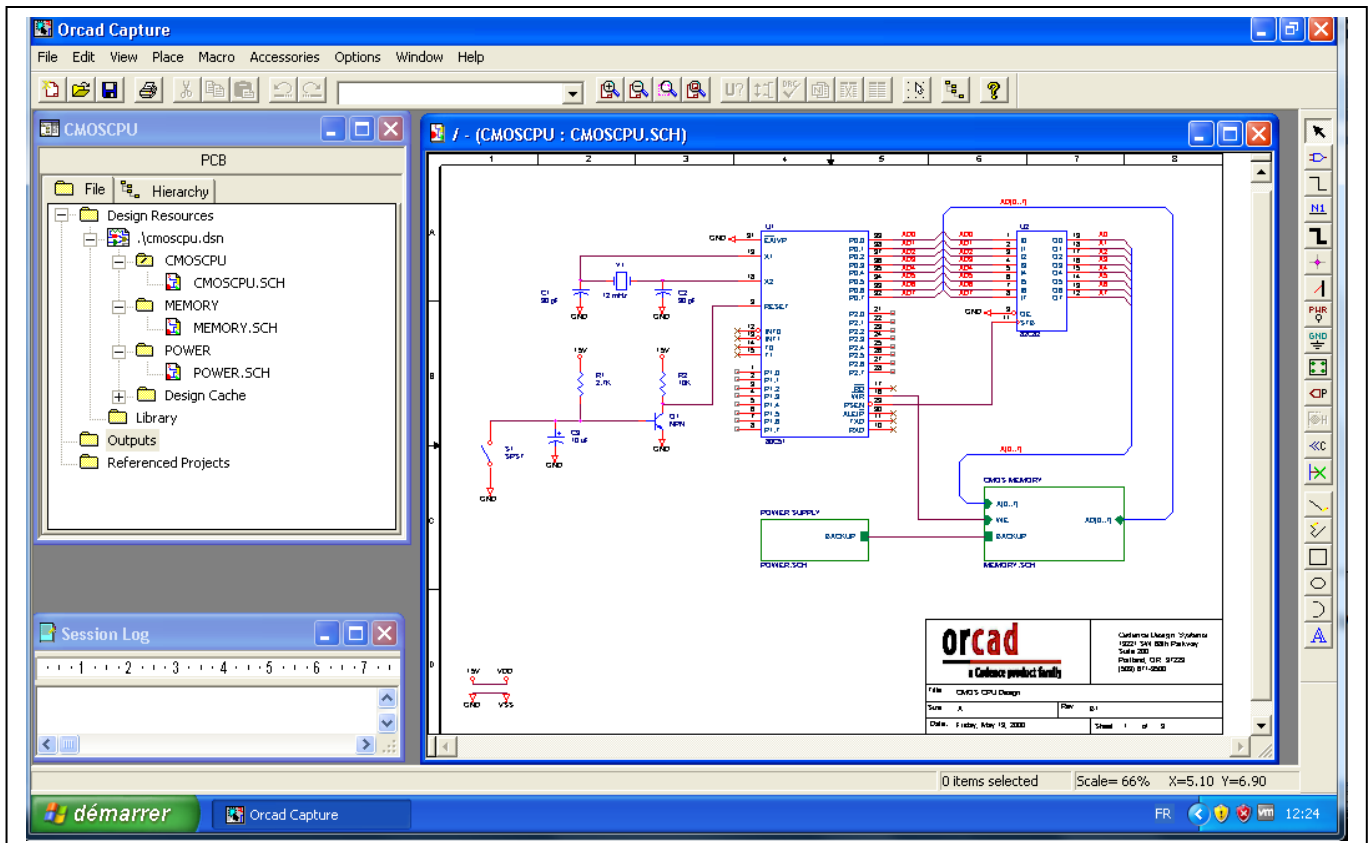
2.2.1 Les éléments de base d'un éditeur graphique de de schéma



2.2.2 Les trois types de projets relatifs à la création d'une schématique



2.2.3 Menus et commandes d'un éditeur graphique de schéma



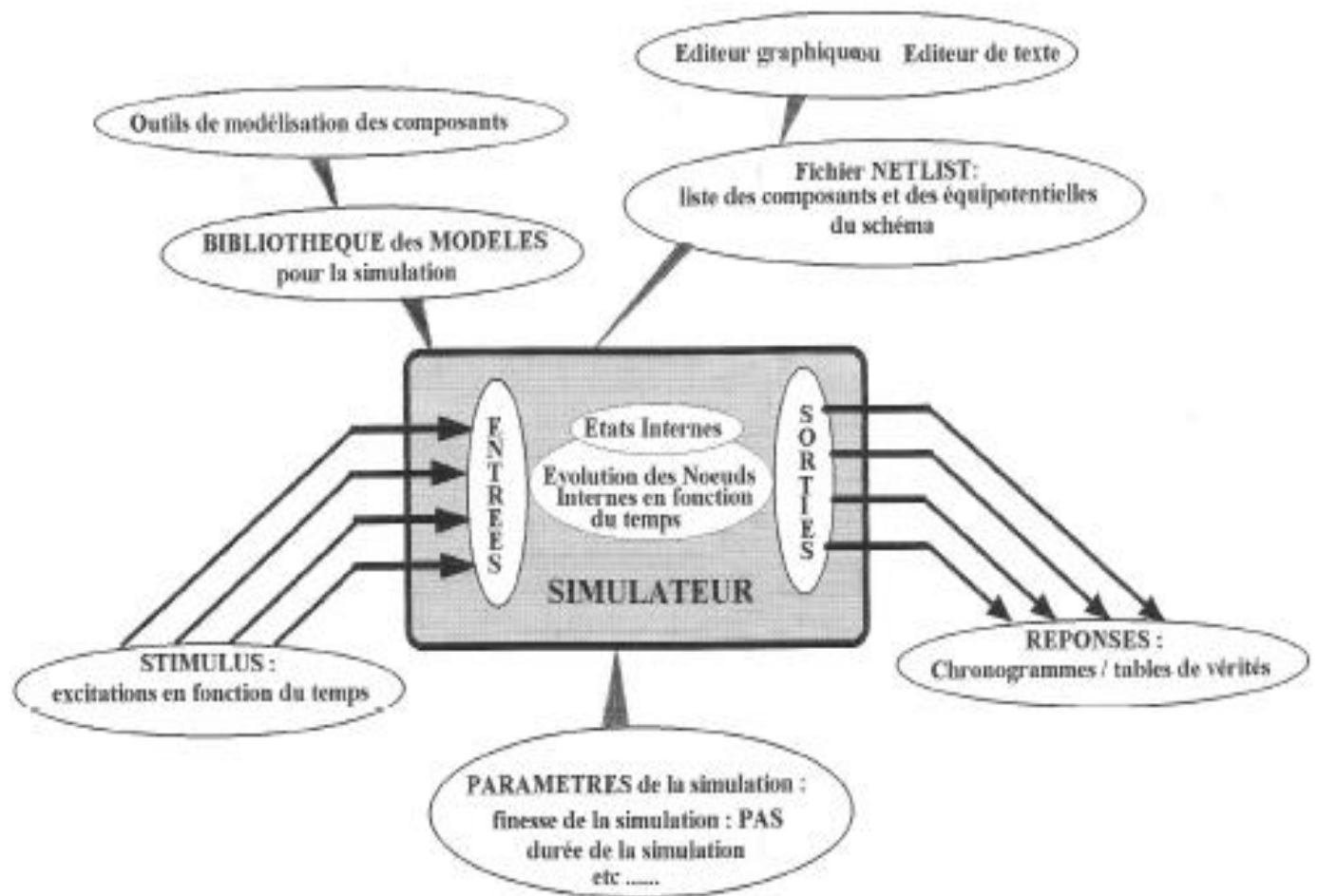
***Chapitre 3 :
La simulation
comportementale des
systèmes numériques***

Définition :

La simulation du comportement d'un circuit numérique nécessite une description du circuit à base d'un *langage de description matériel* (HDL), par exemple le *Verilog* ou le *VHDL*. Cette description peut avoir différents degrés de finesse ou niveaux de description:

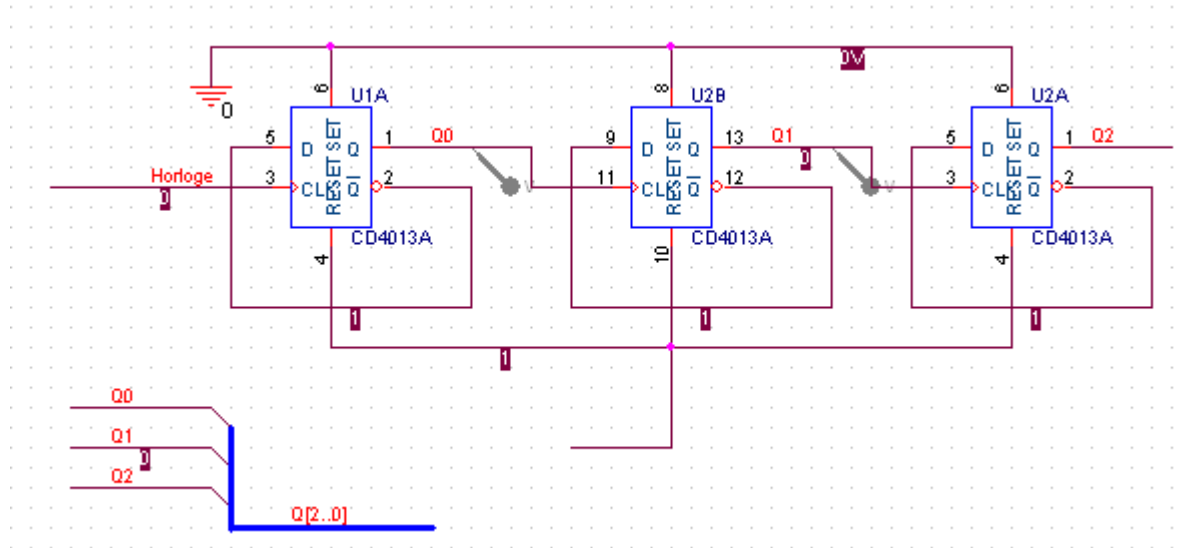
- *description comportementale* : on décrit le circuit à l'aide de fonctions de haut niveau (équation mathématique, etc.) ;
- *description structurelle* : on décrit le circuit par interconnexion de modules plus petits (décodeur, multiplexeur, mémoire, opérateur logique ou arithmétique, etc.) ;
- *Register Transfer Level* : le système est décrit comme un ensemble d'opérations *combinatoires* et de *registres* (élément *séquentiel* de base)
- *portes* : l'ensemble du système est décomposé en portes logiques élémentaires (description structurelle au niveau porte).

3.1 Environnement de travail d'un simulateur

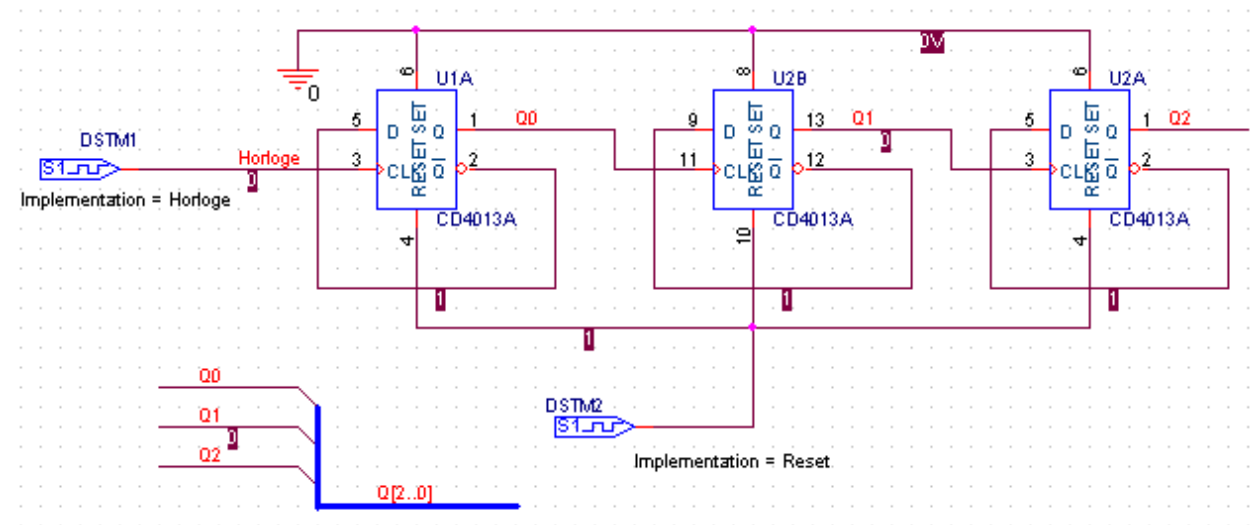


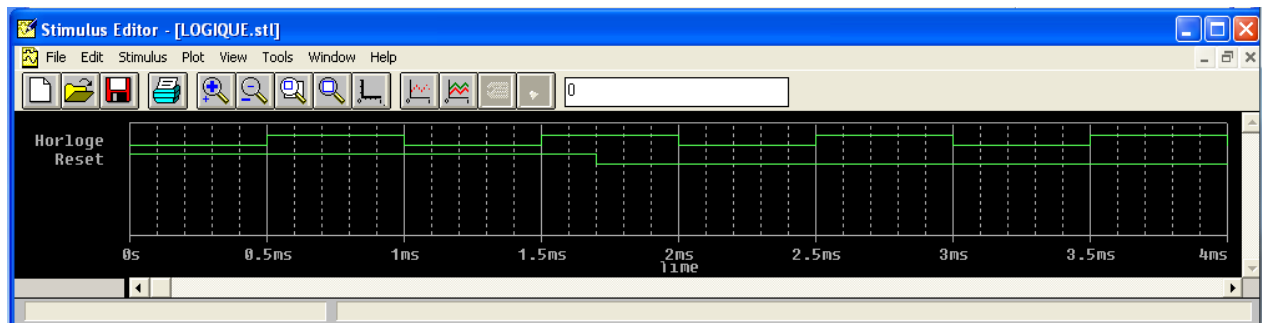
3.2 Procédure de simulation

3.2.1 Editions de schéma destiné à la simulation

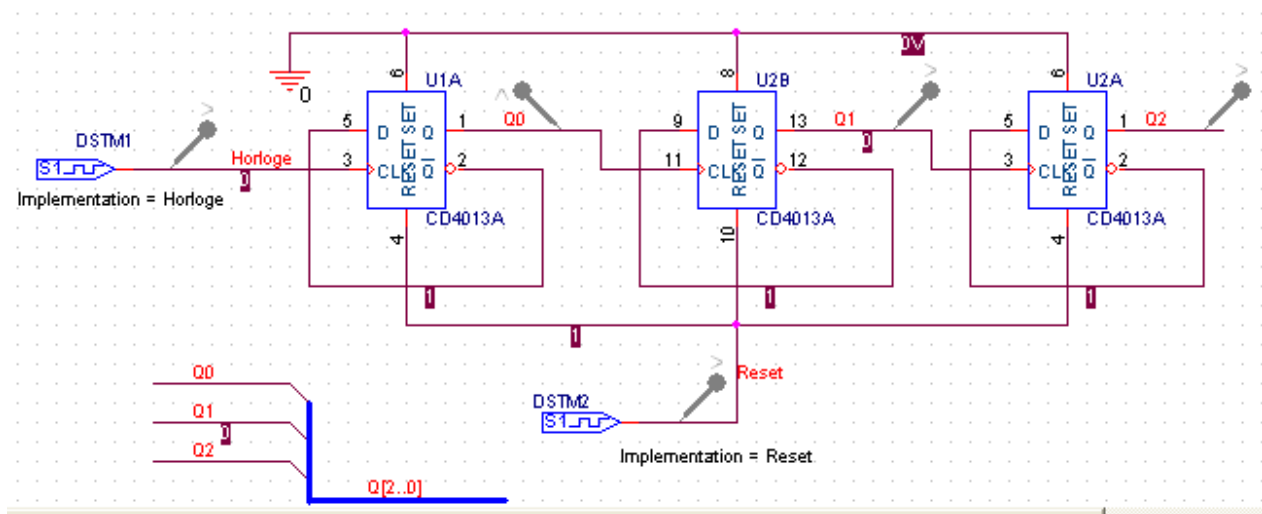


3.2.2 Insertion et Editions des STIMULS

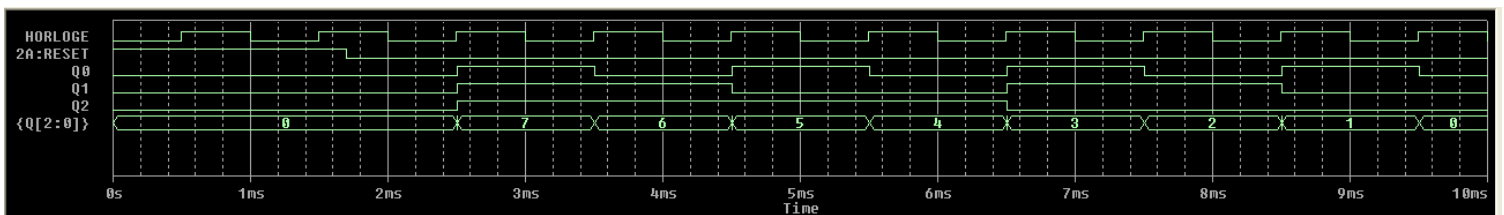
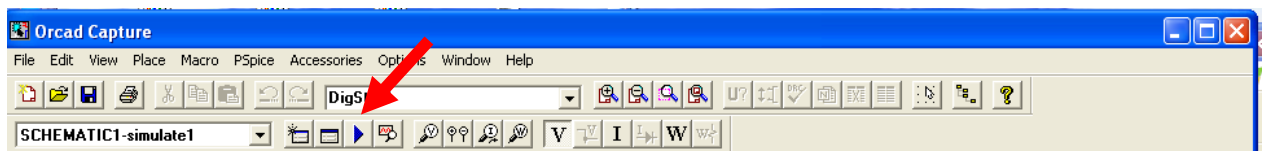




3.2.3 Choix des signaux à visualiser (Traces)

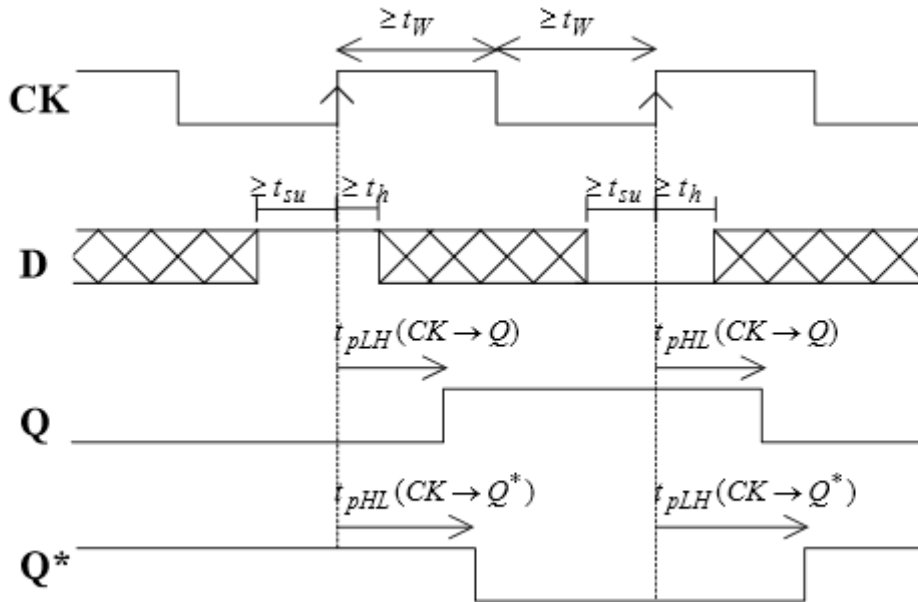


3.2.4 Lancement de la simulation et analyse des résultats



Chapitre 4 :
La simulation TEMPORELLE
des systèmes numériques

4.1 Caractéristiques temporelles d'un circuit numérique



switching characteristics, $V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$ (see note 3)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{\max}			$R_L = 400\ \Omega,$ $C_L = 15\ \text{pF}$	15	25		MHz
t_{PLH}	$\overline{\text{PRE}}$ or $\overline{\text{CLR}}$	Q or \overline{Q}				25	ns
t_{PHL}						40	ns
t_{PLH}	CLK	Q or \overline{Q}			14	25	ns
t_{PHL}					20	40	ns

recommended operating conditions

			SN54LS74A			SN74LS74A			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC}	Supply voltage		4.5	5	5.5	4.75	5	5.25	V
V _{IH}	High-level input voltage		2			2			V
V _{IL}	Low-level input voltage		0.7			0.8			V
I _{OH}	High-level output current		− 0.4			− 0.4			mA
I _{OL}	Low-level output current		4			8			mA
f _{clock}	Clock frequency		0	25		0	25		MHz
t _w	Pulse duration		CLK high			25			ns
			PRE or CLR low			25			
t _{su}	Setup time-before CLK ↑		High-level data			20			ns
			Low-level data			20			
t _h	Hold time-data after CLK ↑		5			5			ns
T _A	Operating free-air temperature		− 55			0			70 °C

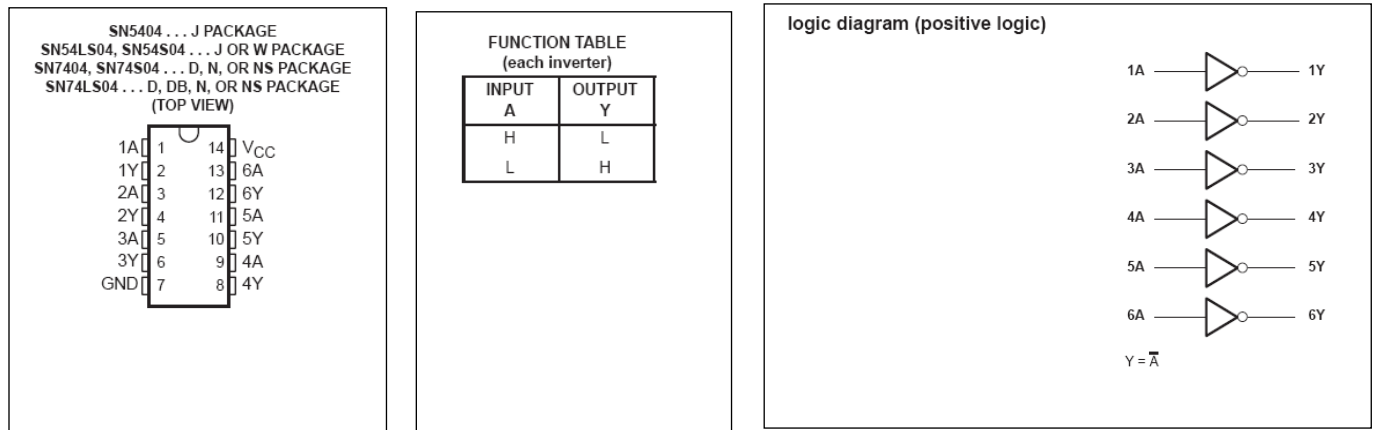
Simulation logique en temps Min, en temps Typique, en temps Max ou en temps Min/Max :

La simulation temporelle des systèmes logique exploite la librairie des modèles PSPICE de tous les composants qui figurent dans ce système. Les données qui figurent dans ces modèles sont établies à partir des datasheet des composants fournis par le constructeur.

Chaque modèle est composé de deux parties :

- une première partie qui décrit la fonctionnalité du composant
- une deuxième partie qui décrit les paramètres temporels du composant qui sont fournis par le constructeur du composant.

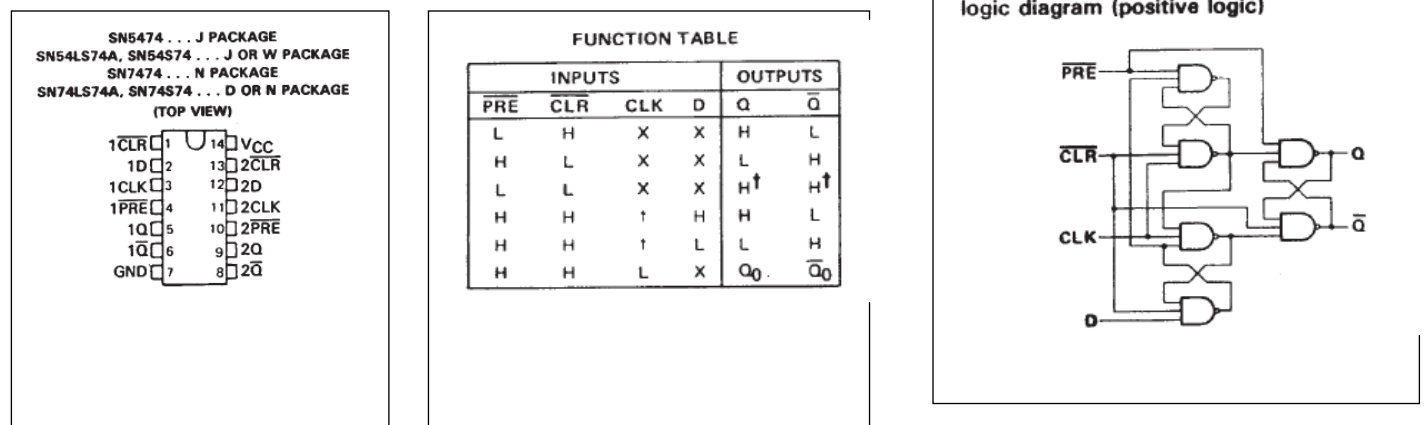
Exemple1 : extraits du datasheet relatif au circuit 7400 (composant combinatoire) :



switching characteristics, $V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$ (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	SN5404 SN7404			UNIT
				MIN	TYP	MAX	
t_{PLH}	A	Y	$R_L = 400\ \Omega$, $C_L = 15\text{ pF}$		12	22	ns
t_{PHL}					8	15	

Exemple2 : extraits du datasheet relatif au circuit 7474 (composant séquentiel) :



switching characteristics, $V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$ (see note 3)

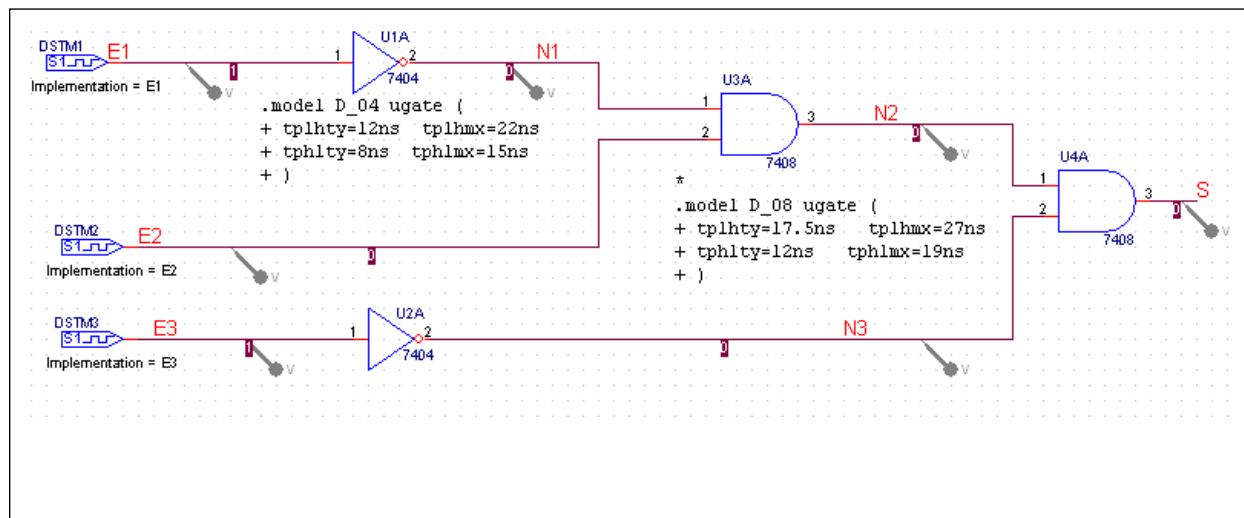
PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{\max}	$\overline{\text{PRE}}$ or $\overline{\text{CLR}}$	Q or \overline{Q}	$R_L = 400\ \Omega, \quad C_L = 15\ \text{pF}$	15	25		MHz
t_{PLH}						25	ns
t_{PHL}					40	ns	
t_{PLH}	CLK	Q or \overline{Q}		14	25	ns	
t_{PHL}				20	40	ns	

recommended operating conditions

		SN5474			SN7474			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High-level input voltage	2			2			V
V_{IL}	Low-level input voltage			0.8			0.8	V
I_{OH}	High-level output current			-0.4			-0.4	mA
I_{OL}	Low-level output current			16			16	mA
t_w	Pulse duration	CLK high	30		30			ns
		CLK low	37		37			
		\overline{PRE} or \overline{CLR} low	30		30			
t_{su}	Input setup time before CLK \uparrow	20			20			ns
t_h	Input hold time-data after CLK \uparrow	5			5			ns
T_A	Operating free-air temperature	-55		125	0		70	$^\circ\text{C}$

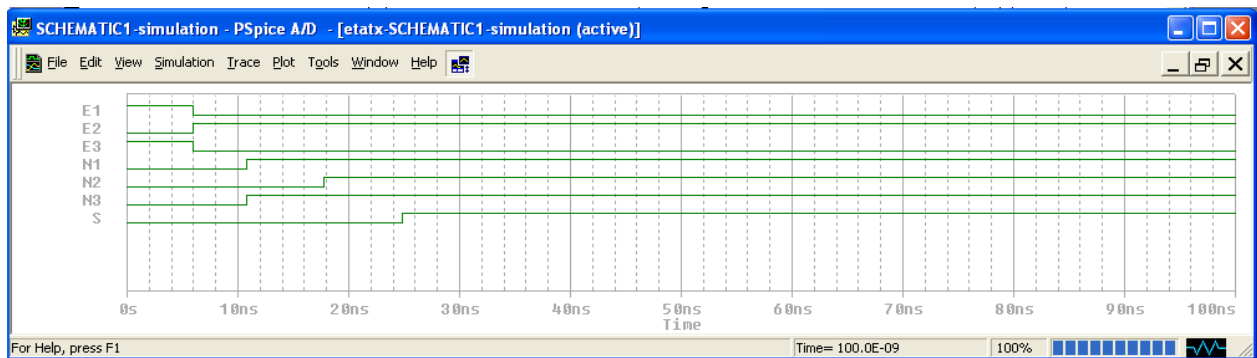
Exemples de simulation

Soit un système combinatoire à trois entrées (E1, E2, E3), une sortie S et trois nœuds internes (N1, N2, N3) :

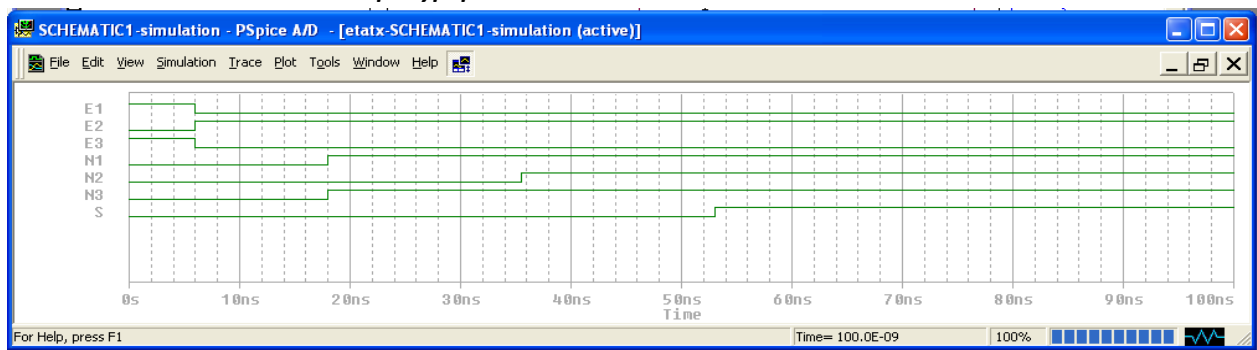


On Applique sur ce système quatre simulations logiques en temps Min, en temps Typique, en temps Max ou en temps Min/Max :

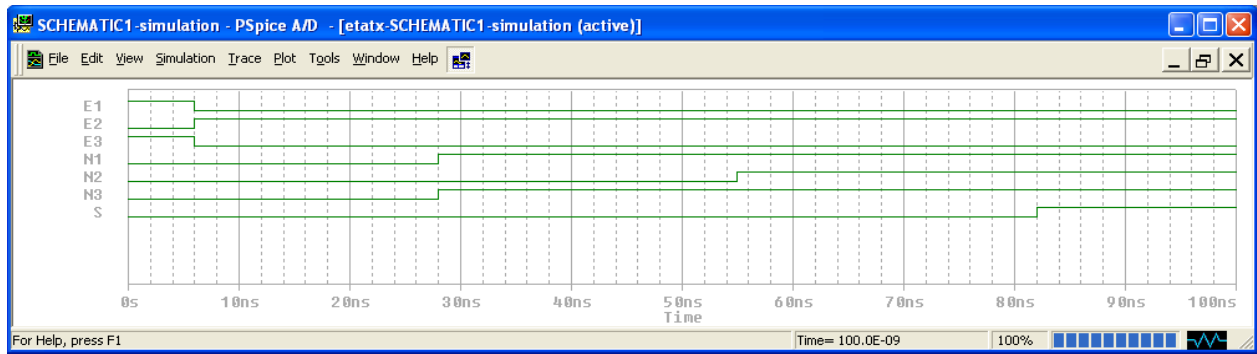
Résultats de la Simulation en temps Min



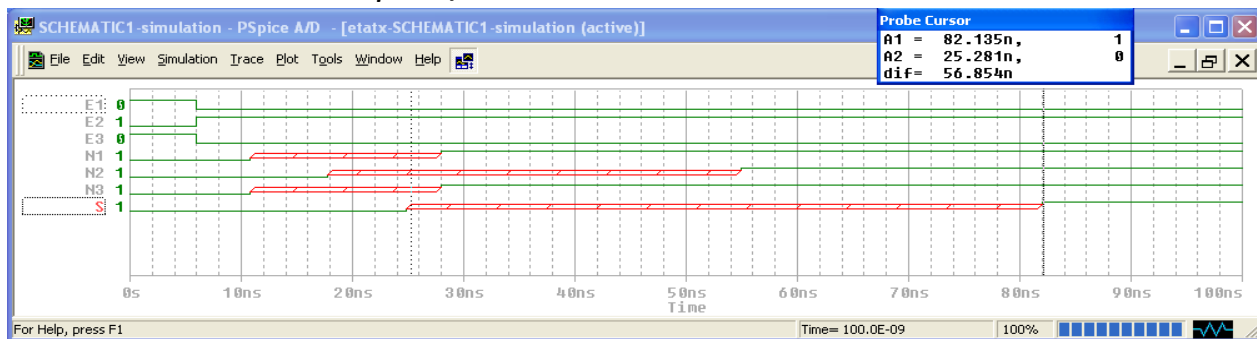
Résultats de la Simulation en temps Typique



Résultats de la Simulation en temps Max



Résultats de la Simulation en temps Min/Max



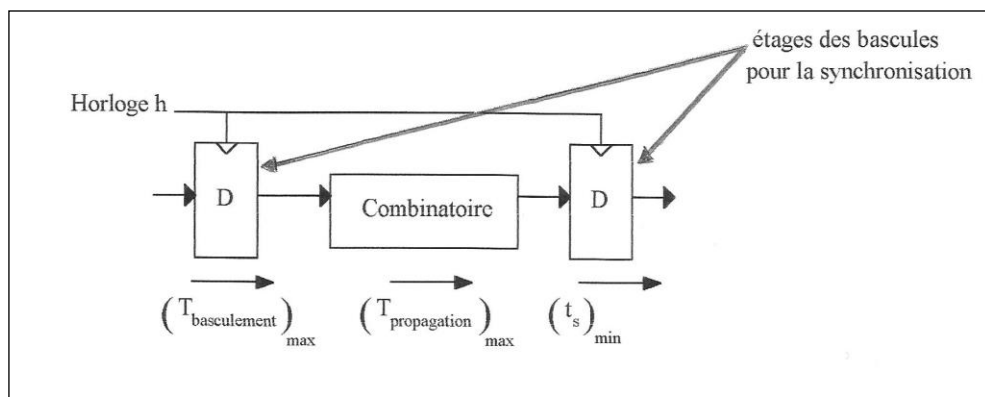
On constate que c'est uniquement la simulation en temps Min/max qui met en évidence la présence d'états indéterminés entre les instants 25ns et 82ns au niveau de la sortie S.

Notion de fréquence maximale (période minimale) de fonctionnement

Un système logique est décomposé en plusieurs 'chemins temporels', dans chacun de ces chemins on calcul la période minimale de fonctionnement Th_{min} . La période minimale de fonctionnement de tous le système est donnée alors par la valeurs maximale de tous les Th_{min} calculées :

$$T_{min} = \text{Max}(Th_{min})$$

Chaque chemin temporel est composé de la structure suivante :

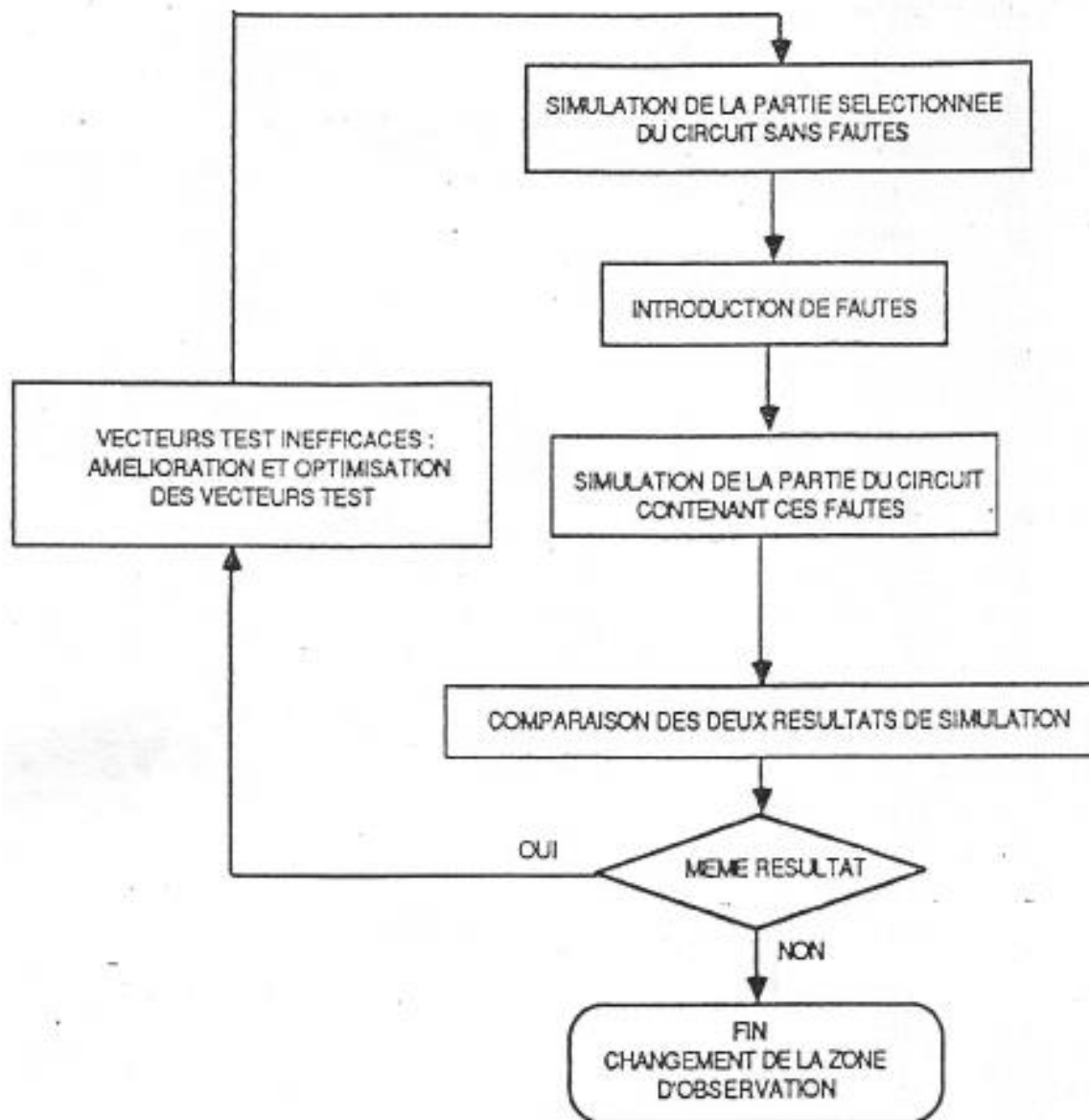


Th_{min} est alors calculée selon la règle suivante :

$$(T_h)_{min} = (T_{basculement})_{max} + (T_{propagation})_{max} + (t_s)_{min}$$

4.5 Simulation de fautes et évaluation de la testabilité

Principe d'un simulateur de fautes



Exemples de Fautes injectées :

<ul style="list-style-type: none">• Collages• Courts-circuits• Courts-circuits résistifs	<ul style="list-style-type: none">• Circuits ouverts• Circuits ouverts résistifs• Délais de porte (de type lent-à-monter et/ou lent-à-descendre) et par extension, de chemins ou de segments de chemins
--	---

***Chapitre 5 :
Simulation des systèmes
analogiques
(Simulateur PSPICE)***

Définition :

Un simulateur analogique utilise une modélisation du circuit électronique sous la forme d'un système d'équations différentielles. Ces équations sont obtenues en regroupant :

- les **lois de Kirchhoff** : expression de la conservation du courant et de la tension dans la topologie en graphe du circuit ;
- la **loi d'Ohm** ou autres équations caractéristiques statiques et dynamiques des composants utilisées.
- les signaux de stimulation, correspondant aux sources (alimentations et signaux d'entrée).

Pour connaître le comportement transitoire du circuit, le système d'équation est résolu sous forme différentielle (typiquement par la **méthode d'Euler** ou de **Runge-Kutta**).

Pour déterminer le point de polarisation du circuit, la simulation est faite en statique. Il s'agit alors de résoudre un système d'équation non différentielles mais souvent non-linéaire.

Enfin, pour déterminer le comportement en petits signaux (linéarisé) du système autour du point de polarisation, on utilise une résolution fréquentielle permettant d'avoir une simple résolution de système linéaire à variable complexe pour chaque fréquence, grâce aux propriétés de la **transformée de Fourier**.

Exemple de simulateurs :

- **SPICE**
- **Verilog-A**
- **VHDL-AMS**

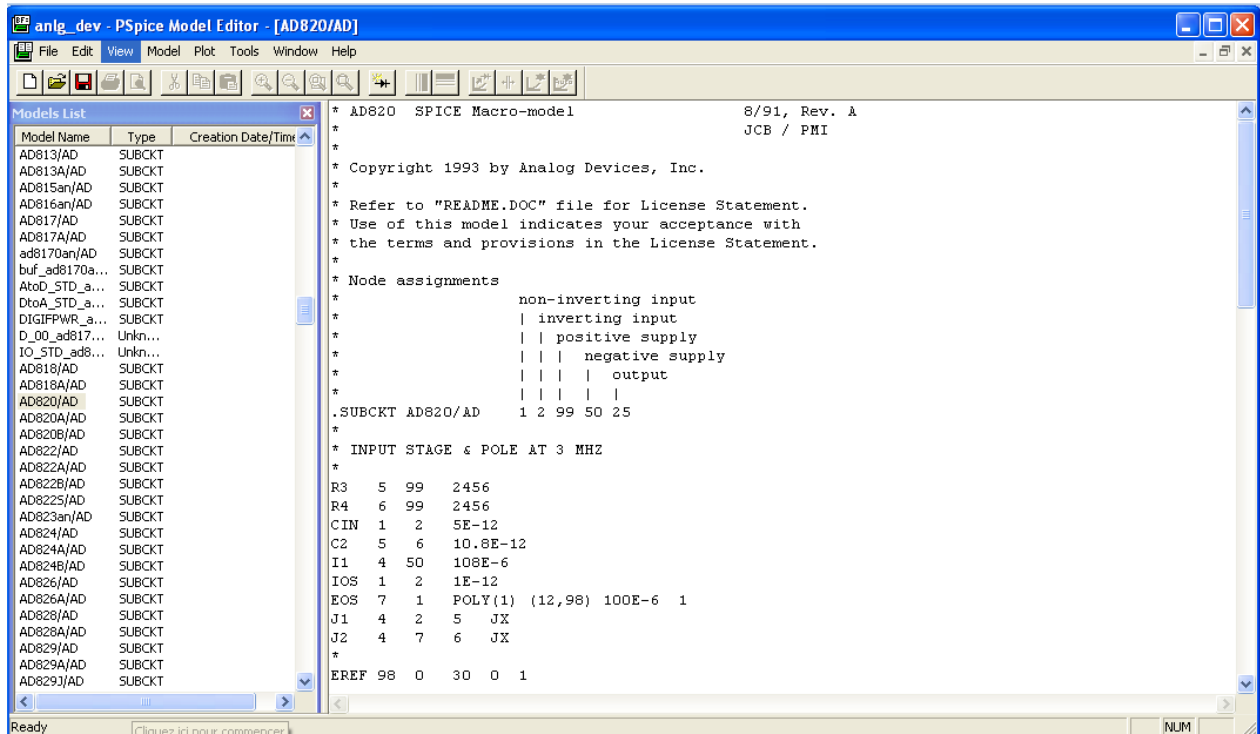
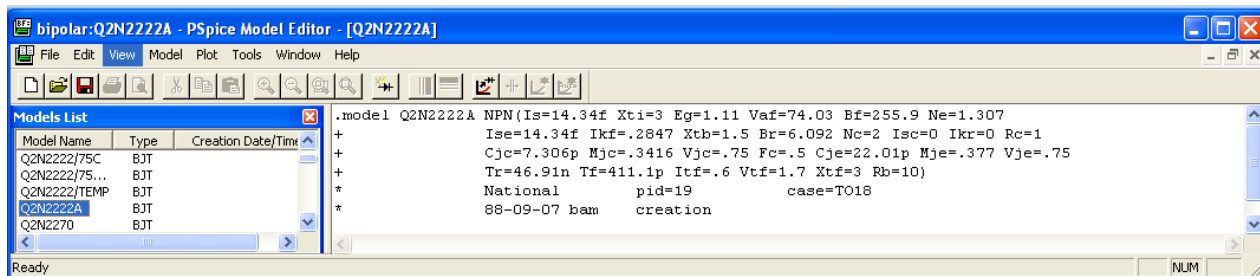
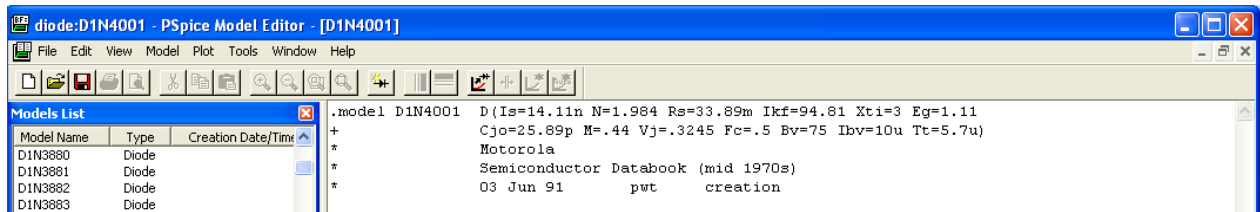
Modélisation comportementale des composants sous Pspice

Niveau physique : composants primitifs de SPICE (R/C/L – diodes – transistors – sources U/I...)

Niveau structurel : modélisation par macro-modèles (AOPs – PLL ...)

Niveau comportemental : description fonctionnelle et langage de spécification (VHDL-AMS, VERILOG-AMS ...)

Exemples de modèles PSPICE niveau physique



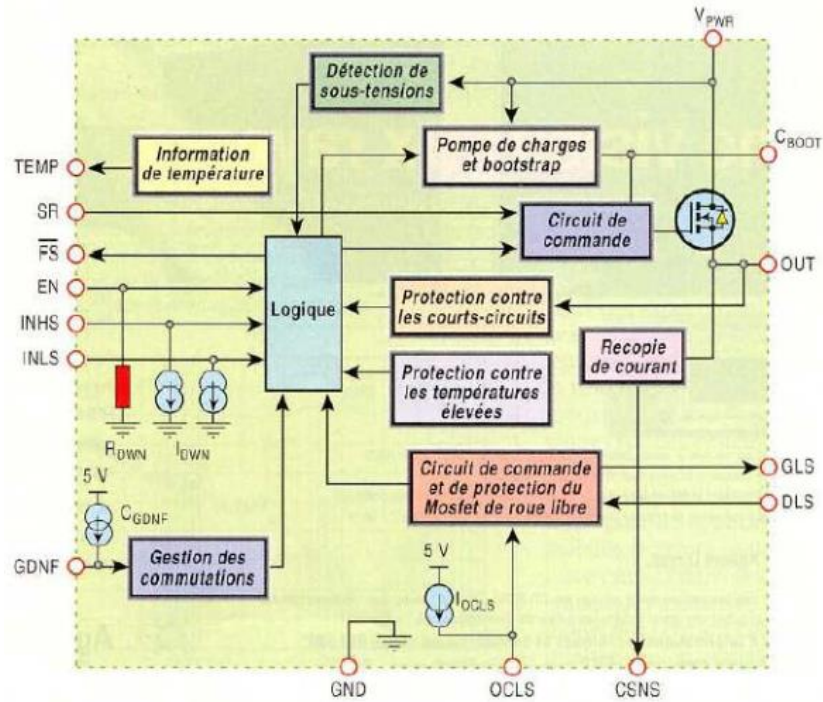


Figure 1 : Schéma fonctionnel du produit MC33981 à modéliser

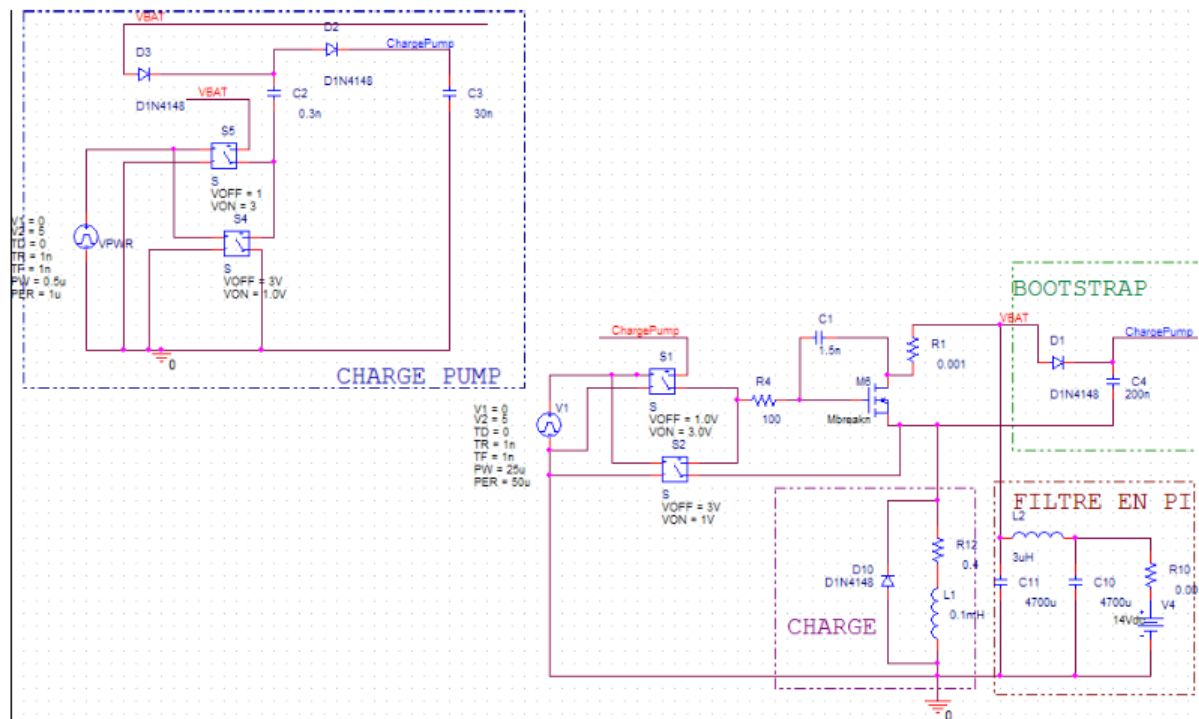


Figure 2 : Modèle comportemental de l'étage de puissance

Une *diode* idéale simple en VHDL-AMS pourrait être décrite comme suit :

```
-- (Il s'agit d'un commentaire)

-- Importer electrical_system de la librairie disciplines
library IEEE, disciplines;
use IEEE.math_real.all;
use disciplines.electrical_system.all;

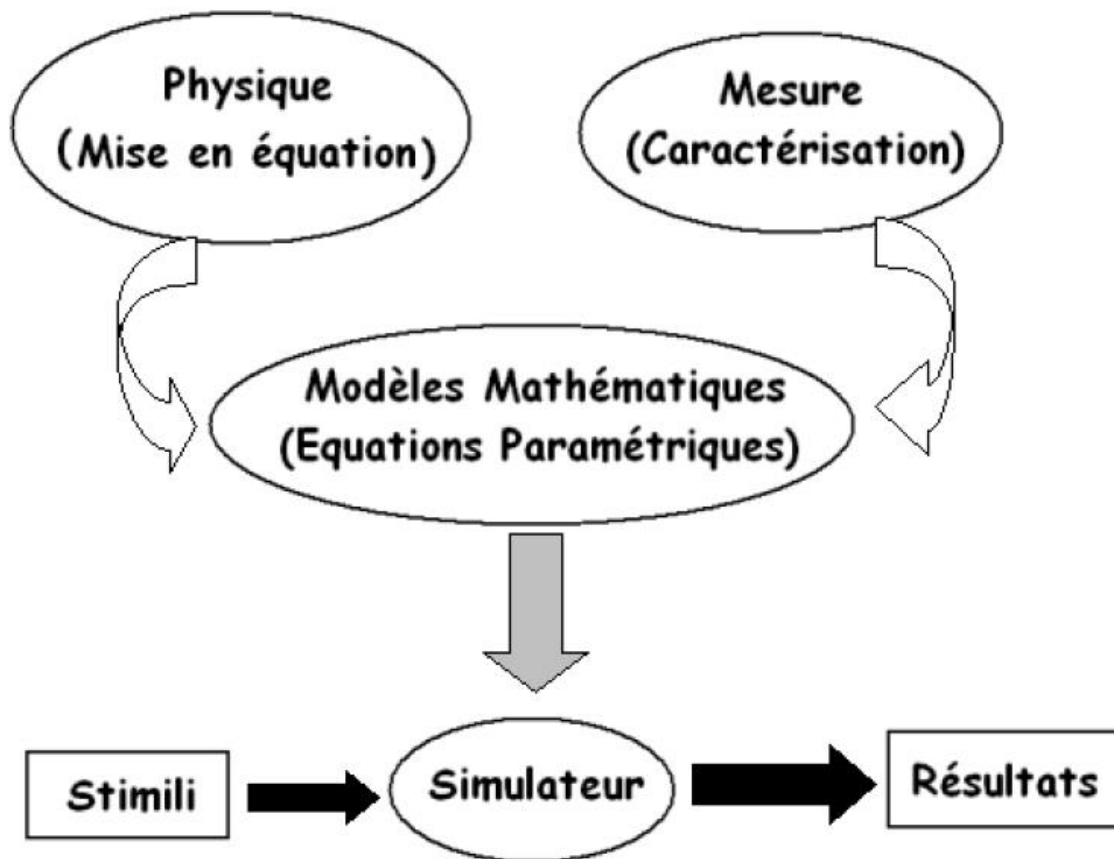
-- Il s'agit d'une entité
entity DIODE is
    generic (iss : REAL := 1.0e-14; -- Courant de saturation
            af : REAL := 1.0;      -- Coefficient du bruit de Flicker
            kf : REAL := 0.0);     -- Exposant du bruit de Flicker
    port (terminal anode, cathode : electrical);
end entity DIODE;

architecture IDEAL of DIODE is
    quantity v across i through anode to cathode;
    constant vt : REAL := 0.0258; -- Voltage thermique à 300K
begin

    i == iss * (exp(v/vt) - af);

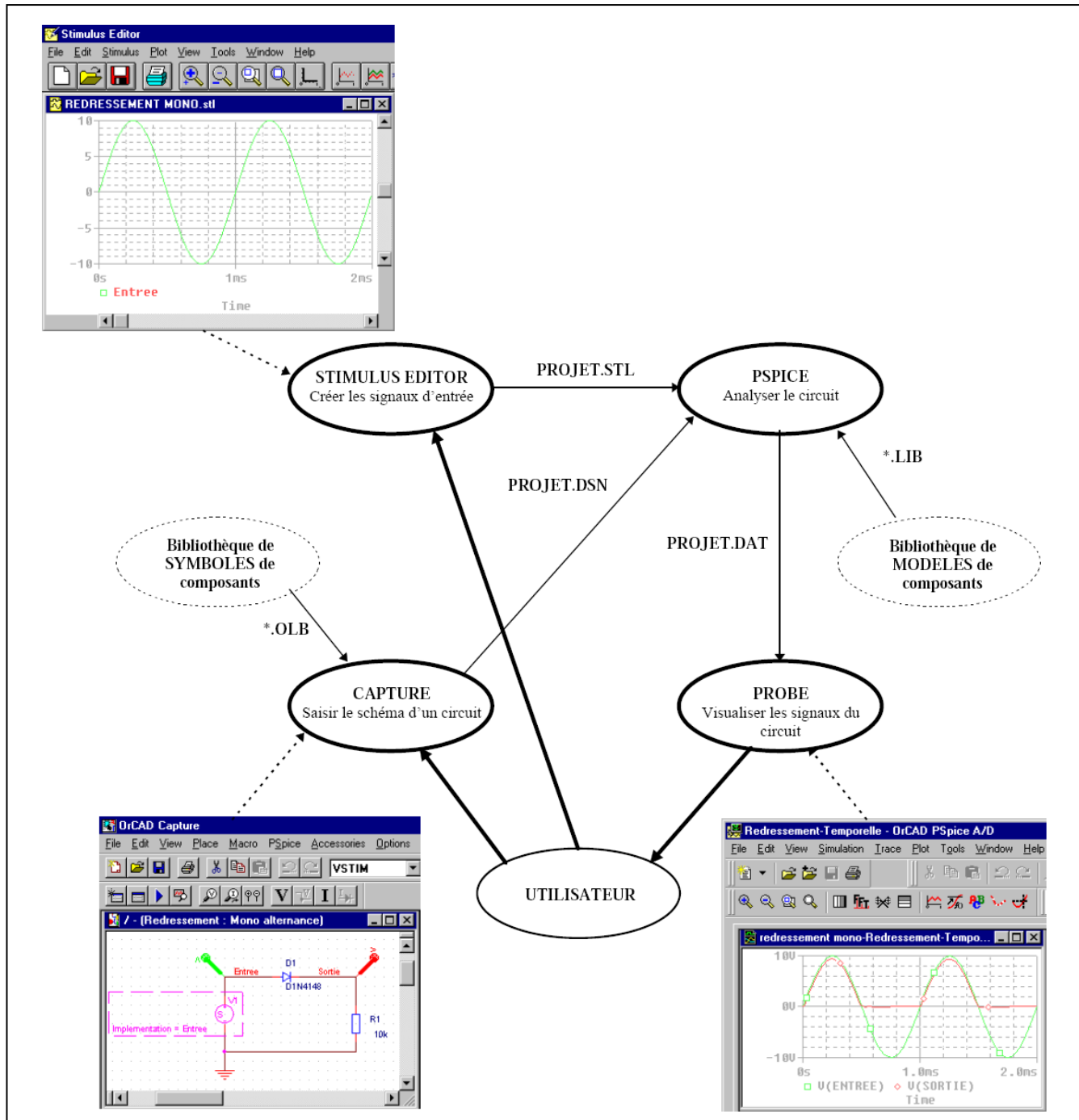
end architecture IDEAL;
```

5.1 Représentation fonctionnelle d'un simulateur analogique



A l'heure actuelle, la société Cadence est le principal leader dans le marché des logiciels de CAO pour les systèmes électroniques analogiques et mixtes. Il a d'ailleurs racheté la société MicroSim, à travers la société Orcad.

5.2 Représentation des différents fichiers propre à SPICE



5.3 Les icônes relatifs à PSPICE



Nom de l'analyse



Paramétrage de la
simulation



Lancement du simulateur



Visualisation des résultats de
simulation



Sondes de tension



Sonde de courant



Sonde différentielle



Affichage des tensions de repos



Tension de transition



Affichage des courants de repos

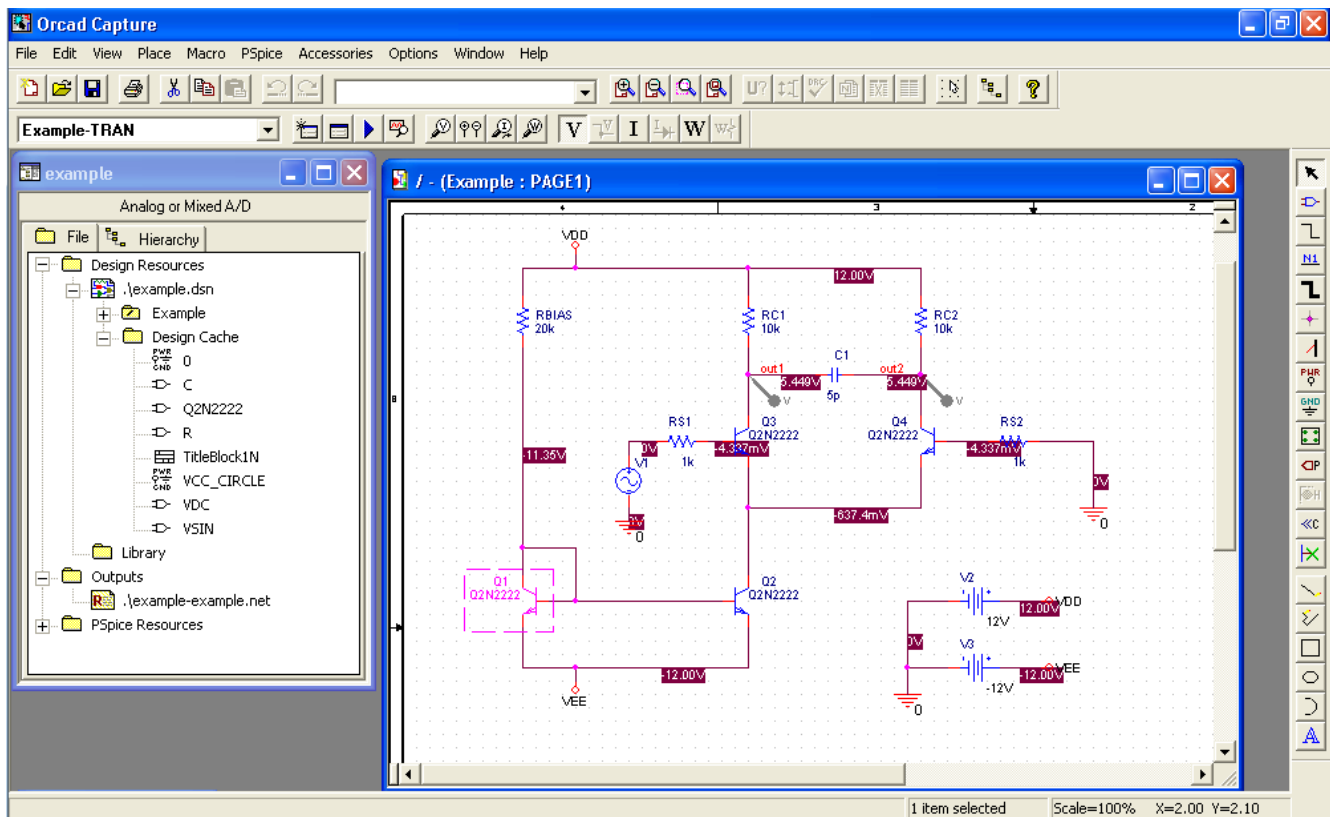


Courant de transition

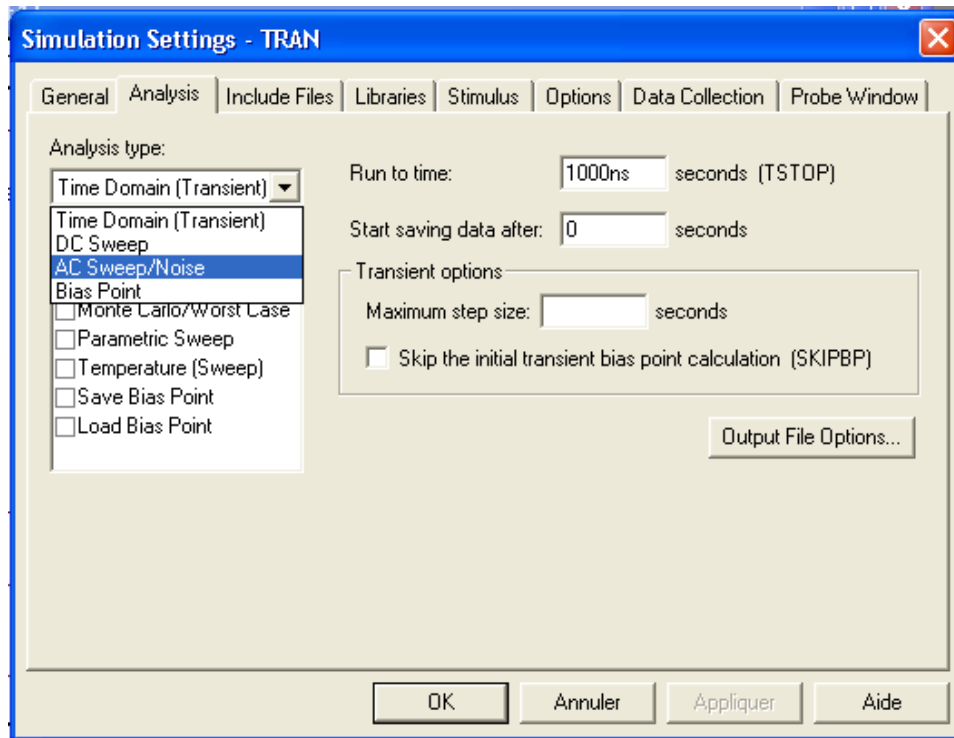
5.4 Les étapes de simulation d'un circuit sous PSPICE

Etape 1 :

saisie du schéma avec les composants de la librairie PSPICE et placement des STIMULUS (générateurs) et des PROBES (points test) sur la feuille de dessin



Etape 2 : Définition d'un type d'analyse



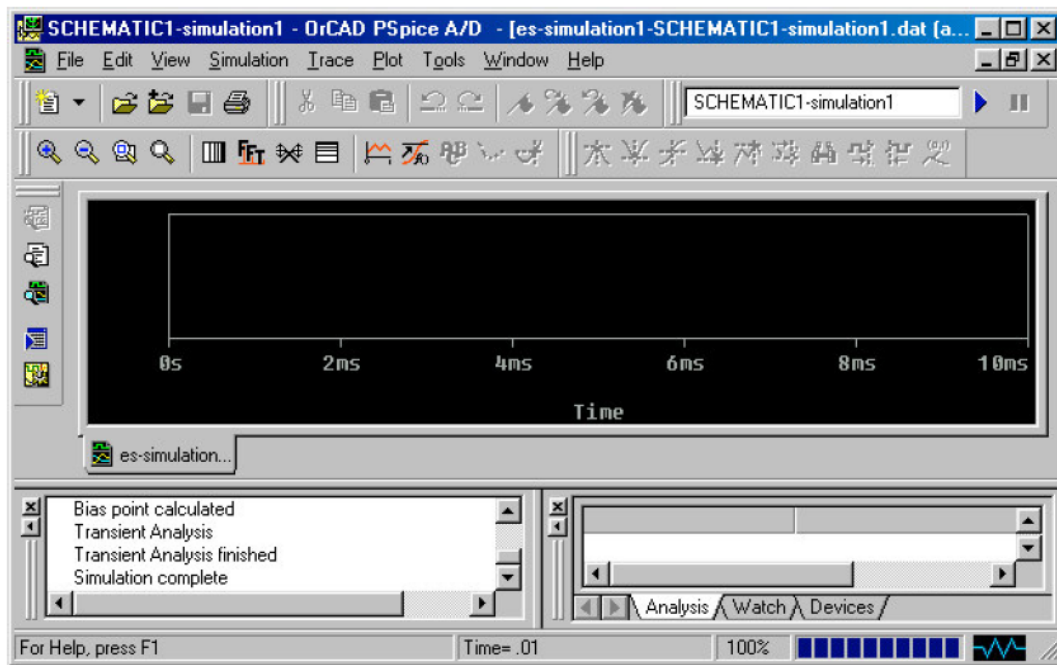
DC Sweep. Etude en statique du montage. Correspond à l'étude des variations des sources continues, de la température, variation de paramètres du montage ou des composants (Ex: β d'un transistor)...). Permet d'étudier la polarisation, choix d'un point de repos optimum.

AC Sweep. Correspond à l'analyse harmonique (Bode, Nyquist, Black). L'étude est faite en sinusoïdal petits signaux, en linéarisant les modèles autour du point de repos calculé. L'étude est faite d'une fréquence min à une fréquence max, soit linéairement soit de manière logarithmique.

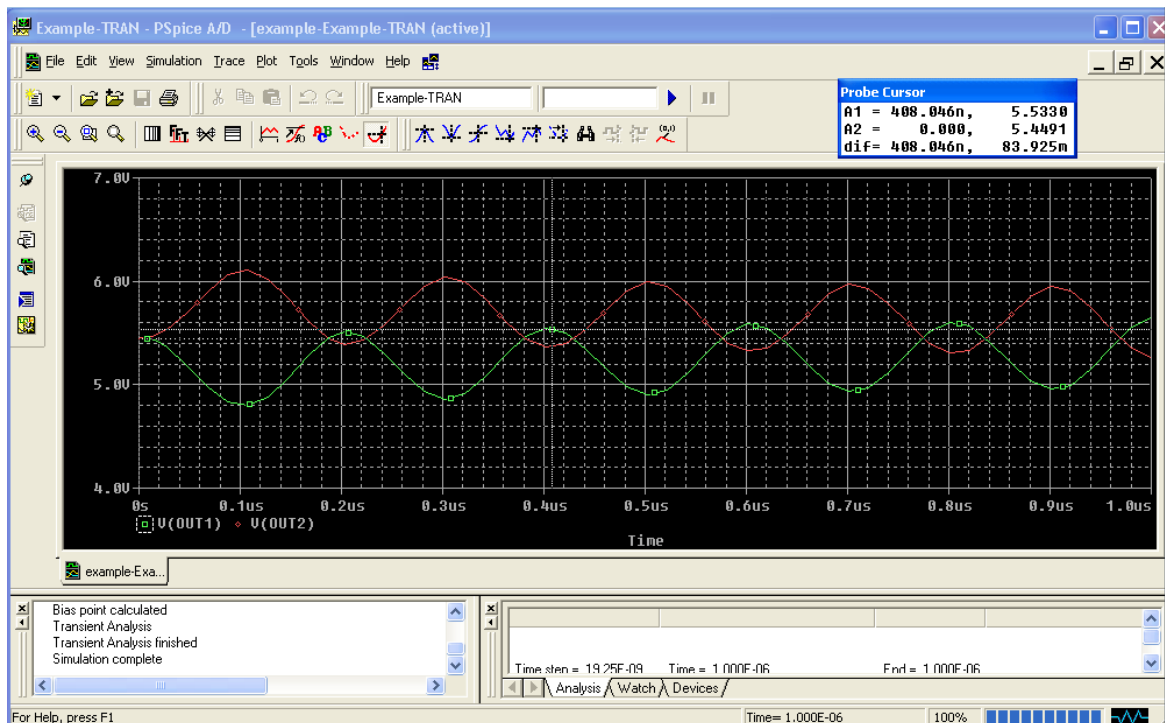
Time Domain (Transient). Cette analyse permet de visualiser des signaux en fonction du temps (Chronogrammes en régime permanent ou en transitoire). Elle tient compte des modèles non linéaires (saturation, limitation par les alimentations, ...), mais le temps de simulation peut être considérable (plusieurs heures) si l'on ne réfléchit pas correctement aux paramètres de simulation.

Bias Point. Calcul du point de repos appelé point de polarisation. Ce calcul est automatiquement lancé pour permettre le démarrage des autres simulations. Il est indispensable pour d'autres analyses qui en dépendent. Dans le cas de l'analyse harmonique (AC), les caractéristiques non linéaires de certains composants (Ex: transistors, diodes...) sont linéarisées (approximation par la tangente) à l'endroit du point de repos.

Etape 3 : Lancement de la simulation



Etape 3 : Choix des traces, Lancement de la simulation et analyse des résultats



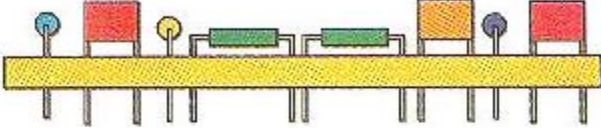
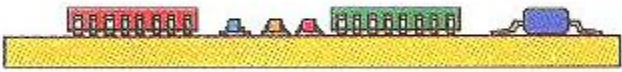
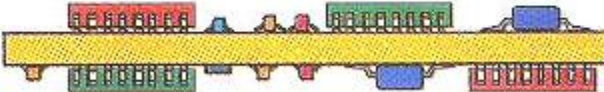

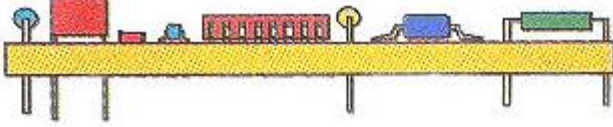
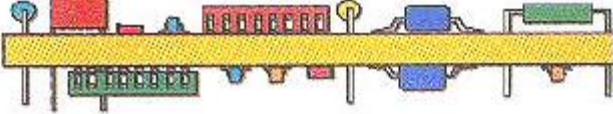
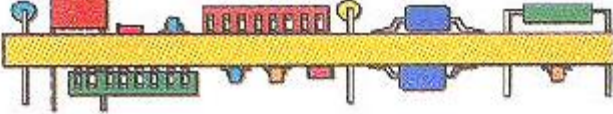
Chapitre 6 : CAO du circuit imprimé (PCB)

6.1 Concepts de base sur la fabrication industrielle des cartes électroniques

6.1.1 Assemblage composants-carte



6.1.2 Les différents types de cartes électroniques

Filière		Types de cartes
Traversants	Composants traversants sur une face	
	Composants CMS sur une face	
Tout CMS	Composants CMS sur les deux faces	
	Composants CMS sur une face, Composants traversants sur l'autre face	
Mixte	Composants CMS et traversants sur la même face	
	Composants CMS sur une face, CMS sur l'autre face	
	Composants CMS et traversants sur une face, CMS sur l'autre face	

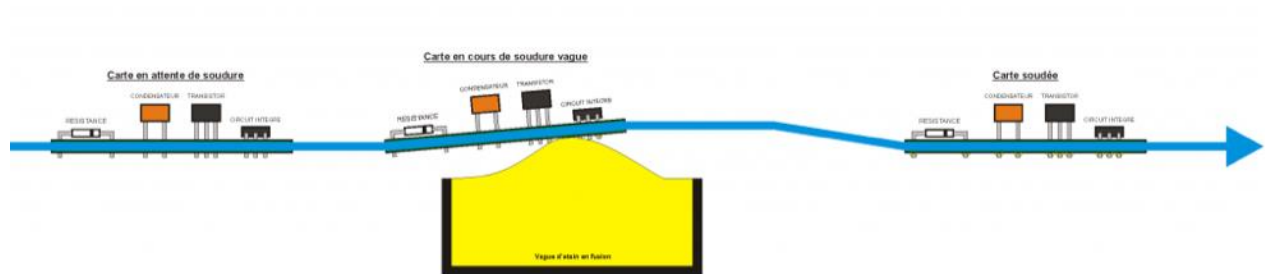


Exemple de carte électronique avec composants CMS

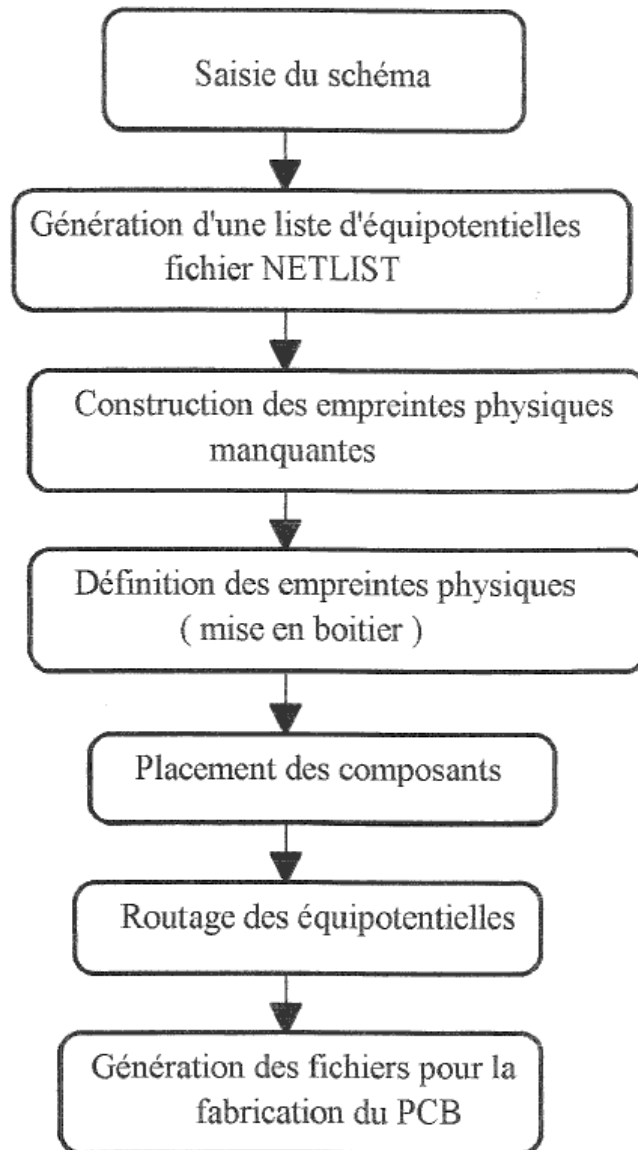


Exemple de carte électronique avec composants Traversant

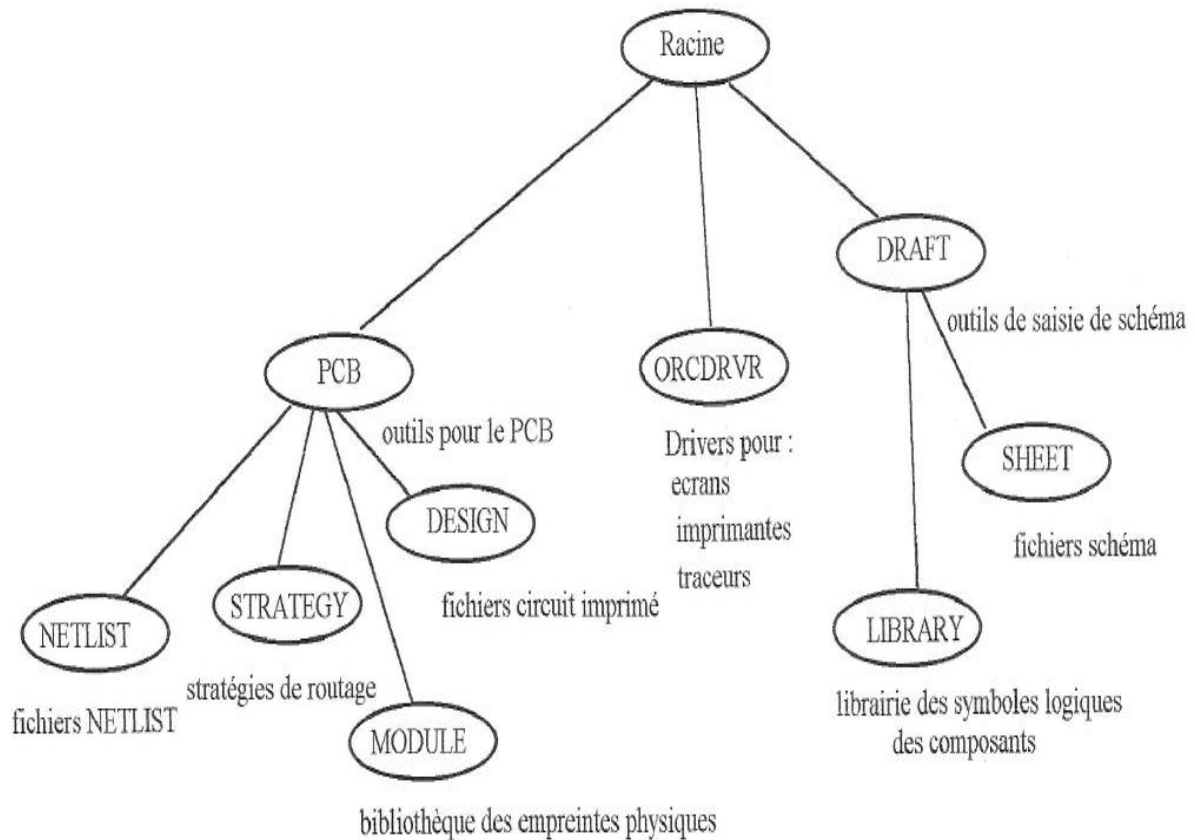
6.1.3 Principe de base d'une machine à braser à la vague



6.2 Procédure de développement d'un PCB par les outils de CAO



6.3 Environnement logiciel d'un outil de CAO d'un PCB



6.4 Principaux paramètres de configuration d'un PCB

```

. :::Design Conditions Configuration:::
Parameter
1 - Track Width .015
2 - Pad Diameter .050
3 - VIA Diameter .050
4 - Drill Diameter - Pad .010
5 - Drill Diameter - VIA .010
6 - Text Horizontal Dimension .050
7 - Text Vertical Dimension .050
8 - Solder Mask Guard .020
9 - Isolation Track to Track .013
10 - Isolation Track to VIA .013
11 - Isolation VIA to VIA .039
12 - Number of Backup Files 1
13 - Number of Layers 2
14 - Routing Grid .025
15 - Working Layer A 1
16 - Working Layer B 2
17 - Strategy Pass 1 Flexible
18 - Strategy Pass 2 Extensive
19 - Net Pattern Tree
20 - Cursor Style Short Cross

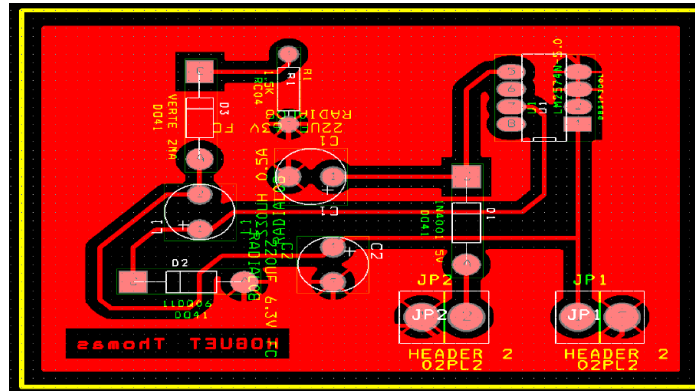
```

Classement des PCB

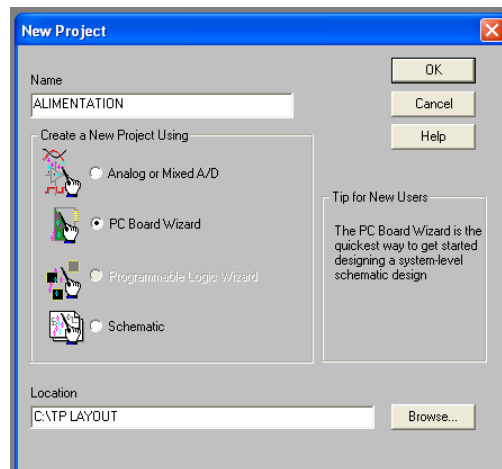
D'après la norme NFC 93 -713, sont définies plusieurs classes :

	Classe						
Critère d'appartenance à une classe Valeurs limites mesurées sur le cliché (en mm)	1	2	3	4	5	6	7
Largeur minimale des conducteurs	0.7	0.45	0.28	0.19	0.13	0.09	
Espacement minimal entre conducteurs entre conducteurs et pastilles ou plages entre pastilles, entre plages	0.6	0.45	0.28	0.19	0.13	0.09	
Ecart par rapport à sa position théorique du centre d'une pastille, ou plage, ou fenêtre (Centre déterminé à partir du contour du motif)	0.2	0.1	0.05	0.04	0.03	0.03	
Ecarts entre positions relatives de centres de pastilles, plage ou fenêtre théoriquement superposées (superposition des clichés)	0.15	0.1	0.07	0.05	0.04	0.04	
Largeur des pastilles		1.65	1.25	1.05	0.85	0.65	0.55
Diamètre du trou traversant la pastille		0.8	0.7	0.6	0.45	0.35	0.3

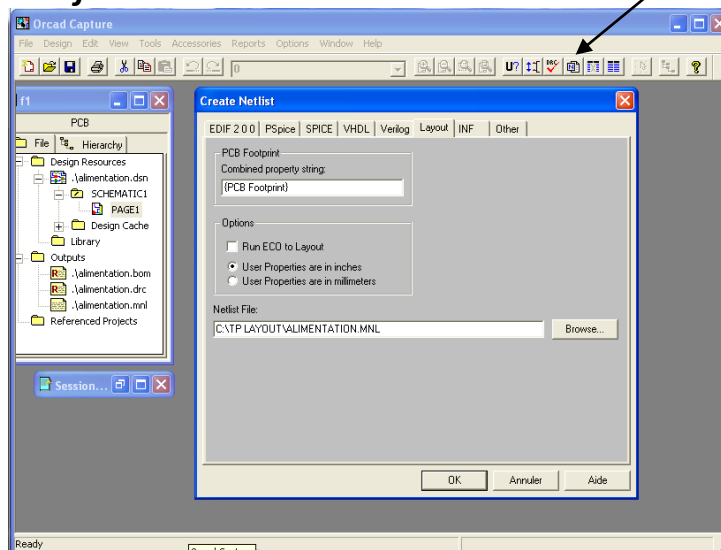
6.6 Les étapes de conception d'un PCB



6.5.1 Saisie d'un schéma pour PCB



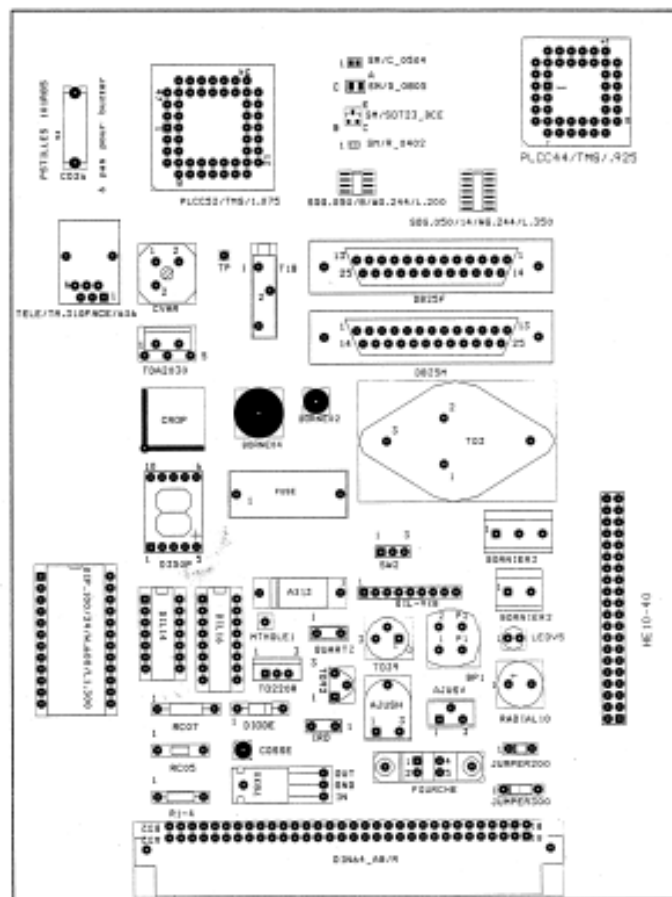
6.5.2 Génération d'un fichier Netlist



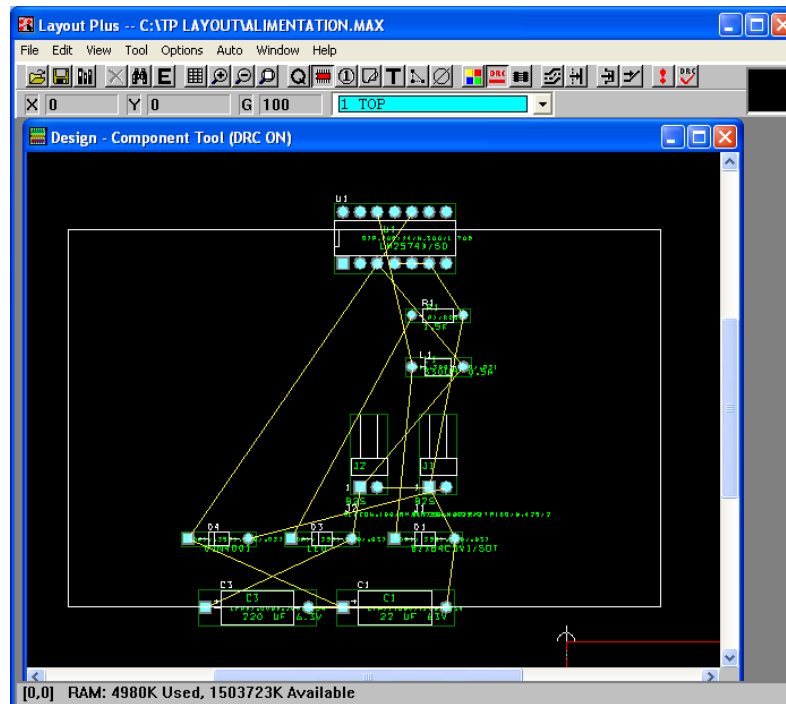
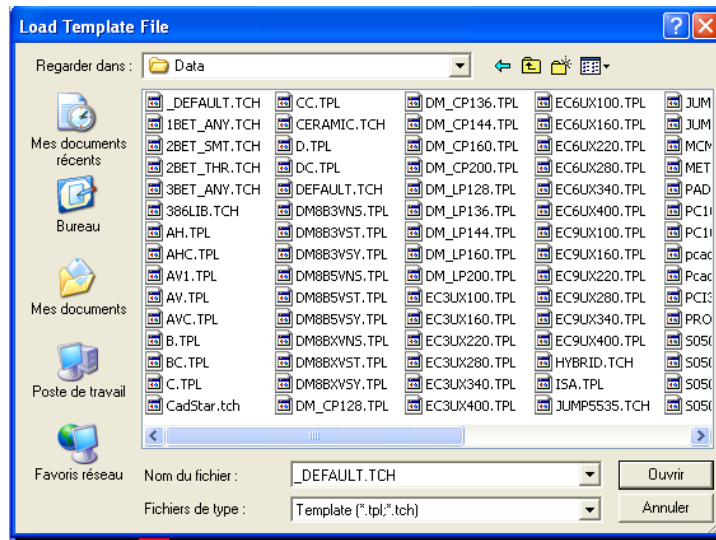
6.5.3 et définition des empreintes physiques

Property Editor						
New Column... Apply Display... Delete Property Filter by: Orcad-Capture						
		Value	Reference	Designator	PCB Footprint	P
1	+	SCHEMATIC1: PAGE1: U1	LM2574X/SO	U1	DIP.100/14W.300L.700	
2	+	SCHEMATIC1: PAGE1: R1	1.5k	R1	AX/R05	
3	+	SCHEMATIC1: PAGE1: L1	330uH 0.5A	L1	AX/300X.100/031	
4	+	SCHEMATIC1: PAGE1: J2	B2S	J2	BLKCON.100/RH/TM1 SQ/W.425/2	
5	+	SCHEMATIC1: PAGE1: J1	B2S	J1	BLKCON.100/RH/TM1 SQ/W.425/2	
6	+	SCHEMATIC1: PAGE1: D4	D1N4001	D4	DAX/350X.080/031	
7	+	SCHEMATIC1: PAGE1: D3	LED	D3	DAX/350X.080/031	
8	+	SCHEMATIC1: PAGE1: D1	BZX84C5V1/	D1	DAX/350X.080/031	
9	+	SCHEMATIC1: PAGE1: C3	220 uF 6.3V	C3	CPAX/600X.200/034	
10	+	SCHEMATIC1: PAGE1: C1	22 uF 63V	C1	CPAX/600X.200/034	

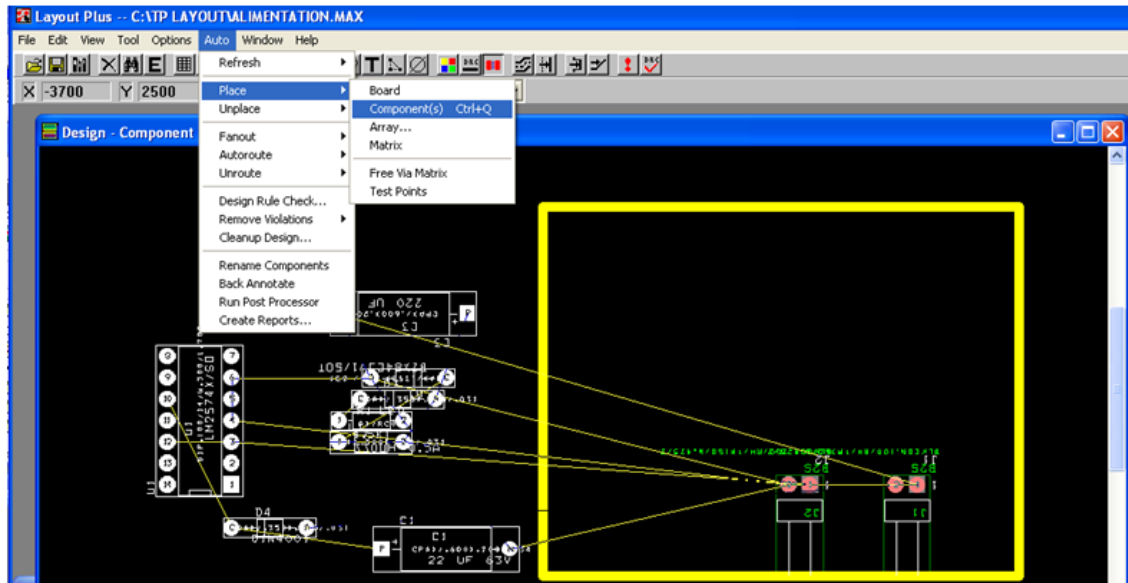
Exemples d'empreintes



6.5.4 Création d'un nouveau PCB



6.5.5 Tracé du contour et Placement manuel des composants critiques



6.5.6 Définition des paramètres de routage (pistes, pastilles, traversées)

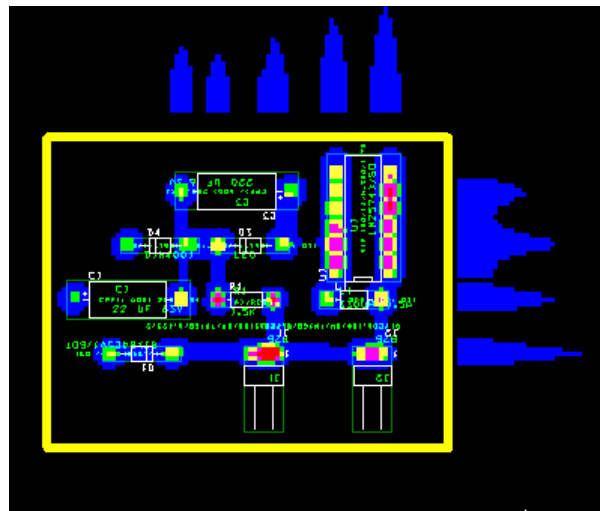
Nets

Net Name	Color	Width Min Con Max	Routing Enabled	Share	Weight	Reconn Rule
+VE		20, 30, 40	Yes	Yes	50	Std
+VE2		20, 30, 40	Yes	Yes	50	Std
+VE3		20, 30, 40	Yes	Yes	50	Std
+VE4		20, 30, 40	Yes	Yes	50	Std
+VE5		20, 30, 40	Yes	Yes	50	Std
+VE6		20, 30, 40	Yes	Yes	50	Std
+VE7		20, 30, 40	Yes	Yes	50	Std
+VE8		20, 30, 40	Yes	Yes	50	Std
+VS		20, 30, 40	Yes	Yes	50	Std
0		20, 30, 40	Yes	Yes	50	Std
1		20, 30, 40	Yes	Yes	50	Std
N00363		20, 30, 40	Yes	Yes	50	Std
N002131		20, 30, 40	Yes	Yes	50	Std
N03123		20, 30, 40	Yes	Yes	50	Std
N05258		20, 30, 40	Yes	Yes	50	Std

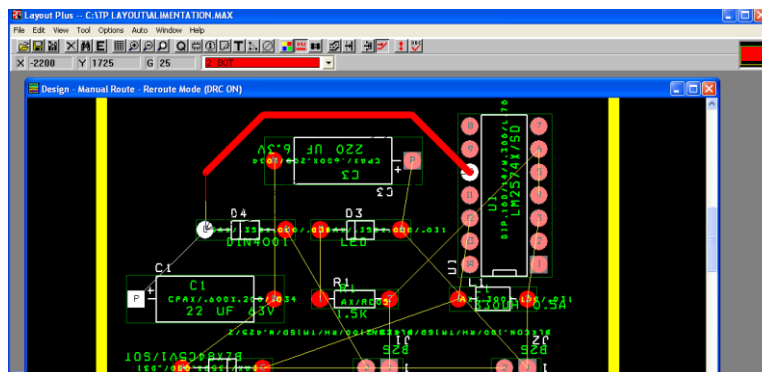
Padstacks

Padstack or Layer Name	Pad Shape	Pad Width	Pad Height	X Offset	Y Offset
VIA1					
TOP	Round	50	50	0	0
BOTTOM			75	0	0
GND			75	0	0
POWER			75	0	0
INNER1			50	0	0
INNER2			50	0	0
INNER3			50	0	0
INNER4			50	0	0
INNER5			50	0	0
INNER6			50	0	0
INNER7			50	0	0
INNER8	Round	50	50	0	0

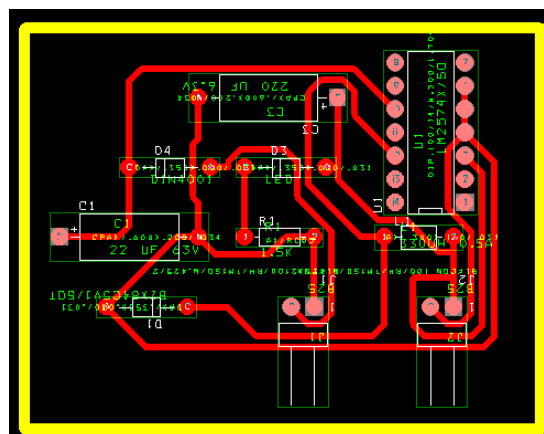
6.5.7 Vérification de la faisabilité



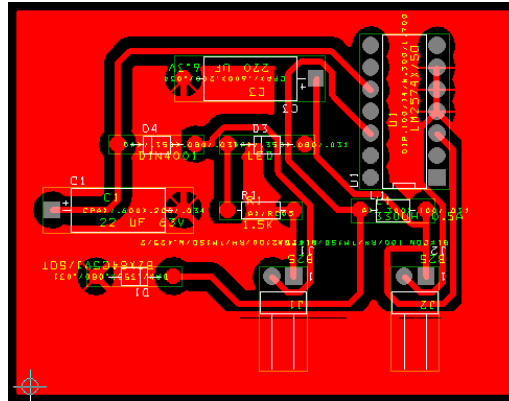
6.5.8 Routage manuel des équipotentielles



6.5.9 Routage automatique des équipotentielles restantes et vérification



6.5.10 Faire un plan de masse



6.5.11 Génération de fichiers Gerber pour la fabrication du PCB

Plot output File Name	Batch Enabled	Device	Shift	Plot Title
*.TOP	No	EXTENDED GERBER	No shift	Top Layer
*.BOT	Yes	EXTENDED GERBER	No shift	Bottom Layer
*.GND	No	EXTENDED GERBER	No shift	Ground Layer
*.PWR	No	EXTENDED GERBER	No shift	Power Layer
*.IN1	No	EXTENDED GERBER	No shift	Inner Layer 1
*.IN2	No	EXTENDED GERBER	No shift	Inner Layer 2
*.IN3	No	EXTENDED GERBER	No shift	Inner Layer 3
*.IN4	No	EXTENDED GERBER	No shift	Inner Layer 4
*.IN5	No	EXTENDED GERBER	No shift	Inner Layer 5
*.IN6	No	EXTENDED GERBER	No shift	Inner Layer 6
*.IN7	No	EXTENDED GERBER	No shift	Inner Layer 7
*.IN8	No	EXTENDED GERBER	No shift	Inner Layer 8
*.IN9	No	EXTENDED GERBER	No shift	Inner Layer 9
*.I10	No	EXTENDED GERBER	No shift	Inner Layer 10
*.I11	No	EXTENDED GERBER	No shift	Inner Layer 11

Exemple de Fichier GERBER

```
*G01*G90*G01D2*G54D11*G01D2*X03700Y03500D03
*X04600Y03500D03*G01D2*G54D12*G01D2
*X02900Y03550D03*X03100Y03550D03*X01275Y03600D03
*X01625Y03600D03*X03200Y03350D03*X02800Y03350D03
etc...
```

Figure : Extrait de fichier "Gerber"

Le fichier Gerber ne peut être exploité par le photo traceur laser qu'en présence d'un fichier outils lumineux :

Ver	Hor	Type	Tool
0.008,	0.008,	L,	D10
0.160,	0.160,	C,	D11
0.150,	0.150,	C,	D12
0.100,	0.100,	C,	D13
0.110,	0.110,	R,	D14
0.110,	0.110,	C,	D15
0.030,	0.030,	L,	D16
0.090,	0.090,	C,	D17
0.044,	0.044,	L,	D18

Figure : Fichier des Outils Lumineux

Les type d'outils sont les suivants :

- C *Circle* ou pastilles circulaires.
- O *Oval* ou pastilles ovales.
- L *Line* ou outil de tracé de lignes.
- R *Rectangle* pour les pastilles carrées ou rectangulaires.

Les dimensions sont toujours données en pouces (1 pouce=25.4mm).