

1. 如何阅读本章

所有 LPC111x 系列中的SPI 模块均相同。第二个 SPI 模块，SPI1，只存在于 LQFP48 和 PLCC44 封装上，在 HVQFN33 封装上则没有。

注释：两个 SPI 模块都包含全部的 SSP 特征集，所有相关寄存器都使用 SSP 前缀命名。

2. 特性

- 兼容 Motorola SPI、4线TI SSI和美国国家半导体公司的 Microwire总线。
- 同步串行通信。
- 支持主机和从机操作。
- 收发均有8 帧FIFO。
- 每帧有4-16 位数据。

3. 基本描述

SPI/SSP 是一个同步串行端口 (SSP) 控制器，可控制 SPI、4线 SSI和 Microwire 总线。它可以与总线上的多个主机和从机相互作用。在数据传输过程中，总线上只能有一个主机与一个从机进行通信。原则上数据传输是全双工的，4~16位帧的数据由主机发送到从机或由从机发送到主机。但实际上，大多数情况下只有一个方向上的数据流包含有意义的数

LPC111x 系列处理器有两个 SPI/同步串行端口控制器。

4. 引脚描述

表 162. SPI 引脚描述

引脚名称	类型	接口引脚名称/功能			引脚描述
		SPI	SSI	Microwire	
SCK0/1	I/O	SCK	CLK	SK	串行时钟。 SCK/CLK/SK是用来同步数据传输的时钟信号。它由主机驱动, 从机接收。当使用SPI接口时, 时钟可编程为高电平有效或低电平有效, 否则总是高电平有效。SCK仅在数据传输过程中切换。在其它时间里, SPI/SSP接口保持无效状态或不驱动它(使其处于高阻态)。
SSEL0/1	I/O	SSEL	FS	CS	帧同步/从机选择。 当 SPI/SSP 接口是总线主机时, 它在串行数据启动前驱动该信号为有效状态。在数据发送出去之后又将该信号恢复为无效状态。该信号的有效状态根据所选的总线和模式可以是高或低。当 SPI/SSP 接口作为总线从机时, 该信号根据使用的协议来判断主机数据的存在。 当只有一个总线主机和一个总线从机时, 来至主机的帧同步信号或从机选择信号直接与从机相应的输入相连。当总线上接有多个从机时, 需要管理好这些从机的帧选择/从机选择输入, 以免一次传输有多个从机响应。
MISO0/1	I/O	MISO	DR(M) DX(S)	SI(M) SO(S)	主机输入从机输出。 MISO信号线从从机传送串行数据传送到主机。当 SPI/SSP作为从机, 串行数据从该信号输出。当 SPI/SSP 作为主机, 从该信号得到串行数据时钟。当 SPI/SSP 作为从机但未被 FS/SSEL 选定, 它不会驱动该信号(保持高阻态)。
MOSI0/1	I/O	MOSI	DX(M) DR(S)	SO(M) SI(S)	主机输出从机输入。 MOSI信号线从主机传送串行数据到从机。当 SPI/SSP 作为主机, 串行数据从该信号输出。当 SPI/SSP 作为从机, 从该信号得到串行数据时钟。

注释: SCK0 功能在三个不同的引脚上复用(在 HVQFN 封装上有两个引脚)。通过设置 IOCON_LOC 寄存器(见7-4.2小节) 选择一个引脚作为 SCK0 功能, 另外在IOCON 寄存器中设置功能。SCK1 引脚没有复用。

5. 时钟和功耗管理

SPI 模块由 AHBCLKCTRL 寄存器 (见 表 3-19) 控制。用于 SPI 时钟分频器和预分频器的 SPI 外设时钟，由 SSP0/1CLKDIV 寄存器 (见 3-4.15 小节) 控制。

可以通过设置 SSP0/1CLKDIV 寄存器 (见 3-4.15 小节) 来禁止 SPI0/1_PCLK 时钟。SPI 模块可以通过设置 AHBCLKCTRL 寄存器禁止 (表 3-19) 以节省功耗。

6. 寄存器描述

SPI 控制器寄存器地址如 表 11-163 和 表 11-164 所示。

注释： 使用 SSP 前缀的寄存器名称，表示 SPI 控制器完全兼容 SSP 功能。

表 163. 寄存器概览：SPI0 (基址 0x4004 0000)

名称	访问方式	地址偏移	描述	复位值 ^[1]
SSP0CR0	R/W	0x000	控制寄存器 0。选择串行时钟频率，总线类型和数据长度。	0
SSP0CR1	R/W	0x004	控制寄存器 1。选择主机/从机和其他模式。	0
SSP0DR	R/W	0x008	数据寄存器。写满将发送 FIFO，读空将接收 FIFO。	0
SSP0SR	RO	0x00C	状态寄存器。	-
SSP0CPSR	R/W	0x010	时钟预分频寄存器。	0
SSP0IMSC	R/W	0x014	中断屏蔽设置和清零寄存器。	0
SSP0RIS	R/W	0x018	原始中断状态寄存器。	-
SSP0MIS	R/W	0x01C	屏蔽中断状态寄存器。	0
SSP0ICR	R/W	0x020	SSPICR 中断清零寄存器。	NA

[1] 复位值仅指已使用位中的数据，不包括保留位的内容。

表 164. 寄存器概览：SPI1 (基址 0x4005 8000)

名称	访问方式	地址偏移	描述	复位值 ^[1]
SSP1CR0	R/W	0x000	控制寄存器 0。选择串行时钟频率，总线类型和数据长度。	0
SSP1CR1	R/W	0x004	控制寄存器 1。选择主机/从机和其他模式。	0
SSP1DR	R/W	0x008	数据寄存器。写满将发送 FIFO，读空将接收 FIFO。	0
SSP1SR	RO	0x00C	状态寄存器。	-
SSP1CPSR	R/W	0x010	时钟预分频寄存器。	0
SSP1IMSC	R/W	0x014	中断屏蔽设置和清零寄存器。	0
SSP1RIS	R/W	0x018	原始中断状态寄存器。	-
SSP1MIS	R/W	0x01C	屏蔽中断状态寄存器。	0
SSP1ICR	R/W	0x020	SSPICR 中断清零寄存器。	NA

[1] 复位值仅指已使用位中的数据，不包括保留位的内容。

6.1 SPI/SSP 控制寄存器 0

该寄存器控制SPI/SSP控制器的基本操作。

表 165: SPI/SSP 控制 0 (SSP0CR0 - address 0x4004 0000, SSP1CR0 - address 0x4005 8000) 位域描述

位	符号	值	描述	复位值
3:0	DSS		数据长度选择。该字段控制着每帧传输的位数目。不支持且不使用值 0000-0010 。	0000
		0011	4-位 传输	
		0100	5-位 传输	
		0101	6-位 传输	
		0110	7-位 传输	
		0111	8-位 传输	
		1000	9-位 传输	
		1001	10-位 传输	
		1010	11-位 传输	
		1011	12-位 传输	
		1100	13-位 传输	
		1101	14-位 传输	
		1110	15-位 传输	
		1111	16-位 传输	
5:4	FRF		帧格式	00
		00	SPI	
		01	TI	
		10	Microwire	
		11	不支持且不应使用这个组合。	
6	CPOL		时钟输出极性。该位只用于SPI模式。	0
		0	SPI 控制器使总线时钟在两帧传输之间保持低电平。	
		1	SPI 控制器使总线时钟在两帧传输之间保持高电平。	
7	CPHA		时钟输出相位。该位只用于SPI模式。	0
		0	SPI 控制器在帧传输的第一个时钟跳变沿捕获串行数据，也就是说，传输远离时钟线的帧间状态。	
		1	SPI 控制器在帧传输的第二个时钟跳变沿捕获串行数据，也就是说，传输紧邻时钟线的帧间状态 。	
15:8	SCR		串行时钟频率。SCR 之值为总线上每传输一个数据位所对应的 0x00 预分频时钟数减 1。假设 CPSDVSR 为预分频器的分频值，APB 时钟 PCLK 为预分频器的时钟，则位频率为 PCLK / (CPSDVSR × [SCR+1])。	0x00

6.2 SPI/SSP0 控制寄存器 1

该寄存器控制着SPI/SSP 控制器的工作方式的某些方面。

表 166: SPI/SSP 控制 寄存器 1 (SSP0CR1 – 地址 0x4004 0004, SSP1CR1 – 地址 0x4005 8004) 位域描述

位	符号	值	描述	复位值
0	LBM		回环模式	0
		0	正常操作模式	
		1	串行输入脚同时也是串行输出脚（MOSI 或 MISO），而不是仅作为串行输入脚（MISO或 MOSI分别起作用）。	
1	SSE		允许SPI。	0
		0	禁止SPI 控制器。	
		1	SPI控制器可与串行总线上的其它器件相互通信。在设置该位之前，软件应将合适的控制信息写入其它SPI/SSP寄存器和中断控制器寄存器。	
2	MS		主机/从机模式。该位只能在SSE位为 0时写入。	0
		0	SPI 控制器作为总线主机，驱动SCLK、MOSI和 SSEL线并接收 MISO线。	
		1	SPI 控制器作为总线从机，驱动 MISO 线并接收 SCLK、MOSI 和SSEL 线。	
3	SOD		从机输出禁止。该位只与从机模式有关（MS=1）。如果该位为1，将阻塞SSI控制器驱动发送数据线（MISO）。	0
7:4	-		保留，用户软件不要向保留位写入1。从保留位读出的值未定义。	NA

6.3 SPI/SSP 数据寄存器

软件可将要发送的数据写入该寄存器，或从该寄存器读出接收到的数据。

表 167: SPI/SSP 数据寄存器 (SSP0DR – 地址 0x4004 0008, SSP1DR – 地址 0x4005 8008) 位域描述

位	符号	描述	复位值
15:0	DATA	<p>写：当状态寄存器的TNF位为1时，指示Tx FIFO未滿，软件可将要发送的帧数据写入该寄存器。如果Tx FIFO 以前为空，且总线上的SPI控制器不忙，则立刻开始发送数据。否则，写入该寄存器的数据要等到所有数据发送（或接收）完后才能发送。如果数据长度小于 16 位，软件必须对数据进行右对齐后再写入该寄存器。</p> <p>读：当状态寄存器的RNE位为1时，指示 Rx FIFO不为空，软件可读取该寄存器。软件读取该寄存器时，SSP控制器将返回Rx FIFO中最早收到的一帧数据。如果数据长度小于 16 位，该字段的数据必须进行右对齐，高位补零。</p>	0x0000

6.4 SPI/SSP 状态寄存器

该只读寄存器反映了SSP控制器的当前状态。

表 168: SPI/SSP 状态寄存器 (SSP0SR – 地址 0x4004 000C, SSP1SR – 地址 0x4005 800C) 位域描述

位	符号	描述	复位值
0	TFE	发送 FIFO 空。发送 FIFO 为空时该位为 1，反之为0	1
1	TNF	发送 FIFO 未滿。Tx FIFO满时该位为 0，反之为 1。	1
2	RNE	接收 FIFO 非空。接收 FIFO 为空时该位为0，反之为 1。	0
3	RFF	接收 FIFO 满。接收 FIFO 满时该位为1，反之为 0。	0
4	BSY	忙。SPI 控制器空闲时该位为 0， 当前正在发送/接收一帧数据和/或 Tx FIFO 非空时该位为 1。	0
7:5	-	保留。用户软件不要向保留位写入1。从保留位读出的值未定义。	NA

6.5 SPI/SSP 时钟预分频寄存器

SPI_PCLK到 SPI 预分频器时钟的分频系数，由该寄存器控制。换言之，SSPCR0 寄存器中 SCR 系数，决定位时钟。

表 169: SPI/SSP 时钟 预分频寄存器 (SSP0CPSR – 地址 0x4004 0010, SSP1CPSR – 地址 0x4005 8010) 位域描述

位	符号	描述	复位值
7:0	CPSDVSR	这是2 到 254 之间的一个偶数， SPI_PCLK经分频后得到预分频器输出时钟。位 0读总是为 0。	0

重要提示： 必须正确初始化 SSPnCPSR ， 否则 SPI 控制器将不可能正常发送数据。

在从机模式时，SPI 时钟频率由主机提供，不能超过3–4.15小节中选定的 SPI 外设时钟频率的 1/12。寄存器 SSPnCPSR 中的值与时钟频率无关。

主机模式，CPSDVSR_{min} = 2 或更高 (仅限偶数)。

6.6 SPI/SSP 中断屏蔽 设置/清除 寄存器

该寄存器控制 SPI 控制器中 4 个可能的中断条件是否已经允许。注意 ARM 使用“masked”在经典计算机技术相反的意思，在经典计算机技术中“masked”指“disabled”，而ARM 使用“masked”表示“enabled”。为避免引起歧义这里将不使用“masked”一词。

表 170: SPI/SSP 中断屏蔽 设置/清除寄存器 (SSP0IMSC – 地址 0x4004 0014, SSP1IMSC – 地址 0x4005 8014) 位域描述

位	符号	描述	复位值
0	RORIM	软件设置该位来允许接收溢出中断，当 Rx FIFO 满时又完成另一帧的接收时该位置位。ARM 特别指出发生接收溢出时，新数据帧会将前面的数据帧覆盖。	0
1	RTIM	软件设置该位来允许接收超时中断，当 Rx FIFO非空且在“超时周期”之内没有接收到任何数据，就会产生接收超时。	0
2	RXIM	软件置位该位，使得当Rx FIFO至少有一半为满时触发中断。	0
3	TXIM	软件置位该位，使得当Tx FIFO至少有一半为空时触发中断。	0
7:4	-	保留，用户软件不要向保留位写入1。从保留位读出的值未定义。	NA

6.7 SPI/SSP 原始中断状态寄存器

该只读寄存器的每个位在相应中断条件出现后产生 1，而不管该中断是否在 SSPIMSC 寄存器中被允许。

表 171: SPI/SSP 原始中断状态寄存器 (SSP0RIS – 地址 0x4004 0018, SSP1RIS – 地址 0x4005 8018) 位域描述

位	符号	描述	复位值
0	RORRIS	当 RxFIFO满、又接收到另一帧数据时该位置位。ARM 特别指出，此时接收到的新数据帧会将前面的数据帧覆盖	0
1	RTRIS	如果Rx FIFO不为空，且在“超时周期”之内没有被读时，该位置位。	0
2	RXRIS	当Rx FIFO至少一半为满时该位置位。	0
3	TXRIS	当Tx FIFO至少一半为空时该位置位。	1
7:4	-	保留，用户软件不要向保留位写入1。从保留位读出的值未定义。	NA

6.8 SPI/SSP 屏蔽中断状态寄存器

当一个中断条件出现且相应的中断在SSPIMSC中被允许时，该只读寄存器中对应位置位。当产生SPI 中断时，中断服务程序可通过读该寄存器来判断中断源。

表 172: SPI/SSP 屏蔽中断状态寄存器 (SSP0MIS – 地址 0x4004 001C, SSP1MIS – 地址 0x4005 801C) 位域描述

位	符号	描述	复位值
0	RORMIS	当Rx FIFO满时又接收到另一帧数据，并且中断被允许时该位为1。	0
1	RTMIS	Rx FIFO非空，在“超时周期”之内未被读，且中断被允许时，该位为1。	0
2	RXMIS	当Rx FIFO至少一半为满且该中断被允许时，该位为1。	0
3	TXMIS	当Tx FIFO至少一半为空且该中断被允许时，该位为1。	0
7:4	-	保留，用户软件不要向保留位写入1。从保留位读出的值未定义。	NA

6.9 SPI/SSP 中断清除寄存器

软件可以写一个或多个 1 到该只写寄存器，以清除 SPI 控制器中相应的中断条件。注意，另外两个中断条件可以通过写或读适当的 FIFO清除，也可以通过清除SSPIMSC寄存器中相应的位来禁止。

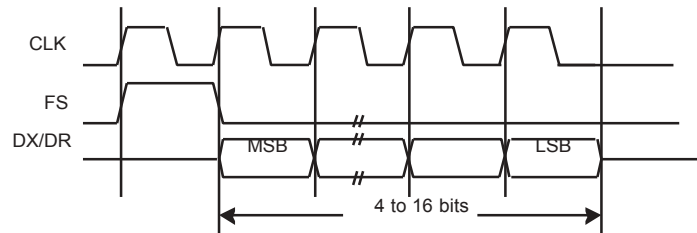
表 173: SPI/SSP 中断清除寄存器(SSP0ICR – 地址 0x4004 0020, SSP1ICR – 地址 0x4005 8020) 位域描述

位	符号	描述	复位值
0	RORIC	写 1 到该位清除“Rx FIFO满时，接收到帧”中断	NA
1	RTIC	写 1 到该位清除“Rx FIFO非空，超时周期内未读到数据”中断	NA
7:2	-	保留，用户软件不要向保留位写入1。从保留位读出的值未定义。	NA

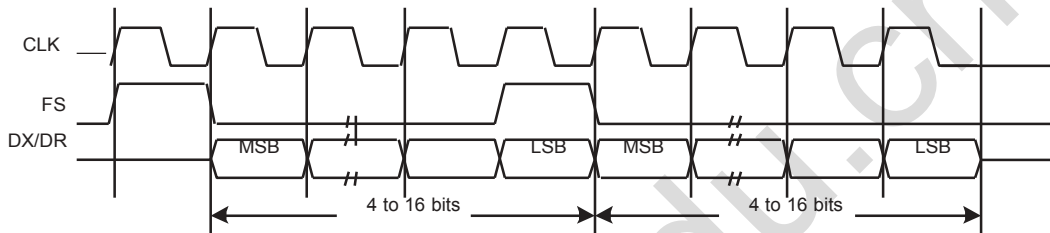
7. 功能描述

7.1 TI 同步串行帧格式

图 11-32 所示为SPI 模块支持的4 线 TI同步串行帧格式。



a. 单帧传输



b. 连续/背对背两帧传输

图 32. TI同步串行数据帧格式: a) 单帧 和 b) 连续/背对背两帧传输

设备若在该模式下被配置为主机, 每当 SSP 空闲, CLK 和 FS 强制为低, 发送数据线 DX 为三态模式。一旦发送 FIFO 的底部装入数据, FS 立即变为高电平, 并维持一个 CLK 周期。需发送的数据位从发送 FIFO 转移到串行移位寄存器。下一个 CLK 上升沿到来时, 4 位到 16 位数据帧的最高位从 DX 引脚移出。同样, 接收数据最高位也由片外串行从设备从 DR 引脚移入。

SSP 和片外串行从器件在每个 CLK 的下降沿将数据移位到它们的串行移位寄存器中。当最低位 (LSB) 被锁存后, 当 CLK 上升沿到来时, 接收到的数据从串行移位寄存器传送到接收 FIFO。

7.2 SPI 帧格式

当 SSEL 信号作为从机选择信号时, SPI 接口是一个 4 线接口。SPI 格式的主要特征是 SCK 信号的无效状态和相位可以通过设置 SSPCR0 寄存器中的 CPOL 和 CPHA 位来改变。

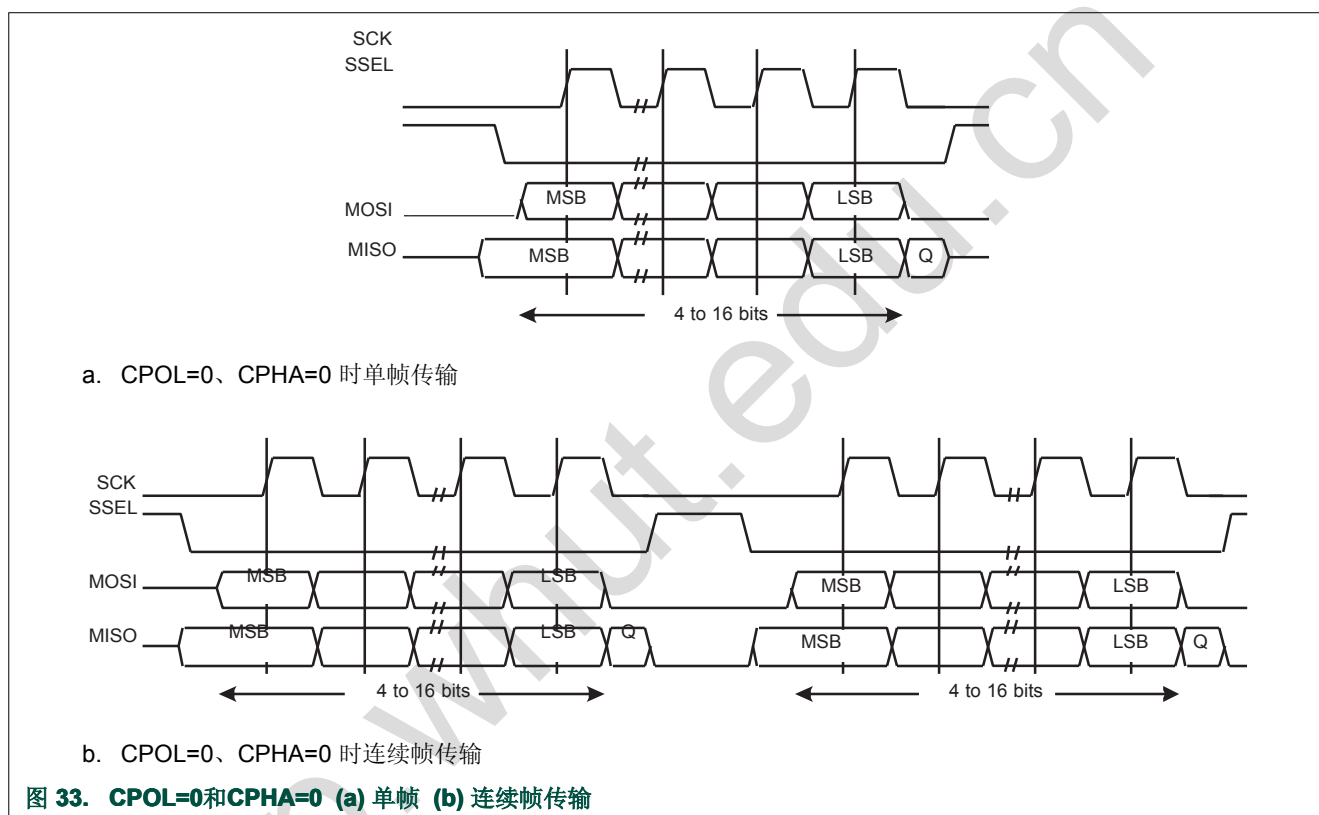
7.2.1 时钟极性 (CPOL) 和相位 (CPHA) 控制

当 CPOL 时钟极性控制位为低, SCK 引脚产生稳定的低电平。如果 CPOL 时钟极性控制位为高, 数据未发送时, CLK 引脚产生一个稳定的高电平。

CPHA 控制位选择采样数据的时钟边沿，并允许它改变状态。通过允许和不允许在第一个数据捕获时钟边沿采样，它将对通讯时所传输的第一个位产生重要影响。若CPHA 相位控制位为低，数据在第一个时钟跳变沿被采样；若CPHA 时钟相位控制位为高，数据在第二个时钟跳变沿被采样。

7.2.2 CPOL=0,CPHA=0 的 SPI 帧格式

CPOL = 0, CPHA = 0时单SPI帧和连续SPI帧传输的时序如图 11-33所示。



该配置下，在空闲周期内：

- CLK 信号强制为低。
- SSEL 强制为高。
- 发送引脚MOSI/MISO 处于高阻态。

如果 SPI/SSP被允许并且发送 FIFO 中有效数据，SSEL主信号驱动为低指示数据发送开始。这使主机的 MOSI 被允许，从机的数据也发送到主机的MISO引脚上。

半个SCK周期后，主机的有效数据传输到 MOSI 引脚。这时主机和从机数据都已经设置好，再经过半个SCK周期，SCK 引脚信号变为高。

数据在 SCK 信号的上升沿被捕获，保持到 SCK的下降沿。

发送单个帧时, 当数据帧的所有位发送完, 最后一个数据位被捕获后的一个 SCK周期之后, SSEL 恢复空闲高电平状态。

但是, 在连续帧的发送过程中, 每个数据帧之间SSEL 信号必须为高。这是因为当CPHA 位为0时, 从机选择引脚将数据冻结在串行外围寄存器中, 不允许其改变。因此, 在每次数据帧传输之间, 主设备必须拉高从器件的 SSEL 引脚来允许串行外设数据的写操作。当连续帧传输结束, 最后一位被捕获后一个 SCK周期之后, SSEL 返回到空闲状态。

7.2.3 CPOL=0,CPHA=1的SPI帧格式

CPOL = 0, CPHA = 1时SPI帧传输时序如图 11-34所示, 包括单帧传输和连续传输两种模式。

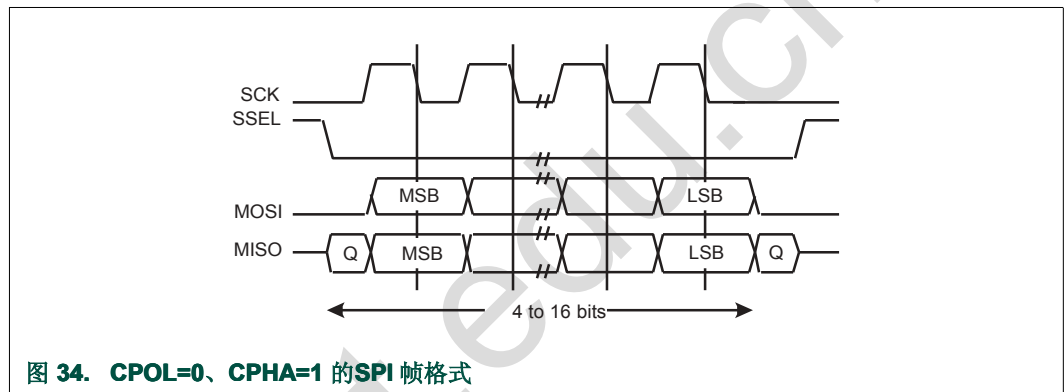


图 34. CPOL=0、CPHA=1 的SPI 帧格式

该配置下, 在空闲周期内:

- CLK 信号强制为低。
- SSEL 强制为高。
- 发送引脚MOSI/MISO 处于高阻态。

如果 SPI/SSP被允许并且发送FIFO中的有效数据, 则 SSEL被拉为低表示开始发送数据。主机MOSI 引脚被允许。在半个 SCK 周期之后, 主机和从机中的有效数据分别被允许输出到各自的发送线上。同时, SCK出现上升沿跳变。

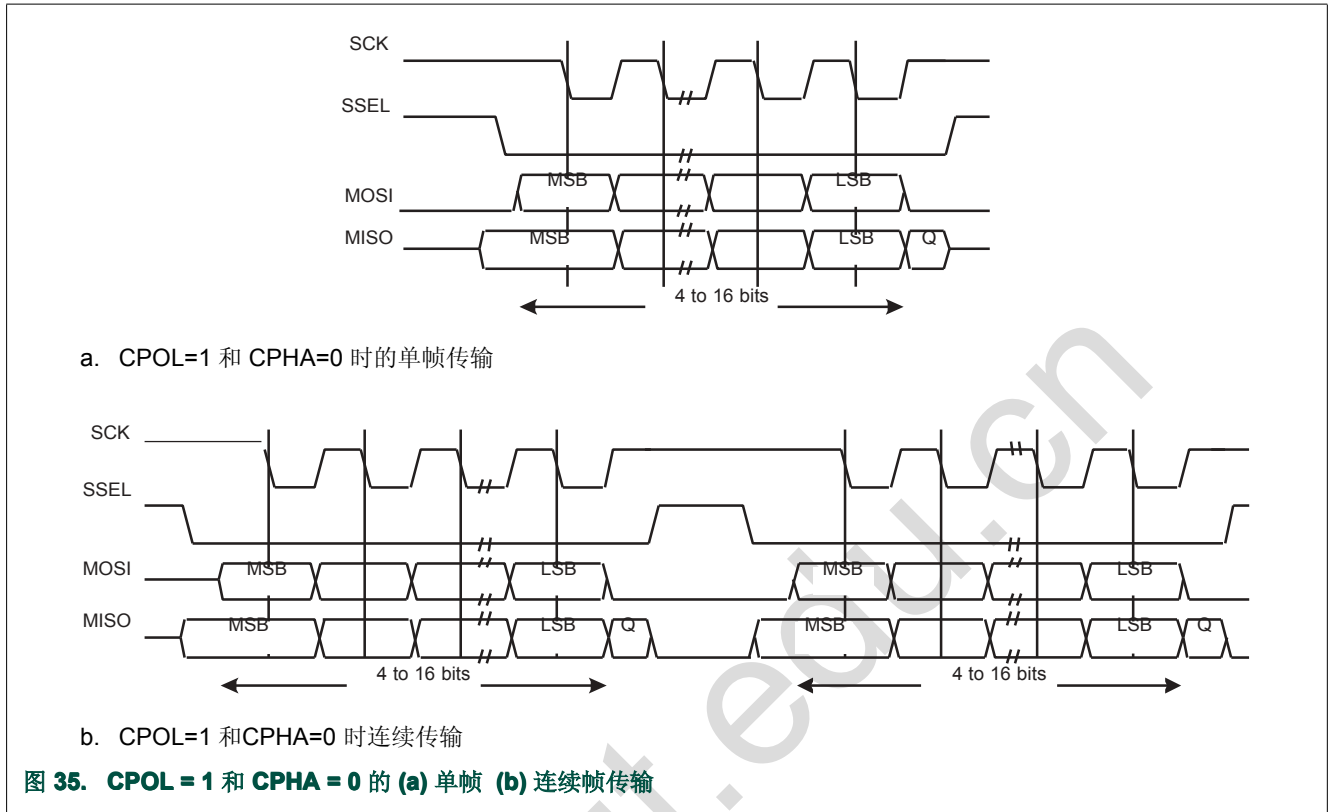
然后, 数据在 SCK信号的下降沿被捕获并保持到 SCK信号的下一个上升沿。

在单个字的传输过程中, 当所有位传输结束后, 最后一位被捕获后的一个SCK 周期之后, SSEL 引脚返回到空闲的高电平状态。

对于连续背对背帧的传输, SSEL 在两个连续的数据字传输之间保持低电平, 传输终止与单字传输一样。

7.2.4 CPOL = 1,CPHA = 0 的 SPI 帧格式

CPOL=1, CPHA=0 时单SPI帧和连续SPI帧传输时序如图 11-35所示。



该配置下，在空闲周期内：

- CLK 信号强制为高。
- SSEL 强制为高。
- 发送 MOSI/MISO 引脚处于高阻态。

如果 SPI/SSP 被允许，且发送 FIFO 中有有效数据，则 SSEL 被拉为低表示开始发送数据，这使得从机数据立即被传输到主机 MISO 线上。主机 MOSI 引脚被允许。

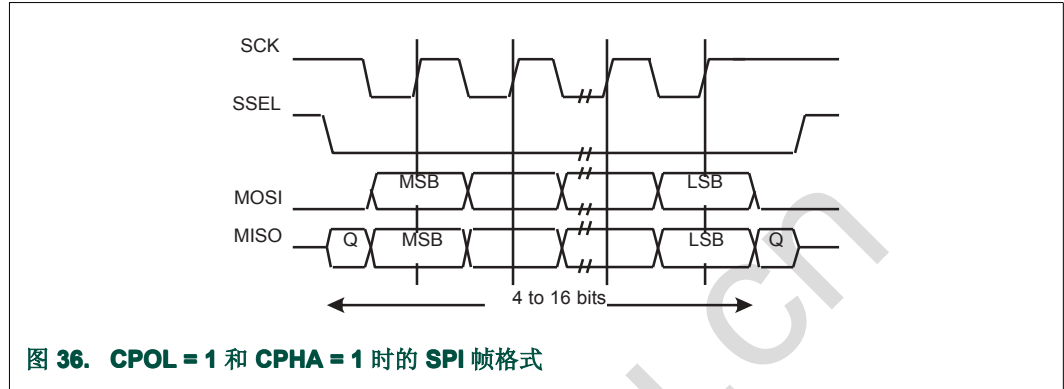
半个 SCK 周期后，有效的主机数据被传输到 MOSI 线。由于主机和从机数据都被设置，再过半 SCK 周期后 SCK 引脚将变低。这意味着数据在 SCK 信号的下降沿被捕获，并持续到 SCK 的下一个上升沿。

在发送单个字时，当数据字的所有位发送完，最后一位被捕获后的一个 SCK 周期之后，SSEL 引脚返回到高电平状态。

但是，在连续帧的发送过程中，在每个数据字传输之间 SSEL 信号必须为高。这是因为当 CPHA 位为逻辑 0 时，从机选择引脚冻结了串行外围寄存器中的数据，不允许其改变。因此，在每次数据传输之间主设备必须拉高从设备的 SSEL 引脚，来允许对串行外设数据的写操作。当连续传输结束，最后一位被捕获后一个 SCK 周期之后，SSEL 引脚返回到空闲状态。

7.2.5 CPOL = 1,CPHA = 1 的 SPI 帧格式

CPOL = 1, CPHA = 1 的 SPI 帧传输时序如图 11-36所示，包含单帧传输和连续帧传输两种方式。



该配置下，在空闲周期内：

- CLK 信号强制为高。
- SSEL 强制为高。
- 发送 MOSI/MISO 引脚处于高阻态。

如果 SPI/SSP被允许，且发送 FIFO中有有效数据，则 SSEL 主机信号被拉为低，指示数据发送开始。主机的 MOSI引脚被允许。再过半SCK 周期，主机和从机的有效数据都被允许输出到各自的发送线上。同时，通过下降沿跳变允许SCK。然后，数据在 SCK信号的上升沿被捕获并保持到 SCK信号的下降沿。

在单个字的传输过程中，当所有位传输结束，最后一位被捕获的后一个 SCK周期之后，SSEL返回到高电平状态。对于连续帧背对背传输，SSEL引脚则仍保持有效的低电平状态，直到最后一个字的最后一位捕获之后，它再返回到空闲状态。总的来说，SSEL引脚在两个连续的数据字传输之间保持低电平，传输终止的方法与单个字传输相同。

7.3 半导体 Microwire 帧格式

图11-37 所示为 Microwire 帧格式的单帧传输，图 11-38 所示则为连续帧传输。

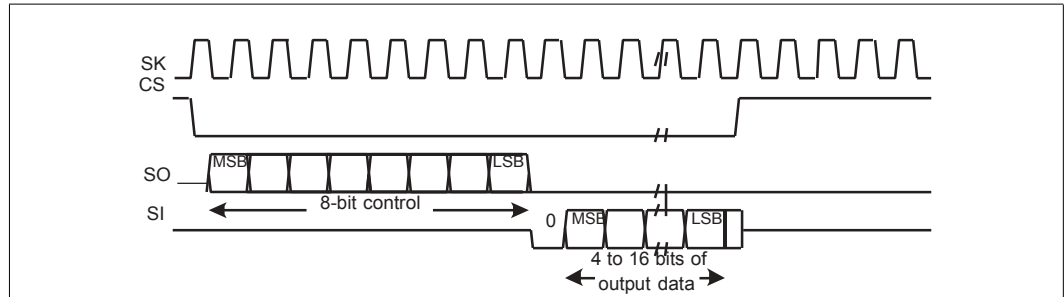


图 37. Microwire 帧格式 (单帧传输)

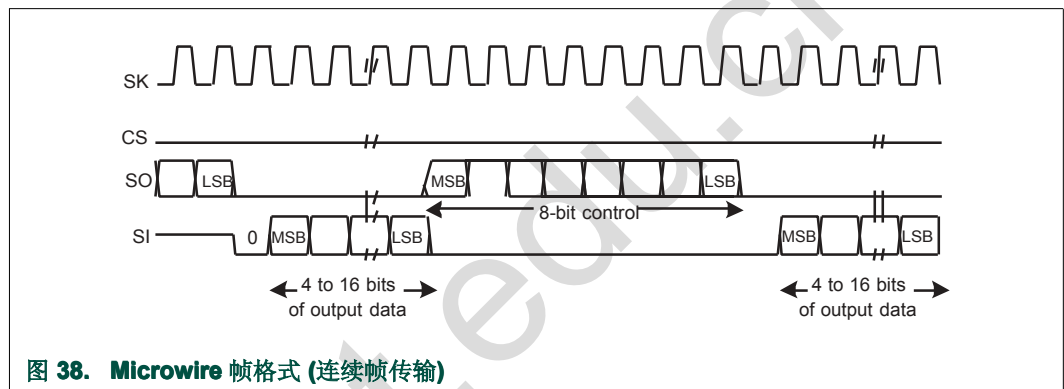


图 38. Microwire 帧格式 (连续帧传输)

Microwire 格式与 SPI 格式类似，但它的发送是半双工而非全双工模式，数据从主机传输到从机。每次串行发送以一个 8 位控制字开始，从 SPI/SSP 传输到片外从设备。在发送控制字的过程中，SPI/SSP 不接收数据。控制字发送结束后，片外从设备对其进行译码，在 8 位控制信息的最后一位发送结束后的一个串行时钟之后，才返回主机所需的数据。返回的数据长度为 4 到 16 位，使得总的帧长度在 13 到 25 位之间。

该配置下，在空闲周期内：

- SK 信号强制为低。
- CS 强制为高。
- 发送数据线 SO 可强制为低。

发送过程由写一个控制字节到发送 FIFO 的来触发。CS 的下降沿使发送 FIFO 底端的数据传输到串行移位寄存器，8 位控制帧的最高位被移位到 SO 引脚。CS 在帧发送过程中保持低电平。SI 在帧发送过程中保持三态。

片外串行从设备在每个 SK 的上升沿将每个控制位锁存到其串行移位器。当从设备完成最后一位的锁存后，再用一个 SK 周期对控制字节进行译码，然后从设备将所数据发回给 SPI/SSP。每一个数据位在 SK 的下降沿驱动到 SI 上。SPI/SSP 在 SK 的上升沿锁存每位

数据。在帧的最后，对单帧传输来说，在最后一位被锁存到接收串行移位器后的一个 SK 周期之后，CS 信号被拉高，使数据传输到接收FIFO。

注意：在最低位被接收移位器锁存后，或当CS变为高电平时，片外从设备的接收线在SK下降沿时刻为三态。

对于连续传输过程的数据发送，开始和结束的方法都与单帧传输相同。所不同的是，在连续传输过程中，CS 持续有效（保持低电平），数据背靠背连续发送。当前数据帧的最低位被接收后，下一帧的控制字节立刻直接发送。在一帧数据的最低位被锁存到 SPI/SSP 后，来自接收移位器的每个接收到的数据在SK 的下降沿被传送。

7.3.1 Microwire 模式中，相对SK的 CS建立和保持时间的要求

在Microwire模式中，当CS变低后，SPI/SSP从机在 SK上升沿对接收数据的首位进行采样。主机可自由驱动SK，以确保相对 SK 的上升沿CS 信号有足够的建立和保持时间。

图 11-39给出了对CS的建立和保持时间的要求。相对 SPI/SSP 从机采样接收数据的首个位的SK上升沿，CS的建立时间至少为SPI/SSP操作的SK周期的 2 倍。相对于之前的SK上升沿，CS的保持时间至少为一个SK周期。

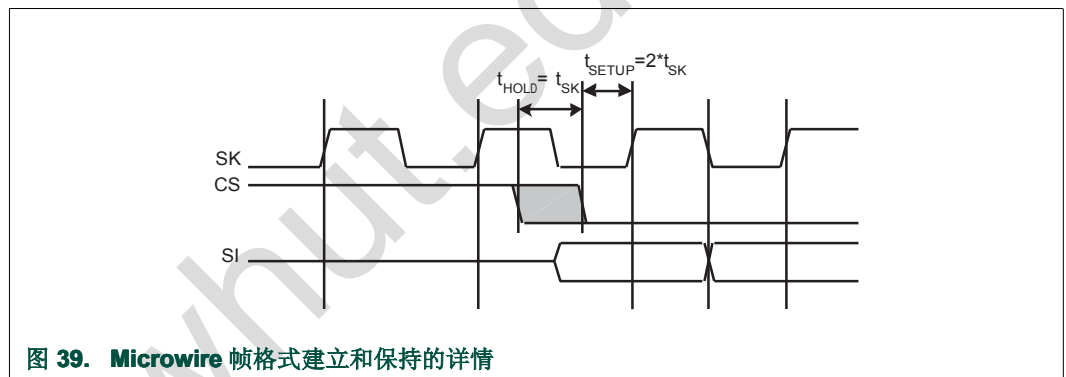


图 39. Microwire 帧格式建立和保持的详情