

1. 概述

系统配置块控制LPC111x处理器的振荡器，启动逻辑和时钟发生器。同时该模块还包括一些设置访问AHB优先级的寄存器，以及一个重映射flash, SRAM和ROM存储器区域的寄存器。

2. 引脚描述

[表3-4](#)描述了与系统控制模块功能相关引脚。

表 4. 引脚概述

| 引脚名称 | 引脚方向 | 引脚描述 |
|-----------------|------|--------------|
| CLKOUT | 输出 | 时钟输出引脚 |
| PIO0_0~ PIO0_11 | 输入 | 通过PIO0启动逻辑唤醒 |
| PIO1_0 | 输入 | 通过PIO1启动逻辑唤醒 |

3. 时钟和电源控制

LPC111x时钟发生单元 (CGU)如图[图3-3](#)所示。

LPC111x包括三个独立的振荡器，它们分别是系统的振荡器、内部RC振荡器(IRC)和看门狗振荡器。在具体应用程序中，每一个都可以有不只一个用途。

复位之后，LPC111X首先使用内部RC振荡器，直到通过软件进行切换，这使得系统bootloader运行在一个已知的频率下，而不受任何外部晶振的影响。

SYSAHBCLKCTRL寄存器用于分配系统时钟给不同的外设和存储器。UART、SPI0/1和SysTick定时器都有各自的时钟分频器，以从主时钟获得适合各自的外设时钟。

主时钟、IRC输出的时钟、系统振荡器和看门狗振荡器可以从CLKOUT引脚直接观察到。

电源控制细节见[3-7节](#)。

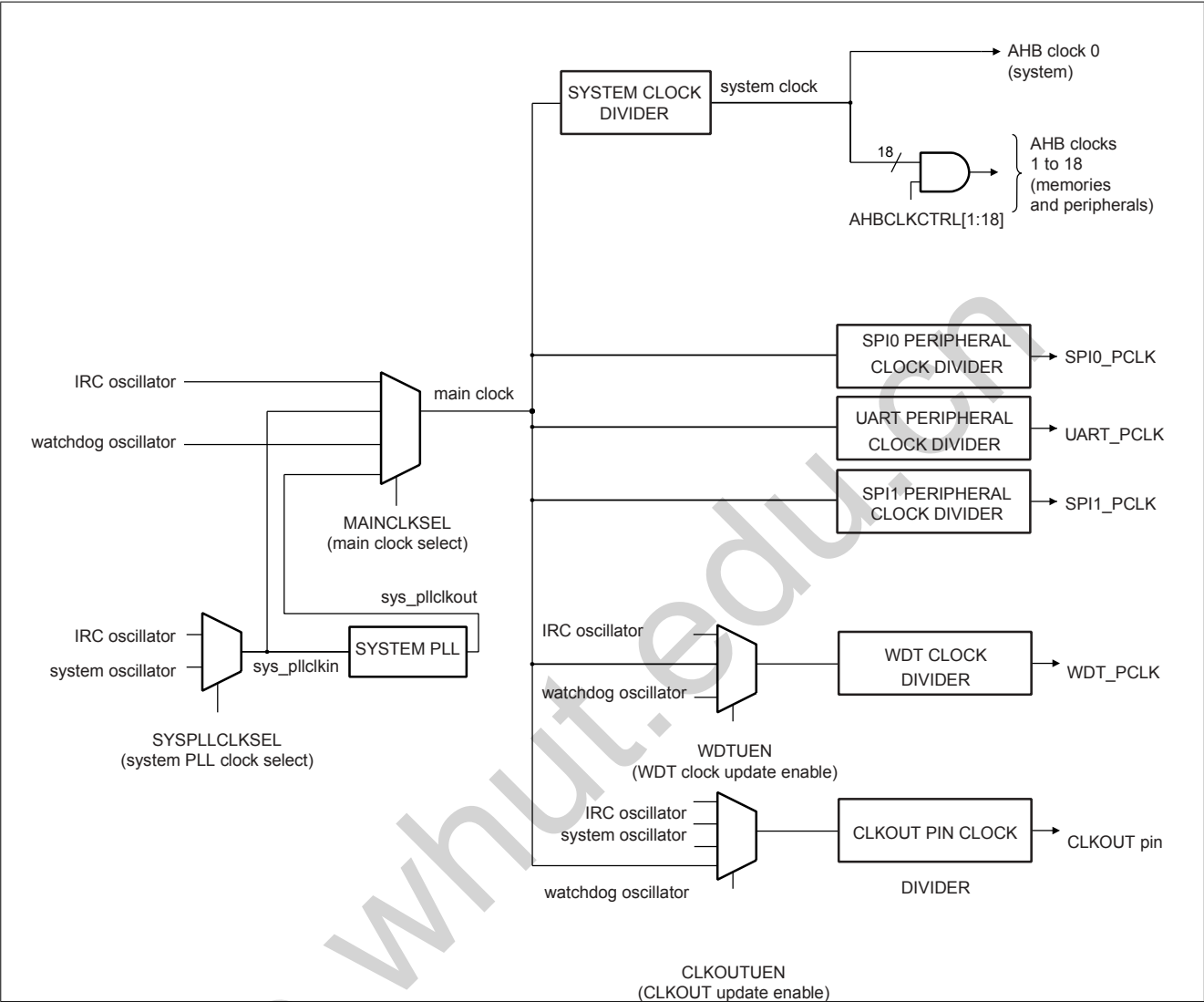


图 3. LPC111x CGU 方框图

4. 寄存器描述

所有的寄存器，无论大小，都占有一个字的地址宽度。细节见各寄存器功能的描述。

Flash访问定时寄存器（见3-10节）可以被重配置为系统设置的一部分，但该寄存器不属于系统配置模块。

寄存器 5. 寄存器概览: 系统控制块 (基地址 0x4004 8000)

| 名称 | 存取类型 | 偏移地址 | 描述 | 复位值 | 参考 |
|------------|------|---------------|---------|-------|-----------------------|
| SYMEMREMAP | R/W | 0x000 | 系统内存重映射 | 0x000 | 表 3-6 |
| PRESETCTRL | R/W | 0x004 | 外设复位控制 | 0x000 | 表 3-7 |
| SYSPLLCTRL | R/W | 0x008 | 系统PLL控制 | 0x000 | 表 3-8 |
| SYSPLLSTAT | R | 0x00C | 系统PLL状态 | 0x000 | 表 3-9 |
| - | - | 0x010 - 0x01C | 保留 | - | - |

此LPC111X 数据手册之中文翻译，由武汉理工大学UP团队友情提供，仅供学习交流之用，欢迎指正，共同修改完善。

表 5. 寄存器概览: 系统控制块 (基地址 0x4004 8000)(续)

| 名称 | 存取类型 | 偏移地址 | 描述 | 复位值 | 参考 |
|---------------|------|---------------|---------------|-------|------------------------|
| SYSOSCCTRL | R/W | 0x020 | 系统振荡器控制 | 0x000 | 表 3-10 |
| WDTOSCCTRL | R/W | 0x024 | 看门狗振荡器控制 | 0x000 | 表 3-11 |
| IRCCTRL | R/W | 0x028 | IRC控制 | 0x080 | 表 3-12 |
| - | - | 0x02C | 保留 | - | - |
| SYSRESSTAT | R | 0x030 | 系统复位状态寄存器 | 0x000 | 表 3-13 |
| - | - | 0x034 - 0x03C | 保留 | - | - |
| SYSPLLCLKSEL | R/W | 0x040 | 系统PLL时钟源选择 | 0x000 | 表 3-14 |
| SYSPLLCLKUEN | R/W | 0x044 | 系统PLL时钟源更新允许 | 0x000 | 表 3-15 |
| - | - | 0x048 - 0x06C | 保留 | - | - |
| MAINCLKSEL | R/W | 0x070 | 主时钟源选择 | 0x000 | 表 3-16 |
| MAINCLKUEN | R/W | 0x074 | 主时钟源更新允许 | 0x000 | 表 3-17 |
| SysAHBCLKDIV | R/W | 0x078 | 系统AHB时钟分频器 | 0x001 | 表 3-18 |
| - | - | 0x07C | 保留 | - | - |
| SysAHBCLKCTRL | R/W | 0x080 | 系统AHB时钟控制 | 0x85F | 表 3-19 |
| - | - | 0x084 - 0x090 | 保留 | - | - |
| SSP0CLKDIV | R/W | 0x094 | SPI0时钟分频器 | 0x000 | 表 3-20 |
| UARTCLKDIV | R/W | 0x098 | UART时钟分频器 | 0x000 | 表 3-21 |
| SSP1CLKDIV | R/W | 0x09C | SPI1时钟分频器 | 0x000 | 表 3-22 |
| - | - | 0x0A0-0x0CC | 保留 | - | - |
| WDTCLKSEL | R/W | 0x0D0 | WDT时钟源选择 | 0x000 | 表 3-23 |
| WDTCLKUEN | R/W | 0x0D4 | WDT时钟源更新允许 | 0x000 | 表 3-24 |
| WDTCLKDIV | R/W | 0x0D8 | WDT时钟分频器 | 0x000 | 表 3-25 |
| - | - | 0x0DC | 保留 | - | - |
| CLKOUTCLKSEL | R/W | 0x0E0 | CLKOUT时钟源选择 | 0x000 | 表 3-26 |
| CLKOUTUEN | R/W | 0x0E4 | CLKOUT时钟源更新允许 | 0x000 | 表 3-27 |
| CLKOUTDIV | R/W | 0x0E8 | CLKOUT时钟分频器 | 0x000 | 表 3-28 |
| - | - | 0x0EC - 0x0FC | 保留 | - | - |
| PIOPORCAP0 | R | 0x100 | POR捕获PIO状态0 | 依赖用户 | 表 3-29 |
| PIOPORCAP1 | R | 0x104 | POR捕获PIO状态1 | 依赖用户 | 表 3-30 |
| - | R | 0x108 - 0x14C | 保留 | - | - |
| BODCTRL | R/W | 0x150 | BOD控制 | 0x000 | 表 3-31 |
| - | - | 0x154 | 保留 | - | - |
| SYSTCKCAL | R/W | 0x158 | 系统嘀嗒计数器的校准 | 0x004 | 表 3-32 |
| - | - | 0x15C - 0x1FC | 保留 | - | - |
| STARTAPRP0 | R/W | 0x200 | 启动逻辑边沿控制寄存器0 | | 表 3-33 |
| STARTERP0 | R/W | 0x204 | 启动逻辑信号允许寄存器0 | | 表 3-34 |
| STARTRSRP0CLR | W | 0x208 | 启动逻辑复位寄存器0 | n/a | 表 3-35 |
| STARTSRP0 | R | 0x20C | 启动逻辑状态寄存器0 | n/a | 表 3-36 |
| - | - | 0x210 - 0x22C | 保留 | - | - |

表 5. 寄存器概览: 系统控制块 (基地址 0x4004 8000)(续)

| 名称 | 类型 | 偏移地址 | 描述 | 复位值 | 参考 |
|-------------|-----|---------------|------------------|----------------|------------------------|
| PDSLEEP_CFG | R/W | 0x230 | 深度睡眠模式的电源关闭状态 | 0x0000 0000 | 表 3-37 |
| PDAWAKE_CFG | R/W | 0x234 | 深度睡眠模式唤醒后的电源掉电状态 | 0x0000 EDF0 | 表 3-38 |
| PDRUN_CFG | R/W | 0x238 | 掉电配置寄存器 | 0x0000 EDF0 | 表 3-39 |
| - | - | 0x23C - 0x3F0 | 保留 | - | - |
| DEVICE_ID | R | 0x3F4 | 设备ID | 依赖设备 | 表 3-40 |

4.1 系统内存重映射寄存器

系统内存重映射寄存器用于选择是从启动ROM、flash还是SRAM中读取ARM中断向量。

表 6. 系统内存重映射寄存器(SYSMEMREMAP, 地址 0x4004 8000) 位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|-----|-------|------------------------------------|------|
| 1:0 | MAP | | 系统内存得映射 | 0x00 |
| | | 00 | Boot Loader模式, 中断向量被重映射到Boot ROM中。 | |
| | | 01 | User RAM模式, 中断向量被重映射到SRAM中。 | |
| | | 10/11 | 用户Flash模式, 中断向量没被重映射, 仍驻留在Flash中。 | |
| 31:2 | - | - | 保留 | 0x00 |

4.2 外设复位控制寄存器

该寄存器允许软件复位SPI和I2C外设。写0到SSP0/1_RST_N或I2C_RST_N位将复位SPI0 / 1或I2C外设。写1使复位失效。

表 7. 外设复位控制寄存器(PRESETCTRL, 地址 0x4004 8004)位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|---|------------|---|------------|-----|
| 0 | SSP0_RST_N | | SPI0复位控制 | 0x1 |
| | | 0 | 复位SPI0外设。 | |
| | | 1 | SPI0 复位失效。 | |
| 1 | I2C_RST_N | | I2C复位控制 | 0x1 |
| | | 0 | 复位I2C 外设。 | |
| | | 1 | I2C 复位失效。 | |

表 7. 外设复位控制寄存器(PRESETCTRL, 地址 0x4004 8004)位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|------------|---|------------|------|
| 2 | SSP1_RST_N | | SPI1 复位控制 | 0x1 |
| | | 0 | 复位SPI1外设。 | |
| | | 1 | SPI1 复位失效。 | |
| 31:3 | - | - | 保留。 | 0x00 |

4.3 系统PLL控制寄存器

该寄存器用于连接和允许系统PLL, 可以配置 PLL倍频器和分频器的值。PLL可接收来自不同时钟源的介于10 MHz 到25 MHz的时钟输入信号。输入的时钟信号先倍频到一个较高的频率, 然后再分频分别提供给CPU、外设、存储器。PLL可以产生CPU允许的最大时钟频率。

表8. 系统PLL控制寄存器 (SYSPLLCTRL, 地址0x40048008) 位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|------|-------|------------------------------|-------|
| 4:0 | MSEL | | 反馈分频器值. 分频器的值M是MSEL的值+ 1 | 0x000 |
| | | 00000 | 分频器值M = 1 | |
| | | ... | | |
| | | 11111 | 分频器值 M = 32 | |
| 6:5 | PSEL | | 后分频器值P. 分频器值为 $2 \times P$. | 0x00 |
| | | 00 | P = 1 | |
| | | 01 | P = 2 | |
| | | 10 | P = 4 | |
| | | 11 | P = 8 | |
| 31:7 | - | - | 保留. 不要将1写到这些保留位中。 | 0x0 |

4.4 系统 PLL状态寄存器

该寄存器是一个只读寄存器, 提供PLL时钟锁定状态 (见3-9.1节)。

表9. 系统PLL状态寄存器(SYSPLLSTAT, 地址 0x4004 800C)位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|------|---|---------|------|
| 0 | LOCK | | PLL锁定状态 | 0x0 |
| | | 0 | PLL未锁定 | |
| | | 1 | PLL已锁定 | |
| 31:1 | - | - | 保留 | 0x00 |

4.5 系统振荡器控制寄存器

该寄存器配置系统振荡器的频率范围。

表10. 系统振荡器控制寄存器（SYSOSCCTRL，地址0x40048020）位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|-----------|---|--|------|
| 0 | BYPASS | | 旁路系统振荡器 | 0x0 |
| | | 0 | 振荡器不被旁路。 | |
| | | 1 | 旁路被允许。PLL输入(sys_osc_clk)由XTALIN和XTALOUT直接提供。 | |
| 1 | FREQRANGE | | 为低功耗振荡器确定频率范围。 | 0x0 |
| | | 0 | 1 - 20 MHz 频率范围 | |
| | | 1 | 15 - 25 MHz频率范围 | |
| 31:2 | - | - | 保留 | 0x00 |

4.6 看门狗振荡器控制寄存器

该寄存器用于配置看门狗振荡器。看门狗振荡器包含一个模拟部分和一个数字部分。模拟部分包括振荡器功能及产生模拟时钟，通过数字部分将模拟输出时钟（Fclkana）分频为所需的输出时钟频率wdt_osc_clk。模拟输出频率（Fclkana）可以根据频率选择位(FREQSEL)在500 kHz到 3.4 MHz之间调整；通过数字部分，使用分频器选择位(DIVSEL)将Fclkana分频以达到wdt_osc_clk所设置的频率(分频器的值=2，4，.....，64)。

看门狗振荡器输出时钟频率可以根据下式计算：

wdt_osc_clk = Fclkana / (2 × (1 + DIVSEL))

注释: 任何FREASEL位的设置都将产生一个列出的频率值 ± 25% 误差的频率。

表 11. 看门狗振荡器控制寄存器(WDTOSCCTRL，地址 0x4004 8024)位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|-----|---------|-------|--|------|
| 4:0 | DIVSEL | | 为Fclkana选择分频器 | 0x00 |
| | | | wdt_osc_clk = Fclkana / (2 × (1 + DIVSEL)) | |
| | | 00000 | 2 | |
| | | 00001 | 4 | |
| | | 00010 | 6 | |
| | | ... | ... | |
| | | 11111 | 64 | |
| 8:5 | FREQSEL | | 选择看门狗振荡器模拟输出频率 (Fclkana). | 0x05 |
| | | 0001 | 0.5 MHz | |
| | | 0010 | 0.8 MHz | |
| | | 0011 | 1.1 MHz | |
| | | 0100 | 1.4 MHz | |
| | | 0101 | 1.6 MHz (复位值) | |

表 11. 看门狗振荡器控制寄存器(WDTOSCCTRL, 地址 0x4004 8024)位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|----|------|----------|------|
| | | 0110 | 1.8 MHz | |
| | | 0111 | 2.0 MHz | |
| | | 1000 | 2.2 MHz | |
| | | 1001 | 2.4 MHz | |
| | | 1010 | 2.6 MHz | |
| | | 1011 | 2.7 MHz | |
| | | 1100 | 2.9 MHz | |
| | | 1101 | 3.1 MHz | |
| | | 1110 | 3.2 MHz | |
| | | 1111 | 3.4 MHz | |
| 31:9 | - | - | Reserved | 0x00 |

4.7 内部谐振控制寄存器

该寄存器用来调整片上12MHz振荡器，调整值是厂家预置的，并在启动时被引导写入。

表12. 内部谐振晶体控制寄存器（IRCCTRL, 地址 0x4004 8028）位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|------|---|-----|-------------------------|
| 7:0 | TRIM | | 调整值 | 0x1000 0000, flash将会重编程 |
| 31:9 | - | - | 保留 | 0x00 |

4.8 系统复位状态寄存器

系统复位状态寄存器SYSRSTSTAT显示最新的复位事件源。通过往该寄存器中任何位写1清除该位。POR事件可清除该寄存器中其它所有位，但是如果另外一个复位信号（例如EXTRST）在POR信号消失之后仍然存在，那么它相应的位将被设置为已被检测状态。

表 13. 系统复位状态寄存器(SYSRSTSTAT, 地址 0x4004 8030)位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|--------|---|--------------|------|
| 0 | POR | | POR 复位状态 | 0x0 |
| | | 0 | 未检测到POR | |
| | | 1 | 已检测到POR | |
| 1 | EXTRST | | 外部RESET引脚的状态 | 0x0 |
| | | 0 | 未检测到RESET | |
| | | 1 | 已检测到RESET | |
| 2 | WDT | | 看门狗复位的状态 | 0x0 |
| | | 0 | 未检测到WDT事件 | |
| | | 1 | 已检测到WDT复位 | |
| 3 | BOD | | 欠压检测复位状态 | 0x0 |
| | | 0 | 未检测到BOD复位 | |
| | | 1 | 已检测到BOD复位 | |
| 4 | SYSRST | | 软件系统复位状态 | 0x0 |
| | | 0 | 未检测到系统复位 | |
| | | 1 | 已检测到系统复位 | |
| 31:5 | - | - | 保留 | 0x00 |

4.9 系统PLL时钟源选择寄存器

该寄存器为系统PLL选择时钟源。SYSPLLCLKUEN寄存器（见3-4.10节）必须从低切换到高，更新才能生效。

表 14. 系统PLL时钟源选择寄存器(SYSPLLCLKSEL, 地址 0x4004 8040)位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|-----|----|----------|------|
| 1:0 | SEL | | 系统PLL时钟源 | 0x00 |
| | | 00 | IRC振荡器 | |
| | | 01 | 系统振荡器 | |
| | | 10 | WDT振荡器 | |
| | | 11 | 保留 | |
| 31:2 | - | - | 保留 | 0x00 |

4.10 系统PLL时钟源更新允许寄存器

该寄存器在SYSPLLCLKSEL寄存器被写入以后使用新的输入时钟来更新系统PLL的时钟源。为了使更新生效, 需要先往SYSPLLKEN寄存器中写0然后写1。

表 15. 系统 PLL 时钟源更新允许寄存器 (SYSPLLKEN, 地址0x4004 8044)位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|-----|---|------------|------|
| 0 | ENA | | 允许PLL时钟源更新 | 0x0 |
| | | 0 | 没有变化 | |
| | | 1 | 更新时钟源 | |
| 31:1 | - | - | 保留 | 0x00 |

4.11 主时钟源选择寄存器

该寄存器可直接选择系统PLL的任何输入, 可以是sys_pllclkout、看门狗或IRC振荡器作为系统主时钟。系统主时钟为内核、外设和存储器提供时钟。

MAINCLKKEN寄存器 (见3-4.12节) 必须要比低切换到高, 才能使更新生效。

表 16. 主时钟源选择寄存器(MAINCLKSEL, 地址 0x4004 8070)位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|-----|----|------------|------|
| 1:0 | SEL | | 主时钟的时钟源 | 0x00 |
| | | 00 | IRC振荡器 | |
| | | 01 | 系统PLL的输入时钟 | |
| | | 10 | WDT振荡器 | |
| | | 11 | 系统PLLI时钟输出 | |
| 31:2 | - | - | 保留 | 0x00 |

4.12 主时钟源更新允许寄存器

在MAINCLKSEL寄存器被写入之后, 该寄存器用于允许新的输入时钟更新主时钟的时钟源。为了使更新生效, 需要先往MAINCLKKEN寄存器中写0然后再写1。

表 17. 主时钟源更新允许寄存器(MAINCLKKEN, 地址 0x4004 8074)位域

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|-----|---|----------|------|
| 0 | ENA | | 允许主时钟源更新 | 0x0 |
| | | 0 | 没有变化 | |
| | | 1 | 更新时钟源 | |
| 31:1 | - | - | 保留 | 0x00 |

4.13 系统AHB时钟分频器寄存器

该寄存器分频主时钟，以给内核、存储器和外设提供系统时钟。可以通过设置DIV位为0x0，完全关闭系统时钟。

表 18. 系统AHB时钟分频器寄存器(SYS_AHBCLKDIV, 地址 0x4004 8078) 位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|-----|-----|-------------|------|
| 7:0 | DIV | | 系统AHB时钟分频器值 | 0x01 |
| | | 0 | 禁止系统时钟 | |
| | | 1 | 分频值为1 | |
| | | to | ... | |
| | | 255 | 分频值为255 | |
| 31:8 | - | - | 保留 | 0x00 |

4.14 系统AHB时钟控制寄存器

AHBCLKCTRL寄存器用于允许系统和外设各自的时钟。系统时钟(sys_ahb_clk[0], AHBCLKCTRL寄存器的第0位)提供给AHB到APB桥、AHB矩阵、ARM Cortex-M0核、Syscon模块和PMU。这个时钟不能被禁止。

表 19. 系统AHB时钟控制寄存器(AHBCLKCTRL, 地址 0x4004 8080) 位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|---|------------|---|--|-----|
| 0 | SYS | | 允许AHB到APB桥、AHB矩阵、Cortex-M0 FCLK和HCLK、SysCon和PMU的时钟，该位只读。 | 1 |
| | | 0 | 保留 | |
| | | 1 | 允许 | |
| 1 | ROM | | 允许ROM的时钟 | 1 |
| | | 0 | 禁止 | |
| | | 1 | 允许 | |
| 2 | RAM | | 允许RAM的时钟 | 1 |
| | | 0 | 禁止 | |
| | | 1 | 允许 | |
| 3 | FLASHREG | | 允许flash寄存器接口的时钟 | 1 |
| | | 0 | 禁止 | |
| | | 1 | 允许 | |
| 4 | FLASHARRAY | | 允许flash阵列存取的时钟 | 1 |
| | | 0 | 禁止 | |
| | | 1 | 允许 | |
| 5 | I2C | | 允许I2C的时钟 | 0 |
| | | 0 | 禁止 | |
| | | 1 | 允许 | |

表 19. 系统AHB时钟控制寄存器(AHBCLKCTRL, 地址 0x4004 8080) 位域描述 (续)

| 位 | 符号 | 值 | 描述 | 复位值 |
|-------|--------|---|---|------|
| 6 | GPIO | | 允许GPIO的时钟 | 1 |
| | | 0 | 禁止 | |
| | | 1 | 允许 | |
| 7 | CT16B0 | | 允许16位计数器/定时器0的时钟 | 0 |
| | | 0 | 禁止 | |
| | | 1 | 允许 | |
| 8 | CT16B1 | | 允许16位计数器/定时器1的时钟 | 0 |
| | | 0 | 禁止 | |
| | | 1 | 允许 | |
| 9 | CT32B0 | | 允许32位计数器/定时器0的时钟 | 0 |
| | | 0 | 禁止 | |
| | | 1 | 允许 | |
| 10 | CT32B1 | | 允许32位计数器/定时器1的时钟 | 0 |
| | | 0 | 禁止 | |
| | | 1 | 允许 | |
| 11 | SSP0 | | 允许SPI0的时钟 | 1 |
| | | 0 | 禁止 | |
| | | 1 | 允许 | |
| 12 | UART | | 允许UART的时钟。在UART时钟允许之前, 必须配置IOCON模块中的UART引脚。 | 0 |
| | | 0 | 禁止 | |
| | | 1 | 允许 | |
| 13 | ADC | | 允许ADC的时钟 | 0 |
| | | 0 | 禁止 | |
| | | 1 | 允许 | |
| 14 | - | - | 保留 | 0 |
| 15 | WDT | | 允许WDT的时钟 | 0 |
| | | 0 | 禁止 | |
| | | 1 | 允许 | |
| 16 | IOCON | | 允许IO配置块的时钟 | 0 |
| | | 0 | 禁止 | |
| | | 1 | 允许 | |
| 17 | - | - | 保留 | 0 |
| 18 | SSP1 | | 允许SPI1的时钟。 | 0 |
| | | 0 | 禁止 | |
| | | 1 | 允许 | |
| 31:19 | - | - | 保留 | 0x00 |

4.15 SPI0 时钟分频器寄存器

该寄存器配置SPI0外部时钟（SPI0_PCLK）。设置DIV位域为0x00，可以关闭SPI0_PCLK。

表20. SPI0 时钟分频器寄存器（SSP0CLKDIV，地址0x4004 8094）位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|-----|-----|------------------|------|
| 7:0 | DIV | | SSP0_PCLK时钟分频器的值 | 0x00 |
| | | 0 | 禁止SPI0_PCLK。 | |
| | | 1 | 分频值为1。 | |
| | | 到 | ... | |
| | | 255 | 分频值为255。 | |
| 31:8 | - | - | 保留 | 0x00 |

4.16 UART时钟分频器寄存器

该寄存器配置UART外设时钟UART_PCLK，设置DIV位为0x00可关闭UART_PCLK。

注释: 切记在允许UART时钟以前，一定要先配置IOCON模块中的UART引脚。

表21. UART时钟分频器寄存器（UARTCLKDIV，地址0x4004 8098）位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|-----|-----|------------------|------|
| 7:0 | DIV | | UART_PCLK时钟分频器的值 | 0x00 |
| | | 0 | 禁止UART_PCLK。 | |
| | | 1 | 分频值为1 | |
| | | to | ... | |
| | | 255 | 分频值为255 | |
| 31:8 | - | - | 保留 | 0x00 |

4.17 SPI1时钟分频器寄存器

该寄存器配置SPI1外围时钟SPI1_PCLK。设置DIV位域为0x0可以关闭SPI1_PCLK。

表22. SPI1时钟分频器寄存器（SSP1CLKDIV，地址0x4004 809C）位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|-----|-----|------------------|------|
| 7:0 | DIV | | SPI1_PCLK时钟分频器的值 | 0x00 |
| | | 0 | 禁止SPI1_PCLK。 | |
| | | 1 | 分频值为1 | |
| | | to | ... | |
| | | 255 | 分频值为255 | |
| 31:8 | - | - | 保留 | 0x00 |

4.18 WDT时钟源选择寄存器

该寄存器选择看门狗定时器的时钟源。寄存器WDTCLKUEN（见3-4.19节）必须从低切换到高，才能使更新才能生效。

表 23. WDT时钟源选择寄存器（WDTCLKSEL,地址0x4004 80D0）位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|-----|----|--------|------|
| 1:0 | SEL | | WDT时钟源 | 0x00 |
| | | 00 | IRC振荡器 | |
| | | 01 | 主时钟 | |
| | | 10 | 看门狗振荡器 | |
| | | 11 | 保留 | |
| 31:2 | - | - | 保留 | 0x00 |

4.19 WDT时钟源更新允许寄存器

在写WDTCLKSEL完成后，用该寄存器允许使用新的输入时钟来更新看门狗定时器的时钟源。为了使看门狗定时器时钟输入的更新生效，需要先将WDTCLKUEN寄存器清0，然后再写1。

表 24. WDT时钟源更新允许寄存器（WDTCLKUEN,地址0x4004 80D4）位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|-----|---|-------------|------|
| 0 | ENA | | 允许 WDT时钟源更新 | 0x0 |
| | | 0 | 没有变化 | |
| | | 1 | 更新时钟源 | |
| 31:1 | - | - | 保留 | 0x00 |

4.20 WDT时钟分频器寄存器

该寄存器决定了看门狗时钟（wdt clk）的分频器的值。

表 25. WDT时钟分频器寄存器(WDTCLKDIV, 地址0x4004 80D8)位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|-----|-----|-----------|------|
| 7:0 | DIV | | WDT时钟分频器值 | 0x00 |
| | | 0 | 控制门 | |
| | | 1 | 分频值为1 | |
| | | 到 | ... | |
| | | 255 | 分频值为255 | |
| 31:8 | - | - | 保留 | 0x00 |

4.21 CLKOUT时钟源选择寄存器

该寄存器配置clkout_clk信号，并通过CLKOUT引脚输出。所有振荡器和主时钟都是可以选作clkout_clk时钟。

为了使更新生效，必须将CLKOUTCLKUEN (见 3-4.22节)寄存器由低切换到高。

表 26. CLKOUT时钟源选择寄存器(CLKOUTCLKSEL, 地址 0x4004 80E0)位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|-----|----|-----------|------|
| 1:0 | SEL | | CLKOUT时钟源 | 0x00 |
| | | 00 | IRC 振荡器 | |
| | | 01 | 系统振荡器 | |
| | | 10 | 看门狗振荡器 | |
| | | 11 | 主时钟 | |
| 31:2 | - | - | 保留 | 0x00 |

4.22 CLKOUT时钟源更新允许寄存器

将值写入CLKOUTCLKSEL寄存器以后，该寄存器用于允许使用新的时钟来更新CLKOUT引脚输出的时钟源。为了使在CLKOUT引脚的输入更新生效，需要先往CLKCLKUEN寄存器中写0，然后再写1。

表 27. CLKOUT时钟源更新允许寄存器（CLKOUTUEN, 地址0x4004 80E4）位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|-----|---|---------------|------|
| 0 | ENA | | 允许CLKOUT时钟源更新 | 0x0 |
| | | 0 | 没有变化 | |
| | | 1 | 更新时钟源 | |
| 31:1 | - | - | 保留 | 0x00 |

4.23 CLKOUT时钟分频寄存器

该寄存器决定了clkout在CLKOUT引脚上的clk信号的分频值。

表 28. CLKOUT时钟分频寄存器(CLKOUTCLKDIV, 地址 0x4004 80E8) 位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|-----|-----|---------|------|
| 7:0 | DIV | | 时钟分频器值 | 0x00 |
| | | 0 | 控制门 | |
| | | 1 | 分频值为1 | |
| | | 到 | ... | |
| | | 255 | 分频值为255 | |
| 31:8 | - | - | 保留 | 0x00 |

4.24 POR捕获PIO状态寄存器0

PIOPORCAP0寄存器捕获在上电复位时端口0、1、2（PIO2_0到PIO2_7引脚）的PIO引脚的状态（高或低）。每个位代表一个GPIO引脚的复位状态。该寄存器是一个只读状态寄存器。

表 29. **POR捕获PIO状态寄存器0 (PIOPORCAP0，地址 0x4004 8100) 位描述**

| 位 | 符号 | 描述 | 复位值 |
|-------|------------------------|-------------------------|---------|
| 0 | CAPPIO0_0 | PIO0_0原始复位输入状态 | 依赖用户的实现 |
| 1 | CAPPIO0_1 | PIO0_1原始复位输入状态 | 依赖用户的实现 |
| 11:2 | CAPPIO0_11 - CAPPIO0_2 | PIO0_11 -PIO0_2原始复位输入状态 | 依赖用户的实现 |
| 23:12 | CAPPIO1_11 - CAPPIO1_0 | PIO1_11-PIO1_0原始复位输入状态 | 依赖用户的实现 |
| 31:24 | CAPPIO2_7 - CAPPIO2_0 | PIO2_7 -PIO2_0原始复位输入状态 | 依赖用户的实现 |

4.25 **POR捕获PIO状态寄存器1**

PIOPORCAP1寄存器捕获在上电复位时端口2 (PIO2_8 到 PIO2_11引脚)和端口3的PIO引脚的状态（高或低）。每个位代表一个PIO引脚的复位状态。该寄存器是一个只读状态寄存器。

表 30. **POR捕获PIO状态寄存器1 (PIOPORCAP1，地址 0x4004 8104) 位域描述**

| 位 | 符号 | 描述 | 复位 值 |
|-------|------------|-----------------|---------|
| 0 | CAPPIO2_8 | PIO2_8原始复位输入状态 | 依赖用户的实现 |
| 1 | CAPPIO2_9 | PIO2_9原始复位输入状态 | 依赖用户的实现 |
| 2 | CAPPIO2_10 | PIO2_10原始复位输入状态 | 依赖用户的实现 |
| 3 | CAPPIO2_11 | PIO2_11原始复位输入状态 | 依赖用户的实现 |
| 4 | CAPPIO3_0 | PIO3_0原始复位输入状态 | 依赖用户的实现 |
| 5 | CAPPIO3_1 | PIO3_1原始复位输入状态 | 依赖用户的实现 |
| 6 | CAPPIO3_2 | PIO3_2原始复位输入状态 | 依赖用户的实现 |
| 7 | CAPPIO3_3 | PIO3_3原始复位输入状态 | 依赖用户的实现 |
| 8 | CAPPIO3_4 | PIO3_4原始复位输入状态 | 依赖用户的实现 |
| 9 | CAPPIO3_5 | PIO3_5原始复位输入状态 | 依赖用户的实现 |
| 31:10 | - | 保留 | - |

4.26 **欠压检测(BOD)控制寄存器**

欠压检测(BOD)控制寄存器选择使得欠压检测器向NVIC发出BOD中断并强制复位的四个独立阈值。[表3-31](#)列出的复位和中断阈值是典型值（见LPC1111_12_13_14数据手册）。

表 31. BOD控制寄存器 (BODCTRL, 地址0x4004 8150) 位域描述

| 位 | 符号 | 值 | 描述 | 复位 值 |
|------|-----------|----|---|------|
| 1:0 | BODRSTLEV | | BOD复位电平 | 00 |
| | | 00 | 电平0: 复位的有效阈值电压1.46 V; 复位的无效阈值电压1.63 V. | |
| | | 01 | 电平 1: 复位的有效阈值电压2.06 V; 复位的无效阈值电压2.15 V. | |
| | | 10 | 电平 2: 复位的有效阈值电压2.35 V; 复位的无效阈值电压2.43 V. | |
| | | 11 | 电平 3: 复位的有效阈值电压2.63 V; 复位的无效阈值电压2.71 V. | |
| 3:2 | BODINTVAL | | BOD中断电平 | 00 |
| | | 00 | 电平0: 中断有效阈值电压1.65 V;中断无效阈值电压1.80 V. | |
| | | 01 | 电平1: 中断有效阈值电压2.22 V;中断无效阈值电压2.35 V. | |
| | | 10 | 电平2: 中断有效阈值电压2.52 V;中断无效阈值电压2.66 V. | |
| | | 11 | 电平3: 中断有效阈值电压2.80 V;中断无效阈值电压2.90 V. | |
| 4 | BODRSTENA | | 允许BOD复位 | 0 |
| | | 0 | 禁止复位功能 | |
| | | 1 | 允许复位功能 | |
| 31:5 | - | - | 复位 | 0x00 |

4.27 系统嘀嗒定时器校准寄存器

表 32.系统嘀嗒定时器校准寄存器(SYSTCKCAL, 地址0x4004 8158) 位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|-------|-----|---|------------|------|
| 25:0 | CAL | | 系统时钟计时器校准值 | <tb> |
| 31:26 | - | - | 保留 | 0x00 |

4.28 启动逻辑边沿控制寄存器 0

STARTAPRP0寄存器控制端口0 (PIO0_0~ PIO0_11) 和端口1 (PIO1_0)的启动逻辑输入。该寄存器为对应的PIO输入选择一个下降沿或上升沿，来为启动逻辑（见3-8.3节）产生一个下降或上升时钟沿。

STARTAPRP0寄存器的每个位控制一个端口的输入，并与NVIC的一个唤醒中断相连接。STARTAPRP0寄存器的第0位对应中断0，第1位对应中断1，依此类推（见表5-49），共计13个中断。

注释: 如果对应的PIO引脚用来将处理器从深度睡眠模式中唤醒，那么每一个连接到启动逻辑输入的中断必须在NVIC中被允许。

表 33. 启动逻辑边沿控制寄存器0 (STARTAPRP0, 地址0x4004 8200) 位描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|-------|--------------------------|---|----------------------------------|-----|
| 11:0 | APRPIO0_11 -APRPIO0_0 | | 选择启动逻辑输入PIO0_11~ PIO0_0是上升沿还是下降沿 | 0x0 |
| | | 0 | 下降沿 | |
| | | 1 | 上升沿 | |
| 12 | APRPIO1_0 | | 选择启动逻辑输入PIO1_0是上升沿还是下降沿 | 0x0 |
| | | 0 | 下降沿 | |
| | | 1 | 上升沿 | |
| 31:13 | - | - | 保留 | 0x0 |

4.29 启动逻辑信号允许寄存器0

STARTERP0寄存器用于允许或禁止启动逻辑中的启动信号位。每个位的功能和表3-33中的相同。

表 34. 启动逻辑信号允许寄存器 0 (STARTERP0, 地址0x4004 8204) 位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|-------|--------------------------|---|-----------------------------|-----|
| 11:0 | ERPIO0_11 to ERPIO0_0 | | 允许启动逻辑输入PIO0_11~PIO0_0的起始信号 | 0x0 |
| | | 0 | 禁止 | |
| | | 1 | 允许 | |
| 12 | ERPIO1_0 | | 允许启动逻辑输入PIO1_0的起始信号 | 0x0 |
| | | 0 | 禁止 | |
| | | 1 | 允许 | |
| 31:13 | - | | 保留 | 0x0 |

4.30 启动逻辑复位寄存器0

往STARTRSRP0CLR寄存器中某一位写0将复位启动逻辑。位的功能与表 3-33所述一致。启动逻辑使用输入信号产生一个记录启动信号的时钟边沿。这个时钟边沿(上升沿或者下降沿) 用于设置从深度睡眠模式唤醒的中断。因此，在使用之前，必须清楚启动逻辑的状态。

表 35. 启动逻辑复位寄存器0 (STARTRSRP0CLR, 地址 0x4004 8208) 位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|--------------------------|---|-----------------------------|-----|
| 11:0 | RSRPIO0_11 -RSRPIO0_0 | | 启动逻辑输入PIO0_11~PIO0_0的起始信号复位 | n/a |
| | | 0 | - | |
| | | 1 | 写：复位起始信号 | |

表 35. 启动逻辑复位寄存器0 (STARTSRP0CLR, 地址 0x4004 8208) 位域描述 ...续

| 位 | 符号 | 值 | 描述 | 复位值 |
|-------|-----------|---|---------------------|-----|
| 12 | RSRPIO1_0 | | 启动逻辑输入PIO1_0的起始信号复位 | n/a |
| | | 0 | - | |
| | | 1 | 写: 复位起始信号 | |
| 31:13 | - | - | 保留 | n/a |

4.31 启动逻辑状态寄存器0

该寄存器反映了启动信号位的允许状态。位分配见表3-33。每个位（如果允许）反映了启动逻辑的状态，也就是被指定的引脚是否接收到唤醒信号。

表 36.启动逻辑寄存器0 (STARTSRP0,地址0x4004 820C) 位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|-------|------------------------|---|------------------------------|-----|
| 11:0 | SRPIO0_11- SRPIO0_0 | | 启动逻辑输入PIO0_11 ~PIO0_0的启动信号状态 | n/a |
| | | 0 | 未接收到启动信号 | |
| | | 1 | 启动信号挂起 | |
| 12 | SRPIO1_0 | | 启动逻辑输入PIO1_0的启动信号状态 | n/a |
| | | 0 | 未接收到启动信号 | |
| | | 1 | 启动信号挂起 | |
| 31:13 | - | - | 保留 | n/a |

4.32 深度睡眠模式配置寄存器

访寄存器的各位可以通过软件进行编程，以指示芯片在ARM Cortex-M0进入深度睡眠模式时要进入的状态。进入睡眠模式后，PDSLEEPCFG寄存器的值将会自动加载到PDRUNCFG寄存器中

表 37. 深度睡眠配置寄存器 (PDSLEEPCFG, 地址 0x4004 8230) 位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|---|-----------|---|------------------------|-----|
| 0 | IRCOUT_PD | | 深度睡眠模式下的IRC振荡器输出的掉电控制。 | 0 |
| | | 1 | 掉电 | |
| | | 0 | 有电 | |
| 1 | IRC_PD | | 深度睡眠模式下的IRC振荡器的掉电控制。 | 0 |
| | | 1 | 掉电 | |
| | | 0 | 有电 | |
| 2 | FLASH_PD | | 深度睡眠模式下的Flash的掉电控制。 | 0 |
| | | 1 | 掉电 | |
| | | 0 | 有电 | |

表 37. 深度睡眠配置寄存器 (PDSLEEPCFG, 地址 0x4004 8230) 位域描述 续

| 位 | 符号 | 值 | 描述 | 复位值 |
|-------|-----------|---|----------------------|-----|
| 3 | BOD_PD | | 深度睡眠模式下的BOD的掉电控制。 | 0 |
| | | 1 | 掉电 | |
| | | 0 | 有电 | |
| 4 | ADC_PD | | 深度睡眠模式下的ADC的掉电控制。 | 0 |
| | | 1 | 掉电 | |
| | | 0 | 有电 | |
| 5 | SYSOSC_PD | | 深度睡眠模式下的系统振荡器的掉电控制。 | 0 |
| | | 1 | 掉电 | |
| | | 0 | 上电 | |
| 6 | WDTOSC_PD | | 深度睡眠模式下的看门狗振荡器的掉电控制。 | 0 |
| | | 1 | 掉电 | |
| | | 0 | 上电 | |
| 7 | SYSPLL_PD | | 深度睡眠模式下的系统PLL的掉电控制。 | 0 |
| | | 1 | 掉电 | |
| | | 0 | 上电 | |
| 8 | - | - | 保留 | 0 |
| 9 | - | 1 | 保留.深度睡眠模式的该位必须置0 | 0 |
| 10 | - | - | 保留 | 0 |
| 11 | - | 1 | 保留.深度睡眠模式的该位必须置1 | 0 |
| 12 | - | 0 | 保留.深度睡眠模式的该位必须置1 | |
| 31:13 | - | - | 保留 | 0 |

4.33 唤醒配置寄存器

访寄存器的各位可以通过软件进行编程，以指示芯片从深度睡眠模式中唤醒时需要进入的状态。

表 38. Wake-up配置寄存器 (PDAWAKECFG, 地址0x4004 8234) 位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|---|-----------|---|---------------|-----|
| 0 | IRCOUT_PD | | IRC 振荡器输出唤醒配置 | 0 |
| | | 1 | 掉电 | |
| | | 0 | 有电 | |
| 1 | IRC_PD | | IRC振荡器掉电唤醒配置 | 0 |
| | | 1 | 掉电 | |
| | | 0 | 有电 | |

表 38. Wake-up配置寄存器 (PDAWAKECFG, 地址0x4004 8234) 位域描述 ...续

| 位 | 符号 | 值 | 描述 | 复位值 |
|-------|-----------|---|-----------------------|-----|
| 2 | FLASH_PD | | Flash唤醒配置 | 0 |
| | | 1 | 掉电 | |
| | | 0 | 有电 | |
| 3 | BOD_PD | | BOD唤醒配置 | 0 |
| | | 1 | 掉电 | |
| | | 0 | 有电 | |
| 4 | ADC_PD | | ADC 唤醒配置 | 1 |
| | | 1 | 掉电 | |
| | | 0 | 有电 | |
| 5 | SYSOSC_PD | | 系统振荡器唤醒配置 | 1 |
| | | 1 | 掉电 | |
| | | 0 | 有电 | |
| 6 | WDTOSC_PD | | 看门狗振荡器唤醒配置 | 1 |
| | | 1 | 掉电 | |
| | | 0 | 有电 | |
| 7 | SYSPLL_PD | | 系统PLL唤醒配置 | 1 |
| | | 1 | 掉电 | |
| | | 0 | 有电 | |
| 8 | - | - | 保留 | 1 |
| 9 | - | 0 | 保留。该位在运行模式下正常运行时必须置0。 | 0 |
| 10 | - | - | 保留 | 1 |
| 11 | - | 1 | 保留。该位在运行模式下必须置1。 | 1 |
| 12 | - | 0 | 保留。该位在运行模式下正常运行时必须置0。 | 0 |
| 15:13 | - | - | 保留 | 1 |
| 31:16 | - | - | 保留 | - |

4.34 掉电配置寄存器

PDRUNCFG寄存器中的各位控制着不同模拟模块中的供电。该寄存器可在处理器运行的时随时写入；除了给IRC的掉电信号之外，每一次写入都将会立即生效。

为了避免IRC掉电时产生抖动，IRC时钟会在一个稳定点自动关闭。因此，对IRC来讲，在掉电生效之前可能会产生一个延时。

表 39. 掉电配置寄存器(PDRUNCFG, 地址 0x4004 8238)位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|-------|-------------------------|---|-----------------------|-----|
| 0 | IRCOUT_PD | | IRC振荡器输出掉电 | 0 |
| | | 1 | 掉电 | |
| | | 0 | 有电 | |
| 1 | IRC_PD | | IRC振荡器掉电 | 0 |
| | | 1 | 掉电 | |
| | | 0 | 有电 | |
| 2 | FLASH_PD ^[1] | | Flash掉电 | 0 |
| | | 1 | 掉电 | |
| | | 0 | 有电 | |
| 3 | BOD_PD | | BOD掉电 | 0 |
| | | 1 | 掉电 | |
| | | 0 | 有电 | |
| 4 | ADC_PD | | ADC掉电 | 1 |
| | | 1 | 掉电 | |
| | | 0 | 有电 | |
| 5 | SYSOSC_PD | | 系统振荡器掉电 | 1 |
| | | 1 | 掉电 | |
| | | 0 | 有电 | |
| 6 | WDTOSC_PD | | 看门狗振荡器掉电 | 1 |
| | | 1 | 掉电 | |
| | | 0 | 有电 | |
| 7 | SYSPLL_PD | | 系统PLL掉电 | 1 |
| | | 1 | 掉电 | |
| | | 0 | 有电 | |
| 8 | - | - | 保留 | 1 |
| 9 | - | 0 | 保留。在运行模式下正常执行时该位必须置0。 | 0 |
| 10 | - | - | 保留 | 1 |
| 11 | - | 1 | 保留。在运行模式下，该位必须置1。 | 1 |
| 12 | - | 0 | 保留。在运行模式下正常执行时该位必须置0。 | 0 |
| 15:13 | - | - | 保留 | 1 |
| 31:16 | - | - | 保留 | - |

[1] 从深度睡眠模式唤醒，flash加电序列需要100s。切记在这种情况下flash不需要初始化。如果flash掉电的话，用户需要等待这样一段时间才能恢复对flash的操作。为了flash的初始化，复位后的加电序列可能要比这需要稍微长一点的时间。

4.35 设备ID寄存器

设备ID寄存器是一个只读寄存器，它包含LPC111x每个元件的元件编号。开发人员也可通过ISP/IAP指令来读取该寄存器（见17-7.11和17-8.9节）。

表 40. 设备ID寄存器(DEVICE_ID, 地址 0x4004 83F4)位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|----------|-------------|----------------------|------|
| 31:0 | DEVICEID | | LPC111x元件的部分ID号 | 依赖元件 |
| | | 0x041E 502B | 对应于LPC1111FHN33/101 | |
| | | 0x0416 502B | 对应于 LPC1111FHN33/201 | |
| | | 0x042D 502B | 对应于 LPC1112FHN33/101 | |
| | | 0x0425 502B | 对应于 LPC1112FHN33/201 | |
| | | 0x0434 502B | 对应于 LPC1113FHN33/201 | |
| | | 0x0434 102B | 对应于LPC1113FHN33/301 | |
| | | 0x0434 102B | 对应于 LPC1113FBD48/301 | |
| | | 0x0444 502B | 对应于 LPC1114FHN33/201 | |
| | | 0x0444 102B | 对应于 LPC1114FHN33/301 | |
| | | 0x0444 102B | 对应于LPC1114FBD48/301 | |
| | | 0x0444 102B | 对应于LPC1114FA44/301 | |

5. Reset

LPC111x有四个复位源：**RESET**引脚、看门狗复位、上电复位（POR）和欠压检测（BOD）。此外，还有软件复位。

RESET引脚是一个施密特触发器输入引脚。任何源都可以使复位生效，一旦运行电压达到一个可用电平，开启IRC将使复位一直保持有效直到外部复位失效，而振荡器将一直在运行，flash控制器也已完成其初始化。

当Cortex-M0处理器之外的外部中断源（POR、OBD复位、外部复位、看门狗复位）有效时，IRC开启。在IRC开始计时后(上电后最多6 μs)，IRC提供一个稳定的时钟输出。

1. ROM启动处的引导代码。引导代码扮演着引导的任务，并可能跳转到flash中。
2. flash上电。这大约需要100μs。然后flash初始化序列开始，这大约需要250个周期。

当内部复位被移除之后，处理器从地址0处（即最初的从引导块映射的复位向量）开始执行。在那里，所有的处理器和外设的寄存器被初始为预定值。

6. 欠压检测

LPC111x有四个电平用于监视V_{DD(3V3)}引脚电压。如果电压下降到选定的电平(这四个电平之一), 那么BOD会产生一个中断信号到NVIC。若该信号被NVIC的中断允许寄存器允许, 则会引发一个CPU中断; 若未被允许, 则软件可以通过读一个专门的状态寄存器来监视这个信号。此外还可在四个阈值电平之中选择一个, 当电压下降该电平时处理器将被强制复位。见[表3-31](#)。

7. 功耗管理

LPC111x支持功耗控制的多项特性。当芯片运行时, 通过选择LPC111x模块的电源和时钟, 可以优化处理器运行时的电源消耗。

此外, 还有三个专门的省电模式: 睡眠模式, 深度睡眠模式和深度掉电模式。PMU控制是进入睡眠模式, 还是进入到深度睡眠模式(见[表4-46](#))。在睡眠模式下, ARM核时钟被关闭, 但是外设可以留着继续运行。在深度睡眠模式下, 用户可以选择模拟模块、flash、振荡器保持不掉电还是关闭电源, 从而在一个很大范围内配置如何调整功耗。

通过更换时钟源、重新配置PLL值和/或更改系统时钟分频器值可控制CPU时钟频率。这可以根据应用需求来对功耗和处理速度进行权衡。

运行时功耗控制允许用户关闭片上外设的各自的时钟, 也允许通过关闭应用程序所不需要的外设来减少动态功耗。被选外设(UART、SPI 0/1、看门狗定时器)有自己控制功耗的时钟分频器。

注释: 切记任何省电模式都不支持调试模式。

表 41. LPC111x 电源和时钟控制选项

| 寄存器 | 电源/时钟 控制功能 | 应用模式 |
|------------|--|--------|
| 电源控制 | | |
| PDRUNCFG | 表 3-39 控制模拟模块(振荡器, PLL, ADC, flasht BOD)的电源, 在运行模式下可能通过这个寄存器改变电源配置。 注释: 为了在运行模式下正确操作, 必须该寄存器的第9到第12位置0 | 运行模式 |
| PDSLEEPCFG | 表 3-37 选择在深度睡眠模式下要关闭的模拟模块。当进入深度睡眠模式时, 该寄存器的内容被加载到PDRUNCFG寄存器中。 注释: 为了深度睡眠模式下最大限度的降低功耗, 必须将该寄存器的第9到12位置0。 | 深度睡眠模式 |
| PDAWAKECFG | 表 3-38 选择芯片从深度睡眠模式下唤醒后上电的模拟模块。当芯片退出深度睡眠时, 该寄存器的值将加载到PDRUNCFG中。 注释: 为了在运行模式下正确操作, 必须该寄存器的第9到第12位置0。 | 运行模式 |

表 41. LPC111x电源和时钟控制选项

| 寄存器 | 电源/时钟 控制功能 | 应用模式 |
|--------------|---|----------|
| 时钟控制 | | |
| AHBCLKCTRL | 表 3-19 控制ARM Cortex-M0 CPU、内存和各个APB外设的时钟. | 运行模式 |
| SysAHBCLKDIV | 表 3-18 禁止或配置系统时钟. | 运行模式 |
| SSP0CLKDIV | 表 3-20 禁止或配置SPI0外设时钟. | 运行模式 |
| UARTCLKDIV | 表 3-21 禁止或配置UART外设时钟. | 运行模式 |
| SSP1CLKDIV | 表 3-22 禁止或配置SPI1外设时钟. | 运行模式 |
| WDTCLKDIV | 表 3-25 禁止或配置看门狗定时器时钟 | 运行模式 |
| CLKOUTDIV | 表 3-28 禁止或配置CLKOUT引脚时钟. | 运行模式 |
| 掉电模式控制 (PMU) | | |
| PCON | 表 4-46 控制进入哪种掉电模式. | 睡眠, 深度掉电 |

7.1 运行模式

在运行模式，ARM Cortex-M0 内核，存储器和外设由系统时钟提供时钟。AHBCLKCTRL寄存器控制哪个存储器和外设运行。系统时钟频率可由AHBCLKDIV寄存器选择。

除系统时钟之外，所选外设还有自己的外设时钟，这些外设时钟都带有自己的分频器。可以通过各自的时钟分频器寄存器来关闭这些外设时钟。

一些模拟块（PLL、振荡器、ADC、BOD电路、flash模块）的电源可由通过PDRUNCFG寄存器单独控制。

注释：在运行模式下，要确保PDRUNCFG寄存器的第9位设为0。

7.2 睡眠模式

在睡眠模式下，ARM Cortex-M0的系统时钟已经停止工作，指令执行被挂起，直到一个复位或中断发生为止。

按照下列步骤进入睡眠模式：

1. 写0到ARM Cortex-M0的 SCR寄存器的SLEEPDEEP位, 见(表 19-284).
2. 使用ARM Cortex-M0的等待中断（WFI）指令.

中断到达处理器的时候会自动退出睡眠模式。

如果AHBCLKCTRL寄存器选择提供时钟的话，外设功能在睡眠模式下仍然可以执行，而且可以产生中断来引起处理器恢复运行。睡眠模式减少处理器自身、存储系统和相关控制器及内部总线使用的动态功耗。

处理器状态和寄存器、外设寄存器、内部SRAM的值被保持，引脚的逻辑电平不变。

7.3 深度睡眠模式

在深度睡眠模式下（详情见[3-8节](#)），芯片处于睡眠模式，系统时钟不可用，此外，通过PDSLEPCFG寄存器选择那些模拟模块掉电。用户也可以配置哪些模块在深度睡眠模式下保持供电运行，哪些模块从深度睡眠模式下唤醒后才运行。

按照下列步骤进入深度睡眠模式：

1. 通过PDSLEPCFG寄存器（[表3-37](#)）选择哪些模拟模块（振荡器、PLL、ADC、flash、BOD）深度睡眠模式下掉电。
2. 通过PDAWAKECFG寄存器([表3-38](#))选择哪些模拟模块在从深度睡眠模式唤醒时上电。
3. 往ARM Cortex-M0的SCR寄存器([表 19-284](#))的SLEEPDEEP写1。
4. 使用WFI指令。

为了最小化深度睡眠模式的残留功耗，必须正确设置PDSLEPCFG寄存器、PDAWAKECFG寄存和PDRUNCFG寄存器器中的第9、11和12位，见[表3-42](#)。

表 42. 深度睡眠模式中的低功耗设置

| 位 | PDSLEPCFG 表 3-37 | PDAWAKECFG 表 3-38 | PDRUNCFG 表 3-39 |
|----|-------------------------------------|--------------------------------------|------------------------------------|
| 9 | 0 | 0 | 0 |
| 11 | 1 | 1 | 1 |
| 12 | 1 | 0 | 0 |

可以不使用中断而通过监视启动逻辑(见[3-8.3节](#))的输入将LPC111x从深度睡眠模式中唤醒。大部GPIO引脚都有启动逻辑输入功能。启动逻辑可不需要任何时钟，来产生从深度睡眠模式唤醒的中断。

在深度睡眠模式下，处理器状态和寄存器，外设寄存器，内部SRAM值被保持，引脚的逻辑电平不变。

深度睡眠的优势是用户可以关闭时钟发生器模块，如振荡器和PLL，从而比睡眠模式节省更多的动态功耗。此外，在深度睡眠模式下关闭flash的电源可以降低静态漏电功耗，但是将flash存储器唤醒时需要更多的时间开销。

7.4 深度掉电模式

在深度掉电模式下，除WAKEUP引脚之外，整个芯片上的电源和时钟都关闭。

按照下列步骤进入深度掉电模式：

1. 在外部将WAKEUP引脚拉高。
2. 设置PCON寄存器（见[表4-46](#)）中的DPDEN位。
3. 往ARM Cortex-M0的SCR寄存器([表 19-284](#))中SLEEPDEEP位写1。

4. 将PDRUNCFG寄存器的IRCOUT_PD和IRC_PD位置0, 确保IRC上电(默认设置)。
5. 使用WFI指令。

将WAKEUP引脚拉低将LPC111x从深度掉电模式中唤醒。在深度掉电模式下不能保持SRAM中的内容。但是, 芯片上的四个通过寄存器可保持数据。详情见[表4-47](#)。

注释: 在深度掉电模式下RESET引脚的功能无效。

8. 深度睡眠模式

在深度睡眠模式下, ARM的内核时钟关闭(LPC111x在睡眠模式), 同时可以选择各模拟模块是否掉电。通过ARM Cortex-M0内核的深度睡眠判别器和深度睡眠有限状态机来控制进入深度睡眠模式。通过启动逻辑初始化深度睡眠唤醒过程, 唤醒后模拟模块电源状态由PDAWAKECFG寄存器决定。

8.1 进入到深度睡眠模式

深度睡眠判别器产生的LPC111x深度睡眠模式请求将一直保持, 直到ARM Cortex-M0核响应睡眠保持请求。在保持期间, ARM核仍可退出掉电序列。此外, 在睡眠模式下ARM核可以选择将保持请求失效, 例如调试器请求。在这种情况下, 深度睡眠请求也一样失效。

深睡眠有限状态机确保在进入深度睡眠模式期间, 启动逻辑的唤醒信号被忽略。这是为了避免因进入时间深度睡眠模式太短而引发掉电信号上的干扰。

LPC111x深度睡眠请求一旦有效, Syscon模块会将内核断电, PDSLEEPCFG寄存器会加载PDRUNCFG寄存器的值, 被选的模拟模块将会在后续的时钟边沿掉电。在30ns延时后, LPC111x将进入深度睡眠模式, 并可接收启动逻辑为唤醒处理器而发出的启动信号。

注释: 如果IRC被选择掉电, 深睡眠有限状态机在开始30ns延时(见[3-8.2节](#))之前将等待一个IRC已经被安全关闭的信号。

8.2 关闭12MHz IRC振荡器电源

IRC采用一种机制来保证12MHz振荡器关闭时总是没有一个干扰。12MHz振荡器一旦关闭(在两个12MHz时钟周期内), 一个应答信号将会发送到Syscon模块。

注释: IRC是LPC111x上唯一一个可以总是无故障关闭的振荡器。因此在芯片进入深度睡眠模式前, 如果没有选择其他时钟源保持电源, 建议用户选择12MHz的IRC作为时钟源。

8.3 启动逻辑

深度睡眠模式会在启动逻辑给ARM核发出中断时退出。除PIO3_4和PIO3-5外, 所有的PIO端口输入都连接了启动逻辑, 并保留为唤醒引脚。用户必须对启动逻辑寄存器的每个输入编程, 为对应的唤醒事件设置合适的边沿极性。而且, 必须允许NVIC中对应的输入中断。NVIC中0~39中断对应到40个PIO引脚 (见 [3-4.28节](#))。

启动逻辑不需要时钟就能运行, 因为它在被允许后使用PIO输入信号来产生时钟边沿。因此, 启动逻辑信号在使用前应先清除 (见 [表3-35](#))。

启动逻辑也能用在正常运行模式下 (即不在睡眠模式或深度睡眠模式) 通过LPC111x的输入引脚来提供一个向量中断。

9. 系统PLL (锁相环) 功能描述

LPC111x使用系统PLL来为内核和外设产生时钟。

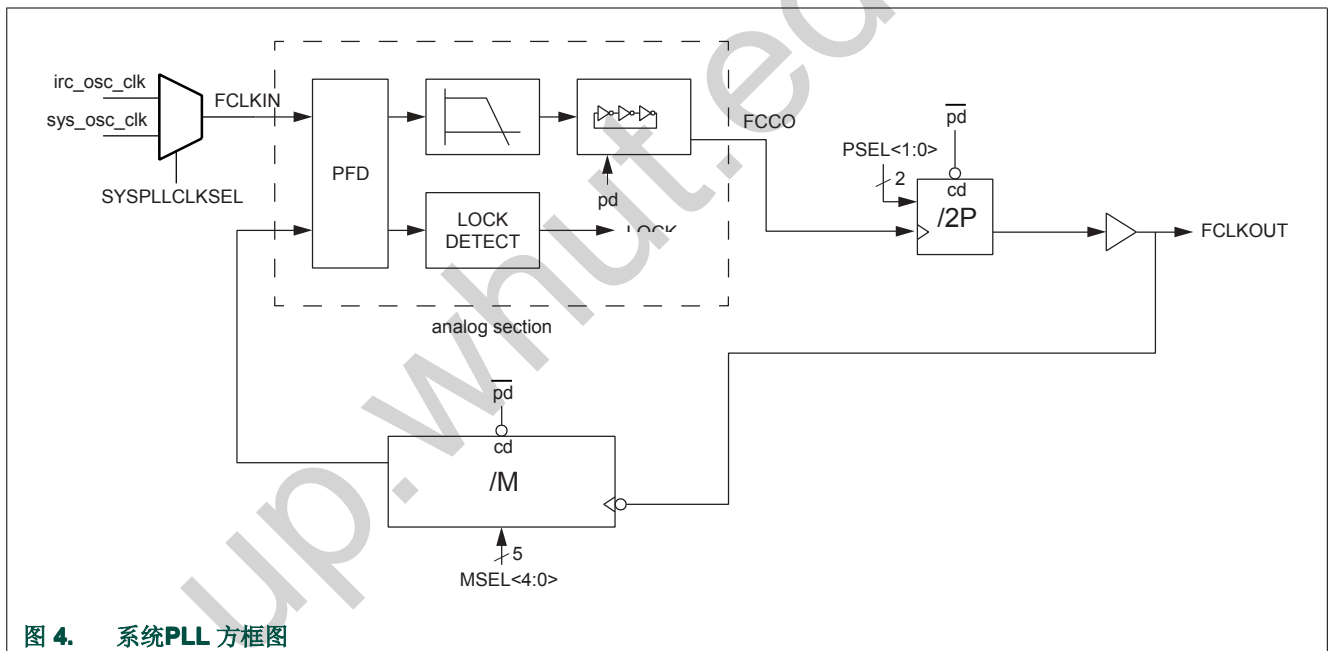


图 4. 系统PLL 方框图

该PLL的模块图如[图3-4](#)所示。输入频率范围从10MHz-5MHz。输入时钟直接提供给相频检测器(PFD)。这个模块比较它输入的相位和频率, 并在相位和/或频率不匹配时产生控制信号。通过环形滤波器过滤这些控制信号, 并驱动当前被控制的振荡器, 产生主时钟和可选的两个附加相位。CCO频率范围是156MHz~320MHz。这些时钟既可以被后编程分频器 $2 \times P$ 分频, 也可以直接输出。主输出时钟被可编程反馈分频器 M 分频, 然后产生反馈时钟。相频检测器 (PFD) 的输出信号也可以被锁定监测器监测, 在PLL被锁定该输入时钟时发出信号。

9.1 锁定检测器

锁定检测器测量输入和反馈时钟上升沿的相位的差别。只有在差别小于“锁定标准”并连续超过8个输入时钟周期时，锁定输出才从低切换到高。单独一个很大的相位差会立即复位计数器，并引起锁定信号下降（如果为高的话）。要求测量连续的8个相位低于某一定值的，可确保锁定检测器在输入和反馈时钟的相位和频率没有很好的对齐之前不会指示锁定。这可有效地防止了错误锁定标志，从而确保了无干扰信号锁定。

9.2 掉电控制

为了降低不需要PLL时钟时的功耗，可以采用一种掉电模式。通过设置掉电配置寄存器（表3-39）中的SYS_PLL_PD位为1来允许该模式。在这种模式下，内部电流基准将被关闭，振荡器和相频检测器将停止工作，分频器进入复位状态。在掉电模式下，锁定输出为低以表示PLL没有锁定。通过设置SYS_PLL_PD位为0来终止掉电模式时，PLL将恢复正常运行，一旦重新获得输入时钟锁定，PLL将会把锁定信号置高。

9.3 分频系数编程

后分频器

后分频器的分频系数受PSEL位的控制。该分频系数是表3-8中PSEL所选择的P值的两倍。这确保输出一个具有50%占空比的输出时钟。

反馈分频器

反馈分频器的分频系数由MSEL位控制。像在表3-8中规定的一样，PLL的输出时钟与输入时钟之间的分频系数是MSEL位的十进制的值加1。

改变分频值

不建议在PLL运行时改变分频器的值。由于无法和分频器同步改变MSEL和PSEL的值，从而可能产生计数器读取一个未定义值的风险，这将导致多余的毛刺和输出时钟频率的下降。建议在修改分频值之前先将PLL关电，调整分频器之后再PLL上电。

9.4 频率选择

PLL频率方程使用下列参数（亦见图3-3）：

表 43. PLL 频率参数

| 参数 | 系统 PLL |
|---------|--|
| FCLKIN | 来自SYSPLLCLKSEL倍频器(见3-4.9节)的sys_pllclk (系统PLL输入时钟) 频率 |
| FCCO | 电流控振荡器(CCO)的频率：156 ~ 320 MHz |
| FCLKOUT | sys_pllclkout的频率 |
| P | 系统PLL后分频器值; SYSPLLCTRL中的PSEL 位域(见3-4.3节). |
| M | 系统PLL反馈分频器寄存器; SYSPLLCTRL的MSEL位域(见3-4.3节)。 |

9.4.1 正常模式

在该模式下后分频器被允许，产生一个50%占空比的满足以下频率关系的周期时钟。

(1)

$$F_{clkout} = M \times F_{clk} = (FCCO) / (2 \times P)$$

为了给M和P选择合适的值，建议遵循下面步骤：

- 1. 指定输入时钟频率Fclk。
- 2. 根据M = Fclkout / Fclk计算M，以获取所需的输出频率Fclkout。
- 3. 根据FCCO = 2 x P x Fclkout确定FCCO的值。
- 4. 根据表3-8中规定的限制，验证所有的频率和分频器的值。

9.4.2 掉电模式

在这种模式下，内部电流基准将被关闭，振荡器和相位频率检测器将被停止,分频器将进入一个复位状态。而在掉电模式下，锁定输出将被置低电平，表明PLL未锁定。当将pd位置低中止掉电模式时，PLL将恢复正常运行，一旦重新获得输入时钟锁定，PLL将会把锁定信号置高。

10. 访问Flash存储器

根据系统时钟频率，通过写地址为0x4003 C010的FLASHCFG寄存器来为Flash存储器配置不同的存取时间。这个寄存器是flash配置块的一部分（见图2-2）。

注释: 该寄存器设置不当可能导致LPC111x flash的错误操作。

表 44. Flash配置寄存器 (FLASHCFG,地址 0x4003 C010) 位域描述

| 位 | 符号 | 值 | 描述 | 复位值 |
|------|----------|----|--|------|
| 1:0 | FLASHTIM | | Flash存储器存取时间. FLASHTIM +1等于系统时钟用于存取flash所用的次数。 | 10 |
| | | 00 | 1 系统时钟flash存取时间(系统时钟频率为20MHz)。 | |
| | | 01 | 2 系统时钟flash存取时间(系统时钟频率为40MHz)。 | |
| | | 10 | 3 系统时钟flash存取时间(系统时钟频率为50MHz)。 | |
| | | 11 | 保留。 | |
| 31:2 | - | - | 保留。用户软件不能改变此位域的值。31:2位写回的值必须和读取的一样。 | <td> |