

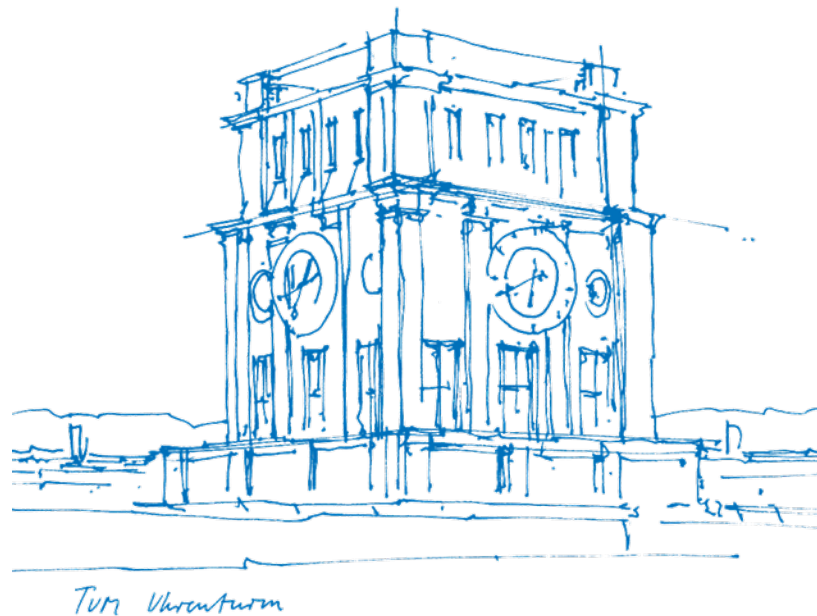
Dynamische Binärübersetzung: RISC-V \rightarrow x86-64

Zwischenpräsentation

Noah Dormann¹, Simon Kammermeier¹,
Johannes Pfannschmidt¹, Florian Schmidt¹

¹Fakultät für Informatik, Technische Universität München (TUM)

21. Juli 2020



Gliederung

1. Einführung

- 1.1 Grobüberblick über die RISC-V ISA
- 1.2 Angebot

2. Lösungsansatz

- 2.1 Dynamische Binärübersetzung
- 2.2 Basic Blocks
- 2.3 Codegenerierung

3. Systemarchitektur

- 3.1 Subsystem decomposition
- 3.2 ELF-Loader
- 3.3 Parser
- 3.4 Block loader
- 3.5 Code generator
- 3.6 Code cache

4. Anhang

Folie

Hier könnte Ihre Werbung stehen¹

¹A. Waterman u. a. (2017). *The RISC-V Instruction Set Manual. Volume I: User-Level ISA. Version 2.2.*

Literaturverzeichnis

 [Waterman, A. u. a. \(2017\)](#). *The RISC-V Instruction Set Manual. Volume I: User-Level ISA. Version 2.2.*