I	PORT	AF0		AF1		AF2			AF3		AF4			AF5			AF6			AF7		AF8	AF9		AF12	ADC		配置
	IOKI	SYS	TIM1		TIM3	TIM4		TIM9	TIM10 TIM11	I2C1	I2C2	I2C3	SPI1	SPI2	SPI4	SPI3	SPI4	SPI5	SPI3	USART1	USART2	USART6	I2C2 I2C3	OTG_FS	SDIO			印色
	0			CH1 / ETR			CH1														CTS					ADC1_IN0	O	
	1			CH2			CH2								MOSI						RTS					ADC1_IN1	O	LED_R
	2			CH3			CH3	CH1													TX					ADC1_IN2	O	LED_G
	3			CH4			CH4	CH2													RX					ADC1_IN3	O	LED_B
	4												NSS			NSS					CK					ADC1_IN4	О	——————————————————————————————————————
	5			CH1 / ETR									SCK													ADC1_IN5	О	——————————————————————————————————————
	6		BKIN		CH1								MISO												CMD	ADC1_IN6	О	——————————————————————————————————————
I	PA 7		CH1N		CH2								MOSI													ADC1_IN7	O	
	8	MCO1	CH1									SCL								CK				SOF	D1		X	KEY
	9		CH2									SMBA) (O O T		TX				VBUS	D2		X	UART_TX
	10		CH3														Mac	MOSI		RX		TD37		ID			X	UART_RX
	11		CH4														MISO	MICO		CTS		TX		DM			X	EXT01
	12	SDIO	ETR															MISO		RTS		RX		DP			X	EXT02
	1.4	SCLK																									X X	SWDIO
	15	JTDI		CH1 / ETR									NSS			NSS				TX							0	SWCLK
H	0	31101	CH2N		СНЗ								Noo			Noo		SCK		IΛ						ADC1_IN8	X	IMU_CSB
	1		CH3N		CH4													NSS								ADC1 IN9	X	1110_05D
	2	BOOT	011011															1122								115 01_11 0	X	
	3	JTDO		CH2									SCK			SCK				RX			SDA				O	
	4	JTRST			CH1								MISO			MISO							SDA		D0		О	
	5				CH2					SMBA			MOSI			MOSI									D3		O	
	6					CH1				SCL										TX							X	
Ι,	7 DD 7					CH2				SDA										RX					D0		X	
- ['	8 8					CH3			CH1	SCL								MOSI					SDA		D4		О	
	9					CH4			CH1	SDA				NSS									SDA		D5		O	
	10			CH3							SCL			SCK											D7		X	
3 4 5 6 PB 7 8 9		BKIN								SMBA			NSS			NSS		SCK								X	EXT03	
	13		CH1N											SCK			SCK										X	EXT04
	14	DEC	CH2N											MISO											D6		X	IMU_RDY
F		RTC	CH3N											MOSI										+	CK		X	
Ι,	13 PC 14																										X X	
'	15																										X X	
L	13																							1	<u> </u>		Λ	

Ī	PORT	AF0		AF1		AF2			AF3		AF4			AF5			AF6			AF7		AF8	AF9		AF12			配置
L	TORT	SYS	TIM1		TIM3	TIM4		TIM9	TIM10 TIM11	I2C1	I2C2	I2C3	SPI1	SPI2	SPI4	SPI3	SPI4	SPI5	SPI3	USART1	USART2	USART6	I2C2 I2C	OTG_FS	SDIO			HU EL
	0			CH1 / ETR			CH1														CTS					ADC1_IN0	O	
	1			CH2			CH2								MOSI						RTS					ADC1_IN1	О	LED_R
	2			CH3			CH3	CH1													TX					ADC1_IN2	О	LED_G
	3			CH4			CH4	CH2													RX					ADC1_IN3	О	LED_B
	4												NSS			NSS					CK					ADC1_IN4	O	——————————————————————————————————————
	5			CH1 / ETR									SCK													ADC1_IN5	O	——————————————————————————————————————
	6		BKIN		CH1								MISO												CMD	ADC1_IN6	0	——————————————————————————————————————
I	PA 7	14001	CH1N		CH2							CCI	MOSI							CIV				COL	D.I	ADC1_IN7	0	
	8	MCO1	CH1 CH2									SCL SMBA								CK	1			SOF	D1		X	KEY
			CH2 CH3									SMBA						MOSI		TX				VBUS	D2		X	UART_TX
	10		CH3														MISO	MOSI		RX CTS		TX		ID DM			X X	UART_RX EXT01
	12		ETR															MISO		RTS		RX		DIVI			X	EXT01 EXT02
	13	SDIO	LIK															WIISO		KIS		IXX		DI			X	SWDIO
	14	SCLK																									X	SWCLK
	15	JTDI		CH1 / ETR									NSS			NSS				TX							0	SWCER
	0		CH2N		СНЗ													SCK								ADC1_IN8	X	IMU_CSB
	1		CH3N		CH4													NSS								ADC1 IN9	X	_
	2	BOOT																								_	X	
	3	JTDO		CH2									SCK			SCK				RX			SDA				О	
	4	JTRST			CH1								MISO			MISO							SDA		D0		O	
	5				CH2					SMBA			MOSI			MOSI									D3		O	
	6					CH1				SCL										TX							X	
١,	PB 7					CH2				SDA										RX					D0		X	
- ['	8					CH3			CH1	SCL								MOSI					SDA		D4		O	
	9					CH4			CH1	SDA				NSS									SDA		D5		О	
	10			CH3							SCL			SCK											D7		X	
	12		BKIN								SMBA			NSS			NSS		SCK								X	——————————————————————————————————————
	13		CH1N											SCK			SCK								F (X	IMU_SDA
	14	DTC	CH2N											MISO											D6		X	IMU_RDY
H	15	RTC	CH3N											MOSI											CK		X	
Ι,	13 PC 14																										X X	
'	15																										X X	
L	13																										Λ	