

密级状态：绝密() 秘密() 内部() 公开(☒)

Rock-chip 平台千兆以太网 调测指南

(技术部，深圳硬件组)

文件状态： [] 正在修改 [<input checked="" type="checkbox"/>] 正式发布	当前版本：	V1.0
	作 者：	LCH
	完成日期：	2018-01-09
	审 核：	FH Oliver zhou
	完成日期：	2018-01-24

福州瑞芯微电子股份有限公司

Fuzhou Rockchip Electronics Co.,Ltd.

(版权所有,翻版必究)

版 本 历 史

版本号	作者	修改日期	修改说明	备注
V1.0	LCH	2018-01-24	初始版本	

目 录

1	目的.....	2
2	千兆以太网的硬件电路实现.....	2
3	信号完整性测量.....	3
3.1	时钟信号完整性测试.....	3
3.2	RGII 总线时序测量.....	4
3.3	RJ45 端眼图测试	8
4	实际问题分析方法概述.....	8
4.1	现象描述	8
4.2	解决办法	9
5	实际问题分析案例.....	10
5.1	RK3288+DP83867 IR 千兆以太网调试重点记录	10
5.2	RK3288 +RTL8211E 以太网问题案例一	12
5.3	RK3288+RTL8211E 以太网问题案例二.....	16
5.4	RK3288+RTL8211E 以太网问题案例三.....	16
5.5	RK3288+RTL8211E 以太网问题案例四.....	17
5.6	RK3368+RTL8211E 以太网问题案例一	17
5.7	RK3399+RTL8211E 以太网案例一.....	17
5.8	RK3399+RTL8211E 以太网案例二.....	18

1 目的

本文档编写的目的，在于帮助客户快速在自研产品板上调试各类 PHY IC，及保证千兆以太网的性能，便于客户产品硬件架构尽早定型，早日实现量产目标。

2 千兆以太网的硬件电路实现

RK 平台包含 GMAC 的芯片都可以实现千兆以太网功能。其总线形式为 RGMII 总线，RGMII 接口(Reduced Gigabit Media Independent Interface 接口)是简化的 GMII 接口，虽然 RGMII 接口中，信号线减半，同时 GTX_CLK 和 RX_CLK 还是 125MHz，为了达到 1000Mbit 的传输速率，TXD 和 RXD 信号线上在时钟的上升沿发送 GMII 接口中的 TXD[3:0]/RXD[3:0]，在时钟的下降沿发送 GMII 接口中 TXD[7:4]/RXD[7:4]，并且信号 TX_CTL 反映了 TX_EN 和 TX_ER 的状态，即在 GTX_CLK 上升沿发送 TX_EN，下降沿发送 TX_ER。同样的道理适用于信号 RX_CTL，它反映了 RX_EN 和 RX_ER 的状态，即在 RX_CLK 上升沿发送 RX_EN，下降沿发送 RX_ER。

● RGMII 接口定义：

PHY端信号名称	RK平台MAC端信号名称	信号数量	信号方向(相对于PHY描述)	信号描述
RGMII总线				
TXC(或GTX_CLK)	MAC_TXCLK	1	input	MAC层到PHY的发送数据接口
TXD[0:3]	MAC_TXD[0:3]	4	input	
TX_CTL	MAC_TXEN	1	input	
CLK125(CLK_OUT)	MAC_CLK	1	output	PHY提供给MAC的125M时钟
RXC(或RX_CLK)	MAC_RXCLK	1	output	PHY层到MAC的发送数据接口
RXD[0:3]	MAC_RXD[0:3]	4	output	
RX_CTL	MAC_RXDV	1	output	
SMI总线				
MDC	MAC_MDC	1	input	MAC和PHY控制和状态信息
MDIO	MAC_MDIO	1	I/O	

RK 现有千兆网 PHY 选型，需要选择能输出 125M 时钟的 IC，由 PHY 提供 125M 时钟给 MAC，再由 MAC 端供给 PHY 作 TX_CLK 的时钟源。

3 信号完整性测量

3.1 时钟信号完整性测试

- 以 RTL8211E-VB-CG 为例，其 25M 时钟要求见下表：

9.4. Oscillator Requirements

Table 52. Oscillator Requirements

Parameter	Condition	Minimum	Typical	Maximum	Unit
Frequency	-	-	25/50	-	MHz
Frequency Stability	Ta = 0°C~70°C	-30	-	30	ppm
Frequency Tolerance	Ta = 25°C	-50	-	50	ppm
Duty Cycle	-	40	-	60	%
Broadband Peak to Peak Jitter ^{1,2}	-	-	-	200	ps
Vp-p	-	3.15	3.3	3.45	V
Rise Time (10%~90%)	-	-	-	10	ns
Fall Time (10%~90%)	-	-	-	10	ns
Operating Temperature Range	-	0	-	70	°C

Note 1: 25KHz to 25MHz RMS < 3ps.

Note 2: Broadband RMS < 9ps.

● 另外由于 TX_CLK 是由 PHY 提供，然后再由 MAC Bypass 输出，所以在 MAC 端会涉及到 TX_CLK 的驱动强度设置，在示波器带宽满足的情况下，如测试到 TX_CLK 波形呈三角波，且幅度不满足的情况下，可以尝试用 io 命令修改驱动强度。以 RK3288 平台为例，读取当前驱动强度命令为：io -4 0xff7701f4。

TX CLK 幅度调试

```
io -4 -w 0xff7701f4 0xffff5550 // 2mA
io -4 -w 0xff7701f4 0xffff5554 // 4mA
io -4 -w 0xff7701f4 0xffff5558 // 8mA
io -4 -w 0xff7701f4 0xffff555c // 12mA
```

其它平台需查询 TRM 版本的 Datasheet 或咨询 Rockchip 工程师。

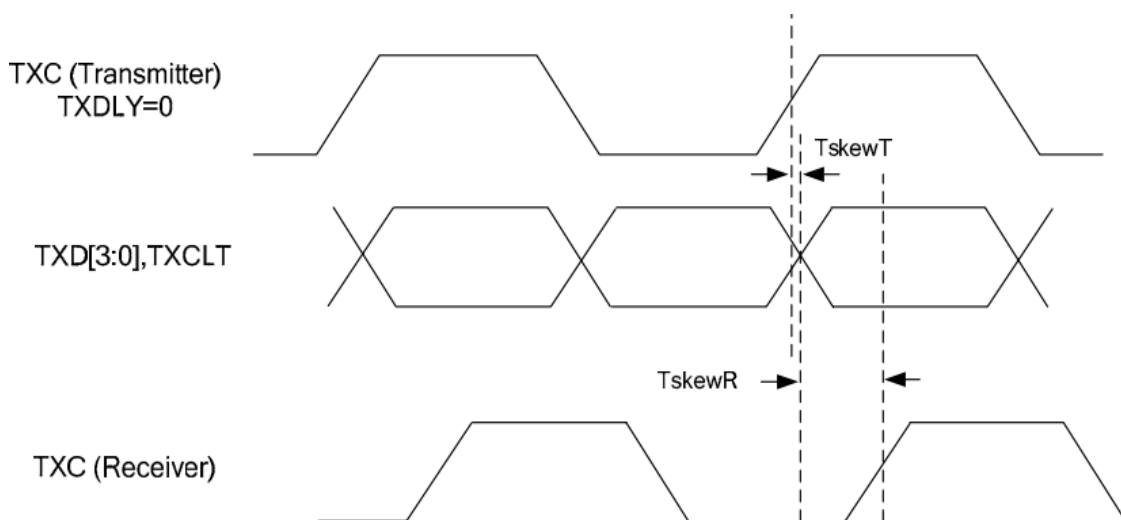
3.2 RGMII 总线时序测量

总线 Timing Parameters 表格如下，测试值靠近 Typical 值为佳：

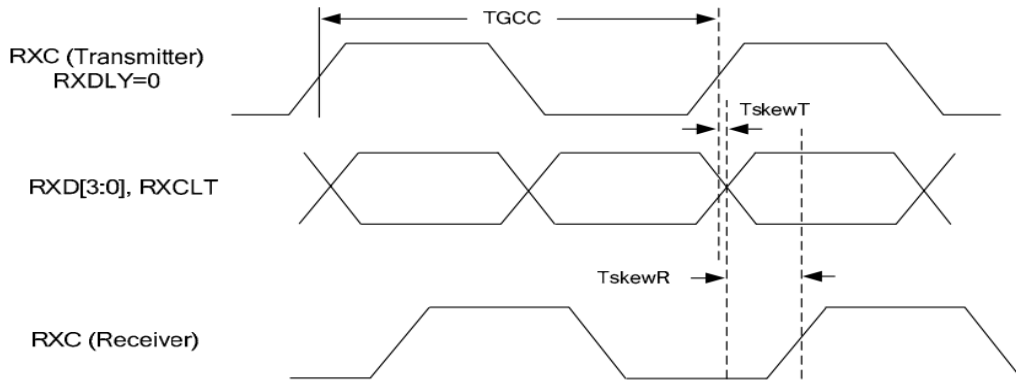
Table 58. RGMII Timing Parameters

Symbol	Description	Min	Typical	Max	Units
TGCC	Clock Cycle Duration (Giga)	7.2	8	8.8	ns
	Clock Cycle Duration (100Mbps)	36	40	44	ns
	Clock Cycle Duration (10Mbps)	360	400	440	ns
Duty_G	Duty Cycle for Gigabit	45	50	55	%
Duty_T	Duty Cycle for 10/100T	40	50	60	%
tR	RXC Rise Time (20%~80%)	-	-	0.75	ns
tF	RXC Fall Time (20%~80%)	-	-	0.75	ns
TsetupT	Data to clock output Setup (at transmitter integrated delay)	1.2	2	-	ns
TholdT	Data to clock output Hold (at transmitter integrated delay)	1.2	2	-	ns
TsetupR	Data to clock input Setup (at receiver integrated delay)	1.0	2	-	ns
TholdR	Data to clock input Hold (at receiver integrated delay)	1.0	2	-	ns
TskewT	Data to Clock Output Skew (at transmitter)	-0.5	0	0.5	ns
TskewR	Data to Clock Input Skew (at receiver)	1	1.8	2.6	ns

TX timing:



RX Timing:



时序配置是千兆网卡上才开始有的概念，以 RK3288 为例，也就是 RGMII 接口才需要去特别配置时序。不同的 layout，由于布线线宽，布线长度及板才的影响，都需要确认合适的 TX/RX delay 配置。可以根据实际 timing 测试情况，适当在 dts 中调整 tx_delay, rx_delay 参数，范围是 0x0—0x7F。在实际的调整过程中，可以在 SDK 默认的基础上适当加减，正常不应该会有太大的偏差，每一个步进延时约为 0.08ns。

在实际操作中，若不具备测试 RGMII 信号总线时序的条件，可以打上软件 loopback 补丁，用回环测试来确认 TX/RX delay 的合适配置。打上回环测试补丁后，开机起来不要插网线，在系统设置中打开以太网功能，然后用串口或 ADB 的方式进到以太网目录进行回环测试，具体步骤如下：

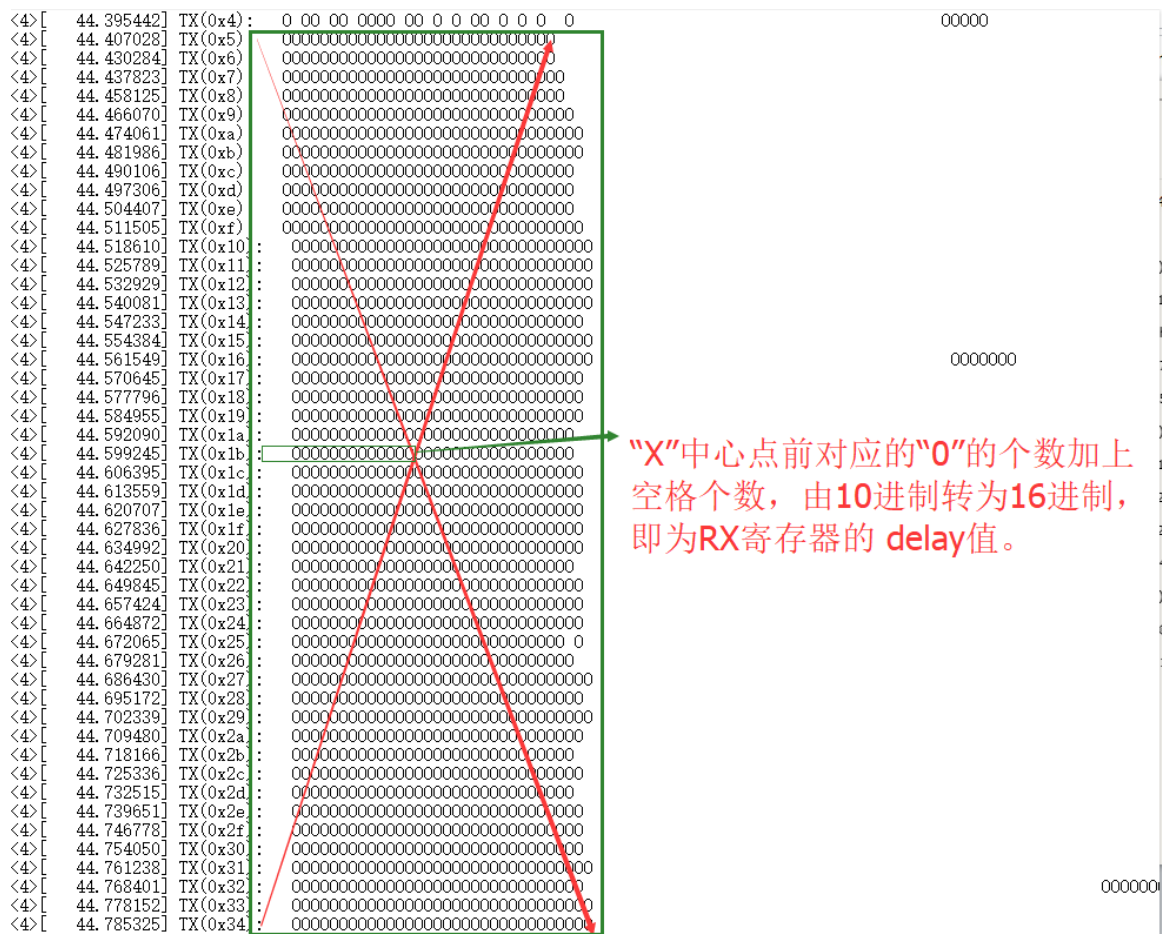
1. `cd /sys/bus/mdio_bus/devices/stmmac-0:00` //进入以太网 MAC 配置目录；
部分项目可能会改掉目录路径，向具体负责调试软件的工程师确认，或先进入到 devices 目录，用 `ls` 命令查看一下，如下图，项目实际配置目录为 stmmac-0:01，stmmac-0:00 目录没有使用，故上述命令需要修改为“`cd /sys/bus/mdio_bus/devices/stmmac-0:00`”。

```
cd /sys/bus/mdio_bus/devices
root@PN_B_series_w:/sys/bus/mdio_bus/devices # ls
ls
stmmac-0:00
stmmac-0:01
root@PN_B_series_w:/sys/bus/mdio_bus/devices #
```

2. `echo 1000 > loopback_speed` //启动千兆以太网回环测试功能；

3. cat delay_test //读取回环测试值;

输入最后一条命令后，串口打印会输出一个全“0”矩阵，如下图所示，然后在矩阵里面画一个面积最大的“X”型坐标。TX 寄存器的 delay 值直接显示在“X”交叉中心横坐标前面的 log 信息上，“X”中心点前对应的“0”的个数加上空格个数，由 10 进制转为 16 进制，即为 RX 寄存器的 delay 值。本例 TX=0x1b; RX=0x10。



测出 loopback 值后，可以通过 io 命令先写进去测试一下吞吐量，以确认测试是否准确，loopback 从使用情况来看，有时会出现测量不准确的情况，出现这种情况就只能通过 io 命令调整寄存器的 delay 值，再用示波器测试 timing 来验证。

通过 io 去写寄存器，先要查阅 TRM 版本的 datasheet，找到对应的寄存器和地址，其地址由基地址+偏移地址组成。以 RK3288 为例，调整 mac delay 的寄存器为 GRF_SOC_CON3，基地址为 0xff77，在 Address mapping 的 GRF (General Register Files) 中可以找到，其偏移地址为 0250，完整的寄存器地址为 0xff770250。

1. 先用 IO 命令读一下软件配置的初始值，命令为 `io -4 0xff770250`。

```
shell@PN_B_series_w:/ # io -4 0xff770250
ff770250: 0000c830
```

2. 然后通过 io 命令写入 loopback 测试的值即可，在 adb 或串口下输入 `io -4 -w 0xff770250 0xffffc81b` 即写入 TX=0x1b; RX=0x10 的配置，寄存器相关 bit 位释义见下表：

GRF_SOC_CON3

Address: Operational Base + offset (0x0250)

SoC control register 3

Bit	Attr	Reset Value	Description
31:16	RW	0x0000	<p>write_enable bit0~15 write enable When bit 16=1, bit 0 can be written by software . When bit 16=0, bit 0 cannot be written by software; When bit 17=1, bit 1 can be written by software . When bit 17=0, bit 1 cannot be written by software; When bit 31=1, bit 15 can be written by software . When bit 31=0, bit 15 cannot be written by software;</p>

FuZhou Rockchip Electronics Co.,Ltd.

RK3288 TRM

Bit	Attr	Reset Value	Description
15	RW	0x0	<p>rxclk_dly_ena_gmac RGMII RX clock delayline enable 1'b1: enable 1'b0: disable</p>
14	RW	0x0	<p>txclk_dly_ena_gmac RGMII TX clock delayline enable 1'b1: enable 1'b0: disable</p>
13:7	RW	0x10	<p>clk_rx_dl_cfg_gmac RGMII RX clock delayline value</p>
6:0	RW	0x10	<p>clk_tx_dl_cfg_gmac RGMII TX clock delayline value</p>

GRF 基地址表:

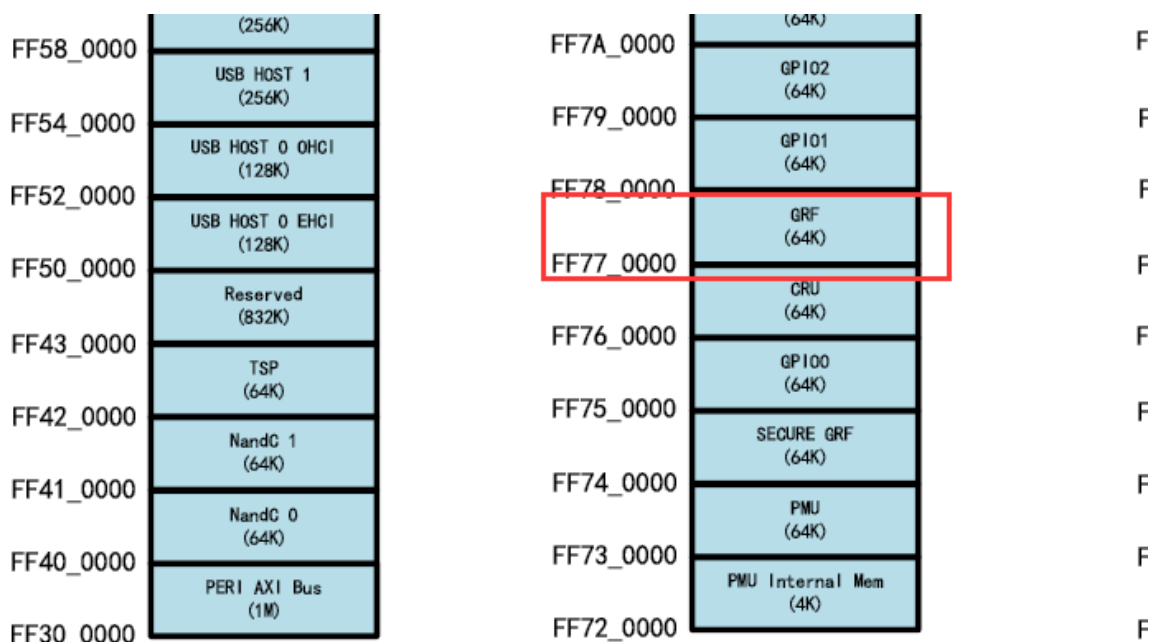


Fig. 1-1 RK3288 Address Mapping

Rockchip 参考图搭配千兆 PHY IC 为 Realtek 的 RTL8211E，默认配置为 PHY 端不开 delay 配置，客户自行搭配其它型号的 PHY IC 时，建议默认也不要打开 PHY 的 delay 配置，软件上有继承性，便于快速调试。

3.3 RJ45 端眼图测试

不同的示波器测试方法略有不同，参照示波器供应商提供的测试方案完成测试，保证 RJ45 端信号满足技术规范要求。

4 实际问题分析方法概述

4.1 现象描述

目前客户以太网出现无法识别 IP，吞吐量低的问题反馈比较集中，虽然每家客户的原因不大相同，但最终都会造成以太网性能不能保证。

4.2 解决办法

现象查看步骤如下：

1. 首先查看原理图是否正确。包括 MAC 电压，PHY 电压，审查原理图建议客户 MAC 和 PHY 用同一个电压源。若用两个电压源，确保 PHY 上电后对 PHY 进行复位；

2. 确认客户贴片芯片是否有问题；

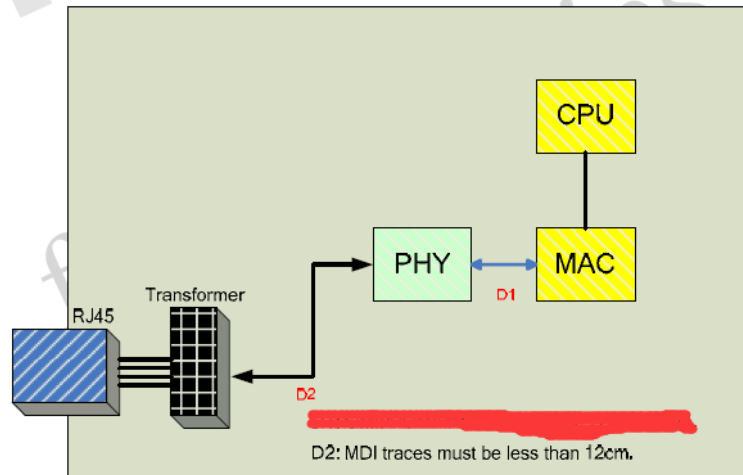
3. 测量 VDD10_EPHY 电压纹波是否在其要求范围内（100mV），检查各电源走线及其电容有没有靠近 PHY 端和 mac 端；

4. 其次，先测试 100M 以太网性能是否满足要求，若 100M 满足要求，1000M 无法识别 IP 或者吞吐量低，说明原理图基本没有大问题，可以先测量 RX CLK， TX CLK， MAC CLK，测试时地线要尽量靠近测试点。观察 CLK 电平及其频率是否正确，若 MAC 和 PHY 电压接 3.3V，其 CLK 电平在 3.3V 左右，若接 1.8V，则其 CLK 电平为 1.8V 左右。若幅度偏低很多，请用命令查看 IO 驱动强度，在原始驱动强度设置情况下看是否还有进一步上调的空间(除 RK3399 外, 其它平台最大驱动电流均为 12mA)，或看一下 IO 状态配置是否正确；

5. 若 RX CLK、TX CLK、MAC CLK 频率正确，电平的 V_{p-p} 正确，波形也符合要求，100M ok，1000M 还是无法获取 IP 或者吞吐量低。请同时测试 RX CLK 和 RX0 数据线(TX 有问题测试 TX)波形是否时序有问题。正常的时序，在源端测试其数据与 CLK 是同步的。如外部时序正常，还需要确认软件是否有使能芯片内部的 CLK 延时寄存器，PHY 端的 TX CLK 的延时，MAC 端的 RX CLK 延时在外部都是无法通过示波器测量到的。依据实际情况通过软件修改寄存器，调整 RX CLK 或者 TX CLK 与数据对应的相位关系。若软件调整无法达到协议时序要求, 再考虑线路上匹配，一般串联个电感，其值根据不同板子来选择。一般为 18nH 至 47nH 之间（可能会根据板子不同范围再大点），串联电感观察波形机器吞吐量是否有改善，再根据实际情况看其是否需要并联电容；

6. 若测试 100M 都发现无法获取 IP，请根据上面描述检查原理图是否正确，有无少料，假焊现象，CLK 是否正常。若硬件一切都正常，请软件检查配置。

以上办法一般都可以解决无法获取 IP 及吞吐量偏低的问题，相应的硬件工程师一定要重新检查 PCB，确认设计达到最优。




PCB 修改建议:

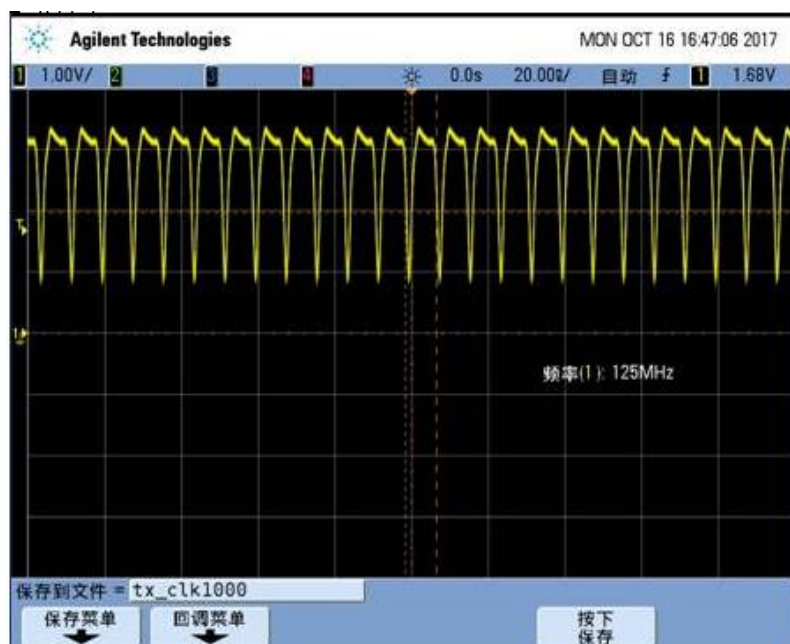
1. 首先保证 Mac 与 PHY，PHY 与 Transformer 之间距离尽可能近。Mac 与 PHY 之间的距离若不能做到数据线包地，CLK 立体包地的情况下，建议 Mac 与 PHY 之间走线长度小于 30mm，且要有完整地参考层，且相邻层不能有信号线。若 Mac 与 PHY 之间走线长度大于 30mm 小于 80mm，要做到数据线上、下包地，所有 CLK 要做到立体包地；
2. Phy 到 Transformer 之间走线长度可以参考芯片 layout guide，尽可能的短。
3. 电源走线尽可能的宽，带 DCDC 或者 LDO 输出的 PHY 芯片，电感和电容要尽可能和 IC 在同一面，且靠近引脚放置，走线时一定要先经过电容再到其他输入脚。电源滤波电容尽可能靠近引脚放置，电源要尽可能先经过电容再到输入引脚；
4. 其他差分走线，控制线参考 PHY 供应商提供的 Layout Guide；
5. 晶体尽可能靠近芯片端放置，要与 PHY 芯片在同一层，远离热源，元件层尽可能 Keepout，参考主地；走线要包地；所有走线换层次数尽可能的少。

5 实际问题分析案例

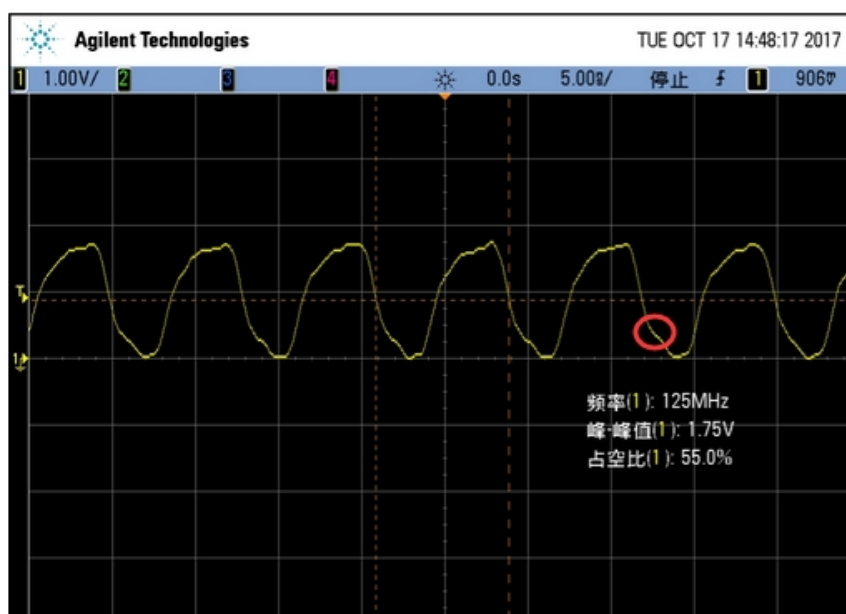
5.1 RK3288+DP83867 千兆以太网调试重点记录

1. RGMII 信号电源域只能接 1.8V，接 3.3V 时由 PHY 提供的 125M 时钟，再经 RK3288 bypass 给 PHY 做 TX CLK 时，波形失真严重，断开 PHY 波形是正常的。

 3.3V IO 供电 TX CLK 波形:



1. 8V IO TX_CLK 波形:



2. CLK_OUT PIN 默认输出为 25MHZ，ROCKCHIP 千兆网平台需要 PHY 常供 125MHZ 时钟给 MAC 使用，需在以太网驱动中配置 DP83867IR 的 0x0170 寄存器为 0xe，即 Clock Output Select: Channel A receive clock。CLK_OUT PIN 才可以产生 125MHZ 时钟。

3. RGMII 总线时钟与数据的相位 DP83867IR 是通过寄存器可配置的，调试时建议关闭掉 PHY 端的 TX/RX 延时。需要延时由 RK3288 MAC 端调整。

Table 48. RGMII Delay Control Register (RGMIDCTL), Address 0x0086

BIT	BIT NAME	DEFAULT	DESCRIPTION
15:8	RESERVED	0, RO	RESERVED: Writes ignored, read as 0.
7:4	RGMII_TX_DELAY_CTRL	RW, 0111	RGMII Transmit Clock Delay: 1111: 4.00 ns 1110: 3.75 ns 1101: 3.50 ns 1100: 3.25 ns 1011: 3.00 ns 1010: 2.75 ns 1001: 2.50 ns 1000: 2.25 ns 0111: 2.00 ns 0110: 1.75 ns 0101: 1.50 ns 0100: 1.25 ns 0011: 1.00 ns 0010: 0.75 ns 0001: 0.50 ns 0000: 0.25 ns
3:0	RGMII_RX_DELAY_CTRL	RW, 0111	RGMII Receive Clock Delay: 1111: 4.00 ns 1110: 3.75 ns 1101: 3.50 ns 1100: 3.25 ns 1011: 3.00 ns 1010: 2.75 ns 1001: 2.50 ns 1000: 2.25 ns 0111: 2.00 ns 0110: 1.75 ns 0101: 1.50 ns 0100: 1.25 ns 0011: 1.00 ns 0010: 0.75 ns 0001: 0.50 ns 0000: 0.25 ns

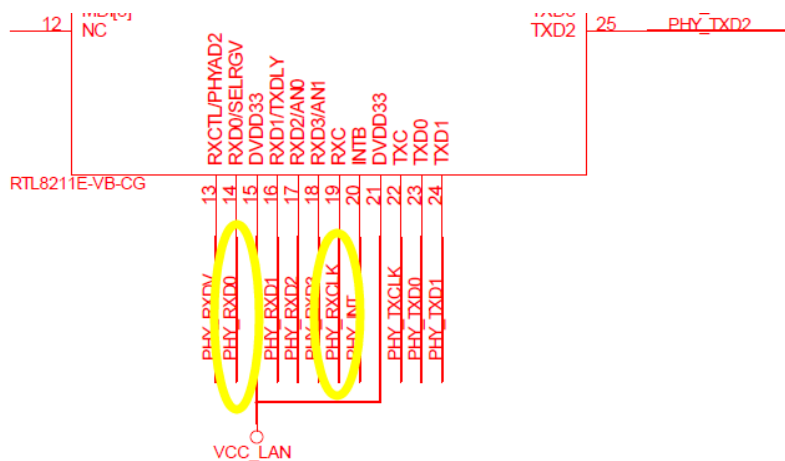
5.2 RK3288 +RTL8211E 以太网问题案例一

情况说明:

以太网芯片 RTL8211E 如下：100M 吞吐量达标，1000M 吞吐量低，部分产品无 IP。

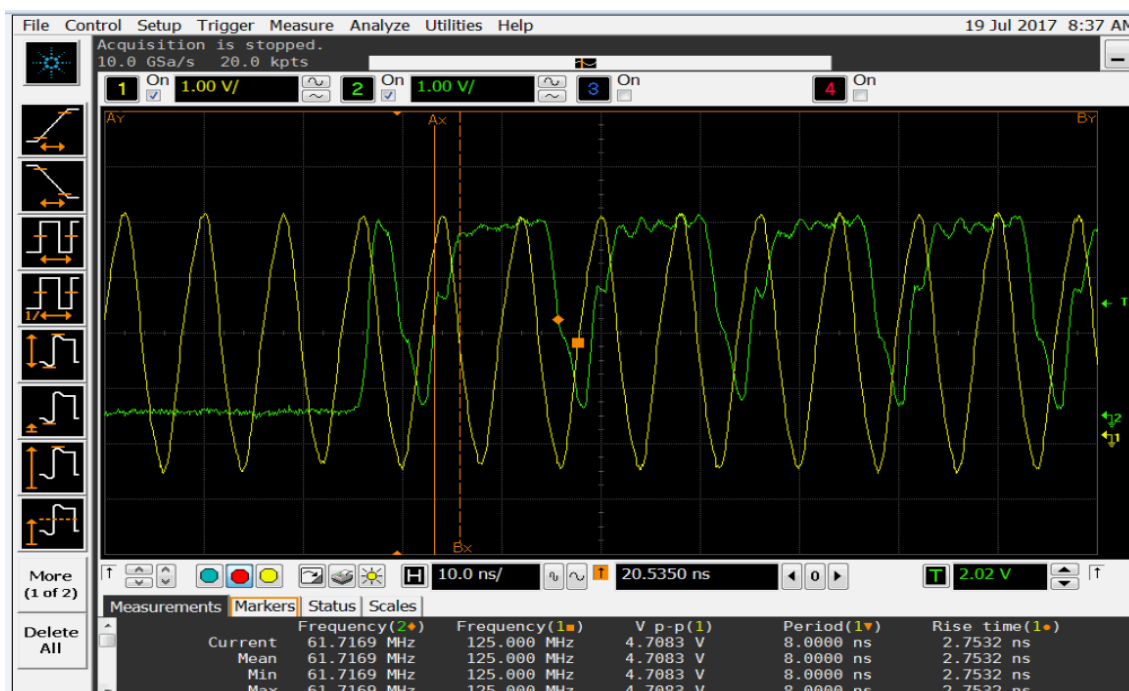
调试记录:

测试 RX CLK 及 RXD0 数据波形如下，RX CLK 指的是 8211E 的 19 脚，RXD0 指的是 8211E 的 14 脚。





CLK 串联电感 22nH，测试波形如下；

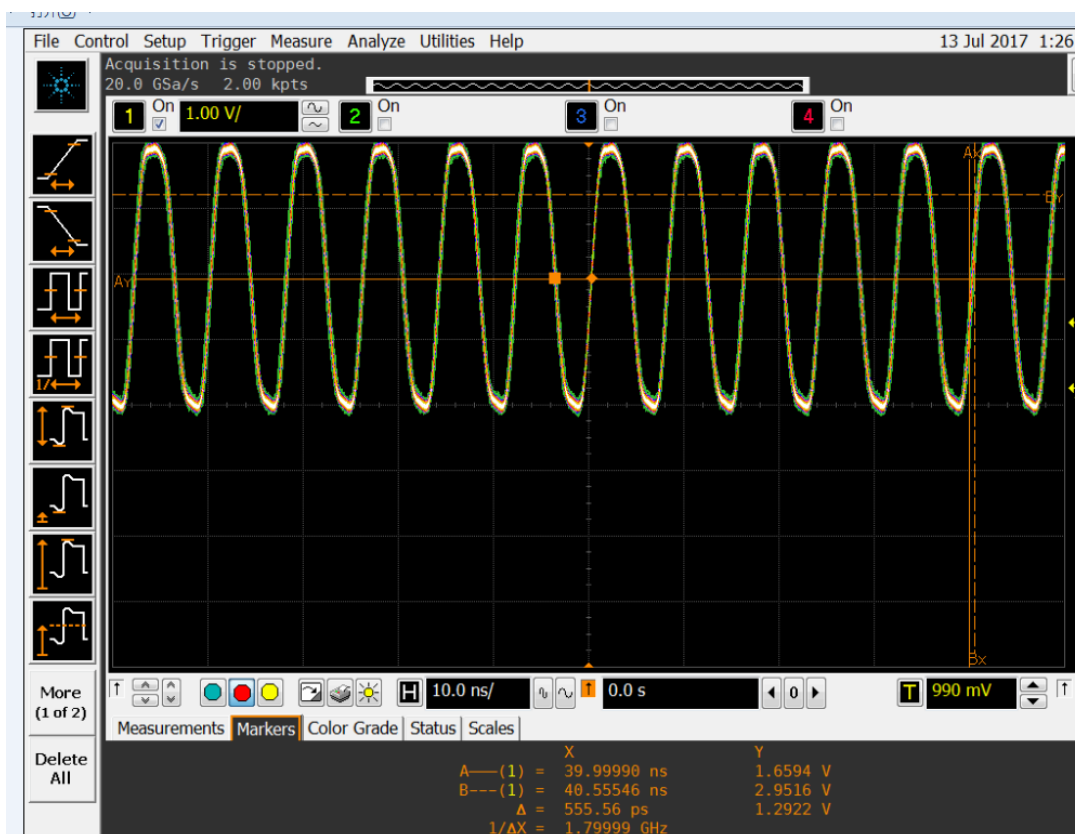


从波形可以看出，串联 22nH 后，数据波形的幅度和时序一致性较好，对比 C1k 整体右偏，而不是一会左偏一会右偏。数据波形正常情况下。



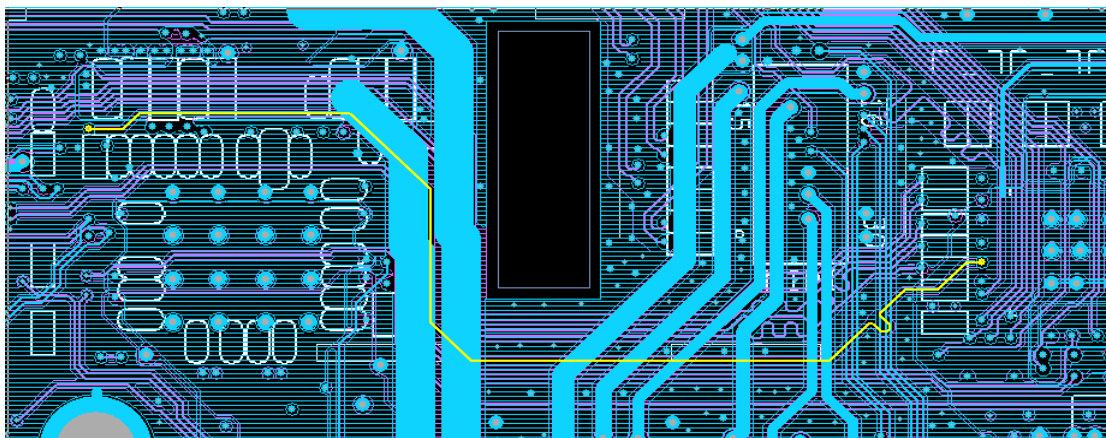
此波形为 RK3399 平台 8211E RX_CLK&RX_D0 波形。正常的数据波形是与 CLK 同步的。

而 RX_CLK 串联 22nH 电感后由于电感和电路上的等效电容形成谐振造成振幅变大，上升沿和下降沿时间更快。如下图：



此案例板子 RX CLK 串联 0ohm 测试 1000M 吞吐量只有 1M 左右，而串联 22nH 可以到达 900M 以上；并且一些识别不到 IP 的 PCBA 串联电感后也能读到 IP，吞吐量也能达到 900M 以上。但是有一些 PCBA 直接串联电感可以读到 IP，可吞吐量只有 10M 左右，只有把 RX CLK 飞线后再串联 22nH 电感才可以解决。

看其 PCB 发现 RX CLK 与 HDMI 电源平行 22mm 左右，但把 HDMI 电源去掉，吞吐量还是上不去。

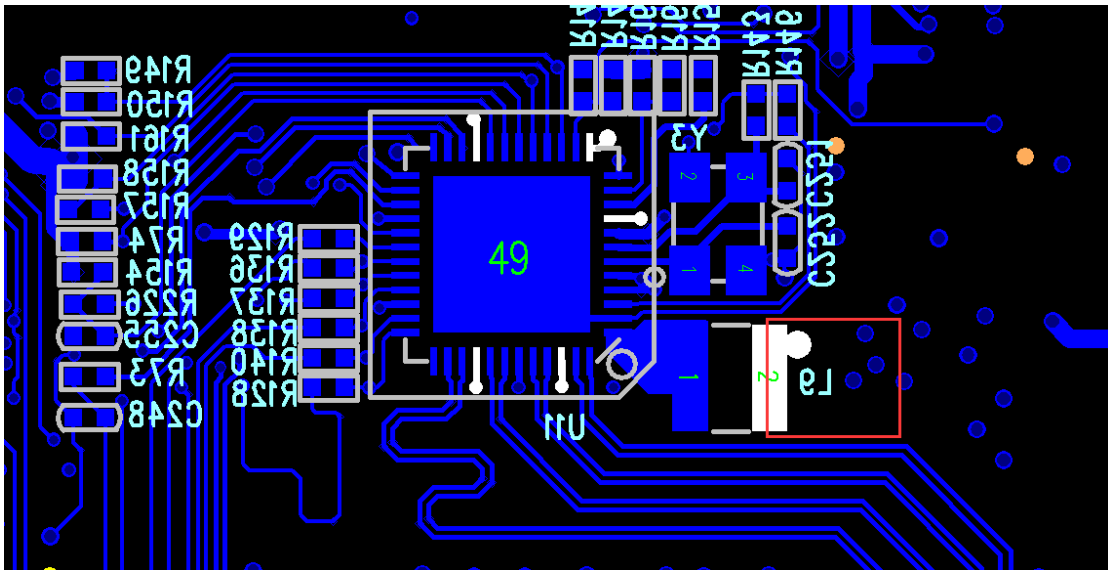


看其核心板，RX CLK 没有包地且与 MDIO 及 RX 线走了平行。

5.3 RK3288+RTL8211E 以太网问题案例二

情况说明:

1. 10M 能 ping 通, 100M 能识别到 LINK UP/LINK DOWN, 但是不通, 千兆识别不到 LINK UP/LINK DOWN
2. 以太网无法识别最大的问题就是 VDD10_EPHY 纹波太大, 实测纹波有 500mV, 纹波大的原因是过孔太少, 且滤波电容应该放在电感同一层。



1. 增加滤波电容后, 千兆可以识别到 LINK UP/LINK DOWN, 但是 100M 速率下还是无法 ping 通, 测信号质量, 晶体波形, 晶体频偏都在规范内, 这个时候就应该思考软件方面是否配置正确。
2. 客户再检查代码, 发现 DTS 配置有更改, 改成了 100M PHY 的配置, 主要是时钟方向不对, 恢复成默认的千兆 PHY 配置, 100/1000M 都通了。

问题原因及解决办法:

1. layout 布局不合理, 以太网 VDD10_EPHY 纹波太大, 实测纹波有 500mV。
2. DTS 以太网配置错误, 应配置成 1000M PHY 的配置。

5.4 RK3288+RTL8211E 以太网问题案例三

以太网 1000M 无法识别 IP, 测试发现 TX CLK 的频率为 125M, 但是 V_{p-p} 只有 1.8V, 修改软件寄存器, 加大 TX CLK 的驱动强度后, 测试其幅度是正常的 3.3V, 在测试吞吐量测试 OK。

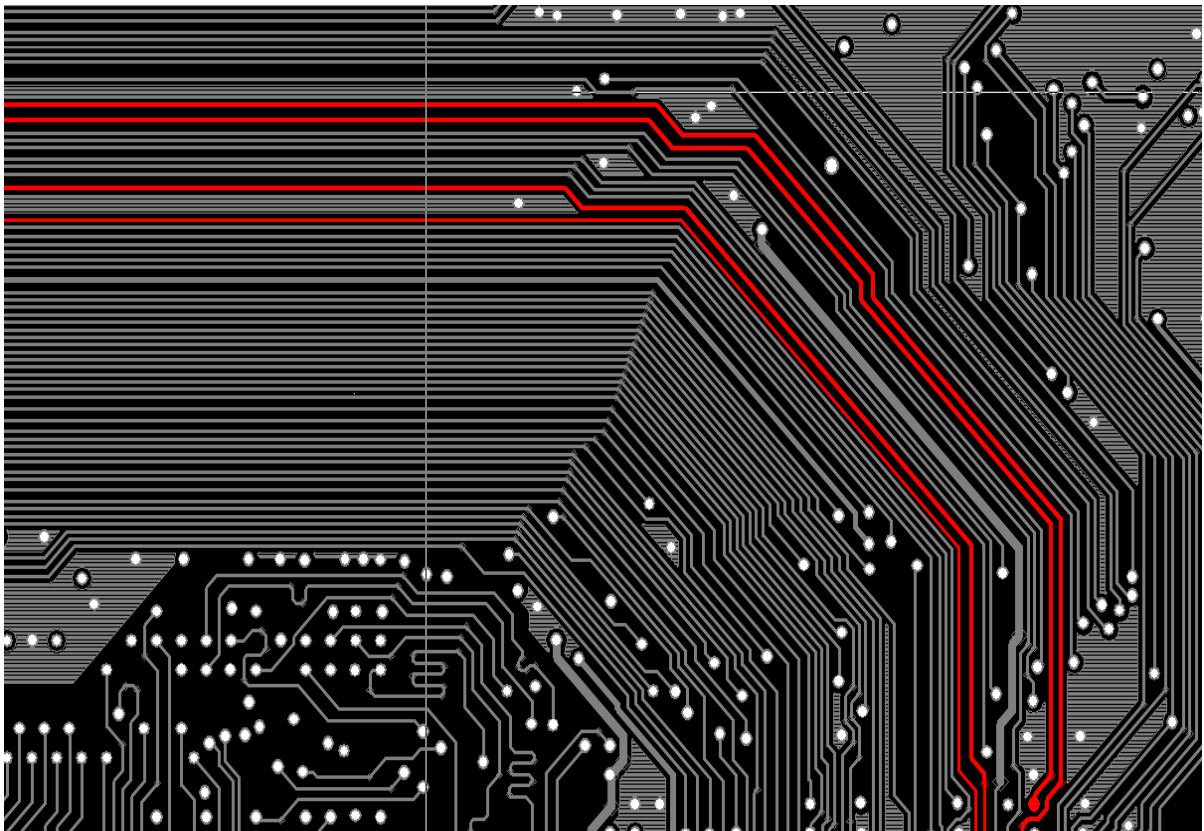
5.5 RK3288+RTL8211E 以太网问题案例四

3288+8211E 以太网 100M 不能自动获取 IP，但固定 IP 可以测试吞吐量，吞吐量测试达标，1000M 不能获取 IP，无法测试吞吐量；

经查询发现 RTL8211E 芯片焊接错误，贴片成 RTL8211E-VL，而实际应贴片为 RTL8211E-VB，两者 IO 电压不一样，前者 IO 电平只支持 1.8V，后者为 3.3V。

5.6 RK3368+RTL8211E 以太网问题案例一

RK3368+RTL8211E 以太网 100M/1000M 不能识别 IP，回环测试无数据。查看 PCB 发现 RXCLK 和 TX 数据线走线并行，没有包地。



RXCLK 及其 TXCLK 上串联 22nH 后，100M 吞吐量 ok，1000M 吞吐量可以达到 600M 以上；需要优化 PCB Layout 再进一步测试改善情况。

5.7 RK3399+RTL8211E 以太网案例一

RK3399+8211E 以太网 1000M 无法识别 IP，测试发现 Tx CLK 的频率为 125M，但是 Vp-p 只有 1.5V，修改驱动强度后，测试其幅度是正常的 3.3V，在测试吞吐量测试可

以达到 800Mb/s 。

5.8 RK3399+RTL8211E 以太网案例二

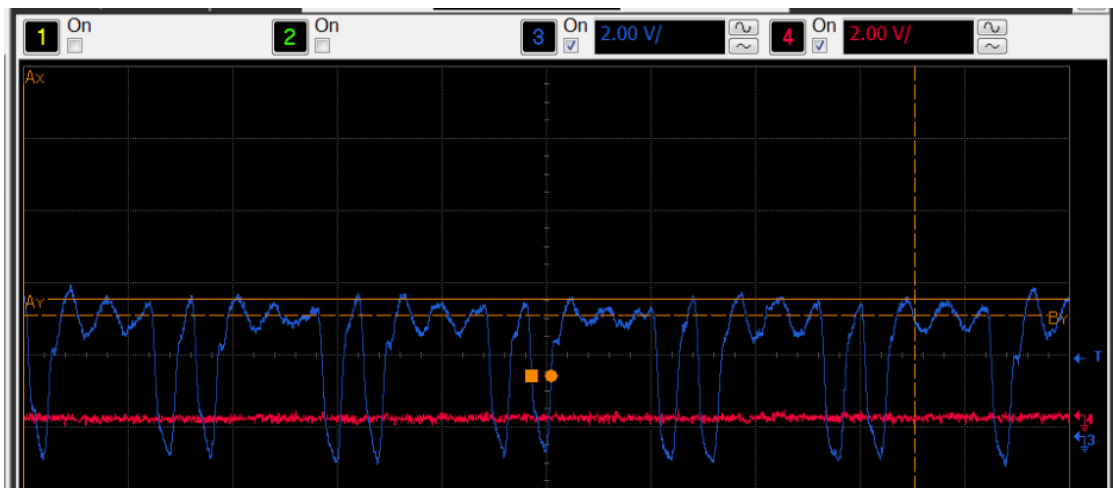
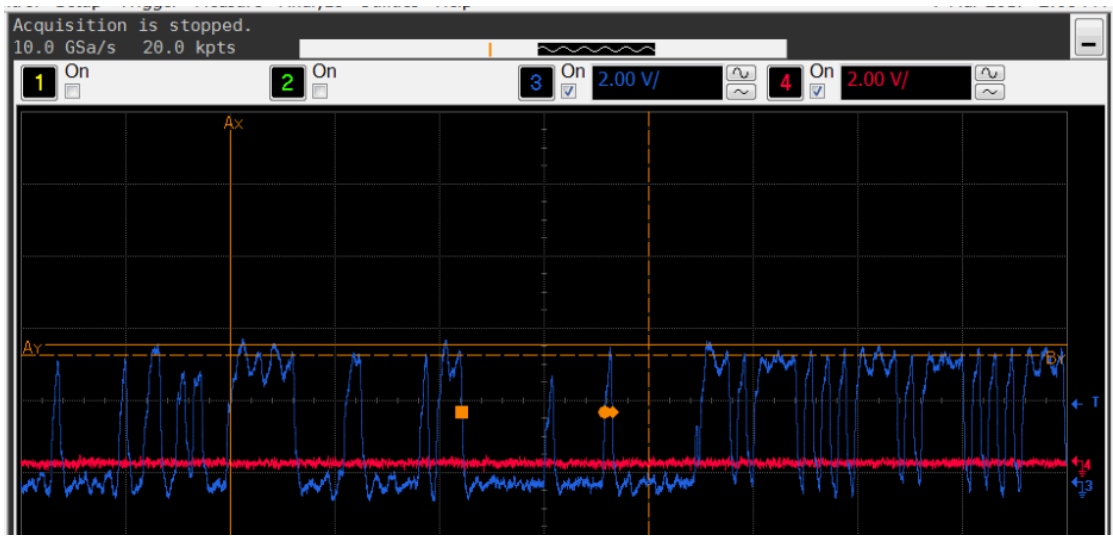
情况说明:

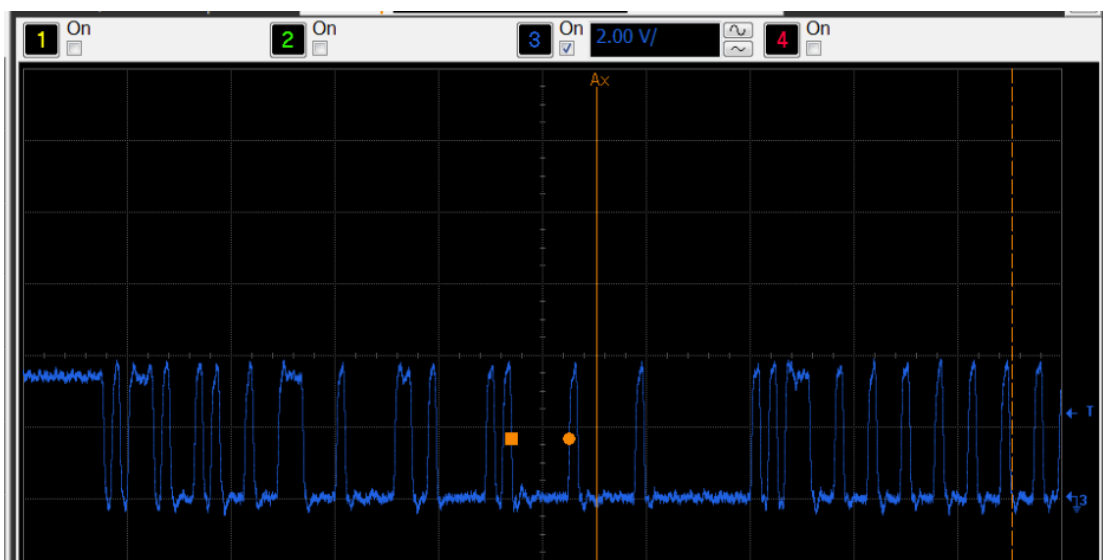
1. 客户反馈吞吐量差，跑着跑着就断了。
2. 实际测试客户机器吞吐量发现，测试吞吐量时吞吐量很不稳定，经常跑着跑着就没了，或者就是根本跑不起来。

```
下行速率 (RX):
E:\RK3399\iPerf_for_mid\iPerf_for_mid\iPerf\iperf-2.0.4-win32>iperf -c 192.168.1.100 -i 1 -w 1M -t 60
-----
Client connecting to 192.168.1.100, TCP port 5001
TCP window size: 1.00 MByte
-----
[160] local 192.168.1.25 port 61705 connected with 192.168.1.100 port 5001
[ ID] Interval      Transfer    Bandwidth
[160] 0.0- 1.0 sec  1.00 MBytes 8.39 Mbits/sec
[ ID] Interval      Transfer    Bandwidth
[160] 1.0- 2.0 sec  0.00 Bytes  0.00 bits/sec
[ ID] Interval      Transfer    Bandwidth
[160] 2.0- 3.0 sec  0.00 Bytes  0.00 bits/sec
[ ID] Interval      Transfer    Bandwidth
[160] 3.0- 4.0 sec  8.00 KBytes 65.5 Kbits/sec
[ ID] Interval      Transfer    Bandwidth
[160] 4.0- 5.0 sec  0.00 Bytes  0.00 bits/sec
[ ID] Interval      Transfer    Bandwidth
[160] 5.0- 6.0 sec  0.00 Bytes  0.00 bits/sec
[ ID] Interval      Transfer    Bandwidth
[160] 6.0- 7.0 sec  0.00 Bytes  0.00 bits/sec
[ ID] Interval      Transfer    Bandwidth
[160] 7.0- 8.0 sec  0.00 Bytes  0.00 bits/sec
[ ID] Interval      Transfer    Bandwidth
[160] 8.0- 9.0 sec  0.00 Bytes  0.00 bits/sec
[ ID] Interval      Transfer    Bandwidth
[160] 9.0-10.0 sec  0.00 Bytes  0.00 bits/sec
```

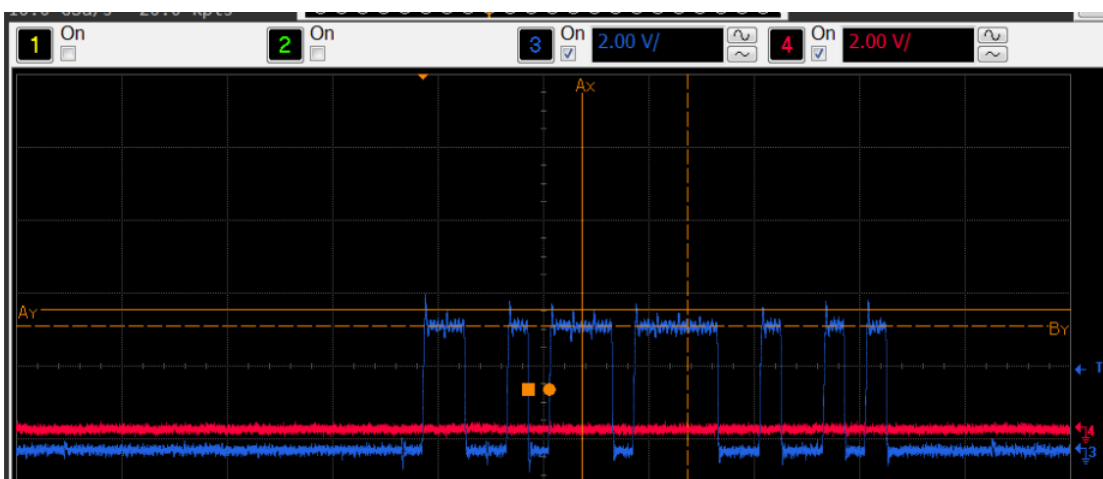
调试记录:

1. Ping 包发现会掉包，ping 的包都是小包，默认 32Byte
2. 量信号 (TXCLK/RXCLK/TXD/RXD)，信号噪声杂波有点大，会叠加 CLK 信号到数据上，有轻微串扰，检查 PCB，发现走线太长，达到 6000mil，已接近 PHY 厂家规定的最大线长，初步得出的结论是走线太长，要把走线改短。
3. 客户改版将 6000mil 走线改到 4000mil，打板回来发现网口直接不通了。看客户机器发现，千兆可以 Ping 通，10M、100M Ping 不通。
4. 测试机器 100M 时候 CLK、DATA 的信号质量明显要比 1000M 的信号质量要好。测试 100M 的 TXCLK 25M，发现示波器探头点到 TXCLK 串联电阻上就 ping 通了，然后就在 TXCLK 上并了一个 20pf 电容到地，10M、100M 就可以 ping 通了，去掉这个 20pf 电容软件降低驱动强度 10M/100M 也可以 ping 通，测 10M/100M 吞吐量 OK，但是千兆吞吐量差。提高驱动强度 10M/100M 就 ping 不通，合适的驱动强度是 13mA。但是千兆吞吐量还是不够，且不稳定，会掉。

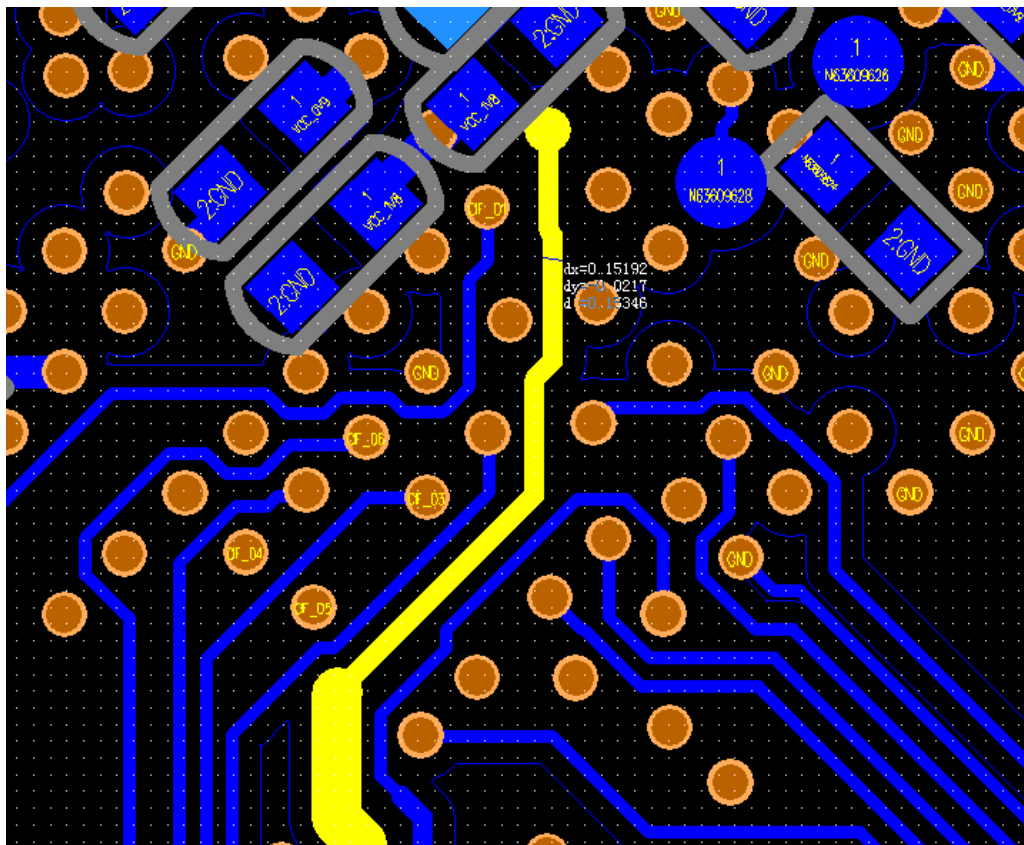
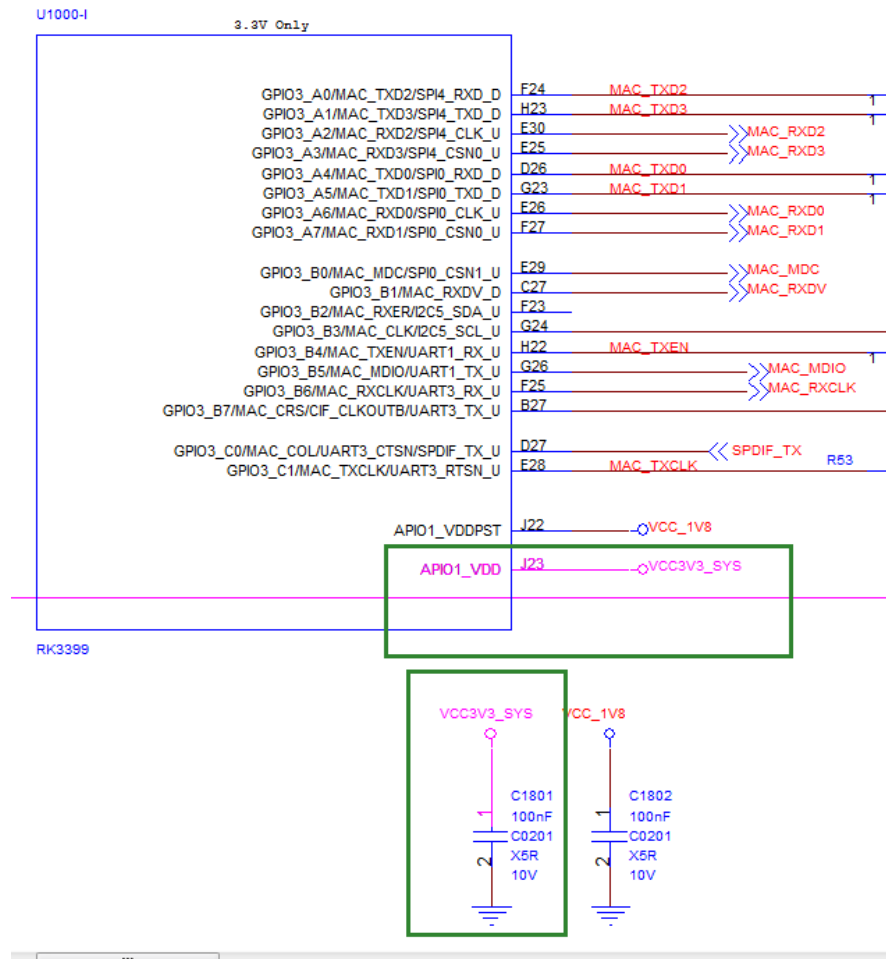




此案例客户样机百兆模式 13mA 驱动强度 TXD1 波形



1. 检查 PCB 发现主控 Mac 端 3V3 供电走线很细，且没有靠近主控电源 pin 脚放置滤波电容，增加一大（4.7 μ f）一小（100nf）两个电容，千兆吞吐量提高到 200M-500M 之间，稳定了，不会直接掉没了。百兆吞吐量也还不够。调整 TX 延时发现影响不大。增加驱动强度到 22mA，发现百兆 TX/RX 吞吐量可以稳定到 94M 了，千兆 RX 吞吐量也可以到 940M 了。



2. 测试千兆 TX，iperf 命令要带-P4 增加线程，或者是 CPU 定频到高性能，TX 吞吐量可以稳定到 800M 以上，基本不会出现很明显的掉速率现象，已经达到 RK 3399 box 公板吞吐量。

✚ 公板新 kernel 带-P4 命令测试吞吐量数据：

ID	Interval	Transfer	Bandwidth
[6]	0.0- 1.0 sec	28.8 MBytes	241 Mbts/sec
[5]	0.0- 1.0 sec	30.8 MBytes	258 Mbts/sec
[4]	0.0- 1.0 sec	29.1 MBytes	244 Mbts/sec
[3]	0.0- 1.0 sec	19.4 MBytes	163 Mbts/sec
[SUM]	0.0- 1.0 sec	108 MBytes	906 Mbts/sec
[6]	1.0- 2.0 sec	26.1 MBytes	219 Mbts/sec
[4]	1.0- 2.0 sec	25.1 MBytes	211 Mbts/sec
[3]	1.0- 2.0 sec	24.9 MBytes	209 Mbts/sec
[5]	1.0- 2.0 sec	26.5 MBytes	222 Mbts/sec
[SUM]	1.0- 2.0 sec	103 MBytes	861 Mbts/sec
[4]	2.0- 3.0 sec	25.5 MBytes	214 Mbts/sec
[5]	2.0- 3.0 sec	25.5 MBytes	214 Mbts/sec
[6]	2.0- 3.0 sec	24.0 MBytes	201 Mbts/sec
[3]	2.0- 3.0 sec	24.5 MBytes	206 Mbts/sec
[SUM]	2.0- 3.0 sec	99.5 MBytes	835 Mbts/sec
[3]	3.0- 4.0 sec	24.2 MBytes	203 Mbts/sec
[5]	3.0- 4.0 sec	25.0 MBytes	210 Mbts/sec
[4]	3.0- 4.0 sec	24.5 MBytes	206 Mbts/sec
[6]	3.0- 4.0 sec	24.8 MBytes	208 Mbts/sec
[SUM]	3.0- 4.0 sec	98.5 MBytes	826 Mbts/sec
[6]	4.0- 5.0 sec	25.5 MBytes	214 Mbts/sec
[4]	4.0- 5.0 sec	25.6 MBytes	215 Mbts/sec
[3]	4.0- 5.0 sec	25.8 MBytes	216 Mbts/sec
[5]	4.0- 5.0 sec	24.5 MBytes	206 Mbts/sec
[SUM]	4.0- 5.0 sec	101 MBytes	850 Mbts/sec
[4]	5.0- 6.0 sec	24.2 MBytes	203 Mbts/sec
[6]	5.0- 6.0 sec	25.4 MBytes	213 Mbts/sec
[3]	5.0- 6.0 sec	25.1 MBytes	211 Mbts/sec
[5]	5.0- 6.0 sec	25.6 MBytes	215 Mbts/sec
[SUM]	5.0- 6.0 sec	100 MBytes	842 Mbts/sec
[5]	6.0- 7.0 sec	25.2 MBytes	212 Mbts/sec
[4]	6.0- 7.0 sec	22.8 MBytes	191 Mbts/sec
[3]	6.0- 7.0 sec	23.6 MBytes	198 Mbts/sec
[6]	6.0- 7.0 sec	25.8 MBytes	216 Mbts/sec
[SUM]	6.0- 7.0 sec	97.4 MBytes	817 Mbts/sec

✚ 公板旧 kernel 带-P4 命令测试吞吐量数据：

[6]	15.0-16.0	sec	22.2	MBytes	187	Mbits/sec
[4]	15.0-16.0	sec	19.2	MBytes	161	Mbits/sec
[5]	15.0-16.0	sec	20.0	MBytes	168	Mbits/sec
[3]	15.0-16.0	sec	19.5	MBytes	164	Mbits/sec
[SUM]	15.0-16.0	sec	81.0	MBytes	679	Mbits/sec
[5]	16.0-17.0	sec	19.8	MBytes	166	Mbits/sec
[6]	16.0-17.0	sec	22.9	MBytes	192	Mbits/sec
[3]	16.0-17.0	sec	19.6	MBytes	165	Mbits/sec
[4]	16.0-17.0	sec	20.1	MBytes	169	Mbits/sec
[SUM]	16.0-17.0	sec	82.4	MBytes	691	Mbits/sec
[4]	17.0-18.0	sec	18.6	MBytes	156	Mbits/sec
[6]	17.0-18.0	sec	22.0	MBytes	185	Mbits/sec
[5]	17.0-18.0	sec	19.8	MBytes	166	Mbits/sec
[3]	17.0-18.0	sec	18.8	MBytes	157	Mbits/sec
[SUM]	17.0-18.0	sec	79.1	MBytes	664	Mbits/sec
[3]	18.0-19.0	sec	18.8	MBytes	157	Mbits/sec
[4]	18.0-19.0	sec	19.9	MBytes	167	Mbits/sec
[6]	18.0-19.0	sec	23.0	MBytes	193	Mbits/sec
[5]	18.0-19.0	sec	19.2	MBytes	161	Mbits/sec
[SUM]	18.0-19.0	sec	80.9	MBytes	678	Mbits/sec
[5]	19.0-20.0	sec	19.8	MBytes	166	Mbits/sec
[3]	19.0-20.0	sec	19.9	MBytes	167	Mbits/sec
[4]	19.0-20.0	sec	20.0	MBytes	168	Mbits/sec
[6]	19.0-20.0	sec	22.2	MBytes	187	Mbits/sec
[SUM]	19.0-20.0	sec	81.9	MBytes	687	Mbits/sec
[3]	20.0-21.0	sec	20.2	MBytes	170	Mbits/sec
[4]	20.0-21.0	sec	19.2	MBytes	161	Mbits/sec
[6]	20.0-21.0	sec	22.6	MBytes	190	Mbits/sec
[5]	20.0-21.0	sec	20.2	MBytes	170	Mbits/sec
[SUM]	20.0-21.0	sec	82.4	MBytes	691	Mbits/sec
[6]	21.0-22.0	sec	22.8	MBytes	191	Mbits/sec
[3]	21.0-22.0	sec	19.6	MBytes	165	Mbits/sec
[5]	21.0-22.0	sec	20.4	MBytes	171	Mbits/sec
[4]	21.0-22.0	sec	20.0	MBytes	168	Mbits/sec
[SUM]	21.0-22.0	sec	82.8	MBytes	694	Mbits/sec