

密级状态：绝密( ) 秘密( ) 内部(√) 公开()

## Camera FAQ

(技术部, ISP 部)

文件状态： [√] 正在修改 [ ] 正式发布	当前版本：	v1.0
	作 者：	
	完成日期：	
	审 核：	
	完成日期：	2018/4/11

福州瑞芯微电子股份有限公司

Fuzhou Rockchips Electronics Co . , Ltd

(版本所有, 翻版必究)

版 本 历 史

版本号	作者	修改日期	修改说明	审核	备注

## 目 录

<b>1</b>	<b>CAMERA SENSOR 相关.....</b>	<b>2</b>
1.1	如何处理 CAMERA SENSOR I2C 不通问题 .....	2
1.2	如何处理对接 SENSOR 时，环境亮度变化引起闪烁.....	2
<b>2</b>	<b>MIPI 相关.....</b>	<b>3</b>
2.1	MIPI CAMERA 错误推荐处理顺序 .....	4
2.2	如何处理 MIPI 没有接收到任何数据也未提示出错 .....	5
2.3	如何处理 SOT/SOT-SYNC 错误.....	7
2.4	如何计算 THS-SETTLE.....	8
2.5	如何处理 SYNC FIFO OVERFLOW 问题 .....	10
2.6	如何处理 CHECKSUM/ECC1/ECC2 错误 .....	12
<b>3</b>	<b>DVP 并口相关(ITU.R BT601/656).....</b>	<b>13</b>
3.1	如何处理 ITU.R BT656 10/12BIT 接口能够正常接收数据，图像中出现高亮物体时概率性出现横条红色异常 .....	13
3.2	如何处理并口 ITU.R BT601 采集 YUV 8BIT 数据，整体画面蒙上一层淡绿色 .....	14
3.3	如何处理并口 ITU.R BT601 采集 10BIT BAYER RAW 数据，高亮物体出现偏红色等异常 .....	15
<b>4</b>	<b>CIF 控制器相关.....</b>	<b>16</b>
4.1	.....	16
<b>5</b>	<b>ISP 相关.....</b>	<b>16</b>
5.1	如何处理 PIC_SIZE_ERROR 问题 .....	16
5.2	如何处理 DATA LOSS 问题 .....	17

## 1 Camera Sensor 相关

### 1.1 如何处理 Camera sensor i2c 不通问题

#### 【现象】

软件提示 I2C NO ACK 异常

#### 【分析】

#### 【解决】

1.首先确认 Sensor 以下硬件输入是否符合 Spec:

- Sensor 电源:AVDD/DVDD/DOVDD
- Sensor 复位有效电平
- Sensor standby/power down 引脚有效电平
- I2C 上拉电平是否与 DOVDD 匹配
- sensor 输入参考时钟 mclk, 频率/幅度

2.后续确认主控输出 I2C:

- 主控对应的 I2C 通道上是否能够测量 I2C 信号
- I2C 设备地址是否匹配
- I2C 信号质量是否符合要求, SCL 频率是否过高, 尝试降低改善信号质量
- I2C 是否出现 Repeat start, 某些 slave device 不支持该操作

### 1.2 如何处理对接 Sensor 时, 环境亮度变化引起闪烁

#### 【现象】

对接 ov2710 时，当环境亮度变化时，曝光调节时会出现闪烁，特别是在曝光调节过程的尾声出现亮度震荡的几帧，其他 sensor 不存在闪烁

#### 【分析】

将图像亮度与设置给 ov2710 的曝光时间、曝光增益时序打印出来发现，sensor 在第 N 帧刷新曝光寄存器，在 N+2 帧生效。Sensor 在第 N 帧刷新曝光增益寄存器，在 N+1 帧生效。

#### 【解决】

在 cif isp10, cif isp11 驱动中已经增加了该解决方案，ae 设置的曝光时间与曝光增益会根据 sensor 驱动中对于生效时间的定义来设置，例如 ov2710 就会将曝光时间提前 1 帧设置，保证曝光增益与曝光时间在同一帧生效；

## 2 MIPI 相关

#### 【重要概念】：

文档名称	描述
mipi_D-PHY_specification	MIPI D-PHY 标准文档
mipi_CSI-2_specification	MIPI CSI-2 接口标准文档

mipi\_D-PHY\_specification 文档必须掌握知识点：

1. Lane States and Line Levels
2. High-Speed Data Transmission
3. Escape mode
4. High-Speed Clock Transmission
5. Global Operation Timing Parameters
6. Global Operation Flow Diagram
7. Fault Detection

mipi\_CSI-2\_specification 文档必须掌握知识点：

1. Physical Layer
2. Multi-Lane Distribution and Merging
3. Low Level Protocol
4. Data Formats

## 2.1 MIPI Camera 错误推荐处理顺序

### 【现象】

Camera MIPI 问题可能导致

1. Camera 图像出现花屏异常或是接收不到数据;
2. 提示 ISP Picture size error 或是 Data loss;
3. 驱动直接提示 MIPI 错误; "CIF\_MIPI\_ERR\_DPHY:.....", "CIF\_MIPI\_ERR\_CSI:.....";

### 【分析】

针对 MIPI Camera, MIPI 接口是第一级, 如果 MIPI 出现错误, 那么对于后级的 ISP 或是其他控制器来说会导致不可预知的错误;

**MIPI 模块内部错误分类:**

DPHY 级:

SOT Error

SOT Sync Error

EOT Error

EOT Sync Error

Escape Mode Entry Command Error

LP Transmission Sync Error

False Control Error

CSI-2 级:

ECC1 Error

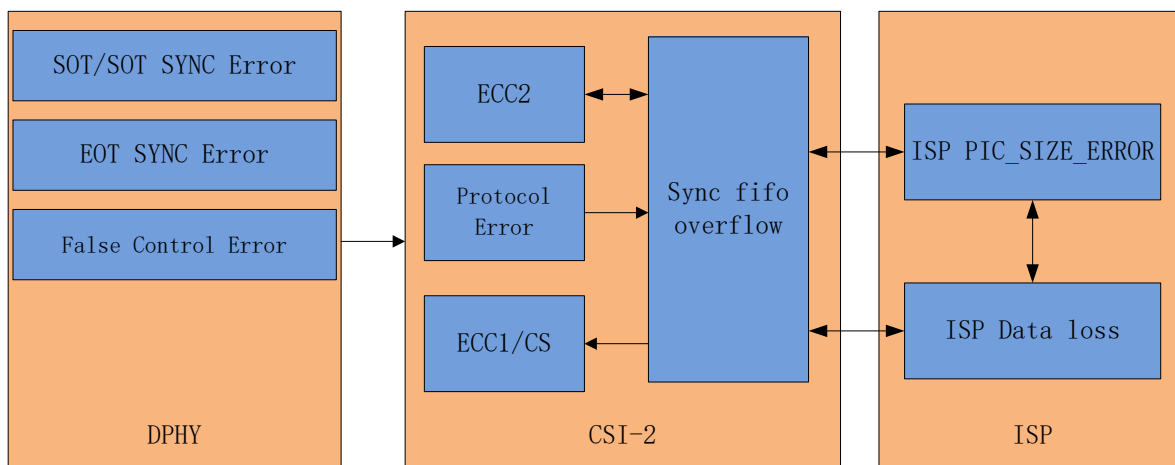
ECC2 Error

Checksum Error

Protocol Error

FIFO Overflow

各类错误的影响关系简单归类如下：



#### 【解决】

1. 按照以上归类关系，建议问题解决顺序如下：

- MIPI DPHY 级
- ISP PIC\_SIZE\_ERROR
- ISP Data loss
- MIPI CSI-2 sync fifo overflow
- MIPI CSI-2 其他错误

4. 根据具体的报错类型具体分析问题，查找该文档后续具体问题描述；如果 MIPI 模块未检测出任何错误，详见 2.2

## 2.2 如何处理 **MIPI** 没有接收到任何数据也未提示出错

#### 【现象】

Camera 模组 I2C 通讯正常，I2C 控制 Camera 模组输出 mipi 数据流，主控端没有接收到数据，

MIPI 也未提示任何错误;

### 【分析】

主控端 MIPI 没有提示任何错误, 同时也没有接收到任何的数据, 按照数据通路顺序,

1. 主控端 MIPI DPHY 是否有数据输入?
2. 主控端 MIPI CSI-2 是否有数据输入?

### 【解决】

1. 确认主控端 MIPI DPHY 是否有数据输入? 建议可以查询 isp mipi 模块的 MIPI\_STATUS[12:8] 寄存器的 stopstate, s\_stopstate\_clk 2 个信号, 该信号直接连接 DPHY STOPSTATEDATA\_N 和 STOPSTATECLK, 按照 MIPI 传输协议分析, STOPSTATEDATA\_N 信号会在 0 与 1 之间切换跳变;

2. 如果 STOPSTATEDATA\_N 信号没有出现跳变, 可以比较确切的怀疑 MIPI 信号并没有进入到 DPHY 输入端, 以下几个情况需要确认:

- 主控端 MIPI 输入引脚上并没有 MIPI 数据输入, 建议用示波器确认;
  - 主控端 MIPI DPHY 相关电源域是否已经正常供电;
3. 如果 STOPSTATEDATA\_N 信号已经正常出现跳变, 需要确认硬件上连接并且正在使用的每条 data lane 是否都有出现跳变, 如果没有的话, 建议重复确认对应硬件 MIPI 输入引脚信号;
4. STOPSTATEDATA\_N 信号都正常出现跳变, 问题现象依旧的话, 建议查询 STOPSTATECLK 信号状态;
5. 如果 STOPSTATECLK 信号状态没有类似 STOPSTATEDATA\_N 信号的跳变, 首先确认硬件上 clock lane 上时钟信号是否正常输入;
6. 硬件上确认 MIPI Clock lane 正常输入的情况下, 从波形上应该可以确认此时 clock lane 一直处于 continue hs 状态, 根据 mipi\_D-PHY\_specification 中 High-Speed Clock Transmission State Machine, 初步判定:

- DPHY RX 端没有接收到 RX-HS-Rqst, RX-HS-Prpr 信号进入高速接收子模式

7. 建议尝试以下实验:

- 将 Camera Sensor 端 clock lane 由 continue 模式切换到 no continues;
- Camera Sensor 端 clock lane 无法切换的情况下, 建议确认 Camera sensor mipi 信号是



在主机端 RX 开启后输出，即确保 DPHY RX 能够接收到 clock lane 完整的 SOT 信号；

## 2.3 如何处理 SOT/SOT-Sync 错误

### 【现象】

MIPI 中断状态寄存器确认 SOT Error, SOT Sync Error

### 【分析】

根据 mipi\_D-PHY\_specification 中介绍的 SOT、SOT Sync 时序定义以及错误检查机制判断分析，建议重点参考：

High-Speed Data Transmission:

Start-of-Transmission Sequence

HS Data Transmission Burst

High-Speed Clock Transmission

Global Operation Timing Parameters

### 【解决】

1. 根据 Global Operation Timing Parameters 要求，DPHY RX 在 SOT 阶段必须满足：

$T_{HS-PREPARE}$	Time that the transmitter drives the Data Lane LP-00 Line state immediately before the HS-0 Line state starting the HS transmission	40 ns + 4*UI		85 ns + 6*UI	ns	5
$T_{HS-PREPARE} + T_{HS-ZERO}$	$T_{HS-PREPARE}$ + time that the transmitter drives the HS-0 state prior to transmitting the Sync sequence.	145 ns + 10*UI			ns	5
$T_{HS-SETTLE}$	Time interval during which the HS receiver shall ignore any Data Lane HS transitions, starting from the beginning of $T_{HS-PREPARE}$ . The HS receiver shall ignore any Data Lane transitions before the minimum value, and the HS receiver shall respond to any Data Lane transitions after the maximum value.	85 ns + 6*UI		145 ns + 10*UI	ns	6
$T_{LPX}$	Transmitted length of any Low-Power state period	50			ns	4, 5
$T_{CLK-PRE}$	Time that the HS clock shall be driven by the transmitter prior to any associated Data Lane beginning the transition from LP to HS mode.	8			UI	5
$T_{CLK-PREPARE}$	Time that the transmitter drives the Clock Lane LP-00 Line state immediately before the HS-0 Line state starting the HS transmission.	38		95	ns	5
$T_{CLK-SETTLE}$	Time interval during which the HS receiver should ignore any Clock Lane HS transitions, starting from the beginning of $T_{CLK-PREPARE}$ .	95		300	ns	6, 7

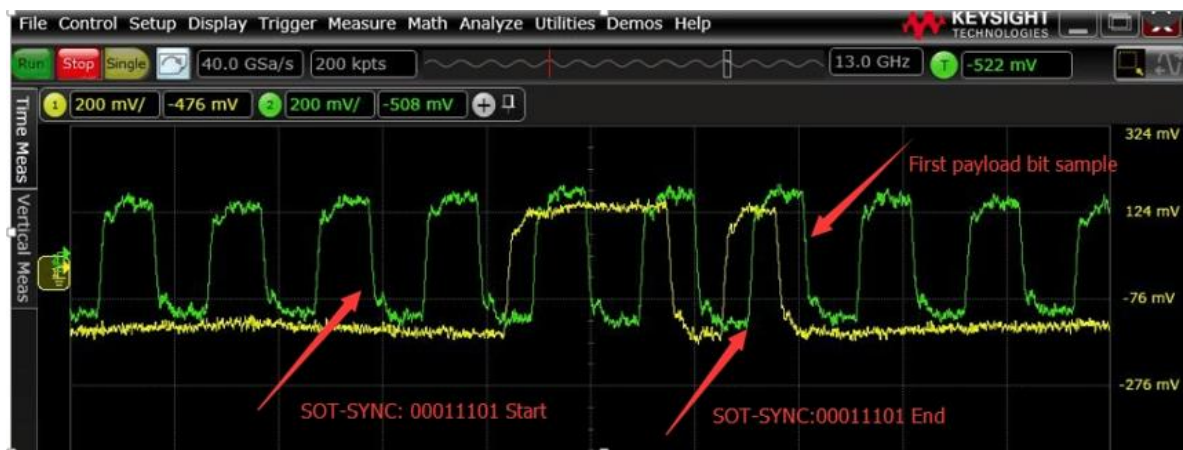
- $T_{hs-settle} > T_{hs-prepare}$

- $T_{hs-settle} < T_{hs-prepare} + T_{hs-zero}$

- $T_{clk-settle} > T_{clk-prepare}$

2. 以上时序满足的情况下，建议需要检查：

- Inserts the HS Sync-Sequence ‘00011101’ beginning on a rising Clock edge



## 2.4 如何计算 $T_{hs-settle}$

【现象】

【分析】

$T_{hs-settle}$ 由DPHY配置决定，目前RK3399/RK3288/RK1608采用同一款DPHY，简称DPHY-S，RK3368/RV1108采用同一款DPHY，简称DPHY-I

【解决】

DPHY-I:

MIPI bitrate	Reg	$T_{hs-settle}$
80-110Mbps	4b'0000	8*UI
110-150 Mbps	4b'0001	12*UI
150-200 Mbps	4b'0010	18*UI
200-250 Mbps	4b'0011	20*UI
250-300 Mbps	4b'0100	26*UI
300-400 Mbps	4b'0101	34*UI
400-500 Mbps	4b'0110	46*UI
500-600 Mbps	4b'0111	56*UI

600-700 Mbps	4b'1000	66*UI
700-800 Mbps	4b'1001	70*UI
800-1000 Mbps	4b'1010	88*UI
1.1Gbps	4b'1011	108*UI
1.25Gbps	4b'1100	128*UI
1.35Gbps	4b'1101	148*UI
1.5Gbps	4b'1110	188*UI

DPHY-S:

MIPI bitrate	Hsfreqrange[3:0]	Ths-settle
80-110Mbps	4b'0000	4 received_DDR_clock
110-150 Mbps	4b'0001	6received_DDR_clock
150-200 Mbps	4b'0010	9received_DDR_clock
200-250 Mbps	4b'0011	10received_DDR_clock
250-300 Mbps	4b'0100	13received_DDR_clock
300-400 Mbps	4b'0101	17received_DDR_clock
400-500 Mbps	4b'0110	23received_DDR_clock
500-600 Mbps	4b'0111	28received_DDR_clock
600-700 Mbps	4b'1000	33received_DDR_clock
700-900 Mbps	4b'1001	38received_DDR_clock
900-1100 Mbps	4b'1010	52received_DDR_clock
1.1-1.3Gbps	4b'1011	62received_DDR_clock
1.3-1.5Gbps	4b'1100	63received_DDR_clock

也可以直接设置0x75寄存器:

## 9.6.61 HS RX Data Lanes Settle State Time (T<sub>HS-settle</sub>) Control

Test Code: 0x75

This test code controls the time interval during which the HS receiver ignores any Data Lane HS transitions. Refer to the D-PHY specification for more information.

Most of T<sub>HS-SETTLE</sub> is contributed by the counter programming:

$$T_{HS-SETTLE} = ((counter\_threshold + 1) \times received\_DDR\_clock) + constant\_time$$

where:

*constant\_time* corresponds to internal D-PHY FSM state and Analog Front End (AFE) timing variation

Test Data:

Table 9-128 Test Data

w-1'b0	w-7'b0000100
Bypass T <sub>HS-settle</sub> counter threshold default	T <sub>HS-settle</sub> counter threshold

- Bit 7: Bypass THS-settle counter threshold default
  - 0 - HS RX data lanes settle state time (T<sub>HS-settle</sub>) programmed with default values for the correspondent hsfreqrange (HS RX Control of Lane 0)
  - 1 - HS RX data lanes settle state time (T<sub>HS-settle</sub>) programmed with bits 6...0
- Bits 6...0: THS-settle counter threshold

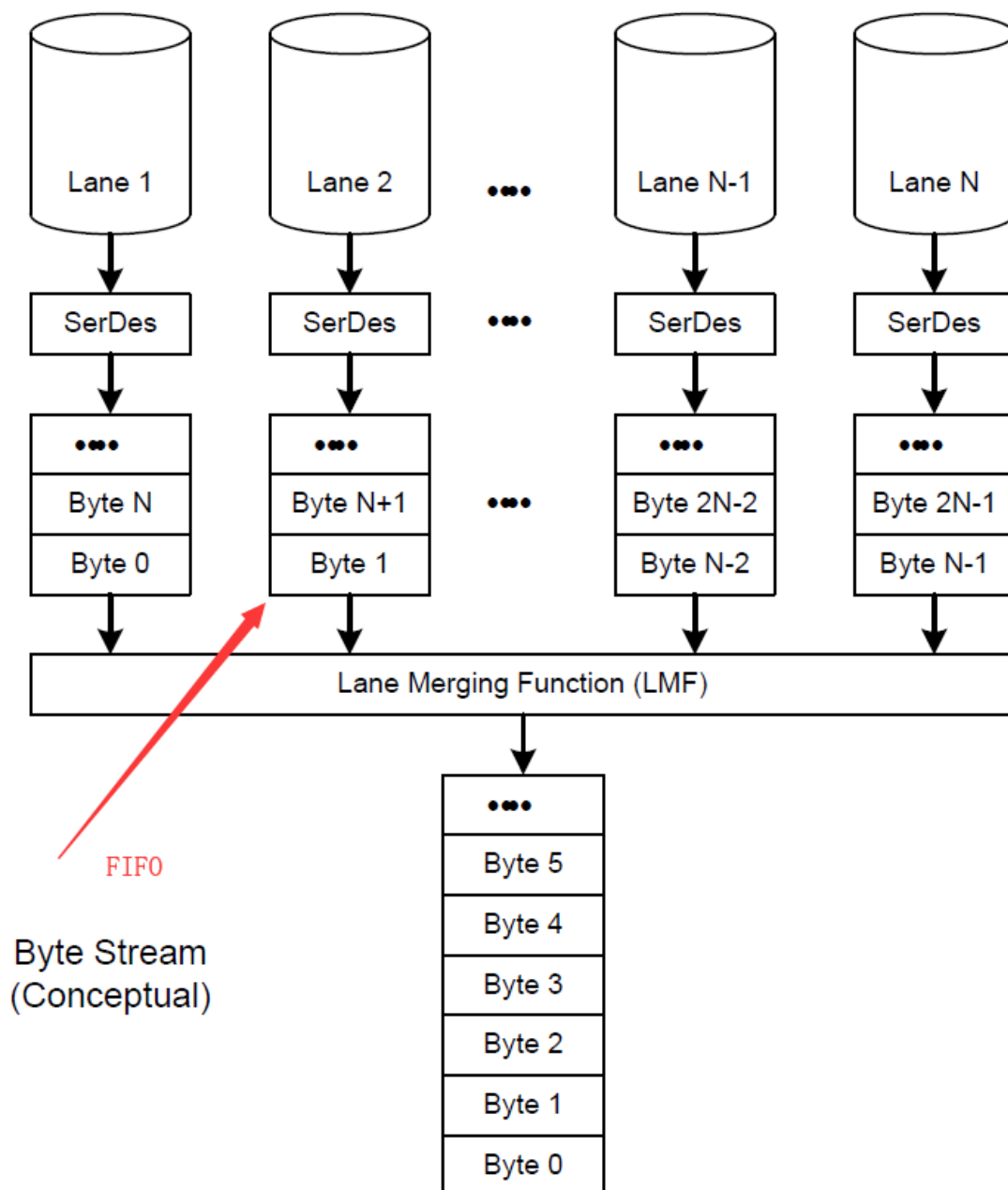
## 2.5 如何处理 sync fifo overflow 问题

### 【现象】

硬件明确提示 sync fifo overflow

### 【分析】

Sync fifo overflow 的触发机制：isp 吞吐率与 mipi 速率不匹配，导致 csi data lane 的输入缓冲 FIFO 溢出；



#### 【解决】

1. 该错误属于CSI-2级错误，先确认是否有报DPHY级错误，如果有，优先处理DPHY级别的错误；

2. 如果没有DPHY级错误，Sync fifo overflow优先考虑isp吞吐率与mipi速率匹配问题，按照如下公式计算，以下公式按照保守计算：

$$\text{isp clock(Hz)} * 80\% > (\text{mipi bitrate} * \text{mipi lanes}) / 12$$

3. isp吞吐率满足的情况下，并且存在多lane传输的话，建议优先检查mipi信号多个lane之间的数据同步问题，不同步的情况下，会导致sync fifo overflow、Checksum/ECC1/ECC2错误；

4. 该级错误会导致isp后级的PIC\_SIZE\_ERROR,Data loss问题，但是Data loss问题也会反馈至前级导致sync fifo overflow，建议按照data loss问题排查；

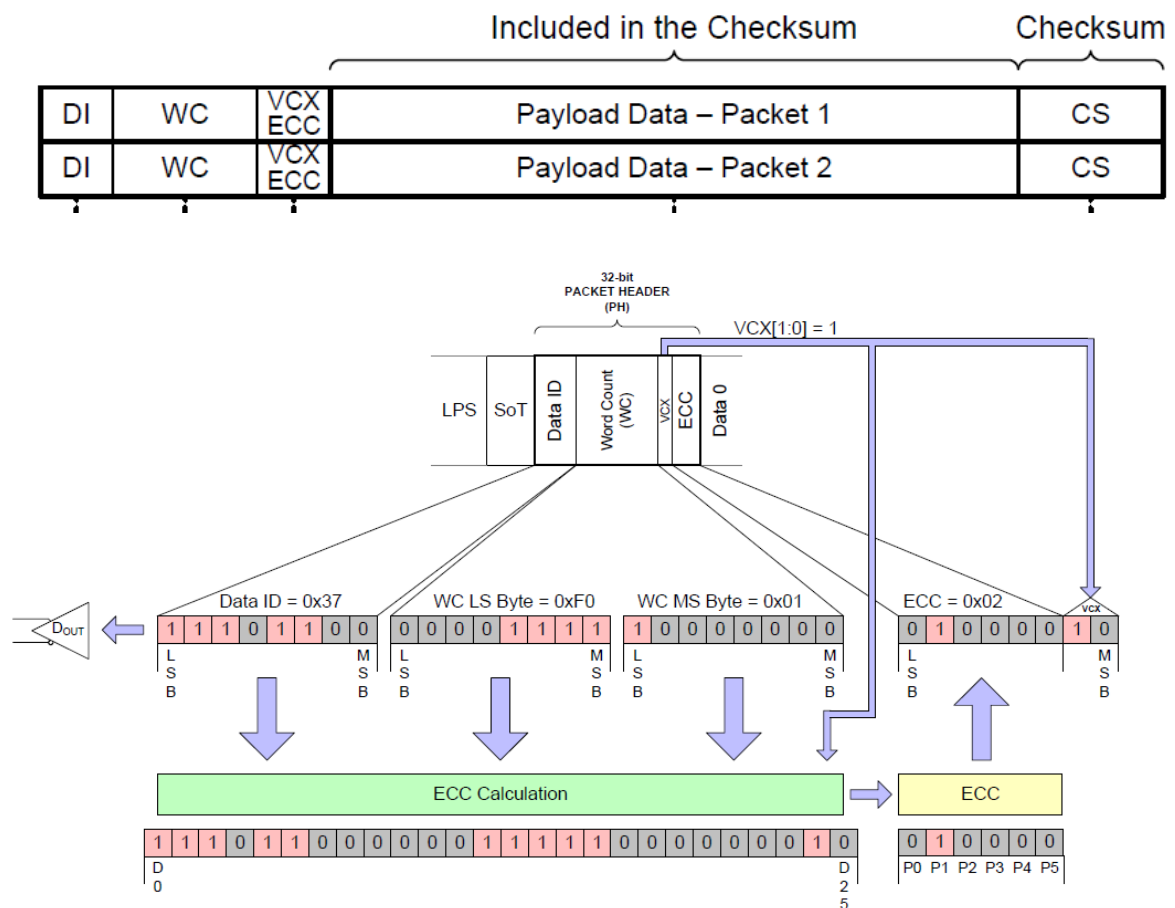
## 2.6 如何处理 Checksum/ECC1/ECC2 错误

### 【现象】

硬件明确提示 Checksum/ECC1/ECC2

### 【分析】

根据 mipi\_CSI-2\_specification 说明, 每个 mipi hs package 包含 Checksum/ECC1/ECC2, 其中 ECC1/ECC2 校验针对 PH, Checksum 针对的是 package data;



### 【解决】

1. 如果仅仅出现CS、ECC1错误, 由于ECC1是可纠正错误, 所以应该只会出现数据错误, 例如花屏等, 但是不应该会导致后续的PIC\_SIZE\_ERROR, 建议硬件排查MIPI信号质量;

2. 如果出现ECC2错误, 那么PH数据就是不可靠的, 那么PIC\_SIZE\_ERROR, Data loss错误都有可能被触发, 建议依旧是排查MIPI信号质量;

### 3 DVP 并口相关(ITU.R BT601/656)

#### 3.1 如何处理 ITU.R BT656 10/12bit 接口能够正常接收数据，

图像中出现高亮物体时概率性出现横条红色异常

##### 【现象】

RV1108 ISP 对接 imx323 摄像头, 并口输入 ITU.R BT656 方式输入 10/12bit bayer raw 数据, 图像能够正常采集, 但是图像出现局部高亮区域时, 概率性出现横向红色异常;

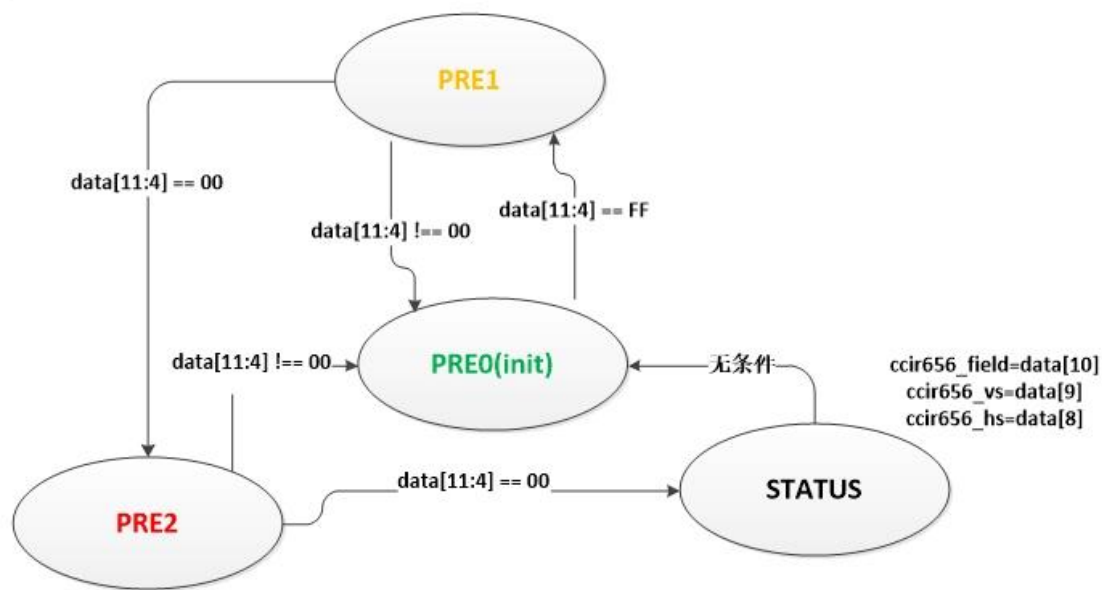
##### 【分析】

ITU.R BT656 信号采用数据软同步方式, 即行场同步采用数据的软同步实现, imx323 SAV/EAV 同步定义如下:

Sync code	1st code		2nd code		3rd code		4th code	
	10 bit	12 bit	10 bit	12 bit	10 bit	12 bit	10 bit	12 bit
SAV(Valid line)	3FFh	FFFh	000h	000h	000h	000h	200h	800h
EAV(Valid line)	3FFh	FFFh	000h	000h	000h	000h	274h	9D0h
SAV(Invalid line)	3FFh	FFFh	000h	000h	000h	000h	2ACh	AB0h
EAV(Invalid line)	3FFh	FFFh	000h	000h	000h	000h	2D8h	B60h

#### Sync Code Output Timing (Parallel CMOS Output)

ISP 在解析 SAV/EAV 信号时只解析高 8bit, 解析状态机如下:



EAV 信号为 FFF 000 000 9D0, EAV 信号之前出现 FFF 数据,例如 FFE FFF 000 000 9D0, 此时 EAV 信号解析异常,行同步解析出错。

#### 【解决】

1. 该问题属于控制器内部问题,BT656 接口方式无法解决,imx323 支持硬件输出 debug 用硬件行场信号,采用 BT601 接口方式进行采集,将 BT656 SAV/EAV 数据 Crop 丢弃的方式规避;
2. RV1108/RK3399/RK3288/RK3368 存在该问题,RK3326 不存在该问题;

## 3.2 如何处理并口 ITU. R BT601 采集 YUV 8bit 数据, 整体画面蒙上一层淡绿色

#### 【现象】

并口 ITU. R BT601 方式输入 8bit YUV422,CIF 控制器采集数据基本正常, 图像灰度部分看起来正常, 能够看清楚物体的形状以及灰度变化, 但是整个画面颜色异常, 整体蒙上一层淡绿色。

#### 【分析】

直接分析采集到的数据, 可以发现数据的高位不变

#### 【解决】

1. 摄像头输出的数据, 即整个数据往右偏移了某个位数, 低位丢失, 高位被移到低位, 建议检查



摄像头并口数据位连接顺序是否与主控并口 YUV 8bit 采集顺序匹配. 下图列出目前芯片并口采集数据的 IO 示意图:

芯片	控制器	数据位宽	DVP IO	注释
RK3288/RK3368/RV1108	CIF	8bit	cif_d2:cif_d9	YUV and Raw support
		10bit	cif_d0:cif_d9	Only RAW support
		12bit	cif_d0:cif_d11	Only RAW support
	ISP	8bit	cif_d4:cif_d11	YUV and Raw support
		10bit	cif_d2:cif_d11	YUV and Raw support
		12bit	cif_d0:cif_d11	YUV and Raw support
RK3288W	CIF	8bit	cif_d2:cif_d9	YUV and Raw support
		10bit	cif_d0:cif_d9	Only RAW support
		12bit	cif_d0:cif_d11	Only RAW support
	ISP	8bit	cif_d4:cif_d11(grf_soc_con16[15]=0) cif_d2:cif_d9(grf_soc_con16[15]=1)	YUV and Raw support
		10bit	cif_d2:cif_d11(grf_soc_con16[15]=0) cif_d0:cif_d9(grf_soc_con16[15]=1)	YUV and Raw support
		12bit	cif_d0:cif_d11(grf_soc_con16[15]=0)	YUV and Raw support
RK3399	ISP	8bit	cif_d0:cif_d7	YUV and Raw support
		10bit	cif_d2:cif_d9	YUV and Raw support
RK3326	CIF	8bit	cif_d0:cif_d9	Only RAW support
		10bit	cif_d0:cif_d11	Only RAW support
		12bit	cif_d0:cif_d11	Only RAW support
	ISP	8bit	cif_d2:cif_d9	YUV and Raw support
		10bit	cif_d0:cif_d9	YUV and Raw support
		12bit	cif_d0:cif_d11	YUV and Raw support

### 3.3 如何处理并口 ITU. R BT601 采集 10bit bayer raw 数据，高亮物体出现偏红色等异常

#### 【现象】

并口 ITU. R BT601 方式输入 10bit bayer rgb 数据, 采集数据在非过曝区域颜色基本正常, 高亮过曝区域显示不是白色过曝, 而是显示偏红色异常

#### 【分析】

#### 【解决】

同问题 3.2 解决方案

## 4 CIF 控制器相关

### 4.1

【现象】

【分析】

【解决】

## 5 ISP 相关

### 5.1 如何处理 PIC\_SIZE\_ERROR 问题

【现象】

ISP 硬件明确提示 PIC\_SIZE\_ERROR;

【分析】

根据 ISP datasheet 了解 PIC\_SIZE\_ERROR 触发机制, 例如:

- 已采集行数据量尚未达到预设值, 新行同步信号被提前检测到;
- 已采集帧数据量尚未达到预设值, 新帧同步信号被提前检测到;

【解决】

1. MIPI Camera 确认 MIPI DPHY 报错问题, 如果报错, 优先按照 MIPI DPHY 问题处理;
2. ISP\_ERR 寄存器详细记录此次 PIC\_SIZE\_ERROR 触发的 ISP 子模块(inform, is, outform);
3. 根据以下表格排查各个模块分辨率设置:

错误类型	分辨率匹配规则
------	---------

inform	$\text{ISP\_ACQ\_H\_OFFSET} + \text{ISP\_ACQ\_H\_SIZE} \leq \text{Sensor output h size}$ $\text{ISP\_ACQ\_V\_OFFSET} + \text{ISP\_ACQ\_V\_SIZE} \leq \text{Sensor output h size}$
is	$\text{ISP\_IS\_H\_OFFSET} + \text{ISP\_IS\_H\_SIZE} \leq \text{ISP\_OUT\_H\_SIZE}$ $\text{ISP\_IS\_V\_OFFSET} + \text{ISP\_IS\_V\_SIZE} \leq \text{ISP\_OUT\_V\_SIZE}$
outform	$\text{ISP\_OUT\_H\_OFFSET} + \text{ISP\_OUT\_H\_SIZE} \leq \text{ISP\_ACQ\_H\_SIZE}$ $\text{ISP\_OUT\_V\_OFFSET} + \text{ISP\_OUT\_V\_SIZE} \leq \text{ISP\_ACQ\_V\_SIZE}$

4. 确保输入接口、输入分辨率都满足要求的情况下，PIC\_SIZE\_ERROR 可以怀疑后级输出受限导致前级的异常，建议排查手段参考 5.2 data loss 问题处理；

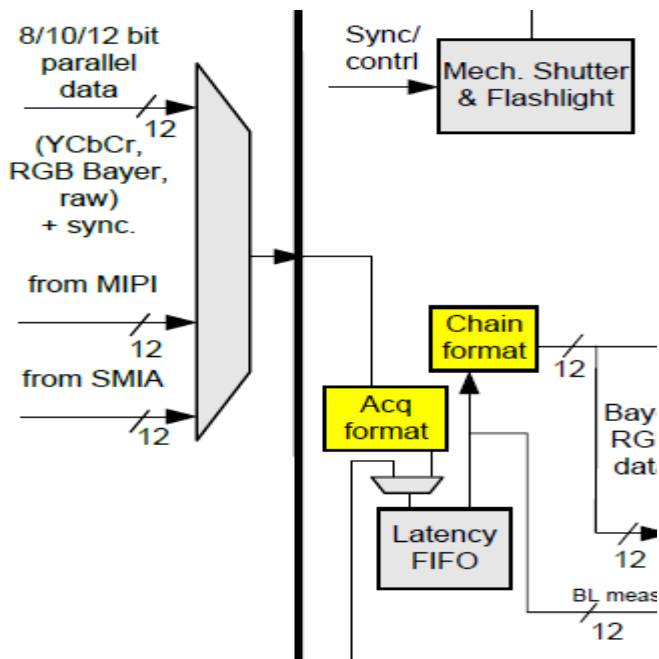
## 5.2 如何处理 Data loss 问题

### 【现象】

硬件明确提示 data loss 异常

### 【分析】

data loss 触发机制:ISP 内部 latency fifo 溢出导致 data loss 异常；



### 【解决】

1. MIPI Camera 检查是否发生 MIPI DPHY 报错问题，如果报错，优先按照 MIPI DPHY 问题处理；

2. 检查是否发生 PIC\_SIZE\_ERROR 问题, 如果有, 优先按照 PIC\_SIZE\_ERROR 问题处理;

3. MI\_STATUS 寄存器详细记录 MI 内部 FIFO 溢出情况, 如果出现溢出情况, 初步怀疑 axi 输出速率不满足要求, 该级 FIFO 溢出会反馈回前级导致 data loss 被触发, 建议:

- 确认 AXI 总线频率是否足够?
- DDR 频率是否足够, 尝试提高 DDR 频率;
- DDR 是否在 ISP 输出数据过程中存在变频;
- 尝试提高 isp axi master 优先级至最高, 其他 master 优先级降低;
- 尝试限制 GPU Qos mode, 从 fixed 更改为 limit, 并且通过 QOS\_Bandwidth、QOS\_Saturation 降低其带宽需求;
- 尝试增加 Sensor H-blanking 时间;