

概述

当MCS-51单片机片内的资源不能满足设计需要时，需要外扩存储器和I/O功能接口。外扩存储器包括程序存储器和数据存储器，外扩I/O接口主要是并行I/O接口的扩展，也包括UART、I²C、SPI等一些串行I/O接口的扩展。

8031: 128byte RAM，无内部程序存储器

8032: 256byte RAM，无内部程序存储器

8051/8751: 4Kbyte的ROM或EPROM

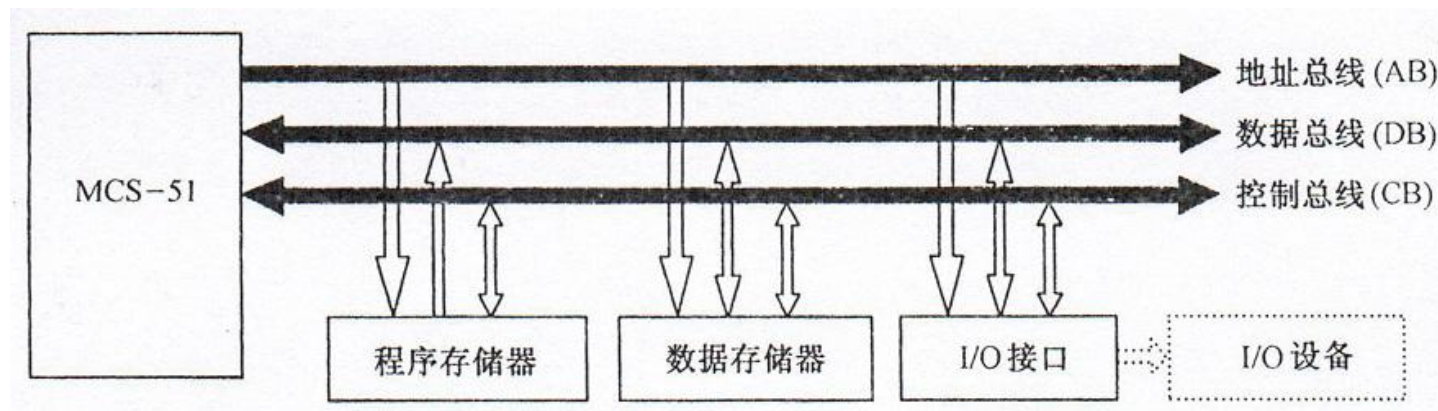
8052/8752: 8Kbyte的ROM或EPROM

目前很多新的MCS-51单片机已经在内部集成了64Kbyte的程序存储器，但通常内部RAM仍然是较小的。

第8部分 MCS-51扩展存储器的设计

系统总线及总线构造

系统总线



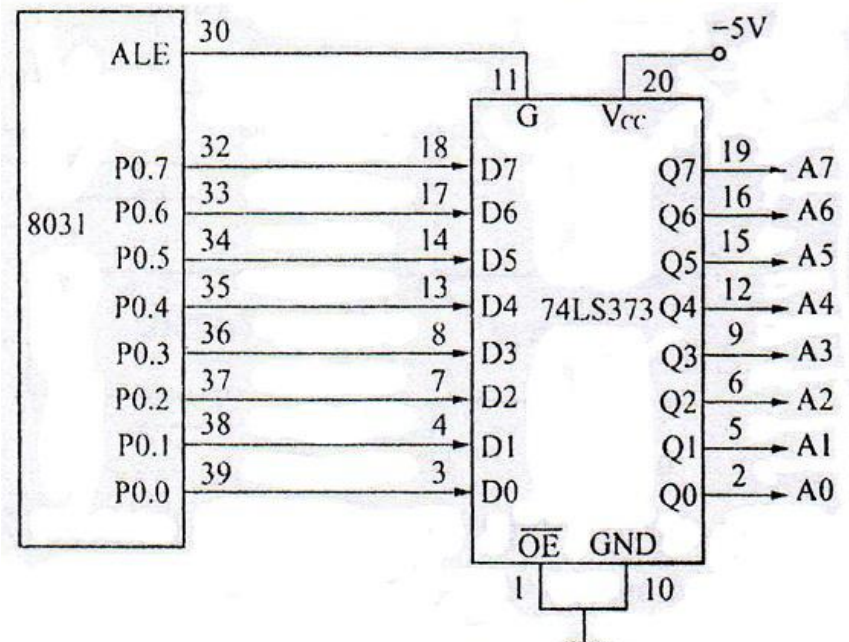
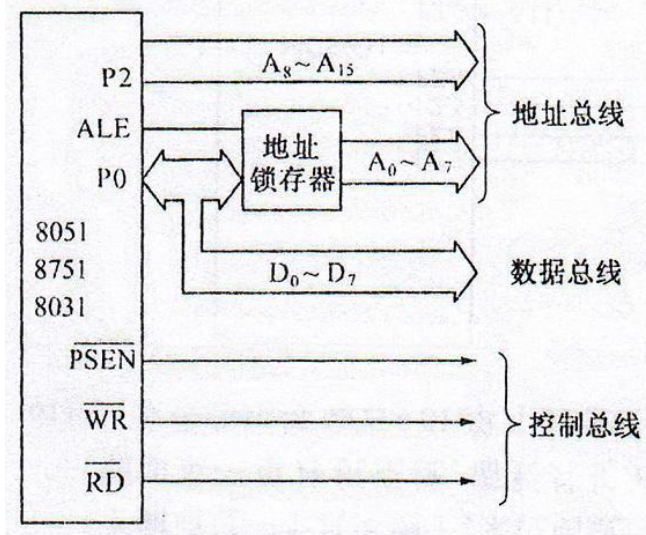
地址总线 (AB)：用于传送单片机的地址信号，进行存储单元和I/O端口的选择，单向传输。

数据总线 (DB)：用于在单片机与存储器或I/O口之间传输数据，双向传输。

控制总线 (CB)：一组控制信号线，用于CPU与存储器或I/O口的访问控制。

第8部分 MCS-51扩展存储器的设计

构造系统总线



MCS-51在扩展存储器时，数据总线和低8位的地址总线都是由P0口兼用，因此需要采用地址锁存器将它们分离出来。

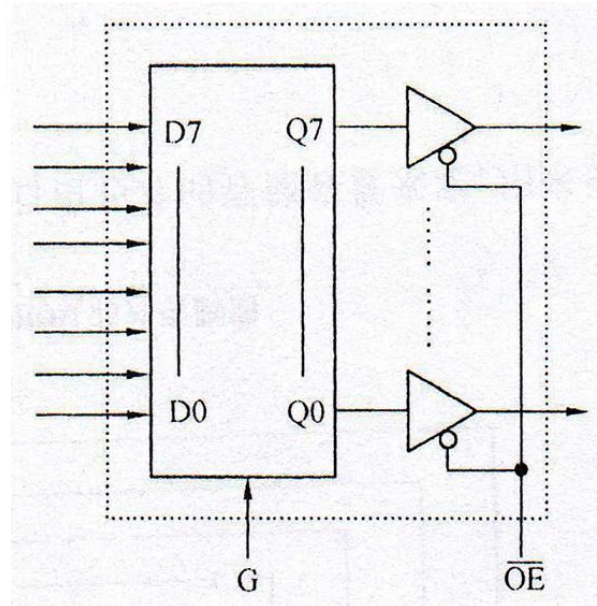
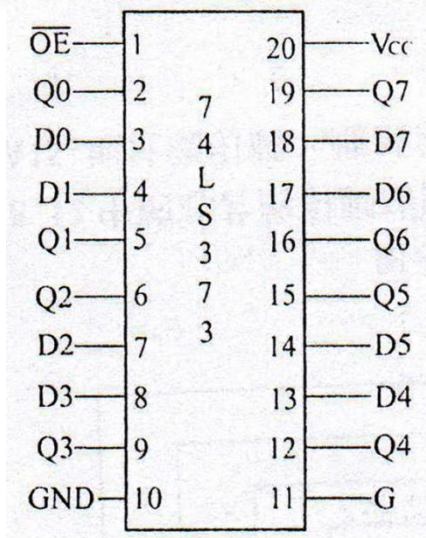
P0口在ALE变高时送出低8位有效地址信号，在ALE下降沿将低8位地址信号锁存，随后P0口将输出数据信号。

第8部分 MCS-51扩展存储器的设计

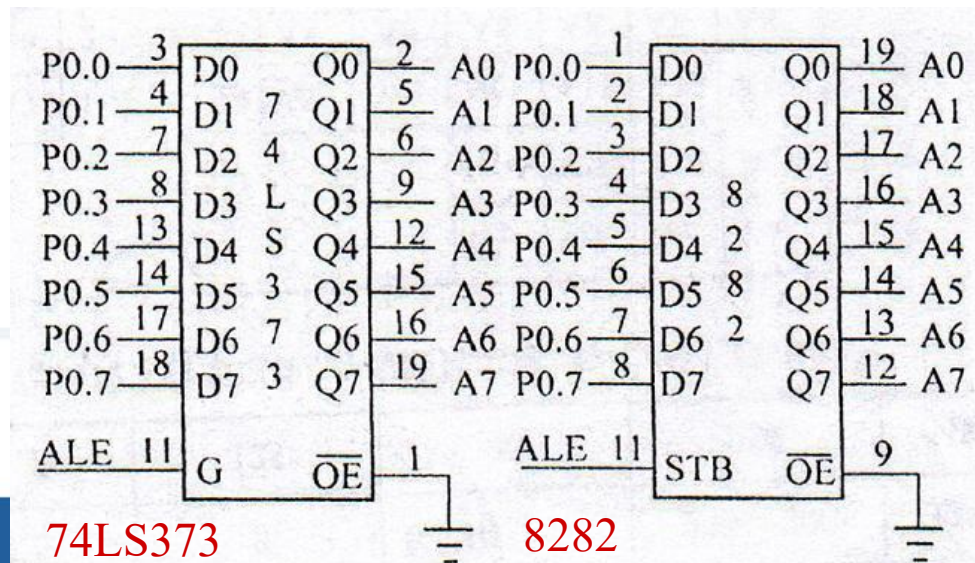
地址空间的分配和外部地址锁存器

外部地址锁存器

P0口兼用数据总线和低8位地址总线，需要用锁存器通过时序将数据信号和地址信号分离出来。常用的锁存器有74LS373、74LS573、8282等。



\overline{OE}	G	D	Q
0	1	1	1
0	1	0	0
0	0	x	不变
1	x	x	高阻态



构造系统总线

地址总线的构造:

P0口 (P0.0~P0.7) 经锁存器接存储器低8位地址线(A0~A7)。

P2口 (P2.0~P2.7) 与存储器高8位地址线(A8~A15)相连接;

数据总线的构造:

P0口与存储器的8位数据线 (D0~D7) 相连接。

控制总线的构造:

ALE 作为低8位地址的锁存控制信号;

$\overline{\text{PSEN}}$ 作为扩展程序存储器的读选通信号;

$\overline{\text{EA}}$ 作为内外程序存储器的选择控制信号;

$\overline{\text{RD}}$ 和 $\overline{\text{WR}}$ 作为扩展数据存储器 and I/O口的读选通、写选通信号。

构造系统总线

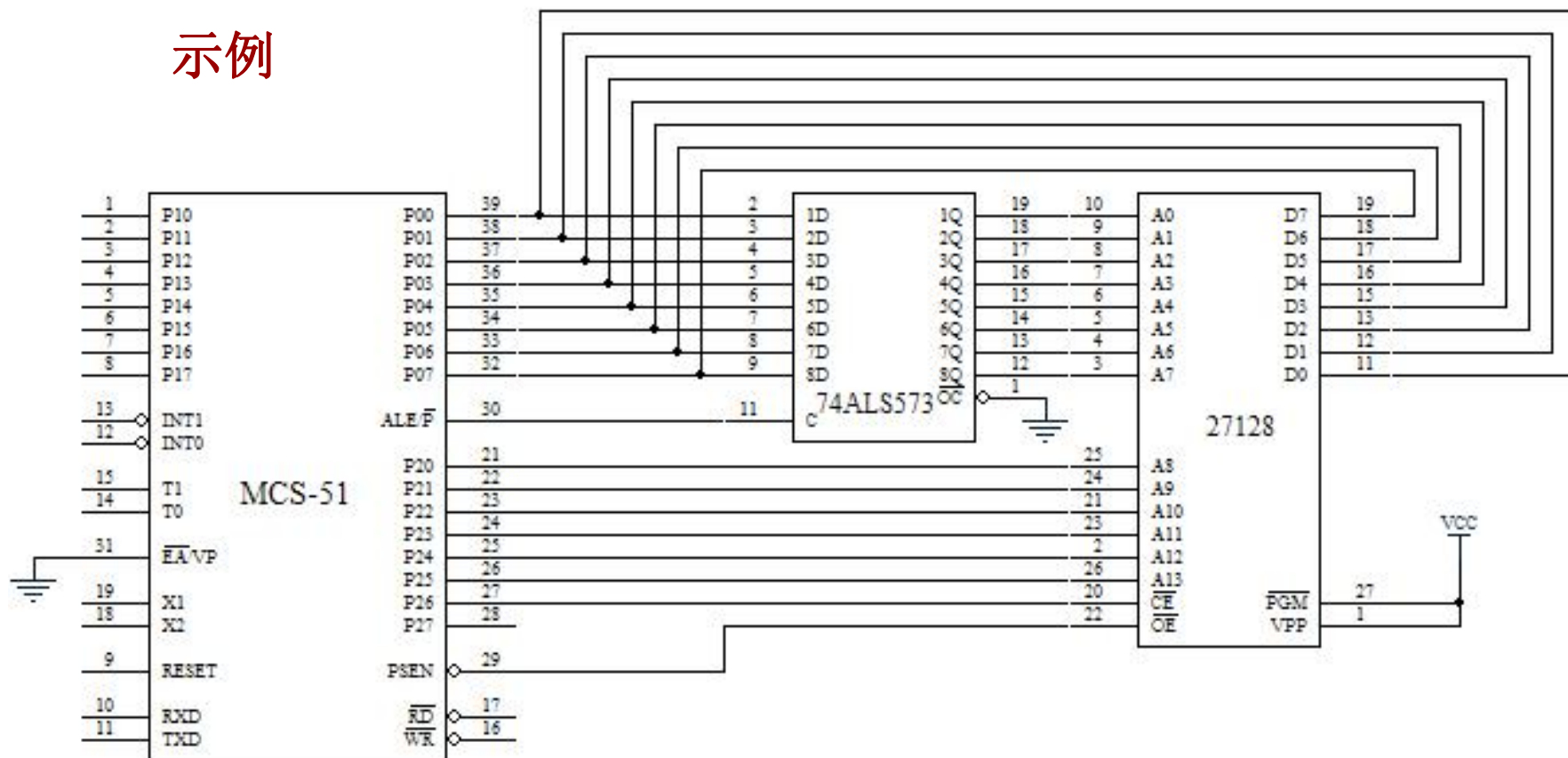
此外，扩展存储器或I/O口还需要片选信号，一般片选信号的产生有两种方法：**线选法**、**译码法**。

可以看出，在进行了外部存储器扩展后，P0、P2和部分P3口就已经被占用了，能够作为I/O口使用的只有P1口和部分P3口。这也是为什么在扩展了存储器的情况下，通常也需要进一步扩展I/O口的原因之一。

第8部分 MCS-51扩展存储器的设计

构造系统总线

示例



地址空间的分配和外部地址锁存器

存储器地址空间分配

存储器地址空间分配：将程序和数据的64Kbyte存储空间分配给各个程序存储器、数据存储器芯片，并且使各存储器芯片的所有存储器单元地址都不发生重叠，避免数据访问冲突。

片选信号：在存储器数据访问时，用于选择某一存储器芯片或者某一存储地址范围的信号。片选信号通常由地址线译码产生，用于产生片选信号的地址位称为高位地址，而用于产生存储单元选择的地址位称为低位地址。

地址分配方法：常用的地址分配方法有两种：线选法和译码法。

地址空间的分配和外部地址锁存器

存储器地址空间分配 ---- 线选法

线选法就是直接利用MCS-51的高位地址线作为存储器芯片（或者I/O接口芯片）的片选信号。

优点：电路简单，无需译码电路。 缺点：寻址效率低，每个存储单元的地址不唯一，地址空间不连续。

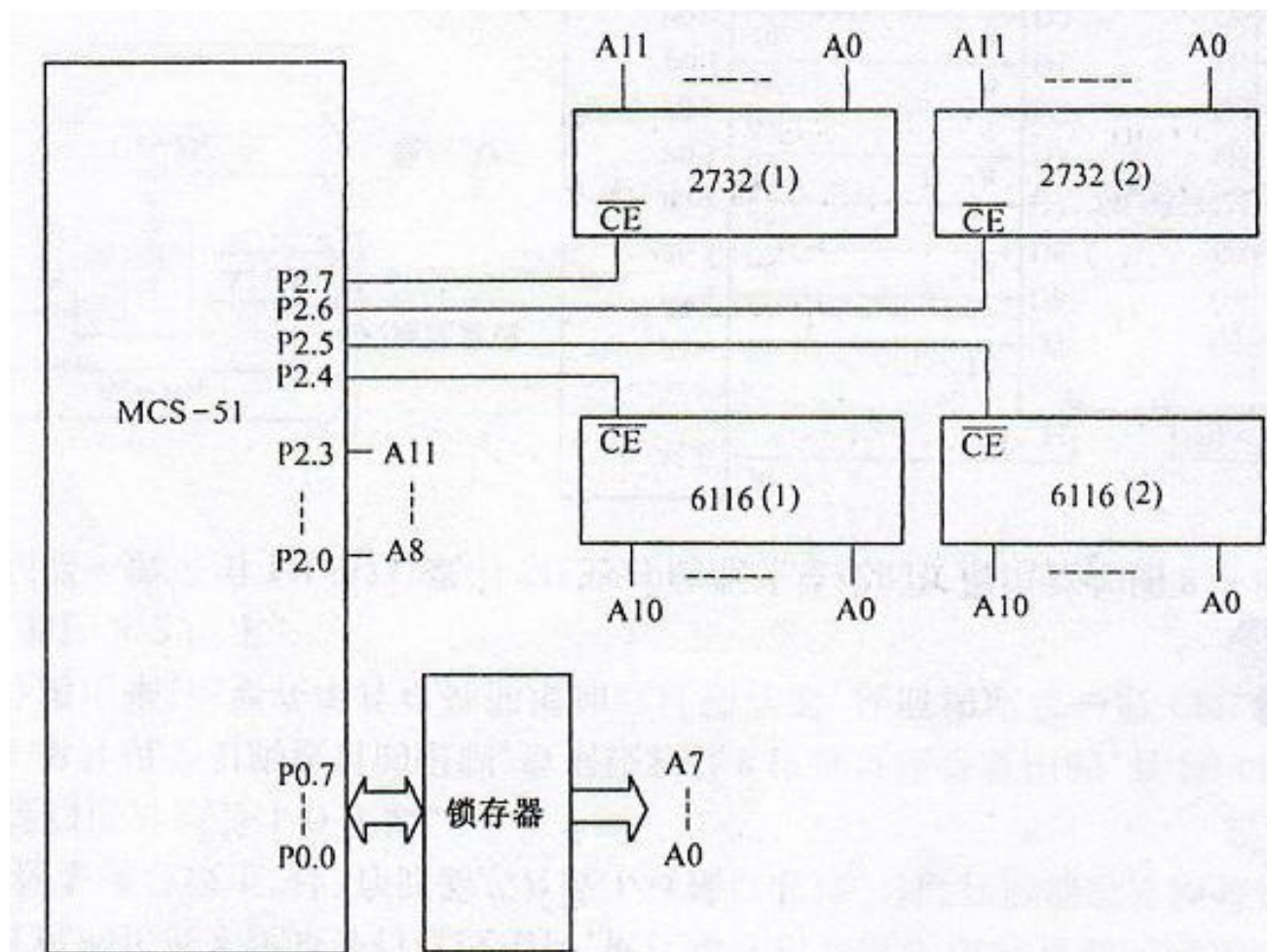
例：某单片机系统采用线选法外扩8Kbyte的EPROM（2片2732），4Kbyte的RAM（2片6116）

第8部分 MCS-51扩展存储器的设计

地址空间的分配和外部地址锁存器

存储器地址空间分配

----- 线选法



第8部分 MCS-51扩展存储器的设计

地址空间的分配和外部地址锁存器

2732 (1) 的地址范围: **7000H~7FFFH**

P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
0	1	1	1	0 或 1	0 或 1	0 或 1	0 或 1

选中2732 (1) 时, P2口 (高8位的地址) 各引脚状态, 地址范围: **70H~7FH**

P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
0 或 1	0 或 1	0 或 1	0 或 1	0 或 1	0 或 1	0 或 1	0 或 1

选中2732 (1) 时, P0口 (低8位的地址) 各引脚状态, 地址范围: **00H~FFH**

第8部分 MCS-51扩展存储器的设计

地址空间的分配和外部地址锁存器

2732 (2) 的地址范围: **B000H~BFFFH**

P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
1	0	1	1	0 或 1	0 或 1	0 或 1	0 或 1

选中2732 (2) 时, P2口 (高8位的地址) 各引脚状态, 地址范围: **B0H~BFH**

P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
0 或 1	0 或 1	0 或 1	0 或 1	0 或 1	0 或 1	0 或 1	0 或 1

选中2732 (2) 时, P0口 (低8位的地址) 各引脚状态, 地址范围: **00H~FFH**

第8部分 MCS-51扩展存储器的设计

地址空间的分配和外部地址锁存器

6116 (1) 的地址范围: **E800H~EFFFH**

P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
1	1	1	0	1	0 或 1	0 或 1	0 或 1

选中6116 (1) 时, P2口 (高8位的地址) 各引脚状态, 地址范围: **E8H~EFH**

P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
0 或 1	0 或 1	0 或 1	0 或 1	0 或 1	0 或 1	0 或 1	0 或 1

选中6116 (1) 时, P0口 (低8位的地址) 各引脚状态, 地址范围: **00H~FFH**

第8部分 MCS-51扩展存储器的设计

地址空间的分配和外部地址锁存器

6116 (2) 的地址范围: **D800H~DFFFH**

P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
1	1	0	1	1	0 或 1	0 或 1	0 或 1

选中6116 (2) 时, P2口 (高8位的地址) 各引脚状态, 地址范围: **D8H~DFH**

P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
0 或 1	0 或 1	0 或 1	0 或 1	0 或 1	0 或 1	0 或 1	0 或 1

选中6116 (2) 时, P0口 (低8位的地址) 各引脚状态, 地址范围: **00H~FFH**

问题: 根据上面的例子说明线选法存储单元地址不唯一、地址空间不连续的缺点。

地址空间的分配和外部地址锁存器

存储器地址空间分配 ---- 译码法

译码法使用MCS-51的高位地址线进行译码，根据存储器芯片（或者I/O接口芯片）的地址分配范围产生片选信号。

优点：寻址效率高，地址空间连续。

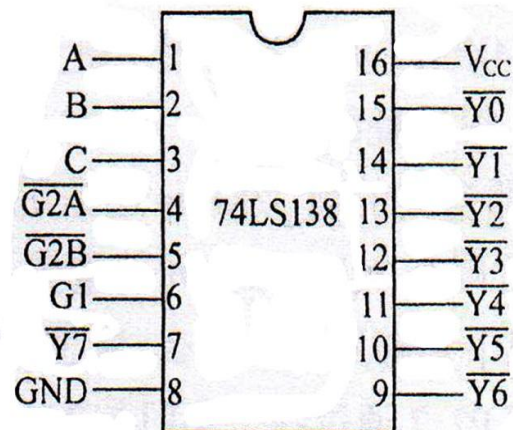
译码法一般使用译码芯片，常用的译码芯片有74LS138（3-8译码器）、74LS139（双2-4译码器）、74LS154（4-16译码器）等。

第8部分 MCS-51扩展存储器的设计

地址空间的分配和外部地址锁存器

存储器地址空间分配 ---- 译码法

74LS138引脚图



74LS138真值表

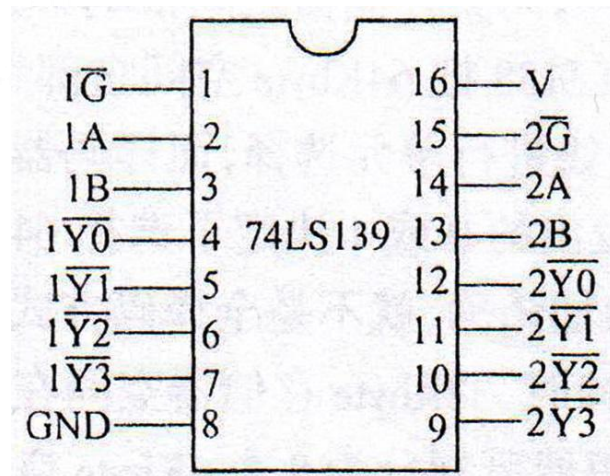
输 入						输 出							
G1	$\overline{G2A}$	$\overline{G2B}$	C	B	A	$\overline{Y7}$	$\overline{Y6}$	$\overline{Y5}$	$\overline{Y4}$	$\overline{Y3}$	$\overline{Y2}$	$\overline{Y1}$	$\overline{Y0}$
1	0	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	0	0	1	1	1	0	1	1	1	1
1	0	0	1	0	1	1	1	0	1	1	1	1	1
1	0	0	1	1	0	1	0	1	1	1	1	1	1
1	0	0	1	1	1	0	1	1	1	1	1	1	1
其 他 状 态			×	×	×	1	1	1	1	1	1	1	1

第8部分 MCS-51扩展存储器的设计

地址空间的分配和外部地址锁存器

存储器地址空间分配 ---- 译码法

74LS139引脚图



74LS139真值表

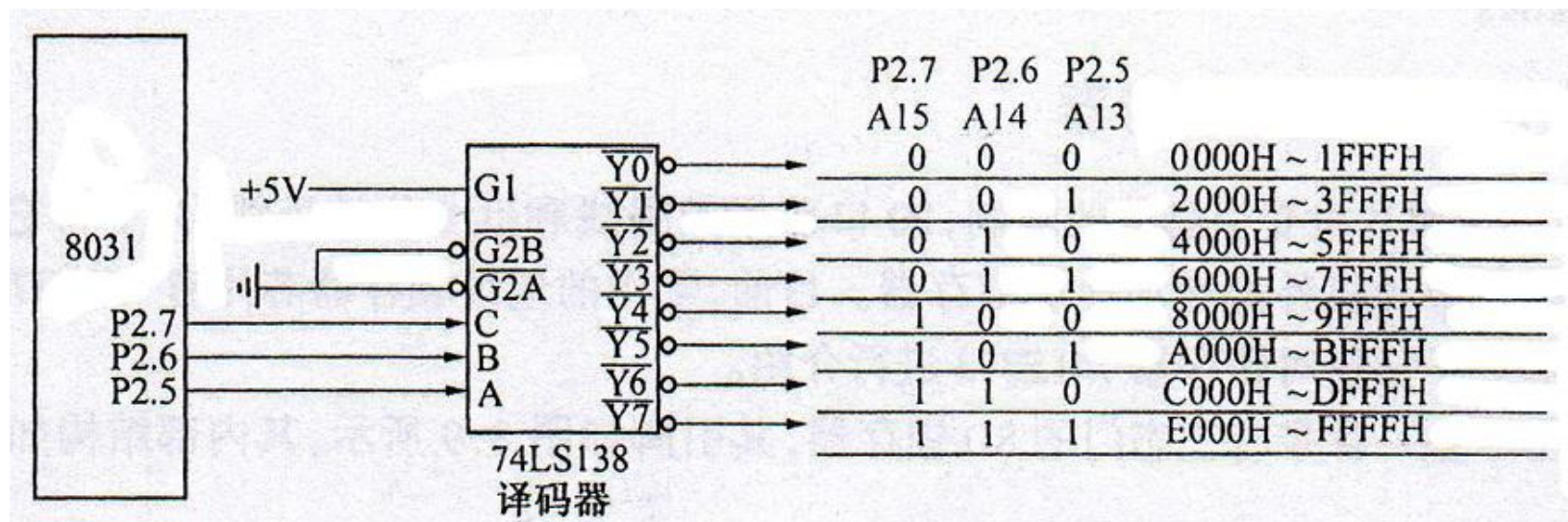
输 入 端			输 出 端			
允许	选 择					
\overline{G}	B	A	$\overline{Y0}$	$\overline{Y1}$	$\overline{Y2}$	$\overline{Y3}$
1	x	x	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

第8部分 MCS-51扩展存储器的设计

地址空间的分配和外部地址锁存器

存储器地址空间分配 ---- 译码法

例：要扩展8片8Kbyte的RAM6264，如何通过74LS138把64Kbyte的数据存储器空间分配给各个芯片。



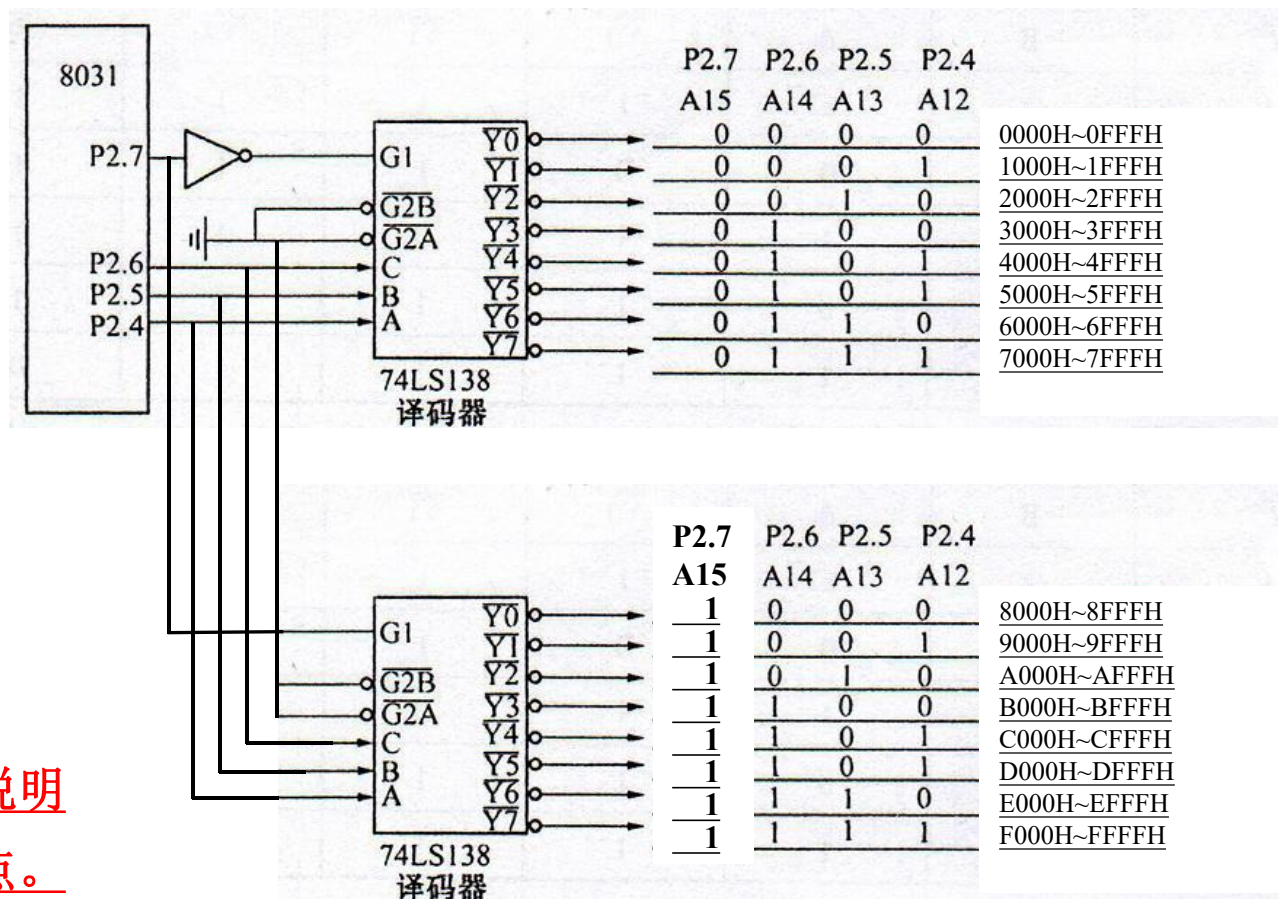
第8部分 MCS-51扩展存储器的设计

地址空间的分配和外部地址锁存器

存储器地址空间分配 ---- 译码法

例：要扩展16片
4Kbyte的RAM，
如何通过74LS138
把64Kbyte的数据
存储器空间分配给
各个芯片。

问题：根据上面的例子说明
线选法寻址效率低的缺点。



程序存储器EPROM的扩展

ROM芯片分类

ROM: 只读存储器（Read Only Memory），在电源关断后存储器中保存的数据不丢失（非易失性）。通常需要专门的设备写入数据，在程序运行中只能读出数据。

- 掩膜ROM;
- 可编程ROM（PROM, Programmable ROM）;
- EPROM（Erasable Programmable ROM）;
- E2PROM（Electrically Erasable Programmable ROM）;
- Flash ROM（闪烁存储器）

常用EPROM芯片介绍（自学）



程序存储器EPROM的扩展

程序存储器的操作时序

MCS-51单片机访问外部程序存储器的控制信号有：

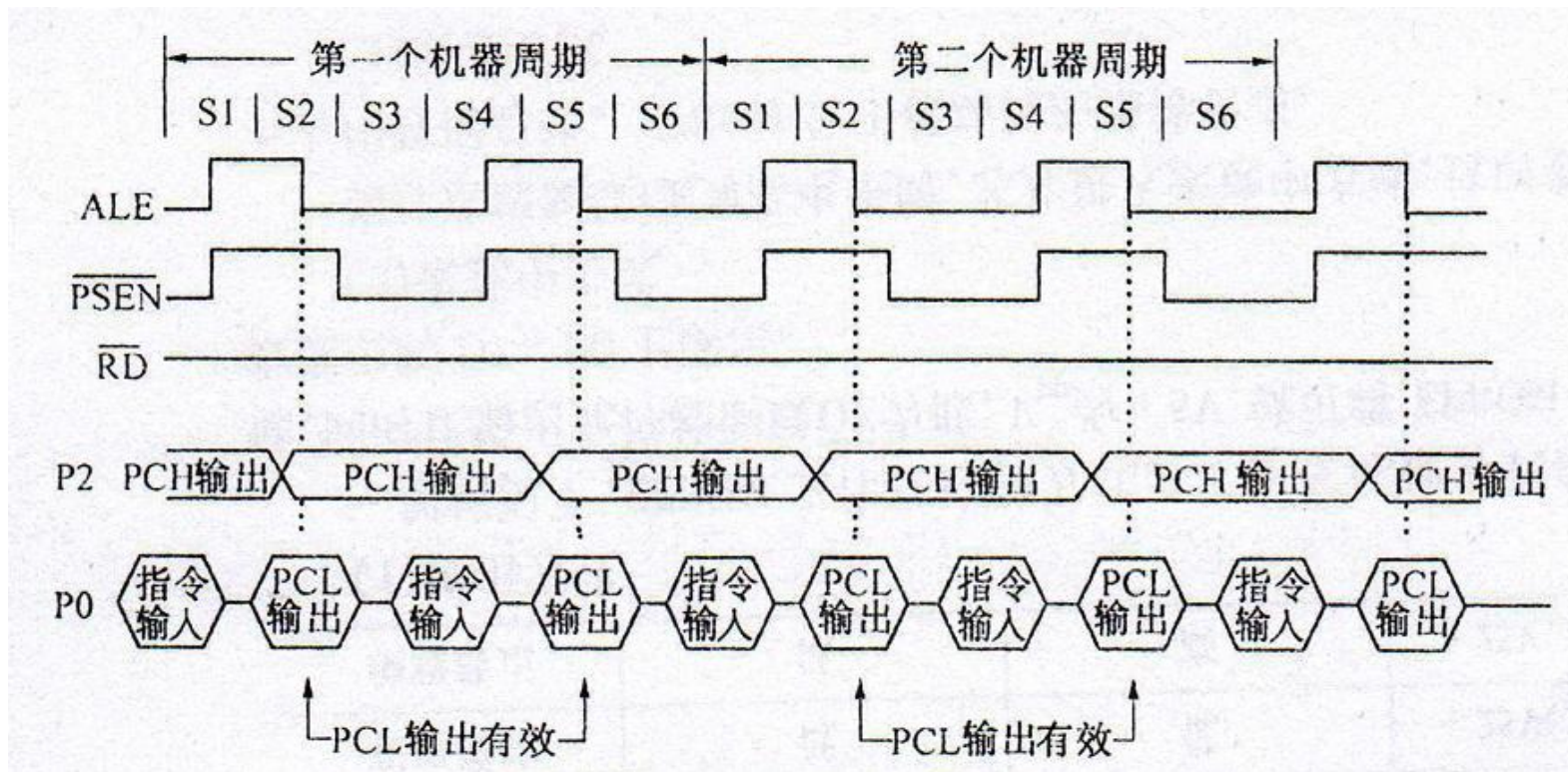
- **ALE**：用于低8位地址锁存控制；
- **PSEN**：片外程序存储器“读选通”控制信号，通常接外扩EPROM的 \overline{OE} 引脚；
- **\overline{EA}** ：片内、片外程序存储器访问的控制信号。 \overline{EA} 为“1”时，访问片内程序存储器，为“0”时，访问片外程序存储器。

MCS-51单片机的外部程序存储器操作时序有两种： 执行非MOVX指令的时序、 执行MOVX指令的时序

第8部分 MCS-51扩展存储器的设计

程序存储器EPROM的扩展

程序存储器的操作时序

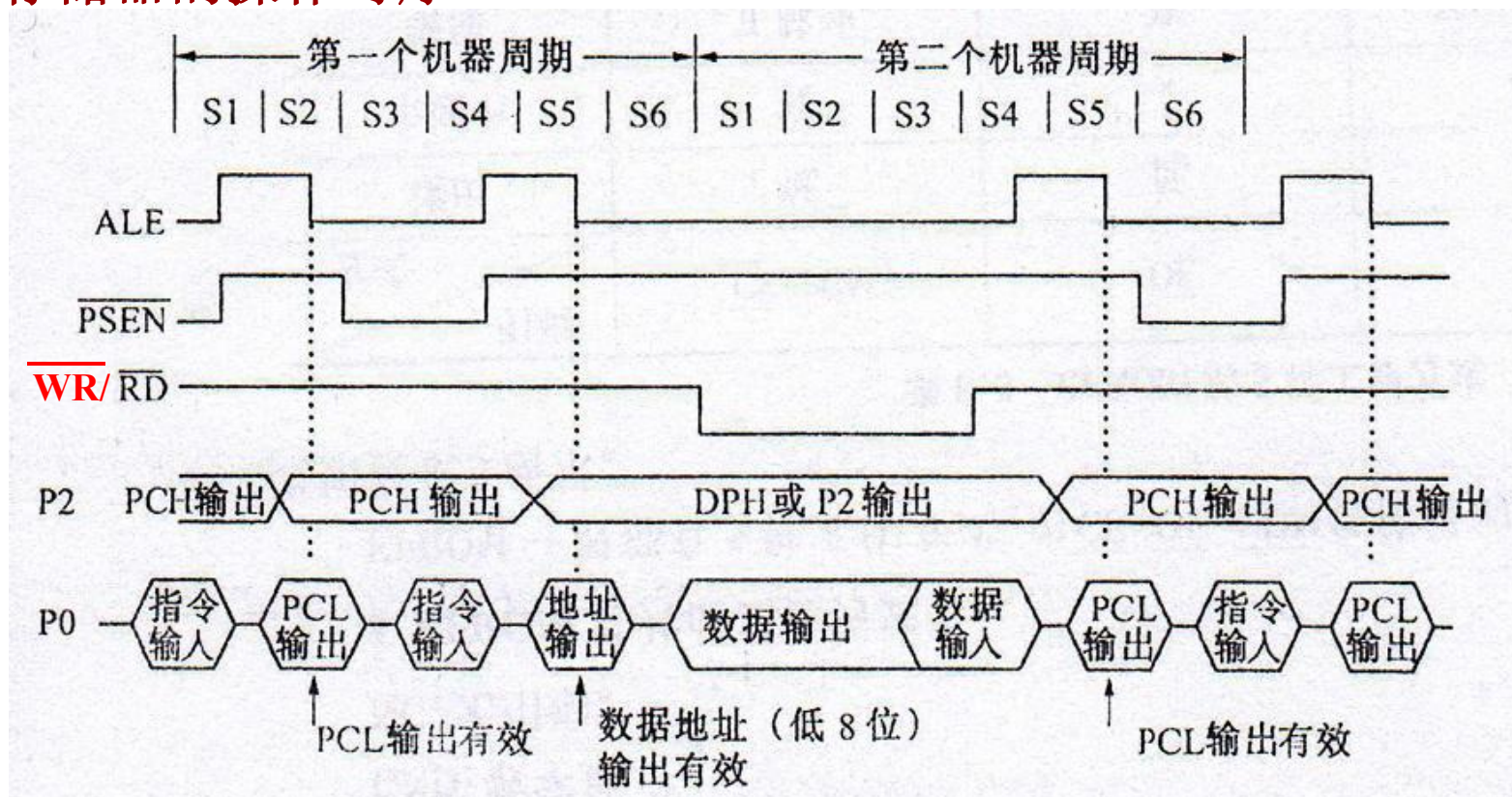


外部程序存储器的操作时序---执行非MOVX指令的时序

第8部分 MCS-51扩展存储器的设计

程序存储器EPROM的扩展

程序存储器的操作时序



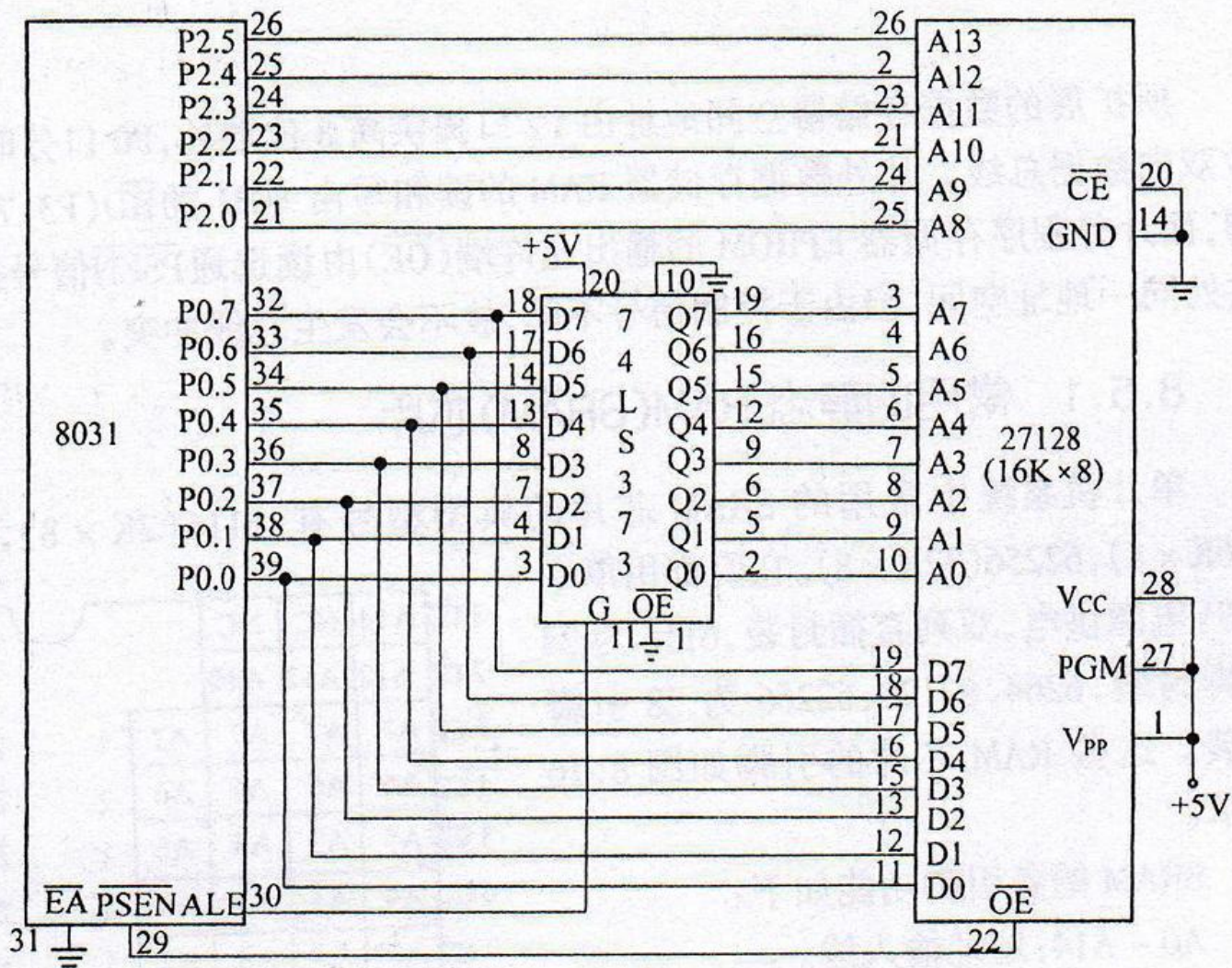
外部程序存储器的操作时序---执行MOVX指令的时序

第8部分 MCS-51扩展存储器的设计

程序存储器EPROM的扩展

典型的EPROM
接口电路

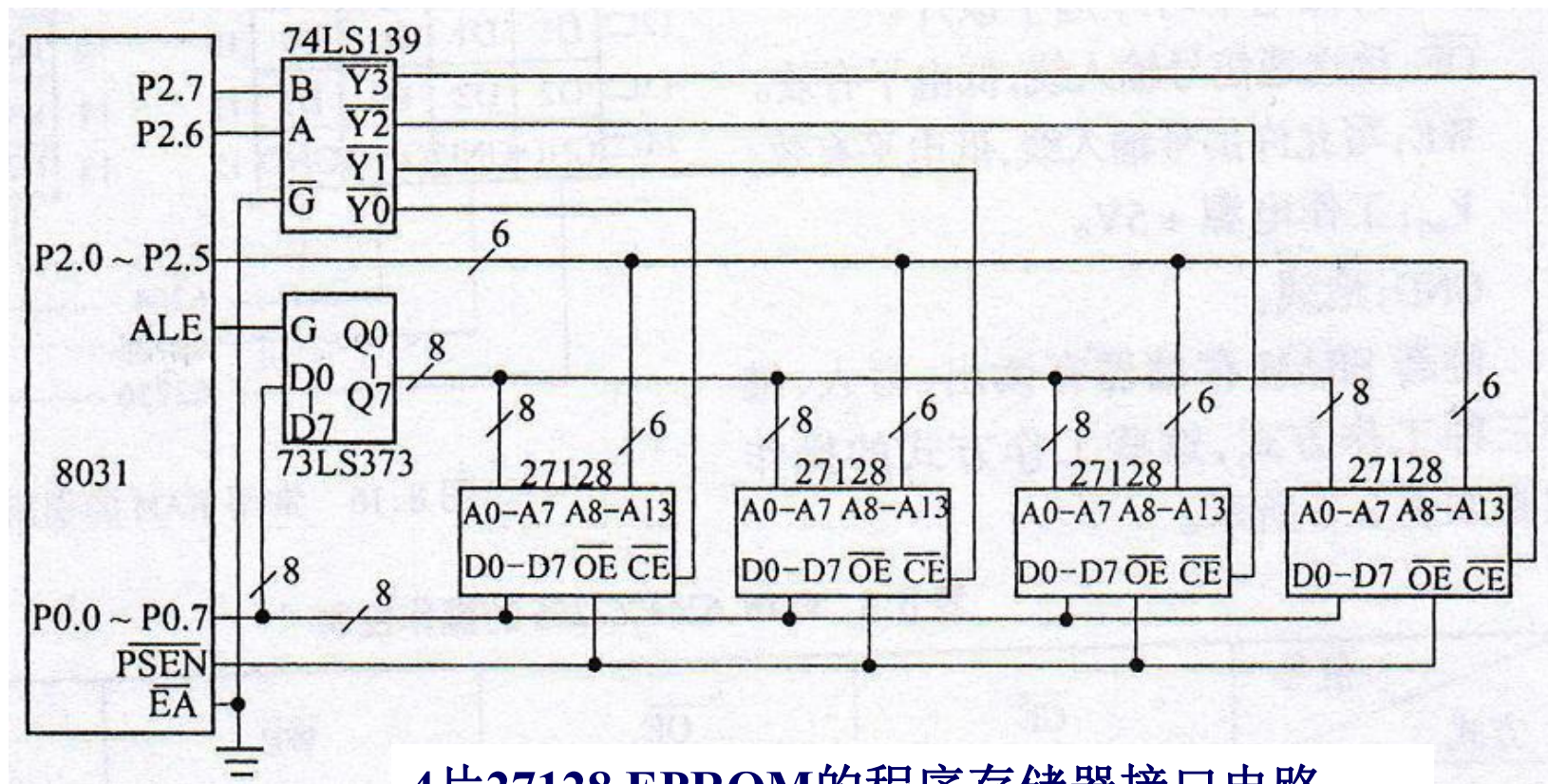
单片27128 EPROM
的程序存储器接口
电路



第8部分 MCS-51扩展存储器的设计

程序存储器EPROM的扩展

典型的EPROM接口电路



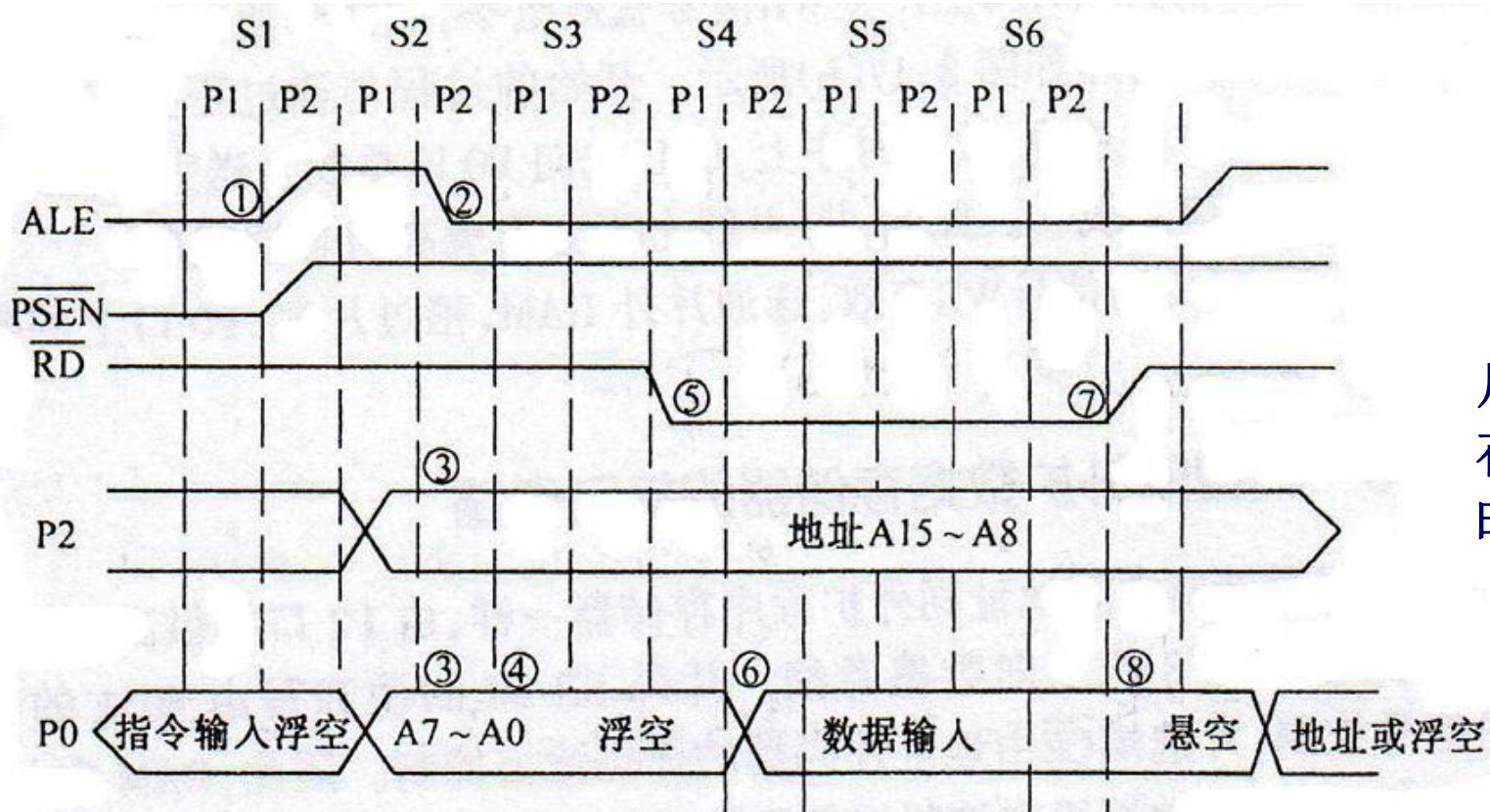
4片27128 EPROM的程序存储器接口电路

第8部分 MCS-51扩展存储器的设计

静态数据存储器的扩展

常用的静态RAM (SRAM) 芯片 (P225-----自学)

外扩数据存储器的读写操作时序

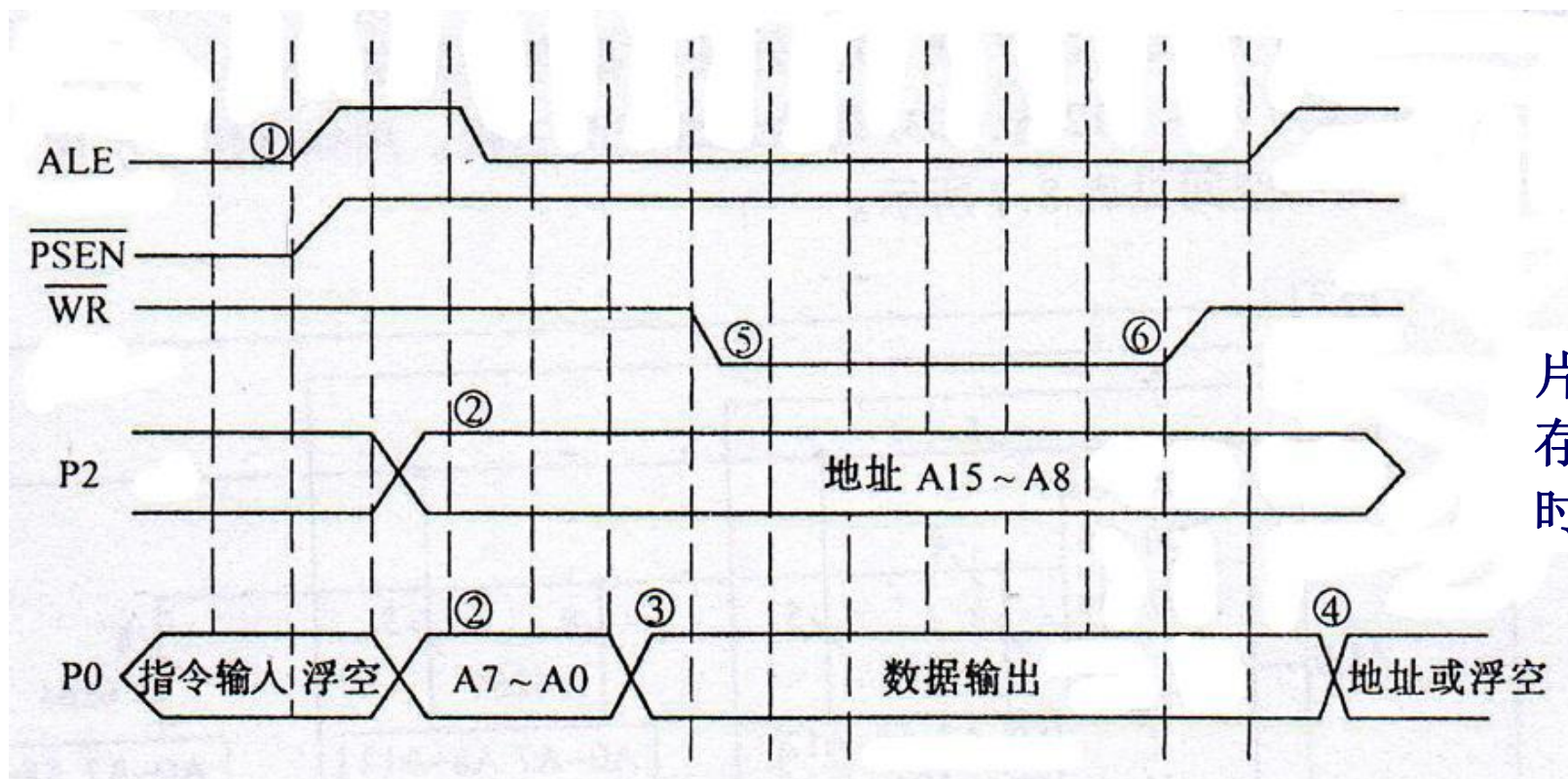


片外数据
存储器读
时序

第8部分 MCS-51扩展存储器的设计

静态数据存储器的扩展

外扩数据存储器的读写操作时序

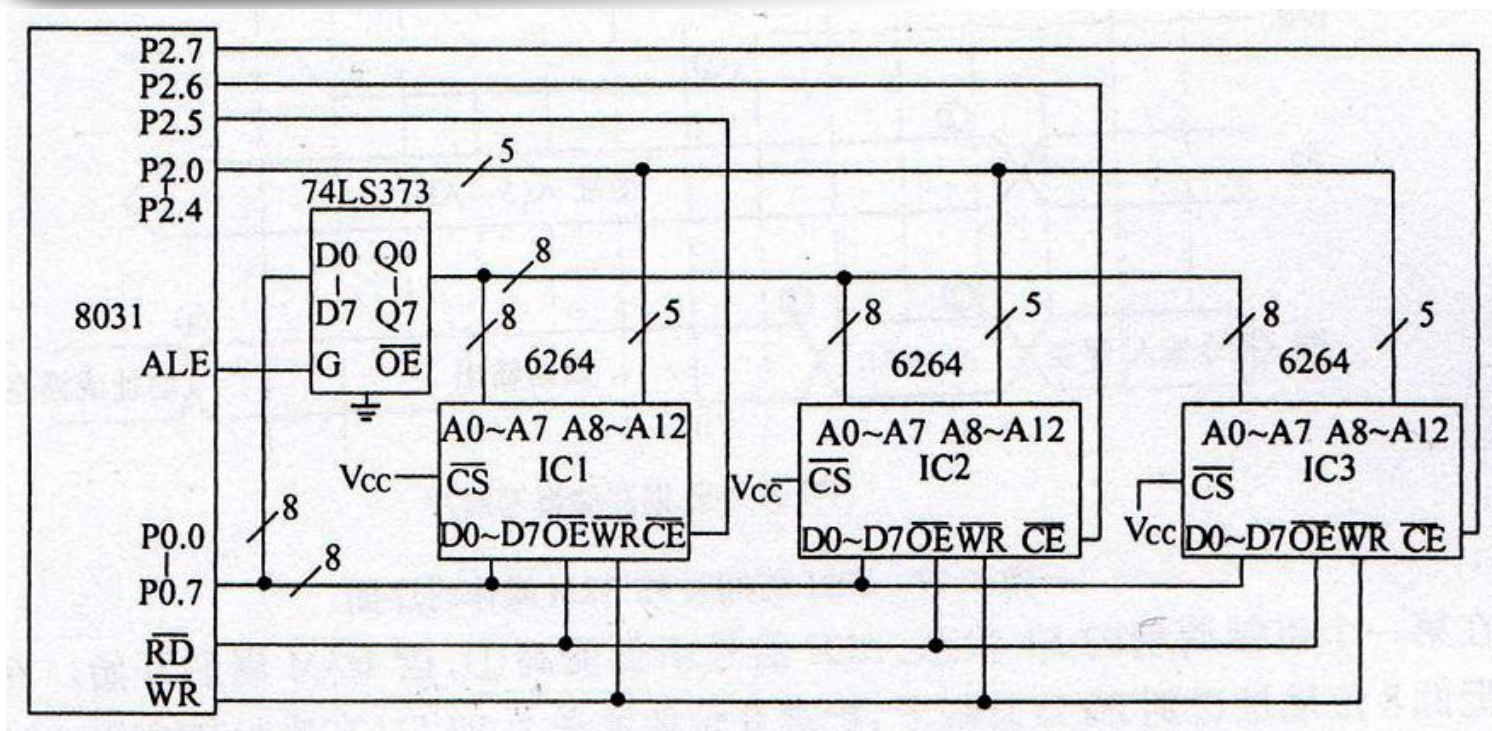


片外数据
存储器写
时序

第8部分 MCS-51扩展存储器的设计

静态数据存储器的扩展

典型的外扩数据存储器的接口电路



线选法扩展3片6264
电路图

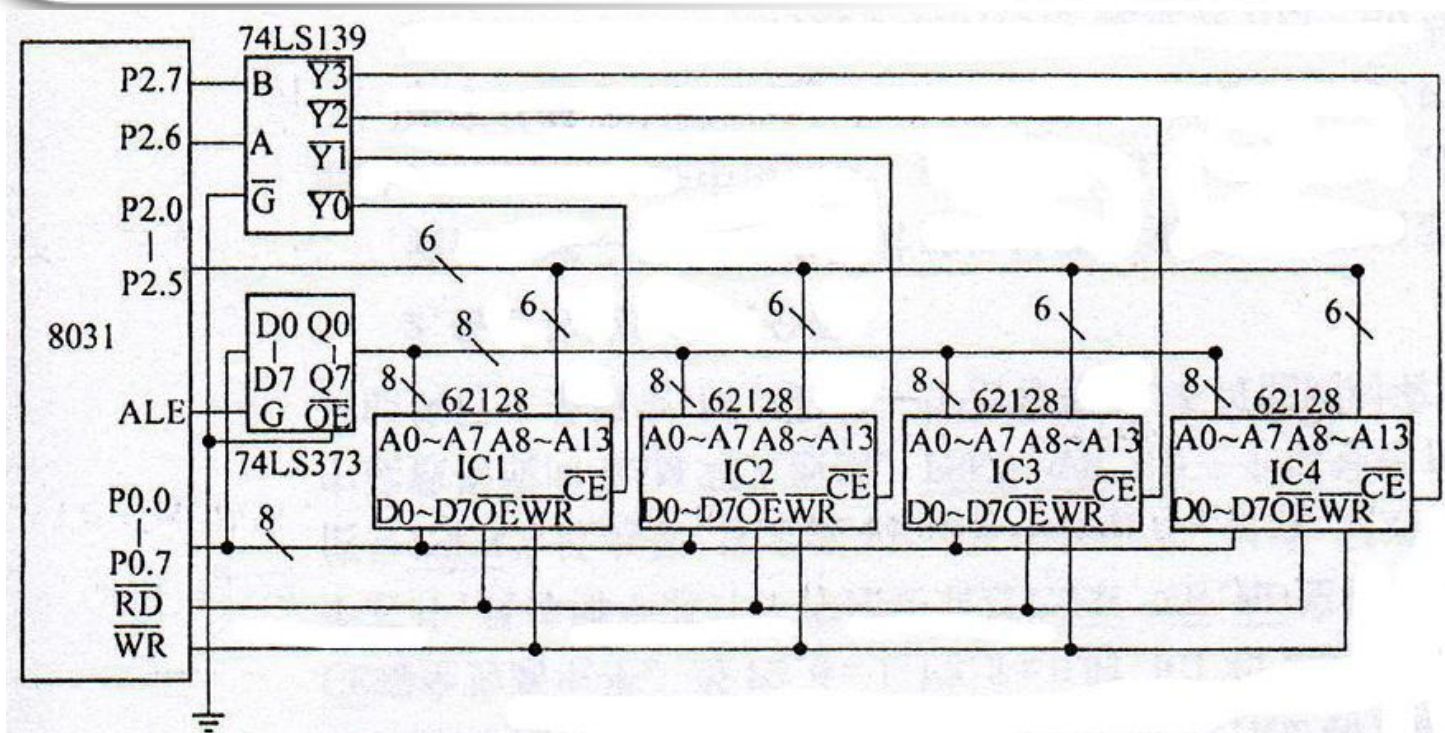
P2.7	P2.6	P2.5	选中芯片	地址范围	存储容量
1	1	0	IC1	C000H ~ DFFFH	8K
1	0	1	IC2	A000H ~ BFFFH	8K
0	1	1	IC3	6000H ~ 7FFFH	8K

存储空间表

第8部分 MCS-51扩展存储器的设计

静态数据存储器的扩展

典型的外扩数据存储器的接口电路



译码法扩展4
片62128电路
图

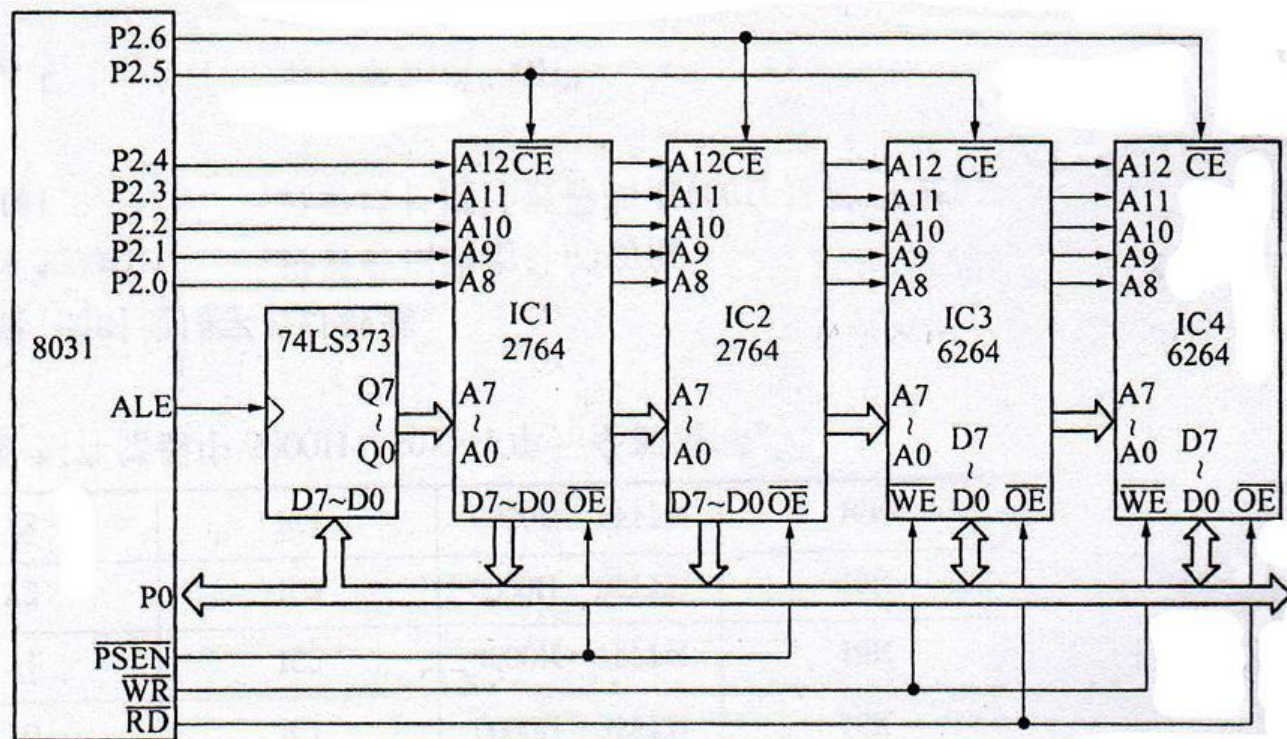
2~4 译码器输入		2~4 译码器	选中芯片	地址范围	存储容量
P2.7	P2.6	有效输出			
0	0	$\overline{Y0}$	IC1	0000H ~ 3FFFH	16K
0	1	$\overline{Y1}$	IC2	4000H ~ 7FFFH	16K
1	0	$\overline{Y2}$	IC3	8000H ~ BFFFH	16K
1	1	$\overline{Y3}$	IC4	C000H ~ FFFFH	16K

存储空间表

第8部分 MCS-51扩展存储器的设计

EPROM和RAM的综合扩展

综合扩展的硬件接口电路



例 线选法综合扩展电路图

存储空间表

(P2.7=0) :

2000H~3FFFH

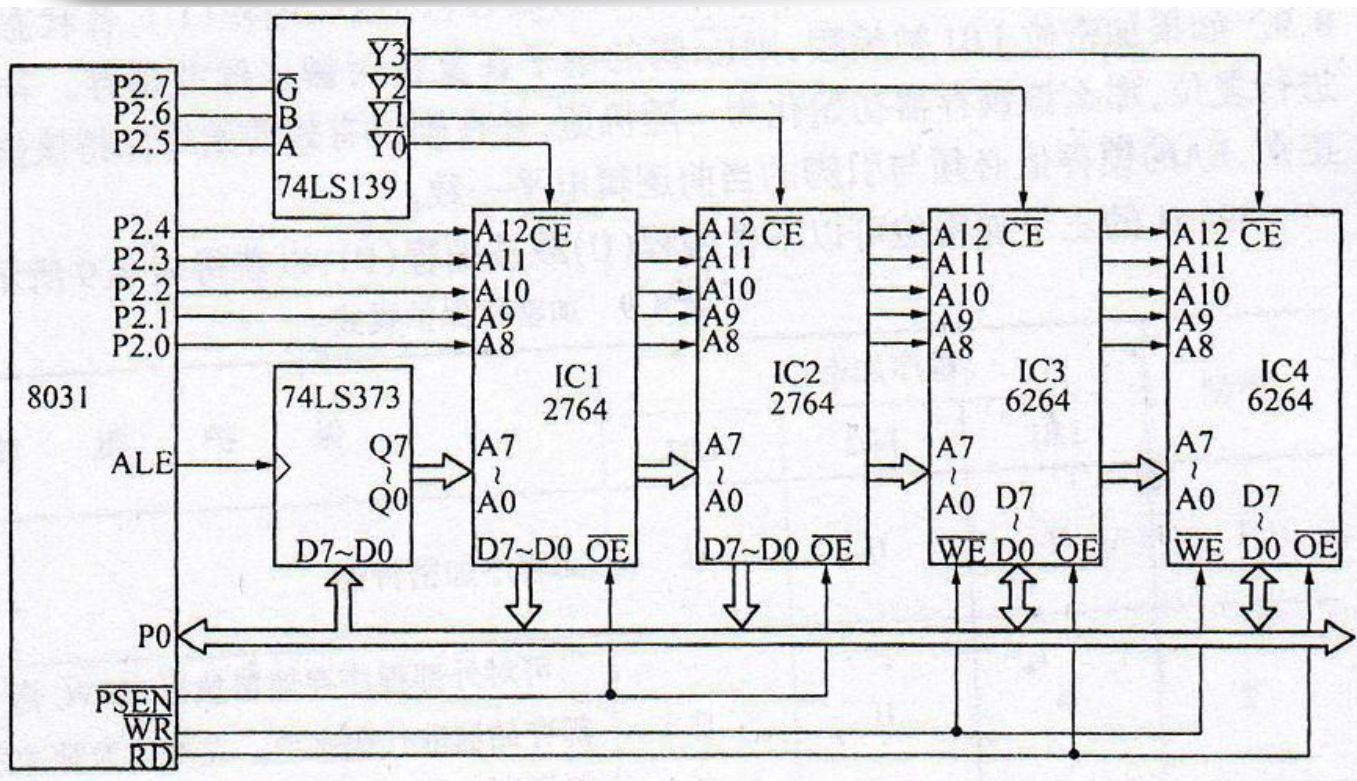
4000H~5FFFH

P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
空	0	1	x	x	x	x	x	x	x	x	x	x	x	x	x
空	1	0	x	x	x	x	x	x	x	x	x	x	x	x	x

第8部分 MCS-51扩展存储器的设计

EPROM和RAM的综合扩展

综合扩展的硬件接口电路



芯 片	地址范围
IC4	6000H ~ 7FFFH
IC3	4000H ~ 5FFFH
IC2	2000H ~ 3FFFH
IC1	0000H ~ 1FFFH

存储空间表

例 译码法综合扩展电路图

作业

现有8031单片机、74LS373锁存器、1片2764 EPROM（8KB程序存储器）和2片6116 RAM（2KB数据存储器），请使用译码法将它们组成一个单片机应用系统，要求：

- 1) 画出硬件电路连线图，并标注主要引脚；
- 2) 指出该应用系统程序存储器空间和数据存储器空间各自的地址范围。