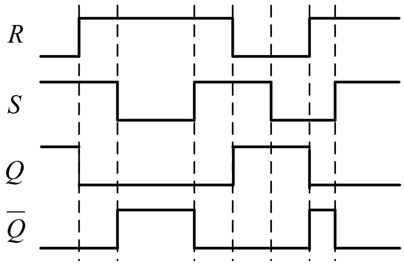
习 题

1．解：



3．解： CP=0 时，$R_D=S_D=\mathbf{0}$，$Q^{n+1}=Q^n$；

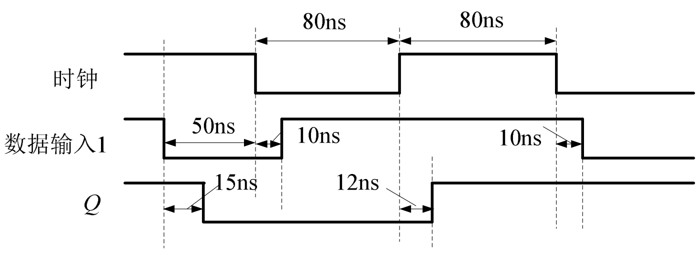
CP=1 时， $R_D=R\overline{S}$ ，$S_D=S$；

$$Q^{n+1}=S_D+\overline{R_D}Q^n=S+\overline{R\overline{S}}Q^n=S+\overline{R}Q^n$$

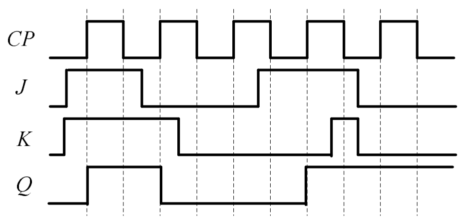
不管 S、R 输入何种组合，锁存器均不会出现非正常态。

5．解：（1）系统的数据输入建立时间 t_{SUsys}=或门的传输延迟+异或门的传输延迟+锁存器的建立时间−与门的传输延迟=$t_{pdOR}+t_{pdXOR}+t_{SU}-t_{pdAND}$ =18ns+22ns+20ns−16 ns =44ns。

（2）



6．解：



8．解：当 C=0 时，$J=X$ ，$K=X$

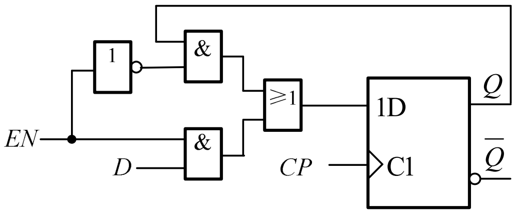
$Q^{n+1}=J\overline{Q^n}+\overline{K}Q^n=X\overline{Q^n}+\overline{X}Q^n$ 为 T 触发器

当 C=1 时，　J=X　$K=\overline{X}$

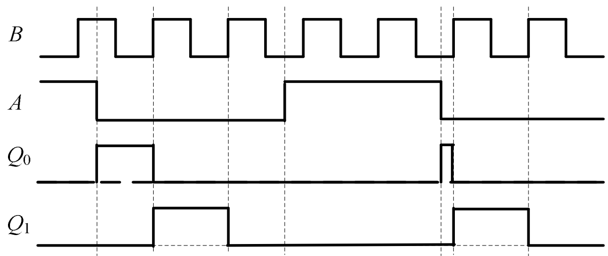
$Q^{n+1}=J\overline{Q^n}+\overline{K}Q^n=X$　　为 D 触发器

9.　解：当 EN=0 ，Q^{n+1}=Q^n ；当 EN=1，Q^{n+1}=D ，则

$Q^{n+1}=\overline{EN}\cdot Q_1^n+EN\cdot D$，令 $D=\overline{EN}\cdot Q_1^n+EN\cdot D$ 即可。

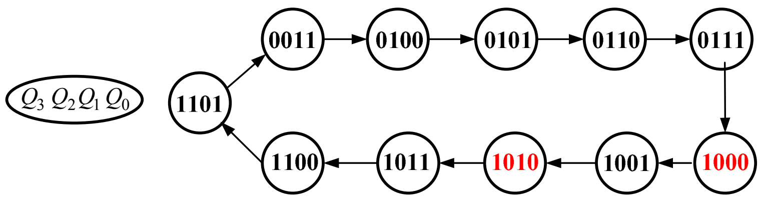


10．解：

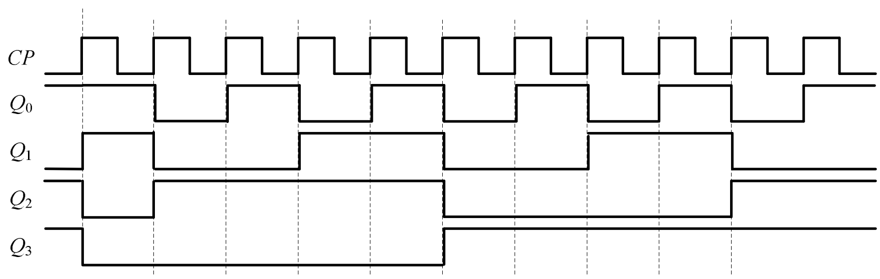


根据电路波形，它是一个单发脉冲发生器，A 可以为随机信号，每一个 A 信号的下降沿后；Q_1 端输出一个脉宽周期的脉冲。

12．解：（1）



（2）



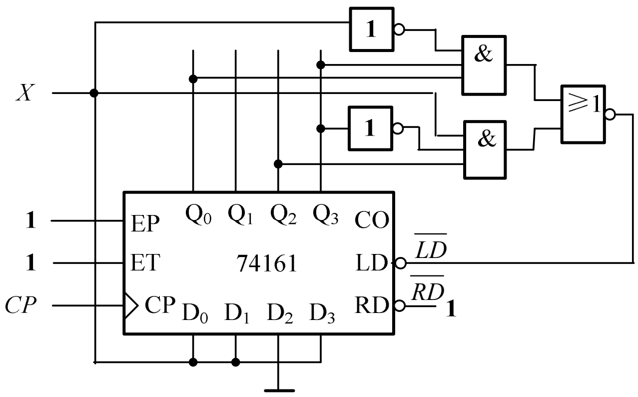
（3）11 进制加法计数器

（4）修改 74LS85 的 $B_3B_2B_1B_0$ 输入即可。

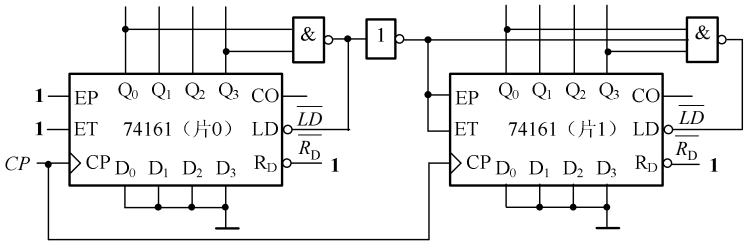
15．　解：X=**0** 时，计至 9 时置 **0000**：$\overline{LD}=\overline{Q_3Q_0}$，$D_3D_2D_1D_0$=**0000**

X=**1** 时，计至 4 时置 **1011**：$\overline{LD}=\overline{\overline{Q_3}Q_2}$，$D_3D_2D_1D_0$=**1011**

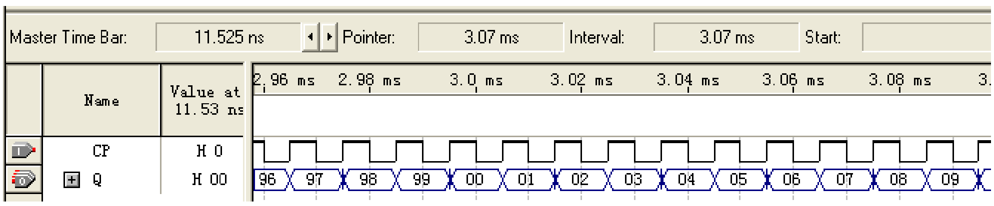
$\overline{LD}=\overline{\overline{X}Q_3Q_0+X\overline{Q_3}Q_2}$，$D_2$=0，$D_3$=$D_1$=$D_0$=$X$



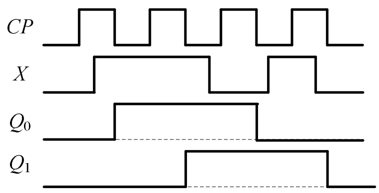
16．解：当片 1 计数到 1001 时，置数信号 $\overline{LD}$ 为低电平，这时，再来一个 CP 脉冲，下一个状态就进入 0000。应该等到片 0 和片 1 的状态同时为 1001 时，片 1 的下一个状态才能进入 0000。改进后电路为：



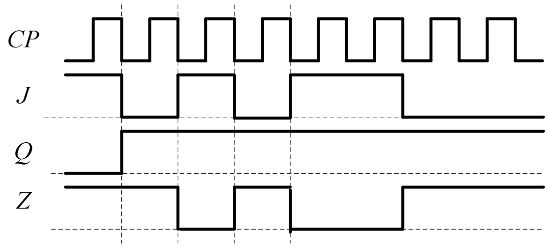
对改进后电路的仿真结果：



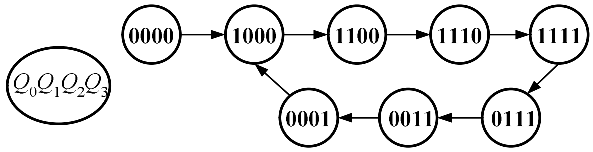
17.解：



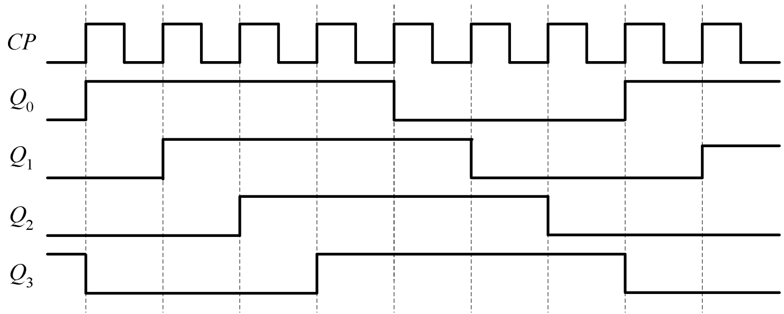
18．解：



19． 解：从图所示电路图可知，S_1S_0=**01**，根据表 4.8-3 所示的 74LS194 功能表，电路处于右移功能。右移数据输入端的逻辑表达式为：$D_{IR}=\overline{Q_2Q_3}$。图中异步清零端 $\overline{R_D}$ 加了一负脉冲，使寄存器的初始状态 $Q_0Q_1Q_2Q_3$=**0000**。根据右移寄存器的逻辑功能，可画出如图所示的状态图。

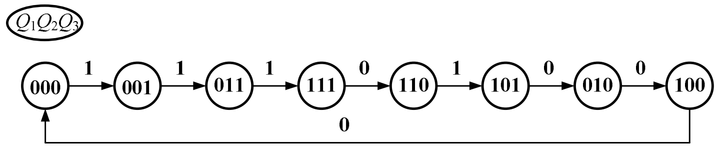


根据状态图，可画出如图所示的时序图。



从上述时序图可知，CP 与 Q_2 之间的关系为七分频。

20．解：（1）确定移位寄存器的 M 个独立状态。将序列码 00011101 按照每 3 位一组，划分为 8 个状态，其状态转换图如图所示。



（2） 根据 8 个不同状态列出移位寄存器的状态表和反馈函数表，求出反馈函数 F 的表达式。

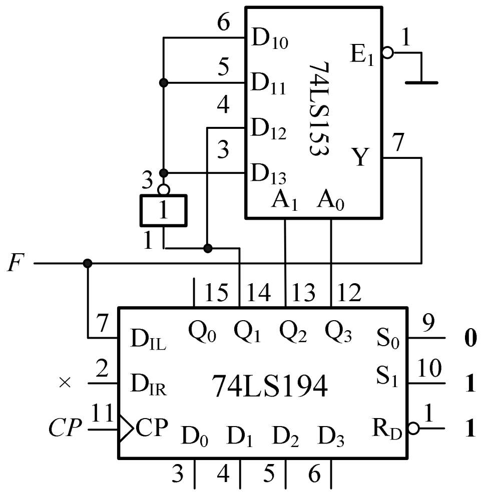
Q_1^n	Q_2^n	Q_3^n	F
0	**0**	**0**	**1**
0	**0**	**1**	**1**
0	**1**	**1**	**1**

1	1	1	0
1	1	0	1
1	0	1	0
0	1	0	0
1	0	0	0

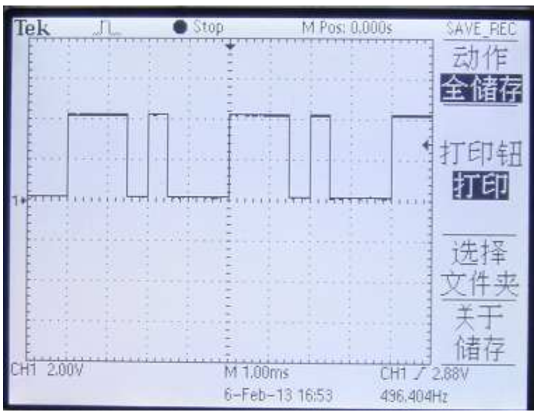
逻辑表达式

$$F=\overline{Q_1}\,\overline{Q_2}\,\overline{Q_3}+\overline{Q_1}\,\overline{Q_2}Q_3+\overline{Q_1}Q_2Q_3+Q_1Q_2\overline{Q_3}$$

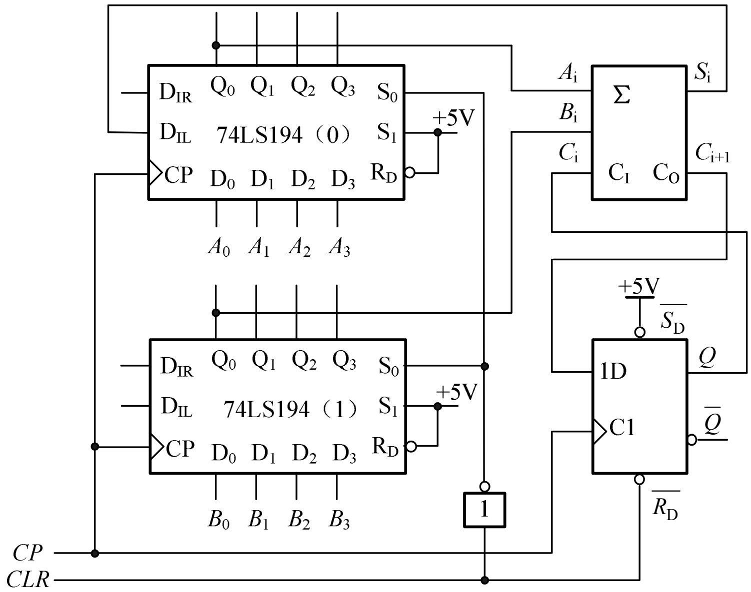
（3）逻辑图如图所示。



（4）实测波形如图所示。



21．解：

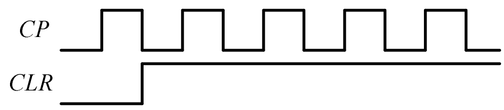


工作过程：

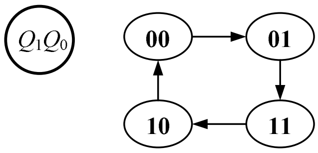
先将 *CLR* 置成低电平，将 D 触发清零，并使 74LS194 处于并行置数功能，在 *CP* 脉冲上升沿的作用下，将两个 4 位二进制数置入双向移位寄存器 74LS194；

将 *CLR* 恢复成高电平，使 74LS194 处于左移功能，在 4 个 *CP* 脉冲的作用下，完成加法运算，结果存在 79LS194（0）中，4 位加法器的进位输出存在 D 触发器中。

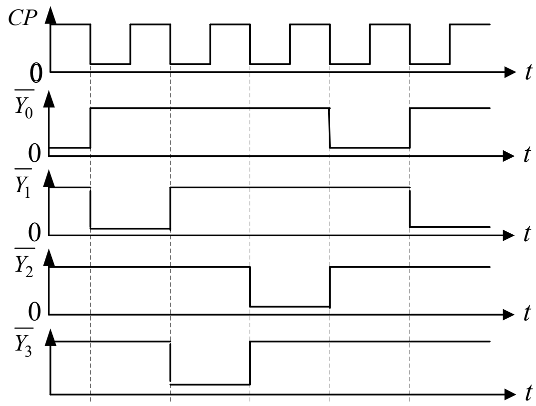
CP 和 *CLR* 的时序如下：



23．解：（1）状态转换图

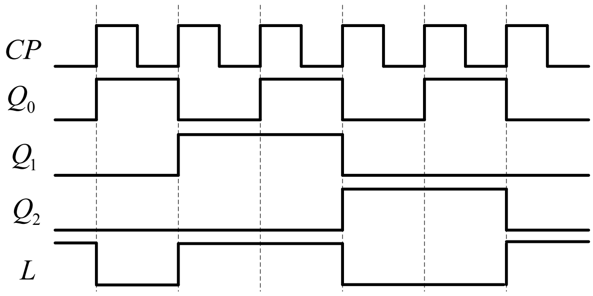


（2）波形图



24．解：（1）74161 接成 6 进制计数器

（2） 波形如下：



25．解：（1） $Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n = XY\overline{Q^n} + (X+Y)Q^n = XY + XQ^n + YQ^n$

（2） $P = X \oplus Y \oplus Q^n$

X	Y	Q^n	Q^{n+1}	P	X	Y	Q^n	Q^{n+1}	P
0	**0**	**0**	**0**	**0**	**1**	**0**	**0**	**0**	**1**
0	**0**	**1**	**0**	**1**	**1**	**0**	**1**	**1**	**0**
0	**1**	**0**	**0**	**1**	**1**	**1**	**0**	**1**	**0**
0	**1**	**1**	**1**	**0**	**1**	**1**	**1**	**1**	**1**

（3）串行加法器

26．解：（1）写出驱动方程

$J_0 = \overline{Q_2{}^n}$　　$J_1 = Q_0{}^n$　　$J_2 = Q_0{}^n Q_1{}^n$

$K_0 = \overline{Q_2{}^n}$　　$K_1 = Q_0{}^n$　　$K_2 = Q_2{}^n$

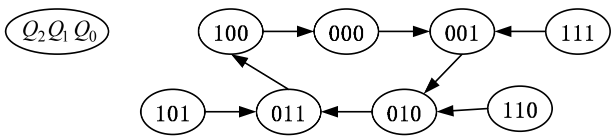
（2）写出状态方程

$$Q_0{}^{n+1} = \overline{Q_2{}^n}\,\overline{Q_0{}^n} + Q_2{}^n Q_0{}^n，\quad Q_1{}^{n+1} = Q_0{}^n \overline{Q_1{}^n} + \overline{Q_0{}^n} Q_1{}^n，\quad Q_2{}^{n+1} = Q_0{}^n Q_1{}^n \overline{Q_2{}^n}$$

（3）列出状态转换真值表

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1	1	0	0	0	0	0
0	0	1	0	1	0	1	0	1	0	1	1
0	1	0	0	1	1	1	1	0	0	1	0
0	1	1	1	0	0	1	1	1	0	0	1

（4）画出状态转换图



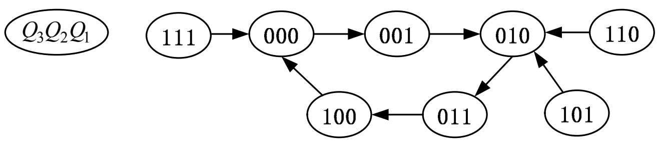
（5）自启动校验，能够自启动

（6）结论：具有自启动能力的同步五进制加法计数器。

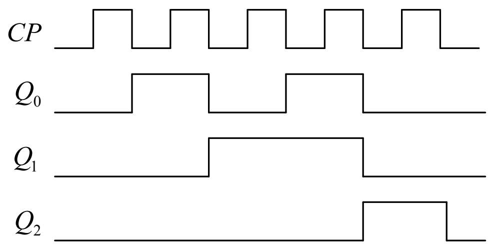
27．解：（1）写出每级触发器的状态方程

$$Q_2^{n+1}=\overline{Q_2^n}Q_1^nQ_0^n\ ,\quad Q_1^{n+1}=\overline{Q_1^n}Q_0^n+Q_1^n\overline{Q_0^n}\ ,\quad Q_0^{n+1}=\overline{Q_2^n}\ \overline{Q_0^n}$$

分析后，其状态转换图为：



所以波形图为：



电路是一个同步五进制可以自启动的加法计数器

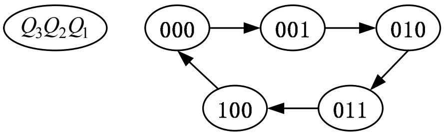
（2）$Y=(X_0\oplus Q_0)+(X_1\oplus Q_1)+(X_2\oplus Q_2)$，

当 $X_0X_2X_3$=110 时，

$Y=\overline{Q_0}+\overline{Q_1}+Q_2$，

当 $Q_2Q_1Q_0$ 出现 011 状态时，$\overline{R_D}=Y=0$ 使计数器的状态清 0，故此种情况下，整个电路功能为一个三进制加法计数器。

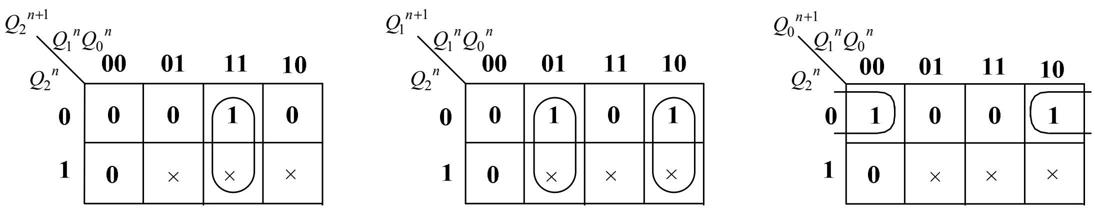
28．解：（1）状态转换图



（2）状态真值表

$Q_2{}^n$	$Q_1{}^n$	$Q_0{}^n$	$Q_2{}^{n+1}$	$Q_1{}^{n+1}$	$Q_0{}^{n+1}$	$Q_2{}^n$	$Q_1{}^n$	$Q_0{}^n$	$Q_2{}^{n+1}$	$Q_1{}^{n+1}$	$Q_0{}^{n+1}$
0	**0**	**0**	**0**	**0**	**1**	**1**	**0**	**0**	**0**	**0**	**0**
0	**0**	**1**	**0**	**1**	**0**	**1**	**0**	**1**	×0	×1	×0
0	**1**	**0**	**0**	**1**	**1**	**1**	**1**	**0**	×0	×1	×0
0	**1**	**1**	**1**	**0**	**0**	**1**	**1**	**1**	×1	×0	×0

（3）求状态方程

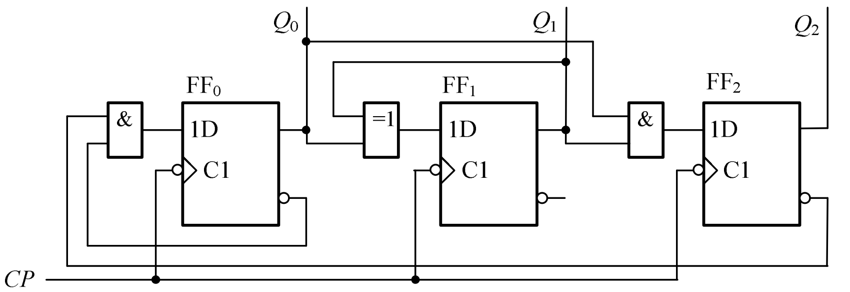


$Q_2^{n+1}=Q_1^nQ_0^n$　　　$Q_1^{n+1}=Q_1^n\overline{Q_0^n}+\overline{Q_1^n}\,Q_0^n$　　　$Q_0^{n+1}=\overline{Q_2^n}\;\overline{Q_0^n}$

（4）驱动方程

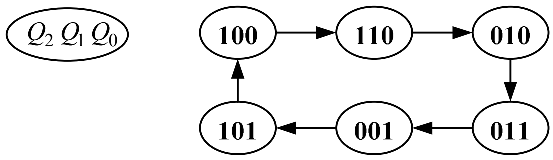
$$D_2=Q_1{}^nQ_0{}^n,\quad D_1=Q_1{}^n\oplus Q_0{}^n,\quad D_0=\overline{Q_2{}^n}\;\overline{Q_0{}^n}$$

（5）逻辑图



（6）自启动检验。根据卡诺图化简可知，3 个无效状态均在一个 CP 脉冲后进入有效循环，所以可以自启动。

29．解：将 A、B、C 分别由三个触发器（Q_2、Q_1、Q_0）的输出，则可画出状态转换图：

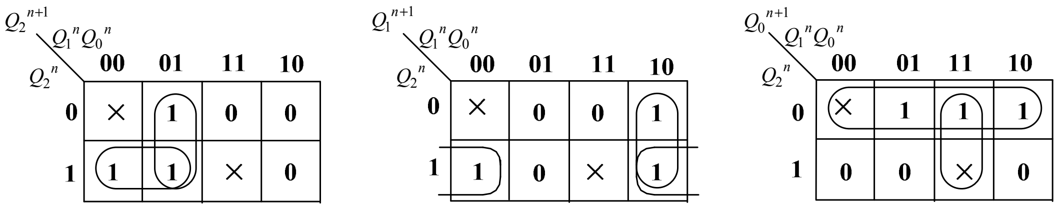


根据状态转换图列出状态真值表

（2）状态真值表

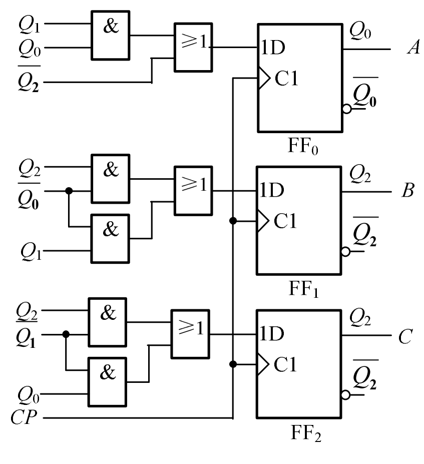
Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	**0**	**0**	×	×	×	**1**	**0**	**0**	**1**	**1**	**0**
0	**0**	**1**	**1**	**0**	**1**	**1**	**0**	**1**	**1**	**0**	**0**
0	**1**	**0**	**0**	**1**	**1**	**1**	**1**	**0**	**0**	**1**	**0**
0	**1**	**1**	**0**	**0**	**1**	**1**	**1**	**1**	×	×	×

（3）求状态方程

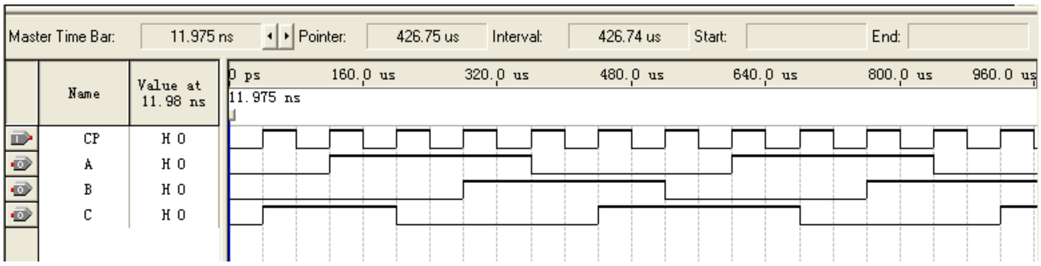


$Q_2^{n+1}=Q_2^n\overline{Q_1^n}+\overline{Q_1^n}Q_0^n$　　$Q_1^{n+1}=Q_2^n\overline{Q_0^n}+Q_1^n\overline{Q_0^n}$　　$Q_0^{n+1}=\overline{Q_2^n}+Q_1^nQ_0^n$

（4）逻辑图



（4）仿真结果



31．解：（1）根据题意列出电路的状态表：

X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Z
0	**0**	**0**	**0**	**0**	**0**
0	**0**	**1**	**0**	**1**	**0**
0	**1**	**1**	**1**	**1**	**0**
1	**0**	**0**	**0**	**1**	**0**
1	**0**	**1**	**1**	**1**	**0**
1	**1**	**1**	**0**	**0**	**1**
0	**1**	**0**	**1**×	**0**×	**0**×
1	**1**	**0**	**0**×	**0**×	**1**×

（2）状态方程：

Q_1^{n+1}　X \ $Q_1^nQ_0^n$	**00**	**01**	**11**	**10**
0	**0**	**0**	**1**	×
1	**0**	**1**	**0**	×

Q_0^{n+1}　X \ $Q_1^nQ_0^n$	**00**	**01**	**11**	**10**
0	**0**	**1**	**1**	×
1	**1**	**1**	**0**	×

Z　X \ $Q_1^nQ_0^n$	**00**	**01**	**11**	**10**
0	**0**	**0**	**0**	×
1	**0**	**0**	**1**	×

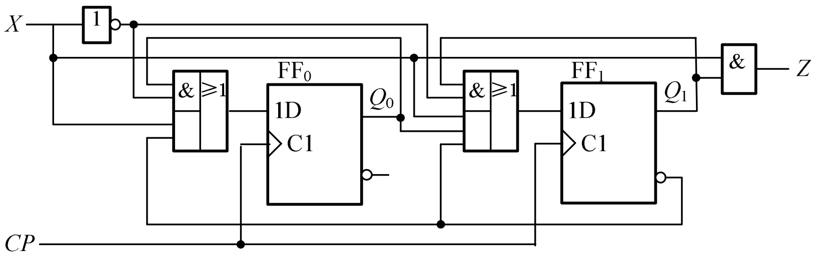
$Q_1^{n+1} = X\overline{Q_1}Q_0 + \overline{X}Q_1$，　　$Q_0^{n+1} = \overline{X}Q_0 + X\overline{Q_1}$，　　$Z = XQ_1$

（3）输出方程：$Z = XQ_1$

（4）驱动方程：

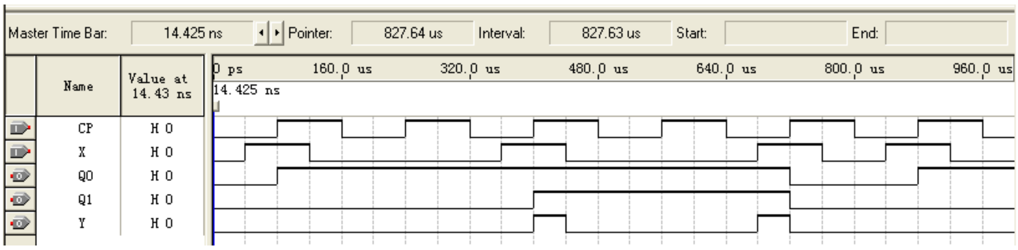
$$D_1 = X\overline{Q_1}Q_0 + \overline{X}Q_1 \qquad D_0 = \overline{X}Q_0 + X\overline{Q_1}$$

（5）电路图



（6）仿真结果

逻辑功能：该电路统计输入 1 的个数，当 X 输入 3 个 1（不需要连续输入）时，输出 Z 为 1。



32．　解：8421BCD 码只要加上 0011 就可以得到余 3BCD 码。如果 8421BCD 码并行输入，则采用一片 4 位加法器就可以实现。本设计题的 8421BCD 码是串行传输的数据，因此，可将编码转换器视为串行数据检测器，用米里型状态机来设计。

（1）画出状态转换图

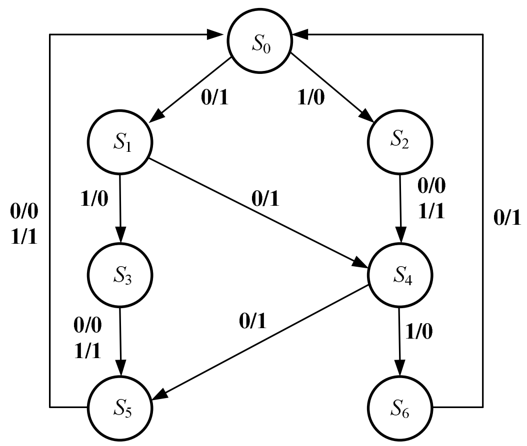
设初始状态为 S0，当 8421BCD 码第一位到达时，如果 X=0，则加上 1 以后 Y=1，进入状态 S1（表示第一次加运算后没有进位）；如果 X=1，则加上 1 以后 Y=0，进入状态 S2（表示第一次加运算后有进位）。

当 8421BCD 码第二位到达时，如果在状态 S1 且 X=0，则加上 1 后 Y=1，进入状态 S3（表示第二次加运算后没有进位）；如果在状态 S1 且 X=1，则加上 1 后 Y=0，进入状态 S4（表示第二次加运算后有进位）。如果在状态 S2 且 X=0，则加上 1 后 Y=0，进入状态 S4；如果在状态 S2 且 X=1，则加上 1 后 Y=1，进入状态 S4。

当 8421BCD 码第三位到达时，如果状态为 S3，则无任 X=0 还是为 1，进入状态 S5（无进位）；如果状态为 S4，当 X=0 时，Y=1，进入状态 S5，如果 X=1，Y=0，状态进入 S6（有进位）。

当 8421BCD 码第四位到达时，不管状态为 S5 还是 S6 均回到 S0。注意，如果状态进入 S6，则第 4 位不可能为 1。

根据上述分析，状态转换图如图所示。



（2）状态表

当前状态	下一状态		Y	
	X=0	X=1	X=0	X=1
S0	**S1**	**S2**	**1**	**0**
S1	**S3**	**S4**	**1**	**0**
S2	**S4**	**S4**	**0**	**1**
S3	**S5**	**S5**	**0**	**1**
S4	**S5**	**S6**	**1**	**0**
S5	**S0**	**S0**	**0**	**1**
S6	**S0**	—	**1**	—

（3）状态编码

为了减少逻辑门的数量，状态编码采用以下原则：

（1）在给定输入的情况下，有相同次态的状态应给予只有一位不同的相邻赋值；

（2）同一状态的次态应给予相邻赋值；

（3）在给定输入的情况下，输出相同的状态给予相邻赋值。

因此，状态编码如图所示。

Q_2^n \ $Q_1^nQ_0^n$	**00**	**01**	**11**	**10**
0	**S0**	**S1**	**S4**	**S6**
1		**S2**	**S3**	**S5**

（4）根据状态编码，列出状态转换真值表。

$Q_2^n\ Q_1^n\ Q_0^n$	$Q_2^{n+1}\ Q_1^{n+1}\ Q_0^{n+1}$		Y	
	X=0	X=1	X=0	X=1
0 0 0	**0 0 1**	**1 0 1**	**1**	**0**
0 0 1	**1 1 1**	**0 1 1**	**1**	**0**

1　0　1	0　1　1	0　1　1	0	1
1　1　1	1　1　0	1　1　0	0	1
0　1　1	1　1　0	0　1　0	1	0
1　1　0	0　0　0	0　0　0	0	1
0　1　0	0　0　0	×　×　×	1	×
1　0　0	×　×　×	×　×　×	×	×

Q_2^{n+1} \ $Q_1^n Q_0^n$ / XQ_2^n	00	01	11	10
00	0	1	1	0
01	×	0	1	0
11	×	0	1	0
10	1	0	0	×

$$Q_2^{n+1} = \overline{X}\,\overline{Q_2^n}Q_0^n + Q_2^n Q_1^n Q_0^n + X\overline{Q_1^n}\,\overline{Q_0^n}$$

Q_1^{n+1} \ $Q_1^n Q_0^n$ / XQ_2^n	00	01	11	10
00	0	1	1	0
01	×	1	1	0
11	×	1	1	0
10	0	1	1	×

$$Q_1^{n+1} = Q_0^n$$

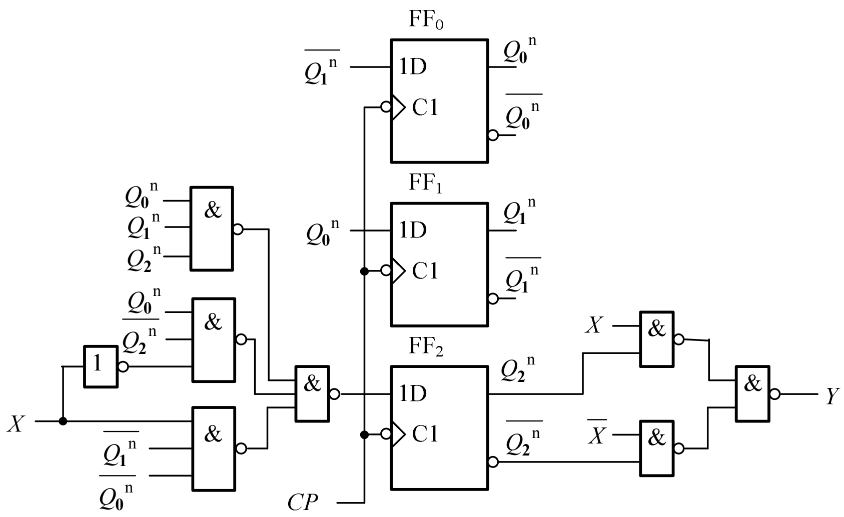
Q_0^{n+1} \ $Q_1^n Q_0^n$ / XQ_2^n	00	01	11	10
00	1	1	0	0
01	×	1	0	0
11	×	1	0	0
10	1	1	0	×

$$Q_0^{n+1} = \overline{Q_1^n}$$

Y \ $Q_1^n Q_0^n$ / XQ_2^n	00	01	11	10
00	1	1	1	1
01	×	0	0	0
11	×	1	1	1
10	0	0	0	×

$$Y = \overline{X}\,\overline{Q_2^n} + XQ_2^n$$

（5）逻辑图


FF0
1D
C1
FF1
1D
C1
FF2
1D
C1
&
1
X
CP
Y