


第1章 Quartus II 与 ModelSim 安装

1.1 Quartus II 安装与破解

1. 双击  **QuartusSetup-13.1.0.162.exe** 开始 Quartus II 13.1 的安装，如图 1-1 所示。

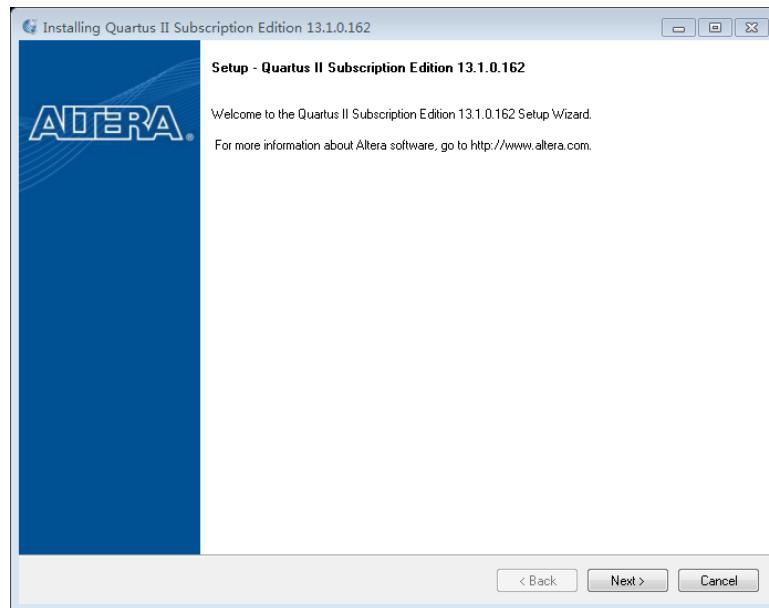


图 1-1 开始安装 Quartus II 13.1 向导第 1 个页面

2. 点击 Next 按钮，选择接受协议，如图 1-2 所示。

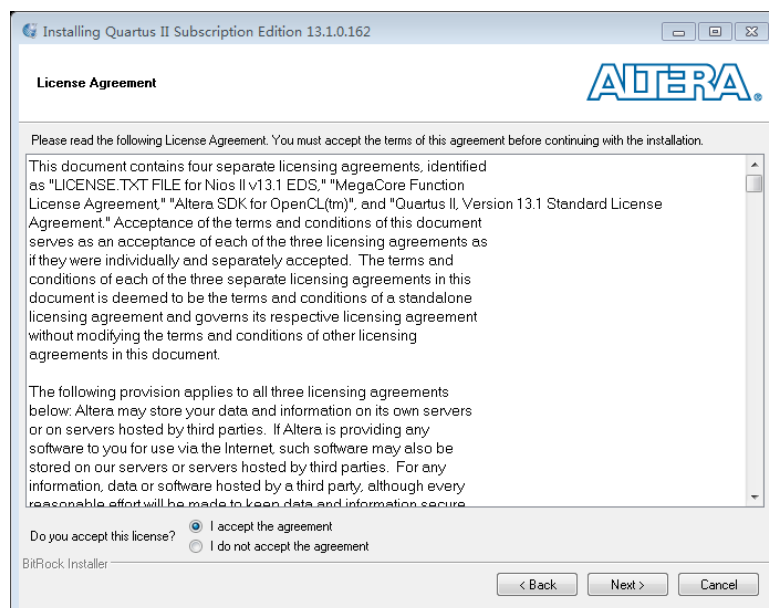


图 1-2 安装 Quartus II 13.1 向导第 2 个页面

3. 点击 Next 按钮，选择安装目录，如所示。

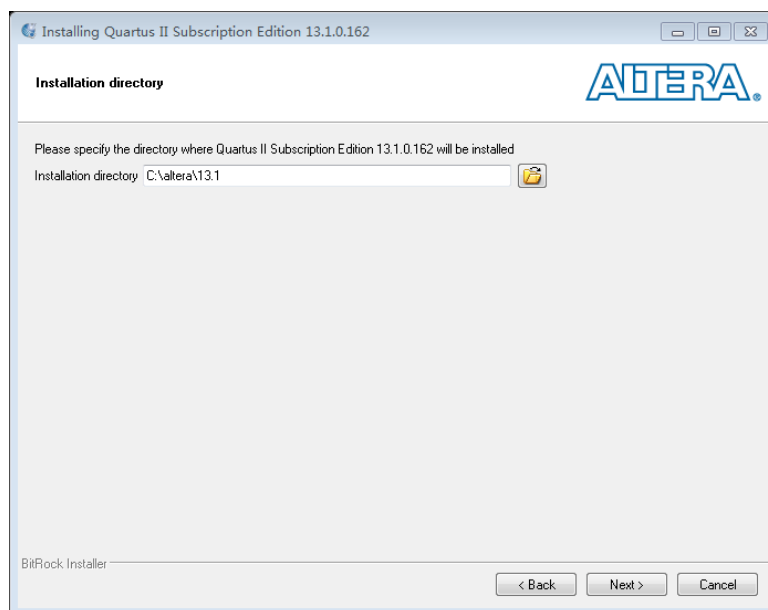


图 1-3 安装 Quartus II 13.1 向导第 3 个页面

4. 安装目录修改完成后，点击 **Next** 按钮进行 Quartus II 软件的安装。安装进度为 100%时 (图 1-4)，点击 **Finish** 按钮完成安装。

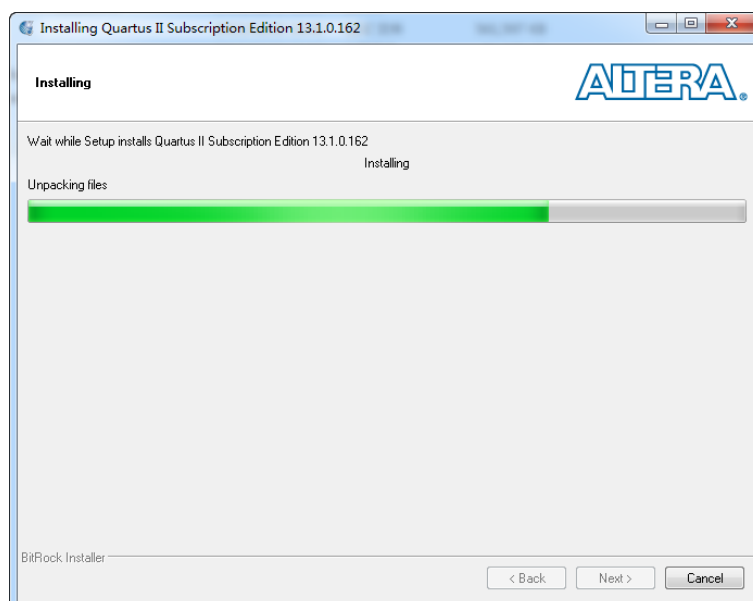



图 1-4 安装进度

5. 根据操作系统的不同，可以选择安装 32 位和 64 位 Quartus II。32 位的操作系统只能安装 32 位的 Quartus II；64 位的操作系统可以安装 32 位 Quartus II，亦可以安装 64 位 Quartus II，此处主要以 64 位 Win 7 操作系统安装 QuartusSetup-13.1.0.162 为例。
而对于 Quartus II 的破解，32 位 Quartus II 使用 Quartus_II_13.1_166_x86 破解器；64 位 Quartus II 使用 Quartus_II_13.1_166_x64 破解器。具体破解步骤如下：
 - 1) 用 Quartus_II_13.1_166_x64 破解器.exe 破解 C:\altera\13.1\quartus\bin64 下的 sys_cpt.dll 文件(运行 Quartus_II_13.1_166_x64 破解器.exe 后,直接点击“应用补丁”，如果出现“未找到该文件。搜索该文件吗？”，点击“是”，(如果直接把该破解器 Copy 到 C:\altera\13.1\quartus\bin64 下，就不会出现这个对话框，而是直接开始破解！) 然后选中 sys_cpt.dll，点击“打开”。安装默认的 sys_cpt.dll 路径是在

C:\altera\13.1\quartus\bin 下)。

点击  Quartus_II_13.1_166_x64破解器.exe 运行破解器，如图 1-5 所示。点击运行按钮后，如图 1-6 所示。

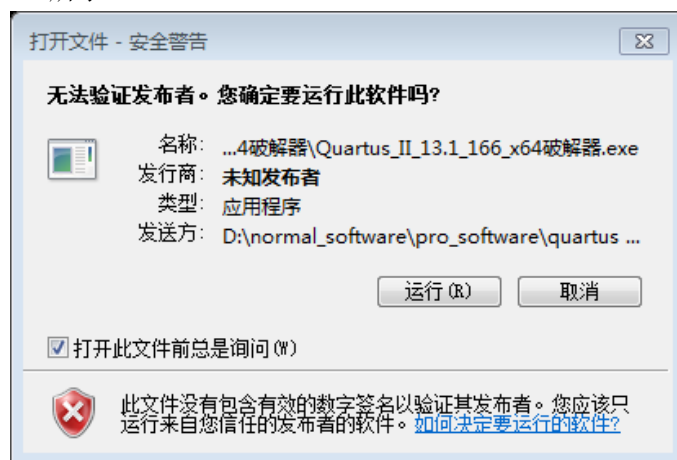


图 1-5 打开破解器



图 1-6 破解器窗口

点击 Patch 按钮可能会提示如图 1-7 所示找不到破解文件警告对话框。

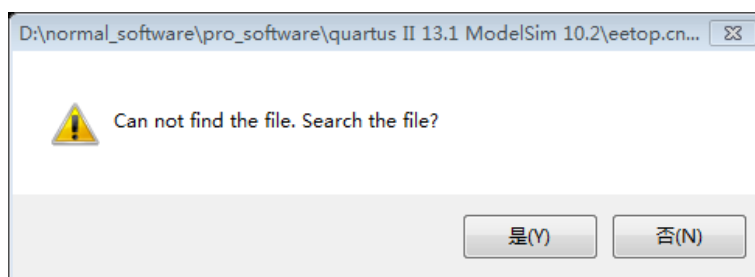


图 1-7 破解器警告对话框

点击是按钮，浏览到 C:\altera\13.1\quartus\bin64 下的 sys_cpt.dll 文件，点击打开按钮进行破解，如图 1-8 所示。

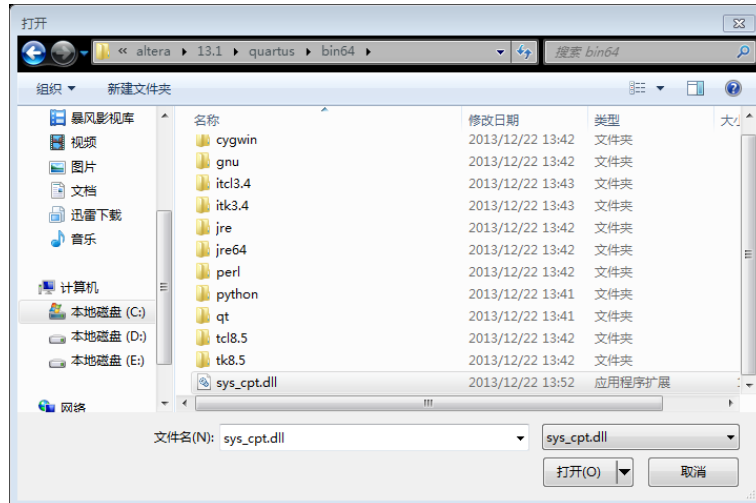


图 1-8 找到 sys_cpt.dll 文件

破解完成后，保存 license.dat 文件至 C:\altera\13.1 目录下，如图 1-9 所示。完成后，点击 exit 按钮关闭破解器。

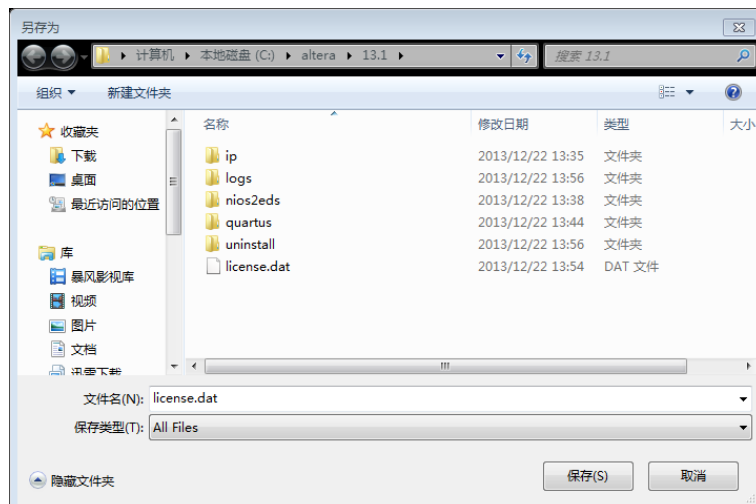


图 1-9 保存 license.dat 文件

- 2) 把 license.dat 里的 XXXXXXXXXXXX 用您的网卡号（如图 1-12 的 ③ 处）替换(在 Quartus II 13.1 的 Tools 菜单下选择 License Setup，下面就有 NIC ID)。如图 1-10 所示的红色圆圈部分就是替换后的网卡物理地址。如果您的电脑上有多多个网卡，随便填一个就行。

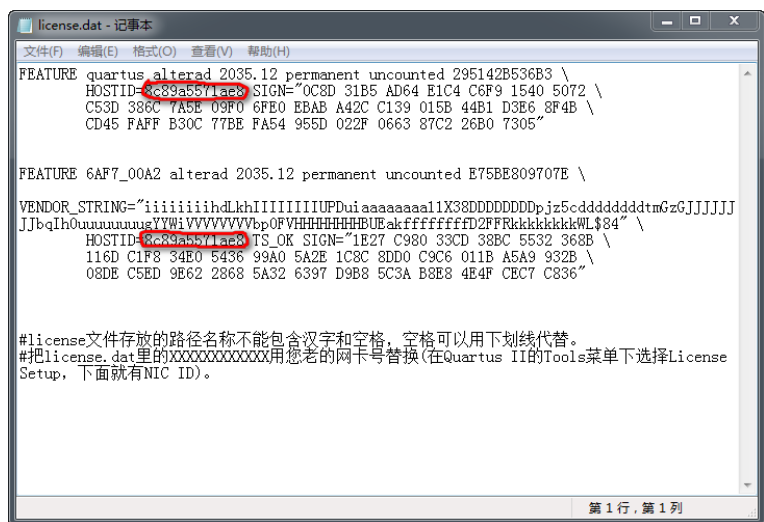


图 1-10 修改 license.dat 文件

查找网卡的物理地址的方法如下：

在开始菜单的命令窗口中输入 cmd 后，敲击回车键运行，如图 1-11 所示。

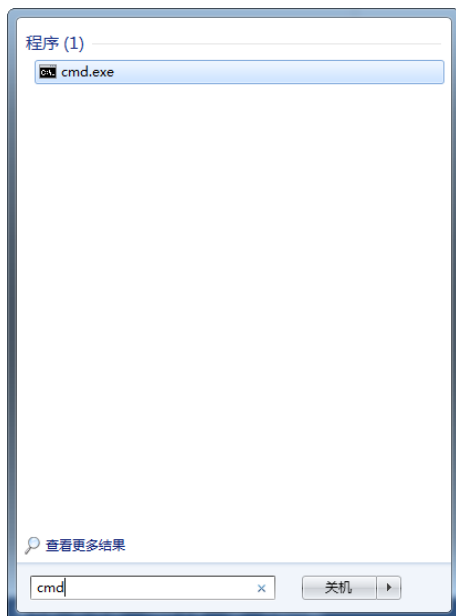


图 1-11 运行 cmd 窗口

在弹出的 cmd 窗口提示符后输入 ipconfig/all 命令后，回车运行，如图 1-12 所示。



图 1-12 查找网卡物理地址

- 3) 初次打开 Quartus II 时需设定 license, 如图 1-13 所示; 其他情况可在在 Quartus II 13.1 的 Tools 菜单下选择 License Setup, 然后选择 License file, 最后点击 OK, 如图 1-14 所示。

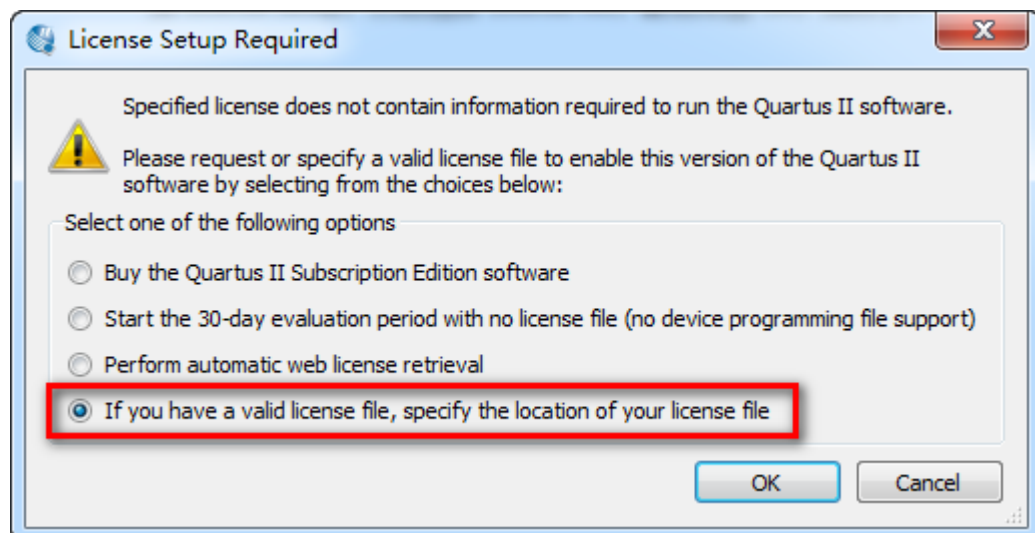


图 1-13 选择设定 license

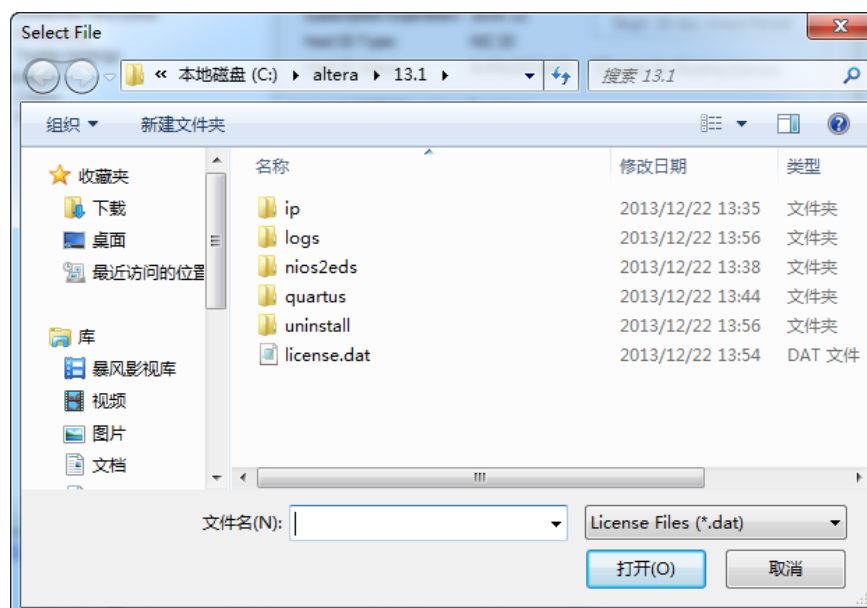
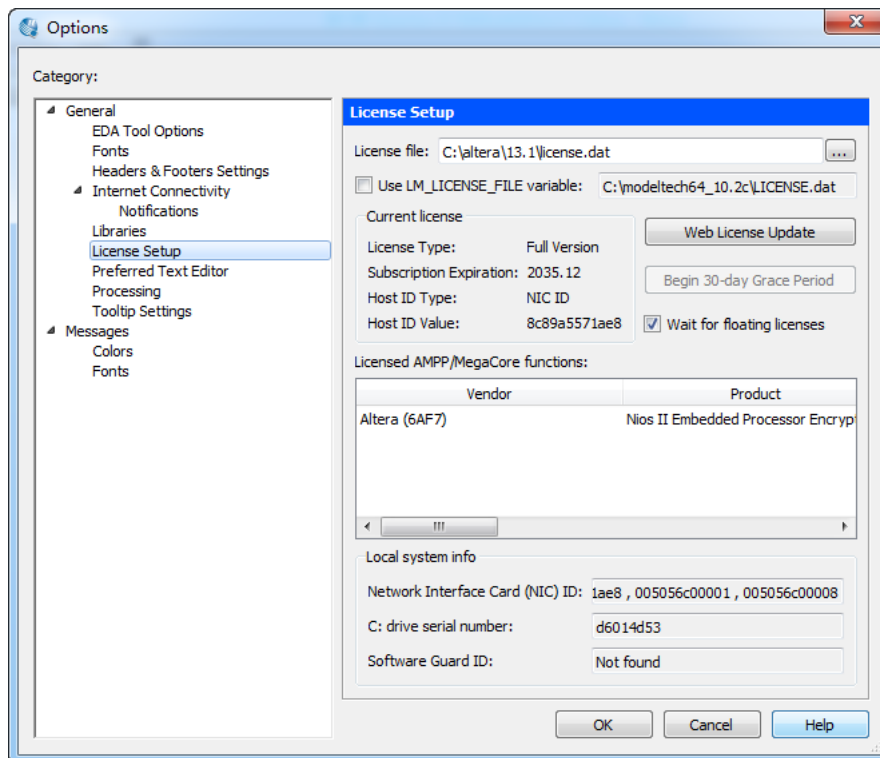


图 1-14 添加 license.dat 文件

注意：license 文件存放的路径名称不能包含汉字和空格，空格可以用下划线代替。

此软件在 Windows XP 和 Windows 7 的 32/64 位操作系统下都验证过了，没有问题！

Windows Vista 32/64 因为微软都放弃了，所以没有验证，理论上应该可以正常使用。

此软件已经通过了诺顿测试，在其它某些杀毒软件下，也许被误认为是“病毒”，这是杀毒软件智能化程度不够的原因，所以只能暂时关闭之。

6. 器件库的安装步骤如下：



- 1) 双击桌面的 **Quartus II 13.1 (64-bit)** 打开 Quartus II 软件，选择 **Tools>Install Devices** 打开器件库安装窗口，如图 1-15 所示。设置 cyclone-13.1.0.162.qdz 所在的目录。

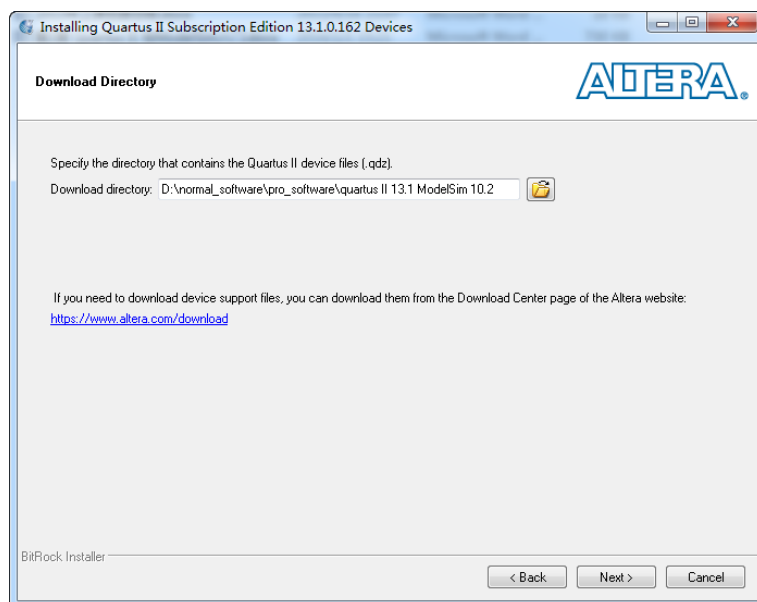


图 1-15 设置器件库所在目录

点击 **Next** 按钮，选定要安装的器件库文件后（如图 1-16 所示），继续点击 **Next** 按钮进行器件库的安装。

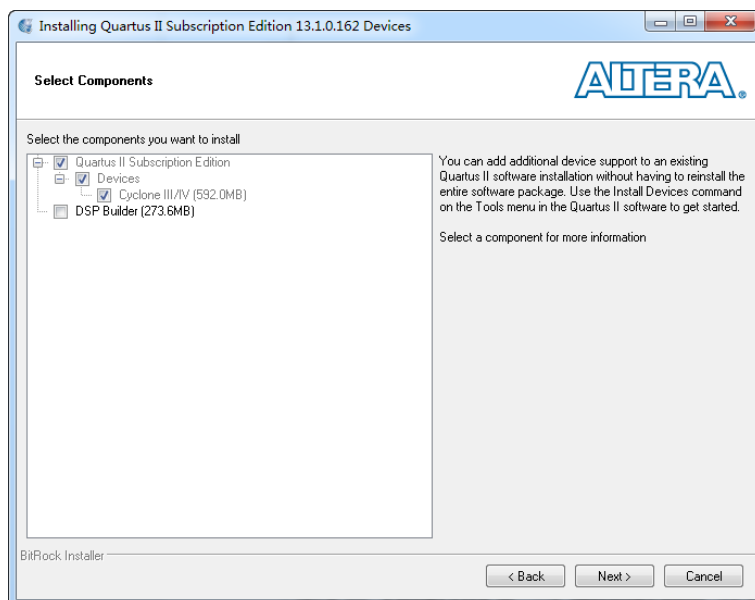


图 1-16 选定器件库

1.2 ModelSim 的安装和破解

1. 双击  `modelsim-win64-10.2c-se.exe` 开始进行 ModelSim 的安装，弹出窗口如所示。

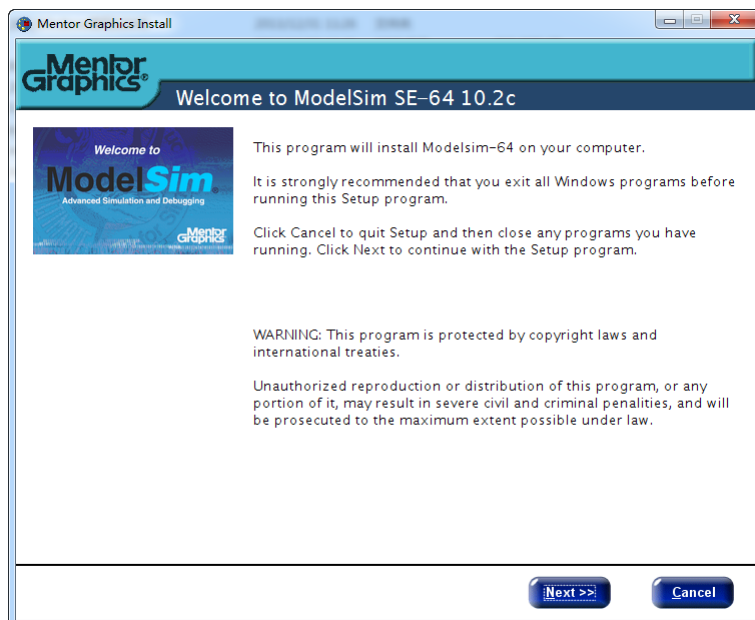


图 1-17 ModelSim 安装开始界面

2. 点击 Next 按钮，设定安装目录，如图 1-18 所示。继续点击 Next 按钮（如图 1-19 所示），点击 Agree 按钮同意安装协议进行安装。

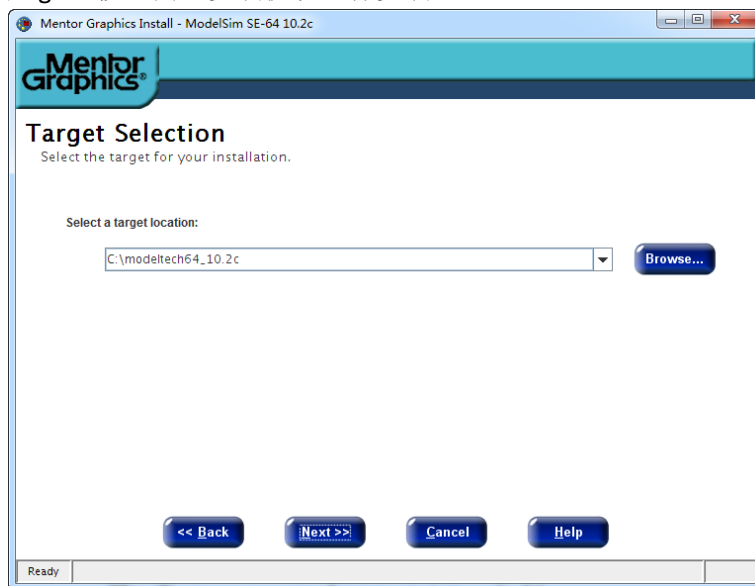


图 1-18 设定 ModelSim 安装目录



图 1-19 ModelSim 安装协议


3. 在安装进行到 50%后左右会有如图 1-20 所示的在桌面添加快捷图标  的提示，点击 Yes 按钮同意添加。



图 1-20 提示添加桌面快捷图标

4. 再次出现是否将 Modelsim 的路径添加到你的路径，如图 1-21 所示，点击 Yes 按钮同意添加。

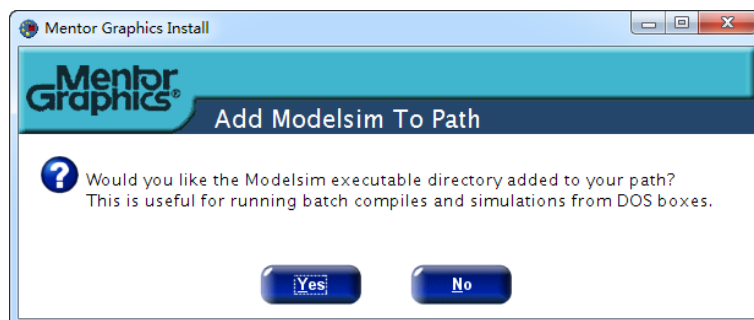


图 1-21 提示添加 ModelSim 路径

5. 最后会提示你是否添加硬件安全钥匙驱动（如图 1-22 所示），在这里我们选择 No（因为我们自己会设置 license 的）。



图 1-22 提示安装硬件安全钥匙驱动

6. 到这里，软件安装结束。接下来将是软件的破解了（破解是很重要的哦）。（点击完 done 之后可能出现如下界面。可以关闭）



图 1-23 设置 License

7. 首先说明，本破解文件在我的电脑上安装成功。操作系统为 win7-64bit 旗舰版，安装的 modelsim 为：modelsim SE-64-10.2c。

本人在网上寻找了许多的破解文件，尝试了许多次，终于找到成功的破解方法，请务必按照我的说明来做。其他系统和版本应该也可以的，需要的话请自行尝试。

For Windows:

- 1) 将 MentorKG.exe 和 patch_dll.bat 一起拷贝到 modelsim 安装目录的 win32 或 win64 下（modelsim 一定要在这个目录下）；
- 2) “ windows 键 +R ”，输入 cmd（图 1-24），打开 CMD，然后“ cd C:\modeltech64_10.2c\win64”，进入到 win64 目录下，输入 crack.bat（图 1-25），点击运行，产生 license 后，放到任意英文目录下，如“C:\modeltech64_10.2c\license.dat”（注意一定要使用 cmd 来进行此项操作）；

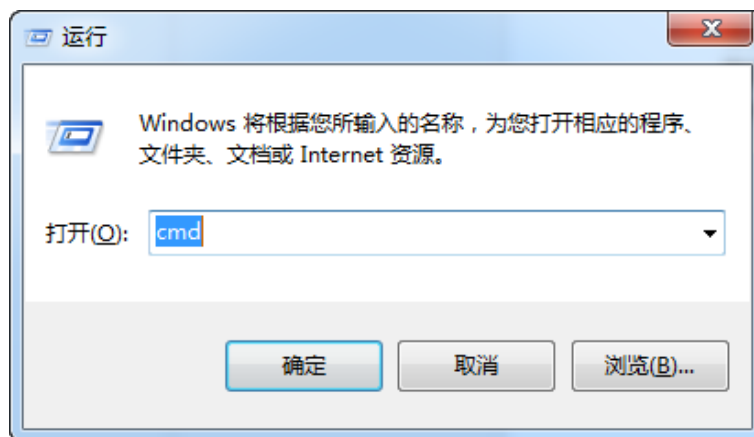


图 1-24 运行命令窗口

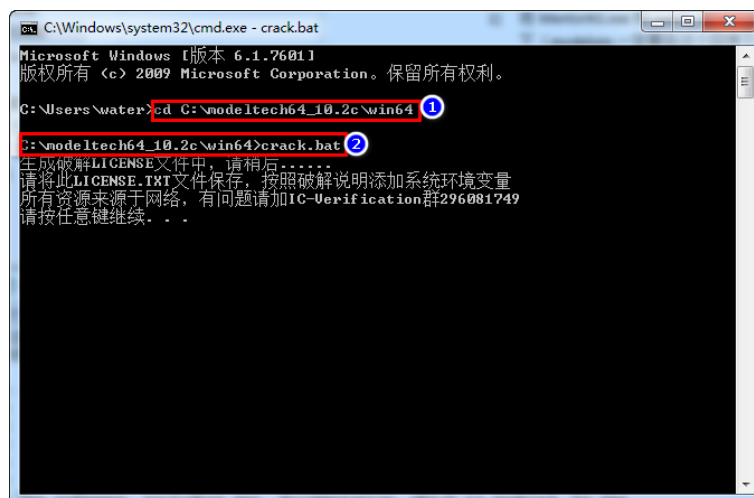


图 1-25 运行破解

- 3) 在 win7 桌面, 右击计算机-属性-高级系统设置-高级-环境变量-用户变量-新建一个用户变量, 变量名为 LM_LICENSE_FILE, 变量值为 license 放置的目录, 如 C:\modeltech64_10.2c\license.dat, 具体如图 1-26 至图 1-28 所示。



图 1-26 高级系统设置

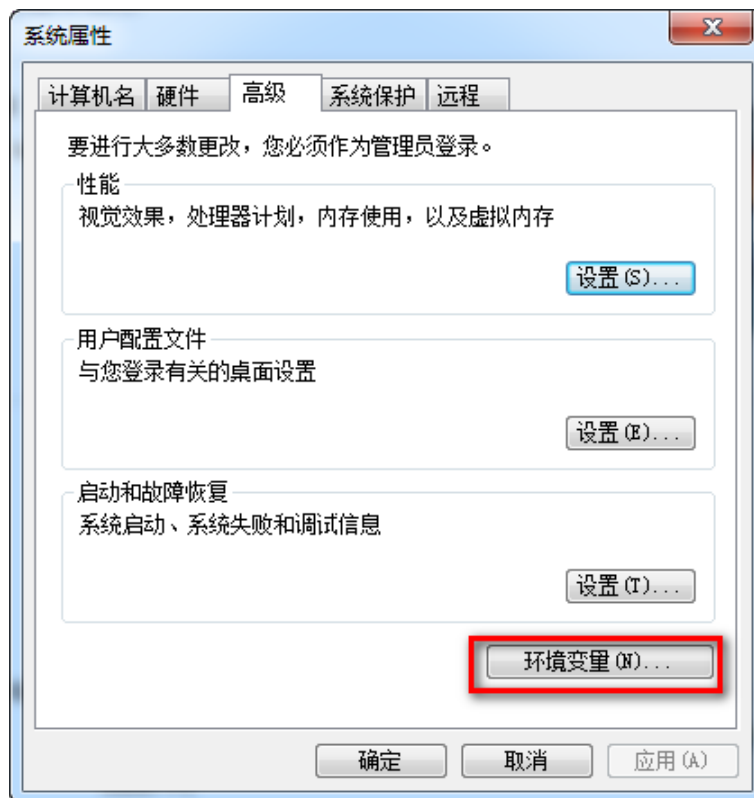


图 1-27 打开环境变量设置窗口

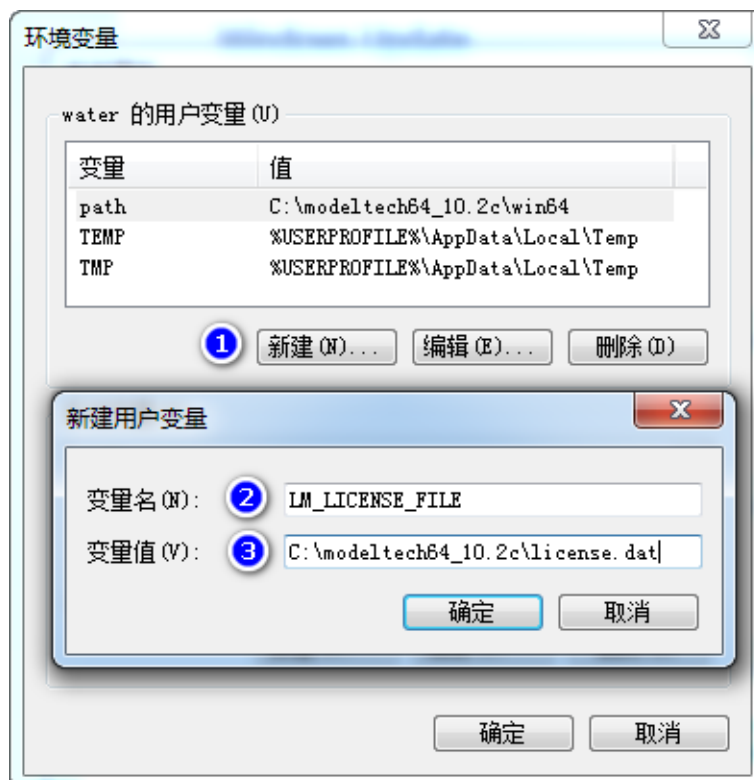


图 1-28 添加环境变量

4) OK! 破解成功!

第2章 Quartus II 与 ModelSim 入门

以全加器和半加器的设计与仿真的流程为例子，详细讲解 Quartus II 和 ModelSim 的基本使用。关于它们一些高级功能可以参考它们的帮助文档以及公司主页。

2.1 半加器和全加器

能够完成两个一位二进制数相加的器件称为半加器；而能够完成三个一位二进制数相加的器件称为全加器。半加器的真值表如表 2-1 所示，其中 A 为被加数，B 为加数，S 为和，co 为进位输出。全加器的真值表如表 2-2 所示，其中 A 为被加数，B 为加数，S 为和，co 为进位输出，cin 为低位的进位输出。

表 2-1 半加器真值表

A	B	S	Co
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

表 2-2 全加器真值表

Cin	A	B	S	Co
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

半加器的逻辑表达式如公式(2.1.1)所示；全加器的逻辑表达式如公式(2.1.2)所示。

$$S = A \oplus B$$
$$Co = AB$$

(2.1.1)

$$S = A \oplus B \oplus Cin$$
$$Co = AB + (A \oplus B)Cin$$

(2.1.2)

可见，一个全加器可以由两个半加器加上一个或门构成。此处详细的推导过程可以参考《数字电子技术》一书。

2.2 半加器的实现与仿真

2.2.1 新建工程

在开始创建第一个工程之前，需要设定 Quartus II 的仿真软件 ModelSim 软件的位置。选择 Tools-Options，如图 2-1 所示进行设置，注意图中 2 处为 ModeliSim 的目录，会随着版本的不同有所出入。

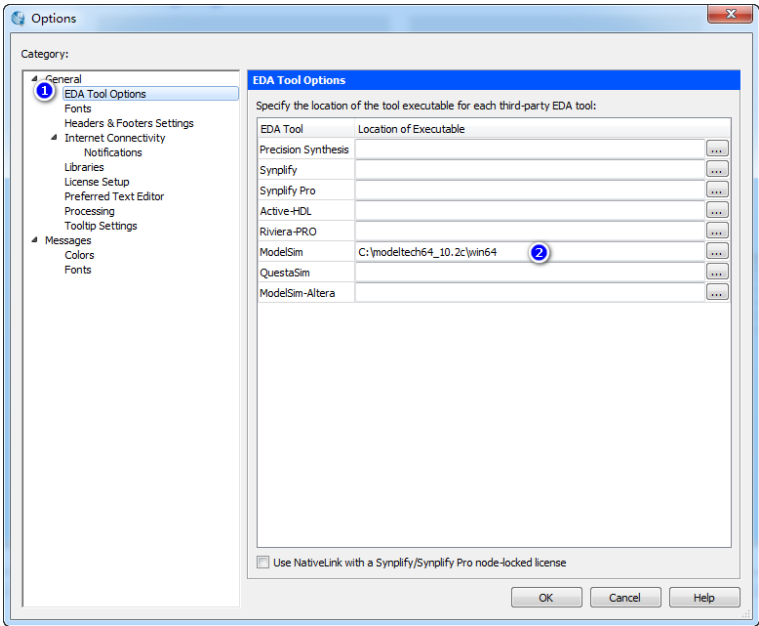


图 2-1 设置 ModelSim 的目录



点击 **New Project Wizard** 开始新建工程向导。详细步骤如图 2-2 到图 2-7 所示。图中红色箭头表示直接点击操作，数字序号表示操作步骤。

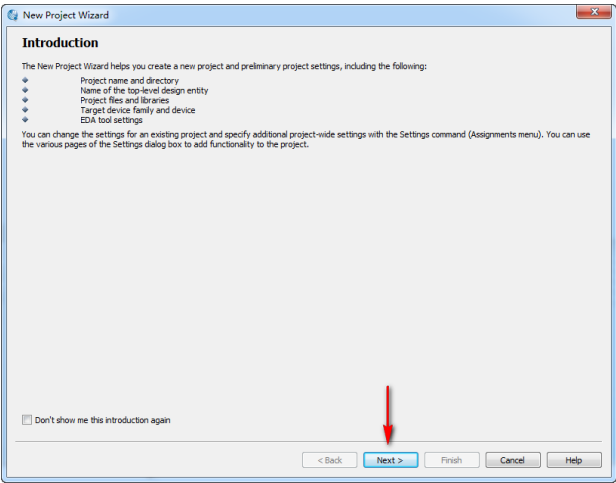


图 2-2 工程创建向导第 1 页

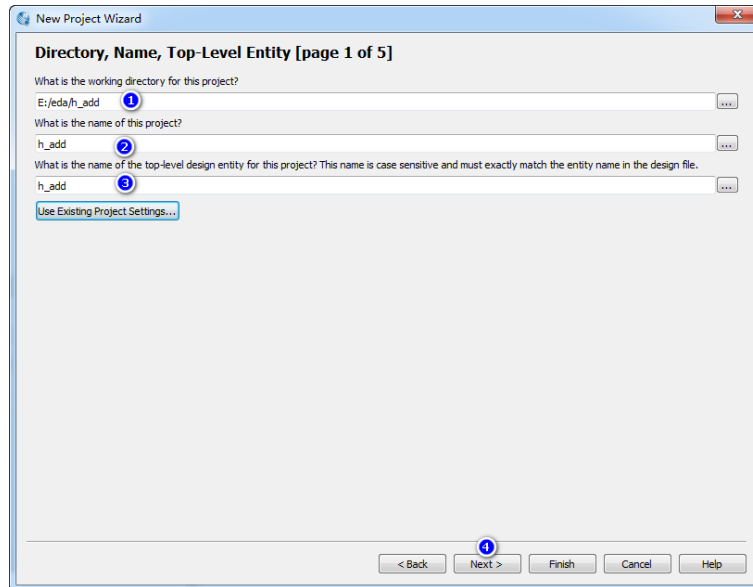


图 2-3 工程创建向导第 2 页

图 2-3 中的①处为工程目录，尽量不要包含中文路径；②处和③处为工程名和顶层实体名，要保持一致；然后点击④处的 Next 按钮。

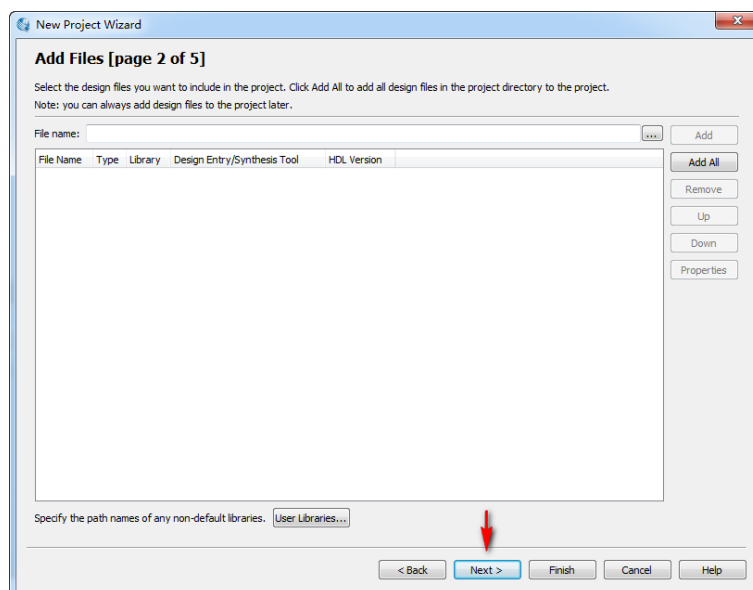


图 2-4 工程创建向导第 3 页

图 2-5 的①处为 Cyclone III 器件家族；②处为器件封装 TQFP；③处为器件引脚数 144；④处为器件速度 8；⑤处为最终选定的器件型号 EP3C10E144C8；⑥处为点击 Next 按钮。

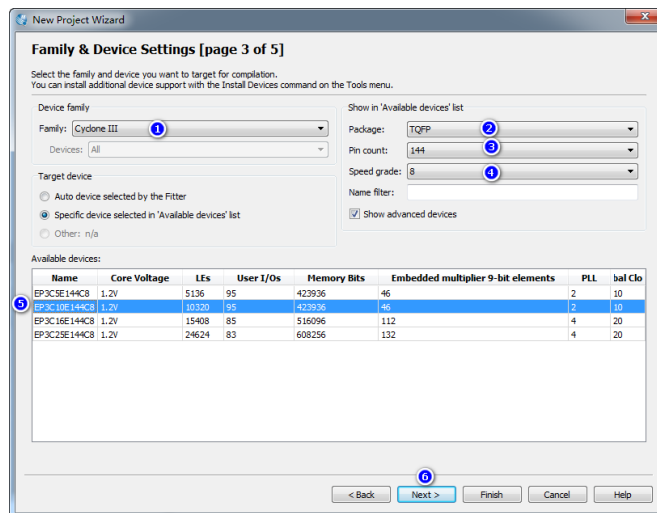


图 2-5 工程创建向导第 4 页

图 2-6 的 ① 处为选定的仿真软件 ModelSim；② 处为使用的 HDL 语言 VHDL；③ 处为点击 Next 按钮。

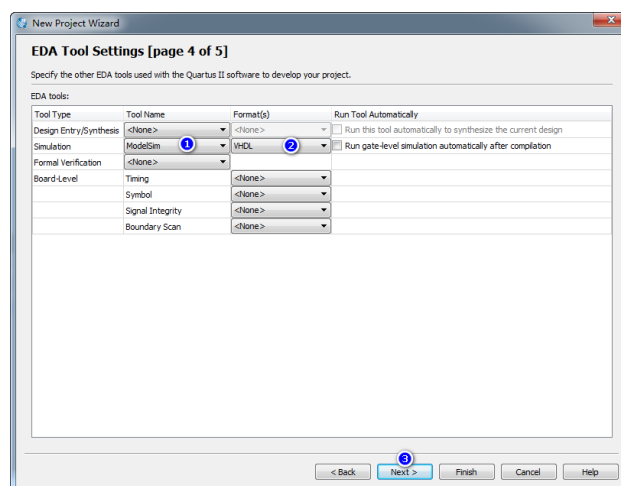


图 2-6 工程创建向导第 5 页

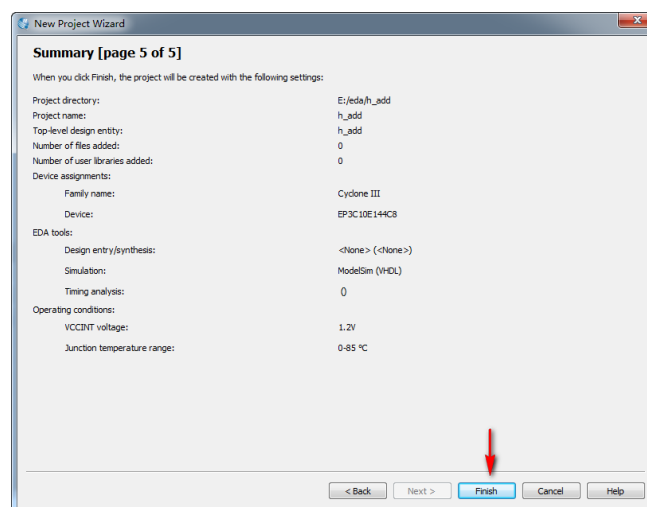


图 2-7 工程创建向导最后一页

工程创建成功以后，Project Navigator 窗口如图 2-8 所示。

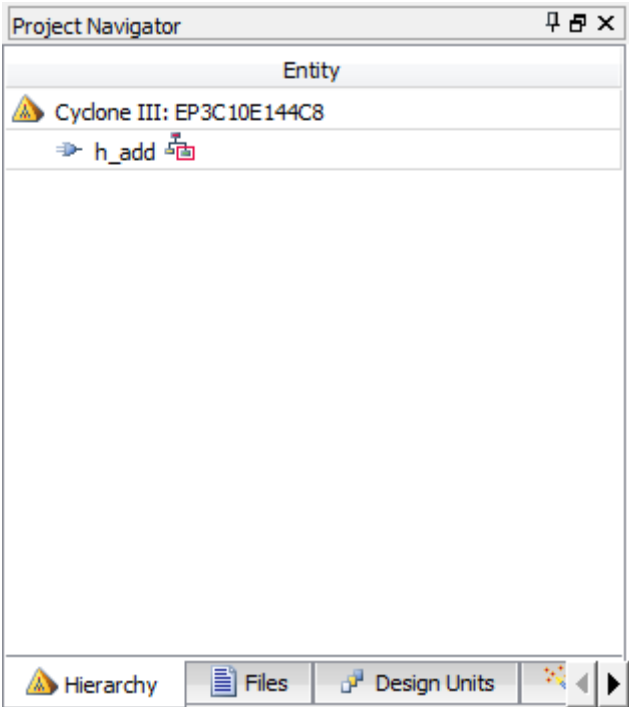


图 2-8 Project Navigator 窗口

2.2.2 半加器的输入方式

此处主要介绍三种半加器的输入方式：文本输入、原理图输入和 IP 核方式。

1. 原理图输入方式。

File-New 打开新建窗口（图 2-9），选择 Block Diagram/Schematic File 后，点击 OK 创建原理图文件。

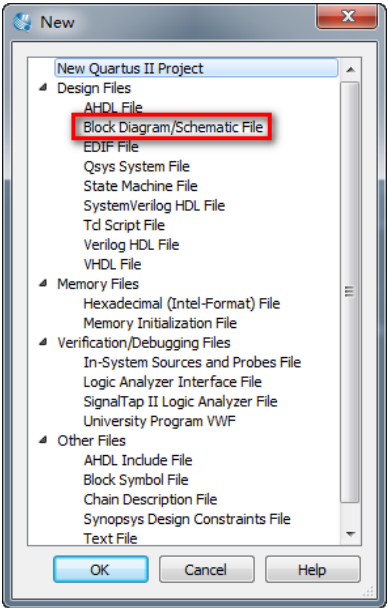


图 2-9 新建原理图文件

在原理图文件的空白处双击鼠标左键打开 Symbol 窗口，如图 2-10 选择双输入与门 and2，点击 OK 按钮后在原理图文件的合适位置放置。

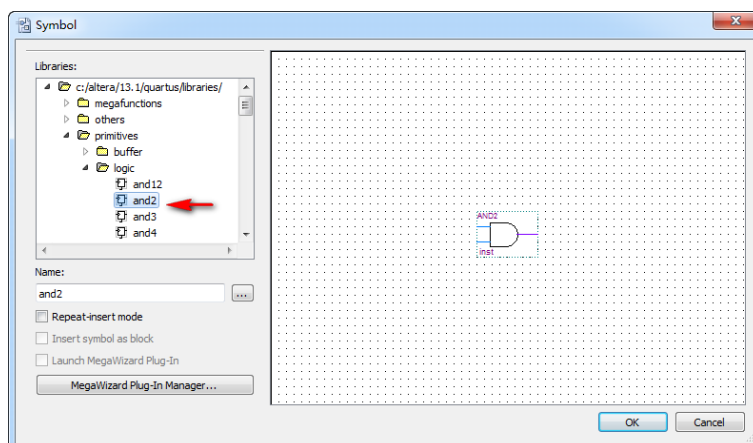


图 2-10 选择 and2

按照以上同样的步骤选择异或门 xor，放置至原理图文件中。

继续打开 Symbol 窗口，在 Name 文本框中输入 Input，添加输入端口 input 至原理图文件。按照通用的方法再添加一个 input 端口和两个 output 输出端口。鼠标移动至器件端口处时，在鼠标变成十字形状的情况下点下鼠标左键，然后移动鼠标至要连接的另一个端口处，在鼠标再次变成十字形状的情况下点击左键，完成导线的连接。最终的原理图如图 2-11 所示。注意此时点击 File-Save 保存原理图文件，文件名保持与工程名一致，如图 2-12 所示。双击输入输出端口的文字部分（pin_name 和 OUT）修改为图 2-11 所示的端口名称。

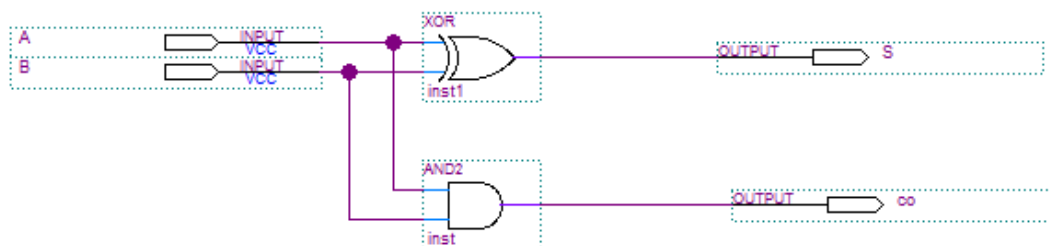


图 2-11 半加器原理图输入

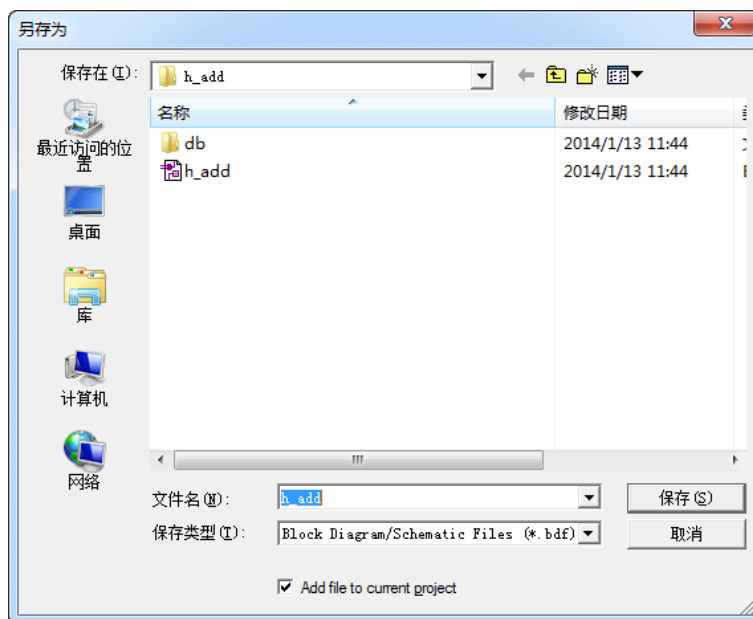


图 2-12 原理图的保存

2. IP 核输入方式。

依然选择新建一个原理图文件,打开 Symbol 窗口,点击

MegaWizard Plug-In Manager...

按钮打开创建向导,如图 2-13 所示,选择创建自定义的 megafunction,点击 Next 按钮。

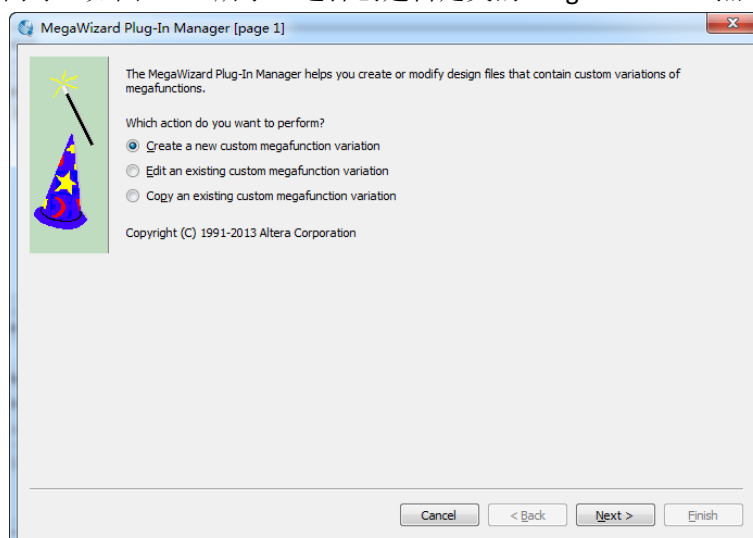


图 2-13 创建 IP 核向导第 1 页

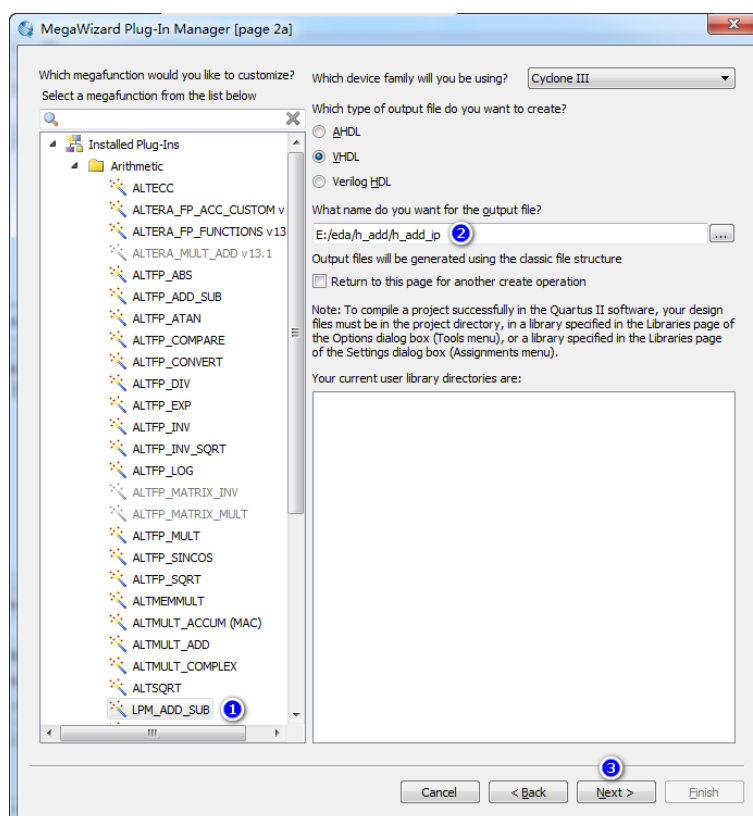


图 2-14 创建 IP 核向导第 2 页

注意此处使用的是 LPM_ADD_SUB IP 核,用 h_add_ip 保存文件,如图 2-14 所示。

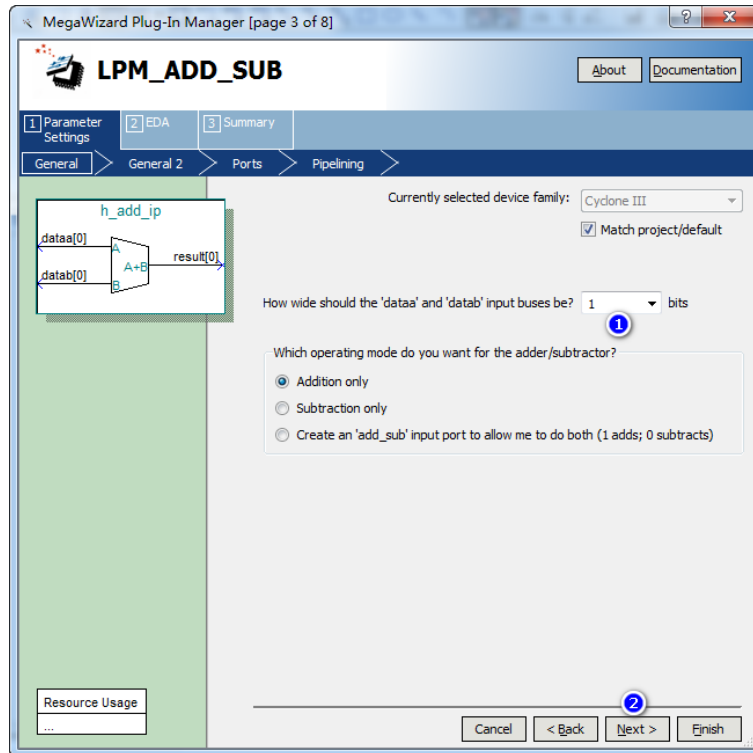


图 2-15 创建 IP 核向导第 3 页

图 2-15 设定加法器输入数据宽度为 1 位。

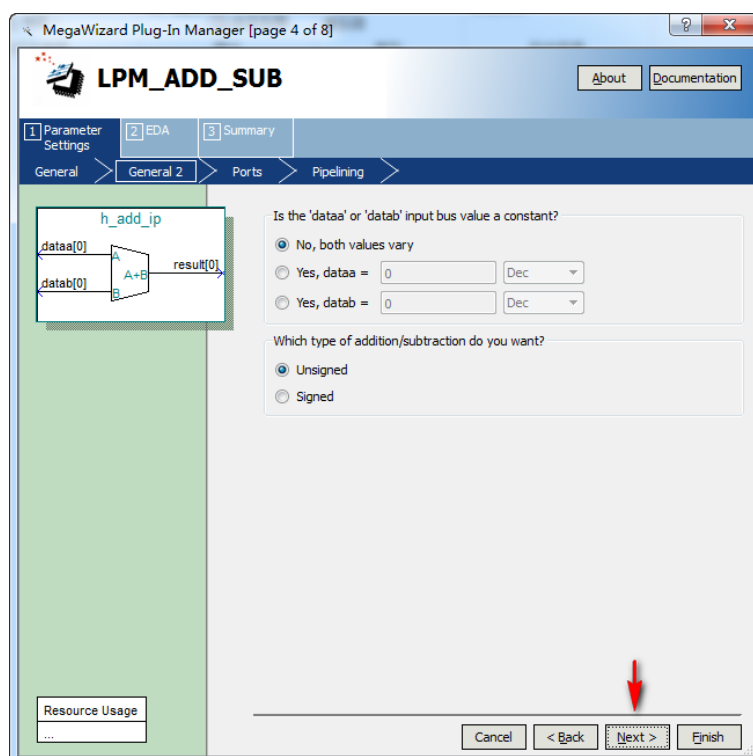


图 2-16 创建 IP 核向导第 4 页

图 2-16 设定输入数据的默认值，此处没有设置；设置输入数据是有符号还是无符号数，此处选择的是无符号数。

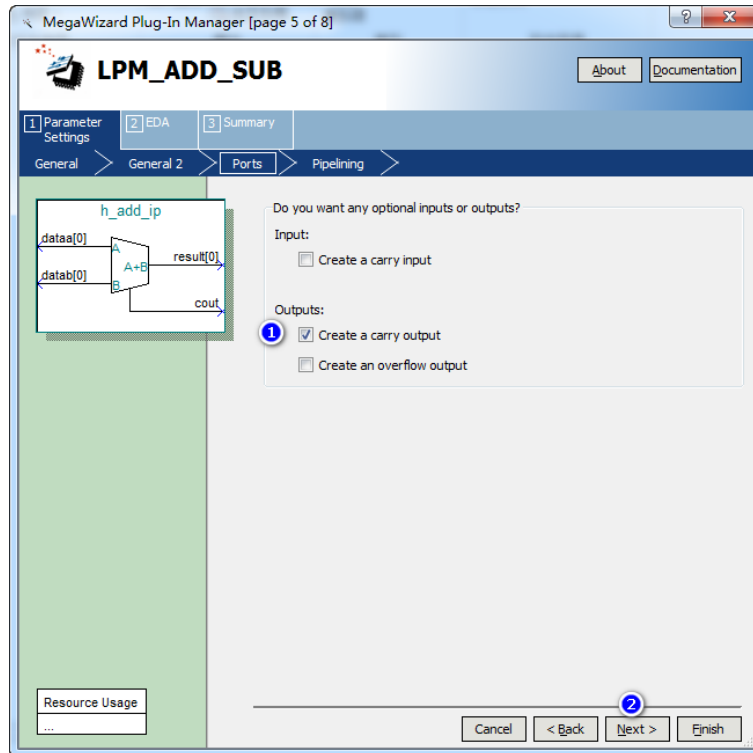


图 2-17 创建 IP 核向导第 5 页

图 2-17 设置创建进位输出 output。

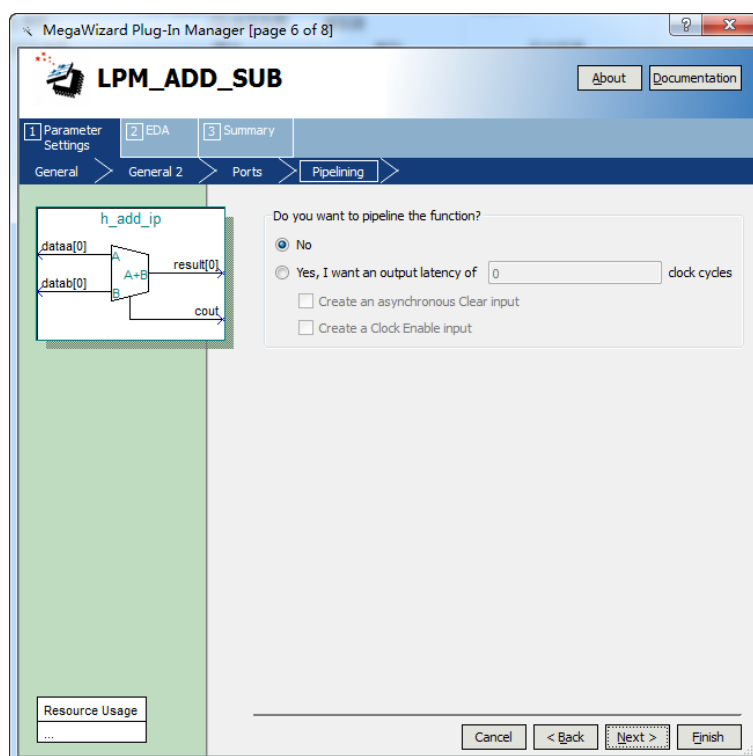


图 2-18 创建 IP 核向导第 6 页

图 2-18 设置是否使用流水线技术创建加法器，此处选择不。

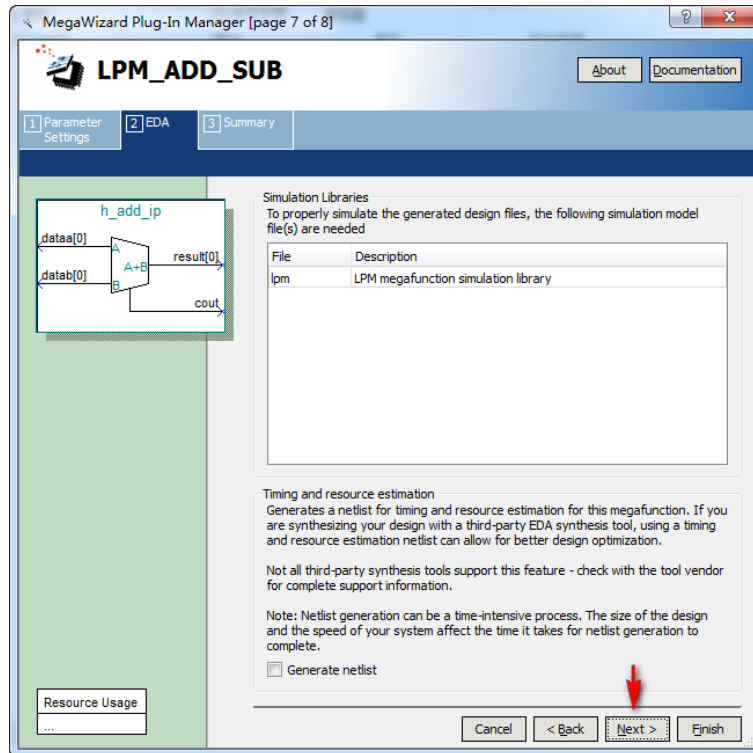


图 2-19 创建 IP 核向导第 7 页

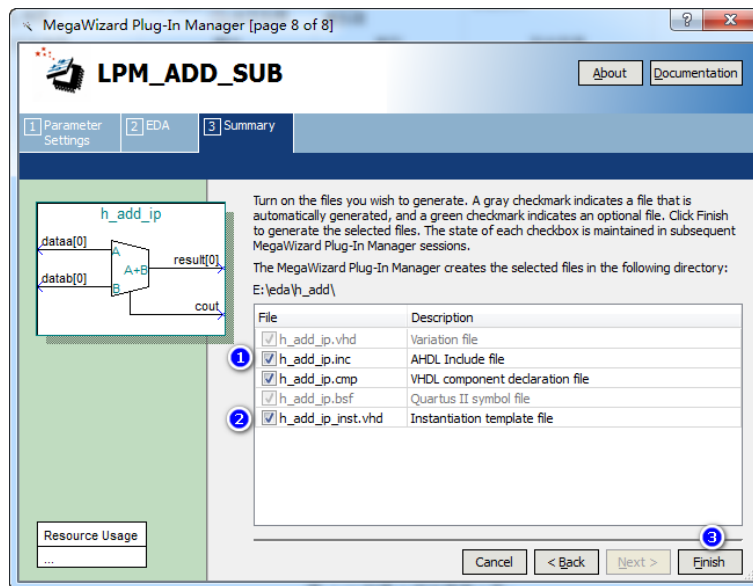


图 2-20 创建 IP 核向导第 8 页

图 2-20，勾选生成 AHDL Include file 和组建声明语句文件 Instantiation template file。

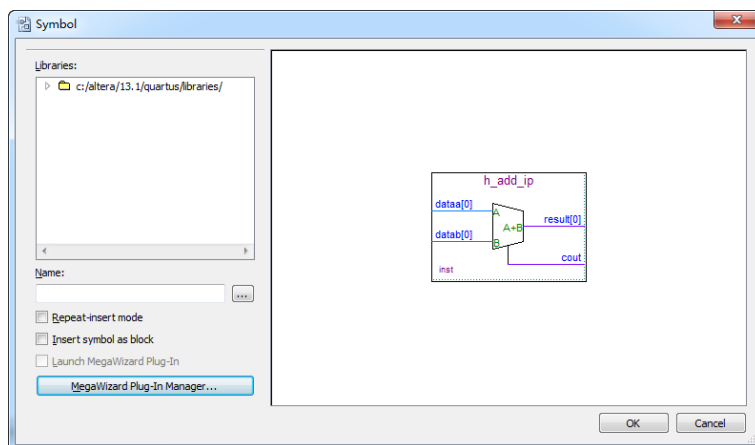


图 2-21 最终的 Symbol 窗口

在图 2-21 所示的 Symbol 窗口中，点击 OK 按钮放置 h_add_ip 至原理图文件中，在 h_add_ip 上点击右键，在弹出的快捷菜单中选择 Generate Pins for Symbol Ports 生成端口，最终的原理图如图 2-22 所示。原理图文件用 h_add_2 保存。

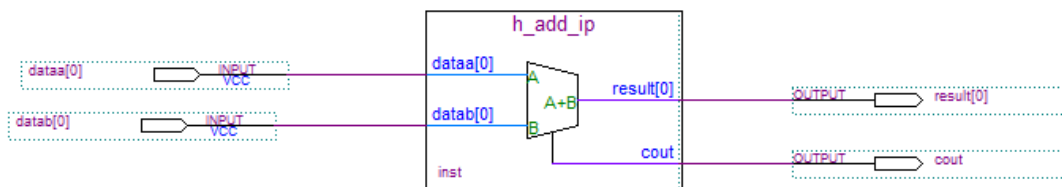


图 2-22 半加器 IP 核输入方式

3. 文本输入方式。

如图 2-23 所示，创建 VHDL File，然后在文件中输入如下的 VHDL 程序，用 h_add_vhd 保存。

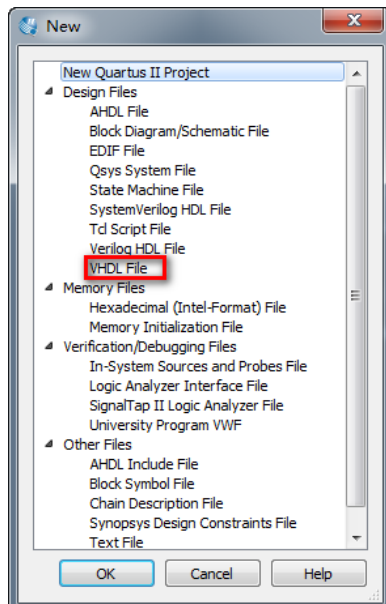


图 2-23 新建 VHDL 文件

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
```



```

entity h_add_vhd is
  port
  (
    A          : in std_logic;
    B          : in std_logic;
    S          : out std_logic;
    CO         : out std_logic
  );

```

```

end entity;

```

```

architecture rtl of h_add_vhd is
begin
  S <= A xor B;
  CO <= A and B;
end rtl;

```

2.2.3 查看编译结果及进行管脚锁定

1. 设定工程顶层文件。

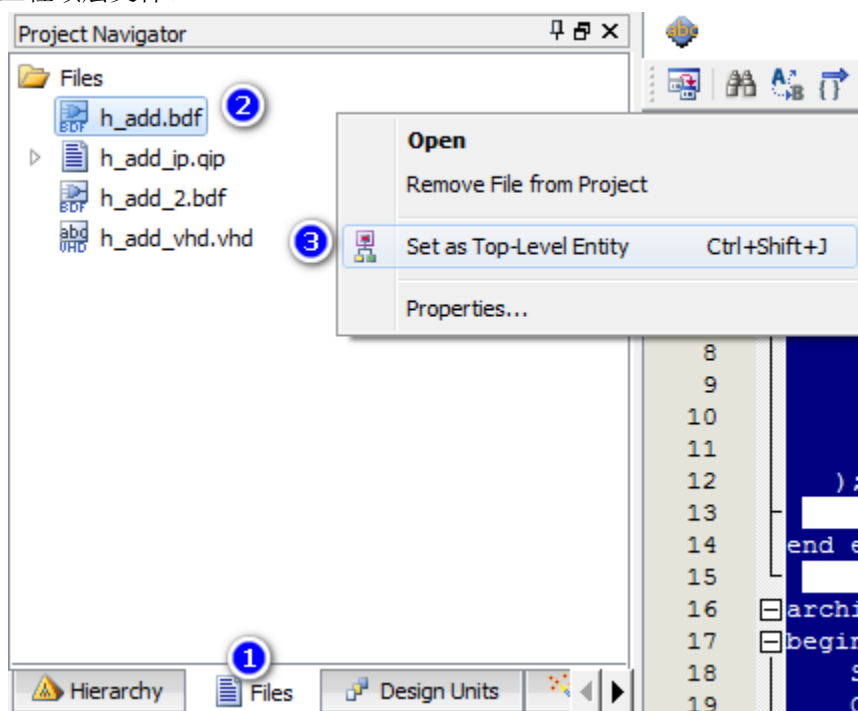



图 2-24 设置工程顶层文件

图 2-24 设置 h_add.bdf 为工程顶层文件，可以使用同样的方法分别设定 h_add_2.bdf 和 h_add_vhd.vhd 为工程顶层文件。bdf 后缀表示该文件为原理图文件；vhd 后缀表示该文件为 VHDL 文件。

点击工具栏中的  进行工程的全编译。注意图 2-25 的 task 窗口中的工程编译进程，可以

分别点击每个阶段的左侧的空心三角展开查看编译的进展情况。

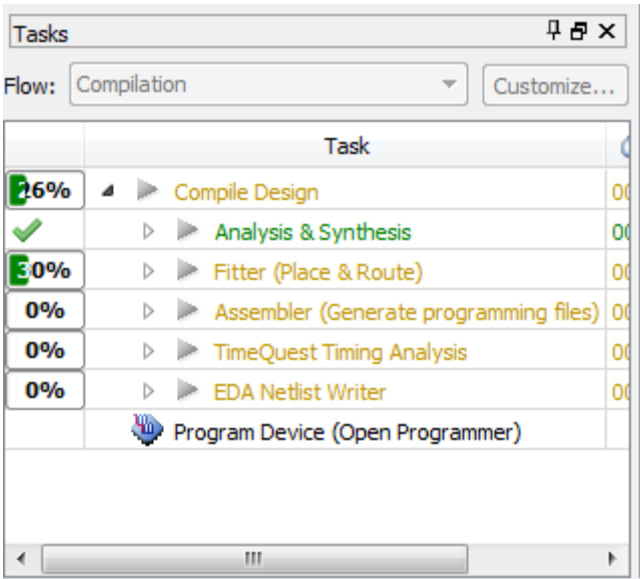


图 2-25 编译进程

2. 查看编译概要信息。

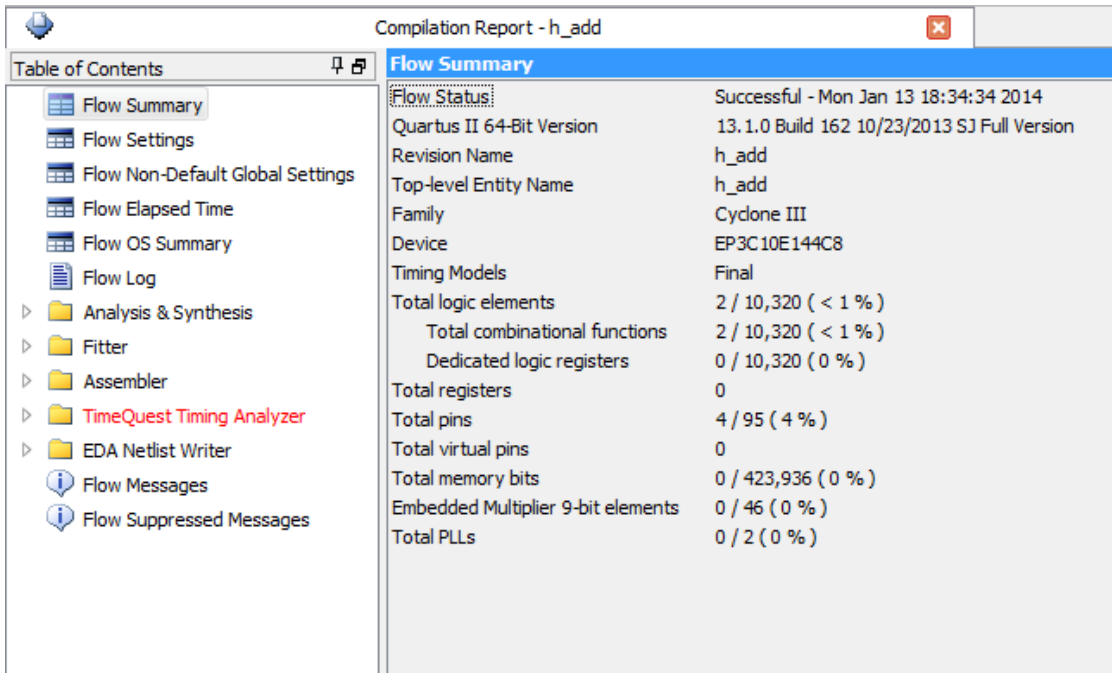


图 2-26 工程编译摘要

图 2-26 显示最终的工程编译摘要信息，如：使用的软件版本、工程名、器件、逻辑单元使用数量、寄存器使用数量、存储器使用、嵌入式乘法器使用和 PLL 锁相环使用情况等。图 2-26 显示使用的总的逻辑单元个数为 2 个，其他资源使用情况为 0。

3. 查看寄存器传输级视图。

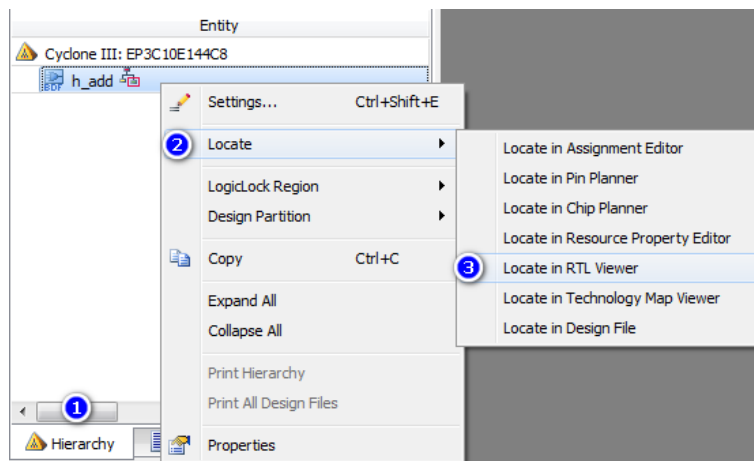


图 2-27 查看 RTL 视图

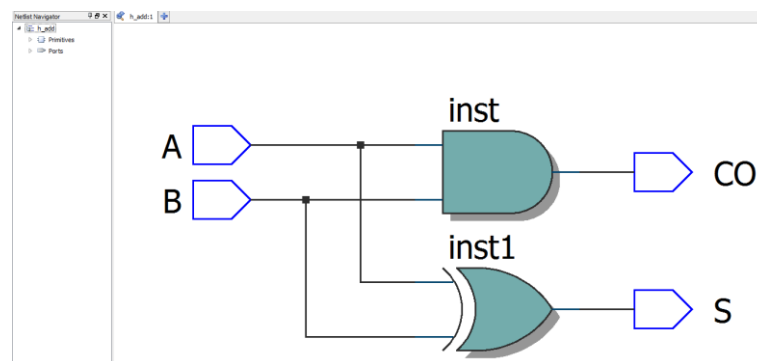


图 2-28 h_add 的 RTL viewer

4. 查看技术映射视图。

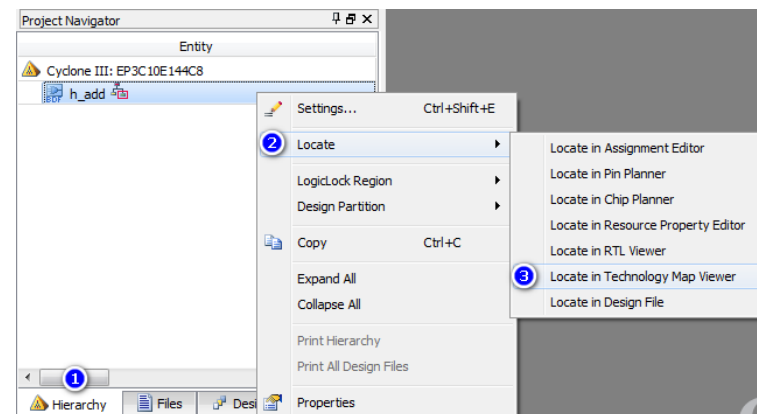


图 2-29 查看 h_add 的 Technology Map viewer (Post-Mapping)

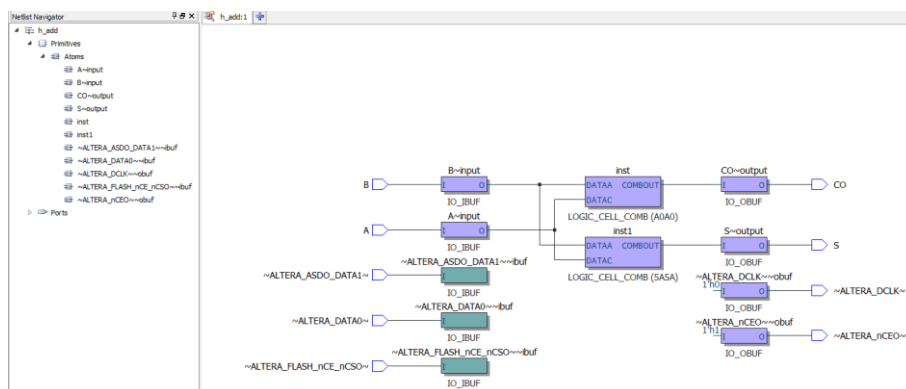


图 2-30 h_add 的 Technology Map viewer (Post-Mapping)

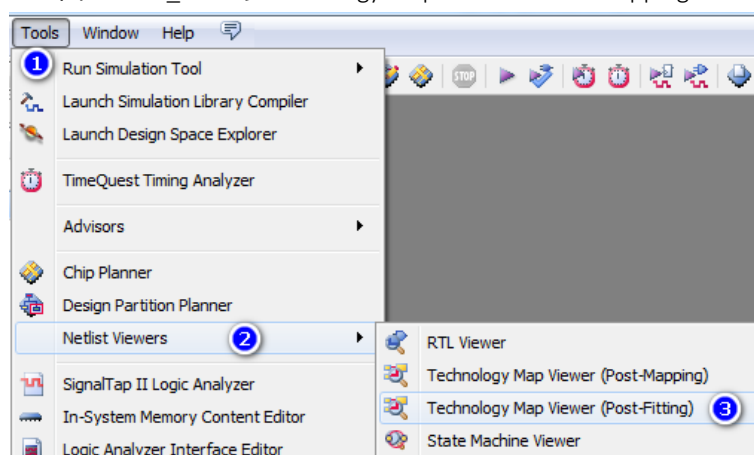


图 2-31 查看 h_add 的 Technology Map viewer (Post-Fitting)

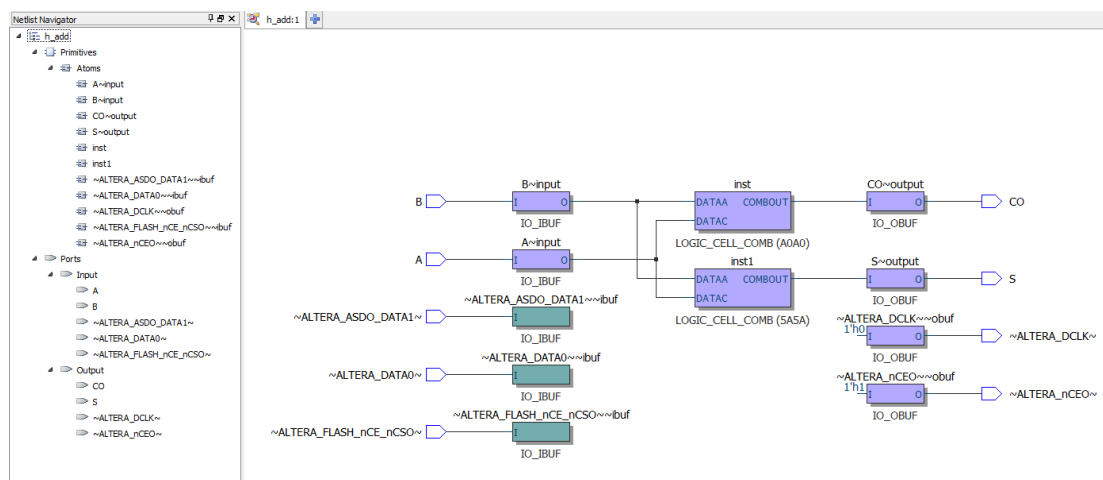


图 2-32 查看 h_add 的 Technology Map viewer (Post-Fitting)

5. 查看资源使用情况。

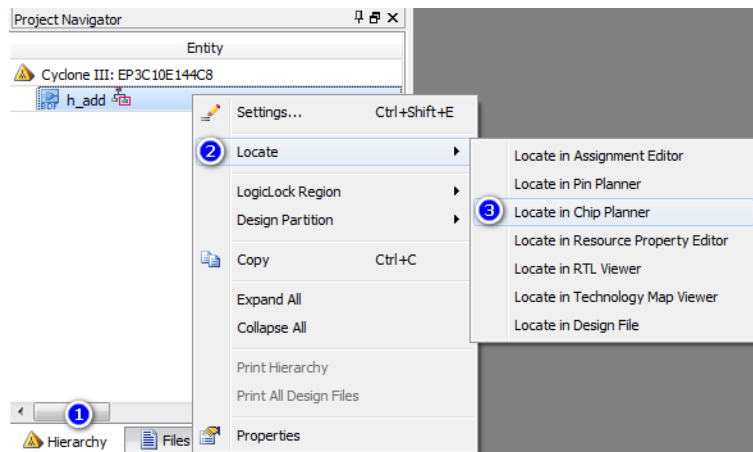


图 2-33 打开 Chip Planner

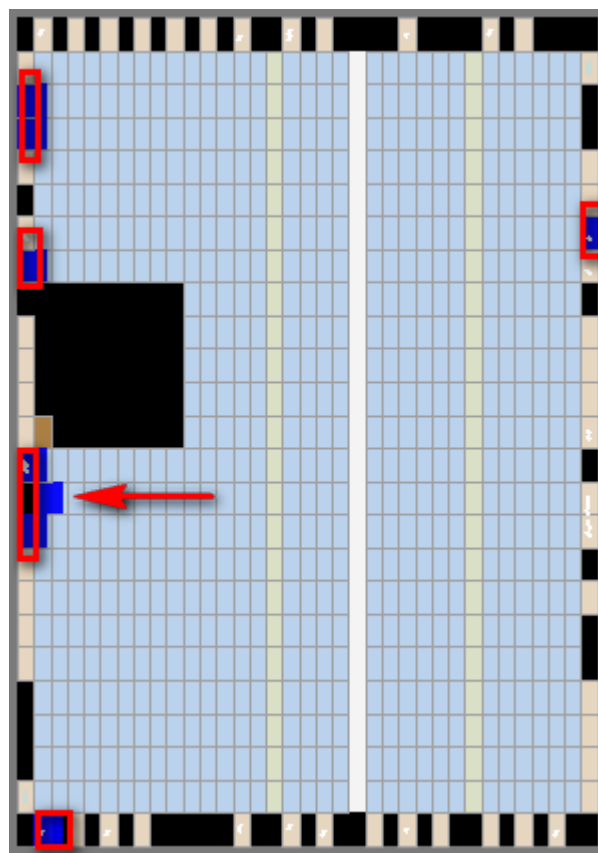


图 2-34 资源使用

图 2-34 中红色箭头所指部分即为使用的 FPGA 资源，红色矩形框部分为 Quartus II 自动锁定的引脚。

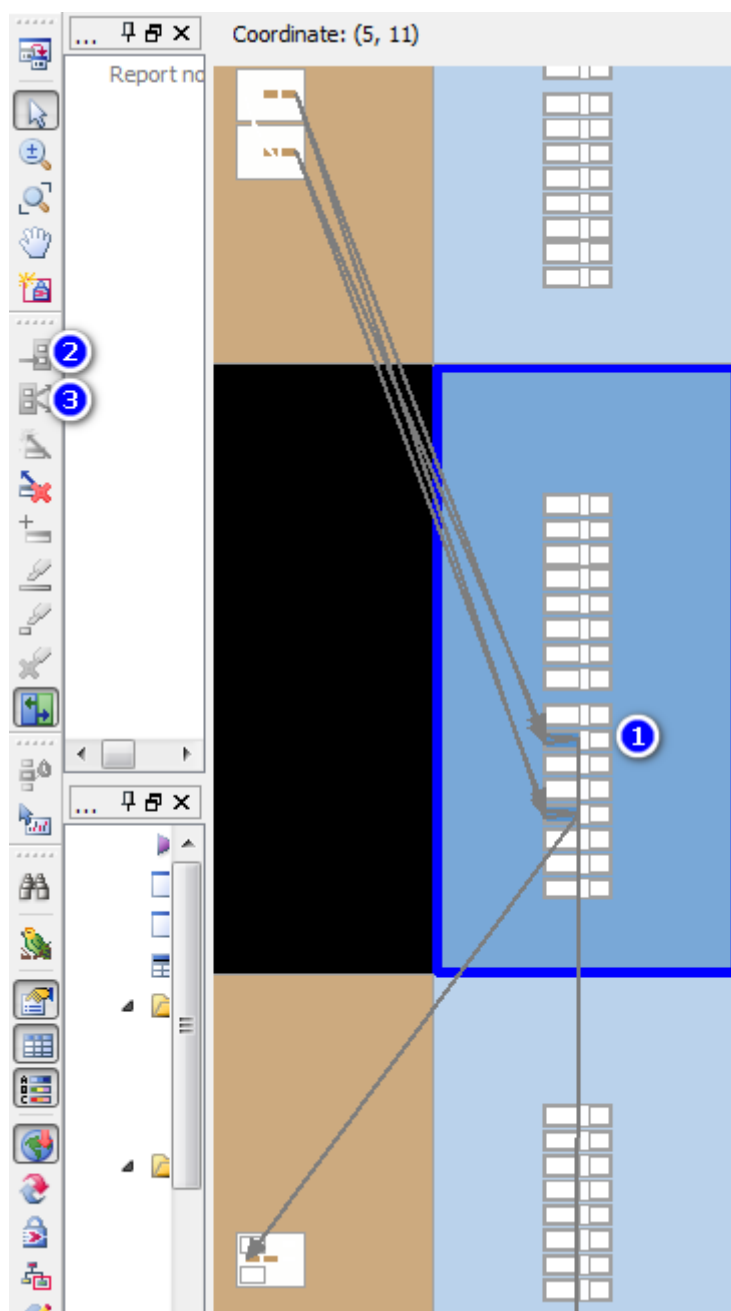


图 2-35 管脚连接

图 2-35 先选定①处的阴影区，然后点击②或③查看组件的输入引脚和输出引脚连接情况。

6. 管脚锁定。

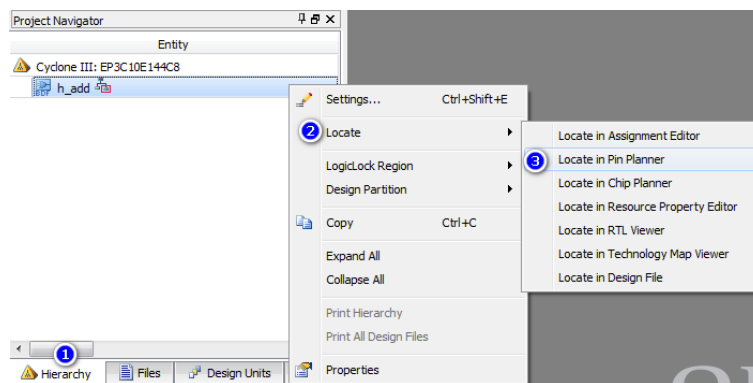


图 2-36 工程的管脚锁定

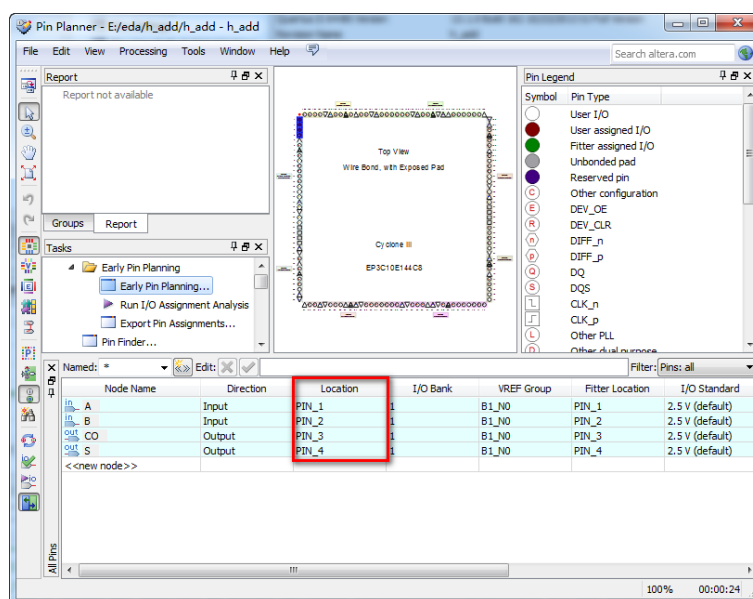


图 2-37 对管脚进行锁定

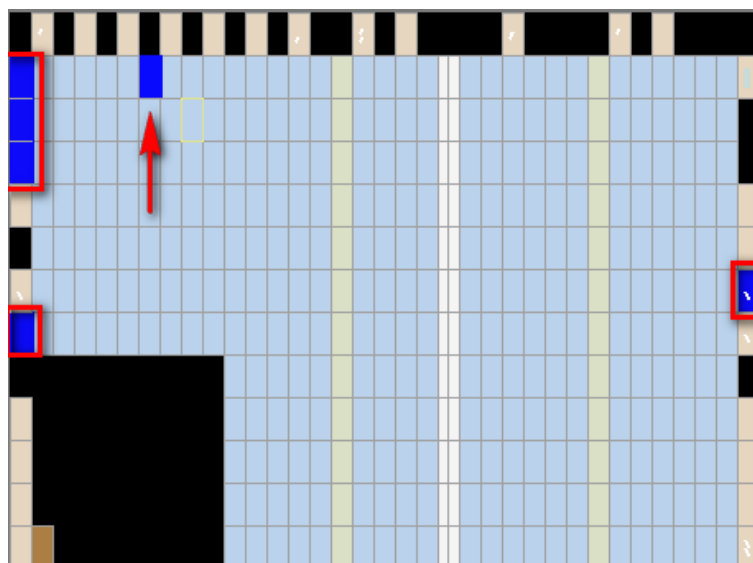


图 2-38 管脚锁定后的 FPGA 资源使用情况

重新对工程进行编译后查看 ChipPlanner, 如图 2-38, 注意与图 2-34 的资源使用情况进行对比。可以看到, 管脚的位置发生了变化, 资源使用位置也变化了。

2.2.4 半加器的仿真

1. 打开 ModelSim

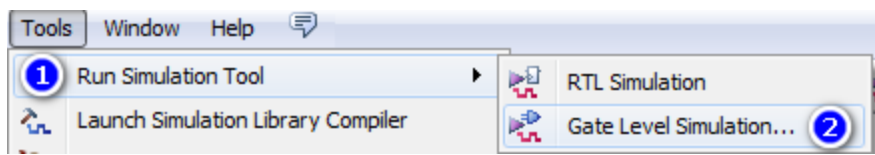


图 2-39 打开 ModelSim 进行门级仿真

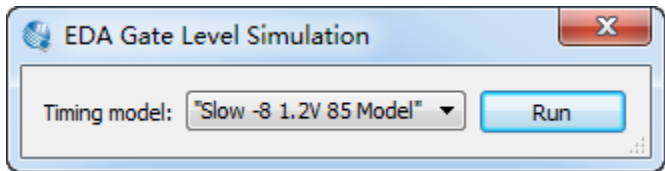


图 2-40 门级仿真的时序模式选择

图 2-40 中可以选择三种门级仿真的时序模式，此处不做修改，直接点击 Run 按钮打开 ModelSim 进行仿真。

2. Testbench 文件的编写。

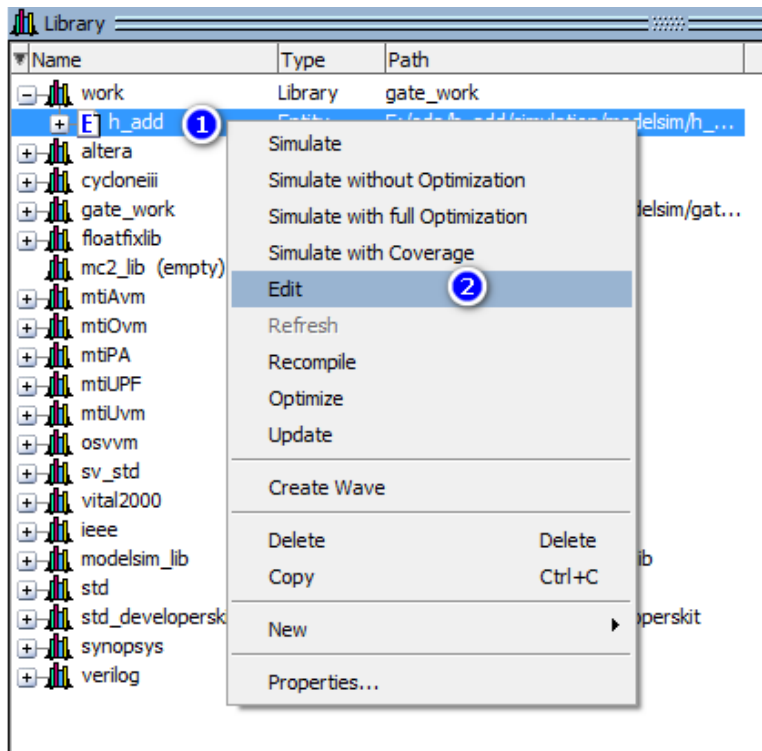


图 2-41 打开 h_add 设计文件

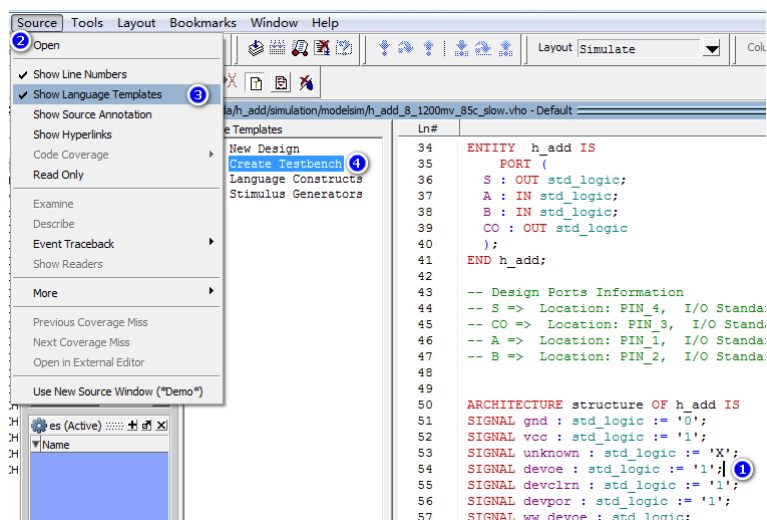


图 2-42 打开语言模板

图 2-42 的①处特别重要，只有光标在设计文件中时，才会有②处的 Source 菜单，双击④处开始创建 Testbench 文件。

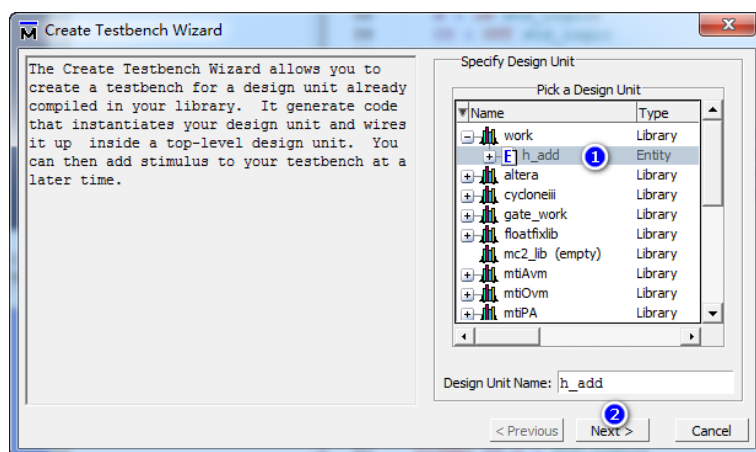


图 2-43 Testbench 向导第 1 页

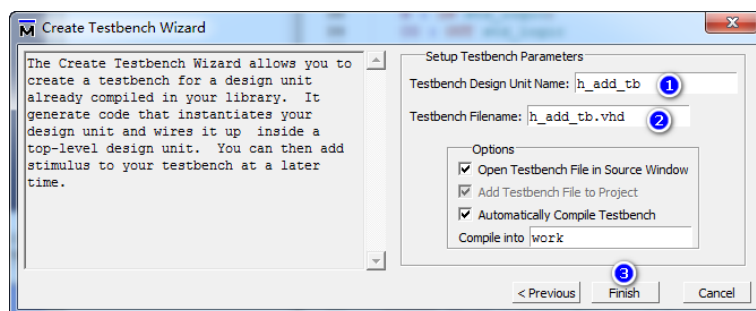


图 2-44 Testbench 向导第 2 页

注意图 2-44 中①和②处的测试向量的实体名和文件名。修改 h_add_tb.vhd 文件如下。

```

1  LIBRARY cycloneiii ;
2  LIBRARY ieee ;
3  USE cycloneiii.cycloneiii_components.all ;
4  USE ieee.std_logic_1164.all ;
5  ENTITY h_add_tb IS
6  END ;
7
8  ARCHITECTURE h_add_tb_arch OF h_add_tb IS
9      SIGNAL A : STD_LOGIC := '0'; ①
10     SIGNAL CO : STD_LOGIC ;
11     SIGNAL B : STD_LOGIC := '0'; ②
12     SIGNAL S : STD_LOGIC ;
13     COMPONENT h_add
14     PORT (
15         A : in STD_LOGIC ;
16         CO : out STD_LOGIC ;
17         B : in STD_LOGIC ;
18         S : out STD_LOGIC );
19     END COMPONENT ;
20 BEGIN
21     DUT : h_add
22     PORT MAP (
23         A => A ,
24         CO => CO ,
25         B => B ,
26         S => S ) ;
27     A <= not A after 1us; ③
28     B <= not B after 0.5us; ④
29 END ;

```

图 2-45 h_add_tb.vhd 内容

注意图 2-45 中 ① 处和 ② 处对 A 和 B 初始化，③ 处为每隔 1 微秒对 A 的值取反一次，④ 处为对 B 每隔 0.5 微秒取反一次。

3. 功能仿真。

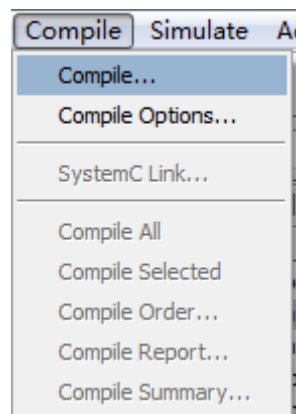


图 2-46 对 h_add_tb.vhd 进行编译

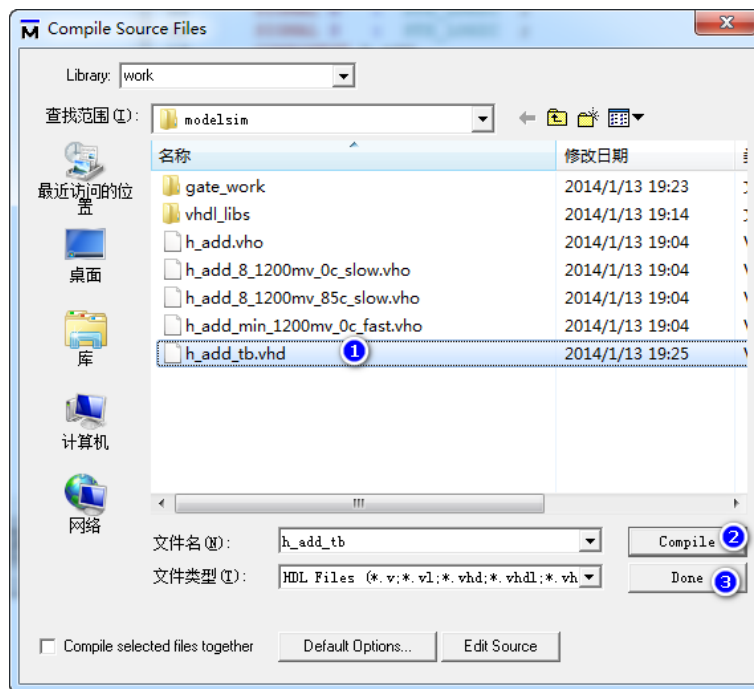


图 2-47 选定 h_add_tb.vhd 进行编译

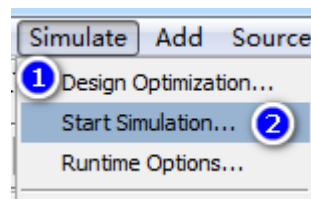


图 2-48 打开仿真向导

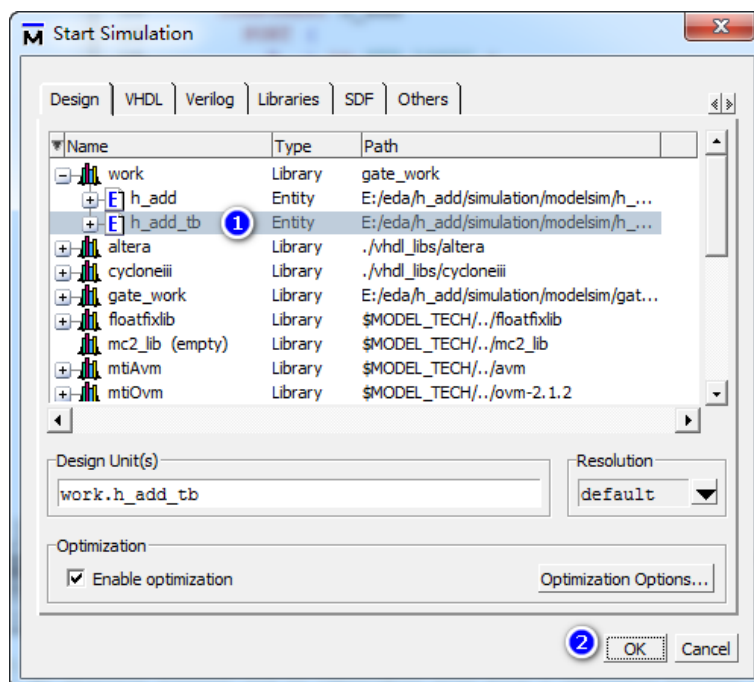


图 2-49 开始仿真

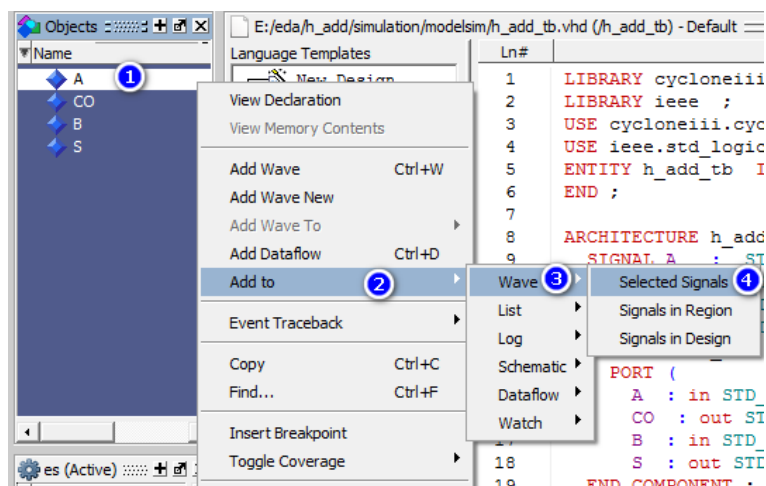


图 2-50 添加对象至 wave 窗口

下面的对象可以使用拖放操作添加进 wave 窗口。Wave 窗口中的对象也可以通过拖放操作任意调整他们的上下位置。

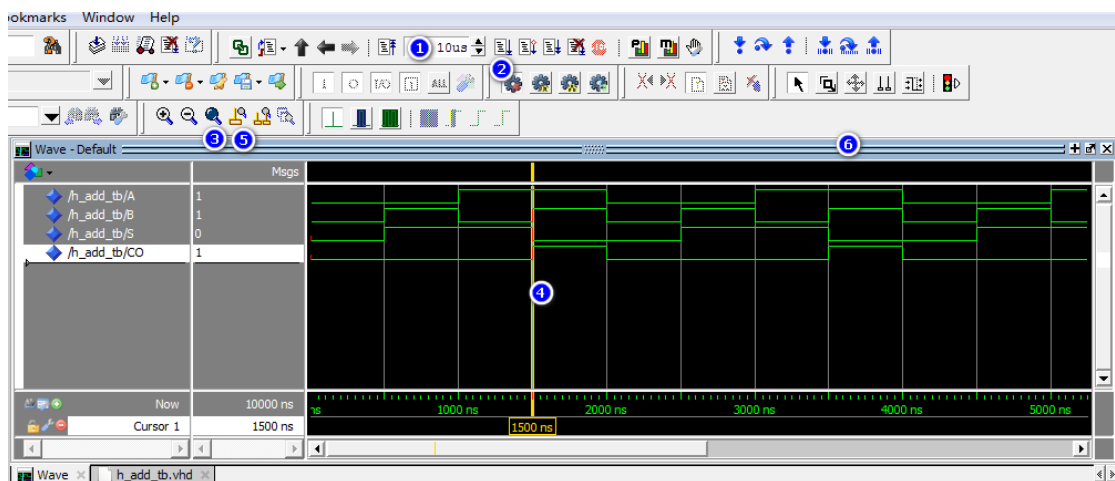


图 2-51 功能仿真波形

图 2-51 中①处设定仿真结束时间为 10 微秒，②处点击开始运行仿真，③处单屏查看所有仿真波形，④处为光标位置，⑤处为对光标处波形进行放大。图 2-52 为光标处放大的波形，明显可以看出输入输出没有任何延时。

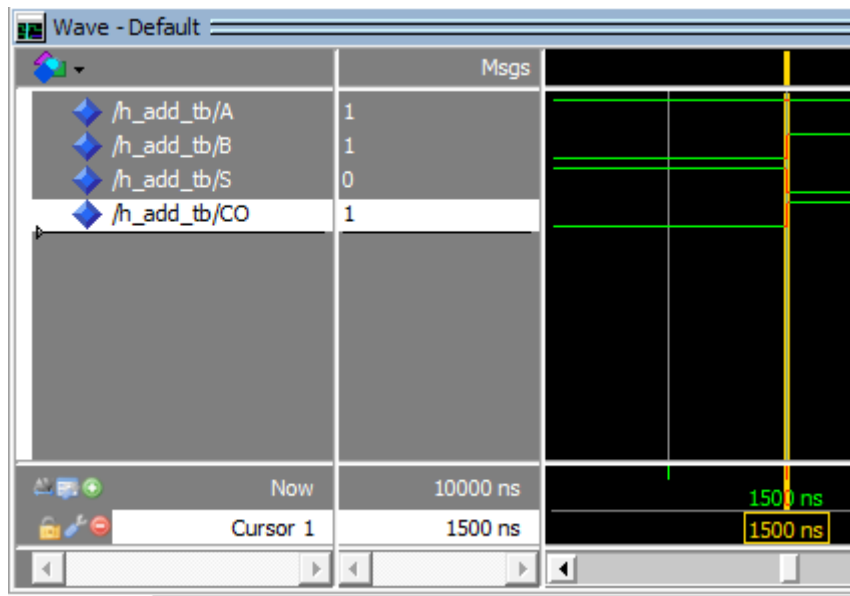


图 2-52 游标处放大的波形

4. 时序仿真。

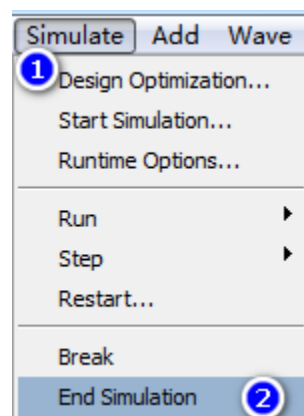


图 2-53 结束当前仿真

如图 2-53 所示结束当前仿真以后，重新开始编译仿真（图 2-46 到图 2-49）处，不点击图 2-49 的 ② 处 OK 按钮进行功能仿真，而是选择 Libraries 标签，如图 2-54 所示。

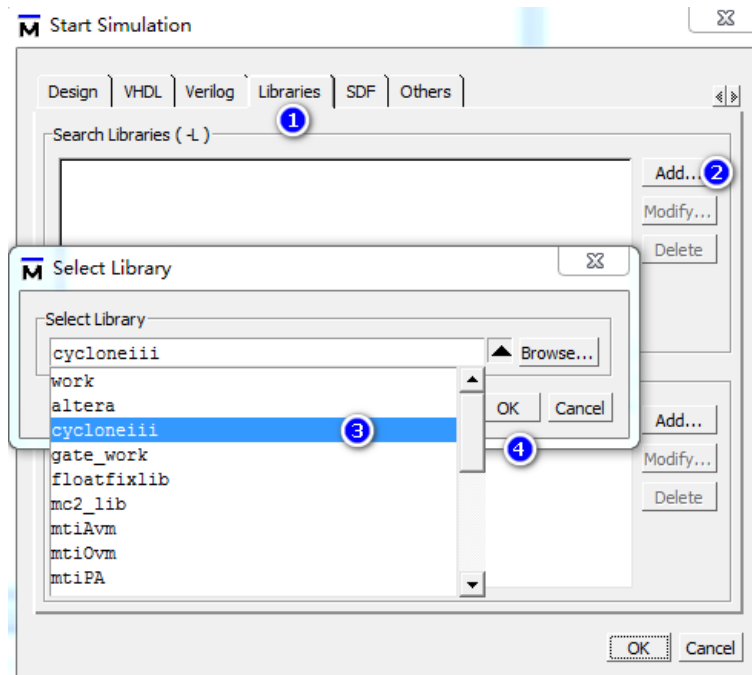


图 2-54 选择仿真的器件库

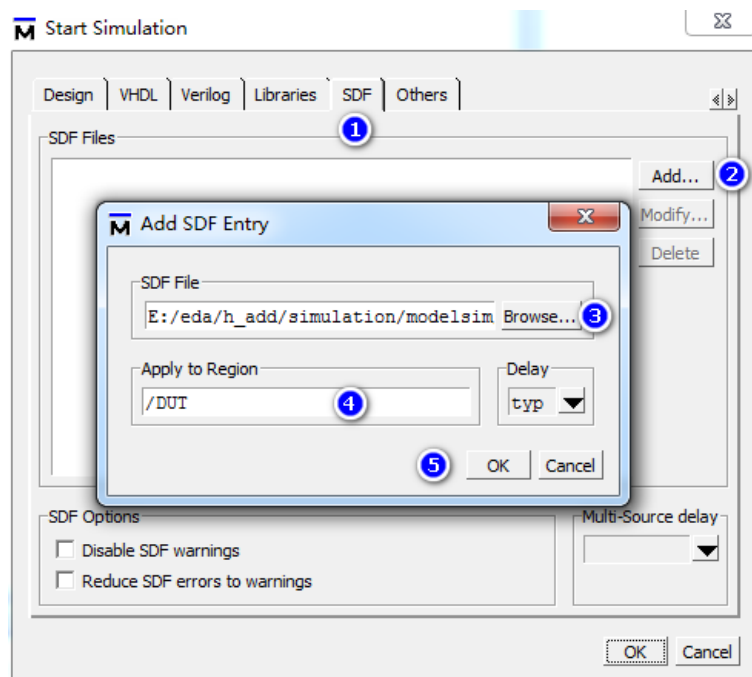


图 2-55 设定时序约束文件和测试对象的实体名

图 2-55 中③处按照图 2-56 进行选择；④处为测试对象实体名，自动生成的测试向量文件中默认为 DUT，见图 2-45 的第 21 行。

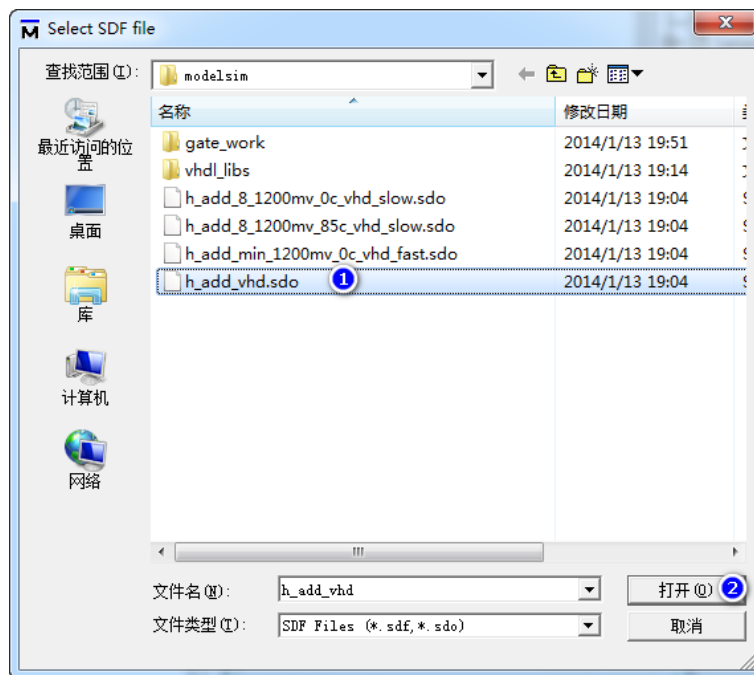


图 2-56 选择时序约束文件 h_add_vhd.sdo

此时重新回到 Design 标签页点击 Ok 按钮进行时序仿真。

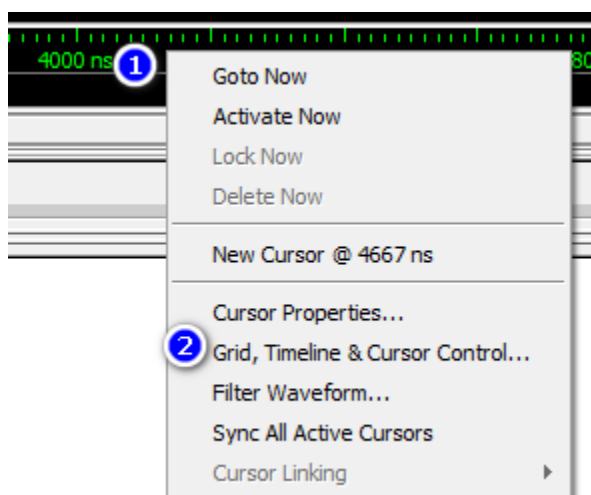


图 2-57 设置波形的相关属性

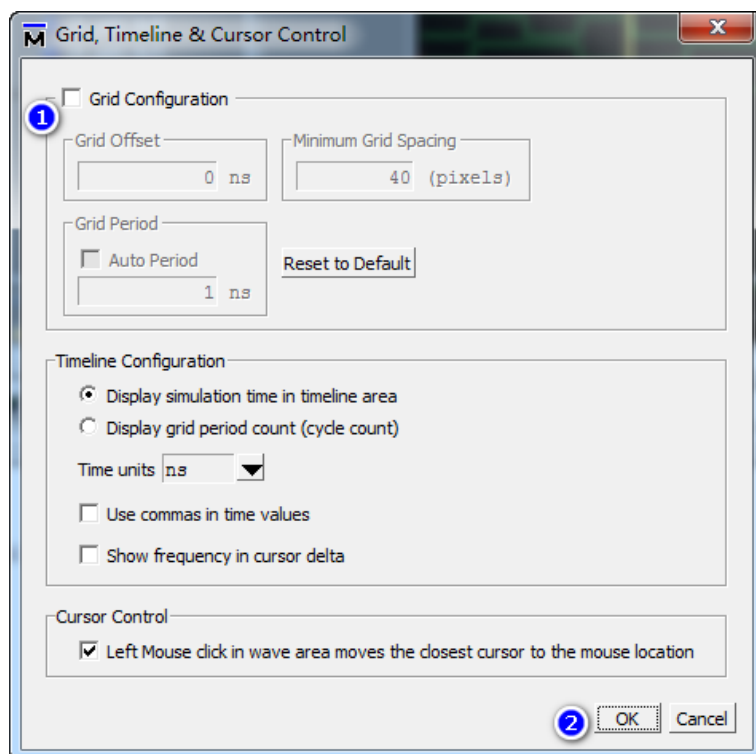


图 2-58 设定不显示窗格

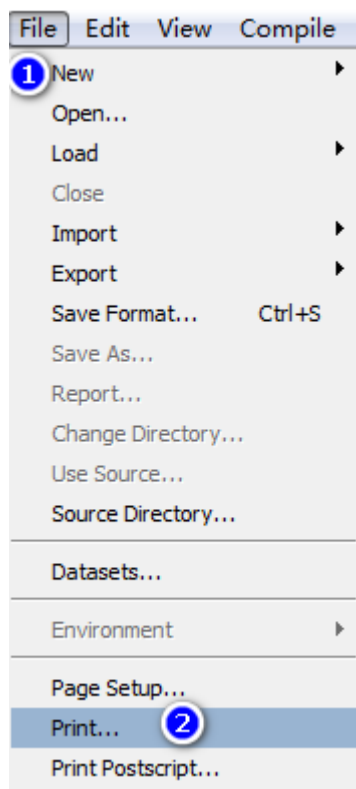


图 2-59 打印图形

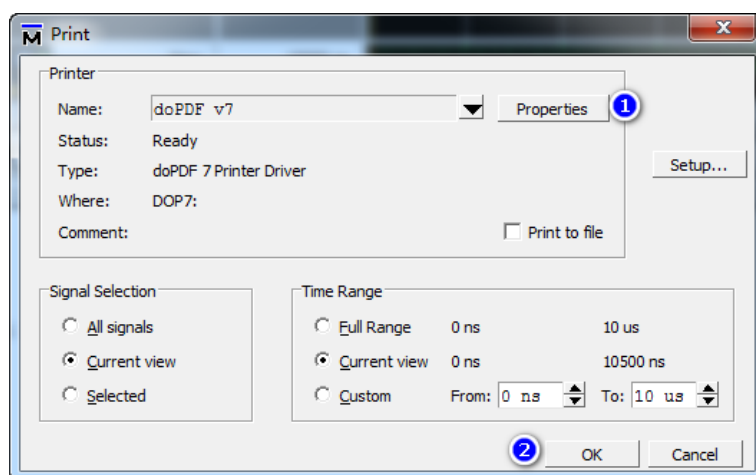


图 2-60 使用虚拟打印机

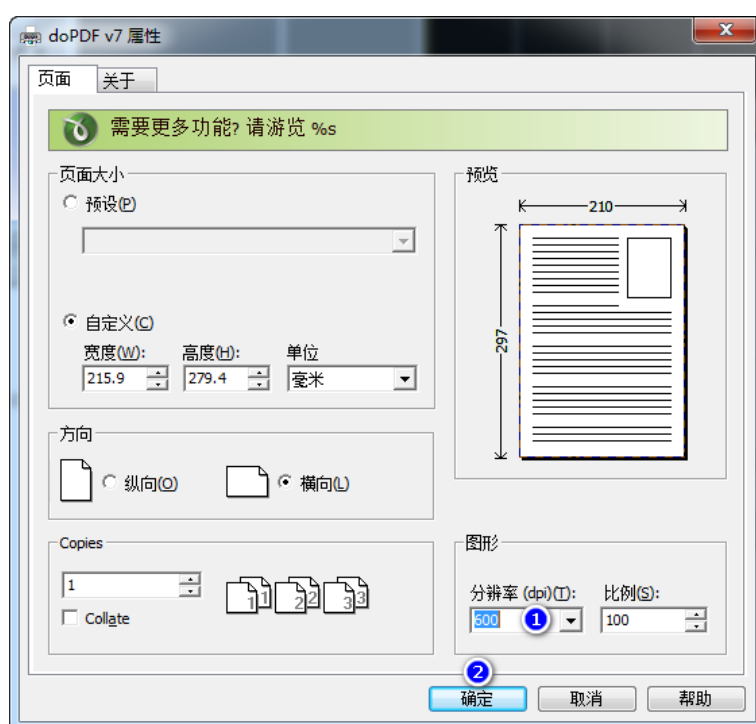


图 2-61 设定虚拟打印机的分辨率

图 2-60 中 ① 处打开图 2-61 所示的虚拟打印机 doPDF 对话框设定打印分辨率为 600dpi 后，点击图 2-60 中 ② 处进行打印生成 PDF 文件。此处的虚拟打印选择为 doPDF，网上有免费的下载（www.dopdf.com）。

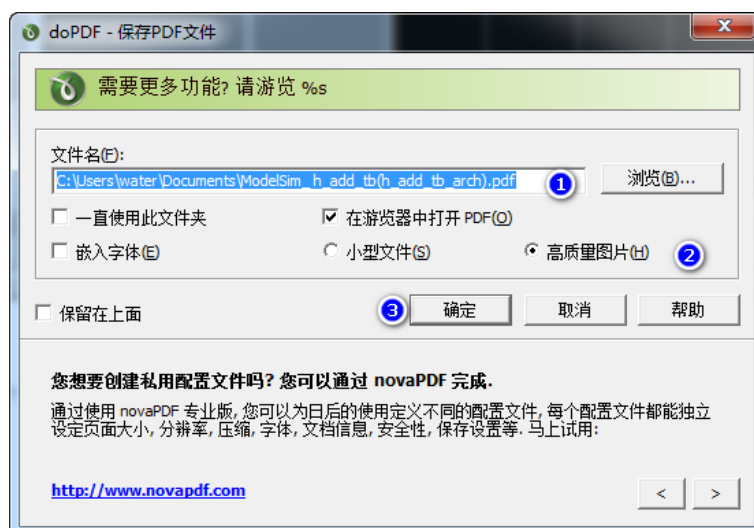


图 2-62 保存 PDF 文件

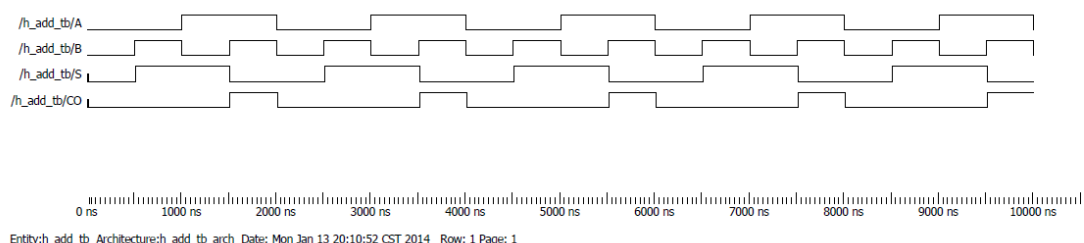
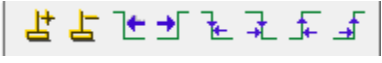


图 2-63 时序仿真波形

游标操作快捷按钮 ，从左到右依次是增加一个游标、删除一个游标、移至前一个变化处、移至后一个变化处、移至前一个下降沿、移至后一个下降沿、移至前一个上升沿和移至后一个上升沿。

选中 B 输入，利用游标快捷操作移动至 A 和 B 均为 1 的 B 由 0 跳变为 1 的变化处，然后选中 S，利用游标快捷操作添加一个新游标，并移动至 S 由 1 跳变成 0 处，最后选中 CO，添加一个游标，移动至 CO 由 0 跳变成 1 的地方。

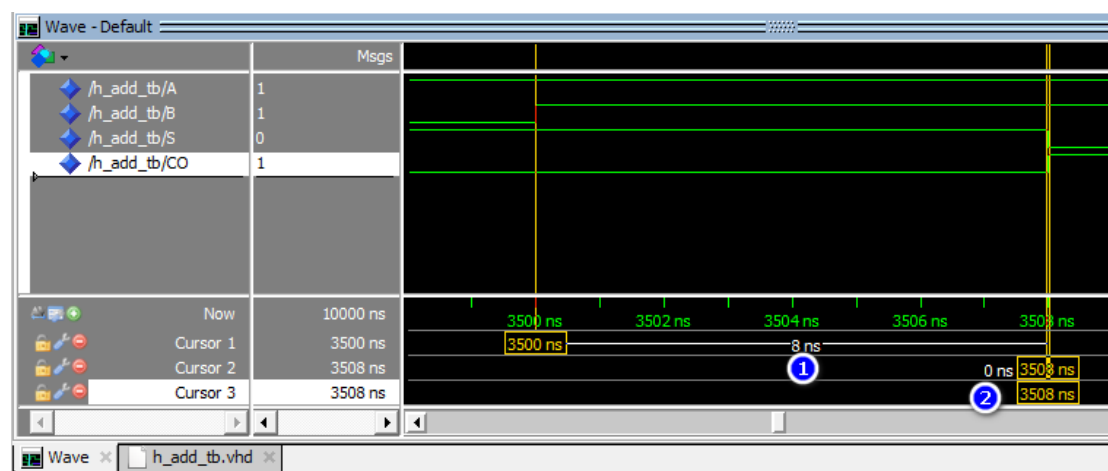


图 2-64 时序仿真波形 2

图 2-64 中①处为 B 的输入变化至 S 的输出变化之间的延时为 8ns，②处表示半加器的 S

与 CO 输出相对于输入的延时是一样。实际此处的延时主要是两输入与门和异或门的延时。
h_add_2.bdf 与 h_add_vhd.vhd 的仿真大家可以按照同样步骤自己做做，相关的结果与 h_add.bsf 的结果进行对比，找出异同。