

EDA 实验板使用说明书

2017 年 9 月

1. 简介

EDA 实验板实物图如图 1 所示。主要性能指标说明如下：

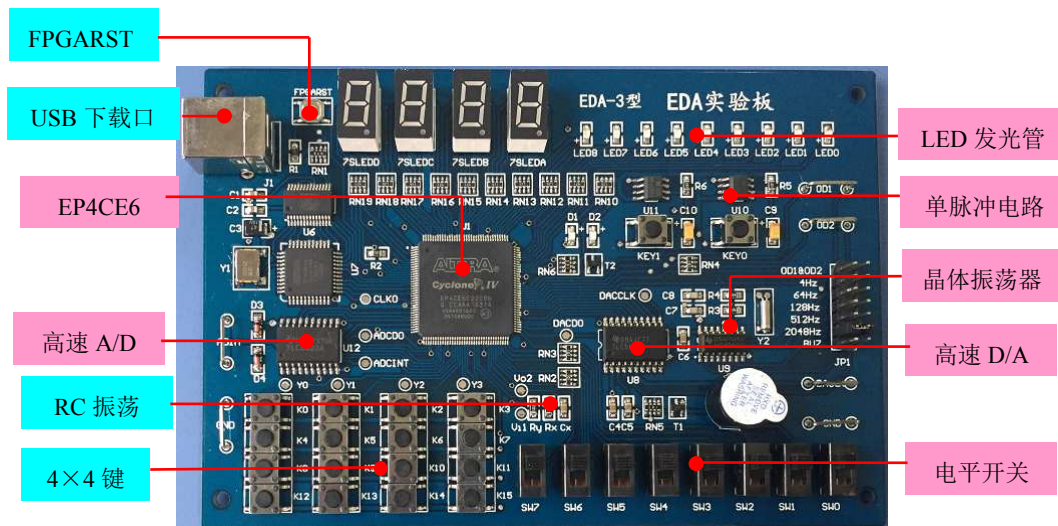
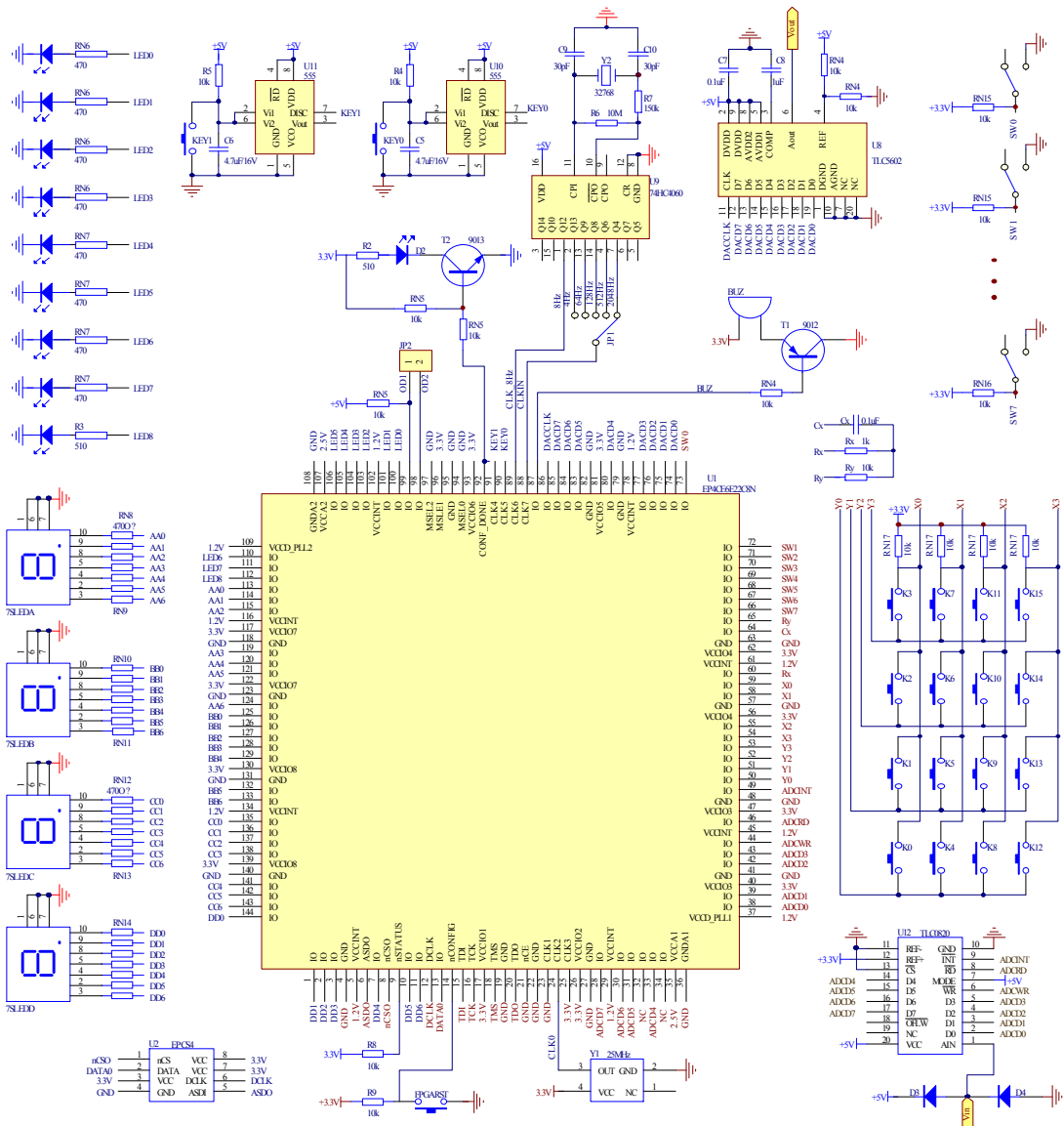


图 1 EDA 实验板实物图

- ◆ 核心芯片采用 CycloneIV 系列芯片 EP4CE6E22C8N；
- ◆ 内置 USB-Blaster 下载电路，可实现 JTAG 下载或 JTAG 间接下载；
- ◆ 4 只共阴 7 段 LED 数码管（7SLEDA-7SLEDD），由 FPGAI/O 引脚直接驱动；
- ◆ 9 只 LED 发光二极管(LED0~LED8)，高电平时点亮，低电平时熄灭；
- ◆ 8 只电平开关 SW0-SW7，拨上时，输入高电平，拨下时，输入低电平；
- ◆ 2 只单脉冲按钮（KEY0-KEY1），按下时产生一个正脉冲；
- ◆ 20MHz 高速 D/A 转换器 TLC5602，电压输出；
- ◆ 低频晶体振荡器，可产生一路频率为 8Hz 的时钟信号 CLK1，一路频率可选择（4Hz、32Hz、128Hz、512Hz、2048Hz）的时钟信号 CLKIN；
- ◆ 25MHz 有源晶振向 FPGA 提供外部时钟信号 CLK0；
- ◆ 蜂鸣器（BUZ）电路，低电平时发出报警声；
- ◆ 4×4 矩阵键盘；
- ◆ 1MHz 高速 A/D 转换器。



EDA 实验板引脚锁定表如表 1 所示。

表 1 EDA 实验板 FPGA 管脚锁定表 (注 1)

外 设	信号名	FPGA 引脚号	外 设	信号名	FPGA 引脚号	外 设	信号名	FPGA 引脚号
7SLEDA	AA0	PIN113	电平 开关	SW0	PIN73	高速 A/D 转换器	ADCD7	PIN 28
	AA1	PIN114		SW1	PIN72		ADCD6	PIN30
	AA2	PIN 115		SW2	PIN 71		ADCD5	PIN31
	AA3	PIN119		SW3	PIN70		ADCD4	PIN33
	AA4	PIN 120		SW4	PIN69		ADCD3	PIN 43
	AA5	PIN 121		SW5	PIN 68		ADCD2	PIN 42
	AA6	PIN124		SW6	PIN67		ADCD1	PIN39
7SLEDB	BB0	PIN 125	LED 发光 二极管	SW7	PIN66	4×4 矩阵 键盘	ADCD0	PIN38
	BB1	PIN 126		LED0	PIN100		ADCWR	PIN44
	BB2	PIN 127		LED1	PIN101		ADCRD	PIN 46
	BB3	PIN 128		LED2	PIN103		ADCINT	PIN49
	BB4	PIN129		LED3	PIN104 (注 2)		Y0	PIN50
	BB5	PIN132		LED4	PIN105		Y1	PIN51
	BB6	PIN 133		LED5	PIN106		Y2	PIN52
7SLEDC	CC0	PIN135	高速 D/A 转换器	LED6	PIN110	RC 振荡器	Y3	PIN53
	CC1	PIN136		LED7	PIN111		X3	PIN 54
	CC2	PIN137		LED8	PIN112		X2	PIN 55
	CC3	PIN138		DACCLK	PIN86		X1	PIN58
	CC4	PIN141		DACD7	PIN85		X0	PIN59
	CC5	PIN142		DACD6	PIN84		Rx	PIN60
	CC6	PIN 143		DACD5	PIN83		Cx	PIN64
7SLEDD	DD0	PIN144	按键	DACD4	PIN80	蜂鸣器	Ry	PIN65
	DD1	PIN1		DACD3	PIN77	时钟	CLK1	PIN89
	DD2	PIN 2		DACD2	PIN76		CLKIN	PIN88
	DD3	PIN3		DACD1	PIN 75		CLK0	PIN24
	DD4	PIN7		DACD0	PIN74		BUZ	PIN87
	DD5	PIN10		KEY0	PIN90	OD 输出	OD1	PIN99
	DD6	PIN11		KEY1	PIN 91		OD2	PIN98

注 1：在一个设计中，一般不可能用到所有的 FPGA I/O 引脚，为了避免未用 I/O 引脚对其他电路的影响，在编译之前应将 FPGA 的未用引脚设为“输入高阻”。应作如下设定:Assignments→Device→Device&Pin Option→Unused Pins→As input tri-stated, 按”确定”

键。

注 2: 由于 PIN101 是双功能引脚, 既可作为 nCEO 引脚, 也可作为 I/O 引脚, 在引脚锁定之前, 应作如下设定: Assignments→Device→Device and Pin Options→Dual Purpose Pins→nCEO→Use as regular I/O, 按“确定”键。

2. 基本操作

(1) 实验板自检

实验板的配置芯片 EPCS4 (U2, 焊在电路板背面) 已下载了“EDATEST”测试程序, 以测试硬件电路工作是否正常。测试程序的功能如下:

7SLEDA~7SLEDD 四只数码管循环显示“0000”、“1111”、…、“9999”;

按 KEY0 键, 蜂鸣器发出响声; 按 KEY1 键, LED8 点亮;

拨动 SW0~SW7, LED0~LED7 发光管点亮或熄灭;

用示波器观察 Vout, 可观测到正弦信号。

(2) 编程下载

EDA 实验板有两种编程方法, 一种是 JTAG 编程, 将*.sof 文件直接下载到 FPGA 芯片中, 速度快, 但掉电后数据丢失, 适用于调试阶段。另一种是 JTAG 简接编程, 将*.jic 文件下载到 EPCS4 中, 这种下载方法适用于调试结束后, 将代码固化在配置芯片中。每次上电或者通过 FPGARST 键 (实验板左上角) 复位时, FPGA 自动从配置芯片中读入编程数据, 使之具有相应功能。需要注意的是, 一旦通过 JTAG 间接下载, 原先存放在 EPCS4 中的测试程序就不复存在, 因此实验时不建议使用 JTAG 间接下载功能。

(3) JTAG 间接编程操作步骤

当代码调试成功, 需要将设计代码写入配置芯片 EPCS4 中, 可利用 JTAG 口对 EPCS4 器件进行间接配置。具体方法是首先将 SOF 文件转化为 JTAG 间接配置文件, 再通过 FPGA 的 JTAG 口为 EPCS4 器件编程。步骤如下:

将 SOF 文件转化为 JTAG 间接配置文件。

选择 File→Convert Programing Files 命令, 在如图 3 弹出的窗口中做如下选择:

首先在 Programing file type 下拉列表框中选择输出文件类型为 JTAG 间接配置文件类型: JTAG Indirect Configuration File, 后缀: .jic。在 Configuration device 下拉列表中选择配置器件型号, 这里选择 EPCS4。再在 File name 文本框中键入输出文件名, 如 edatest.jic。

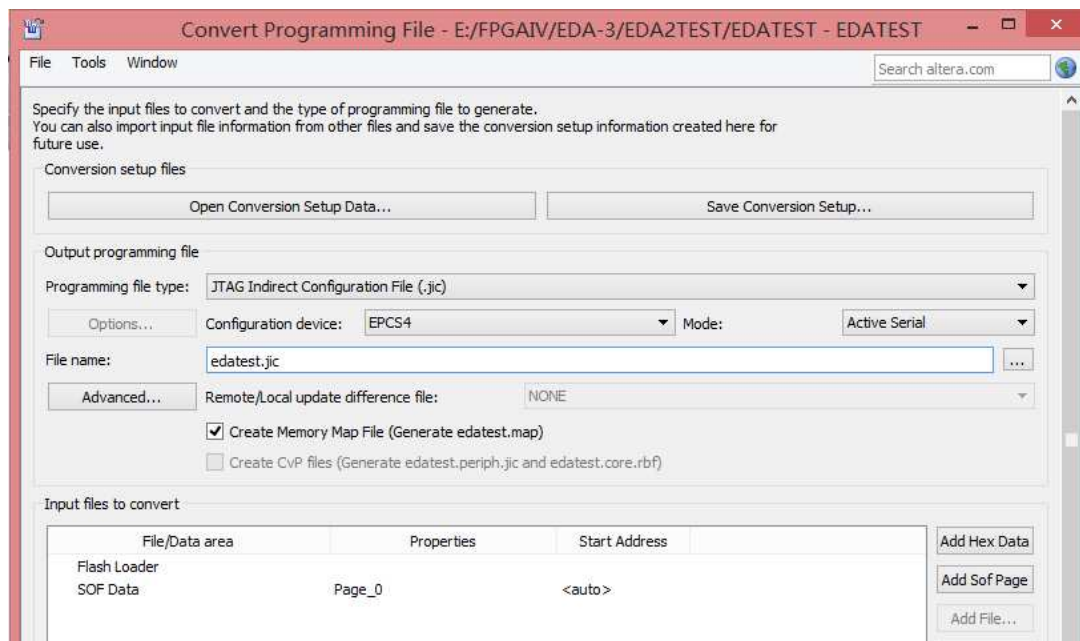


图 3 设定 JTAG 间接编程文件

选择 Input file to convert 栏中的 Flash Loader，再选择此栏右侧的 Add Device 按钮，在如图 4 所示的弹出的 Select Device 器件选择窗的左栏中选定目标器件的系列，如 Cyclone IV，再在右栏中选择具体器件 EP4CE6。

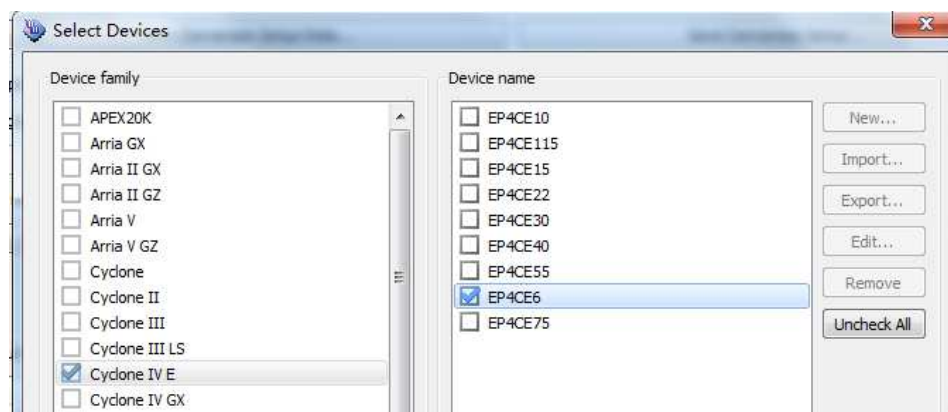


图 4 选择目标器件 EP4CE6

选中 Input file to convert 栏中得 SOF Data 项，然后单击此栏右侧的 Add File 按钮，选择 SOF 文件 edatest.sof。单击 Generate 按钮，即生成所需要的间接编程配置文件。

下载 JTAG 间接配置文件。选择 Tool→Programmer 命令，选择 JTAG 模式，加入 JTAG 间接配置文件*.jic，如图 5 所示。单击 Start 按钮后进行编程下载。为了证实下载后系统是否能正常工作，在下载完成后，必须关闭系统电源，再打开电源，以便启动 EPCS4 器件对

FPGA 的配置。注意观察配置成功指示二极管 D2 是否点亮。

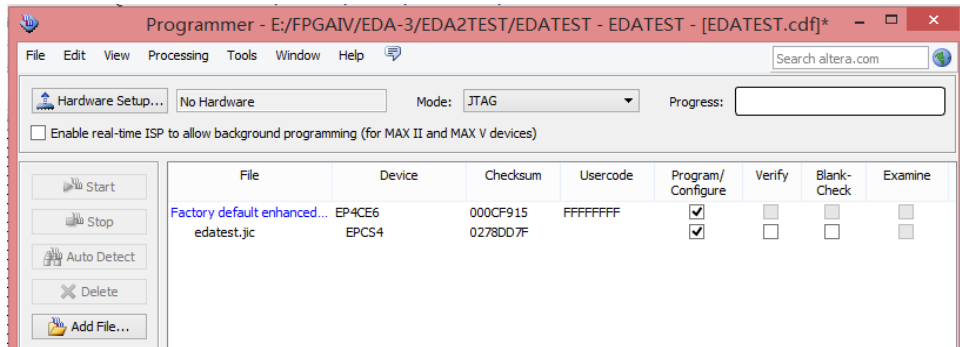


图 5 用 JTAG 模式经由 FPGA 对配置器件 EPCS4 进行间接编程

3. 基本实验

实验一 门电路实验

1. 实验内容

(1) 门电路功能测试。根据图 1-1，完成下表（填上“点亮”或者“熄灭”）。

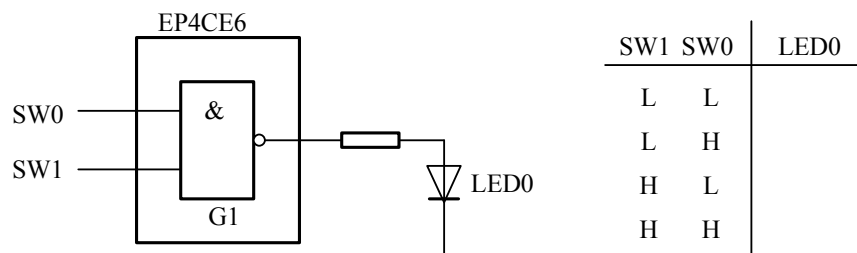


图 1-1 与非门测试原理图

(2) 漏极开路门和三态门功能测试

图 1-2 (a) 中 OPNDRN 元件（primitives→buffer→OPNDRN）为 OD 输出元件。CLK1 为 8Hz 的方波信号，CLKIN 为 4Hz 方波信号。在 JP1 的最上方插上短路块，可以将两个与非门线与。SW0、SW1 分别输入 00、01、10、11 时，用示波器观察 OD1 或 OD2 的波形，并记录观测到的信号波形，在波形图上标明周期和高电平幅值。

图 1-2 (b) 中 tri 元件（primitives→buffer→tri）为三态缓冲器。CLK1 为 8Hz 的方波信号，CLKIN 为 4Hz 方波信号。在 JP1 的最上方插上短路块，将两个三态门的输出端接在一起。SW0、SW1 分别输入 00、01、10、11 时，在用示波器观察 OD1 或 OD2 的波形，并记录观测到的信号波形，在波形图上标明周期和高电平幅值。

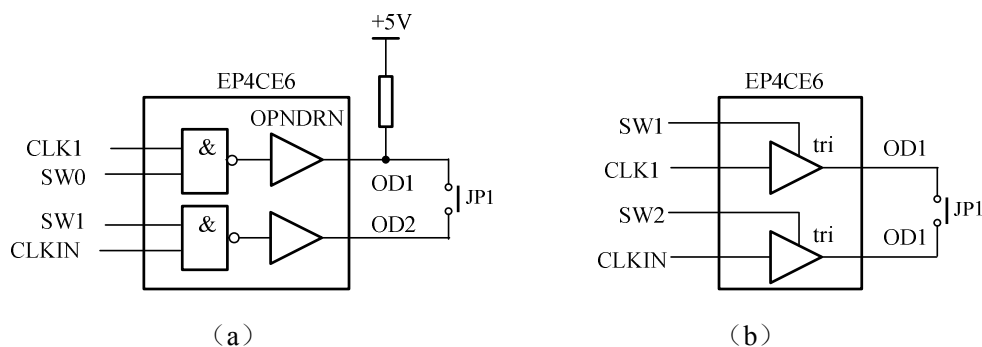


图 1-2 实验一示意图

实验二 3 线-8 线译码器

(1) 3 线-8 线译码器实验

输入：3 位二进制码 A2~A0，输出：8 路译码信号 Y0~Y7。

二进制码从电平开关 SW2~SW0 输入，译码显示直接驱动发光二极管。实验示意图如图 3-2 (a) 所示。

(2) 数据分配器实验

输入：3 位二进制码 A2~A0，一路 4Hz 时钟信号。输出：8 路信号

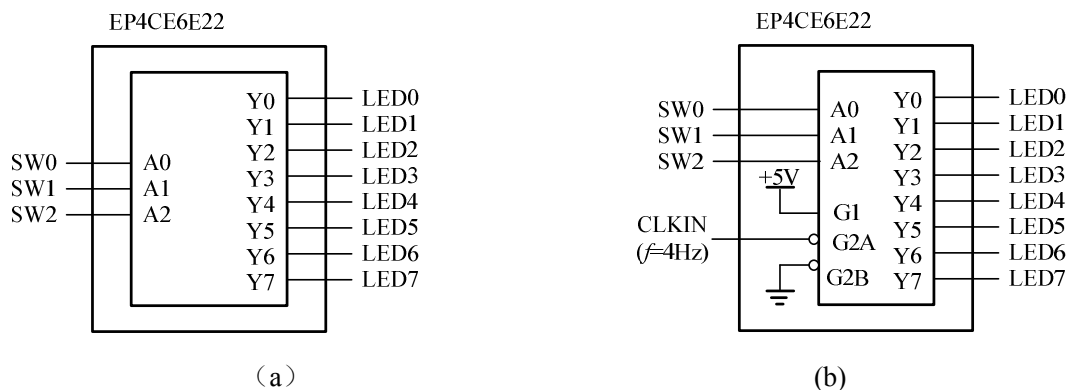


图 3-2 二进制译码器实验示意图

实验三：优先编码器和显示译码器实验

输入：8 路编码信号 I0~I7，低电平有效，I7 优先级最高，I0 优先级最低。

输出：7 位显示段码。

编码信号从电平开关 SW7~SW0 输入，输出直接驱动一只 7 段 LED 数码管。实验示意图如图 3-3 所示。

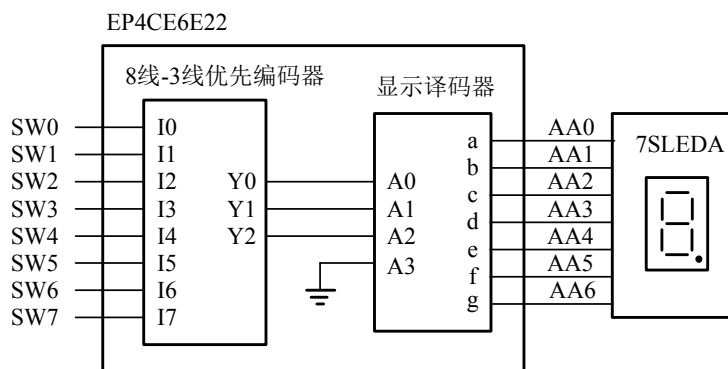


图 3-3 优先编码器和显示译码器实验示意图

实验四：四位数值比较器实验

输入：两个 4 位无符号二进制数：A3~A0，B3~B0。

输出：比较输出： $Y_{A>B}$ ， $Y_{A<B}$ ， $Y_{A=B}$ 。

两个 4 位无符号二进制数从电平开关 SW7~SW0 输入，比较输出直接驱动发光二极管。

实验示意图如图 3-4 所示。

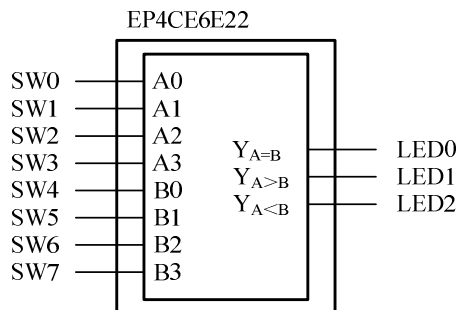


图 3-4 数值比较器示意图

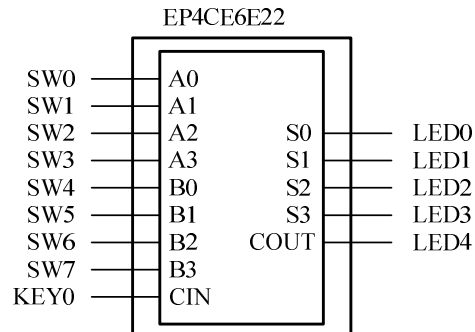


图 3-5 加法器示意图

实验五：四位加法器实验

输入：两个四位二进制加数 $A_3 \sim A_0$ ， $B_3 \sim B_0$ ；进位输入：CIN

输出：四位和： $S_3 \sim S_0$ ；进位输出：COUT。

两个四位二进制加数从电平开关 SW7~SW0 输入，进位输入通过按键输入。和及进位输出直接驱动发光二极管。实验示意图如图 3-5 所示。要求给出仿真结果。

实验六 锁存器和触发器实验

(1) D 锁存器实验

实验示意图如图 3-6 (a) 所示。将设计通过 QuartusII 下载到实验板，测试步骤如下：KEY0 未按下时，通过 SW0 输入高低电平，观察 LED0 状态；按下 KEY0，通过 SW0 输入高低电平，观察 LED0 状态；将 SW0 置高电平，然后松开 KEY0，再将 SW0 置成低电平，通过 LED0 观察能否将 SW0 状态锁住。

(2) D 触发器实验

实验示意图如图 3-6 (b) 所示。将设计通过 QuartusII 下载到实验板，测试步骤如下：KEY0 未按下时，通过 SW0 输入高低电平，观察 LED0 状态；将 SW0 置高电平，按下 KEY0，观察 LED0 状态；继续按住 KEY0，通过 SW0 输入高低电平，观察 LED0 状态；然后松开 KEY0，观察 LED0 状态。

思考：FPGA 是如何实现 D 锁存器的，结合逻辑单元 LE 的原理回答。

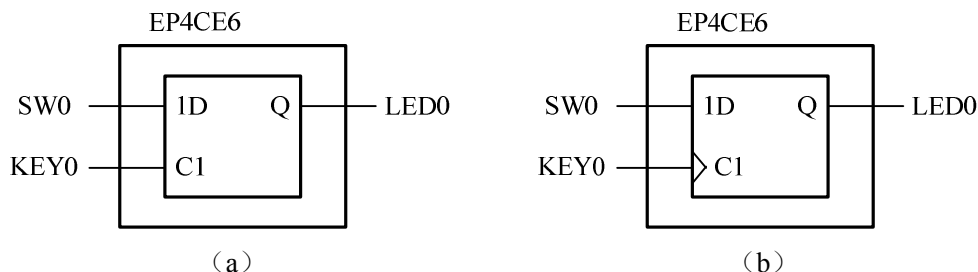


图 3-6 锁存器和触发器示意图

实验七：四位二进制加减计数器

输入：计数脉冲信号 CLK，加减计数控制 Up/\overline{Dn} ，计数使能 EN；

输出：将计数值转化成 7 段显示码输出。

加减计数控制 Up/\overline{Dn} 由 SW0 控制，当 $Up/\overline{Dn}=1$ 时，加法计数；当 $Up/\overline{Dn}=0$ 时，减法计数。计数使能 EN 由 SW1 控制，当 EN=0 时停止计数；当 EN=1 时，允许计数；计数脉冲由按键 KEY0 产生，每按一次键产生一个计数脉冲。计数器的输出通过 7 段显示译码器驱动数码管 7SLEDA。实验示意图如图 3-7 所示。

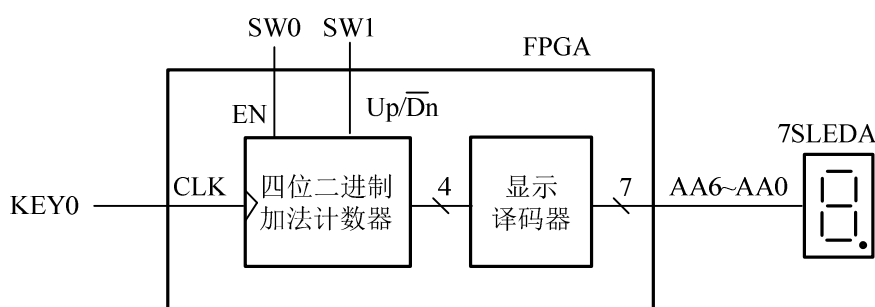


图 3-7 加减计数器示意图

实验八 12 进制加法计数器

设计一 12 进制计数器，原理框图如图 3-8（a）所示，状态转换图如图 3-8（b）所示。计数脉冲由实验板上的按键产生，计数值通过 LED 数码管显示。

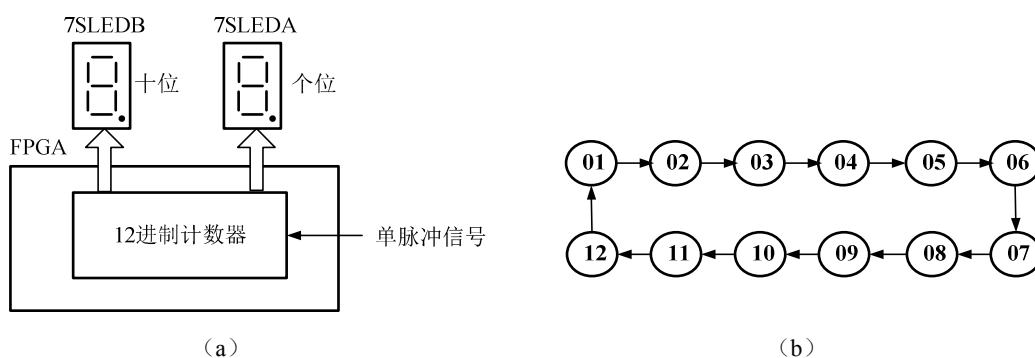


图 3-8 12 进制计数器原理框图和状态转换图

使用以下两种方法设计：

方法一：采用原理图设计。12 进制计数器规定采用 74192（十进制加减计数器）和 7448（共阴 7 段 LED 显示译码器）构成。先由两片 74192 级联构成 12 进制加法计数器，然后计数值通过 7448 译码后在 LED 数码管上显示。

方法二：采用原理图和 HDL 设计。顶层设计采用原理图描述，底层设计采用 VHDL 语言描述。12 进制计数器包含两个底层模块，一个模块为 12 进制计数器 count12，一个为 BCD-7 段显示译码器模块 LED7S。这两个模块均用 VHDL 语言描述。

实验九 序列信号发生器

反馈移位型序列信号发生器的结构框图如图 3-9 所示，它由移位寄存器和组合反馈网络组成，从移位寄存器的某一输出端可以得到周期性的序列信号。用移位寄存器 74LS194 和数据选择器设计 00011101 序列信号发生器。序列信号从实验板的 OD1 端输出，用示波器观察。

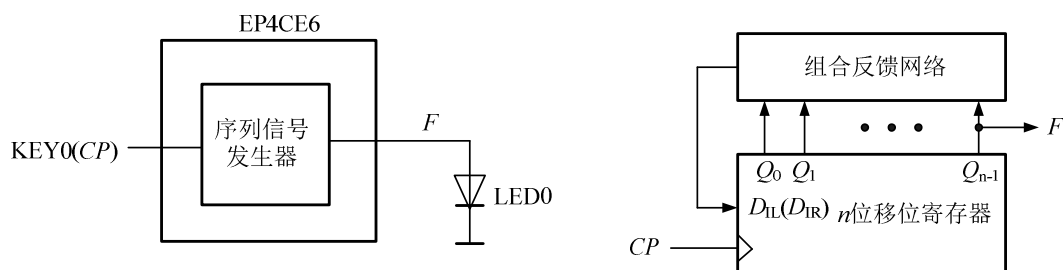


图 3-9 序列信号发生器

实验十 串行数据（011）检测器

串行数据检测器原理框图如图 3-10 所示。详细设计参看教材例。串行数据从 SW0 输入，KEY0 产生时钟信号。状态机的状态和输出通过 LED 显示。

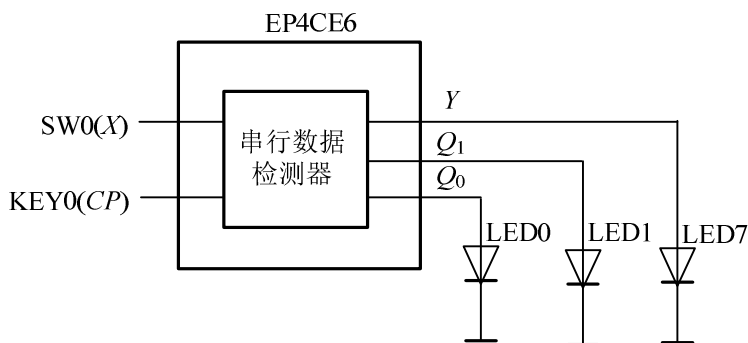


图 3-10 串行数据检测器原理框图

实验十一 交通灯控制器

某交通十字路口的示意图如图 3-11 所示。在主干道和支干道上两个方向上都安装红、黄、绿三色信号灯。C_a 和 C_b 分别是安装在主干道和支干道上的传感器，输出高电平说明有车需要通过。交通信号灯的技术要求为：

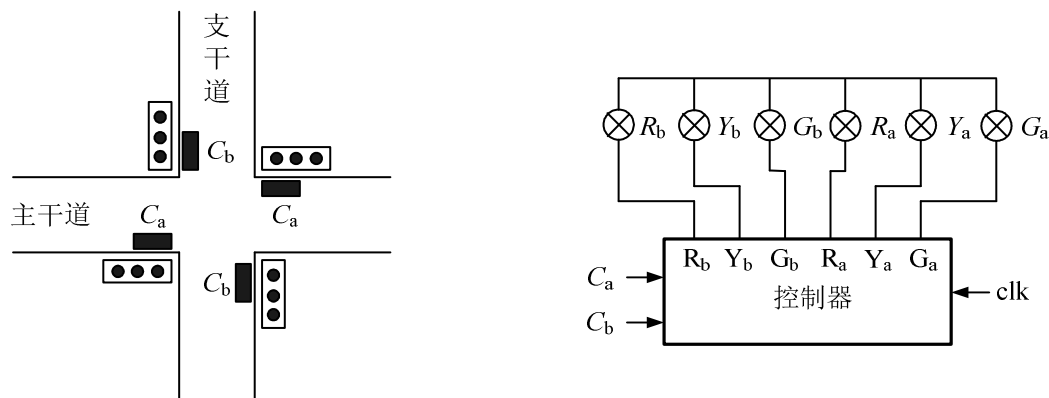


图 3-11 交通灯控制器示意图

(1) 主干道的通车时间最短为 60 秒，超过 60 秒后，如果支干道上有车，则交通灯改变，即主干道黄灯亮 10 秒后，支干道绿灯亮；

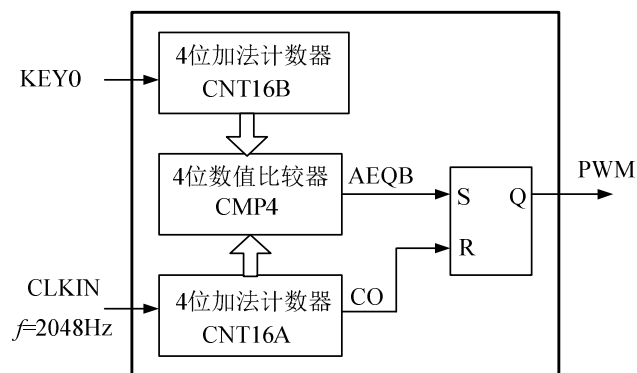
(2) 支干道的通车时间最短为 30 秒，超过 30 秒后，如果支干道上还有车，而主干道无车，则支干道一直保持绿灯亮，其它情况交通灯改变，即支干道黄灯亮 10 秒后，主干道绿灯亮。

按上述要求设计交通灯控制器。画出交通灯控制器状态图，写出交通灯控制器的 VHDL 代码，并在 EDA 实验板上验证。

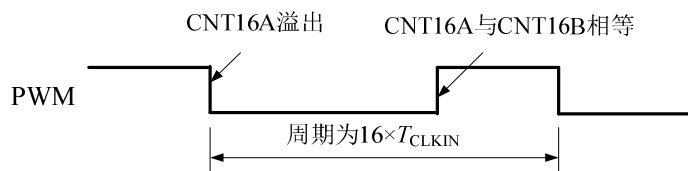
实验十二 脉宽调制 (PWM) 实验

利用 FPGA 产生一路 PWM 信号控制实验板上的 LED 的亮度，实现 LED 渐亮和渐灭。其原理框图如图 3-12(a)所示。CNT16B 为 16 进制加法计数器，每按一次 KEY0 键，计数值加 1。CNT16A 为带进位输出的 16 进制加法计数器，当计数值为 15 时，CO 输出一个正脉冲。CMP4 为 4 位数值比较器，当 CNT16A 计数值与 CNT16B 的计数值相等时，AEQB 输出高电平。将 CO 和 AEQB 作为触发脉冲，基本 SR 锁存器的输出即为 PWM 信号，如图 3-12 (b) 所示。PWM 信号的设置占空比取决于 CNT16B 的计数值，可实现 PWM 的占空比 16 档可调。PWM 信号的频率取决于时钟信号 CLKIN 的频率，当时钟信号 CLKIN 的频率为 2048kHz 时，PWM 信号的频率为 128Hz。

由于 PWM 信号占空比 16 档可调，LED 的亮度也是 16 档可调。在本实验中，采用的是线性脉宽调制，即脉冲宽度变化是个常数。实际上，LED 的亮度和脉冲宽度不是线性关系，是一个指数曲线，因此，要使 LED 的亮度线性变化，脉冲宽度的变化就应该非线性的。



(a)

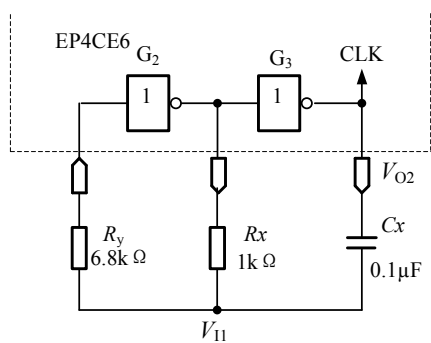


(b)

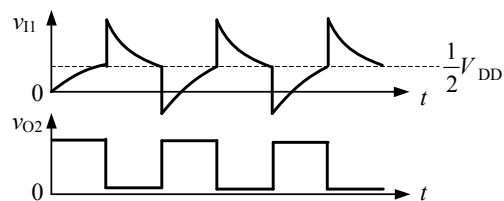
图 3-12 PWM 电路示意图

实验十三 多谐振荡器实验

设计一个 RC 振荡器，原理框图如图 3-13 所示。将设计下载到实验板以后，用示波器观测 V_{I1} 和 V_{O2} 的波形。



(a) 原理图



(b) 波形图

图 3-13 RC 振荡器实验示意图

实验十四 A/D 和 D/A 实验

由 FPGA 控制 A/D 和 D/A 转换器，用 A/D 采集正弦信号，同时用 D/A 回放，其原理框图如图 3-14 所示。状态机的设计参考《数字电路》（第 3 版）P179。

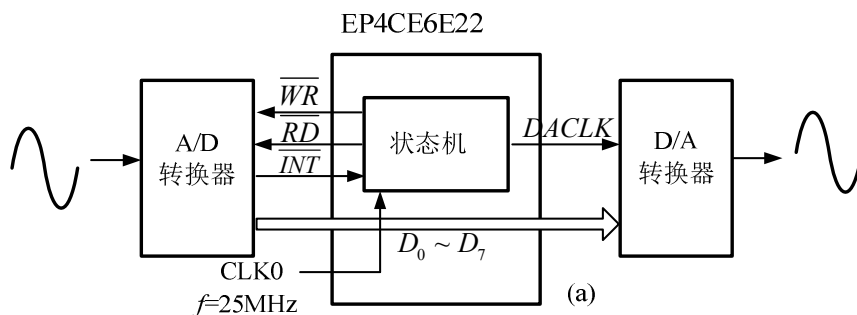


图 3-14 A/D 和 D/A 实验示意图

从实验板左侧的 V_{in} 测试柄输入正弦信号（频率 1kHz，峰峰值 1V，直流偏置 0.5V），用示波器观测实验板右侧的 V_{out} 测试柄。在调试过程中，可以观测实验板上 ADCINT、ADCD0、DACD0 和 DACCLK 测试点的波形，以了解 A/D 转换器和 D/A 转换器的波形。

实验十五 信号发生器

基于 FPGA 的信号发生器原理框图如图 3-15a 所示。硬件电路包括 FPGA、按键、7 段 LED 数码管、高速 D/A 转换器。利用 EDA 工具软件 QuartusII13.0 完成 FPGA 内部数字系统设计，使信号发生器达到要求的功能和指标。

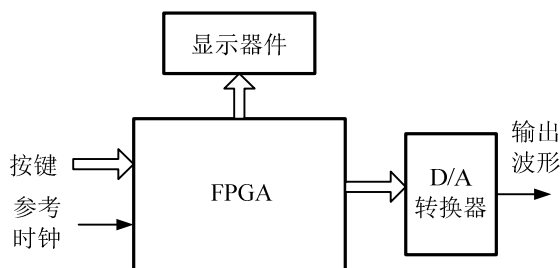


图 3-15 (a) 信号发生器原理框图

依次完成以下实验内容：

(1) 设计固定频率锯齿波发生器，产生固定频率 ($f=5\text{MHz}/256\approx 19.5\text{kHz}$) 的锯齿波，原理框图如图 3-15 (b) 所示。CLK0 为频率固定的外部时钟，用示波器观测 D/A 转换器输出的波形。

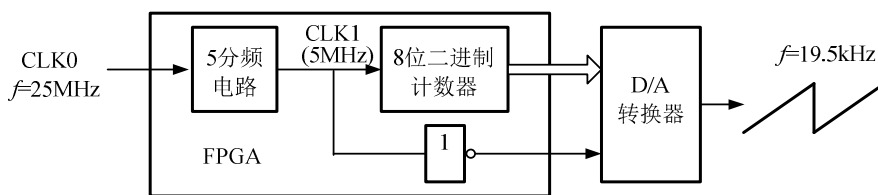


图 3-15 (b) 锯齿波发生器原理框图

(2) 设计固定频率正弦波发生器，产生固定频率 ($f=5\text{MHz}/256\approx 19.5\text{kHz}$) 的正弦信号，正弦信号的每个周期由 256 个采样点组成 (sindata.hex)。正弦信号发生器的原理框图如图 3-15 (c) 所示。操作步骤参考《电子系统设计与实践》第 3 版 4.5 节内容。

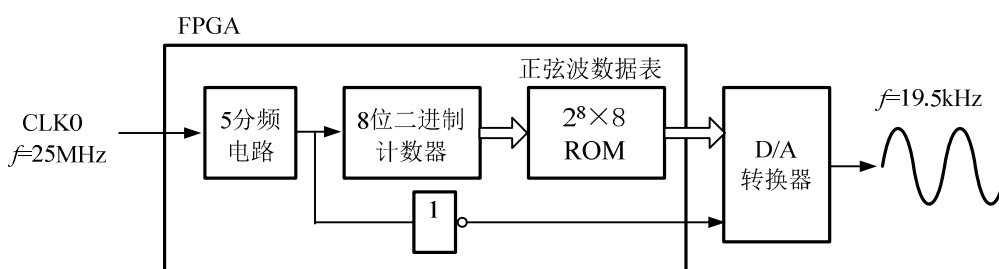


图 3-15 (c) 正弦波发生器原理框图

(3) 设计 DDS 正弦波发生器，利用 DDS 技术实现输出正弦信号频率步进可调。通过按键 KEY0 实现输出正弦信号频率从 0kHz、1kHz、2 kHz、…、9kHz 变化。输出频率采用一位 LED 数码管显示。原理框图如图 3-15 (d) 所示。

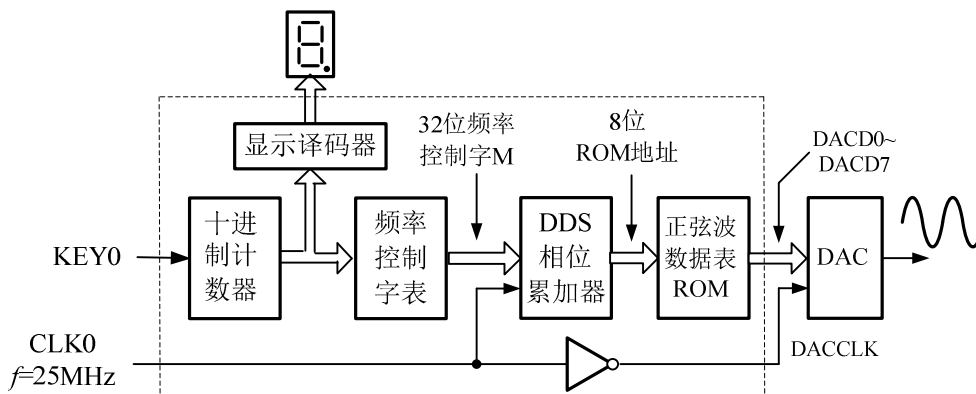


图 3-15(d) DDS 正弦信号发生器原理框图

提示：DDS 是新一代频率合成技术，可产生频率可调的周期性信号，其输出信号的频率由下式确定：

$$f_{\text{out}} = \frac{f_{\text{clk}}}{2^N} \times M = \frac{25 \times 10^6}{2^{32}} \times M = 0.0058 \times M$$

只要改变频率字 M，就可以改变输出信号的频率。根据上式，对应频率 0kHz、1kHz、2kHz、3kHz、4kHz、5kHz、6kHz、7kHz、8kHz、9kHz 的频率控制字如表 1 所示。

表 1 频率字 M 表

输出频率 (kHz)	M 值	输出频率 (kHz)	M 值
0	00000000	05	000D1B71
1	00029F17	06	000FBA8A
2	00053E2E	07	001259A1
3	0007DD45	08	0014F8B8
4	000A7C5C	09	001797CF

(4) 设计 DDS 任意波发生器, 增加输出波形的种类, 在产生正弦波的基础上增加三角波、方波、任意波 (半周期三角波、半周期正弦波) 等。如图 3-15 (e) 所示。

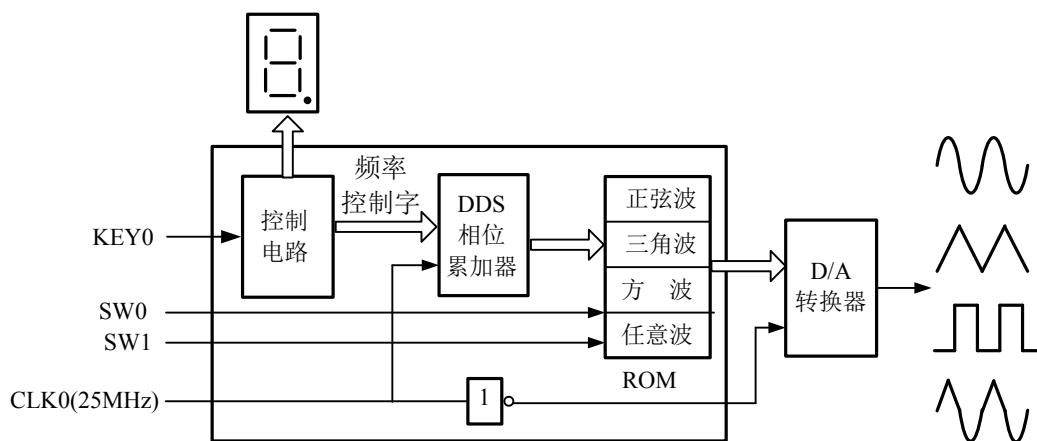


图 3-15 (e) DDS 任意波形发生器原理框图

(5) 增加其他功能。如扫频功能。

实验十六 4 位数字频率计

设计一个数字频率计, 测频范围: 1Hz~9999Hz。实验示意图如图 3-16 所示。

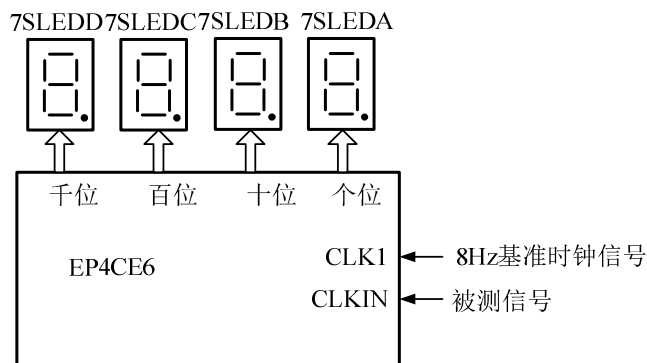


图 3-16 数字频率计示意图

实验十七 4×4 相加—移位结构乘法器

试设计一 4×4 二进制乘法器，其示意图如图 3-17 所示。

输入信号：4 位被乘数 A ($A_3 A_2 A_1 A_0$)，4 位乘数 B ($B_3 B_2 B_1 B_0$)，启动信号 $START$ 。

输出信号：8 位乘积 P ($P_7 P_6 P_5 P_4 P_3 P_2 P_1 P_0$)，结束信号 END 。

当发出一个高电平的 $START$ 信号以后，乘法器开始乘法运算，运算完成以后发出高电平的 END 信号。

两个 4 位乘数从电平开关输入，按键 KEY0 产生 $START$ 信号，用 8 只 LED 管显示乘积， END 信号用 LED8 显示。乘法器工作时需要一个时钟信号，从 CLKIN 输入。

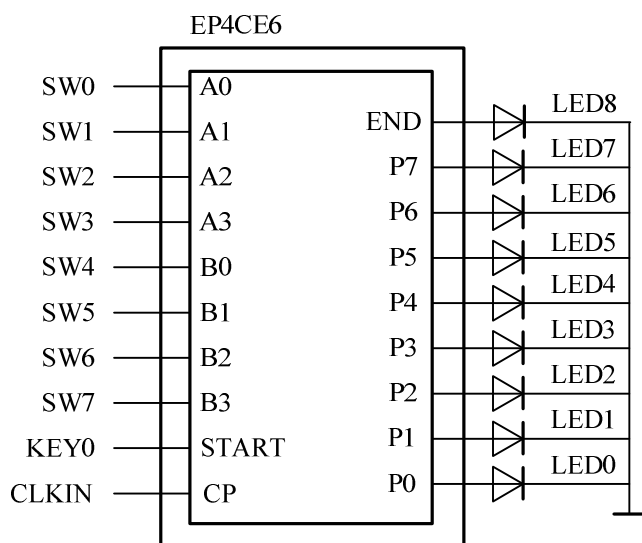


图 3-17 数字乘法器示意图

实验十八 4×4 键盘编码器

4×4 键盘编码器功能就是将 4×4 行列式键盘转化为 4 位键编码，按 K0 键输出 0000，按 K1 键输出 0001，……，按 K15 键输出 1111。每次按键有效时，产生由高到低的键有效信号，并要求有按键消抖功能。其原理框图如图 3-18 所示。 4×4 行列式键盘通过 4 根列扫描线 Y0~Y3 和 4 根行输入线 X0~X3 与 FPGA 的 I/O 引脚相连。当有键按下时，键盘编码器输出 4 位键值 C0~C3，同时 KAV 产生下降沿。为了验证键盘编码器工作是否正常，将 4 位键值经显示译码器在 7SLEDA 显示（分别显示 0、1、2、…、9、A、b、C、d、E、F）；同时将键有效信号 KAV 作为计数器的时钟信号，计数值经过显示译码器在 7SLEDB 显示。7SLEDB 上的显示值为按键次数，如果每按一次键，显示值加 1，说明消抖效果良好，如果出现按键一次，数字发生大于 1 的跳变，表明消抖效果不佳。

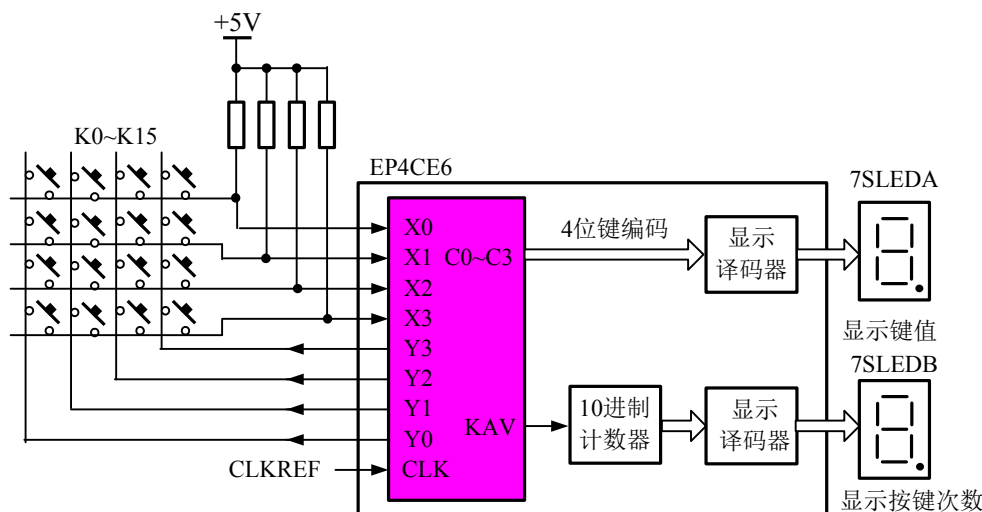


图 3-18 (a) 键盘编码器原理框图

依次完成以下内容：

(1) 按键的计数实验。原理框图如图 3-18 (b) 所示。将按键次数在数码管上显示。

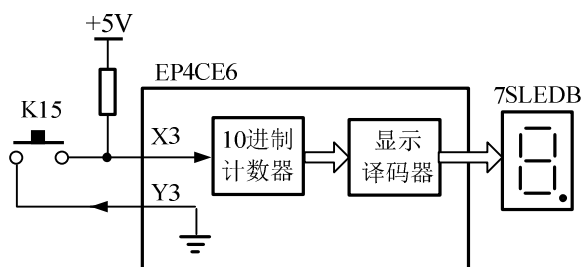


图 3-18 (b) 按键计数实验

(2) 按键消抖实验。原理框图如图 3-18 (c) 所示。由于机械式按键闭合瞬间存在抖动现象，因此，需要通过消抖电路来实现按键的消抖。本实验在上述实验的基础上增加了消抖电路。消抖电路有多种设计方案，通常需要一个时钟信号，由实验板上的 CLKIN 提供。

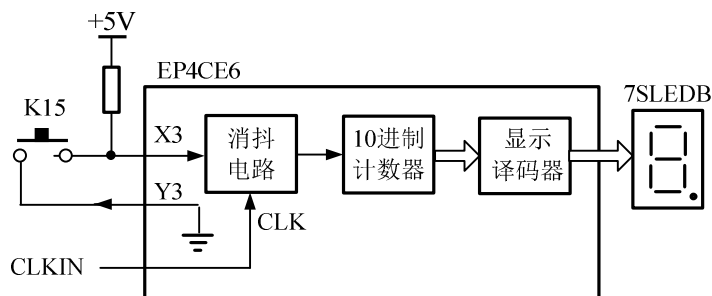


图 3-18 (c) 按键消抖实验

(3) 带 RC 振荡器的消抖电路实验。原理框图如图 3-18 (d) 所示。在上述实验的基础上，

增加 RC 振荡器为消抖电路提供时钟。RC 振荡器的设计参考实验十三。如果 RC 振荡器输出时钟频率太高，应采用分频电路。

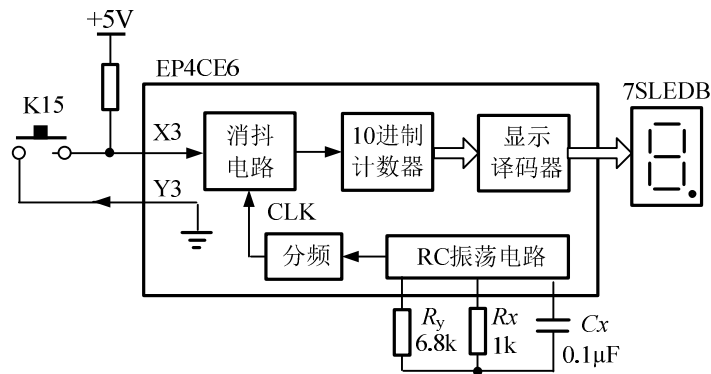


图 3-18 (d) 带 RC 振荡器的消抖电路实验

(5) 4×1 键盘编码器实验。4×1 键盘由 K3、K7、K11、K15 构成，当键有效时，分别输出键值 0011、0111、1011、1111。原理框图如图 3-18 (e) 所示。

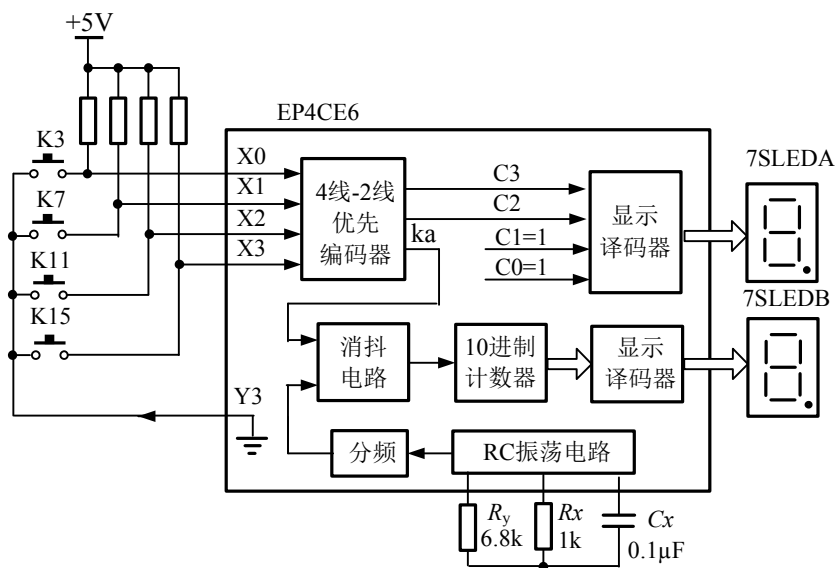


图 3-18 (e) 4×1 键盘编码器实验

(6) 4×4 键盘编码器实验。4×4 键盘由 K0~K15 构成，当键有效时，分别输出键值 0000~1111。原理框图如图 3-18 (f) 所示。

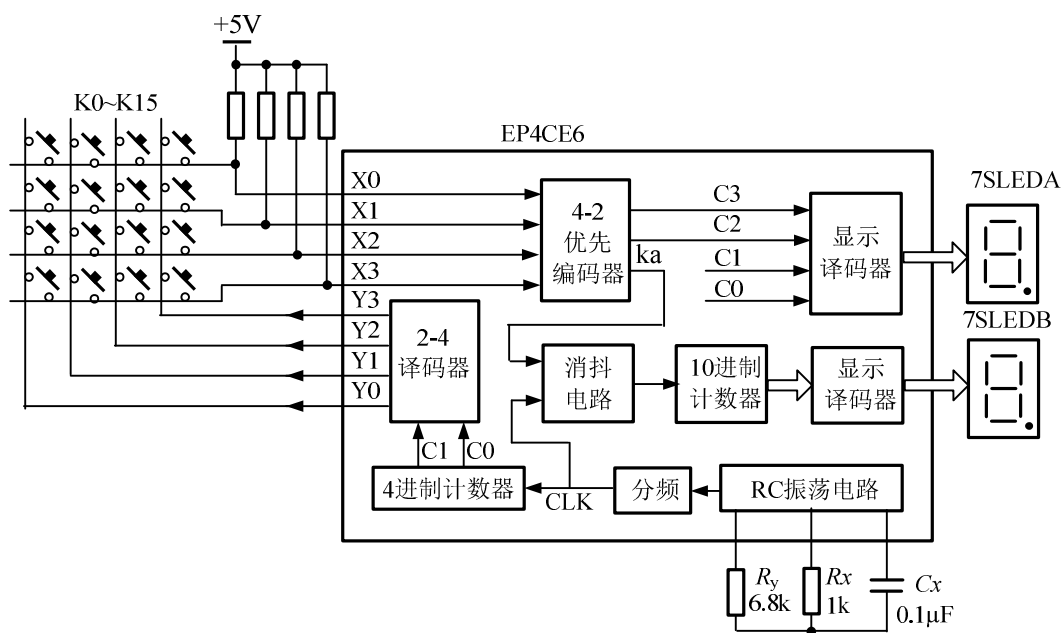


图 3-18 (f) 4×4 键盘编码器实验

实验十九 可校时数字钟

设计一个能进行分、秒计时的数字钟，能方便地对分、秒进行手动调节，以校准时间。数字钟的系统框图如图 3-19 所示。设置两位开关量进行模式选择 00：计时；01：秒校时；11：分校时。提示：模式选择通过电平开关 SW0 和 SW1 实现，手动校时通过 KEY0 产生校时脉冲。

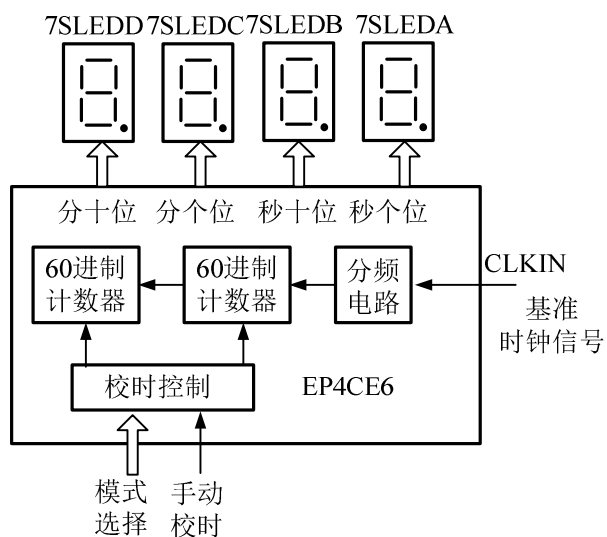


图 3-19 可校时数字钟系统框图