

课程考试样卷

浙江工业大学___/___学年第___学期期终试卷

课程_可编程逻辑器件及应用_ 班级_____

姓名_____ 学号_____

题序	一	二	总评
计分			

一、选择题（每题 2 分，共 30 分）

- 在以下表达式中，正确的是（___）
A. $4'b1010 \& 4'b1101 = 1'b1$
B. $\sim 4'b1100 = 1'b1$
C. $!4'b1011 \parallel !4'b0000 = 1'b1$
D. $\&4'b1101 = 1'b1$
- 变量 X 和 Y 有如下操作：X=4'B1100; Y=X<<2; Y 的结果为（___）
A. 4'B0000
B. 4'B0110
C. 4'B0011
D. 4'B1001
- 字符串语句 string_value="Hello Verilog World"; 以下变量声明正确的是（___）
A. reg [8*18:1] string_value;
B. reg string_value [8*18:1];
C. reg [8:1] string_value [18:1];
D. reg [18:1] string_value [8:1];
- 下列关于函数和任务说法错误的是（___）
A. 任务只有在调用时才执行
B. 一个任务可以调用个数不限的函数和别的任务
C. 函数只能有一个返回值，且该值的变量名与函数同名，数据类型默认为 wire 类型
D. 函数不能调用任务
- 下列描述正确的是（___）
A. `timescale 10ns/1ns 表示时间精度是 10ns，时间单位是 1ns
B. \$display("a=%b", a); 若 a 的值为 3，则输出的结果是 a=3
C. reg[23:0] rand; rand=\$random %100 表示产生一个 (-99, 99) 的随机数
D. 宏定义命令`define 需要在行末加分号
- 已知 A=4'b1010, B=4'b0101, 则 A && B 和 !(A ^ ~ B)==1?0:1 的结果为（___）
A. 1, 0
B. 1, 1
C. 0, 1
D. 0, 0
- 下列描述中采用时钟上升沿触发，且 reset 异步下降沿复位的代码是（___）
A. always @(posedge clk, negedge reset)
if(reset)
C. always @(posedge clk, negedge reset)
if(!reset)
B. always @(posedge clk, reset)
if(!reset)
D. always @(negedge clk, posedge reset)
if(reset)
- 已知 reg[4:1] a,b; a=4'b1000; b=4'b1100; c=2'b10; d=2'b01; 则 {a[3:2], b[3:1], {2{c,d}}}
结果为（___）
A. 0010010011001
B. 0010010100101
C. 1011010011001
D. 1011010100101
- reg [7:0] mema[255:0] 正确的赋值是（___）
A. mema[122]=8'd0
B. mema[5][3:0]=4'd1
C. mema[255:0]=8'b0000_0000
D. mema[233][2]=1'b1

10. 下列 FPGA/CPLD 程序设计流程，排序正确的是 (___)

- ① 逻辑综合和优化
 - ② 硬件仿真、测试
 - ③ 软件模拟和仿真
 - ④ 功能设计
 - ⑤ 用 Verilog HDL 描述电路
- A. ④⑤③①②
B. ⑤④①③②
C. ⑤④③①②
D. ④⑤①③②

11. 下列关于 Verilog HDL 模块的概念说法，错误的是 (___)

- A. 模块是 Verilog HDL 设计中的基本描述单位；
B. 任何模块都要定义端口；
C. 模块可以调用函数和任务来描述逻辑功能；
D. 在一个硬件系统的描述中只能有一个顶层模块。

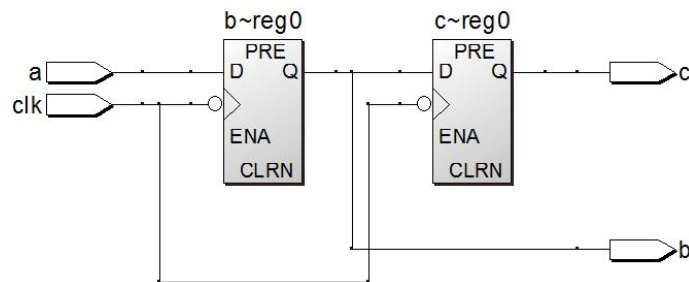
12. 下列 Verilog 基本门级元件，可以多输出的是 (___)

- A. and B. nand C. nor D. not

13. 在 Verilog 语言中，integer 型数据与 (___) 位寄存器数据在实际意义上是相同的。

- A. 8 B. 16 C. 32 D. 64

14. 根据下面的 RTL 图，对应的源代码是 (___)



- A. always@(posedge clk)
begin b=a; c=b; end
C. always@(negedge clk)
begin b=a; c=b; end
B. always@(posedge clk)
begin b<=a; c<=b; end
D. always@(negedge clk)
begin b<=a; c<=b; end

15. 阅读程序：

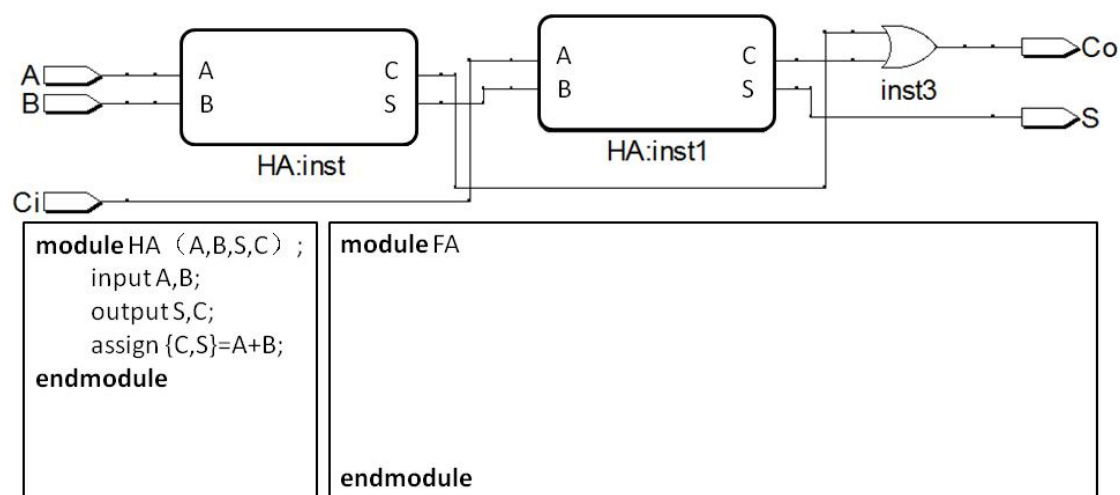
```
module div (clk, rst, div_out)
input clk, rst; output div_out;
reg[7:0] count;
assign div_out = count[5];
always @(posedge clk)
    if(!rst) count <= 1'b0;
    else count <= count + 1'b1;
endmodule
```

下列哪几个选项是正确的 (_____)

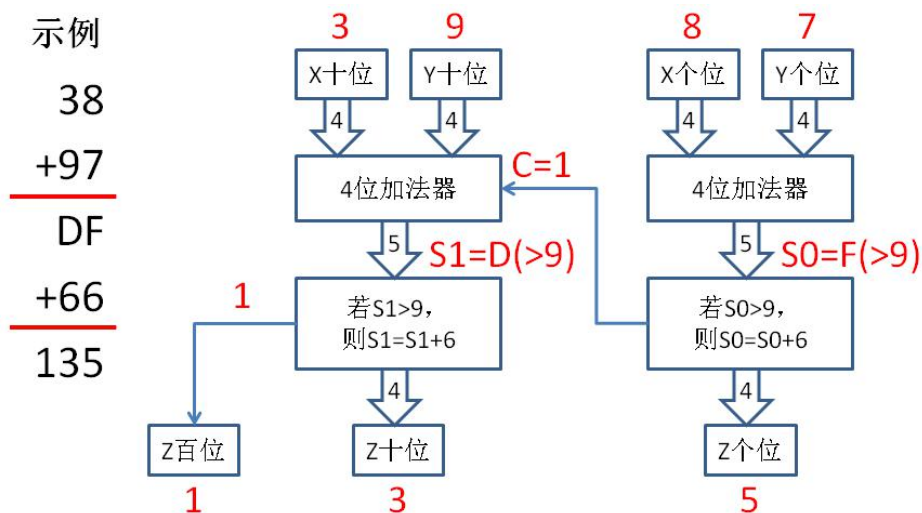
- A. 上述程序是 32 分频器且占空比为 50%
B. 上述程序中的计数器最高位可以实现 2^7 分频
C. 输出信号 div_out 是 wire 型
D. rst 是同步复位信号

二、综合问答题（共 70 分）

1. (10 分) HA 模块程序如下，写出引用 HA 模块描述 FA 模块的 Verilog 程序。



2. (10 分) 根据下图所示的 BCD 加法器流程，将下面的模块代码补充完整。



```

module BCD_Adder2 (X,Y,Z);

```

```

  input [7:0] X,Y;

```

```

  output [11:0] Z;

```

① _____

```

  assign S0 = {1'b0, X[3:0]} + Y[3:0];

```

```

  assign Z[3:0] = ② _____

```

```

  assign C = ③ _____

```

```

  assign S1 = ④ _____

```

```

  assign Z[7:4] = ⑤ _____

```

```

  assign Z[11:8] = S1 > 9 ? 4'b0001 : 4'b0000;

```

```

endmodule

```

3. (10 分) 国内某企业生产一款农田驱鸟声响器，音频为 500Hz 方波，占空比 50%，发声模式为 1 秒间隔循环，即 1 秒发声 1 秒不发声。请你给出一个 FPGA 设计方案，编写符合上述要求的 Verilog 模块（模块名为 Bird_Expeller），并对模块端口、所有自定义变量、赋值语句给出功能注释。假定 FPGA 主频 50MHz。

```
module Bird_Expeller
```

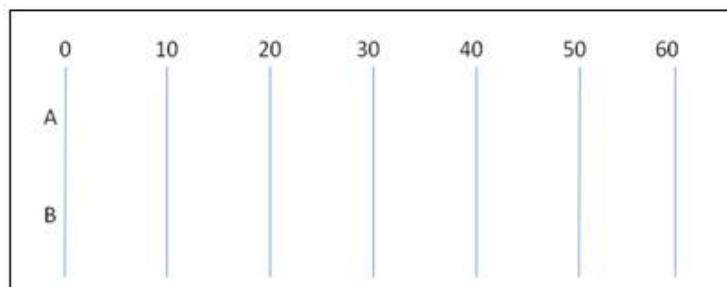
```
endmodule
```

4. (10 分) 下面程序是 begin - end 和 fork - join 的嵌套使用，请先画出产生的信号波形，然后将该模块改写成单一的 begin - end 形式，能产生同样的信号波形。

```
module mixed_block(A,B);  
    output reg A,B;  
    initial  
    begin  
        A=0; B=1;  
        #10 A=1;  
        fork  
            B=0;  
            #10 A=0;B=1;  
        join  
        #10 A=1;  
        #10 A=0;B=0;  
        #10A=1;  
    end  
endmodule
```

```
module single_block(A,B);
```

```
endmodule
```



5. (10 分) 阅读以下模块代码，将程序注释写在题后横线上。

```

module ABC ( result , a, b ); -----①
    parameter size=4; -----②
    input [size:1] a, b; -----③
    output [2*size:1] result; -----④
    reg [2*size:1] temp_a, result; -----⑤
    reg [size:1] temp_b;
    always@(a or b) begin
        result=0; -----⑥
        temp_a=a;
        temp_b=b;
        repeat(size) begin
            if(temp_b[1]) result=result+temp_a; -----⑦
            temp_a=temp_a<<1; -----⑧
            temp_b=temp_b>>1; -----⑨
        end
    end
endmodule

```

本程序的逻辑功能是： -----⑩

- ① _____
- ② _____
- ③ _____
- ④ _____
- ⑤ _____
- ⑥ _____
- ⑦ _____
- ⑧ _____
- ⑨ _____
- ⑩ _____

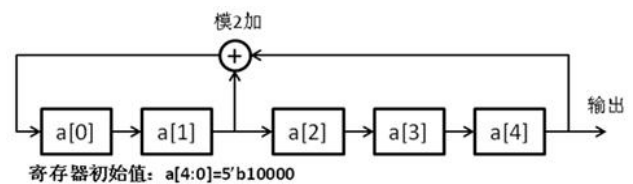
6. (10 分) 使用 Verilog 实现下图所示的 5 级 m 序列生成。

要求：模块名为 m_sequence(clk,rst,m_out)，其中 clk 为时钟信号，上升沿触发；rst 为异步复位信号，下降沿触发，将寄存器置初始化。

```

module m_sequence (clk, rst, m_out);

```



```

Endmodule

```

7. (10 分) 一个简单算术逻辑单元 SALU，采用指令码和数据码综合描述方式，分别实现相加、相减、左移、右移、相与、相或、相异或、取反等功能，输出有数据、进位标志、零标志和负数标志。八种功能由三位输入指令码 $P_3P_2P_1$ 产生，功能表如下所示。请根据题意，在横线上填写合适的代码，一条横线对应一句代码。

功能描述	$P_3P_2P_1$	S
相加	000	$A+B+C_0$
相减	001	$A-B-C_0$
左移	010	$B_2 B_1 B_0 C_0$
右移	011	$C_0 B_3 B_2 B_1$
相与	100	$A \& B$
相或	101	$A B$
相异或	110	$A \oplus B$
取反	111	B'

module SALU(A, B, P, C0, S, cf, neg, zero);

input [3:0] A, B; //数据码

input [2:0] P; //指令码

input C0; //低位来的进位或借位

output reg [3:0] S; //运算结果

output reg cf, neg, zero; //进位标志、负数标志、零标志

reg [4:0] TA, TB, s1, s2; //中间变量

always @(*)

begin

cf=0;

neg=0;

TA={1'b0, A}; //位宽扩展

TB={1'b0, B};

s2=TA - TB - C0;

case(P)

3'b000: begin s1 = TA+TB+C0; #1 cf = s1[4]; end

3'b001: begin neg=s2[4];

①

end

3'b010: ②

3'b011: ③

3'b100: ④

3'b101: ⑤

3'b110: ⑥

3'b111: ⑦

default: ⑧

endcase

S= ⑨

zero= ⑩

end

endmodule