



浙江工业大学

《可编程逻辑器件及应用》 课程实验报告

学生姓名 凌智城 钟志鸿

指导教师 龚树凤

专业班级 通信工程 1803 班

培养类别 全日制本科

所在学院 信息工程学院

提交日期 2020 年 12 月 26 日

课程设计：直扩通信系统的 FPGA 设计

1 设计任务

数字传输系统分为基带传输系统和频带传输系统。在数字皮带传输系统钟，数字信号对高频载波进行调制，变成皮带信号，通过信道传输，在接收端解调后恢复成数字信号。所以，对载波的调制和解调是整个通信系统最重要的部分。

数字信号对载波振幅调制称为振幅键控（Amplitude Shift Keying, ASK），对载波频率调制称为频移键控（Frequency Shift Keying, FSK），对载波相位调制称为相移键控或相位键控（Phase Shift Keying, PSK）。

二进制相位键控调制，是用数字基带信号控制载波的相位，使载波的相位发生跳变的一种调制方式，二进制相位键控用同一个载波的两相来代表数字信号。由于 PSK 系统抗噪声性能由于 ASK 和 FSK，而且频带利用率较高，所以，在中高速数字通信钟被广泛采用。相位键控分为绝对调相（CPSK）和相对调香（DPSK）。二进制的绝对调相记为 2CPSK，相对调相记为 2DPSK。

分别设计一个 CPSK 和 DPSK 调制解调的 FPGA 并进行仿真测试。

2 设计方案

1) CPSK 信号的产生

直接调相法和相位选择法两种。

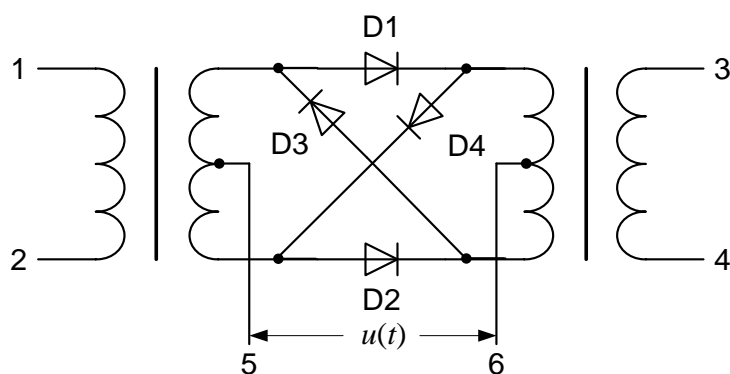


图 2-1 直接调相法的电路

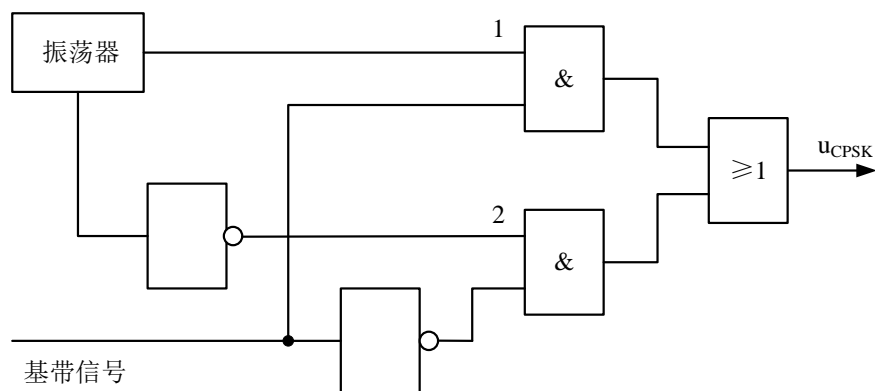


图 2-2 相位选择法的电路

2) DPSK 信号的产生

相对调相信号（DPSK）是通过码变换加 CPSK 调制产生。把基带信号经过绝对码—相对码的变换后，用相对码进行 CPSK 调制，其输出便是 DPSK 信号。

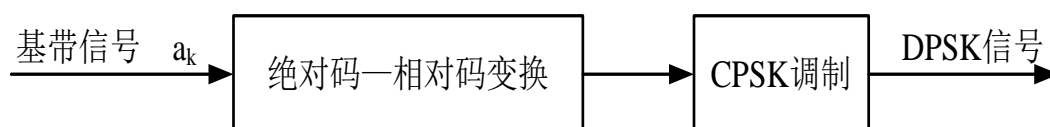


图 2-3 相对调相信号产生原理图

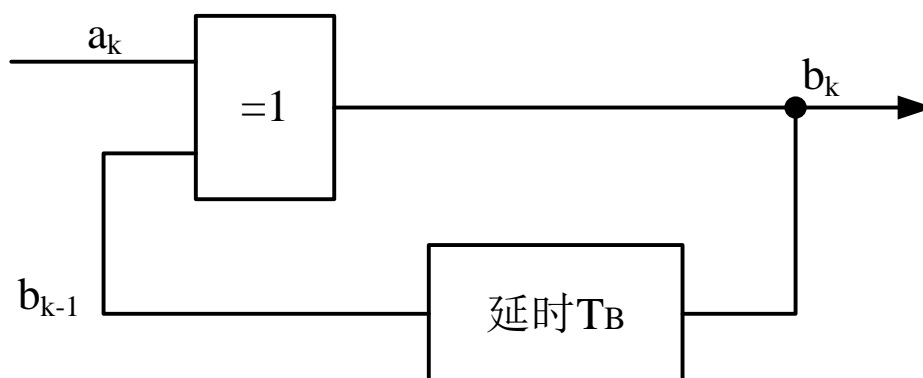


图 2-4 绝对码-相对码变换图

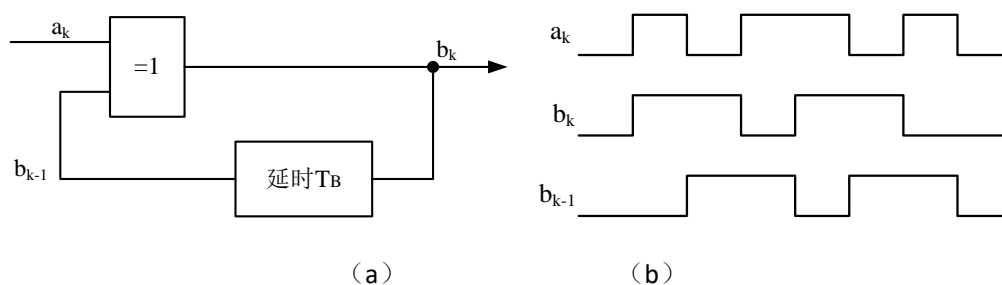


图 2-5 绝对码变为相对码的电路及波形

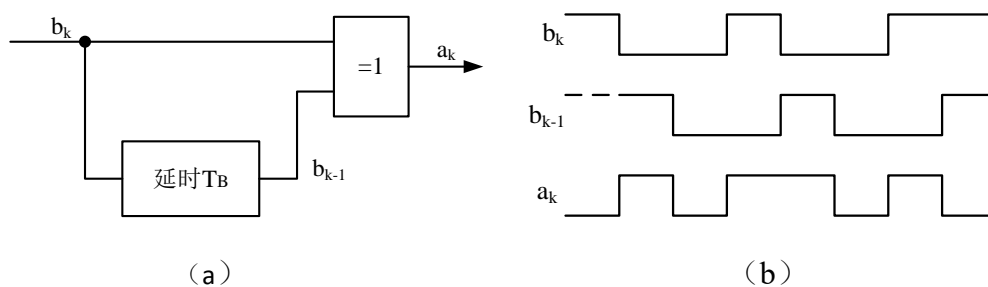


图 2-6 相对码变为绝对码的电路及波形

3) CPSK 调制器设计

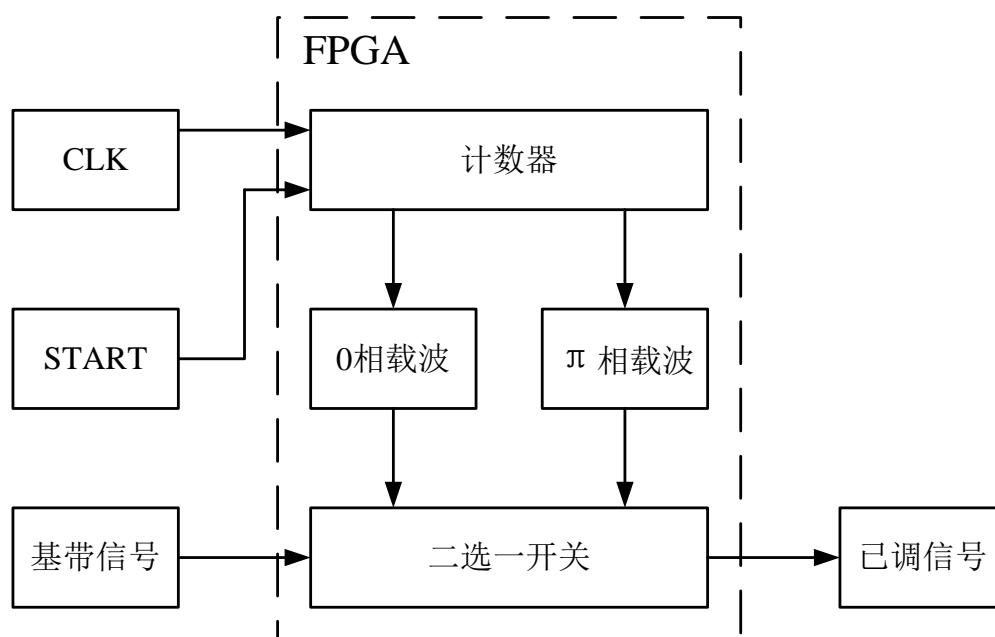


图 2-7 CPSK 调制器结构

4) CPSK 解调器设计

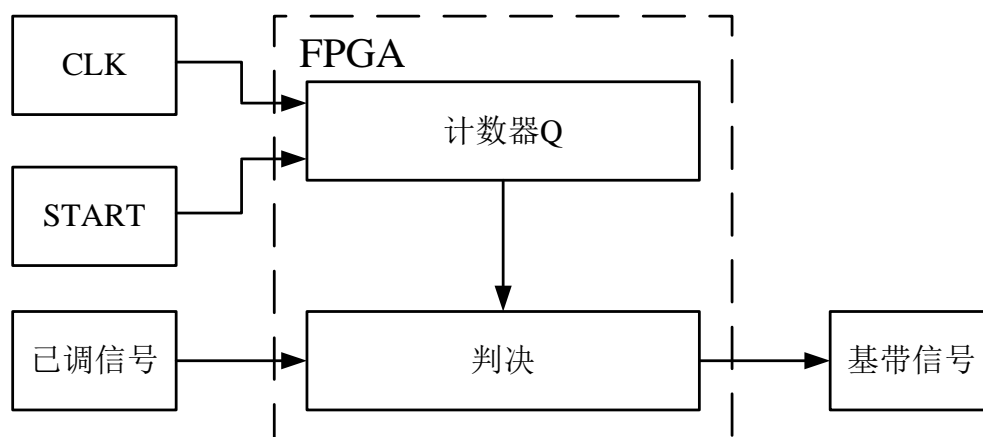


图 2-8 CPSK 解调器结构

5) DPSK 调制器与解调器设计

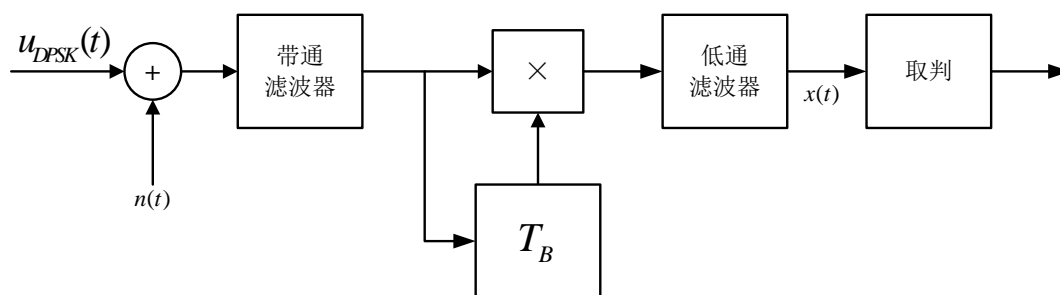


图 2-9 DPSK 相位比较法解调器的原理

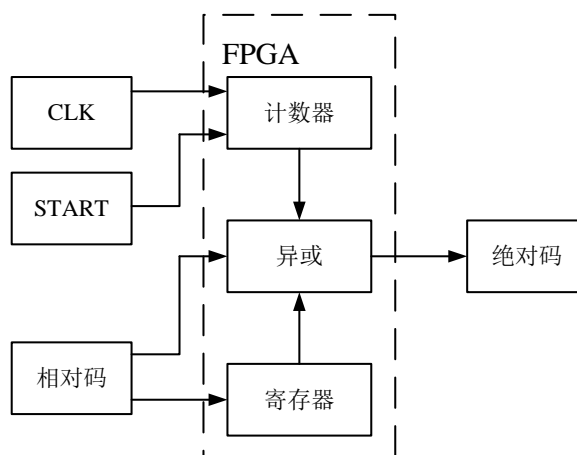


图 2-10 相对码到绝对码的转换结构

3 Verilog HDL 源代码

1) CPSK 调制模块

//通信工程 1803 凌智城 201806061211

```

module Modulator_CPSK(clk,start,x,y);
    input clk;          //系统时钟信号
    input start;        //开始调制信号
    input x;            //基带信号
    output y;           //已调制信号

    reg y;
    reg[1:0] q;         //计数器
    reg f1,f2;         //载波信号
    always@(posedge clk)//分频和计数
    begin
        if(!start)
            begin q<=0;f1<=0;f2<=0;end //未开始调制时，无载波信号
        else if(q<=1)
            //从 00—>到 11 四种状态
            begin
                //两种载波信号始终相位差 $\pi$，并且计数器到 3 时清零
                f1<=1;
                f2<=0;
            end
    end

```

```

        q<=q+1'b1;
    end
    else if(q==3)
        begin
            f1<=0;
            f2<=1;
            q<=0;
        end
    else
        begin
            f1<=0;
            f2<=1;
            q<=q+1'b1;
        end
    end
end

always@(posedge clk)//对基带信号的调制
    if(q[0])
        begin
            if(x)        //基带信号为 1 时选择 f1，基带信号为 0 时选择 f2 得到 CPSK 调制信号
                y<=f1;
            else
                y<=f2;
        end
    end

endmodule

```

2) CPSK 解调模块

//通信工程 1803 凌智城 201806061211

```

module Demodulator_CPSK(clk,start,x,y);
    input clk;        //系统时钟信号
    input start;//开始调制信号
    input x;
    output y;
    reg y;
    reg[1:0]q;
    always@(posedge clk)
        begin
            if(!start)        //如果未开始解调，则计数器始终为 0
                q<=0;
            else if(q==0)        //q=0 时，如果 x=1 则解调输出 y=1，若 x=0 则解调输出 y=0
                begin
                    q<=q+1'b1;
                    if(x)
                        y<=1;
                end
            end
        end
    end
endmodule

```

```

        else
            y<=0;
        end
    else if(q==3)
        q<=0;
    else
        q<=q+1'b1;
    end
endmodule

```

3) 绝对码转相对码模块

//通信工程 1803 凌智城 201806061211

```
module absolute_relative_code(clk,start,x,y);
```

```
    input clk;        //系统时钟信号
```

```
    input start;      //开始调制信号
```

```
    input x;          //绝对码输入信号
```

```
    output y;         //相对码输出信号
```

```
    reg y;
```

```
    reg w;            //寄存器
```

```
    reg[1:0] q;       //计数器
```

```
    always@(posedge clk)//分频和计数
```

```
    begin
```

```
        if(!start)
```

```
            begin
```

```
                q<=0;    //若未开始转化，则相对码输出和寄存器都是 0
```

```
                w<=0;
```

```
            end
```

```
        else if(q==0)
```

```
            begin
```

```
                q<=1;
```

```
                w<=w^x;    //w 寄存器暂存前一个输入信号
```

```
                y<=w^x;    //与当前输入信号进行异或操作即为相对码
```

```
            end
```

```
        else if(q==3)
```

```
            begin
```

```
                q<=0;
```

```
            end
```

```
        else
```

```
            begin
```

```
                q<=q+1'b1;
```

```
            end
```

```
    end
```

```
endmodule
```

4) 相对码转绝对码模块

//通信工程 1803 凌智城 201806061211

```
module relative_absolute_code(clk,start,x,y);
    input clk;          //系统时钟信号
    input start; //开始调制信号
    input x;
    output y;

    reg y;
    reg[1:0] q;        //计数器
    reg w;
    always@(posedge clk) //分频和计数
    begin
        if(!start)          //暂未开始相对码转绝对码的操作，计数器为 0
        begin
            q<=0;
        end
        else if(q==0)        //
        begin
            q<=1;
        end
        else if(q==3)        //q 为 3 时绝对码输出为相对码前一个值（w 寄存器）与当前值的异或结果
        begin
            q<=0;
            y<=w^x;
            w<=x;
        end
        else
        begin
            q<=q+1'b1;
        end
    end

endmodule
```

5) CPSK 联调顶层模块

//通信工程 1803 凌智城 201806061211

```
module PSK_top(
    start,
    clk,
    absolute_in,
    absolute_out
);
```



```
input wire start;
input wire clk;
input wire absolute_in;
output wire absolute_out;

wire SYNTHESIZED_WIRE_0;

Demodulator_CPSK b2v_inst(
    .clk(clk),
    .start(absolute_in),
    .x(SYNTHESIZED_WIRE_0),
    .y(absolute_out));

Modulator_CPSK b2v_inst1(
    .clk(clk),
    .start(start),
    .x(absolute_in),
    .y(SYNTHESIZED_WIRE_0));

endmodule
```

6) DPSK 联调顶层模块

//通信工程 1803 凌智城 201806061211

```
module DPSK_top(
    clk,
    start,
    absolute_in,
    absolute_out,
    relative_in,
    relative_out
);
input wire clk;
input wire start;
input wire absolute_in;
output wire absolute_out;
output wire relative_in;
output wire relative_out;

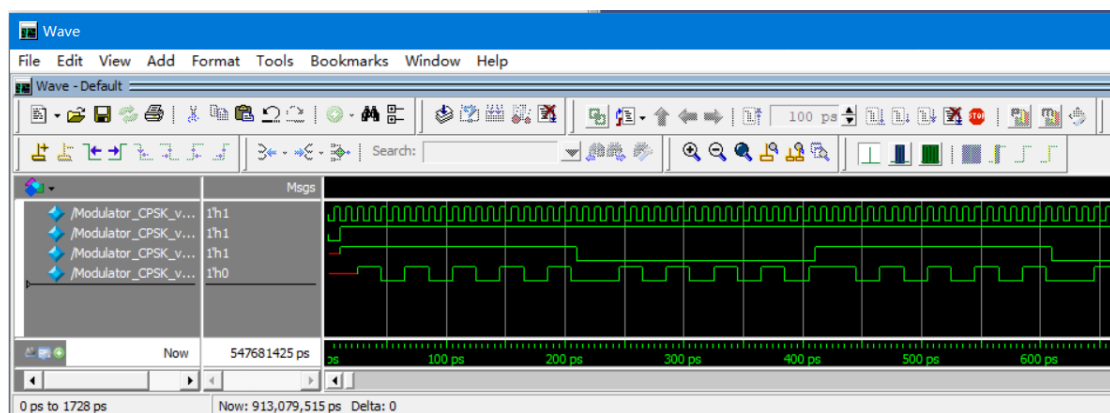
wire SYNTHESIZED_WIRE_0;
wire SYNTHESIZED_WIRE_1;
wire SYNTHESIZED_WIRE_2;
assign relative_in = SYNTHESIZED_WIRE_1;
assign relative_out = SYNTHESIZED_WIRE_2;
Demodulator_CPSK b2v_inst(
```

```

.clk(clk),
.start(start),
.x(SYNTHESIZED_WIRE_0),
.y(SYNTHESIZED_WIRE_2));
Modulator_CPSKb2v_inst1(
.clk(clk),
.start(start),
.x(SYNTHESIZED_WIRE_1),
.y(SYNTHESIZED_WIRE_0));
absolute_relative_code    b2v_inst2(
.clk(clk),
.start(start),
.x(absolute_in),
.y(SYNTHESIZED_WIRE_1));
relative_absolute_code    b2v_inst3(
.clk(clk),
.start(start),
.x(SYNTHESIZED_WIRE_2),
.y(absolute_out));
endmodule

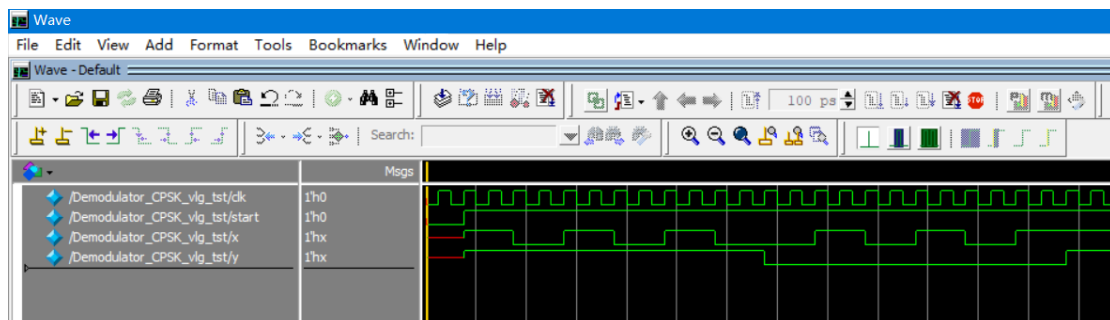
```

4 实验结果与分析



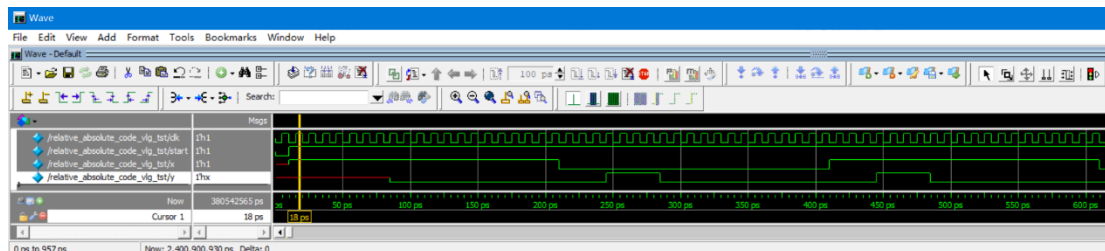
基带信号为 1 的时候选择 f_1 ，基带信号为 0 的时候选择 f_2 ，会在基带信号发生突变的时候也出现调制信号宽度不同的现象

图 4.1 CPSK 调制仿真截图



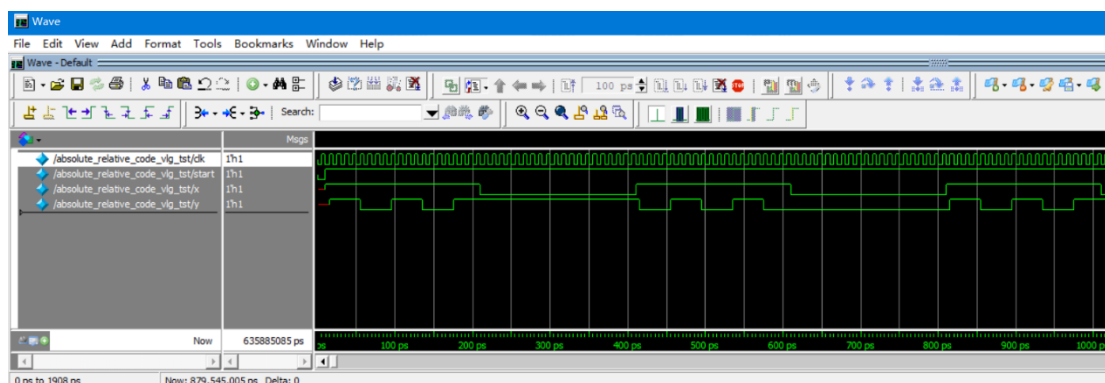
start 为 1 开始，如果调制信号 x 为 1 则解调出的信号 y 为 1；如果调制信号 x 为 0 则解调出的信号 y 为 1

图 4.2 CPSK 解调仿真截图



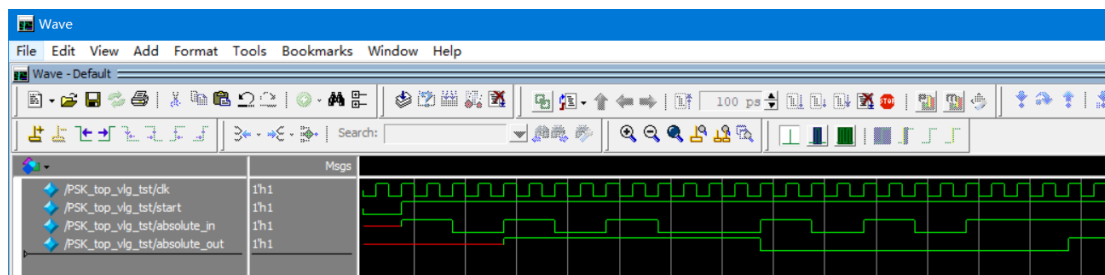
相对码输出信号是绝对码输入信号与前一个时间绝对码输入信号的异或操作，由于在内部设置了计数器 q ，所以在时间轴上呈现出循环往复的电平高低变化

图 4.3 绝对码转相对码仿真截图



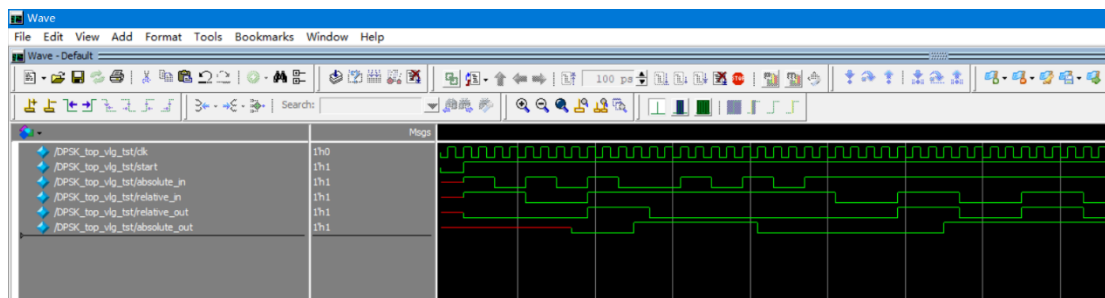
当 $start=1$ 的时候，在内部计数器 $q=3$ 到来时，绝对码输出信号 y 是相对码输入信号 x 与 x 延时一个基带码长的异或操作结果

图 4.4 相对码转绝对码仿真截图



绝对码输入信号 `absolute_in`, 绝对码输出信号 `absolute_out`,

图 4.5 CPSK 联调仿真截图



绝对码输入信号 `absolute_in`,绝对码输出信号 `absolute_out`，中间转化为相对码 `relative_in` 和 `relative_out`

图 4.6 DPSK 联调仿真截图