

习 题

1. 解：首先从系统设计入手，在顶层将整个系统划分成几个子系统，然后逐级向下，再将每个子系统分为若干功能模块，每个功能模块还可以继续向下划分成子模块，直至分成许多最基本模块实现。

2. 解：I/O 控制块允许每个 I/O 引脚单独地配置为输入、输出和双向工作方式。所有 I/O 引脚有一个三态缓冲器，它控制的信号来自一个多路选择器，可以选择全局输出使能信号中的一个或者直接连接到地（GND）或电源（Vcc）上。当三态缓冲器的控制端接地时，输出为高阻态，此时 I/O 引脚可用作专用输入引脚。当三态缓冲器的控制端接高电平（Vcc）时，输出被使能

3. 解：从图 8.2-18 可知，LUT 输入除了来自互连阵列，也来自触发器的输出，也就是说触发器的输出反馈到 LUT 的输入端，便于构成计数器、状态机等时序电路。LUT 的输出可以直接送到互连阵列，触发器的输入也可以不来自 LUT 的输出，而来自触发器链输入。LUT 和触发器可以独立工作，这意味着一个逻辑单元可以同时实现组合电路和时序电路。

4. 解：FPGA 可以达到比 CPLD 更高的集成度，同时也具有更复杂的布线结构和逻辑实现。FPGA 更适合于触发器丰富的结构，而 CPLD 更适合于触发器有限而积项丰富的结构。

在编程上 FPGA 比 CPLD 具有更大的灵活性；CPLD 功耗要比 FPGA 大；且集成度越高越明显；CPLD 比 FPGA 有较高的速度和较大的时间可预测性，产品可以给出引脚到引脚的最大延迟时间。CPLD 的编程工艺采用 E2 CPLD 的编程工艺，无需外部存储器芯片，使用简单，保密性好。而基于 SRAM 编程的 FPGA，其编程信息需存放在外部存储器上，需外部存储器芯片，且使用方法复杂，保密性差。

$$5. \text{ 解: } F_1 = AC + ABC + \overline{A}BC$$

$$F_2 = \overline{ABC} + \overline{A}BC$$

6. 解：（1）根据电路图写出各触发器驱动方程

$$J_0 = \overline{Q_2^n} + \overline{Q_1^n}, \quad K_0 = 1$$

$$J_1 = Q_0^n, \quad K_1 = Q_2^n + Q_0^n$$

$$J_2 = Q_1^n Q_0^n, \quad K_2 = Q_1^n$$

（2）写出各触发器状态方程

$$Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = \overline{Q_2^n} \overline{Q_0^n} + \overline{Q_1^n} \overline{Q_0^n}$$

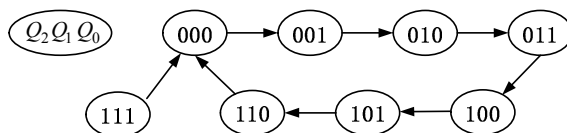
$$Q_1^n = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = \overline{Q_1^n} Q_0^n + \overline{Q_2^n} Q_1^n \overline{Q_0^n}$$

$$Q_2^n = J_2 \overline{Q_2^n} + \overline{K_2} Q_2^n = \overline{Q_2^n} Q_1^n Q_0^n + \overline{Q_2^n} Q_1^n$$

(3) 列出状态表

Q_2^n	Q_1^n	Q_0^n	CP	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	↓	0	0	1
0	0	1	↓	0	1	0
0	1	0	↓	0	1	1
0	1	1	↓	1	0	0
1	0	0	↓	1	0	1
1	0	1	↓	1	1	0
1	1	0	↓	0	0	0
1	1	1	↓	0	0	0

(4) 状态转换图



(5) 功能：同步七进制加法计数器。

7. 解 (1) 根据电路图写出各触发器状态方程：

$$Q_2^{n+1} = Q_1^n \overline{Q_0^n} + \overline{X} Q_2^n \overline{Q_0^n}$$

$$Q_1^{n+1} = \overline{Q_1^n} \overline{Q_0^n} + \overline{Q_2^n} \overline{Q_1^n} \overline{Q_0^n}$$

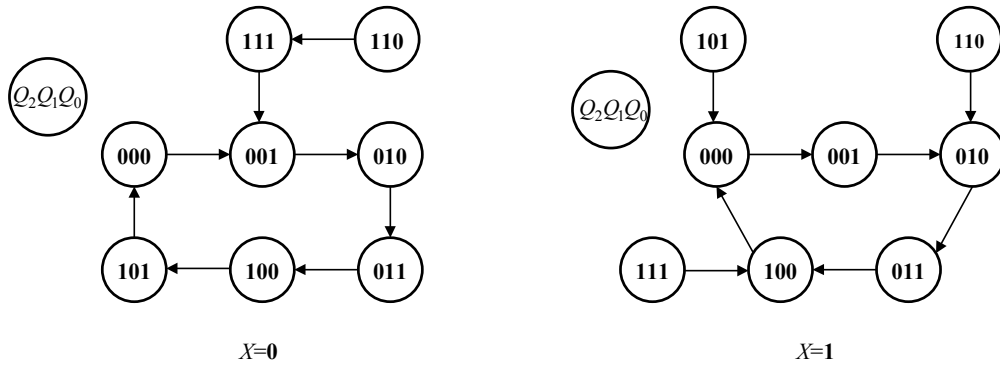
$$Q_0^{n+1} = \overline{Q_2^n} \overline{Q_0^n} + \overline{X} \overline{Q_0^n}$$

(2) 根据特性方程列出状态真值表，如表所示。

X	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	X	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	0	1	1	0	0	0	0	0	1
0	0	0	1	0	1	0	1	0	0	1	0	1	0
0	0	1	0	0	1	1	1	0	1	0	0	1	1
0	0	1	1	1	0	0	1	0	1	1	1	0	0
0	1	0	0	1	0	1	1	1	0	0	0	0	0
0	1	0	1	0	0	0	1	1	0	1	0	0	0
0	1	1	0	1	1	1	1	1	1	0	0	1	0
0	1	1	1	0	0	1	1	1	1	1	1	0	0

(3) 状态转换图

由状态真值表可得电路在 $X=0$ 与 $X=1$ 时的状态转换图，如图所示。



(4) 逻辑功能

当 $X=0$ 时，该时序电路为 6 进制加法计数器；当 $X=1$ 时，该时序电路为 5 进制加法计数器。

8. 解：要将 I/O 引脚作为输入引脚，要将输出三态缓冲器输出置成高阻态，弱上拉禁止。因此可将三态控制 T 置 1， M_1 置 0， M_4 置 0，其余编程位无关。