

## 习 题

1. 解:  $CO=AB+BC+AC$

$$S = ABC + (A+B+C)\overline{CO} = ABC + (A+B+C)\overline{AB+BC+AC}$$

$$= ABC + (A+B+C)\overline{AB}\overline{BC}\overline{AC}$$

$$= ABC + A\overline{AB}\overline{BC}\overline{AC} + B\overline{AB}\overline{BC}\overline{AC} + C\overline{AB}\overline{BC}\overline{AC}$$

$$= ABC + A\overline{B}\overline{C} + B\overline{A}\overline{C} + C\overline{A}\overline{B}$$

$$= ABC + \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C}$$

真值表

$A$	$B$	$C$	$S$	$CO$	$A$	$B$	$C$	$S$	$CO$
0	0	0	0	0	1	0	0	1	0
0	0	1	1	0	1	0	1	0	1
0	1	0	1	0	1	1	0	0	1
0	1	1	0	1	1	1	1	1	1

电路功能: 一位全加器,  $A$ 、 $B$  为两个加数,  $C$  为来自低位的进位,  $S$  是相加的和,  $CO$  是进位。

2. 解:

处于工作状态 的译码器	$C$ 、 $D$ 应输入的状态	
	$C$	$D$
①	0	0
②	0	1
③	1	0
④	1	1

$A$	$B$	$\overline{Y}_{10}$	$\overline{Y}_{11}$	$\overline{Y}_{12}$	$\overline{Y}_{13}$
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

逻辑功能: 由 74LS139 构成的 4 线—16 线译码器

3. 解: 由图可见, 74HC138 的功能扩展输入端必须满足  $E_1=1$ 、 $\overline{E}_2=\overline{E}_3=0$  才能正常译码, 因此  $E_1=A_3=1$ ;  $\overline{E}_2=\overline{A_4A_5}$ , 即  $A_4=1$ ,  $A_5=1$ ;  $\overline{E}_3=A_6+A_7=0$ , 即  $A_6=0$ ,  $A_7=0$ 。所以, 该地址译码器的译码地址范围为  $A_7A_6A_5A_4A_3A_2A_1A_0=00111A_2A_1A_0=00111000\sim$

00111111, 用十六进制表示即为 38H~3FH。输入、输出真值表如表 P3.3-1 所示。

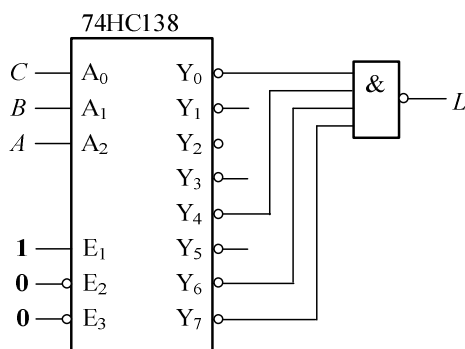
表 3.3-1 地址译码器的真值表

地址输入	译码输出							
$A_7A_6A_5A_4A_3A_2A_1A_0$	$\bar{Y}_0$	$\bar{Y}_1$	$\bar{Y}_2$	$\bar{Y}_3$	$\bar{Y}_4$	$\bar{Y}_5$	$\bar{Y}_6$	$\bar{Y}_7$
38H	0	1	1	1	1	1	1	1
39H	1	0	1	1	1	1	1	1
3AH	1	1	0	1	1	1	1	1
3BH	1	1	1	0	1	1	1	1
3CH	1	1	1	1	0	1	1	1
3DH	1	1	1	1	1	0	1	1
3EH	1	1	1	1	1	1	0	1
3FH	1	1	1	1	1	1	1	0

4. 解: 由图写出逻辑函数并化简, 得

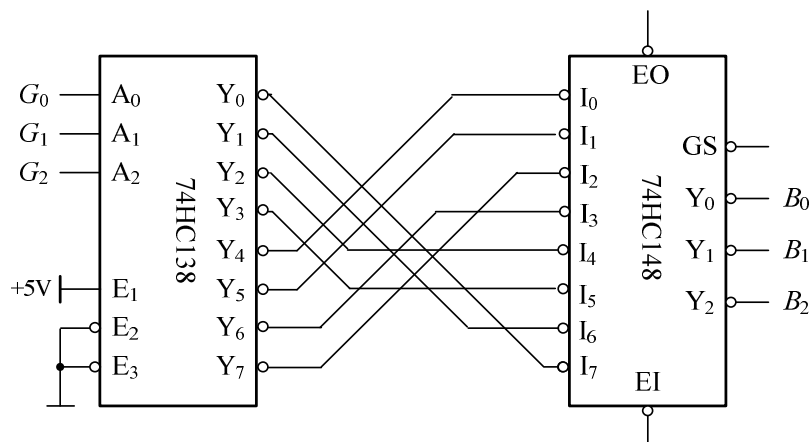
$$L = \bar{Y}_0\bar{Y}_2\bar{Y}_4\bar{Y}_6 = Y_0 + Y_2 + Y_4 + Y_6 = \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC = \bar{C}$$

5. 解:  $F = AB + \bar{B}\bar{C} = \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$



7. 解: 根据下表可得到连线图:

$G_2$	$G_1$	$G_0$	有效输出端		$\bar{I}$	$B_2$	$B_1$	$B_0$
0	0	0	$\bar{Y}_0$	→	$\bar{I}_7$	0	0	0
0	0	1	$\bar{Y}_1$	→	$\bar{I}_6$	0	0	1
0	1	1	$\bar{Y}_3$	→	$\bar{I}_5$	0	1	0
0	1	0	$\bar{Y}_2$	→	$\bar{I}_4$	0	1	1
1	1	0	$\bar{Y}_6$	→	$\bar{I}_3$	1	0	0
1	1	1	$\bar{Y}_7$	→	$\bar{I}_2$	1	0	1
1	0	1	$\bar{Y}_5$	→	$\bar{I}_1$	1	1	0
1	0	0	$\bar{Y}_4$	→	$\bar{I}_0$	1	1	1



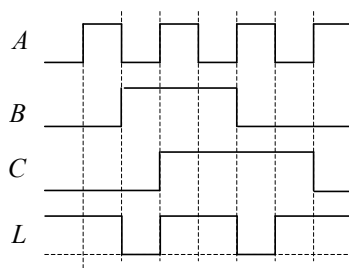
9. 解：4 选 1 数据选择器的逻辑表达式为：

$$Y = \overline{A_1} \overline{A_0} D_0 + \overline{A_1} A_0 D_1 + A_1 \overline{A_0} D_2 + A_1 A_0 D_3$$

将  $A_1=A$ ,  $A_0=B$ ,  $D_0=1$ ,  $D_1=C$ ,  $D_2=\overline{C}$ ,  $D_3=C$  代入得

$$Y = \overline{A} \overline{B} + \overline{A} B C + \overline{A} B \overline{C} + A B C = \overline{A} \overline{B} \overline{C} + \overline{A} \overline{B} C + \overline{A} B \overline{C} + A B C$$

根据表达式可画出波形图：



10. 解：（1）写出逻辑函数表达式：

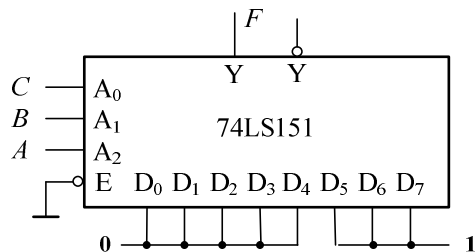
$$L = \overline{A} \overline{B} \overline{C} + \overline{A} B \overline{C} + \overline{A} B C + A \overline{B} \overline{C} + A B C$$

（2）用卡诺图化简

		BC			
		00	01	11	10
A	0	1	0	1	1
	1	1	0	0	1

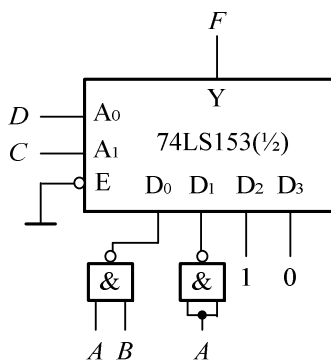
$$L = \overline{C} + \overline{A} B$$

11. 解:  $L = AB + AC = A\bar{B}\bar{C} + ABC + A\bar{B}C + ABC = m_7 + m_6 + m_5$

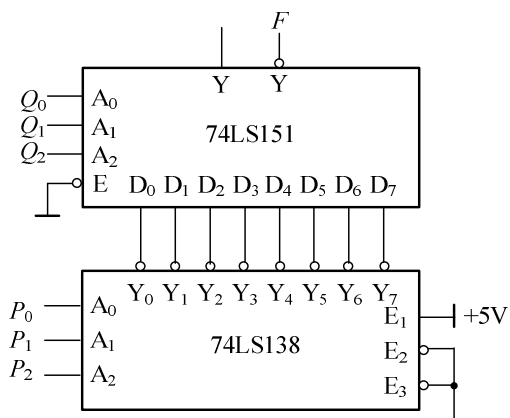


13. 解:  $F = \bar{A}\bar{C} + C\bar{D} + \bar{B}\bar{C}\bar{D} = \bar{A}\bar{C}(D + \bar{D}) + C\bar{D} + \bar{B}\bar{C}\bar{D}$   
 $= \bar{A}\bar{C}\bar{D} + \bar{A}\bar{C}D + C\bar{D} + \bar{B}\bar{C}\bar{D} = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{C}D + C\bar{D} + CD \cdot 0$   
 令  $A_1=C$ ,  $A_0=D$ ,  $D_0 = \bar{A}\bar{B}$ ,  $D_1 = \bar{A}$ ,  $D_2=1$ ,  $D_3=0$

连线图:



14. 解:



15. 解: 对于 LSTTL 集成芯片, 某个输入引脚折断后该脚悬空, 相当于输入高电平

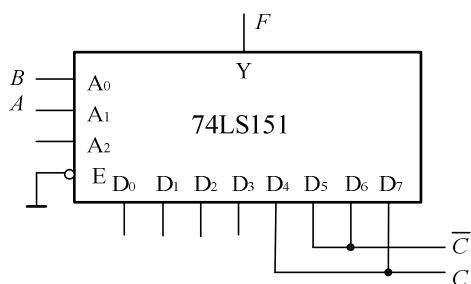
1. 74LS151 的高位地址端  $A_2$  折断后, 输出不再响应  $D_0, D_1, D_2, D_3$  输入, 8 选 1 数据选择器只相当于一个 4 选 1, 此时地址输入为  $A_1A_0$ , 数据输入为  $D_4, D_5, D_6, D_7$ , 输出  $Y$  等于

$$\begin{aligned} Y &= \bar{A}_2 \bar{A}_1 \bar{A}_0 D_4 + \bar{A}_2 \bar{A}_1 A_0 D_5 + \bar{A}_2 A_1 \bar{A}_0 D_6 + \bar{A}_2 A_1 A_0 D_7 \\ &= \bar{A}_1 \bar{A}_0 D_4 + \bar{A}_1 A_0 D_5 + A_1 \bar{A}_0 D_6 + A_1 A_0 D_7 \end{aligned}$$

与函数  $F$  相比较

$$\begin{aligned} F(A, B, C) &= \sum m(1, 2, 4, 7) \\ &= \bar{A} \bar{B} C + \bar{A} B \bar{C} + A \bar{B} \bar{C} + A B C \end{aligned}$$

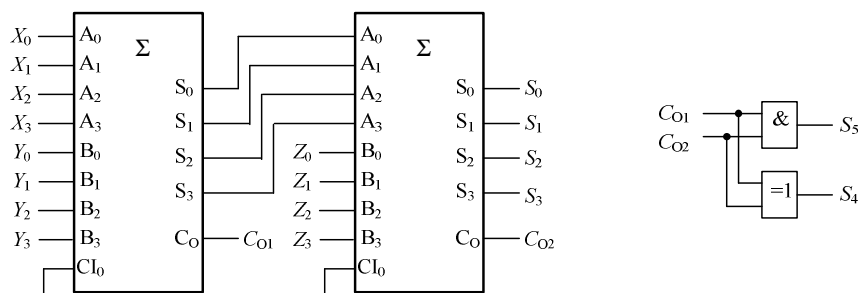
不难看出, 只要令  $AB$  为地址, 则  $D_4=C, D_5=\bar{C}, D_6=\bar{C}, D_7=C$ 。逻辑图如图所示。



17. 解: 三个 4 位二进制数相加, 其和应为 6 位。基本电路如图所示。两个加法器产生的进位通过一定的逻辑生成和的高两位。

$CO_1$	$CO_2$	$S_5$	$S_4$
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

$$S_4 = CO_1 \oplus CO_2, \quad S_5 = CO_1 \cdot CO_2$$



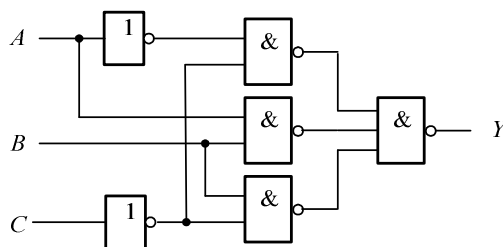
18. 解: 卡诺图如图 (a) 所示。两个包围圈相切, 此函数存在逻辑险象。只要如图所示增加冗余项  $B\bar{C}$  即可, 逻辑式变为:

$$Y = \overline{A}\overline{C} + AB + B\overline{C} = \overline{\overline{\overline{A}\overline{C}} \cdot \overline{AB} \cdot \overline{B\overline{C}}}$$

用与非门构成的相应电路如图 (b)所示。

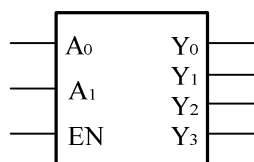
	CD AB	00	01	11	10
		00	01	11	10
Y	00	1	1	0	0
	01	1	1	0	0
	11	1	1	1	1
	10	0	0	0	0

(a)



(b)

20. 解：上述代码定义了一个具有使能端的 2 线-4 线译码器。其逻辑符号和真值表如图所示。



EN	A <sub>1</sub>	A <sub>0</sub>	Y <sub>3</sub>	Y <sub>2</sub>	Y <sub>1</sub>	Y <sub>0</sub>
0	×	×	0	0	0	0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0

图 20-1

在图 20-1 中译码器的真值表中，输入的顺序是 EN、A<sub>1</sub>、A<sub>0</sub>，为了表示这 3 个信号，在 VHDL 代码中定义了 3 位信号 ENA，语句“ENA<=EN&A”使用了 VHDL 的并置运算符，将 EN 和 A 信号组合为 ENA 信号。因此，ENA(2)=EN，ENA(1)=A<sub>1</sub>，ENA(0)=A<sub>0</sub>。在选择信号的赋值语句中，EN 信号用作选通信号。对于代码中前 4 条 WHEN 语句，EN=1，译码器的输出结果等价于真值表后 4 行；最后一条 WHEN 语句使用了关键字 OTHERS，它表示 EN=0 的情况，此时将译码器的输出设置为 0000。