module division\_7(clk,rst,clk\_even); //七分频器

input clk,rst;

output clk\_even;

reg[3:0] count1,count2; //定义两个计数信号

reg clkA,clkB; //相应的，产生两个clk信号

parameter N=7;

assign clk\_re=~clk;

assign clk\_even=clkA|clkB; //两个clk信号做或运算，合成clk\_even

//即达到七分频效果

always @(posedge clk) //时钟上升沿同步清零

if(!rst) //如果rst=0则全部清零

begin

count1<=1'b0;

clkA<=1'b0;

end

else if(N%2==1) //7为奇数，一半要以余一为界

begin

if(count1<(N-1))

begin

count1<=count1+1'b1; //在到达7之前

if(count1==(N-1)/2) //count1＋1

begin //如果刚好加到了

clkA=~clkA; //比一半小的最大的

end //整数，则反转

end

else //其他情况则反转

begin

clkA=~clkA;

count1=1'b0;

end

end

else

clkA=1'b0;

always @(posedge clk\_re) //clk\_re时钟上升沿同步清零

//即clk时钟下降沿同步清零

if(!rst) //如果rst=0则全部清零

begin

count2<=1'b0;

clkB<=1'b0;

end

else if(N%2==1)

begin

if(count2<(N-1))

begin

count2<=count2+1'b1;

if(count2==(N-1)/2)

begin

clkB=~clkB;

end

end

else

begin

clkB=~clkB;

count2=1'b0;

end

end

else

clkB=1'b0;

endmodule