module count6(out,data,load,clk,rst);

output[5:0]out;

input[5:0]data;

input load,clk,rst;

reg[5:0]out;

always@(posedge clk )

if(!rst) //同步复位

out=6'b0000; //如果有rst为0则清零

else if(load) //同步置数

out=data; //如果load为1则置数

else //不是上述情况则+1

out=out+1;

endmodule