`timescale 10ns/1ns

module count6\_tp;

reg[5:0]data; //输入为reg型

reg load,clk,rst;

wire[5:0]out; //输出为wire型

count6 mycount(.out(out),.data(data),.load(load),.clk(clk),.rst(rst));

initial clk=0;

always

begin

#5 clk=1'b1; //每隔5进行一次翻转

#5 clk=1'b0;

end

initial

begin

data=6'b000000; //初始化

load=0;

rst=0;

#20 rst=1; //复位

#30 data=4'b0111; //置数data为11（学号尾号为11） load=1; //置数

#10 load=0;

#800 $finish;

end

endmodule