

电子科技大学 2019-2020 学年第 2 学期期末考试 B 卷

考试科目: 半导体物理 A 考试形式: 闭卷 考试日期: 2020 年 月 日

本试卷由 五 部分构成, 共 8 页。考试时长: 120 分钟

成绩构成比例: 平时成绩 35 %, 期末成绩 65 %

题号	一	二	三	四	五	六	七	八	合计
得分									

得 分

一. 填空题 (每空 1 分, 共 30 分)

1. 对于 N 型硅材料, 继续往器件掺磷, 费米能级向 () 移动; 若温度升高, 则费米能级向 () 移动。

A. E_c B. E_v C. E_i D. E_g

答案: A C

2. 与外层电子相比, 内层电子对应的能带 (), 有效质量 ()。

A. 更宽 B. 更窄 C. 更大 D. 更小

答案: B C

3. 以下 4 种不同掺杂情况的半导体, 热平衡时室温下少子浓度最高的是 (), 少子浓度最低的是 ()。

- A. 掺入浓度 10^{15} cm^{-3} P 原子的 Si 半导体
- B. 掺入浓度 10^{14} cm^{-3} B 原子的 Si 半导体
- C. 掺入浓度 10^{15} cm^{-3} P 原子 Ge 半导体
- D. 掺入浓度 10^{14} cm^{-3} B 原子 Ge 半导体

答案: D A

4. 如果对半导体进行重掺杂, 会出现的现象是 () 和 ()。

A. 禁带变窄 B. 少子迁移率增大 C. 多子浓度减小 D. 简并化

答案: A D

5. 室温下, 半导体 Si 掺铝的浓度为 $2 \times 10^{14} \text{ cm}^{-3}$, 同时掺有浓度为 $1.3 \times 10^{15} \text{ cm}^{-3}$ 的磷, 则电子浓度约为 (), 空穴浓度为 (), 费米能级 ()

- A. $2 \times 10^{14} \text{ cm}^{-3}$; B. $1.1 \times 10^{15} \text{ cm}^{-3}$; C. $1.3 \times 10^{15} \text{ cm}^{-3}$;
- D. $9.46 \times 10^4 \text{ cm}^{-3}$; E. $1.2 \times 10^{15} \text{ cm}^{-3}$; F. $2 \times 10^{17} \text{ cm}^{-3}$;
- G. 高于 E_i ; H. 低于 E_i ; I. 等于 E_i

答案: B D G

6. 如果一半导体的导带中发现电子的几率为零, 那么该半导体最可能 ()。

A. 不含施主杂质 B. 不含受主杂质

- C. 不含任何杂质 D. 处于绝对零度

答案: D

7. 金是一种很典型的(), 在高速器件中通过掺金可显著地降低()。

- A. 复合中心 B. 浅能级杂质 C. 载流子寿命 D. 平均自由时间

答案: A C

8. 有 3 个锗样品, 其掺杂情况分别是: 甲. 含硼和磷各 $2 \times 10^{17} \text{cm}^{-3}$; 乙. 含砷 $1 \times 10^{17} \text{cm}^{-3}$; 丙. 含磷 $2 \times 10^{15} \text{cm}^{-3}$ 。室温下, 这些样品的电导率由高到低的顺序是(), 迁移率由低到高的顺序是()

- A. 甲乙丙 B. 甲丙乙 C. 乙丙甲 D. 丙乙甲

答案: C A

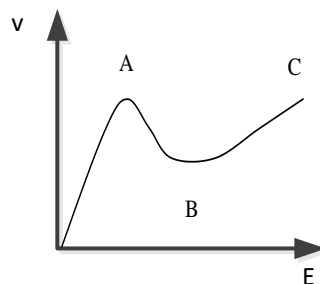
9. 对于一个 PN 结结构, P 区掺杂浓度为 $1 \times 10^{19} \text{cm}^{-3}$, N 区掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$, 室温条件下, 晶格振动是()中主要的散射机制, 而电离杂质散射和晶格振动是()中主要的散射机制。

- A. N 区 B. P 区

答案: A B

10. 下图给出 GaAs 的电子速度与电场的关系曲线示意图, () 区出现负微分电导, 产生负微分电导是由于电子发生谷间散射, 迁移率()。

- A. OA B. AB C. BC D. 变大 E. 变小 F. 不变



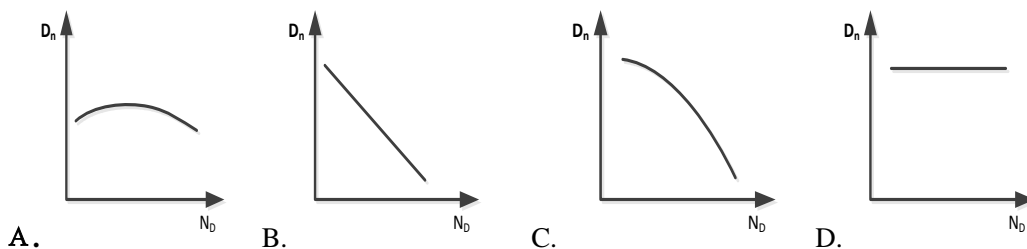
答案: B E

11. Ge 半导体材料中, 载流子的迁移率与()和()因素有关。

- A. 复合机构 B. 掺杂浓度 C. 温度 D. 掺杂类型

答案: B C

12. 在室温下, 掺杂浓度 N_D 为 10^{15}cm^{-3} 的 Si 中电子扩散系数 D_n 与 N_D 的关系为()。



答案: C

13. Si 的复合机制主要是(); 小注入下的直接复合, 非平衡载流子的寿命与(); 间

接复合为主时，强P型半导体的少子寿命与（ ）

- A. 直接复合；
- B. 间接复合；
- C. 非平衡多子浓度成正比；
- D. 平衡多子浓度成正比；
- E. 非平衡少子浓度成反比；
- F. 平衡多子浓度成反比。
- G. 复合中心浓度成正比；
- H. 复合中心浓度成反比；

答案： B F H

14. 某N型Si半导体的功函数 W_s 是4.3 eV，金属Al的功函数 W_m 是4.2 eV，理想情况下该半导体和金属接触时的界面将会形成（ ）接触，能带向（ ）弯曲，由于表面态的存在，实际上形成（ ）。

- A. 阻挡层
- B. 反阻挡层
- C. 上
- D. 下

答案 B D A

15. MOS器件绝缘层中的可动电荷是（ ）

- A. 电子；
- B. 空穴；
- C. 钠离子；
- D. 硅离子。

答案： C

得分

二. 简答题（共18分）

16. （6分）分别说明深能级杂质和浅能级杂质的作用，并列举深能级杂质和浅能级杂质。

答：

常温下浅能级杂质全部电离，其显著改变载流子浓度，从而影响材料的电导率，器件的电阻、电流等（2分）。

深能级杂质常温下较难电离，且一般掺杂浓度不高，因而对载流子浓度影响不大，但对载流子的复合作用很强，可以提高器件或芯片的开关速度等。（2分）

深能级杂质：金，铂金和钼等（给出金即可得1分）

浅能级杂质：氮，磷，铝和硼（至少两种1分）

17. （6分）下图中给出中等掺杂的硅的电阻率随温度的变化关系曲线，解释说明AB段、BC段以及CD段的变化规律及其原因。

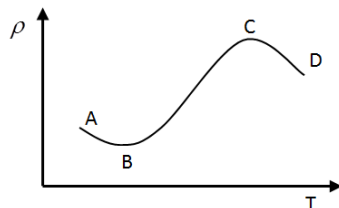


图1

答:

①低温区: 杂质电离使 $n \uparrow$ (1.5 分); 电离杂质为主, $T \uparrow, \mu \uparrow$, 电阻率 \downarrow . (1.5 分)

②全电离区: n 不变化 (1.5 分); 晶格散射为主, $T \uparrow, \mu \downarrow$. 电阻率 (1.5 分) \uparrow .

③本征区: n_i 随温度迅速升高 (1.5 分), μ 缓慢降低 (1.5 分), 电阻率单调下降.

进入本征激发区的温度 T 随掺杂浓度和禁带宽度的增加而升高

18. (6 分) 功函数满足 $W_m < W_s$ 的金属-N 型半导体的接触, 在何种情况下可能形成阻挡层? 请解释原因?

答: n 型半导体表面有较高的表面态密度时, 即使 $W_m < W_s$ 的金属—n 型半导体接触也可能形成阻挡层。(2 分)

原因: 当半导体的表面态密度很高时, 由于它可屏蔽金属接触的影响, 使半导体内的势垒高度和金属的功函数几乎无关, 而基本由半导体的表面性质所决定, 接触电势差全部落在两个表面之间。实际上, 由于表面态密度的不同, 紧密接触时, 接触电势差有一部分降落在半导体表面以内, 金属功函数对表面势垒将产生不同程度的影响, 但影响不大。(4 分)

得 分

三. 证明题 (共 8 分)

19. (8 分) 试证明热平衡状态下, 非简并半导体满足爱因斯坦关系。

证明: $J_{n\text{扫}} + J_{n\text{漂}} = 0$ (1 分)

$$J_{n\text{扫}} = qD_n \frac{dn_0(x)}{dx} \quad (2 \text{ 分})$$

$$J_{n\text{漂}} = qn_0\mu_n E_{\text{自}}$$

$$E_{\text{自}} = -\frac{dV(x)}{dx} \quad (1 \text{ 分})$$

$$E_c(x) = E_c + (-q)V(x) \quad (1 \text{ 分})$$

$$n_0(x) = N_c \exp\left[-\frac{E_c - qV(x) - E_F}{kT}\right] \quad (1 \text{ 分})$$

$$J_{\text{总}} = qn_0(x)\mu_n E_{\text{自}}(x) + qD_n \frac{dn_0(x)}{dx} = 0 \quad (1 \text{ 分})$$

$$D_n = \frac{kT}{q} \mu_n \quad (1 \text{ 分})$$

得 分

四. 计算题 (共 24 分)

20. (12 分) 假设对一块硅半导体分别掺入磷和硼的浓度分别为 10^{16}cm^{-3} 和 $3 \times 10^{15} \text{cm}^{-3}$ 。(已知 $n_i = 1.02 \times 10^{10} \text{cm}^{-3}$, $N_c = 2.8 \times 10^{19} \text{cm}^{-3}$, $k_0 T = 0.026 \text{eV}$)

(1) 判断半导体掺杂类型, 求出载流子浓度, 并计算出费米能级相对于导带底的位置

(2) 假设电子和空穴的迁移率分别为 $1350 \text{cm}^2/\text{V}\cdot\text{s}$ 和 $480 \text{cm}^2/\text{V}\cdot\text{s}$, 在外加电场强度为 10V/cm 的电场作用下, 求流过样品的电流密度。

解: (1) N 型半导体 (2 分)

$$n_0 = N_D - N_A = 10^{16} - 3 \times 10^{15} = 7 \times 10^{15} \text{cm}^{-3} \quad (2 \text{ 分})$$

$$n_0 = N_c e^{\frac{E_c - E_F}{k_0 T}} \Rightarrow E_c - E_F = k_0 T \ln \frac{N_c}{n_0} = 0.026 \times \ln \frac{2.8 \times 10^{19}}{7 \times 10^{15}} = 0.215 \text{eV} \quad (2 \text{ 分})$$

$$(2) \sigma = n_0 q \mu_n = 7 \times 10^{15} \times 1.6 \times 10^{-19} \times 1350 = 1.512 \quad \text{S/cm} \quad (3 \text{ 分})$$

$$J = \sigma E = 1.512 \times 10 = 15.12 \quad \text{A/cm}^2 \quad (3 \text{ 分})$$

21. (12 分) 有一金属与 n 型 Si 单晶接触形成肖特基二极管, 已知 $W_m = 4.7 \text{eV}$, $X_s = 4.0 \text{eV}$, $N_c = 1 \times 10^{19} \text{cm}^{-3}$, $N_D = 1 \times 10^{15} \text{cm}^{-3}$, 半导体的相对介电常数 $\epsilon_r = 12$ 。($\epsilon_0 = 8.85 \times 10^{-14} \text{F/cm}$, $q = 1.6 \times 10^{-19} \text{C}$)

若忽略表面态的影响，试计算在室温下：

- (1) 半导体 Si 的费米能级的位置；(4 分)
- (2) 在零偏压时势垒高度与接触电势差；(4 分)
- (3) 零偏压下的势垒宽度；(4 分)

解：(1) $N_D = n_0 = N_c \exp(-\frac{E_c - E_F}{k_0 T})$

$$E_c - E_F = -k_0 T \ln \frac{N_D}{N_c} = 0.026 \times \ln(\frac{10^{15}}{10^{19}}) = 0.17 \text{ eV}$$

(3 分)

(1 分)

(2) $W_s = X_s + (E_c - E_F) = 4.17 \text{ (eV)}$ (2 分)

所以势垒高度： $qV_D = W_m - W_s = 4.7 - 4.17 = 0.53 \text{ (eV)}$ (1 分)

接触电势差： $V_D = 0.53 \text{ (V)}$ (1 分)

(3) $x_d = \sqrt{\frac{2\varepsilon_r \varepsilon_0 V_D}{qN_D}} = \sqrt{\frac{2 \times 12 \times 8.85 \times 10^{-14} \times 0.53}{1.6 \times 10^{-19} \times 10^{16}}} = 2.65 \times 10^{-5} \text{ cm}$

(3 分)

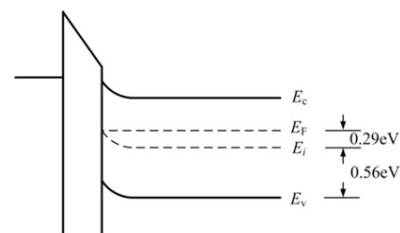
(1 分)

得 分

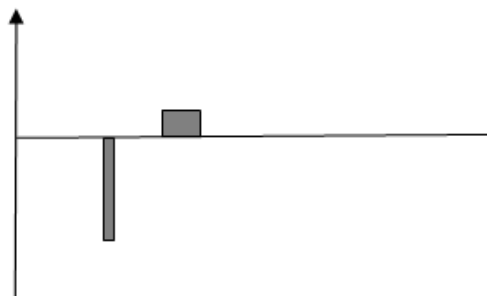
五. 综合题 (共 20 分)

22. (20 分) 在 $T = 300 \text{ K}$ 条件下，对理想 MOS 电容施加栅极偏压 V_G ，能带弯曲使得在 Si-SiO₂ 界面处 $E_F = E_i$ ，如图 2 所示。

- (1) 判断半导体的类型，绘出与该能带图对应的定性电荷块图。(5 分)
- (2) 画出高、低频及深耗尽下的 C-V 图，说明说明三条曲线产生的原因。(10 分)
- (3) 如果 $W_m > W_s$ ，写出 V_{FB} 的表达式，这使得 C-V 曲线相对理想 C-V 曲线如何变化？若氧化层中存在正电荷，曲线又将如何变化？(5 分)

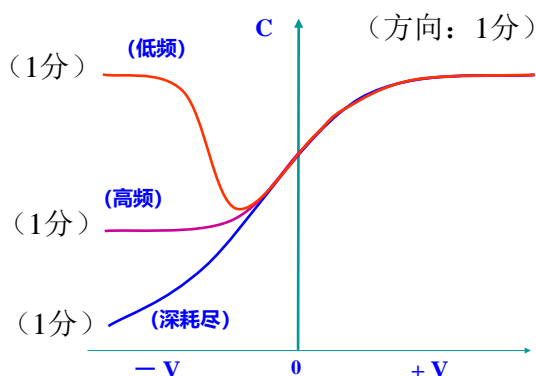


解：(1) N 型 (1 分)



(2 分) (2 分)

(2) CV 曲线如图所示：(每根曲线 1 分，正负方向 1 分)



原因：低频时，加负压会在硅表面产生一层反型层，电容类似于一个平板电容，从而电容曲线往负压方向出现下降后上升的现象 (2 分)；

高频时，来不及形成反型层，故电容曲线往负压方向出现下降后上升的现象 (2 分)；

深耗尽时，更高的频率使得耗尽区需要进一步展宽才能满足电荷平衡条件，故往负电压方向电容不断减小 (2 分)。

$$(3) V_{FB} = \frac{W_m - W_s}{q} \quad (2 \text{ 分})$$

这使得 C-V 曲线向电势正方向 (右) 移动。(1.5 分)

氧化层中存在正电荷 C-V 曲线向电势负方向 (左) 移动 (1.5 分)