

电子科技大学 2022-2023 学年第 2 学期期 末 考试 A 卷评分标准

考试科目: 微处理器与嵌入式系统 考试形式: 一本书开卷 考试日期: 202 年 月 日

成绩构成比例: 研讨班: 平时 30 %, 实验 20 %, 期末 50 %
普通班: 平时 20 %, 实验 20 %, 期末 60 %
挑战班: 平时 10 %, 研讨 70 %, 期末 20 %

本试卷由 三 部分构成, 共 8 页。考试时长: 120 分钟 注: 只允许带一本教材, 不能夹带习题集

题号	一	二	三(1)	三(2)	三(3)	三(4)	三(5)	三(6)	三(7)	合计
得分										

注意: 请将第一、二题答案填入指定位置。

得 分

一、选择题答案 (共 25 题, 每题 1 分, 共 25 分)

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
B	A	C	B	D	C	B	C	C	D	D	B	A	D	C
16	17	18	19	20	21	22	23	24	25					
B	C	B	B	C	C	B	A	C	B					

得 分

二、填空题答案 (共 20 分, 共 20 空, 每空 1 分)

- ① 4GB
- ①生成时钟信号, ② 生成执行一个基本指令周期所需的控制信号, ③响应异常事件请求或输入/输出设备发出的中断请求 (可不按顺序)
- ① 134265
- ① 结构, ② 控制, ③ 写后读、写后写、读后写
- ① 指令周期
- ① 16
- ① 地址所处的地址空间
- ① 程序查询, ② 程序中断, ③ 直接存储器访问 (DMA)
- ① $\pm 32\text{MB}$
- ① 字符设备, ② 块设备, ③ 网络设备, ④字符设备
- ① SteppingStone

一、单选题（共 25 分，共 25 题，每题 1 分）（答案请填写入第一页单选题答案处）

1. 以下选项中，哪一个**不是**流水线计算机处理速度更快的原因（ B ）。
 - A. 流水线计算机把复杂的过程分解为了多个子过程
 - B. 流水线计算机中采用了更宽的地址总线
 - C. 集成电路技术的发展使得芯片内有了更多硬件资源
 - D. 指令在执行过程中实现了时间重叠
2. 程序计数器 PC 通常用于（A）
 - A. 存放下一条要执行指令的存放地址
 - B. 存储指令执行所需要的操作数
 - C. 寄存 ALU 运算结果的重要状态或特征
 - D. 计数指令数
3. 关于冯诺依曼结构，下列说法正确的是（C）
 - A. 冯诺依曼结构定义了总线这一组成部分
 - B. 根据 Flynn 分类法，冯诺依曼计算机对应的是 MISD 结构
 - C. 冯诺依曼结构性能瓶颈的原因是：指令串行执行和存储器串行读取
 - D. 冯诺依曼计算机中，指令流的流向是从控制器到运算器
4. 现代计算机的四级存储结构包括 a.cache、b.寄存器组、c.主存储器、d.辅助存储器。分别按照速度由快到慢、容量由小到大的顺序分别排序，正确的顺序是（B）
 - A. cabd、badc
 - B. bacd、bacd
 - C. bacd、abdc
 - D. cbad、adbc
5. 如果有一个 U 盘容量为 1GB，需要将拍摄的照片或下载的图放入 U 盘中，若每张图都是 1024*1024 像素，并且一个像素需要 4 个字节的空间，那么这个 U 盘最大能存（D）张照片。
 - A. 512
 - B. 64
 - C. 128
 - D. 256
6. 关于微程序控制器的作用，下列说法正确的是（C）。
 - A. 适合简单指令集
 - B. 硬件逻辑资源已最小化
 - C. 一条机器指令由一段微程序来解释执行
 - D. 控制单元的输入和输出之间的关系不视为一个存储系统
7. 下列关于理想流水线的描述，**不正确**的是（ B ）。
 - A. 流水线可以提高指令处理的吞吐率
 - B. 流水线分段越多越好
 - C. 流水线吞吐率取决于最慢的段
 - D. 流水线设计时，每段的时间应尽量相等
8. 若有某三级理想流水线，三个段的延时分别为如下四种情况，其中指令的吞吐率最大的是（ C ）。
 - A. 50ps,100ps,150ps
 - B. 60ps,120ps,160ps
 - C. 100ps,100ps,120ps
 - D. 80ps,100ps,150ps
9. 指令在地址字段中指定一个寄存器号，该寄存器的内容就是操作数，这种寻址方式被称作为（C）。
 - A. 存储器直接寻址
 - B. 存储器间接寻址
 - C. 寄存器直接寻址
 - D. 位移量直接寻址
10. 下列指标中，与 CPU 数据通路宽度并无直接联系的是（ D ）。

- A. 运算器位数 B. 数据总线宽度 C. 微处理器字长 D. 指令长度

11. 某微处理器地址总线宽度为 32 位, 则其字长 (D)。

- A. 一定为 32 位 B. 至少为 32 位
C. 最多为 32 位 D. 同地址总线宽度没有关系

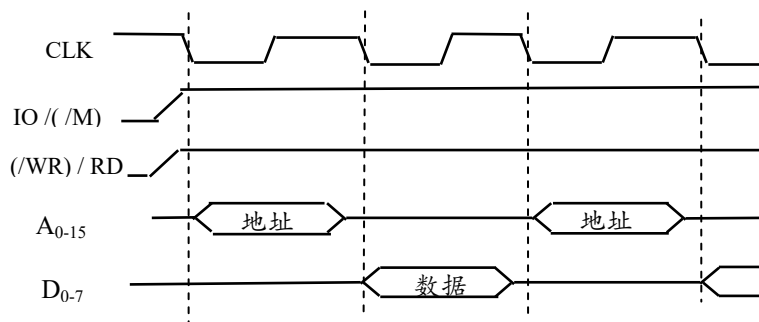
12. 某 CPU 的 32bit 前端总线频率为 600 MHz, 总线周期数为 1/8, 则其带宽为 (B)。

- A. 2.4 GB/s B. 19.2 GB/s C. 20.8 GB/s D. 153.6 GB/s

13. 在总线时序中, 对于快速存储器的总线访问, 不需要插入等待周期, 该类总线属于 (A)。

- A. 同步总线 B. 异步总线 C. 半同步总线 D. 周期分裂式总线

14. 某系统总线时序如图所示, 可知该系统最大寻址空间为 (D)。



- A. 8KB B. 16KB C. 32KB D. 64KB

15. 下列关于总线设计的说法中, 正确的是 (C)

- A. 并行总线总是比串行总线的传输速度快
B. 使用总线的优点是数据信息和地址信息可以同时传送.
C. 使用总线可以减少传输线的总数目
D. 使用总线结构可以减少信息传输量

16. 键盘接口连接片内 AMBA 总线时, 应连接到 (B) 总线上。

- A. SoC B. APB C. AHB D. ASB

17. 若某 8 位计算机系统的存储器地址空间为 0x0000~0x8FFF, 则系统的存储容量为 (C)。

- A. 16KB B. 32KB C. 36KB D. 64KB

18. 双端口存储器之所以能高速进行读/写, 是因为采用了 (B)

- A. 高速芯片 B. 两套相互独立的读写电路
C. 流水技术 D. 新型器件

19. 若需要扩展 64KB 容量的内存, 下面几种方案从总线负载和系统连接复杂性角度考虑, 最好的是 (B)。

- A. 采用 8 片 16Kx4bit 的芯片 B. 采用 8 片 64Kx1bit 的芯片
C. 采用 8 片 8Kx 8bit 的芯片 D. 三种方案都一样

20. 下列属于动态 RAM 特点的是(C)。

- A. 需要动态改变访存地址 B. 可以不按地址进行访问
C. 需要定时刷新 D. 存储的数据具有非易失性

21. 查询输入方式的接口必含有 (C)

- A. 中断请求信号线 B. 接收准备好状态线
C. 数据准备好状态线 D. 输出缓冲器

22. 在采用统一编址方式时, 下列叙述不正确的是 (B)

- A. 可用地址范围小于独立编址方式 B. 需要专门的信号指示访问对象

- C. IO 和存储器地址无重叠 D. 访问 IO 时可使用存储器访问指令
23. 中断控制方式的优点是 (A)。
- A. 提高 CPU 的利用率 B. 软件编程容易
C. 硬件连接简单 D. 无须 CPU 干预
24. 在主机与外围设备进行数据交换时, 为解决两者之间的同步与协调、数据格式转换等问题, 必须要引入(C)。
- A. 数据缓冲器 B.I/O 总线 C. I/O 接口 D. 串并移位器
25. 因为 ARM 处理器普遍使用流水线处理指令, 在 ARM 状态下, 假设当前正在执行的指令其存放地址为 Addr, 此时的 PC 通常应该为 (B)。
- A. Addr B. Addr+8 C. Addr-8 D. Addr+4

二、填空题 (每空 1 分, 共 20 分) (答案请集中填入第一页填空题答案处)

- 若一款 CPU 地址总线宽度为 32 位, 那么该款 CPU 能访直接访存的空间为 4GB ($2^{32}B$)。
- 微处理器中, 控制器的主要功能包括: 生成时钟信号, 生成执行一个基本指令周期所需的控制信号以及响应异常事件请求或输入/输出设备发出的中断请求。
- 微处理器执行指令的过程包括 1) 计算 PC 值、2) 读出存储单元中存放的指令、3) 送出存储单元的地址、4) 存储单元地址译码、5) 输出指令执行所需的控制信号、6) 指令译码等步骤。指令执行的过程按顺序用上述序号排序应该是 134265。
- 流水线结构中常见的冒险包括数据冒险、结构冒险、控制冒险。其中, 数据冒险有三种类别, 他们是写后读、写后写、读后写。
- 从一条指令启动到下一条指令启动, 中间的时间间隔称为指令周期。
- 设某微处理器系统地址线宽度为 13bit, 按字节编址, 若指定采用全译码法则采用 1Kx4bit 的芯片组成存储系统时, 最多可扩展的芯片数量是(16)片
- 在采用统一编址方式时, 根据 (地址所处的地址空间)来区分当前地址访问的对象是 IO 还是存储器。
- CPU 与外设接口交换信息时可采用 (程序查询) , (程序中断) , (直接存储器访问 (DMA)) 或通道等多种方式。
- 通过 ARM 指令 B 或 BL, 最大可以实现的地址跳转范围是 ($\pm 32MB$) 。
- Linux 的嵌入式系统中, 硬件设备可以分为三大类, 分别 (字符设备)、(块设备)、(网络设备)。通过驱动程序, 使 GPIO 控制数码管显示字形, 从 Linux 系统的角度来看这个数码管算是 (字符设备)。
- 基于 S3C2440A 的嵌入式系统如果选择从 NANDFLASH 引导系统, 上电时将会自动将 NANDFLASH 内低地址部分 4KB 内容拷贝到 (SteppingStone)。

三、综合题 (共 7 题, 共 55 分)

- (8 分)某时钟速率为 5GHz 的流水线处理器执行一个有 100 万条指令的程序。流水线有 5 段, 并且以每时钟周期 1 条的速率发射指令。忽略分支指令和乱序执行带来的性能损失。
 - 同样执行该程序, 该处理器比非流水式处理器可能加速多少?
 - 处理器吞吐量是多少? (单位: MIPS)

解: (1) $t_{串行} = \frac{5 \times 100 \times 10^4}{5GHz} = 1.5 \times 10^{-3} s$ (2 分) $t_{流水} = \frac{5 + (100 \times 10^4 - 1)}{5GHz} \approx 3 \times 10^{-4} s$ (2

分)

可得加速比 $S_p = \frac{t_{串行}}{t_{流水}} = 5$ (2分)

(2) $T_p = \frac{5GHz}{1 + \frac{5-1}{100 \times 10^4}} \approx 5000MIPS$ (2分)

2. (6分) 在什么情况下微机系统需要总线仲裁? 主要有哪几种仲裁方式? 各有什么特点?

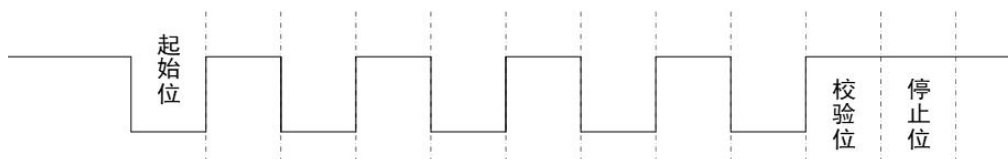
答:

1) 总线仲裁(arbitration)也称为总线判决, 其目的是合理地控制和管理系统中多个主设备的总线请求, 以避免总线冲突。当有多个模块同时请求使用总线时, 需要总线仲裁电路选出当前优先级最高的那个, 并赋予总线控制权; (2分)

2) 总线仲裁可分为两种方式: 集中式仲裁和分布式仲裁。集中式仲裁有分为串行仲裁、并行仲裁和混合仲裁三种; (2分)

3) 集中式仲裁采用专门的控制器或仲裁器, 总线控制器或仲裁器可以是独立的模块或集成在 CPU 中, 协议简单而有效, 但总体系统性能较低; 分布式仲裁控制逻辑分散在连接于总线上的各个部件或设备中, 协议复杂且昂贵, 效率高。(2分)

3. (8分) 异步串行通信发送方某次发送某字符的波形图如下图所示, 请识图, 并回答如下问题。



请回答如下问题:

- 1) 假设传输没有错误, 请问本次传输采用的校验方法是哪一种? 为什么? (2分)

答: 字符中有 5 个 “1”, 采用的是奇校验。(2分)

- 2) 假设传输没有错误, 本次发送方发送的是什么字符? (2分)

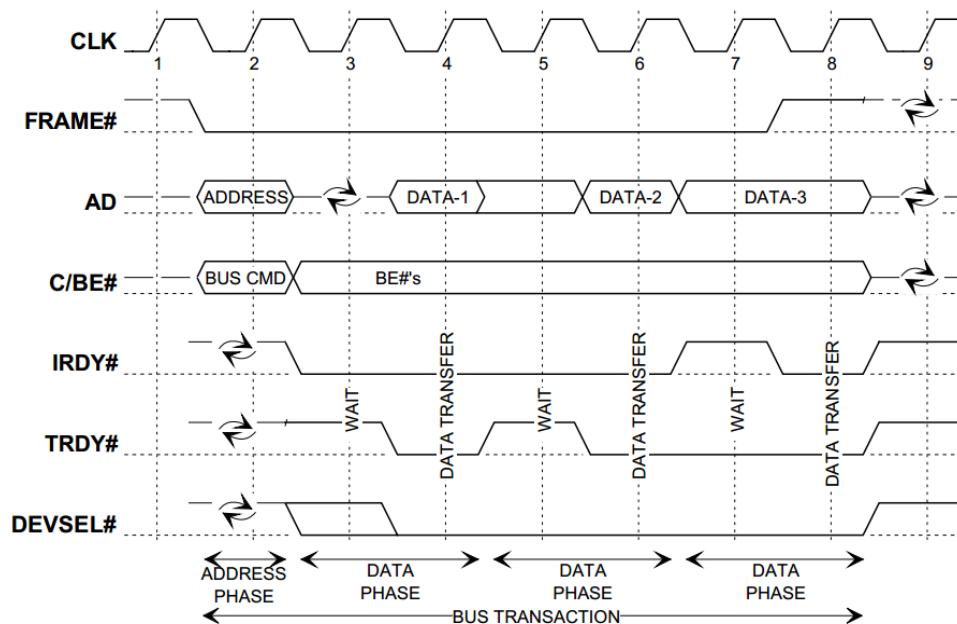
答: 0x55 (2分)

- 3) 请简述异步串行通信接收方如何实现正确的采样? (4分)

答: 1) 接收采样时钟采用波特率因子倍频提高准确度, 比如波特率因子为 16, 接收采样时钟是发送时钟的 16 倍, 接收方在检测到起始位(下降沿)后, 如果全部 8 个采样点都是低电平, 则确认起始位有效, 之后每隔 16 个采样时钟读取一位数据。(3分)

- 2) 接收方与发送方的时钟差异不超过 3% (1分)

4. (8分) 已知如图是 PCI 总线的读存储器操作时序, 请回答如下问题。



- (1) C/BE#信号中的 BUS CMD 编码应该是_____ (0110) (2 分)
- (2) 这次操作从存储器读了_____个数据 (3) (1 分)
- (3) DATA-1 数据插入了_____个等待周期, 什么原因? _____ (1 分)
(1 个, 因为 TRDY 信号变高了, 表明目标设备还没有准备好)
- (4) DATA-3 数据插入了_____个等待周期, 什么原因? _____ (2 分)
(1 个, 因为 IRDY 信号变高了, 表明主控设备还没有准备好)
- (5) 从总线时序角度, 说明 PCI 总线有什么特点? (2 分)
同步总线, 又可以插入等待周期, 半同步时序

5. (7 分) 已知某程序中一条指令的逻辑地址为 0x01FE0, 该系统使用页式虚拟存储器, 逻辑地址为 18 位, 页面大小为 1KB, 该程序的页表起始地址为 0x0300。设主存中页表的页表项低 4 位为逻辑页对应的物理块号, 下表为页表中 4 个主存单元低 4 位的内容, 请计算该指令逻辑地址对应的页号, 并求该指令的物理地址。

主存地址	低 4 位内容 (物理块号)
0x0007	XXXX 0001
....
0x0300	XXXX 0011
....
0x0307	XXXX 1100
....
0x0407	XXXX 1001

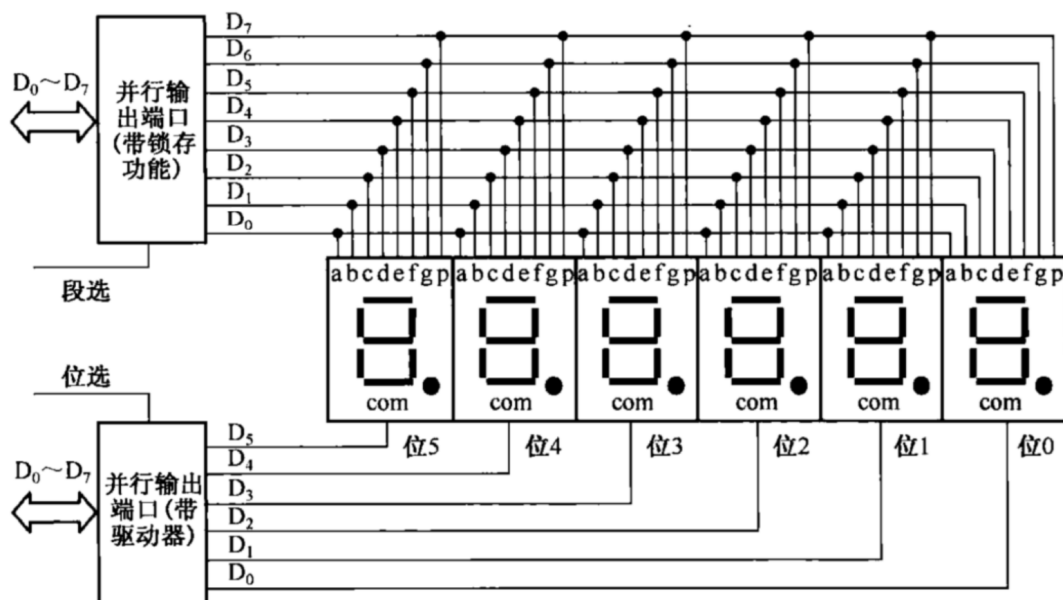
解：在页式存储器管理中，为每个程序建立一张页表，记录虚页在主存中对应的物理页号。程序中给出的地址是虚地址，要转换成物理地址，必须通过查找该程序对应的页表，找到物理页号。具体转换过程如下：

虚地址=01FE0H=00, 0001, 1111, 1110, 0000B，页面大小为 1K，故页内位移为 10 位，即虚拟地址的低 10 位“11, 1110, 0000”为页内位移，剩余的高位部分“0000, 0111”为虚页号，由于页表起始地址为 0300H 故该虚拟地址对应的页表项地址为：

0011, 0000, 0111B=307H，主存中该地址单元存放的物理页号为“1100”。所以，这条指令的物理地址为：1100111100000=33E0H。

评分标准：页号位数识别（2 分）；正确计算出页号（2 分）；物理地址计算正确（3 分）。

6. （8 分）控制六位八段数码管显示的电路如下图所示，请回答如下问题。



- (1) 从图中可以看出，该显示接口电路采用了哪种显示方式？（1 分）
- (2) 若位选端口输出 0xF7 时，位 3 的数码管显示数字，则八段数码管采用的是哪种接法？（1 分）
- (3) 若想在屏上从左到右依次显示 1.23456，请说出操作步骤。（4 分）
- (4) 若发现屏上显示的各位数字有闪烁的现象，该采用什么措施加以解决？（2 分）

答：（1）动态显示（2 分）

（2）共阴极接法，1111 0111（2 分）

（3）位码端口依次输出 0xDF, 0xEF, 0xF7, 0xFB, 0xFD, 0xFE, 段码端口依次输出 0x86, 0x5B, 0x4F, 0x66, 0x6D, 0x7D，依次循环。（2 分）

（4）减小每一位显示的延迟时间，提高刷新速率。（2 分）

7. （10 分）阅读如下汇编语言源程序调用 C 语言函数例程，回答有关的问题。

AREA func, CODE, READONLY

IMPORT sum_routine

STR LR, [SP, #-4]!

MOV R0, #3 ;r0=3,a

ADD R1, R0, R0 ;r1=6,b

ADD R2, R1, R0 ;r2=9,c

ADD R3, R1, R2 ;r3=15,e

STR R3, [SP, #-4]! ; 位置 1

ADD R3, R1, R1 ; r3=12,d

BL sum_routine ; 位置 2

ADD SP, SP, #4

LDR PC, [SP], #4 ; 位置 3

END

int sum_routine(int a, int b, int c, int d, int e)

{

return a + b + c + d + e; sum=3+6+9+12+15=45=0x2D

}

1) 在程序运行至位置 1 时，用图示方式表示出堆栈的变化（SP=0X40001000 为初始值）：（2 分）

	地址	字单元
	4000FF0	
	4000FF4	
SP	4000FF8	0x0000000F
	4000FFC	LR
	40001000	
	40001004	
	40001008	
	4000100C	
	4000100F	

2) 在程序运行至位置 2 时，用图示方式表示出堆栈的变化（SP=0X40001000 为初始值）：（2 分）

	地址	字单元
	4000FF0	
	4000FF4	
SP	4000FF8	0X0000000F
	4000FFC	LR
	40001000	
	40001004	
	40001008	
	4000100C	
	4000100F	

3) 在程序运行至位置 3 时，用图示方式表示出堆栈的变化（SP=0X40001000 为初始值）：（1 分）

地址 字单元

SP

```
R0=0X0000002D;    R1=0X00000006;    R2=0X00000009;
R3=0X0000000C;    R13=LR;
```