

《计算机组成原理与结构》重要知识点

第一章 概论

一、基本概念

1. 冯·诺依曼体制? 存储程序方式?
2. 控制流? 数据流?
3. 模拟信号? 数字信号? 数字信号有哪两种?
4. 总线及其组成?
5. 接口的概念?
6. 基本字长?
7. CPU 主频? 时钟频率?
8. 数据通路宽度? 数据传输率?

电平
脉冲

第二章 计算机中的信息表示

一、基本概念

1. 一个数值型数据的完整表示需三个方面?
2. 权、基数?
3. 真值? 机器数的定义? 分类?
4. 数的定点表示与浮点表示?
5. 指令? 指令系统?
6. 地址码? 寻址方式? 地址结构?
7. 寻址方式:

数据居 { 数值: { 进位计数制, 十进制, 二进制
非数值 { 机器码
控制: 指令 定/浮点

→ 接数 { M主 (包括接口中的R)
R

大致可将众多的寻址方式归纳为以下四大类, 其它的寻址方式则是它们的变型或组合。

- ① 立即寻址。在读取指令时也就从指令之中获得了操作数, 即操作数包含在指令中。
- ② 直接寻址类。直接给出主存地址或寄存器编号, 从 CPU 内或主存单元内读取操作数。
- ③ 间接寻址类。先从某寄存器中或主存中读取地址, 再按这个地址访问主存以读取操作数。
- ④ 变址类。指令给出的是形式地址 (不是最终地址), 经过某种变换 (例如相加、相减、高低位地址拼接等), 才获得有效地址, 据此访问主存储器以读取操作数。

8. 何谓隐式 I/O 指令? 其主要特点是什么?
9. 主机调用外围设备, 外设编制可采用那几种方式?

二、计算题

1. 扩展操作码: 根据条件计算指令条数?
2. 根据寻址方式寻找操作数?
3. IEEE754 短浮点数格式表示?

32位

第三章 中央处理器

一、基本概念

1. CPU 内部各寄存器的功能? 12个 { 通用R
控制R
交换R
2. 数据通路结构?
3. 何谓同步控制方式, 何谓异步控制? 有何主要特征? 应用场合?
4. 何谓主从设备, 试举例说明。
5. 同步控制中如何引入异步应答的, 试举例说明。

6. 微程序控制思想的基本要点是什么？

7. 判断下面叙述是否正确，说明理由：串行加法器中的进位链是串行进位链，并行加法器中的进位链只有并行进位链。

8. 常用的加法器进位链结构有哪几种？

9. 组合逻辑控制器、微程序控制器有何区别？

10. 组合逻辑控制器、微程序控制器的时序系统是如何划分的？

11. 微命令、微操作、微指令、微指令周期、微程序？

12.1 位全加器的结构及关系表达式。

13. 并行加法器中的串行进位链结构： $C_n = G_n + P_n C_{n-1}$

并行进位链结构： $C_n = G_n + P_n G_{n-1} + \dots + P_n \dots P_1 C_0$

14. 时序信号？时序系统？

二、设计题：

CPU 的逻辑组成及工作机制

1. CPU 的逻辑组成（模型机框图）

(1) CPU 的逻辑组成→模型机框图；

(2) CPU 内每个寄存器的作用；

(3) 总线的分类及定义；

(4) 控制器的分类及区别；

2. CPU 的指令流程

(1) 指令类型：MOV 指令、双操作数算数逻辑运算指令、单操作数算数是逻辑运算指令、转移/返回指令、转子指令；

(2) 核心是寻址方式：立即寻址、R、(R)、-(R)、(R)+、@(R)+、X(R)；

3. 操作时间表的安排（微命令的安排）：

(1) CPU 数据通路操作：按照数据的流向分成四段

ALU 输入选择→AUL 功能选择→移位器功能选择→分配脉冲（打入到寄存器中的脉冲）；

(2) 与访问主存有关的微命令。

第四章 存储子系统

一、基本概念

1. 主存、缓存、外存？

2. 高速缓存 Cache 用来存放什么内容？设置它的主要目的是什么？

3. 存储介质？

4. 何谓随机存取？何谓顺序存取？何谓直接存取？请各试举一例。

5. 静态存储器 SRAM、动态存储器 DRAM 存储原理？

6. 动态刷新分为哪几种情况，各有什么特点？

7. 全地址译码方式？部分地址译码方式？

二、设计题：

半导体存储器逻辑设计：(地址分配、片选逻辑、逻辑框图)，片选逻辑采用全/部分译码方式。

第五章 I/O 系统

一、基本概念

1. 系统总线一般包含哪三组信息？

2. 中断方式定义、实质、特点? *DMA定义、实质、特点.*
3. 中断向量、中断向量表、向量地址?
4. 何谓向量中断? 何谓非向量中断? 各有何优点和缺点?
5. 单级中断、多重中断?
6. *DMA* 程序直传方式定义、实质、特点?
7. 程序直传方式, 中断方式, DMA 方式之间的区别?

《微型计算机原理与接口技术》重要知识点

第2章 微处理器与总线

一、基本概念

1. 微处理器主要由哪几部分构成? *EU, BIU*
2. 说明 8088CPU 中 EU 和 BIU 的主要功能。在执行指令时, EU 能直接访问存储器吗?
3. 8086/8088CPU 中, 有哪些通用寄存器和专用寄存器? 说明他们的作用。 *AX, BX, ..., SI, ..., BP, SP: 8个*
4. 8086/8088 系统中, 存储器为什么要分段? 一个段最大为多少字节? 最小为多少字节?
5. 8086/8088 系统中, 物理地址和逻辑地址是指什么? *64KB 16B 段: 4T IP*
6. 8088/8086 CPU 的特点?

二、计算题:

8086/8088 系统中, 物理地址和逻辑地址的转换?

段基址 (左移4位) + 段内偏移地址 = 20位物理地址

第3章 8086/8088 指令系统

一、基本概念

1. 8086/8088 指令系统的 8 种寻址方式

二、六大类指令

1. 数据传送:

1) 通用数据传送: MOV、堆栈操作指令 push/pop、交换指令 XCHG、查表转换指令 XLAT、

(字位扩展指令不要求) *CBD, ZBWD*

2) 输入输出 IN、OUT

3) 地址传送 LEA、LDS、LES *效果: AL/AX, 端口地址 { 8位 直接 8<---<16位: 间接 }*

4) 标志位操作 PUSHF、POPF、LAHF、SAHF

2. 算术运算类指令:

1) 加法运算指令 ADD、ADC、INC

2) 减法运算指令 SUB、SBB、DEC、CMP (求补指令 NEG 不要求)

3) 乘法指令 (不要求)

4) 除法指令 (不要求)

3. 逻辑运算和移位指令: AND、OR、NOT、XOR、TEST、SHL、SHR、SAL、SAR、ROL、ROR、

RCL、RCL

4. 串操作指令: MOVS、CMPS、SCAS、LODS、STOS

5. 程序控制指令:

1) 转移指令: JMP、条件转移指令

2) 循环控制指令: LOOP、LOOPZ/LOOPE、LOOPNZ/LOOPNE

3) 过程调用指令: CALL

小结: 不常CF

4) 中断控制指令: INT

6. 处理器控制指令: 常用的 CLD、STD、CLI、STI、HLT、CLC、STC

第4章 汇编语言程序设计

一、基本概念

1. 指令与伪指令区别?

2. 伪指令: 段定义伪指令、数据定义伪指令: 常数(字符串的使用 DB、DW、DD)、变量和标号, 当前位置计数器 \$ (\$! 作变量使用, 是 16 位偏移量) 与定位伪指令 ORG 等伪指令。

二、汇编语言程序设计

✓ 1. 汇编语言源程序结构

2. 汇编语言程序设计四种类型: 顺序程序设计、分支程序设计、循环程序设计、子程序设计

第6章 输入输出和中断技术

一、基本概念

1. 输入/输出系统主要由哪几个部分组成? 主要有哪些特点?

2. I/O 接口的主要功能有哪些? 有哪两种编址方式? 在 8088/8086 系统中采用哪一种编址方式?

3. 试比较 4 种基本输入/输出方法的特点。

4. 主机与外部设备进行数据传送时, 采用哪一种传送方式 CPU 的效率最高?

二、逻辑电路及程序设计

✓ 1. 根据状态端口地址查询相关状态位的值, 符合条件通过数据端口传送一次数据。

✓ 2. 中断向量表中中断向量设置。

考试题型

一、简答题 (30 分)

6 题 * 5 分 = 30

二、分析题 (24 分)

IEEE754、模型机寻址问题、读程序等

三、设计题 (28 分)

CPU、存储器等

四、编程题 (18 分)

编写完整程序 (从段定义开始)、编写实现主要功能的程序段等

二、分析计算题：

1. 某指令字长 12 位，每个地址字段 4 位，若要求有 12 条双操作数指令，问单操作数一地址指令最多可有多少条？

2. 某主存储器部分单元的地址码与存储器内容对应关系如下：

地址码	存储内容
1000H	A307H
1001H	0B3FH
1002H	1200H
1003H	F03CH
1004H	D024H

(1) 若采用寄存器间址方式读取操作数，指定寄存器 R0 的内容为 1002H，则操作数是多少？

(2) 若采用自增型寄存器间址方式 (R0)+ 读取操作数，R0 内容为 1000H，则操作数是多少？指令执行完成后 R0 的内容是多少？

(3) 若采用自减型寄存器间址方式 -(R1) 读取操作数，R1 内容为 1003H，则操作数是多少？指令执行完成后 R1 的内容是多少？

(4) 若采用变址寻址方式 X(R2) 读取操作数，指令中给出形式地址 d=3H，变址寄存器 R2 内容为 1000H，则操作数是多少？

3. 若 IEEE754 短浮点数格式为 (BDB40000)₁₆，求其真值。

4. 将 (18.125)₁₀ 转换成 IEEE754 短浮点数格式。

5. 在 8088 系统中，设 8259A 采用普通屏蔽方式，固定优先级方式（各中断源的优先级从低到高的顺序为 IR₇, IR₆... IR₀）。在某时刻中断屏蔽寄存器 IMR=10010010B，中断请求寄存器 IRR=10100110B (IRR 中低位对应 IR₀)，中断服务寄存器 ISR=01000000B，初始化命令字 ICW2=00001000B。试回答以下问题：

(1) 有中断请求的是哪几个中断源？

(2) 8259A 与 8086CPU 连接，CPU 将响应哪一个中断源的请求？该中断源的中断服务程序入口在中断向量表中的偏移是多少？

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
0	0	0	0	1	0	0	0
T ₇	T ₆	T ₅	T ₄	T ₃	×	×	×

中断向量码高 5 位 中断源序号 (IR_n)

初始化命令字 ICW2 000 — IR₀ ⇒ 0AH

 001 — IR₁ ⇒ 0AH × 4

 111 — IR₇ = 28H

6. 读程序段：

```
DATA1 SEGMENT
    ORG 04H
    NUM DB 25H
    ARRAY DW 10H DUP(0)
    ADR1 DW NUM
    ADR2 DD NUM
    ADR3 DD ARRAY[3]
```

DATA1 ENDS ; 定义数据段

设上述语句所在段的段基址为 0100H，则存储单元：

NUM= , ADR1=

ADR2= (低 2 个字节) , (高 2 个字节)

ADR3= (低 2 个字节) , (高 2 个字节)

三、设计题

1. 模型机设计题：

某 CPU 组成：用 SN74181 构成的 ALU 一个，选择器 A、B，移位器；通用寄存器 R0~R3，暂存器 C、D；指令寄存器 IR，程序计数器 PC；地址寄存器 MAR，数据缓冲寄存器 MBR，堆栈指针 SP；CPU 内单向数据总线一组。

(1)画出一组 CPU 数据通路框图（寄存器级）*讨论制四*

(2)拟定加法指令 ADD (SP)+, X(R0) 的指令流程（采用寄存器传送级语句，如 R0 → R1），源寻址方式采用变址寻址方式，目的寻址方式采用堆栈寻址方式。

(3)请安排 FT 周期及 M→MDR→C 操作的微命令。

2. 模型机设计题：

模型机中 CPU 组成：用 SN74181 构成的 ALU 一个，选择器 A、B，移位器，通用寄存器 R0~R3，暂存器 C、D；指令寄存器 IR，程序计数器 PC；地址寄存器 MAR，数据缓冲寄存器 MDR，堆栈指针 SP 等；CPU 内单向数据总线一组。

1) 画出一组 CPU 数据通路框图（寄存器级）；

2) 请分析下列操作时间表，回答以下问题(注：上述操作时间表中，省去了周期转换所需电平和脉冲信号)。

FT0: EMAR, R, SIR

PC→A, A+1, DM, CPPC

ST0: PC→A, 输出 A, DM, CPMAR

EMAR, R, SMDR, MDR→B, 输出 B, DM, CPC

PC→A, A+1, DM, CPPC

C→A, R0→B, A+B, DM, CPMAR

EMAR, R, SMDR, MDR→B, 输出 B, DM, CPC

DT0: R1→A, 输出 A, DM, CPMAR

ET0: C→A, 输出 A, DM, CPMAR

ET1: EMAR, W

ET2: PC→A, 输出 A, DM, CPMAR

(a)每个节拍中的微命令序列对应的操作是什么？

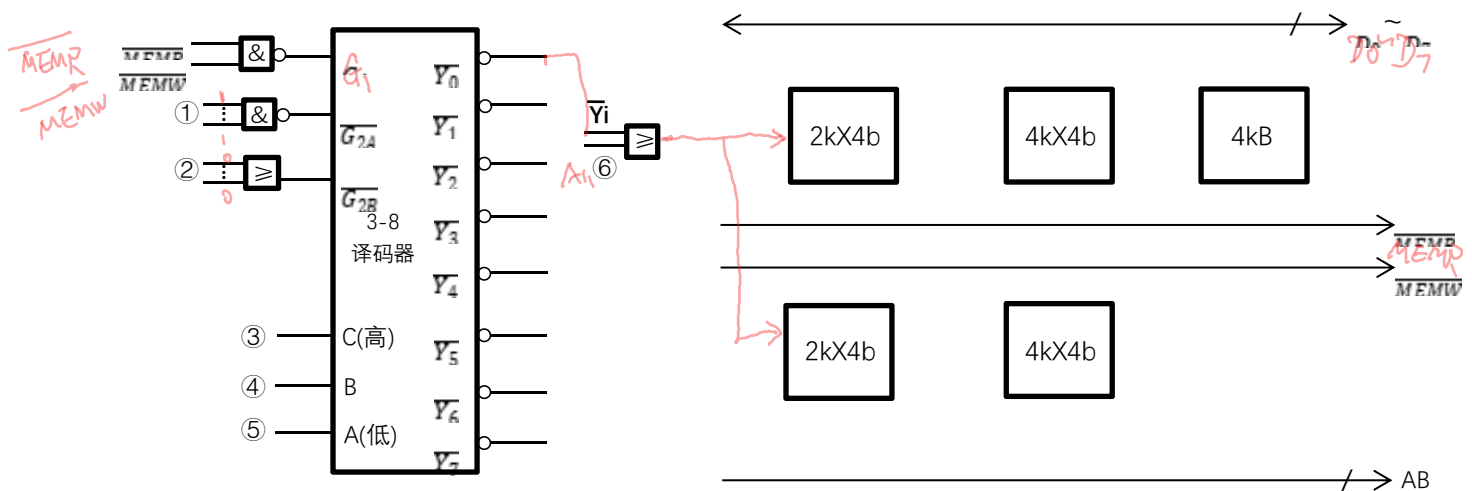
(b)写出该操作时间表所实现的指令。

3. 存储器设计题

假设对存储器访问共有 20 位地址线 A19~A0（低位），8 位数据线 D7~D0（低位），用 $\overline{\text{MEMR}}$ 、 $\overline{\text{MEMW}}$ 作为读写控制信号（低电平有效），片选信号 $\overline{\text{CS}}$ （低电平有效）。现有 2K×4b SRAM：2 片、4K×4b SRAM：2 片、4KB SRAM：1 片，以及 1 片 74LS138 译码器、3 个与门、1 个或门电路，要求在不增加其它部件的前提下，按照 2K×4bSRAM（2 片）的地址范围是 F0800H~F0FFFH, 4K×4bSRAM（2 片）的地址范围是 F2000H~F2FFFH, 4KB SRAM（1 片）的地址范围是 F7000H~F7FFFH，要求：

1) 请完善下面存储器逻辑设计图中的片选信号、地址线、数据线、 $\overline{\text{MEMR}}$ 及 $\overline{\text{MEMW}}$ 等的连接(注：①--⑥均为地址线)；

2) 写出每组芯片 CS 的片选逻辑表达式。



参考答案:

- (1) A19A18A17A16 (2) $\overline{A_{15}}$ (3) A14 (4) A13 (5) A12 (6) $\overline{A_{11}}$, $\overline{Y_0}$
- CS0=A19A18A17A16/ $\overline{A_{15}}$ /A14/A13/A12A11 (或 /A15/A14/A13/A12A11)
- CS2=A19A18A17A16/A15 /A14A13/A12 (或/A15/A14A13/A12)
- CS7=A19A18A17A16/A15 A14A13A12 (或/A15A14A13A12)

四、编程题：编写完整程序（从段定义开始）、编写实现主要功能的程序段等

1. 试编写一完整源程序：数据段中 BUFFER 数据区存放有 16 个无符号字节数，编程将其中第 2、5、9、14、15 个字节内容加 5，其余字节内容乘 3（假定运算不会溢出）。设数据段中相应的定义如下：（8 分）

BUFFER DB 12, 18, 34, 57, 7, 21, 60, 41, 40, 30, 10, 20, 3, 10, 27, 42

注：该题要求编写完整的数据段、堆栈段及代码段的定义，以及程序结束并返回操作系统的语句。

2. 编写一程序段，把从 BUFFER 开始的 100 个字节的内存区域初始化成 55H、0AAH、55H、0AAH、.....、55H、0AAH。

3. PPT 中 6-2, 6-3 例题

MOVSI
CMPB
SCAS
STOS
LODS

全段转移

1字 15字