

# 电子科大 832 微电子器件初试笔记

分章节知识点精讲

# 第一章 半物基础与器件方程

- 1、固体有无定型、单晶、多晶三种基本类型。多晶中单晶区域称为晶粒，是由晶界隔开的。
- 2、元素半导体硅和锗具有金刚石结构，而 GaAs 是闪锌矿结构。
- 3、晶面通常是由密勒指数进行标定。
- 4、单晶中相邻原子间距只有零点几纳米的数量级。
- 5、晶体的原子密度为  $10^{22}-10^{23}$  个/ $\text{cm}^3$ 。
- 6、室温常压下，硅的禁带宽度为 1.12eV，锗的禁带宽度为 0.66eV，砷化镓的禁带宽度为 1.43eV，金刚石为 6-7eV。且随着掺杂浓度的增加和温度的上升，禁带宽度变小。
- 7、窄带电子的有效质量较大，外力作用下不易运动，迁移率较低。
- 8、服从泡利不相容原理的电子遵循费米统计率。
- 9、质量作用定律，即  $n_0 p_0 = n_i^2$ ，对于任何的非简并半导体都成立。
- 10、室温下，硅的  $n_i = 1.5 \times 10^{10} / \text{cm}^3$ ，锗的  $n_i = 2.4 \times 10^{13} / \text{cm}^3$ 。
- 11、不同温度下半导体中载流子的来源
  - (1) 温度很低时，本征激发忽略，载流子完全由杂质电离产生；
  - (2) 强电离区，杂质完全电离，仍然忽略本征激发；
  - (3) 过渡区，杂质完全电离，有一部分本征激发；
  - (4) 本征激发区，本征激发出的载流子远多于杂质电离出的载流子。
- 12、硅和锗在室温下发生简并时的掺杂浓度在  $10^{18} / \text{cm}^3$  以上。
- 13、小注入条件：注入的非平衡载流子浓度比平衡时的多数载流子浓度低得多。
- 14、非平衡载流子的寿命  $\tau$ ， $1/\tau$  表示单位时间内非平衡载流子的复合概率。
- 15、根据复合放出能量的方式，将复合分为：发光复合、声子复合、俄歇复合。
- 16、促进复合的杂质和缺陷称为复合中心，深能级杂质是有效的复合中心，如金、铂。
- 17、半导体的电阻率可以用四探针法测出，单位是  $\Omega \cdot \text{cm}$ 。
- 18、电子迁移率是空穴迁移率的 2-3 倍，原因是：电子在半导体中做“自由”运动，而空穴运动的本质是共价键上电子在共价键之间的运动，所以二者在相同的

外电场的作用下的平均漂移速度不同。

19、半导体中主要有两种散射机制：晶格散射、电离杂质散射。对于晶格散射，温度下降时在其影响下迁移率将增大，且轻掺杂半导体的主要散射机制为晶格散射；对于电离杂质散射，温度升高后迁移率将增大。

20、对于掺杂的硅和锗，主要的散射机构为声学波散射和电离杂质散射。

21、硅和锗以间接复合为主。

22、根据复合过程，可将复合分为直接复合、间接复合；

根据复合位置，分为表面复合、体内复合。

23、对扩散电流密度的理解： $J_p = -qD_p \frac{d\Delta p}{dx}$ ，其中  $-D_p \frac{d\Delta p}{dx}$  为扩散流密度，负号代表从高处往低处扩散。电子的扩散电流密度无负号是因为电子带电位  $-q$ ，两个负号抵消。

24、爱因斯坦关系式  $\frac{D}{\mu} = \frac{KT}{q}$ ，只适用于非简并半导体。

25、半导体器件方程由：麦克斯韦方程组、输运方程组、连续性方程组组成。

26、泊松方程的原始形式、常用形式、积分形式参见微电子器件课本。

27、泊松方程的积分形式就是高斯定理。含义为：流出一个闭合曲面的电通量等于这个闭合曲面所围成的体积内的净自由电荷量。

28、泊松方程表明：空间任意点的电位移矢量的散度正比于该点的电荷密度。泊松方程的物理意义是：电感线总是出发于正电荷而终止于等量的负电荷。

29、输运方程（电流密度方程）

电子电流密度矢量  $\vec{J}_n = q\mu_n nE + qD_n \nabla n$ ，空穴电流密度矢量  $\vec{J}_p = q\mu_p pE - qD_p \nabla p$ 。

即总的电流密度=漂移电流密度+扩散电流密度。其中  $qp$  表示空穴电荷密度， $\mu_p E$  表示空穴在电场中的漂移速度， $\nabla p$  表示空穴的浓度梯度， $D_p \nabla p$  为空穴的扩散流密度，乘以  $q$  就是扩散电流密度。

30、漂移电流取决于载流子浓度和电场强度。扩散电流取决于载流子浓度梯度。

31、连续性方程

$$(1) \text{ 电子连续性方程 } \frac{\partial n}{\partial t} = \frac{1}{q} \nabla \cdot \vec{J}_n - U_n, \text{ 空穴连续性方程 } \frac{\partial p}{\partial t} = -\frac{1}{q} \nabla \cdot \vec{J}_p - U_p。$$

(2) 物理意义：造成某体积内载流子增多的原因，一定是载流子对该体积有净流入和载流子在该体积内有净产生。

(3) 积分形式也叫电荷控制方程，**建议了解一下，会写出。**

积分形式的物理意义：流出一个闭合曲面的空穴电流等于这个闭合曲面围成的体积在单位时间内减少的空穴电荷数和净产生的空穴电荷数之和。

32、微分形式方程的特点：可以求出所求变量在空间上任意一点的值，即所求变量的空间分布，但方程的求解比较复杂，方程本身物理意义不明显；

积分形式方程的特点：只能求解出变量在某个体积内的总体效果，但方程本身的物理意义比较明显，方程求解也比较简单。

33、硅和锗等间接带隙半导体中，复合主要是通过带隙中的复合中心能级进行。

34、将输运方程代入连续性方程，得到“连续性-输运”方程（个人认为有概率考，之前没考过），以及各种情况下该方程的变式都要会写，会化简。（课本 P22）

## 第二章 PN 结

### 一、针对填空题的总结（概念性的问题）

1、PN 结 P 型区和 N 型区的交界面为：冶金结面。半导体集成电路都是以 PN 结 为基本单元构成的。

2、理想突变结：P、N 区的掺杂浓度均匀分布，杂质浓度在结面处发生阶跃式的突变。单边突变结：突变结一侧掺杂浓度远大于另一侧时，为单边突变结。

3、PN 结的平衡状态指 PN 结内温度均匀、稳定，没有外加电压、外加磁场、光照和辐射等外界因素的影响。

4、势垒区中采用耗尽近似：假设在势垒区中自由载流子已经完全耗尽，空间电荷密度等于电离杂质电荷密度。势垒区外采用中性近似，即平衡多子浓度等于电离杂质浓度，这部分无空间电荷，保持完全的电中性。

5、内建电势也叫扩散电势，是 P 区到 N 区的电位差（**学长提醒：21 年真题计算题中考过用这个定义来求内建电势，而不只是简单的套公式**）。内建电势的公式

为  $V_{bi} = \frac{kT}{q} \ln \frac{N_A N_D}{n_i^2}$ 。讨论：当掺杂浓度增大时， $V_{bi}$  增大；禁带宽度越大， $V_{bi}$  越

大；温度升高， $V_{bi}$  降低。一般的，硅 PN 结的  $V_{bi} = 0.8V$ ，锗 PN 结的  $V_{bi} = 0.35V$ 。

6、低掺杂侧浓度越低，耗尽区越宽，最大电场强度越小。

7、线性缓变结：冶金结附件的杂质浓度随距离线性变化。其杂质浓度分布表达式： $N(x) = N_D - N_A = ax$ ，其内建电场的分布为抛物线。（见课本 P29）

8、采用耗尽近似时，对于平衡突变结的最大电场强度的计算，正偏时误差增大，反偏时误差减小，且当反向偏压足够高时，耗尽近似的精确度极高。

9、扩散结：采用杂质扩散工艺制作的 PN 结。以扩散方式进入半导体的杂质，其浓度分布是余误差函数分布或高斯函数分布。

10、PN 结外加正向电压时，注入 N 区的空穴流通过复合逐渐转换成 N 区的电子漂移流。

11、势垒区产生电流的来源是：复合中心热激发产生的电子-空穴对。

12、小注入下的结定律： $p_n = p_{n0} \exp(\frac{qV}{kT})$ ， $n_p = n_{p0} \exp(\frac{qV}{kT})$ 。（**学长提醒：一定要把大小注入下的结定律分清楚**）。

13、P 区注入 N 区的非平衡空穴，在 N 区中随距离浓度指数式衰减，是其一边扩散一边复合的结果。

14、当反向电压的数值大于  $kT/q$  时，反向电流密度保持在  $-J_0$  不变，与反向电压无关，称为反向饱和电流密度。

15、反向饱和电流密度的大小主要取决于：半导体材料的种类、掺杂浓度、温度。

(1) 禁带宽度越大，本征载流子浓度越低，使反向饱和电流密度越小。所以在硅、锗、砷化镓中，锗的反向饱和电流密度最大；

(2) 掺杂浓度越高，少子越少，反向饱和电流密度越小；

(3) 温度升高，本征载流子浓度增大，反向饱和电流密度增大，故反向饱和电流密度有正的温度系数。

16、室温下硅 PN 结的反向饱和电流密度约为  $10^{-10} A/cm^2$ 。

17、反向饱和电流密度公式： $J_0 = q \left( \frac{D_p p_{no}}{L_p} + \frac{D_n n_{po}}{L_n} \right) = q n_i^2 \left( \frac{D_p}{L_p N_D} + \frac{D_n}{L_n N_A} \right)$ 。

对于 P+N 结， $J_0 = q \frac{D_p p_{no}}{L_p} = q n_i^2 \frac{D_p}{L_p N_D}$ 。（这个要会分析是为什么，且考察可能性较大）。

18、外加正向电压的时候，势垒区中有载流子的净复合，所以会产生势垒区复合电流。

19、势垒区复合电流和势垒区产生电流的公式稍作了解。（之前未考过）（课本 P40）。

20、正向电压下 PN 结的电流为正向扩散电流和势垒区复合电流之和。且  $V$  越小，势垒区复合电流所占的比例越大；禁带宽度越大，则由势垒区复合电流过渡到正向扩散电流的正向电压越大。

21、对于 Si 二极管，当  $V < 0.3V$  时，以势垒区复合电流为主，当  $V > 0.45V$  时，以正向扩散电流为主。常用电压下以扩散电流为主。

22、反向电压下 PN 结电流为反向扩散电流和势垒区产生电流之和。

当  $|V| \gg kT/q$  时，反向扩散电流为  $J_0$ ，势垒区产生电流正比于势垒区宽度，所以随着反向电压的增大，势垒区产生电流会增大，即势垒区产生电流是不饱和的。

23、当温度低时，反向电流以势垒区产生电流为主；温度高时，以反向扩散电流为主。禁带宽度越大，从产生电流过渡到扩散电流所需的温度越高。

24、Si-PN 结常温下反向电流以势垒区产生电流为主。

25、正向电流达到某一测试值的电压称为正向导通电压  $V_F$ 。锗 PN 结的  $V_F=0.25V$ ，硅 PN 结的  $V_F=0.7V$ 。 $V_F$  值主要与禁带宽度有关。禁带宽度越大，反向饱和电流密度越小， $V_F$  越大。

26、温度升高，本征载流子浓度增大，反向饱和电流密度增大， $V_F$  越小，故  $V_F$  有负温度系数。

27、薄基区二极管：两区中至少有一区的长度远小于该区的少子扩散长度。且少子浓度随距离线性变化。在相同的正向电压下，薄基区二极管的电流远远大于普通二极管。（可以从  $J_0$  表达式中看出，且要会写薄基区二极管的反向饱和电流密度公式）。（课本 P43）

28、热平衡下，电子按照能级的分布几率为费米-狄拉克分布；费米能级表示对系统引进一个粒子时，系统自由能的增量。

29、本征费米能级代表禁带中央的位置。（注意是禁带中央而不是禁带中线）

30、自发的使  $E_{Fn}$  高处的电子浓度减小， $E_{Fn}$  低处的电子浓度增大，故电子流动的方向和  $E_{Fn}$  的梯度方向相反。

31、注意：载流子的扩散速度是  $D/L$ ，这对于理解  $J_0$  的物理意义有帮助。

32、**小注入条件**：注入某区边界附近的非平衡少子浓度远小于该区的平衡多子浓度，此时非平衡多子浓度可以忽略。

33、**大注入条件**：注入某区边界附近的非平衡少子浓度远大于该区的平衡多子浓度，此时平衡多子浓度可以忽略。（**大小注入的定义、条件非常重要**）

34、大注入下的结定律：（**重要**）

当 N 区发生大注入时， $p_n(x_n) = n_i \exp(\frac{qV}{2kT})$ ；

当 P 区发生大注入时， $n_p(-x_p) = n_i \exp(\frac{qV}{2kT})$ ；

大注入下边界处的少子浓度随外加电压的增加要比小注入慢。

35、大注入条件下的自建场。对于 N 区来说，边界处的空穴浓度略大于电子浓度，电子浓度梯度小于空穴的浓度梯度，所以边界处带正电荷，电荷在空间上的分离产生了自建场，方向由势垒区指向中性区。

36、韦伯斯脱（Webster）效应。（**效应型的问题，很重要**）

N 区发生大注入时，使 N 区内的空穴电流形式上仍然是完全由扩散电流构成的，只是扩散系数增大了一倍。自建电场阻止多子的扩散，加强少子的扩散。

37、转折电压，也叫膝电压，是从小注入过渡到大注入的外加电压。注意：N 区的转折电压对应的是空穴的大注入。

38、引起 PN 结反向击穿的机理：雪崩倍增，隧道效应，热击穿。（**常考**）

39、碰撞电离：当载流子的能量  $\Delta E = q \int_0^l E dx$  超过禁带宽度时，在下次与晶格价键电子碰撞时有可能使后者获得足够能量而从价带跃迁到导带，从而产生一对新的电子-空穴对。

40、碰撞电离率：把每个自由电子（空穴）在单位距离内通过碰撞电离而产生的新的电子-空穴对的数目，称为电子（空穴）的碰撞电离率。

41、雪崩倍增：当电场强度增加到一定程度后，势垒区中的载流子发生碰撞电离，产生二次载流子，后者又不断产生新的载流子，这个过程不断进行下去，称为雪崩倍增。

42、雪崩倍增因子 M：包括雪崩倍增作用在内的流出势垒区的总电流与流入势垒区的原始载流子电流之比。

43、雪崩击穿条件： $\int_0^{x_d} \alpha_i dx \rightarrow 1$ 。

44、对于线性缓变结，a 越大，越与单边突变结接近，雪崩击穿电压越小。a 越小，势垒区宽度越大，击穿电压越大。

45、对于扩散结，可以通过控制扩散时间以及扩散温度来控制杂质浓度梯度，从而改变击穿电压。

46、雪崩击穿的温度系数一般为正的。

47、击穿电压会因为高阻区的厚度限制而下降，因为原本展开的空间电荷区被截了一段，使得耐压降低。

48、势垒区宽度在曲率半径小的地方会变窄，使该处电场更加集中，使雪崩击穿电压降低。结深越浅，曲率半径越小，结面的弯曲程度就越明显，击穿电压越低。



49、实践中通常用增大结深的方法，使结面曲率半径变大，来提高击穿电压。所以高反压器件除了较低的掺杂外还用深结扩散，或者使用台面结构，即把弯曲部分腐蚀掉，只保留中间的平面部分，但这种结构需要解决钝化问题。

50、隧道效应：电子具有波动性，有一定的几率穿过位能比电子动能高的势垒。

51、隧道长度的计算公式： $d = \frac{E_G}{qE}$ ，禁带宽度小的材料，发生齐纳击穿的最大临界击穿电场也小。如硅：1200KV/cm，锗：200KV/cm。

52、齐纳击穿的温度系数是负的。

53、雪崩击穿的条件： $\int_0^{x_d} \alpha_i dx \rightarrow 1$ ；齐纳击穿的条件  $d_{\min} = \frac{E_G}{qE_{\max}}$  足够小。（很重要）

要）

（1）势垒区较宽，易发生雪崩击穿，即低掺杂浓度；

（2）当  $V_B < 4E_G/q$  时，发生的是隧道击穿，

当  $V_B > 6E_G/q$  时，发生的是雪崩击穿，

（3）隧道击穿电流的增长相对于雪崩击穿来说慢。

54、6V 以下的 Si 稳压二极管，掺杂浓度应很高，利于发生隧道击穿，常用合金法来制造；12V 以上的 Si 稳压二极管，掺杂浓度稍低，可以用扩散法制造。

54、电击穿是非破坏性的，热击穿是破坏性的。

55、热阻用来衡量热量散发到周围环境中时所遇阻力的大小。热阻  $R_T$  越小，散热本领越大。 $R_T$  取决于传热物体的热导率和几何形状，但热阻率与形状无关。

56、防止热击穿最有效的措施：降低热阻；半导体材料的禁带宽度越大，热稳定性越好。（这也是高频考点）

57、势垒电容的表达式： $C_T = A \frac{\epsilon_s}{x_d}$ 。在反偏下精度较高，因为采用的  $x_d$  的计算方法是耗尽近似。

58、线性缓变结的  $C_T$  与  $V$  是  $(-1/3)$  次方关系；单边突变结是  $(-1/2)$  次方关系。

（有一年给出图让判断是缓变结还是突变结，就用到这个知识点）

59、测量 PN 结的电容-电压关系，可以了解 PN 结中的杂质分布。但是测量时所

加偏压必须是负的。

60、恒定表面浓度扩散，形成的是余误差函数分布；

恒定杂质总量扩散，形成的是高斯函数分布；离子注入形成的也是高斯函数分布。

61、扩散结近似为单边结的条件：结两侧的杂质浓度相差很大，衬底掺杂浓度很低，杂质浓度梯度很大，结深很小， $(V_{bi}-V)$ 很大。

62、在  $V = V_0 + V_1 e^{j\omega t}$  作用下，PN 结的正向电流有  $I = I_F + I_1 e^{j\omega t}$  的形式。

63、PN 结的直流增量电导  $g_D$  为直流电流的增量与直流电压的增量之比。

$$g_D = \frac{qI_F}{kT}。$$

64、PN 结的扩散电容  $C_D = \frac{1}{2} g_D \tau = \frac{qI_F \tau}{2kT}$ 。（要记住，会考计算题）

65、PN 结扩散电容上的电荷主要存储在低掺杂区中（对于单边结），若是普通结，则 P 区和 N 区各有一对大小相等，符号相反的电荷存储。

66、扩散电容是中性区内的非平衡载流子电荷随外加电压变化；

势垒电容是势垒区边缘的电离杂质电荷随外加电压变化；

扩散电容只存在于正偏下，不能做电容器，势垒电容正反偏下都存在，反偏下可以当做电容器；扩散电容只存在于低频下。

67、硅管的反向电流为纳安数量级。

68、反向恢复时间  $t_r = \underline{\text{存储时间 } t_s} + \underline{\text{下降时间 } t_f}$ 。

69、少子存储电荷的下降有两个途径：（1）反向电流的抽取（2）少子自身的复合。

70、存储时间  $t_s$  是边界上非平衡少子浓度达到 0 所用时间。

71、硅中掺金的方法：高温扩散、快速冷却。

二、针对简答题的总结（主要针对文字叙述题、这部分要能理解自己背诵出来）

1、什么是理想突变结？

P 型区和 N 型区的掺杂浓度都是均匀分布的，杂质浓度在冶金结面处发生阶跃式的突变。

2、什么是单边突变结？

当 突变结中某一侧的掺杂浓度远大于另一侧时，称为单边突变结。

### 3、PN 结的空间电荷区是怎么形成的（较重要）

设想 P 区和 N 区原来是分离的，当 P 区和 N 区接触后，由于存在浓度差的原因，结面附近的空穴从浓度高的 P 区向浓度低的 N 区扩散，使得 P 区留下了不易扩散的电离受主电荷，使结面的 P 区一侧出现负的空间电荷；同样的，结面附近的电子也从 N 区向 P 区扩散，使 N 区留下了不易扩散的电离施主电荷，显正电性；扩散运动造成了结两边一正一负的空间电荷区，空间电荷区中的内建电场方向从 N 区指向 P 区，这个电场使得空穴向 P 区漂移，电子向 N 区漂移，产生的漂移电流与扩散电流的方向相反，随着扩散的进行，空间电荷区逐渐展宽，内建电场逐渐增强，使得最终漂移电流与扩散电流相等，流过 PN 结的电流为 0，空间电荷区形成。

（学长提醒：记忆方法：接触、扩散、空间电荷、内建电场、漂移、扩散等于漂移、最终形成）。

### 4、耗尽近似、中性近似是什么？

耗尽近似即假设空间电荷区中的自由载流子已经完全扩散掉，电离杂质构成空间电荷区电荷的唯一来源；

中性近似即耗尽区以外的区域中多子浓度等于电离杂质浓度，这部分保持了完全的电中性。

### 5、什么是 PN 结的单向导电性（整流特性）？

PN 结在外加正向电压时流过的电流很大，外加反向电压时流过的电流很小，即它只能在一个方向上导通。

### 6、解释 PN 结的单向导电性（重要）。

当 PN 结外加正向电压时，P 区电位相对于 N 区提高  $V$ ，使从 N 区到 P 区电子势垒和从 P 区到 N 区空穴势垒从  $qV_{bi}$  降到了  $q(V_{bi} - V)$ ，势垒区宽度和势垒区中的电场强度变小，使载流子的扩散作用大于漂移作用，于是有电子从 N 区扩散到 P 区，有空穴从 P 区扩散到 N 区，形成了流过 PN 结的正向电流，由于正向电流的来源是多子，故正向电流较大；

当 PN 结外加反向电压时，势垒区高度从原来的  $qV_{bi}$  增加到了  $q(V_{bi} + V)$ ，势垒区的电场变强，势垒区宽度变大，使多子的扩散作用大大减弱，但对于少子来说，他们遇到了更深的势阱，故更容易被拉到对地方区域去，使 N 区的少子空穴

被势垒区电场拉到 P 区，P 区的少子电子被势垒区电场拉到 N 区，形成了反向电流，由于反向电流的来源是少子，故反向电流很小。

（学长提醒：从正反偏时势垒高度的变化以及面临的势阱势垒变化来理解，不要死记）

7、解释反向饱和电流密度的物理意义（这个没考过，我认为考的几率比较大）

$$\text{反向饱和电流密度表达式为 } J_0 = q \left( \frac{D_p p_{n0}}{L_p} + \frac{D_n n_{p0}}{L_n} \right) = q n_i^2 \left( \frac{D_p}{L_p N_D} + \frac{D_n}{L_n N_A} \right)$$

（1）外加反向电压时势垒区边界处少子浓度为 0，N 区内浓度为  $p_{n0}$  的平衡少子以  $D_p / L_p$  的扩散速度向边界运动，形成电流密度  $q p_{n0} D_p / L_p$ ，对于 P 区的电子，也形成电流密度  $q n_{p0} D_n / L_n$ 。

（2）离势垒区边界一个扩散长度之内产生的少子均可以形成电流，N 区少子的产生率为  $\frac{p_{n0}}{\tau_p}$ ，故电流密度为  $\frac{q L_p p_{n0}}{\tau_p}$ ，且有  $L_p^2 = D_p \tau_p$ ，故电流密度可以写成  $q D_p p_{n0} / L_p$ ，对于 P 区也有类似表达式，所以有上述表达式。

8、写出影响反向饱和电流密度大小的因素并具体分析。（重要）

影响因素有：温度、半导体材料的种类、掺杂浓度。

（1）半导体材料的禁带宽度越大， $n_i$  越小，反向饱和电流密度越小；

（2）掺杂浓度越高，平衡少子浓度越少，反向饱和电流密度越掉；

（3）温度越高， $n_i$  越大，反向饱和电流密度越大。

9、PN 结大注入下的自建电场是怎么产生的，其作用形式如何？（重要）

当 N 区发生大注入时，势垒区边界处的电子和空穴要向体内扩散。但由于电子不能像空穴那样从 P 区得到补充，故电子的浓度梯度绝对值要小于空穴的，在靠近势垒区附近的地方，电子浓度略小于空穴浓度，使这里出现了正电荷；而在远离势垒区的地方，电子浓度略大于空穴浓度，出现了负电荷，电荷在空间上的分离形成了一个方向从势垒区指向中性区的自建电场，这个电场使空穴向右做漂移运动，加强了空穴原有的扩散，同时使电子向左漂移运动，抵消了电子原有的扩散运动。使得电子电流为 0。

10、解释 Webster 效应（**效应类的问题，非常重要**）。

从形式上看，当 N 区发生大注入时，空穴电流完全是由扩散电流构成的，只是扩散系数增大了一倍。物理解释为：大注入时少数载流子浓度与多数载流子浓度处处相等，且两种载流子的  $D/\mu$  也相同，故宏观上阻止多数载流子运动的电场，产生与多数载流子扩散运动大小相等、方向相反的漂移运动，这个电场也必定使少数载流子产生和扩散运动大小相等、方向相同的漂移运动，相当于使少数载流子的扩散系数增加了一倍。

11、画出 PN 结在大小电流下的 I-V 特性曲线，并解释变化的原因。

小电流下曲线平坦是因为此时以势垒区复合电流为主，其与外加电压的关系正比于  $e^{\frac{qV}{2kT}}$ ；普通情况下以正向扩散电流为主，其与外加电压的关系正比于  $e^{\frac{qV}{kT}}$ ；大电流下曲线平坦是因为发生了大注入，总的伏安特性取决于大注入一侧，其与外加电压的关系正比于  $e^{\frac{qV}{2kT}}$ 。（**核心：描述出机理、表达式**）

12、利用雪崩击穿条件计算雪崩击穿电压的方法。（**未曾考过，自己把握**）

$$\text{雪崩击穿的条件是 } \int_0^{x_d} \alpha_i dx \rightarrow 1$$

计算方法：在一定温度下，先求出对应于各个反向电压的电场强度  $E$ ，以及与  $E$  对应的碰撞电离率  $\alpha_i$ ，再求电离率的积分，当  $V$  增大到使该积分值等于 1 时对应的  $V$  就是雪崩击穿电压。

13、禁带宽度与雪崩击穿电压大小之间的关系。

禁带宽度越大，雪崩击穿电压越高。因为载流子必须在电场中获得超过禁带宽度的能量，才能与价带电子碰撞时使其电离达到导带，从而发生雪崩倍增效应。禁带宽度越大，当然需要的外加反向电压就越高。

14、雪崩击穿电压的温度系数是怎么样子的？为什么？（**常以填空出现，预防大题**）

雪崩击穿电压的温度系数是正的。因为：随着温度的升高，晶格振动加强，载流子与晶格碰撞损失的能量也增加，从电场积累能量的速率变慢，要达到能发生碰撞电离的动能就需要更强的电场，所以雪崩击穿电压为正温度系数。

15、论述雪崩击穿的机理。（**机理性的问题都很重要，以后不再强调**）

随 PN 结反向电压的增加，势垒区中的电场强度增加，当电场强度增加到一定程度后，势垒区中的载流子就会发生碰撞电离而激发二次载流子，后者又可能继续产生新的载流子，这种过程不断进行下去，每一个载流子都无止境的繁殖新

的载流子，当雪崩倍增因子趋于无穷大时，即使很小的初始电流也能使流出 PN 结的电流任意的大，PN 结发生雪崩击穿。（**要指出雪崩倍增因子趋于无穷大这个关键点**）

16、解释隧道效应，并叙述隧道击穿的机理。

隧道效应：电子具有波动性，可以有一定的几率穿过位能比电子动能高的势垒。

隧道击穿机理：当反向电压增加到使势垒区中最大电场达到一个临界值时，隧道长度  $d = \frac{E_G}{qE}$  也小到了一个临界值，这时大量的 P 区价带电子通过隧道效应进入 N 区导带，使隧道电流急剧增加，发生了隧道击穿。

17、比较 PN 结的两种击穿机理。（**很重要，要全方面的比较**）

（1）雪崩击穿的条件：  $\int_0^{x_d} \alpha_i dx \rightarrow 1$ ；齐纳击穿的条件  $d_{\min} = \frac{E_G}{qE_{\max}}$  足够小。

（2）当势垒区较宽即约化杂质浓度较小时，易发生雪崩击穿，反之易发生齐纳击穿。

（3）当  $V_B < 4E_G/q$  时，发生的是隧道击穿，

当  $V_B > 6E_G/q$  时，发生的是雪崩击穿。

（4）雪崩击穿发生时电流增长迅速，齐纳击穿相对缓慢。

18、稳压二极管的工作原理是什么？

由于 PN 结在反向击穿时电流急剧增大，当电路中两点间的开路电压超过 PN 结的击穿电压时，就会有大量电流被并联在该两点间的稳压二极管所旁路。通过电源内阻的分压作用使这两点间的电压下降到接近固定的  $V_B$  值。

19、如何选择稳压二极管的制造工艺？

对于 6V 以下的硅稳压二极管，采用合金法，因为合金法制作的 PN 结掺杂浓度较高，容易发生隧道击穿；

对于 12V 以上的硅稳压二极管，采用扩散法，因为其掺杂浓度稍低，有利于发生雪崩击穿。

20、如何提高稳压二极管的温度稳定性？

由于雪崩击穿有正温度系数而齐纳击穿有负温度系数，故可以通过选择适当的 PN 结杂质浓度分布，使击穿电压处于两种击穿机理兼有的范围，使两种击穿电压的温度系数互相抵消。

21、简述热击穿的形成机理。

因为反向饱和电流密度正比于  $n_i^2$ ，而  $n_i^2$  随着结温的上升而迅速增加，从而使  $J_0$  具有正温度系数，温度的升高使  $J_0$  增大，这样就在电流与结温之间形成了正反馈。温度升高使电流增加，电流增加使功率损耗增加，使得结温上升，从而使电流进一步增大，如果这一过程不受控制的进行下去，PN 结器件将会被烧毁，发生热击穿。

22、解释 PN 结的势垒电容。

当 PN 结的外加电压发生  $\Delta V$  的变化时，空间电荷区的宽度发生变化，使冶金结两侧的空间电荷也发生相应的  $+\Delta Q$  与  $-\Delta Q$  的变化，这种电荷的变化是多子电

流对空间电荷区充放电的结果，将  $C_T = \lim_{\Delta V \rightarrow 0} \left| \frac{\Delta Q}{\Delta V} \right| = \left| \frac{dQ}{dV} \right|$  称为 PN 结的势垒区微分电容，简称势垒电容。

23、简述 PN 结的电容-电压关系的测试方法。

先在结上加一个称为偏压的反向直流电压，同时再叠加一个小信号交流电压，通过调节偏压的大小可以改变势垒区宽度，从而调节势垒电容大小。注意：偏压必须是负的，因为正偏压下 PN 结有很大的同相电流流过。

24、什么是 PN 结的扩散电容？

以 P+N 结为例，当外加正向电压有一个增量  $\Delta V$  时，从 P 区注入 N 区的非平衡空穴增加，使 N 区内出现一个正电荷增量  $+\Delta Q$ ，为了维持电中性，与此同时有相同数量的非平衡电子从 N 区欧姆接触处流入 N 区，使 N 区内出现一个相同大小的负电荷增量  $-\Delta Q$ ，即外加电压  $\Delta V$  引起了一对大小相等，符号相反的非平衡载流子电荷储存于 N 区，他们各自从两端的欧姆接触处来，相当于一个电容，称为扩散电容。

25、比较 PN 结的势垒电容与扩散电容。（非常重要，填空简答都可能出现，甚至计算题也会考）

(1) 扩散电容只存在于正偏下，不能当做电容器使用；势垒电容在正偏和反偏下都存在且在反偏下可以当做电容器使用；

(2) 扩散电容是中性区内的非平衡载流子电荷随外加电压的变化而变化；

势垒电容是势垒区边缘的电离杂质电荷随外加电压的变化而变化；

(3) 扩散电容的概念只适用于低频情况。

26、理想开关应该具有那些特点？

直流特性方面，在开态的时候电压为 0，关态电流为 0，使直流功耗为 0；瞬态特性方面，打开的瞬间应立即出现定态电流，关断的瞬间电流立刻消失。

27、简述 PN 结二极管减小反向恢复时间的方法。（21 年刚刚考过的知识点）

(1) 从电路角度考虑，尽可能使用小的正向电流和大的反向电流。正向电流小则正向时存储在中性区中的少子电荷就少；反向电流大则反向时对于存储电荷的抽取就快。

(2) 从器件角度考虑应该降低少子寿命，一方面使正向时存储的少子电荷减小，另一方面在反向时可以加快少子的复合；具体方法是在半导体材料中引入复合中心，如采用掺金、电子辐照等方式。

(3) 减薄轻掺杂区厚度，即采用薄基区二极管。因为非平衡少子电荷主要存储在轻掺杂区，减薄轻掺杂区厚度可以减少存储电荷；且在其他条件相同时，薄基区二极管的反向抽取电流比厚基区的大得多。

**三、针对作图解释题的总结（自己动手画一下，并对着图进行解释）**

1、画出突变结的内建电场。

图在课本 P26，图 2-4。且要会写出内建电场的表达式（2-5a）、（2-5b）

2、会画单边突变结的内建电场（这个要与第一个区别开，注意问法）

课本 P27 图 2-5、图 2-6

3、突变结耗尽区中电场分布、电位分布、电子电位能分布。

课本 P28 图 2-7。注意电位与电位能的区别

4、画出突变 PN 结的能带图

课本 P28 图 2-8。图中要体现出导带底、价带顶、费米能级，禁带中线。

5、理想 PN 结的伏安特性曲线。

课本 P33 图 2-11。注意：题中不明确指出是实际的，一般就画理想情况。



6、PN 结外加正向电压时能带、势垒区宽度、电场的变化对比图。

课本 P34 图 2-12。一定要体现出变化的过程。

7、画出 PN 结势垒区两侧中性区中的少子分布图。

课本 P38 图 2-16。实际上考察的是结定律，这里注意掺杂浓度对势垒区宽度以及平衡少子浓度大小的影响，在图中要体现出来。

8、画出薄基区二极管中性区中的少子浓度分布（**这个与 7 形成对比**）

课本 P43 图 2-20。注意在非平衡少子浓度与平衡少子浓度相同以后非平衡少子浓度瞬间变为 0，要体现这个过程。并知道这是为什么（欧姆接触处有大量的复合中心）

9、正反向电压下 PN 结的能带图。

课本 P46 图 2-21、2-22。主要要体现出准费米能级的变化以及势垒高度的变化。

10、画出大注入下 PN 结 N 区（P 区）的载流子分布

课本 P48 图 2-25。这个图对于理解自建电场的产生以及 Webster 效应都很有帮助。

11、简述隧道长度的计算方法

课本 P58 图 2-39。并结合图片下方的推导，尽量掌握推导过程（**这个我感觉是有可能考的。**）

12、画出二极管的交流小信号等效电路并解释各元件。（**非常重要**）

课本 P69 图 2-49。重要的是还要知道图中的 5 个元件的名称以及寄生电阻的由来。寄生电阻由中性区体电阻、欧姆接触电阻、引线电阻组成。

13、画出反向恢复过程中少子的分布并解释这个过程。

课本 P71 图 2-53。解释过程主要从存储时间、下降时间的定义以及各自的载流子浓度特点角度去把握。

#### 四、针对计算题的总结（主要概况常考的公式以及注意点）

1、突变结内建电场的推导过程（**这个是 21 年的新考法**，之前都是直接代现成公式），具体见课本 P25-P26 的推导，用到了泊松方程。

2、内建电势的公式以及其推导过程，尤其是对式 2-9 前半部分要格外注意，因为 21 年就是需要用这个式子推内建电势的。

- 3、关于势垒区宽度、最大电场强度的公式。课本式 2-14、2-15、2-16、2-10。且要会写对应的单边突变结的公式，就是上式变式而来。
- 4、掌握缓变结的内建电场推导方法。见课本 P29，总之就是要对这种常见公式的推导方法做到心中有数，因为题目是变化多样的。
- 5、要会推导 PN 结的电流电压关系表达式，见课本 P38 页。
- 6、会写出势垒区产生复合电流的表达式，并熟悉它的大小与哪些因素有关。
- 7、薄基区二极管的电流电压方程，可以与普通二极管的相对比记忆，进而理解为什么前者的电流更大。
- 8、要会计算大注入的转折电压，并区分 P 区、N 区的大注入。式 2-96a、2-96b。且有些题目直接给了外加电压，需要首先判断是否进入了大注入状态，进而采用合适的结定律公式。
- 9、雪崩击穿电压的计算，式 2-114a，要明白他是怎么推出来的。以应对不断变化的考题，而且**计算题比较喜欢考各种击穿，所以一定要吃透公式，知道他是**  
**怎么来的，适用于什么场景**
- 10、有了高阻区以后对击穿电压的影响。见课本 P56 页讲解，并要会用式 2-118 来解决问题。公式的记忆可以数形结合来看。
- 11、PN 结势垒电容、扩散电容的计算公式。（21 年考过先求空间电荷区宽度，就是用最原始的方式，求出以后求势垒电容）。
- 12、存储时间计算公式为式 2-170，反向恢复时间计算公式 2-171a。

### 第三章 BJT

#### 一、针对概念性的问题（填空题）的总结

- 1、双极晶体管效应：通过改变一个 PN 结的偏压来控制其附近另一个 PN 结的电流的方法叫双极晶体管效应。
- 2、世界上第一支点接触晶体管是 N 型锗基片 形成的，锗基片为基区。
- 3、早期的双极结型晶体管是采用锗合金工艺形成的，其基区杂质均匀分布，称为均匀基区晶体管，且大多数是 PNP 型的；硅平面晶体管基区杂质为非均匀分布，称为缓变基区晶体管，多数为 NPN 型。
- 4、横向管子是均匀基区晶体管，纵向管子是缓变基区晶体管。
- 5、用平面工艺制作的缓变基区晶体管，也叫作双扩散晶体管。
- 6、模拟电路中 BJT 工作在放大区，作用是放大和振荡；
- 7、数字电路中 BJT 工作在饱和区和截止区，起开关作用。
- 8、均匀基区晶体管的基区少数浓度随距离进行线性变化。注：平面晶体管的发射区也很薄，少数浓度分布也是直线。
- 9、共基极放大电路：以基极作为公共端，发射极作为输入端，集电极作为输出端；共发射极放大电路，以发射极作为公共端，基极作为输入端，集电极作为输出端。记法：共什么以什么为公共端，集电极永远是输出端。
- 10、发射结正偏，集电结零偏时  $I_c$  与  $I_e$  的比值称为共基极直流短路电流放大系数，用  $\alpha$  表示；发射结正偏，集电结反偏时  $I_c$  与  $I_e$  的比值称为共基极静态电流放大系数，用  $h_{FB}$  表示；发射结正偏，集电结零偏时  $I_c$  与  $I_b$  的比值称为共发射极直流短路电流放大系数，用  $\beta$  表示；发射结正偏，集电结反偏时  $I_c$  与  $I_b$  的比值称为共发射极静态电流放大系数，用  $h_{FE}$  表示。（这四个定义必须清楚）
- 11、直流小信号电流放大系数，也叫增量电流放大系数，使用增量来求解的。
- 12、 $\beta = \frac{\alpha}{1-\alpha}$ ， $\alpha = \frac{\beta}{1+\beta}$ 。（填空、计算都经常考这两个换算关系）
- 13、均匀基区晶体管中，少数只有扩散运动，故又称为扩散晶体管。缓变基区晶体管是由双扩散工艺形成的，由于基区存在内建电场，少数不仅扩散还有漂移运

动，所以也称为漂移晶体管。

14、晶体管的放大作用是依靠基区中非平衡少子的运输。

15、基区输运系数描述的是：基区少子在运输过程中因复合引起的电流亏损，基区中到达集电结的少子电流与从发射结注入基区的少子电流之比称为基区输运系数，记为 $\beta^*$ ，其值一般大于 0.95。

16、基区输运系数公式： $\beta^* = 1 - \frac{1}{2} \left( \frac{W_B}{L_B} \right)^2 = 1 - \frac{W_B^2}{2D_B \tau_B} = 1 - \frac{\tau_b}{\tau_B}$ ，其中 $\frac{W_B^2}{2L_B^2}$ 称为基区复合损失率。

发现想提高 $\beta^*$ ，措施有降低基区宽度、提高基区少子扩散系数、提高基区少子寿命。现代平面晶体管的基区宽度已经达到亚微米，在单晶体中，少子寿命可以达到几百微秒以上。

17、基区渡越时间：少子在基区内从发射结渡越到集电结所需要的平均时间，记为 $\tau_b$ ， $\tau_b = \frac{W_B^2}{2D_B}$ 。

18、发射结注入效率：在发射结正偏，集电结零偏的情况下，从发射区注入基区的少子电流与总的发射极电流之比称为发射结注入效率 $\gamma$ 。一般计算公式是

$$\gamma = 1 - \frac{D_E W_B N_B}{D_B W_E N_E} = 1 - \frac{R_{\square E}}{R_{\square B1}}$$

结注入效率，应该减小基区宽度，使发射区掺杂浓度远远大于基区。

19、亏损因子 $\delta = \frac{\tau_b}{\tau_B} + \frac{R_{\square E}}{R_{\square B1}}$ ， $\alpha = 1 - \delta$ ， $\beta = \delta^{-1}$ 。其中 $\frac{\tau_b}{\tau_B}$ 反映了基区复合损失， $\frac{R_{\square E}}{R_{\square B1}}$

反映了由于基区多子注入发射区引起的亏损。

20、基区内建电场是由于基区多子浓度分布于基区电离杂质浓度分布之间的差异产生的。

21、自建场因子，也叫基区漂移系数，用 $\eta$ 表示。

22、缓变基区晶体管中基区内少子浓度较高，少子浓度梯度较低，故少子电流以漂移电流为主。

23、硅晶体管的 $\alpha$ 、 $\beta$ ，当 $I_E$ 较小时，随 $I_E$ 增大， $\alpha$ 、 $\beta$ 增大；当 $I_E$ 较大时，

随  $I_E$  增大,  $\alpha$ 、 $\beta$  减小。

24、 $I_E$  较大时,  $\alpha$ 、 $\beta$  的下降是因为大注入效应和基区扩展效应引起的。

25、现代平面晶体管的放大系数制约因素为注入效率。

26、发射区重掺杂效应的原因：发射区禁带变窄和俄歇复合增强。一般当  $N_e$  超过  $5 \times 10^{19} / \text{cm}^3$  后, 开始发生禁带窄化。

27、轻掺杂半导体中, 非平衡载流子主要通过复合中心复合。重掺杂半导体中存在俄歇复合, 其逆过程是碰撞电离。

28、为了避免基区陷落效应, 现在发射区多采用砷扩散代替磷扩散, 因为砷的原子半径 1.18 埃与硅的 1.17 埃相近。

29、LEC 晶体管为低发射区杂质浓度晶体管, 采用 LEC 结构容易制成  $\beta > 10000$  的高增益晶体管。

30、异质结双极型晶体管 (HBT), 发射结为异质结, 且用宽禁带材料作为发射区, 用窄禁带材料作为基区, 目的是提高注入效率。

31、 $I_{ES}$  表示发射结反偏, 集电结零偏时的发射极电流, 称为基极与集电极短路的发射极电流;  $I_{CS}$  表示集电结反偏, 发射结零偏时的集电极电流, 称为基极与发射极短路时的集电极电流。

32、倒向晶体管与正向晶体管之间的互易关系:  $\alpha I_{ES} = \alpha_R I_{CS}$ 。

33、共基极输出特性: 以输入电流  $I_E$  为参量, 输出端电流  $I_C$  与输出端电压  $V_{BC}$  之间的关系。

34、 $I_{CBO}$ : 发射极开路, 集电结反偏时的集电极电流, 为共基极反向截止电流。(相当于集电结的反偏电流)。

35、共发射极输出特性: 以输入电流  $I_B$  为参量, 输出端电流  $I_C$  与输出端电压  $V_{CE}$  之间的关系。

36、 $I_{CEO}$ : 基极开路, 集电结反偏时从发射极穿透到集电极的电流, 称为共发射极反向截止电流。

37、 $I_{CEO} = \frac{I_{CBO}}{1-\alpha} \approx (1+\beta)I_{CBO}$ ，即共发射极反向截止电流比共基极反向截止电流

大 $(1+\beta)$ 倍，因为共基极的反向截止电流就是 PN 结的，没有经过基区的放大。

38、基区宽度调变效应，也称为厄尔利效应，导致电流放大系数和集电极电流的增大。

39、厄尔利电压越大，增量输出电阻越大，输出特性曲线越平坦，晶体管的输出特性越接近理想情况。增大厄尔利电压等价于减小基区宽度调变效应，可以通过增大基区的宽度，增大基区掺杂浓度来实现，与提高电流放大系数相矛盾。

40、BJT 随着反偏的增大可能会出现雪崩倍增效应和基区穿通效应。

41、常检测发射结反向电流和发射结击穿电压来判断发射结的质量好坏。

42、锗 PN 结在常温下的反向电流以反向扩散电流为主；

43、硅 PN 结在常温下的反向电流以势垒区产生电流为主。

44、注意：势垒区产生、复合电流是属于多子电流；

注意：BJT 的反向电流有扩散和产生，本质上都是由复合中心产生的。

45、减少硅平面管的表面态的方法：平面工艺中的氧化方法。

46、共基极集电结雪崩击穿电压  $BV_{CBO}$ ：发射极开路，使  $I_{CBO} \rightarrow \infty$  的集电结反向电压。共基极集电结雪崩击穿电压实质上就是集电结 PN 结的雪崩击穿电压  $V_B$ ，即  $BV_{CBO} = V_B$ 。

47、雪崩倍增效应对共发射极接法的影响比共基极接法的影响大得多。

48、共发射极集电结雪崩击穿电压  $BV_{CEO}$ ：使  $I_{CEO} \rightarrow \infty$  的集电极发射极间的反向电压。

49、共发射极接法的击穿电压比共基极接法低得多。

共基极发生雪崩击穿的条件  $M \rightarrow \infty$ ，共发射极发生雪崩击穿的条件是  $\alpha M \rightarrow 1$ 。

这两个击穿电压之间的关系是  $BV_{CEO} = \frac{BV_{CBO}}{\sqrt[3]{\beta}}$ 。

50、共发射极输出特性中  $I_B = 0$  对应的有一段负阻特性，要知道他的原因。

51、 $BV_{CBO} > BV_{EBO}$ ，因为  $BV_{CBO}$  取决于  $N_C$ ， $BV_{EBO}$  取决于  $N_B$ ， $N_B > N_C$ ，故  $BV_{EBO}$

较小。

52、集电结上发生的击穿一般是雪崩击穿，而发射结的击穿则二者兼有。

53、防止基区穿通的措施是提高  $W_B$  和  $N_B$ 。与防止基区宽度调变效应的措施一致，与提高电流放大系数相矛盾。

54、基区穿通一般发生在横向晶体管中，常用的纵向晶体管不易发生基区穿通。

55、基区中有少子电流流过的地方为工作基区。

56、方块电阻：指一个正方形薄层材料当电流反向与其某个边相平行时的电阻。方块电阻与正方形的面积无关，而与掺杂浓度和厚度有关。方块电阻只取决于单位面积下的杂质总量。

57、大注入下基区内建电场由两部分组成：杂质的浓度梯度产生的、注入的非平衡载流子的浓度梯度产生的。

58、大注入下，基区也会发生 Webster 效应，基区少子电流从形式上看完全是由扩散电流构成，且与掺杂是否均匀无关，只是扩散系数扩大了一倍，且扩散系数的加倍会导致渡越时间的减半。

59、两个因素共同作用，当杂质浓度梯度占优势时，基区渡越时间延长；当非平衡少子浓度梯度占优势时，基区渡越时间缩短。

60、电流很大时， $\beta$  下降是因为大注入效应和基区扩展效应。

61、基区扩展效应：集电结电压不变，集电极电流增加时基区宽度会变宽。

62、基区扩展效应使少子的基区渡越时间延长，影响 BJT 的电流放大系数和频率特性。主要发生在集电区掺杂较轻的情况下，在大功率、高反压的硅外延平面晶体管中明显。

63、发射结电流集边效应：发射极电流的分布是离基极接触处越近电流越大，也叫基极电阻自偏压效应。

64、发射结电流集边效应使基极电阻减小，因为发射结电流集边效应使工作基区局限在发射结边缘下边，基极电流流经的路径减小，电阻减小。

65、晶体管的参数中随温度变化最剧烈的是反向截止电流。

66、对于硅管，最高允许结温在 150℃到 200℃ 的范围内。超过这个温度范围后，会导致（1）漏电流太大（2）本征载流子浓度大大增加，从轻掺杂区变到本征激发区。

67、提高晶体管热稳定性的最主要方法：降低热阻  $R_T$ 。

68、引起二次击穿的主要原因：电流集中型二次击穿和雪崩注入型二次击穿。解决电流集中型二次击穿的主要措施：采用多个发射极镇流电阻。

69、小信号：指信号电压的振幅小于  $\frac{kT}{q}$ 。（这个 2021 年刚考过，所以要特别注意细节性的概念，把书吃透）

70、当信号频率增加时，电流放大系数的幅度会下降，相位会滞后。晶体管工作频率最初为音频、现在已经达到微波波段。

71、高频小信号基区输运系数  $\beta_{\omega}^*$  的定义。 $\beta_{\omega}^*$  随频率的变化主要是由少子的基区渡越时间引起的。

72、渡越时间  $\tau_b$  的作用：(1) 复合损失使  $\beta_0^*$  小于 1；(2) 时间延迟使得相位滞后；(3) 渡越时间的分散使得  $|\beta_{\omega}^*|$  减小。

73、温度升高会导致电流放大系数增大。

74、少子的寿命  $\tau_b$ ，单位时间内的复合几率  $1/\tau_b$ ，基区逗留期间的复合损失占少子总数的  $\tau_b/\tau_b$ ，达到集电结的未复合少子占总数的  $1-\tau_b/\tau_b$ 。（这几个式子的含义非常重要，必须掌握）。

75、从集电结流出基区的少子比从发射结注入基区的少子在时间上延迟了  $\tau_b$ ，对于频率为  $\omega$  的信号，相位滞后了  $\omega \tau_b$ 。

76、 $\omega \rightarrow 0$  时， $\beta_{\omega}^* = \beta_0^*$ ，即少子通过基区时只因为复合而损失。随着频率的提高，输运系数的相角产生了  $\omega \tau_b$  的相移，输运系数的幅值下降。

77、把  $|\beta_{\omega}^*|$  下降到  $\beta_0^*/\sqrt{2}$  时所对应的角频率和频率称为截止角频率和截止频率。

78、运动的空间电荷在其所在处产生徙动电流，在其所在处前后产生位移电流，在耗尽区外感应出传导电流。

79、集电结耗尽区延迟时间  $\tau_d = \frac{x_{dc}}{2v_{\max}}$ 。（为什么有 2，因为受到了感应电流的影响）



响)

80、集电结势垒电容经集电区充放电的时间常数  $\tau_c = C_{TC} r_{cs}$ ，其中  $r_{cs}$  是集电区的体电阻。

81、把  $|\alpha_\omega|$  下降到  $\alpha_0 / \sqrt{2}$  时所对应的频率称为  $\alpha_\omega$  的截止频率  $f_\alpha$ 。

82、在  $f_\alpha$  小于 500MHz 的 BJT 中，基区宽度  $W_B$  较宽， $\tau_{ec}$  以  $\tau_b$  为主；在  $f_\alpha$  大于 500MHz 的微波晶体管中，基区宽度  $W_B$  较窄。

83、频率提高一倍，电流放大系数下降一半，功率增益降为四分之一。

84、把 电流放大系数  $|\beta_\omega|$  下降到 1 时所对应的频率称为 特征频率  $f_T$ 。有

$f_T = \beta_0 f_\beta = \frac{1}{2\pi\tau_{ec}}$ 。高频晶体管一般工作在  $f_\beta < f < f_T$  的范围内， $f > f_T$  时，BJT 失去了电流放大能力。

85、在高频晶体管中为了降低引线电感，使用“梁式引线技术”。

86、 $f_T = |\beta_\omega| f$ ，对于特定的 BJT，要增大电流增益，就只能降低频率，故特征频率  $f_T$  又称为电流增益-带宽乘积，即增益带宽积是一定的。

87、 $\tau_{eb} = r_e C_{TE} = \frac{kT}{qI_E} C_{TE}$ ，当  $I_c$  较小时， $\tau_{eb}$  随  $I_c$  的减小而增大，故  $f_T$  随  $I_c$  的减小而下降； $I_c$  较大时，由于基区扩展效应， $\tau_b$  随  $I_c$  的增大而增大，使  $f_T$  随  $I_c$  的增大而下降。

88、特征频率  $f_T$  代表的是晶体管有电流放大能力的频率极限；

89、最高振荡频率代表的是晶体管有功率放大能力的频率极限。

90、最大功率增益  $K_{P_{\max}} = \frac{f_T}{8\pi r_{bb} C_{TC} f^2}$ ，频率每提高一倍，功率增益就降为原来的四分之一。

91、最大功率增益与频率平方的乘积称为高频优值  $M$ 。 $M = K_{P_{\max}} f^2 = \frac{f_T}{8\pi r_{bb} C_{TC}}$ ，

高频优值是综合衡量功率放大能力和频率特性的参数。也称为功率增益-带宽乘

积。

92、最高振荡频率  $f_M$ ：最大功率增益降为 1 时的频率， $f_M = \sqrt{M}$ 。

## 二、针对简答题的总结

1、为什么基区要做的很窄？（为什么背靠背的二极管不能做出三极管？）（这个问题属于微电子器件的常识性问题，初试复试都可能问到）

若基区宽度足够厚，即远大于基区的少数扩散长度，则晶体管的两 PN 结之间没有相互作用，从发射区注入到基区的少数载流子也将在基区中与基区多数载流子复合掉，集电结则因处于反偏而只有极小的反向饱和电流密度。

只有基区宽度远远小于基区少子的扩散长度，注入的少数载流子在基区中复合的极少，绝大部分还未经复合就已经扩散到了集电结，形成集电极电流。

2、论述晶体管对电信号的放大机理？

晶体管集电结反偏，输出电阻很大，故可以采用较大负载电阻，而输入端发射结正偏，输入电阻较小。当输入电压  $V_{EB}$  有一个很小的变化时，通过  $I_e$  以及  $I_c$  的变化使负载电阻上产生一个较大的电压变化，即共基极的电压放大倍数远大于 1，而电流放大倍数接近 1，故功率放大倍数大于 1。

所以共基极电路是通过输入端输出端电阻的变化而实现功率放大的。

3、什么是基区输运系数？

基区中到达集电结的少数载流子电流与发射结注入基区的少数载流子电流之比称为基区输运系数，用来衡量基区少数载流子在输运过程中因复合而引起的电流亏损。

对于均匀基区： $\beta^* = 1 - \frac{W_B^2}{2L_B^2}$ ；对于缓变基区： $\beta^* = 1 - \frac{W_B^2}{2L_B^2} \frac{2}{\eta} (1 - \frac{1}{\eta})$ 。

4、写出基区渡越时间的计算方法并解释基区输运系数的物理意义。（重要、尤其是物理解释）

少数载流子在基区内从发射结到集电结所需的平均时间称为基区少数载流子渡越时间，计算方法为  $\tau_b = \frac{W_B^2}{2D_B}$ 。基区输运系数  $\beta^* = 1 - \frac{\tau_b}{\tau_B}$ ， $\tau_B$  为少数载流子寿命， $1/\tau_B$  代表少数载流子在单位时间内的复合几率， $\tau_b$  代表少数载流子渡越基区所需要的平均时间， $\tau_b/\tau_B$  代表少数载流子在渡越基区的过程中被复合掉的概率， $1 - \tau_b/\tau_B$  为未被复合掉的概率，也就是

到达集电结的少子电流与注入基区的少子电流之比。

5、论述 BJT 两种电流亏损的原因，以及如何衡量这两种亏损？（较重要）

第一种：基区少子在疏运过程中因复合而引起的电流亏损；用基区输运系数来衡量；第二种：发射极电流中从基区注入发射区的电流对集电极电流无贡献引起的亏损，用发射结注入效率来表示。

6、简述 BJT 基区内建电场的形成机理？（载流子动而杂质电荷不动）

在 NPN 缓变基区晶体管的基区中，室温下受主杂质完全电离，故多子空穴有与受主杂质近似相同的浓度分布，空穴浓度的不均匀导致空穴从高浓度处向低浓度处扩散，而电离杂质固定不动，故在杂质浓度高的地方空穴浓度低于杂质浓度，带负电荷；在杂质浓度低的地方带正电荷。空间电荷的分离就形成了内建电场。

7、什么是发射区重掺杂效应？

发射区重掺杂效应即过分加重发射区掺杂不但不能提高注入效率，反而使其下降的现象。造成这种现象的原因是：发射区禁带变窄和俄歇复合增强。

8、什么是发射区禁带变窄以及他是怎么样影响发射结注入效率的？

N 区重掺杂时，杂质能级因相互靠近而形成能带，并与导带发生交叠，加上电子与空穴之间的相互作用，造成了禁带宽度减小。

发射区禁带宽度减小使发射区中本征载流子浓度增大，使从基区注入发射区的电流密度变大，而从发射区注入基区的少子电流密度没有变，故使得发射结注入效率下降。

9、什么是俄歇复合？俄歇复合是怎么影响注入效率的？

俄歇复合是一种电子与空穴直接复合并将能量交给另一载流子的三粒子过程，一般在重掺杂的半导体材料中比较明显。

发射区重掺杂后，俄歇复合增强，使得发射区少子寿命大大降低，且掺杂过重会使载流子的扩散系数减小，从而导致发射区少子扩散长度减小，使从基区注入发射区的少子形成的电流增大，导致注入效率下降。（**学长提醒：核心是影响扩散长度的两个因素都下降**）

10、简述基区陷落效应以及产生的愿意、如何抑制？

发射区的 P 掺杂过高时会使得发射区正下方的集电结结面向下扩展，称为基区陷落效应。

原因是 P 的原子半径和硅的原子半径不一致，当 Si 中的 P 掺杂过高时，由于应力的存在产生较多位错，形成空位，使该处有较高的杂质扩散系数，故发射区下的 P 和 B 都存在增强扩散，导致基区陷落。

危害：（1）造成基区陷落（2）由于结面不平坦使个别地方的发射区和基区穿通，使击穿电压下降。

11、BJT 的发射区采用砷扩散的好处？（涉及工艺，有考察综合性）

- （1）砷的原子半径与硅的原子半径相近，没有基区陷落效应；
- （2）砷扩散后的杂质分布接近于矩形，使基区中的减速场区域极窄；
- （3）砷扩散后的基区电阻较小。

12、画出 LEC 晶体管的截面图并阐述其作用机理、优点。

LEC 晶体管截面图见课本

LEC 晶体管为低发射区杂质浓度晶体管，是为了解决发射区掺杂和注入效率之间的矛盾。

从基区注入发射区的少子形成的电流减小的原因：（1）N-区掺杂较轻，使该区的少子寿命和少子扩散长度增大；（2）N+区和 N-区之间由于浓度差存在一个由 N+指向 N-的内建电场，阻止空穴从 N-向 N+扩散。大大降低了基区注入发射区的少子在发射区中的扩展速度，故提高了注入效率。

LEC 晶体管的优点：（1）LEC 晶体管的非工作基区的掺杂可以较重，使横向电流大大减小，提高基区输运系数。（2）LEC 的发射结是 PN-结，击穿电压显著提高。（3）LEC 晶体管的发射结势垒电容也得到了减小。

13、异质结双极型晶体管的优点？（之前没考过，但优势很明显，故有考察几率）

- （1）提高了注入效率，使放大系数得到几个数量级的提高；
- （2）在不降低注入效率的前提下增大基区掺杂浓度，使基极电阻降低；
- （3）SiGe HBT 中可以通过组分的不均匀分布得到缓变的基区禁带宽度，在基区中产生一个对少子起加速作用的内建电场，降低了少子的基区渡越时间。

14、试简述  $\alpha_R \ll \alpha$  的原因。（重要考点）

（1）集电结的面积比发射结的大，正向管中由发射结注入基区的少子几乎全部能够被集电结所收集，但倒向管中从集电结注入基区的少子只有一少部分能够被发射结收集；

(2) 除了合金管外，集电区的掺杂浓度一般低于基区，使得倒向管的注入效率降低；

(3) 缓变基区晶体管中基区内建电场对倒向管的基区少子起减速作用

15、怎样理解 BJT 为电流控制器件？（抓住线性放大这一要求）

因为 BJT 的输出端一般接有负载电阻，并希望负载电流随输入信号线性变化，若输入信号是电压的变化，则受控的集电极电流不是按照线性关系而是按照指数关系随输入信号变化，存在严重的失真；且当温度与偏压稍有变化时，集电极电流就会有剧烈的变化，而若输入信号是电流的变化，则受控的集电极电流与输入信号是线性关系，保证了不失真放大。

16、为什么要更多的采用共发射极接法？

共发射极特性受一些因素的影响要比共基极特性表现得更灵敏，如  $\alpha$  一般都接近 1， $\alpha$  的微小变化不易直接从对  $\alpha$  的测定中察觉，但  $\alpha$  的微小变化却可以使  $\beta$  出现大幅度的变化；故在晶体管制造时常以观测共发射极输出特性作为检验管芯的重要方法。

17、什么是 Early 效应，其产生的机理以及如何抑制。

晶体管的输出特性曲线中， $I_c$  在放大区随着  $V_{CE}$  的增大而略有增加，这是由于基区宽度调变效应引起的，因为当  $V_{CE}$  增加时，加在集电结上的反向偏压增大，集电结耗尽区宽度增宽，其左侧向中性基区扩展，使中性基区的宽度减小，使基区少子浓度梯度增加，使得电流放大系数和集电极电流增大，这就是 Early 效应。

18、解释什么叫浮空电势。

当发射极开路，集电结反偏时，基区中部分少子被集电结上的反偏压扫入集电区，但因为  $I_E=0$ ，基区少子得不到补充，使在基区与发射结势垒区边界处， $n_B(0) < n_{B0}$ ，根据结定律，这时在发射结上存在一个反偏电压，这就是浮空电势。

19、BJT 共发射极接法击穿后存在电流上升、电压下降的负阻区的原因。

首先明确只有  $I_B=0$  的曲线存在负阻特性，这是小电流下电流放大系数下降导致的。

共发射极接法雪崩击穿条件是  $M \rightarrow \frac{1}{\alpha}$ ，当基极开路时，集电极电流只有  $I_{ceo}$ ，很小，故刚开始发生雪崩击穿时  $\alpha$  值很小，对应的  $M$  值很大，因此击穿电压较高，随着电流的增加， $\alpha$  上升到正常值，此时维持击穿所需的  $M$  值也下降到正常值，故击穿电压也就下降到维持电压  $V_{sus}$  了。

## 20、简述基区穿通效应以及如何抑制？

当集电结上的反向电压增加时，集电结耗尽区向两侧扩展，基区宽度减小，对于基区很薄且掺杂浓度较轻的晶体管，当集电结反偏压达到某一值  $V_{pt}$  时，虽未发生集电结的雪崩击穿，但基区宽度已经减小到 0，这时在发射区和集电区之间只有耗尽区而无中性基区，这个现象叫做基区穿通。

防治措施是增大基区宽度和增大基区掺杂浓度。

## 21、基区穿通对集电极电流的影响

基区穿通后若  $V_{CB}$  持续增加，会使集电极电流  $I_{CBO}$  急剧增加，最终导致集电结的击穿。

基区穿通后，随  $V_{CB}$  的继续增加，耗尽区不能再展宽，故  $V_{CE}$  维持  $V_{pt}$  不变， $V_{CB}$  超出  $V_{pt}$  的部分加在发射结上，使发射结的浮空电势增大，最终使发射结发生击穿，雪崩击穿产生的空穴从基极流走，产生的电子进入发射区后在穿过与发射区相连的集电结耗尽区从集电极流走，使集电极电流  $I_{CBO}$  急剧增加。

**（学长提醒：基区穿通、电压增大、发射结击穿、电子流入集电区使集电极电流增大、发生击穿）**

## 22、简述横向晶体管易发生基区穿通而纵向不易的原因。

横向晶体管的发射区和集电区是同时形成的，故基区掺杂浓度小于集电区的，集电结耗尽区主要在基区展宽，所以容易发生基区穿通。

而在纵向晶体管中基区是在集电区上进行杂质扩散形成的，因此基区掺杂浓度大于集电区掺杂浓度，不易发生基区穿通。

## 23、晶体管发生基区穿通的原因？（考察工艺的知识，有一定综合性）

是因为材料的缺陷或者不均匀性，光刻时形成的小孔，小岛或磷扩散时形成的合金斑点等工艺因素造成的发射结结面不平坦，出现尖峰，尖峰处的基区很薄，

其穿通电压较小，故这部分基区首先发生穿通。

#### 24、简述制备 NPN 平面管的工艺（补充内容）

（1）先在作为集电区的 N 型半导体上扩散受主杂质，通常是硼，将指定的 N 区转变为 P 区，形成集电结；（2）再在 P 区上做一次高浓度的施主杂质磷扩散或砷扩散，使 P 区的一部分转变为 N<sup>+</sup>区，形成发射区。

#### 25、简述基区扩展效应

当集电结电压不变而集电极电流增加时，因为载流子越过势垒区时会对势垒区中的电场分布产生影响，所以中性基区会变宽，这个现象就是基区扩展效应，也就克尔克效应。

Kirk 效应主要发生在集电区掺杂浓度较轻的情况下，在大功率、高反压的硅外延平面管中这种效应最为明显。

#### 26、简述发射结电流集边效应及其产生机理。（效应机理类问题，重点！）

由于基极电流通过基极电阻时产生的压降，使晶体管发射结上不同区域的偏压不同，当工作电流很大时，其流过基极电阻产生的压降也很大，使发射极电流在发射结上的分布不均匀。离基极接触处越近，电流越大，较远时电流很快下降到很小的值，这就是发射结电流集边效应，也叫基极电阻自偏压效应。

#### 27、如何抑制发射结电流集边效应？

（1）将发射极做成细条，条宽应设计为  $2y_0$  的数量级，其中  $y_0$  为发射结有效宽度；（2）降低工作基区的电阻率，即增大掺杂浓度，使基极电阻上的电压降减小，减弱发射结上电压的不均匀性。

#### 28、论述大功率晶体管提高热稳定性的方法？（应用层面的问题）

最主要的措施是降低热阻，此外在使用时还需外加具有良好导热性和大面积的散热板，必要时采用风冷、水冷等措施。

#### 29、消除雪崩注入型热刺击穿的方法

（1）采用双层外延，在 N<sup>+</sup>衬底和 N-外延层之间加一个中等掺杂浓度的 N 型外延层，形成 N<sup>+</sup>PN-NN<sup>+</sup>的结构；

（2）在集电结上并联一个穿通二极管，当  $V_{CE}$  还未达到一次击穿时，该二极管已经穿通，将大量的电流旁路掉，使集电极电压难以再增加。

（3）使发射区中心部分掺杂浓度较低，结深较浅，防止  $I_B < 0$  时电流向发射结

中心集中。

### 30、高频下 BJT 中三个电容的充放电分析

(1) 发射结势垒电容的充放电 (2) 发射结扩散电容的充放电 (3) 集电结势垒电容的充放电电流。

### 31、描述高频小信号电流从 $i_e$ 到 $i_c$ 的变化 (这个问题比较综合, 属于有区分度的题目)

(1) 从  $i_e$  变到注入基区的少数电流  $i_{pe}$ , 除了减少从基区注入发射区的少数形成的电流外, 还有发射结势垒电容的充放电电流。

(2) 从  $i_{pe}$  到  $i_{pc}$ , 除了减少由基区复合损失掉的部分外, 还有发射结扩散电容的充放电电流。

(3)  $i_{pc}$  在越过较厚的集电结势垒区后变成了  $i_{pcc}$ 。

(4)  $i_{pcc}$  在集电结势垒电容的作用下变成  $i_c$  从集电极流出。

### 32、基区渡越时间的作用

(1) 复合损失使  $\beta_0^*$  小于 1。即因为存在基区少子的复合使得基区输运系数小于 1;

(2) 时间延迟使相位滞后。从集电结流出基区的少数比从发射结流进基区的少数在时间上延迟了  $\tau_b$ , 对于频率为  $\omega$  的信号, 相位滞后了  $\omega\tau_b$ 。

(3) 渡越时间的分散使  $|\beta_\omega^*|$  减小。

### 33、写出高频小信号作用下 BJT 的信号延迟时间并解释个部分的含义。

信号延迟时间  $\tau_{ec} = \tau_{eb} + \tau_b + \tau_c + \tau_d$ 。其中  $\tau_{ec}$  为信号延迟时间, 指载流子从发射极开始到流出集电极中的渡越时间;  $\tau_{eb}$  为发射结势垒电容充放电时间常数;  $\tau_b$  为发射结扩散电容充放电时间常数;  $\tau_d$  为集电结耗尽区延迟时间。  $\tau_c$  集电结势垒电容经集电区充放电时间常数。

### 34、写出 $f_T$ 的计算公式并说明 $I_C$ ( $I_E$ ) 对 $f_T$ 是怎么影响的?

$$f_T = \frac{1}{2\pi\tau_{ec}} = \frac{1}{2\pi(\tau_{eb} + \tau_b + \tau_c + \tau_d)}。 I_C (I_E) 通过影响  $\tau_{eb}$  来影响  $f_T$ , 且  $I_C$  降$$



低,  $f_T$  降低, 即  $f_T$  在小电流下随电流的减小而下降。因为  $\tau_{eb} = r_e C_{TE} = \frac{kT}{qI_E} C_{TE}$ 。

35、为什么微波晶体管一般是平面工艺制作的 npn 管?

(1) 平面工艺可以制成缓变基区晶体管, 基区内建电场的存在可以降低基区渡越时间; (2) npn 管基区少子是电子, 相比于 pnp 管的基区少子空穴, 电子的迁移率更高, 可以在相同结构下得到更小的基区渡越时间。

36、如何提高晶体管的高频优值?

$$\text{晶体管的高频优值: } M = K_{p\max} f^2 = \frac{f_T}{8\pi r_{bb} C_{TC}}。$$

(1) 减小基极电阻  $r_{bb}$ , 可以将发射区和基区接触孔做成长条状, 或采用非工作基区重掺杂; (2) 减小集电结势垒电容  $C_{TC}$  (3) 提高特征频率  $f_T$ 。

### 三、BJT 中可能出现的计算题

1、写出某区的边界少数浓度

课本 P82, 这里要强调的是注意 (1) 下标体现的是哪一个区, 如  $n_E$  则是发射区的电子浓度 (2) 注意电压的正方向, 写法是 P 区在前, N 区在后。

2、基区输运系数的计算公式

课本 P87 式 (3-17) 是不论均匀基区还是缓变基区都适用的; (3-10) 适用于均匀基区, 课本 P92 式 (3-41) 适用于缓变基区。(这三个公式考试不会出花样, 一般都是直接代入即可), 且从这里得到基区渡越时间的计算式  $\tau_b$

3、发射结注入效率

课本 P88 式 (3-22、3-24), 发射结注入效率与是否是均匀基区无关, 直接带这个公式就可以

4、亏损因子  $\delta$ : P89 式 (3-25), 且要会用  $\delta$  来表示  $\alpha$  和  $\beta$ 。

5、自建场因子  $\eta$ : P90 式 (3-29), 这个公式在真题出现过 (求出这个以后进而求缓变基区晶体管的基区输运系数, 最后求出电流放大系数)

6、基区渡越时间  $\tau_b$ , 分为均匀基区和缓变基区两种。

7、E-M 方程 (晶体管的共基极直流电流电压方程), 写的思路是任意偏置=集 0

发任意+发0集任意。(提醒:这个方程在真题中出现过让写,建议在理解书上推导的基础上进行记忆,课本P99)

8、共发射极增量输出电阻 $r_0$ , (从厄尔利效应那里来的), 课本P102式(3-71)。

厄尔利电压 $V_A$ , 课本P102式(3-75)。

9、浮空电势课本P103式(3-76)

10、共基极接法中击穿电压的计算(计算题的超级重点!!!)

(1) 集电结发生了雪崩击穿导致的 $I_C$ 不受控时, 为集电结的雪崩击穿电压

$$BV_{CBO} = V_B, \text{ 也就是集电结 PN 结的雪崩击穿电压 } V_B = \frac{\epsilon_s E_c^2}{2qN_0}。$$

(2) 若考虑了基区穿通效应, 则 $BV_{CBO} = V_{pt} + BV_{EBO}$ , 即要先穿通, 然后再把发

射结击穿, 其中 $V_{pt}$ 为穿通电压, 计算方法为 $V_{pt} = \frac{qN_B(N_C + N_B)}{2\epsilon_s N_C} W_B^2$ ,  $BV_{EBO}$ 为发

射结的击穿电压, 计算方法为 $BV_{EBO} = \frac{\epsilon_s E_c^2}{2qN_0}$ , 也就是发射结的雪崩击穿电压。

如何确定共基极接法的击穿电压? 要把两种情况的击穿电压都算出来, 然后比较取其中较小的, 因为这是两种不同的击穿机制。这是计算题中比较有难度的类型, 当然也是热点问题, 要在理解击穿机理的基础上记忆计算方法。

11、共发射极接法的击穿电压计算(同10、也是超级计算重点题)

$$(1) \text{ 若光是集电结击穿, 有 } BV_{CEO} = \frac{BV_{CBO}}{\sqrt[3]{\beta}}$$

(2) 若考虑基区穿通, 则 $BV_{CEO} = V_{pt} + V_F \approx V_{pt}$ , 即近似为基区穿通电压, 因为

PN结的导通电压 $V_F$ 是小到可以忽略的,  $V_{pt} = \frac{qN_B(N_C + N_B)}{2\epsilon_s N_C} W_B^2$ 。

同样的, 若要计算此种接法的击穿电压, 仍然是要两个击穿机理取较小值。

这两种接法的击穿电压的计算是重点计算题考点, 牵扯到应用层面的问题, 一定引起重视。

12、有关方块电阻的计算题, 要知道均匀掺杂和非均匀掺杂的方块电阻的不同算法, 主要体现在杂质总量的计算上, 公式见课本P111式(3-89)、(3-90)。而且

这里提醒：要会算 BJT 在各工艺步骤下的方块电阻，见课本 P112。

13、发射结增量电阻  $r_e$ ，课本 P147 式 (3-251)

14、发射结势垒电容充放电时间常数课本 P147 式 (3-254)

15、信号延迟时间课本 P152 式 (3-284)

16、课本 P155 式 (3-308)，以及明确晶体管特征频率的测量方法，见课本 P155。

17、最大功率增益、高频优值、最高振荡频率的计算方法，公式要熟记。

#### 四、可能出现的画图题以及考点分析

1、画出平面晶体管的基本结构并简述其制造工艺。

结构图见课本 P81 图 3-2，制造工艺见简答题总结第 24 题。

2、均匀基区 PNP 晶体管的少子分布图 P82 图 3-4，(重点内容) 需要注意的是掺杂浓度对少子浓度水平的影响，正反偏电压对空间电荷区厚度的影响，这些都是细节，要在图上体现出来。

3、均匀基区 PNP 晶体管的能带图。(重点)

课本 P83 图 3-5，这个问题中要注意的是：(1) 正反偏电压下费米能级的变化，正偏电压使 N 区上升，使 P 区下降。这是画图的前提，(2) 画图的一般方法是先画出各个区的费米能级，再画别的 (3) 还有一个要注意的是保证禁带宽度要画的一致 (4) 空间电荷区永远让集电区的宽一些，这和掺杂浓度有关。

4、课本 P83 图 3-8 要会看懂并且会解释。

5、P 型基区有内建电场时的能带图。

在课本 P92 图 3-11，注意的是要画出禁带中线以保证半导体不发生反型。

6、做出 Si 晶体管的电流放大系数和  $I_E$  的关系图并解释变化原因。(重点)

图见课本 P93 图 3-13、3-14，原因分析见课本 P94，且在简答题的总结中也已经提到。

7、会画出会分析晶体管的共基极、共发射极输出特性曲线。并知道他表示的是哪几个变量之间的关系。

8、画出  $I_{EBO}$  的测试电路。课本 P105 图 3-26。

9、画图说明基极电阻的组成，课本 P110 图 3-35，这个点我感觉还是挺重要的，但是之前还没有考过。

10、大致描绘出  $f_T$  随  $I_C$  的变化曲线并阐述原因。

课本 P156，图 3-88，原因可以参考图左侧的文字叙述。

**补充：提高 BJT 开关速度的方法。**

- (1) 尽量降低集电区少子寿命，可以采用掺金的工艺；
- (2) 提高集电区的掺杂浓度使少子寿命缩短
- (3) 采用较薄的外延层，可以使超量存储电荷减小。
- (4) 在集成电路中，常采用肖特基钳位二极管来阻止晶体管进入深饱和。

## 第四章、MOSFET

### 一、针对填空题的考法总结

- 1、场效应晶体管 (Field Effect Transistor), 简称 FET, 是一种电压控制型多子导电器件, 也叫单极型器件。
- 2、FET 分为三类: (1) JFET, 结型场效应晶体管; (2) MESFET, 肖特基势垒型场效应晶体管; (3) IGFET, 绝缘栅型场效应晶体管。JFET、IGFET 常用 Si 做, MESFET 常用 GaAs 做。
- 3、栅电极常用多晶硅或金属硅化物。
- 4、MOSFET 的转移特性描述在源漏电压  $V_{DS}$  恒定时, 漏极电流  $I_D$  随栅源电压  $V_{GS}$  的变化而变化的规律, 反映的是栅源电压  $V_{GS}$  对漏极电流  $I_D$  的控制能力。
- 5、增强型也叫常关型; 耗尽型也叫常开型。
- 6、NMOSFET 的衬底杂质浓度较低, 功函数差较大, 氧化层内正电荷较多时, 会形成耗尽型的 NMOSFET (常开型)
- 7、一般的, 讨论 MOSFET 的电流电压时, 可以画出对应的曲线来看, 更加直观。
- 8、NMOSFET,  $V_T > 0$  为增强型,  $V_T < 0$  为耗尽型;  
PMOSFET,  $V_T < 0$  为增强型,  $V_T > 0$  为耗尽型。
- 9、沟道电流沿水平方向流动时, 称为横向 MOSFET, 集成电路中使用的全部为横向 MOSFET。
- 10、饱和区  $I_D$  随  $V_{DS}$  的增大而略有增大, 是因为有效沟道长度调制效应和漏区与沟道间的静电耦合作用。
- 11、输出特性中: 线性区+过渡区=非饱和区, 饱和区, 击穿区; 夹断点是饱和区和非饱和区的边界点。
- 12、阈电压: 使栅下的衬底表面开始发生强反型时的栅极电压, 记为  $V_T$ 。
- 13、理想 MOS 结构是指: 金属半导体功函数差  $\phi_{ms} = 0$ , 栅氧化层内的有效电荷面密度  $Q_{ox} = 0$ 。
- 14、费米势  $\phi_{FP}$ : 本征费米能级  $E_i$  与 费米能级  $E_F$  之差除以电子电荷量  $q$ 。

对于 NMOSFET,  $\phi_{FP} = \frac{kT}{q} \ln \frac{N_A}{n_i} > 0$ ; 对于 PMOSFET,  $\phi_{FN} = -\frac{kT}{q} \ln \frac{N_D}{n_i} < 0$ 。

(这个要结合费米势的定义来理解正负)

15、实际 MOS 结构中,  $\phi_{ms} < 0$ ,  $Q_{ox} > 0$ , 使半导体表面能带发生弯曲, 这个弯曲量除以  $q$ , 就是表面势。 $\phi_s = -\phi_{ms} + \frac{Q_{ox}}{C_{ox}}$ , 是表面-体内的电势差。(注意: 弯曲量体现的是电势能)

16、平带电压  $V_{FB}$ : 使栅下的半导体恢复为电中性所加的栅极电压, 实质是为了抵消非理想因素  $\phi_{ms}$  和  $Q_{ox}$  的作用, 抵消表面势。

17、有效栅压  $V_{GS} - V_{FB}$  一部分降落在栅氧化层上  $V_{OX}$ , 另一部分降落在半导体上, 为表面势  $\phi_s$ 。即有  $V_{GS} - V_{FB} = V_{OX} + \phi_s$ 。

18、强反型: 半导体表面的平衡少子浓度等于体内的平衡多子浓度。能带在表面附近弯曲了  $2\phi_{FB}$ 。

19、半导体中的电荷面密度分为反型层中的电子电荷面密度和耗尽层中的电离受主电荷面密度。

20、注意: 衬底加电压体现在有效栅压由  $V_{GS} - V_{FB}$  变为  $V_{GS} - V_{FB} - V_B$ , 这是后期分析衬偏效应的切入点。(即衬偏效应使得有效栅压降低)

21、 $T_{OX}$  越薄,  $|V_T|$  越小。早期的 MOSFET 的  $T_{OX} \approx 150nm$ , 目前可以做到 2nm 以下。

22、 $\phi_{ms}$  与金属的种类、半导体的导电类型以及掺杂浓度有关。

23、 $Q_{ox}$  主要包括: Si-SiO<sub>2</sub> 界面的固定正电荷密度  $Q_{ss}$ , 结面附近的可用钠离子。

24、制造 MOSFET 一般用 (100) 晶面, 且要防止碱金属离子沾污。

25、阈电压的计算公式:

$$V_T = V_s + \phi_{ms} - \frac{Q_{ox}}{C_{ox}} \pm \frac{\sqrt{2q\epsilon_s N_{AD}}}{C_{ox}} [\pm(2\phi_{FB} + V_s - V_B)]^{\frac{1}{2}} + 2\phi_{FB}。$$

正负号的选取: NMOSFET 取正号, PMOSFET 取负号;

对于 PMOSFET,  $\phi_{ms} < 0$ ,  $Q_{ox} > 0$ ,  $\phi_{FN} < 0$ , 即上式中全部为负值, 所以 PMOSFET 的阈电压总是负值, 说明常规铝栅 PMOSFET 全部为增强型; 若想做耗尽型则只能在  $\phi_{ms}$  上下功夫, 选合适的金属让  $\phi_{ms} > 0$ , 且可以抵消别的影响, 使  $V_T > 0$ 。

(提醒: 关于阈值电压的影响因素问题、变大变小问题, 都要从公式出发, 最直观也最可靠)

26、对于 NMOSFET, 
$$V_{TN} = V_S + \phi_{ms} - \frac{Q_{ox}}{C_{ox}} + \frac{\sqrt{2q\epsilon_s N_A}}{C_{ox}} \left[ (2\phi_{FB} + V_S - V_B)^2 \right]^{\frac{1}{2}} + 2\phi_{FB},$$

后边两项是正的, 所以当  $Q_{ox}$  较大,  $N_A$  较小时,  $V_{TN} < 0$ , 为耗尽型;

对于耗尽型 NMOSFET,  $Q_{ox}$  越大,  $|V_{TN}|$  越大;  $N_A$  越大,  $|V_{TN}|$  越小。

对于增强型 NMOSFET,  $Q_{ox}$  越大,  $V_{TN}$  越小;  $N_A$  越大,  $V_{TN}$  越大。

27、调整阈值电压的主要措施: 通过离子注入改变沟道区杂质浓度, 也可以在一定的范围内改变栅氧化层厚度。

28、对于 NMOSFET, 所加的衬偏电压  $V_{BS}$  应该小于 0, PMOSFET 的  $V_{BS}$  大于 0。

29、对于 NMOSFET, 当外加  $V_{BS} < 0$  后, 随  $|V_{BS}|$  的增大, 阈电压  $V_T$  增大;

对于 PMOSFET, 外加  $V_{BS} > 0$  后, 随着  $V_{BS}$  增加,  $|V_T|$  增大。

30、相应的, 随着阈值电压绝对值的增加, 漏极电流会减小, 也即是沟道电导会下降。

31、由于外加衬底偏压一定使 PN 结反偏, 故外加衬底偏压后耗尽区宽度和耗尽区电荷都增加, 使得沟道电荷减少, 即沟道电导下降。

32、加了衬底偏压后, 衬底杂质浓度越高,  $\Delta V_T$  的值越大。(如何理解: 衬底偏压使耗尽层电荷增大多少, 就会使沟道电荷减少多少, 掺杂越大, 则减少的越多, 需要外加栅压来补偿的也就越多, 且掺杂浓度增大以后少子减少, 相同的  $\Delta V_T$  不能保障足够的补充, 故  $\Delta V_T$  的值增大)

33、 $T_{ox}$  越大,  $N_{AD}$  越大, 则体效应越严重。

34、离子注入形成的杂质分布为高斯分布。

- 35、当注入的杂质与衬底的类型相同时，NMOSFET 的阈值电压往正方向调整；  
当注入的杂质与衬底的类型不同时，NMOSFET 的阈值电压往负方向调整。
- 36、推导 MOSFET 的 I-V 特性时，认为沟道电流完全是漂移电流，忽略了扩散电流。
- 37、缓变沟道近似：垂直于沟道方向的电场梯度远大于沟道方向的，即沟道厚度变化很小，也即认为沟道电子都是由栅源电压激发出来的，忽略漏源电压的作用。
- 38、写出 NMOSFET 的增益因子：
$$\beta = \frac{Z\mu_n C_{ox}}{L}$$
- 39、当  $V_D = V_{Dsat}$  时，沟道被夹断。
- 40、萨之唐方程、饱和漏极电压、饱和漏极电流的计算方法。
- 41、进入饱和区以后，缓变沟道近似就不再适用了。夹断区域中的电子不终止从栅极发出的电力线，而是终止从漏区发出的电流线。
- 42、实际上，当  $V_D > V_{Dsat}$  后， $I_D$  并不饱和，而是随  $V_{DS}$  的增大而略有增加，增量输出电阻是有限值，原因有二：有效沟道长度调制效应、漏区静电场的反馈作用。
- 43、对于沟道长度较长，衬底掺杂浓度较高的 MOSFET，有效沟道长度调制效应不明显。
- 44、对于衬底掺杂浓度较低的 MOSFET， $V_{DS}$  产生的电力线终止于沟道，使沟道内的载流子数增多，沟道电导增大，使  $I_D$  增大。
- 45、对于衬底中等或者高掺杂的 MOSFET，有效沟道长度调制效应为主要原因；对于衬底掺杂较轻的，静电场的反馈是主要原因。
- 46、当栅源电压  $V_i < V_{GS} < V_T$  时，表面势在  $\phi_{FP}$  和  $2\phi_{FP}$  之间，表面处于弱反型状态，表面电子浓度介于本征载流子浓度与衬底平衡多子浓度之间，这即是亚阈区。
- 47、 $I_{Dsub}$  称为亚阈漏极电流，也叫次开启电流； $I_{Dsub}$  与  $V_{GS}$  的关系曲线在半对数坐标中是一条直线。
- 48、 $I_{Dsub}$  完全是由扩散电流引起的，因为表面弱反型层中，电子浓度很小，但浓度梯度很大。
- 49、 $V_{DS}$  不变时， $I_{Dsub}$  与  $V_{GS}$  呈指数关系。



50、 $V_{GS}$  不变时,  $I_{Dsub}$  随  $V_{DS}$  的增加而增加, 但当  $V_{DS}$  大于若干倍的  $\frac{kT}{q}$  后,  $I_{Dsub}$  与  $V_{DS}$  无关。

51、亚阈值栅源电压摆幅  $S$ : 在亚阈值, 使  $I_{Dsub}$  扩大一个数量级所需要的  $V_{GS}$  的增量, 代表亚阈值中  $V_{GS}$  对  $I_{Dsub}$  的控制能力。

52、 $S = \ln 10 \times \frac{kTn}{q} = \ln 10 \times \frac{kT}{q} (1 + \frac{C_D}{C_{ox}})$ 。其中  $C_D$  为耗尽层电容。

(1) 衬底杂质浓度增大, 使  $C_D$  增大,  $S$  增大;

(2) 有衬底偏压时,  $|V_{BS}|$  越小,  $C_D$  越大,  $S$  越大;

(3)  $T_{ox}$  越大,  $C_{ox}$  越小,  $S$  越大。

$S$  的增大意味着  $V_{GS}$  对  $I_{Dsub}$  的控制能力减弱。

53、 $S$  增大会影响数字电路的关态噪声容限; 会影响模拟电路的功耗、增益、信号失真、噪声特性等。

54、亚阈值转移特性的半对数斜率的倒数称为亚阈值栅源电压摆幅, 定义式为

$$S = \frac{dV_{GS}}{d(\lg I_{Dsub})}。$$

55、饱和漏极电流  $I_{DSS}$ : 对于耗尽型 MOSFET,  $V_{GS}=0$  且  $V_{DS}$  足够大时的漏极电流

饱和值记为  $I_{DSS}$ 。计算方法为:  $I_{DSS} = \pm \frac{\beta}{2} V_T^2$ 。(这个要与  $I_{Dsat}$  相区别开)

56、截止漏极电流是由亚阈漏极电流和 PN 结反向饱和电流组成的

57、导通电阻:  $V_{DS}$  很小时,  $V_{DS}$  与  $I_D$  的比值, 记作  $R_{on}$ 。计算方法:

$$R_{on} = \frac{V_{DS}}{I_D} \approx \frac{1}{\beta(V_{GS} - V_T)}。其中 \beta = \frac{Z\mu_n C_{ox}}{L}, 所以 R_{on} 与宽长比成反比, 与栅氧化$$

层厚度成正比。

58、MOSFET 的栅极电流  $I_G$  通常小于  $10^{-14}$  A, 所以 MOSFET 的输入电阻很高。

59、NMOSFET 的阈电压  $V_T$  是负温度系数, 且外加衬底偏压后温度系数的绝对值减

小；PMOSFET 的阈电压  $V_T$  是正温度系数，且外加衬底偏压后温度系数减小。（学长提醒：正温度系数指的是温度升高后值向正方向走，如从-3 变到-2，而不是指绝对值的增加）。

60、漏极电流  $I_D$  中与温度有关的是  $\mu$  与  $V_T$ 。

当  $V_{GS} - V_T$  较小时，漏极电流的温度系数是正的；

当  $V_{GS} - V_T$  较大时，漏极电流的温度系数是负的。

61、漏极电流的温度系数主要取决于栅源电压  $V_{GS}$ 。

62、漏源击穿的机理：漏 PN 结的雪崩击穿、漏源两区的穿通。

63、漏源穿通发生在沟道长度较短，衬底电阻率较高的 MOSFET 中，源漏击穿电压  $BV_{DS}$  由漏 PN 结雪崩击穿电压和穿通电压中较小者决定

64、栅源击穿电压  $BV_{GS}$  决定于栅氧化层厚度和温度，温度越高，击穿电压越大，机理和雪崩击穿的温度系数是一样的。

65、存放 MOSFET 时，必须使栅源之间形成良好的短路，防止因栅极发生静电感应而对器件造成损坏。

66、MOSFET 的跨导：转移特性曲线的斜率，反映了栅源电压  $V_{GS}$  对漏极电流  $I_D$  的控制能力，即 MOSFET 的增益。

67、模拟电路中 MOSFET 一般工作在饱和区。

68、提高跨导的措施首先是增大沟道宽度。

69、MOSFET 漏源电导是输出特性曲线的斜率，理论上该值应该是 0，但是由于有效沟道长度调制效应和漏区静电场对沟道区的反馈作用，它是一个有限的值。

70、MOSFET 的电压放大倍数  $\mu = \frac{g_m}{g_{ds}}$ 。

71、MOSFET 的最高工作频率是短路输出电流与输入电流相等时的频率。

72、为了提高特征频率，可以采用迁移率大的 N 沟道器件、缩短沟道长度、提高栅源电压。

73、载流子从源区经过沟道进入漏区所需的时间为沟道渡越时间。

74、沟道长度在 10um 以上的 MOSFET 中可以忽略短沟道效应。

75、沟道长度缩小到可以与源漏区的结深相比拟时，阈电压将下降，此时对阈电压有贡献的沟道耗尽区由矩形变为倒梯形。且存在短沟道效应的 MOSFET 的体效应也较小。

76、短沟道 MOSFET 中，阈电压随沟道长度的减小而降低，阈电压随漏源电压的增大而降低。（一切理解的出发点是对于沟道电荷的影响）

77、窄沟道效应中，阈电压随沟道宽度的减小而增大。

78、沟道内载流子的散射机构是：表面散射、库伦散射、晶格散射。

79、沟道电子迁移率与栅源电压、漏源电压、衬底掺杂浓度和晶面有关。随着栅源电压的增加，迁移率会减小，主要通过表面散射的作用。

80、热载流子即载流子的温度高于晶格温度。

81、造成 MOSFET 电流饱和的原因是载流子速度饱和，而非沟道夹断。但一般认为：短沟道是由于速度饱和，长沟道是由于沟道夹断。

82、长沟道时， $I_D$ 主要取决于源区与夹断点之间沟道内载流子的输运速度。

83、跨导饱和现象：一定情况下，增大栅源电压、减小沟道长度无法使跨导增大，称为跨导饱和。

84、短沟道器件中，最高工作频率也与 $V_{GS}$  无关。

85、表面 DIBL 效应： $V_{FB} < V_{GS} < V_T$ ，表面势在 $0 \sim 2\phi_{fp}$ 之间，能带在表面向下弯曲，形成的是亚阈电流。体内 DIBL 效应： $V_{GS} < V_{FB}$ ，能带在表面向上弯曲，形成穿通电流。

86、穿通现象为存储器中的储存电荷提供了放电通路，使保持时间缩短。抑制方法：增大受主杂质浓度。

87、衬底偏压可以提高原始势垒高度，故对穿通电流有抑制作用。

88、MOSFET 的击穿有正常雪崩击穿和横向双极击穿两种。横向双极击穿一般发生在N 短沟道 MOSFET中，雪崩击穿发生在N 长沟道和 PMOSFET中。

89、 $I_G$  的出现表征热电子效应的存在，且沟道长度越短，热电子效应越明显。

90、引出最高漏源使用电压，是为了表征热电子效应的存在。

91、降低温度会降低亚阈区栅源电压摆幅。

二、MOSFET 中可能出现的简答题汇总。

1、简述 MOSFET 器件相比 BJT 有哪些好处？（属于学科基础知识）

（1）输入阻抗高，有利于各级间的直接耦合；（2）温度稳定性好，噪声较小；（3）在大电流情况下跨导基本不下降；（4）没有少子存储效应，因此开关速度极快；（5）功耗低，制造工艺简单。

2、试简述 JFET 的工作原理？

JFET 是用一个低掺杂的半导体作为导电沟道，在半导体的一个侧面或相对的两侧制作 PN 结，并加上反向电压，因为 PN 结的势垒区主要向低掺杂的沟道区展宽，故可以通过改变 PN 结的反向偏压大小来控制导电沟道的截面积，从而控制沟道的导电能力。

3、简述 MOSFET 的工作原理。

MOSFET 的基本工作原理是通过改变栅源电压来控制沟道的导电能力，从而控制漏极电流。（1）当栅上没有外加适当的栅源电压时，N+源区与 N+漏区被两个背靠背的 PN 结二极管所隔离，此时若外加上漏源电压，则只有微小的 PN 结反向电流。（2）当栅上外加合适的栅源电压时，会在栅下边产生一个指向半导体体内的电场，当栅源电压增加到阈电压时，在电场作用下栅极下面的 P 型半导体发生强反型，形成 N 型沟道，当外加漏源电压后，可以产生漏极电流。

4、要知道 MOSFET 中存在的天然电学隔离。

5、简述衬底偏置效应以及他带来的影响。

当衬底与源极之间外加衬底偏压后，MOSFET 的特性将发生某些变化，这些变化称为衬底偏置效应，也叫体效应。他的要求是保证源衬 PN 结不正偏，故 NMOSFET 的衬底偏压要小于 0。其带来的影响有：对于 NMOSFET，当外加的衬底偏压增大时，转移特性曲线的形状并没有改变，但是曲线右移，表示阈电压增大。

6、如何理解引起衬底偏置效应的原因？

从电中性条件的角度出发，见课本

7、推导 MOSFET 的直流电流电压方程时所作的假设（这是重点内容）

（1）沟道内的电流完全由漂移电流构成，忽略扩散电流；  
（2）采用缓变沟道近似，认为垂直于沟道方向的电场梯度远大于平行于沟道方向的电场梯度。即认为沟道内的载流子电荷都是由栅极电压产生的，忽略漏极电压的作用；

(3) 沟道内的载流子迁移率为常数；

(4) 采用强反型近似，即认为当半导体表面的反型层电子浓度达到体内平衡空穴浓度时，沟道才开始导电；

(5) 栅氧化层内的有效电荷密度为常数且与能带的弯曲程度无关。

8、什么是有效沟道长度调制效应？并解释产生的原因。（效应类问题，重要程度不用强调）

沟道的有效长度随着漏源电压的增大而缩短的现象叫有效沟道长度调制效应，产生的原因是：当  $V_{DS} = V_{Dsat}$  时，在沟道漏端处  $Q=0$ ，使沟道在此处夹断，夹断点电势为  $V_{Dsat}$ ，当  $V_{DS} > V_{Dsat}$  后，沟道内各点的电势均上升，使  $Q=0$  的位置向左移动，即沟道夹断点向左移动，这使得有效沟道长度减小。

9、解释 MOSFET 饱和区中  $I_D$  随  $V_{DS}$  增大的原因。（经典题目）

(1) 第一个原因是因为有效沟道长度调制效应，当有效沟道长度随  $V_{DS}$  的增大而减小时，沟道电阻将减小；而有效沟道上的压降仍然为  $V_{Dsat}$ ，所以沟道电流就会增大；

(2) 漏区静电场对沟道区的反馈作用。对于较轻掺杂浓度衬底上的 MOSFET，当  $V_{DS} > V_{Dsat}$  后，起始于漏区的电力线中的一部分将穿过耗尽区而终止于沟道。随  $V_{DS}$  的增大沟道内的载流子数增多，沟道电导增大，从而使漏极电流增大，且在衬底是中等或较高掺杂浓度的 MOSFET 中，前者为主要因素；在衬底掺杂浓度较轻的 MOSFET 中，后者为主要原因。

10、简述 MOSFET 阈电压的测试方法。

(1) 法一：联立方程法，利用饱和漏极电流的表达式  $I_{Dsat} = \frac{\beta}{2}(V_{GS} - V_T)^2$ ，对饱和区 MOSFET 进行两次测量，将获取的两组  $V_{GS}$ 、 $I_{Dsat}$  作为已知数代入方程中，可以得到 MOSFET 的阈电压和增益因子。

(2)  $\sqrt{I_{Dsat}} - V_{GS}$  法则。

$\sqrt{I_{Dsat}}$  与  $V_{GS}$  呈线性关系，对饱和区 MOSFET 进行两次测量就可以在  $\sqrt{I_{Dsat}} - V_{GS}$  坐标中画出一条直线，直线在横轴上的截距就是阈电压。

### (3) $1\mu A$ 法则

在漏源电压足够大且保持恒定的条件下，逐渐增加栅源电压，当漏极电流达到某个规定值时所对应的栅源电压就是阈电压。

#### 11、简述 MOSFET 为什么有好的热稳定性？（涉及应用型的问题，较为重要）

MOSFET 的漏极电流的温度系数可为正、负或零，主要取决于栅源电压的数值，且存在漏极电流不随温度变化的工作点，故只需要选择适当的工作条件，MOSFET 就会有高的温度稳定性；且  $V_{GS} - V_T$  较大时，漏极电流较大，此时漏极电流的温度系数为负，这也有利于 MOSFET 的温度稳定性。

#### 12、为什么 MOSFET 的漏源击穿电压比普通 PN 结的击穿电压要低？

##### （一个重要的考试点）

因为受到了由金属栅引起的附加电场的影响，MOSFET 的栅电极一般覆盖了漏区边缘的一部分，若金属栅的电势低于漏区的电势，就会在漏区与金属栅之间形成一个附加电场，使栅极下边漏 PN 结耗尽区内的电场增加，使击穿首先发生在此处。

#### 13、什么是 MOSFET 的漏源穿通？

若 MOSFET 的沟道长度较短而衬底电阻率较高，则当漏源电压增加到某一数值时，虽然漏区与衬底间尚未发生雪崩击穿，但漏 PN 结的耗尽区已经扩展到与源区相通了，这种现象称为漏源穿通。发生漏源穿通后，若漏源电压继续增大，则源 PN 结上出现正偏，使电子从源区注入沟道，这些电子将被耗尽区内的强电场扫入漏区，从而产生较大的漏极电流。

#### 14、论述 MOS 电容的特点以及他带来的影响？

(1) 绝缘电阻非常好，使储存在栅电极上的电荷不易泄露；(2) 电容量非常小，只有几个皮法，使较小的储存电荷就会产生很高的电压，致使栅氧化层容易被击穿。所以在运输和存放 MOSFET 时，必须使其栅源之间形成良好的短路，防止因栅极发生静电感应而对器件造成损坏。

#### 15、如何提高 MOSFET 的跨导？

首先明确跨导的表达式  $g_{ms} = \beta(V_{GS} - V_T)$ ，要提高跨导，从电路使用的角度讲，可以提高栅源电压；从器件设计的角度讲，应该提高增益因子，即提高沟道的宽

长比或者减薄栅氧化层厚度。

16、从工艺上讲，做大跨导的 MOSFET 需要注意些什么（**涉及工艺，拓宽知识**）

在图形设计上应增大沟道的宽长比，但是若沟道长度太短，一方面工艺上难以精确控制，另一方面也使沟道长度调制效应变得显著。所以在工艺上提高跨导应主要从增大沟道宽度上来考虑。

17、简述 MOSFET 短沟道效应的产生机理。

(1) 漏源区的相互靠近和漏源结耗尽区尺寸的相对扩大，使源、漏对沟道区的电势分布产生显著的影响，不能再使用缓变沟道近似；

(2) 沟道内的电场强度过大而使自由载流子的漂移速度达到饱和，产生热电子。

18、什么是阈电压的短沟道效应？并阐述其产生的原因

当 MOSFET 的沟道长度缩短到可以与源漏区的结深相比拟时，阈电压将随沟道长度的减小而减小，这就是阈电压的短沟道效应。

原因是源漏区电势对沟道耗尽区电荷的影响，将耗尽区总电荷分为两部分， $Q_{AG}$  和  $Q_{Aj}$ ， $Q_{AG}$  为受栅极控制的电离受主电荷，这部分对阈电压有贡献， $Q_{Aj}$  为受源漏区控制的电离受主电荷，他们对阈电压没有贡献，在短沟道 MOSFET 中，受源漏区的影响，使对阈电压有贡献的  $Q_{AG}$  减小，所以阈电压减小。

19、如何抑制 MOSFET 的短沟道效应？

减小源漏区结深，减薄栅氧化层的厚度，提高衬底的掺杂浓度。

20、什么是阈电压的窄沟道效应，并解释它产生的原因

当 MOSFET 的沟道宽度很小时，阈电压随沟道宽度的减小而增大的现象叫窄沟道效应。原因：实际的栅电极总有一部分要覆盖在沟道宽度以外的场氧化层上，故场氧化层下的衬底表面也会产生耗尽区电荷，当沟道宽度很宽时，这些电荷可以忽略，但沟道宽度较窄时，这些电荷在整个沟道的耗尽区电荷中所占比例增大，与没有窄沟道效应时相比，就需要更大的栅压才能使栅下的半导体发生反型。

21、论述迁移率随外加电场的变化规律（**半物知识的补充，注重知识面广度**）

在低场区， $\mu$  是与  $E$  无关的常数，随  $E$  的提高， $\mu$  逐渐减小，当  $E$  超过临界电场时，电子漂移速度达到饱和；

产生的原因（**大概能叙述出来即可**）。当无外加电场时，载流子与晶格处于

热平衡状态，当有电场时，载流子从电场中获得能量，有了漂移速度；在弱电场下，载流子从电场获得的能量不多，仍可近似认为载流子与晶格处于热平衡状态，此时电场几乎不影响载流子的散射过程，迁移率维持常数不变；当电场增大时，载流子获得的能量也增大，但其以声学声子的形式与晶格交换能量，能量交换不及时，载流子温度显著高于晶格温度，为热载流子，热载流子运动速度随温度的升高而增大，因此被晶格散射的几率增大，故迁移率下降；当电场进一步增强时，能量交换以发射光学波声子的形式进行，使载流子更有效的与晶格进行热交换，故载流子的漂移速度达到饱和。

22、解释 DIBL 效应，这个要区分是体内的还是表面的，两者条件不同，引起的后果也不同。具体分析见课本 P242（**此为重点的扩展知识**）

23、试述如何降低 DIBL 效应带来的影响？

（1）衬底偏压可以提高原始势垒的高度，从而提高穿通电压，故外加衬底偏压对穿通电流有抑制作用；（2）在穿通电流流经的区域内增大受主杂质浓度，可以有效地减少穿通电流，采用离子注入法可以实现这一目的

24、在 MOSFET 制造工艺中通常进行两次离子注入，这样做的目的是什么（**集成电路工艺原理知识的补充**）

低能量的浅注入一般用来调整阈电压，高能量的深注入用来抑制穿通电流。若以大题形式出现则要分析调整的原理，以及抑制的原理。

25、强电场效应下导致的衬底电流是怎么产生的？

当漏源电压足够大时，MOSFET 的沟道夹断区内将因碰撞电离而产生电子-空穴对，其中电子由漏极流出，形成漏极电流的一部分，而空穴则从衬底流出，形成衬底电流。

26、MOSFET 的两种击穿特性并简述其特点。

一是正常雪崩击穿，即源漏击穿电压随栅压的增大而增大，为硬击穿（**为什么会有这种变化趋势，从栅极产生的附加电场的角度来考虑**），主要发生在 PMOSFET 和 N 长沟道 MOSFET 中。二是横向双极击穿，特点是击穿电压随栅源电压的增大先减小后增大，为软击穿，主要发生在 N 短沟道 MOSFET 中。

27、MOSFET 的雪崩击穿一般就是指漏衬 PN 结的雪崩击穿，但是它与普通 PN 结击穿的区别是栅极附加电场的存在，使这个击穿电压与栅源电压的大小有关。



另外要了解 MOSFET 的横向双极击穿，具体的分析在课本 P245，主要关注他的击穿条件，以及为什么常在 N 短沟道 MOSFET 中出现此类击穿。（一般的思路就是根据击穿条件进行各个参数的分析，最终三个参数都是在 N 短沟道中易击穿。）

28、简述短沟道 MOSFET 的栅极电流的来源

（1）横向电场足够大时，若沟道电子从电场中获得克服 Si-SiO<sub>2</sub> 界面势垒的能量，则在纵向电场的作用下会越过 Si-SiO<sub>2</sub> 势垒进入栅氧化层中；

（2）漏区附近耗尽区中，横向电场很强时，使沟道注入该区域的部分高能电子发生碰撞电离而产生电子-空穴对，其中电子若具有克服 Si-SiO<sub>2</sub> 界面势垒的能量，则会注入栅氧化层中，产生的空穴则形成了衬底电流。

（3）耗尽区内热激发的电子在纵向电场的作用下克服 Si-SiO<sub>2</sub> 界面势垒，注入栅氧化层中。

29、陷入栅氧化层电子陷阱中的电子有什么危害？

（1）使阈电压向正方向移动；（2）使跨导逐渐减小，原因是沟道内载流子的迁移率减小；（3）使界面态密度增大，从而导致亚阈电流逐渐增大。

30、试述摩尔定律：当价格不变时，集成电路上可容纳的元器件的数目，约每隔 18-24 个月便会增加一倍，性能也将提升一倍。

31、简述 MOSFET 热电子效应产生的原因以及抑制方法。

产生沟道热电子的原因是因为漏区附近存在一个极高的横向电场。

可以采用抗热电子结构来减弱漏区附近的电场，（1）漏 PN 结采用缓变结；（2）采用偏置栅结构，使栅电极与漏区附近强电场的峰值错开。（3）采用埋沟结构。

32、说出缩短 MOSFET 沟道长度的好处？

对于分立器件：可以提高跨导，提高最高工作频率；

对于集成电路：可以提高速度、增大集成度、降低功耗。

33、关于恒场按比例缩小原则，各个参数怎么缩小，见课本 P250，且要注意 MOSFET 的各种特性参数怎么变、以及他的局限性。（这涉及到了前沿的应用知识，故考察可能性较大）

三、MOSFET 中可能出现的作图分析题。

1、画出 MOSFET 的基本结构图：P203 图 4-1。

2、四种类型的 MOSFET 的符号，以及输出特性、转移特性图，见课本 P204，这

里要注意增强型和耗尽型的沟道表示方法不同，一个分段，一个不分。这都是细节性的东西。

3、画出 MOSFET 的输出特性曲线，一般不强调击穿的话就不需要画击穿曲线。

见课本 P205，图 4-5. 要分清各个区间段的名称。

4、关于 MOS 结构的能带图。

(1) 理想情况无栅压的 (2) 实际情况无栅压的 (3) 实际结构外加平带电压的

(4) 实际结构强反型的。这几个图在书上都可以找到。

这里要注意的是几个概念：费米势、表面势、平带电压。

且在画图时要能够体现出关键的值。

5、用画图的方式描述衬底偏置效应对阈电压的影响。见课本 P211，图 4-17.

6、画出 MOSFET 衬底电流随栅压的变化曲线，并解释原因。

曲线见课本 P243，图 4-58. 解释在下方。

#### 四、MOSFET 中可能出现的计算题。

1、衬底费米势的计算公式，P206 (4-1)，注意 N、P 衬底的计算方法的不同，正负的理解主要从费米势的定义来记忆。

2、表面势为表面减体内，注意概念定义的掌握；平带电压 P207 (4-3)

3、阈电压的计算公式，(超级重要、且建议掌握其推导过程，因为 2021 的题目中出现了推导，不会推导的话这个题基本是拿不到分的)。课本 P209 (4-23)，注意 N、PMOSFET 的不同，注意体因子的表达式。

4、MOSFET 的增益因子  $\beta$ 。

5、漏极电流，饱和区 P216 (4-53)；非饱和区 (萨之唐方程)，P215 (4-51)。

饱和漏极电压的计算方法 P215 (4-52)。

6、沟道长度调制效应带来的影响，课本 P218 (4-66 后半段)

7、亚阈区栅源电压摆幅  $S$ ，课本 P221 (4-80) (这个题初试和我复试过程中都被问到过)。

8、MOSFET 导通电阻 P222 (4-83)；MOSFET 跨导的计算 (饱和区、非饱和区) P226 (4-90、4-91)；漏源电导 P227 (4-93)。