

# 21计组期中

## A卷（普通班）

电子科技大学 2022-2023 学年第 1 学期期中 考试 A 卷

考试科目: 计算机组成原理 考试形式: 闭卷 考试日期: 2022 年 11 月 13 日

本试卷由 三 部分构成, 共 3 页。考试时长: 45 分钟 注:

题号	一	二	三	合计
得分				

得分

一、选择题 (每小题 3 分, 共 30 分)

1. 采用寄存器间接寻址, 则可以 ( )。

A. 减少指令中地址码的位数 B. 增加地址码的个数

C. 提高访问存储器的速度 D. 更方便的访问存储器

2. 计算机中的定点数, 小数点位置通过 ( ) 表示。

A. 人为约定 B. 一个触发器输出 C. 寄存器的一位 D. 固定在符号位之前

3. 如有  $[X]_{\text{补}} = 01101$ , 则  $[-X]_{\text{补}}$  表示为 ( )。

A. 01101 B. 00011 C. 11101 D. 10011

4. 从存储器读指令和读数据均通过数据总线, CPU 区分指令与数据的依据是 ( )。

A. 操作码的类型 B. 存储单元地址范围

C. 指令周期的不同阶段 D. 操作数寻址方式

5. 关于同步控制方式下列说法正确的是 ( )。

A. 同类指令执行时间相同 B. 每个工作周期长度相同

C. 每个时钟周期长度固定 D. 能有效利用时间

6. CPU 内有单组内总线、独立寄存器结构, 则 ALU 输入逻辑应该连接 ( )。

A. 可编程寄存器 B. 暂存器 C. 多路选择器 (4) 译码器

7. 不可编程寄存器是指 ( )。

A. 不能用于存放数据的寄存器 B. 不能用于存放指令的寄存器

C. 程序不可以访问的寄存器 D. 不能用于存放地址的寄存器

8. 堆栈指针 SP 的内容是 ( )。

A. 栈顶单元地址 B. 栈底单元地址 C. 栈顶单元内容 D. 栈底单元内容

9. 假设 5 位补码表示的定点整数, 下列运算不产生溢出的是 ( )。

A.  $10011-01101$  B.  $00101-11001$  C.  $01001+01010$  D.  $10101+10011$

10. 组合逻辑控制器的三组时序信号是 ( )。

A. 指令周期、工作周期、节拍 B. 工作周期、时钟周期、脉冲

C. 指令周期、时钟周期、脉冲 D. 工作周期、节拍、时钟周期

二、计算题 (30 分)

1. 将十进制数 21.25 表示为 32 位的 IEEE754 短浮点格式, 结果用十六进制表示。(15 分)

2. 主存储器部分单元地址码与存储内容的对应如下: (15 分)

地址码	存储内容
1000H	1200H
1001H	0513H
1002H	A032H
1003H	3604H
1004H	2533H

(1) 采用自减型寄存器间接寻址 (R0) 读取操作数, R0 内容 1001H, 指令执行后 R0 内容是 (5 分):

(2) 采用变址寻址方式 X(R1) 读取操作数, R1 内容为 1001H, 数是 (5 分):

### 大题第二题（寻址）看不到的部分

(1) R0 内容为 1001H, 问指令执行后操作数为 (5 分); 指令执行后 R0 内容是 (5 分)

(2) 形式地址 D=02H

### 三、模型机综合题。(40分)

某CPU组成：用SN74181构成的ALU一个，选择器A、B，移位器；通用寄存器R0~R3，暂存器C、D；指令寄存器IR，程序计数器PC；地址寄存器MAR，数据缓冲寄存器MDR，堆栈指针SP等；CPU内单向数据总线一组。

1. 设计一种CPU数据通路框图（寄存器级）；（10分）
2. 拟定传送指令MOV(R1), x(R0)的指令流程（寄存器传送级，如R0→R1）；（15分）
3. 请安排M→MDR→C操作的微命令（不考虑时序）（15分）



#### 选择题答案

A(寄存器数量少，所以减少地址码位数，间址要多次访问主存，所以速度低C错)

A

D（考察变补，注意变补对象是对补码，变化时候是连同符号位一起。）

C（根据是FT还是STDT确实是取指周期还是取操作数周期）

C（时钟周期（节拍）固定）

C（分立（独立）寄存器是输入多路选择门、集成寄存器是输入暂存器；书P84）

C

A

B（减法需要对减数先变补，被减数补码和减数变补相加，符号位进位和最高位进位异或结果为1为溢出；加法只需要两个加数补码相加，符号位进位和最高位进位异或结果为1为溢出；00101-11001，对减数变补是00111，00101+11001符号位进位（0）和最高位进位（0）异或结果为0，没有溢出；也可用双符号位进行计算）

B（指令周期是取整条指令的周期，工作周期是FT/DT/ST/ET每一个的时间；节拍是类似于FT0,ST1,DT2每一步的时间，脉冲是最后CPT（/P）的时间）

#### 大题答案

### IEEE754

21.25化为二进制为 $(10101.01)_2$

规格化： $1.010101 \times 2^4$

$S = 0$        $E = e + 127 = 4 + 127 = 131 = (10000011)_2$        $M = 010101.....$

最后化为十六进制为41AA0000H

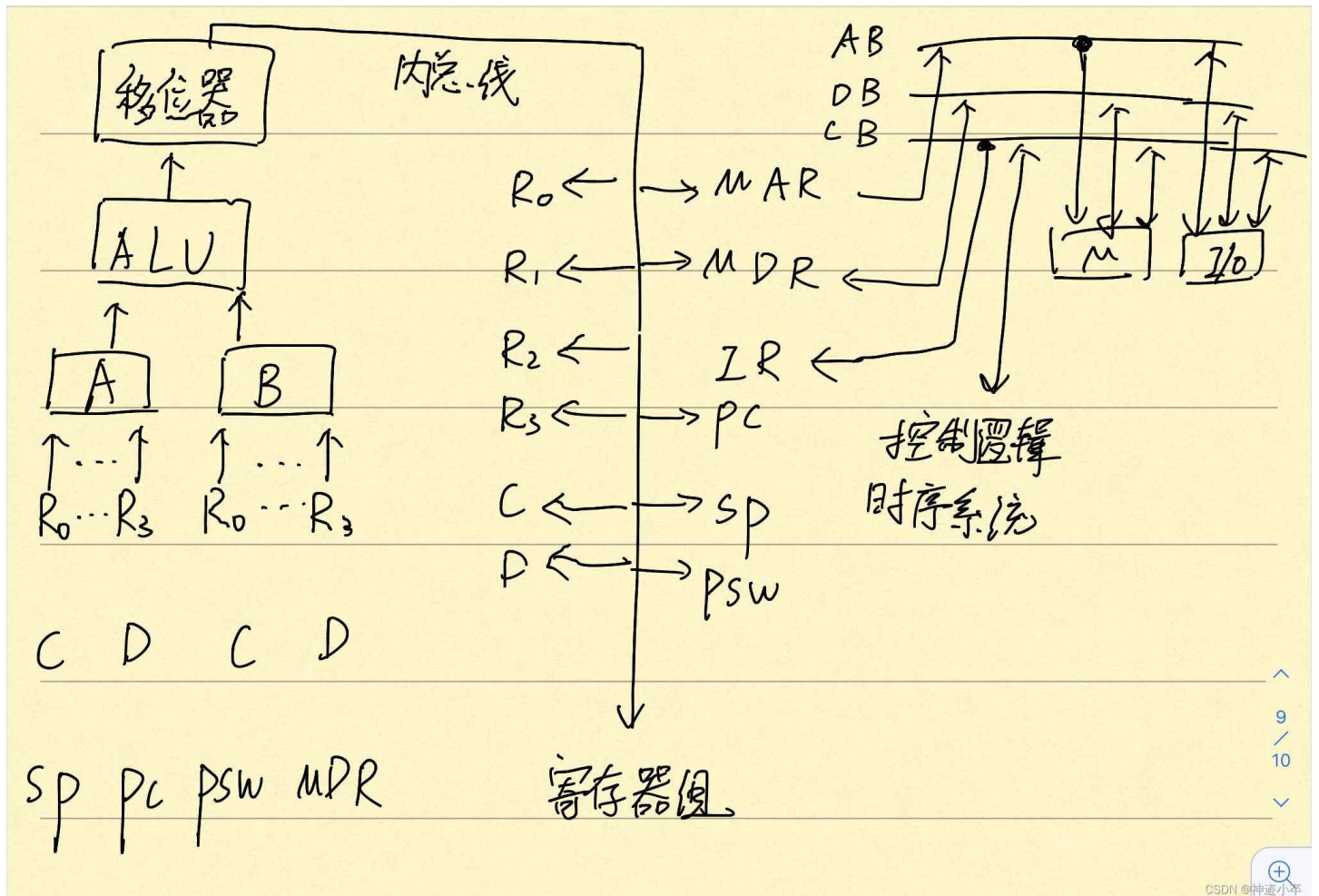
### 寻址

(1) 1200H 1000H

(2) 3604H

## CPU

(1)



(2)

**FT0:**  $M \rightarrow IR, PC \rightarrow MAR$ ;

**ST0:**  $PC \rightarrow MAR$ ;

**ST1:**  $M \rightarrow MDR \rightarrow C$ ;

**ST2:**  $PC+1 \rightarrow PC$ ;

**ST3:**  $C+R1 \rightarrow MAR$ ;

**ST4:**  $M \rightarrow MDR \rightarrow C$ ;

**DT0:**  $R0 \rightarrow MAR$ ;

**ET0:**  $C \rightarrow MDR$ ;

**ET1:**  $MDR \rightarrow M$ ;

**ET2:**  $PC \rightarrow MAR$

(3)

**EMAR, R, SMDR, MDR**  $\rightarrow$  **B, 输出B, DM, CPC**

(共7个)

# 电子科技大学 2022-2023 学年第 1 学期期中 考试 B 卷

考试科目: 计算机系统结构 考试形式: 闭卷 考试日期: 2021 年 11 月    日

本试卷由 三 部分构成, 共 3 页。考试时长: 45 分钟 注:           

题号	一	二	三	合计
得分				

得分

## 一、选择题 (每小题 3 分, 共 30 分)

1、下列说法正确的是 ( )。

- (1) 加法器运算速度与进位传递速度无关  
(3) 加法器运算速度取决于进位传递速度

- (2) 并行加法器只能采用并行进位  
(4) 并行加法器只能采用串行进位

2、模型机组合逻辑控制器的三级时序信号是 ( )。

- (1) 指令周期、工作周期、节拍

- (2) 工作周期、节拍、脉冲

- (3) 指令周期、机器周期、时钟周期

- (4) 工作周期、节拍, 时钟周期

3、采用双符号位进行溢出判断时, 负溢的标志是 ( )

- (1) 00      (2) 01      (3) 10      (4) 11

4、程序判断运算结果是否发生溢出, 是通过 ( ) 来进行的。

- (1) 判断 PSW 中的溢出标志

- (2) 判断运算结果的符号

- (3) 综合判断运算数和运算结果的符号

- (4) 综合判断尾数最高的进位和符号

5、采用 16 位定长指令, 存储器按字节编址。当前指令 (非转移或转子指令) 的起始地址为 2000H, 且指定的寄存器是 PC, 则下一条要执行指令的起始地址是 ( )。

- (1) 2000H

- (2) 2002H

- (4) 2001H



(1) 2004H (2) 2003H (3) 2002H (4) 2001H

6、下列哪项是变址寻址有效数的表达式 ( )

(1)  $S = (Rb)$  (2)  $S = (Rx)$  (3)  $S = ((Rx) + D)$  (4)  $S = ((Rb) + D)$

7、若 X 的原码等于 1:0110110, 则 X 的补码等于 ( )

(1) 1.1001010 (2) 0.1001010 (3) 1.1001001 (4) 0.1001001

第 1 页

5 被遮挡部分起始地址为2000H

16位所以PC读取完后+2为2002H, 再自减就是2001H

8、微程序存放在 ( )。

(1) 主存中 (2) ROM 中 (3) 堆栈中 (4) 硬盘中

9、在浮点机中, 判断补码规格化形式的原则是 ( )

(1) 尾数的第一数位为 1, 数符任意 (2) 尾数的符号位与第一数位相同

(3) 尾数的符号位与第一数位不同 (4) 阶符与数符不同

10. 假设指令系统的指令字长 12 位, 每个地址段 4 位, 若两地址指令设计 10 条, 那么单地址指令多可设计有 ( ) 条。

- (1) 16 (2) 64 (3) 96 (4) 128

得分

## 二、计算题 (30 分)

1. 将十进制数 -27.25 表示为 32 位的短浮点 IEEE754 格式, 最终结果采用 16 进制表示。(15 分)

2. 主存储器部分单元地址码与存储内容的对应如下: (15 分)

地址码	存储内容
1000H	1106H
1001H	0513H
1002H	A032H
1003H	E604H
1004H	3011H

(1) 采用自增型寄存器间接寻址 (R0)+读取操作数, R0 内容 1001H, 则读取的操作数是 (5 分); 指令执行完后 R0 的内容是 (5 分);

(2) 采用变址寻址方式 X(R1) 读取操作数, R1 内容为 1001H, 形式地址为 5H, 则操作数是 (5 分)

CM是ROM，所以8选B

第10题疑似题目有问题

得分

### 三、模型机综合题。(40 分)

某 CPU 组成：用 SN74181 构成的 ALU 一个，选择器 A、B，移位器；通用寄存器  $R0 \sim R3$ ，暂存器 C、D；指令寄存器 IR，程序计数器 PC；地址寄存器 MAR，数据缓冲寄存器 MDR，堆栈指针 SP 等；CPU 内单向数据总线一组。

1. 设计一种 CPU 数据通路框图（寄存器级）；（10 分）
2. 拟定传送指令  $MOV(R1), X(R0)$  的指令流程（采用寄存器传送级语句，如  $R0 \rightarrow R1$ ），寻址方式采用变址寻址，目的寻址方式采用自增型寄存器寻址方式；（15 分）
3. 写出 ST、ET 的所有微指令。（不考虑时序信号）（15 分）