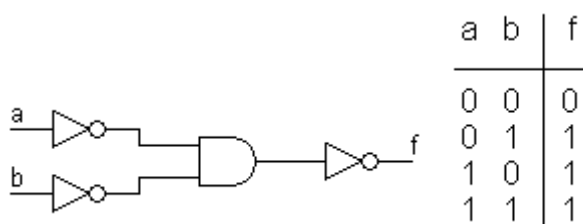


第 1 章习题参考答案:

1-6 一个电路含有一个 2 输入与门 (AND2)，其每个输入/输出端上都连接了一个反相器；画出该电路的逻辑图，写出其真值表；能否将该电路简化？

解：电路图和真值表如下：



由真值表可以看出，该电路与一个 2 输入或门 (OR2) 相同。

第 2 章习题参考答案:

2.2 将下面的八进制数转换成二进制数和十六进制数。

(a) $1234_8 = 1\ 010\ 011\ 100_2 = 29C_{16}$

(b) $174637_8 = 1\ 111\ 100\ 110\ 011\ 111_2 = F99F_{16}$

(c) $365517_8 = 11\ 110\ 101\ 101\ 001\ 111_2 = 1EB4F_{16}$

(d) $2535321_8 = 10\ 101\ 011\ 101\ 011\ 010\ 001_2 = ABAD1_{16}$

(e) $7436.11_8 = 111\ 100\ 011\ 110.001\ 001_2 = F1E.24_{16}$

(f) $45316.7474_8 = 100\ 101\ 011\ 001\ 110.111\ 100\ 111\ 1_2 = 4ACE.F2C_{16}$

2.3 将下面的十六进制数转换为二进制数和八进制数。

(a) $1023_{16} = 1\ 0000\ 0010\ 0011_2 = 10043_8$

(b) $7E6A_{16} = 111\ 1110\ 0110\ 1010_2 = 77152_8$

(c) $ABCD_{16}=1010\ 1011\ 1100\ 1101_2=125715_8$

(d) $C350_{16}=1100\ 0011\ 0101\ 0000_2=141520_8$

(e) $9E36.7A_{16}=1001\ 1110\ 00110110.0111\ 1010_2=117066.364_8$

(f) $DEAD.BEEF_{16}=1101\ 1110\ 1010\ 1101.1011\ 1110\ 1110\ 1111_2$
 $=157255.575674_8$

2.5 将下面的数转换成十进制数。

(a) $1101011_2=107$ (b) $174003_8=63491$ (c) $10110111_2=183$

(d) $67.24_8=55.3125$ (e) $10100.1101_2=20.8125$ (f) $F3A5_{16}=$

62373

(g) $12010_3=138$ (h) $AB3D_{16}=43837$ (i) $7156_8=3694$

(j) $15C.38_{16}=348.21875$

2.6 完成下面的数制转换。

(a) $125=1\ 111\ 101_2$ (b) $3489=6641_8$ (c) $209=11\ 010\ 001_2$

(d) $9714=22762_8$ (e) $132=10\ 000\ 100_2$ (f) $23851=5D2B_{16}$

(g) $727=10402_5$ (h) $57190=DF66_{16}$ (i) $1435=2633_8$

(j) $65113=FE59_{16}$

2.7 将下面的二进制数相加，指出所有的进位：

(a) S: 1001101 C: 100100

(b) S: 1010001 C: 1011100

(c) S: 101000000 C: 111111110

(d) S: 11011111 C: 11000000

2.8 利用减法而不是加法重复训练题 2.7，指出所有的借位而不是进位：

(a) D: 011 001 B: 110000 (b) D: 111 101 B: 1110000

(c) D: 10000110 B: 00111000 (d) D: 1101101 B: 11110010

2.11 写出下面每个十进制数的 8 位符号—数值，二进制补码，二进制反码表示。

(a) +25 原码: 0001 1001 反码: 0001 1001 补码: 0001 1001

(b) +120 0111 1000 0111 1000 0111 1000

(c) +82 0101 0010 0101 0010 0101 0010

(d) - 42 10101010 11010101 11010110

(e) - 6 1000 0110 1111 1001 1111

1010

(f) - 111 1110 1111 1001 0000 1001 0001

2.12 指出下面 8 位二进制补码数相加时是否发生溢出。

(a) 1101 0100+1110 1011= 1011 1111 不存在溢出

(b) 1011 1111+1101 1111= 1001 1110 不存在溢出

(c) 0101 1101+0011 0001= 10001110 存在溢出

(d) 0110 0001+0001 1111= 1000 0000 存在溢出

2.33 对于 5 状态的控制器，有多少种不同的 3 位二进制编码方式？

若是 7 状态或者 8 状态呢？

解：3 位二进制编码有 8 种形式。

对于 5 状态，这是一个 8 中取 5 的排列： $N=8 \times 7 \times 6 \times 5 \times 4= 6720$

对于 7 状态，这是一个 8 中取 7 的排列： $N=8 \times 7 \times 6 \times 5 \times 4 \times 3 \times 2 = 40320$

对于 8 状态，种类数量与 7 状态时相同。

2.34 若每个编码字中至少要含有一个 0，对于表 2-12 的交通灯控制器，有多少种不同的 3 位二进制编码方式？

解：在此条件下，只有 7 种可用的 3 位二进制码，从中选取 6 个进行排列，方式数量为： $N=7 \times 6 \times 5 \times 4 \times 3 \times 2 = 5040$

2.35 列出图 2-5 的机械编码盘中可能会产生不正确位置的所有“坏”边界。

解：001/010、011/100、101/110、111/000

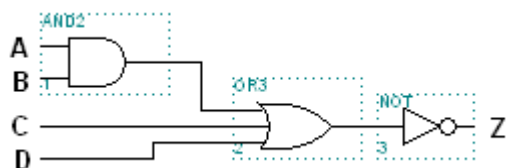
2.36 作为 n 的函数，在使用 n 位二进制编码的机械编码盘中有多少个“坏”边界？

解：有一半的边界为坏边界： 2^{n-1} 。

数字逻辑第 3 章参考解答：

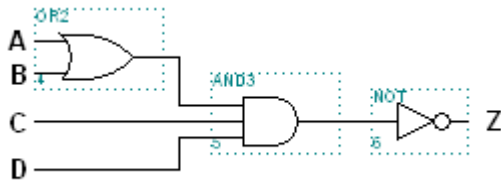
3.11 对图 X3.11 (a) 所示的 AOI 电路图，采用 AND, OR, INV 画出对应的逻辑图。

解： $Z = (A \cdot B + C + D)'$



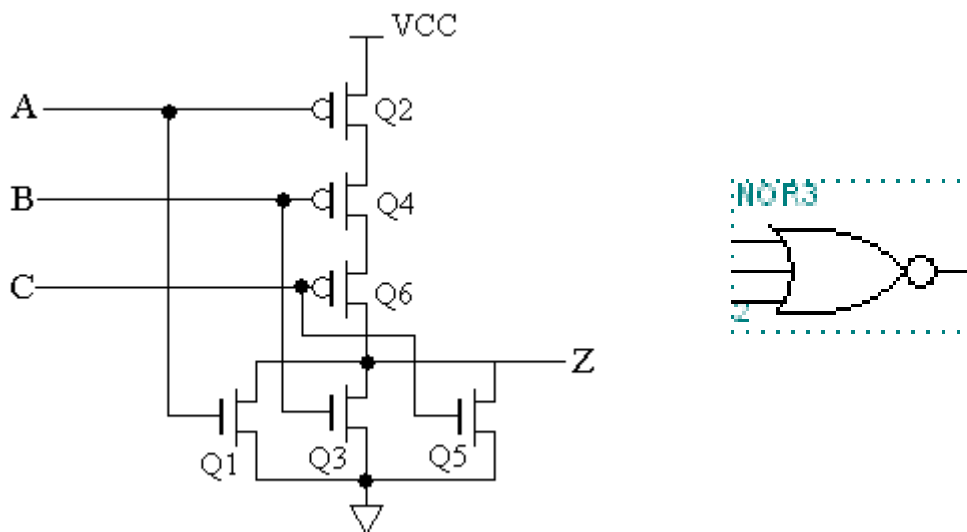
3.12 对图 X3.11 (b) 所示的 OAI 电路图，采用 AND, OR, INV 画出对应的逻辑图。

解： $Z = ((A + B) \cdot C \cdot D)'$



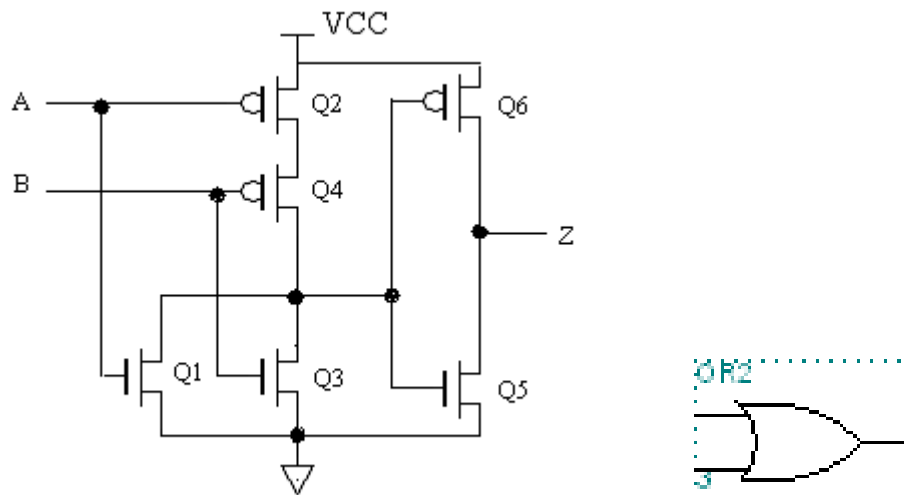
13 画出 NOR3 对应的电路图。

解：3 输入端或非门结构应为：上部 3 个 P 管串联，下部 3 个 N 管并联，结构如图所示。



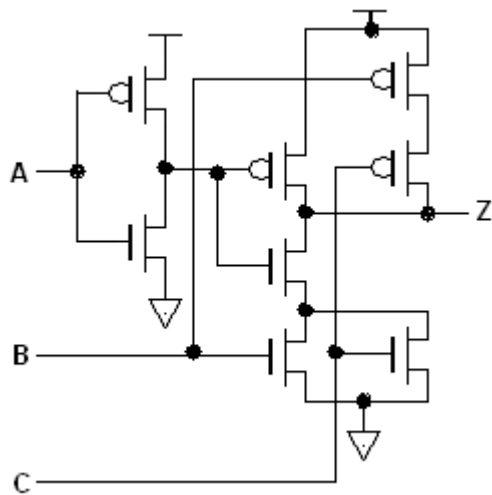
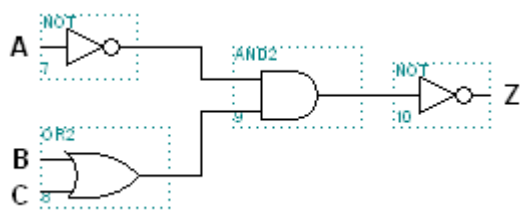
3.15 画出 OR2 所对应的电路图。

解：在 NOR2 电路的输出端后面级联一个 INV。



3. 59 画出图 X3. 59 逻辑图所对应的电路图。

解：



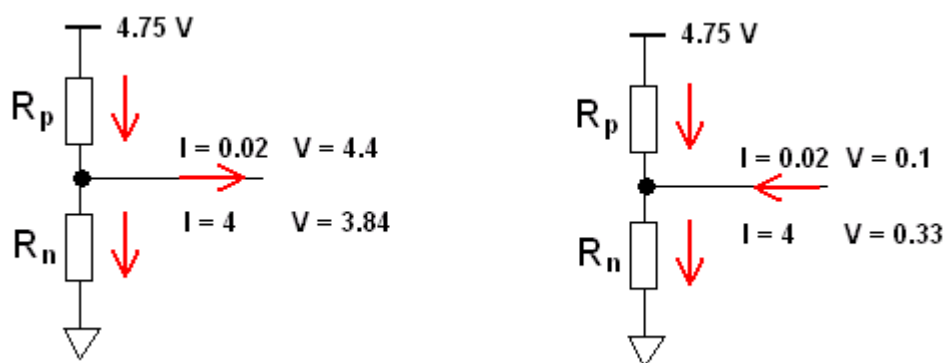
3. 21 若输出低电平阈值和高电平阈值分别设置为 1.5V 和 3.5V，对图 X3. 21 所示的反相器特性，确定高态与低态的 DC 噪声容限。

解：由图中可以看到，输出 3.5V 对应的输入为 2.4V, 输出 1.5V 对应的输入为 2.5V； 所以，高态噪声容限为：3.5-2.5=1 V ;低态噪声容限为：2.4-1.5=0.9 V。

3.26 利用表 3-3 计算 74HC00 的 p 通道和 n 通道的导通电阻。

解：采用极端值计算（对商用芯片，最低电源电压设为 4.75V）

表中所列输出电压与电流关系如图所示：



根据电流定律，高态输出时可以建立下列方程：

$$\left(\frac{0.35}{R_p} - 0.02 \right) = \frac{4.4}{R_n} \quad \left(\frac{0.91}{R_p} - 4 \right) = \frac{3.84}{R_n}$$

联立求解可得： $R_p = 0.151k\Omega = 151\Omega$

低态输出时可以建立下列方程：

$$\left(\frac{0.1}{R_n} - 0.02 \right) = \frac{4.65}{R_p} \quad \left(\frac{0.33}{R_n} - 4 \right) = \frac{4.42}{R_p}$$

联立求解可得： $R_n = 0.060k\Omega = 60\Omega$

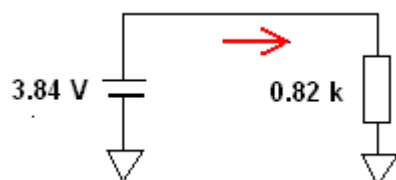
3.27 对于表 3-3 所列的 74HC00 ， 若 设

$V_{OLmax}=0.33V, V_{OHmin}=3.84V, V_{CC}=5V$, 对于下列电阻负载，确定该系列的

商用器件是否能够驱动(任何情况下输出电流不能超出 I_{OLmax} 和 I_{OHmax}).

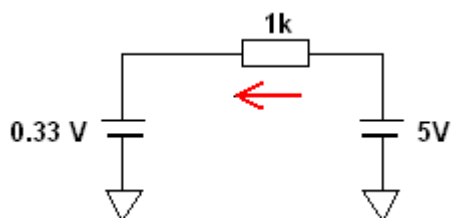
解: 根据表 3-3, 对于选定的输出电压, 最大输出电流限制为 4mA.

c) $820\ \Omega$ 接地: 考虑高态输出, 等效电路如下:



$$I = 3.84 / 0.82 = 4.683 > 4\text{mA} \quad \text{不能驱动。}$$

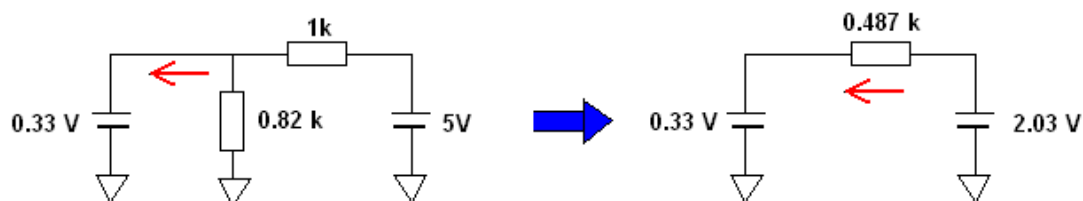
e) $1\ k$ 接 V_{cc} : 考虑低态输出, 等效电路如下:



$$I = (5 - 0.33) / 1 = 4.67 > 4\text{mA} \quad \text{不能驱动。}$$

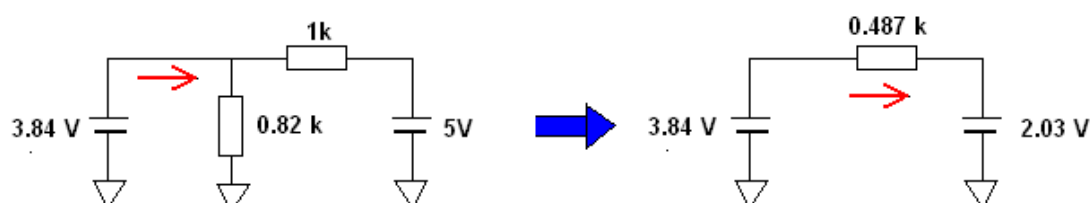
f) $1.2\ k$ 接 V_{cc} , $820\ \Omega$ 接地: 需要分别考虑低态输出和高态输出。

低态输出等效电路如下:



$$I = (2.03 - 0.33) / 0.487 = 3.49 < 4\text{mA} \quad \text{可以驱动。}$$

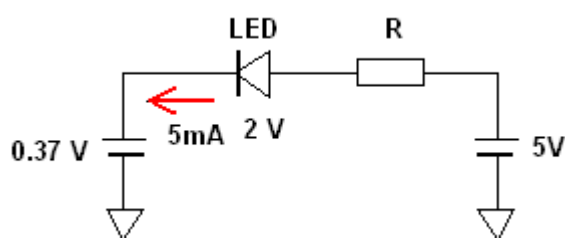
高态输出等效电路如下:



$$I = (3.84 - 2.03) / 0.487 = 3.72 < 4\text{mA} \quad \text{可以驱动。}$$

3.40 一个发光二极管导通时的电压降约为 2.0V，正常发光时需要约 5mA 的电流。当发光二极管如图 3—54 (a) 那样连接时，确定上拉电阻的适当值。

解：根据 3.7.5 所给的条件，低态输出电平 $V_{OLmax}=0.37V$ 。对应等效电路如下：



$$R = (5 - 2 - 0.37) / 5 = 0.526k\Omega$$

3.65 在图 3-32 (b) 中，有多少电流与功率被浪费了。

解：浪费的电流为流过 $4k\Omega$ 电阻的电流：

$$I = (5 - 0.24) / 4 = 1.19\text{ mA}$$

浪费的功率为上述电流经过两个电阻产生的功率：

$$P = RI^2 = 4.2 \times (1.19)^2 = 5.95\text{ mW}$$

3.33 对于下列电阻电容的组合，确定时间常数 RC

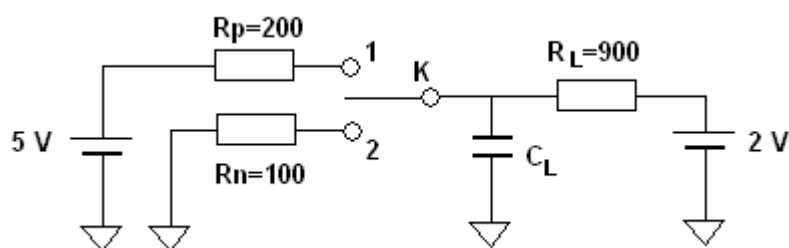
解：a) 5ns b) 705ns c) 2.21ns d) 100ns

3.34 对于一个 CMOS 电路，将电源电压增加 5%，或者将内部电容和负载电容增加 5%，哪种方式会导致更大的功率消耗。

答：CMOS 的电源消耗主要是动态消耗，其关系为 $P_D = CV^2 f$ ；由该关系可以得出电源增加将导致更大的功率消耗。

3.68 分析图 3-37 所示反相器的下降时间，设 $R_L=900\ \Omega$ ， $V_L=2V$ 。

解：该电路图可以等效为下列带开关的一阶电路图。当输出从高态转为低态时，可以等效为开关 K 从位置 1 转到位置 2。



按照一阶电路三要素法的分析方法，对于电容上的电压分析如下：

初态： $V_H=4.45V$ 终态： $V_L=0.2V$

换路后的等效电阻： $R=90\ \Omega$

电路时间常数： $\tau = RC = 9ns$

输出电压随时间变化关系为：

$$V_{OUT} = V_L + (V_H - V_L)e^{-t/\tau}$$

由上式可以得出从 3.5V 到 1.5V 的下降时间为：

$$\Delta t = \tau \ln \frac{3.5 - V_L}{1.5 - V_L} \approx 9.1ns$$

3.69 分析图 3-37 所示反相器的上升时间，设 $R_L=900\ \Omega$ ， $V_L=2V$ 。

解：与上题类似进行分析，当输出从低态转为高态时，可以等效为开关 K 从位置 2 到位置 1。

按照一阶电路三要素法的分析方法，对于电容上的电压分析如下：

初态： $V_L=0.2V$ 终态： $V_H=4.45V$

换路后的等效电阻： $R=164\Omega$

电路时间常数： $\tau = RC = 16.4ns$

输出电压随时间变化关系为：

$$V_{OUT} = V_L + (V_H - V_L)(1 - e^{-t/\tau})$$

由上式可以得出从 1.5V 到 3.5V 的上升时间为：

$$\Delta t = \tau \ln \frac{V_H - 1.5}{V_H - 3.5} \approx 19ns$$

数字逻辑第四章参考解答：

4-5 根据 Demorgan 定理， $X + Y \cdot Z$ 的补为 $X' \cdot Y' + Z'$ 。但这两个函数在 $XYZ=110$ 时都等于 1。对于一个给定的输入组合，一个函数和其补函数怎么能都等于 1 呢？出了什么错误？

答：在利用定理时，没有考虑到运算先后顺序，正确的补函数应该为：

$$(X + Y \cdot Z)' = X' \cdot (Y \cdot Z)' = X' \cdot (Y' + Z') = X' \cdot Y' + X' \cdot Z'$$

4.7 请写出下面各个逻辑函数的真值表。

a) $F = X' \cdot Y + X' \cdot Y' \cdot Z$

可先简化为： $F = X' \cdot (Y + Y' \cdot Z) = X' \cdot (Y + Z)$

X	Y	Z	X'	Y+Z	X'(Y+Z)
0	0	0	1	0	0
0	0	1	1	1	1
0	1	0	1	1	1
0	1	1	1	1	1
1	0	0	0	0	0
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	0	1	0

c) $F = W + X' \cdot (Y' + Z) = W + X' \cdot Y' + X' \cdot Z$

W	X	Y	Z	F		W	X	Y	Z	F
0	0	0	0	1		1	0	0	0	1
0	0	0	1	1		1	0	0	1	1
0	0	1	0	0		1	0	1	0	1
0	0	1	1	1		1	0	1	1	1
0	1	0	0	0		1	1	0	0	1
0	1	0	1	0		1	1	0	1	1
0	1	1	0	0		1	1	1	0	1
0	1	1	1	0		1	1	1	1	1

h) $F = (((A+B)' + C')' + D)' = A' \cdot B' \cdot D' + C' \cdot D'$

A	B	C	D	F		A	B	C	D	F
0	0	0	0	1		1	0	0	0	1
0	0	0	1	0		1	0	0	1	0

0	0	1	0	1		1	0	1	0	0
0	0	1	1	0		1	0	1	1	0
0	1	0	0	1		1	1	0	0	1
0	1	0	1	0		1	1	0	1	0
0	1	1	0	0		1	1	1	0	0
0	1	1	1	0		1	1	1	1	0

4. 25 证明 OR(n) 可以采用 (n-1) 个 OR(2) 实现; NOR 也能这样吗? 证明你的结论。

解: 根据逻辑定理:

$$(x_1 + x_2 + x_3 + x_4 + x_5 + \dots) = (((((x_1 + x_2) + x_3) + x_4) + x_5) + \dots$$

第 1 次运算实现 2 个变量的 OR, 第 2 次运算实现 3 个变量的 OR, 第 (n-1) 次运算就可以实现 n 个变量的 OR。

NOR 不能这样做: 以 3 个变量为例: 利用 DeMorgan' s 定理

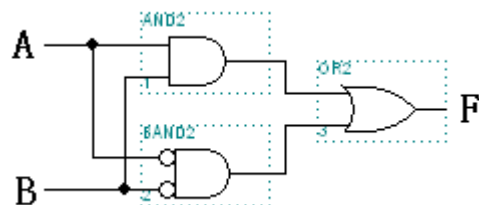
$$((x_1 + x_2)' + x_3)' = (x_1' \cdot x_2' + x_3)' \neq (x_1 + x_2 + x_3)'$$

所以不能采用这种方式替换。

4. 36 对于 XNOR, 写出真值表, 积之和表达式以及对应的与或结构逻辑图。

解: 真值表 逻辑式: $F = A \cdot B + A' \cdot B'$ 逻辑图:

A	B	F
0	0	1
0	1	0
1	0	0
1	1	0



4. 38 采用题设条件如何得到反相器（题略）。

答：只能利用 XNOR 实现，在逻辑表达式 $F = A \cdot B + A' \cdot B'$ 中，令 B 或 A 等于 0（将该输入端接地），即可实现反相器功能。

4. 9 请写出下面各个逻辑函数的标准和与标准积。

a) $F = \sum_{X,Y} (1,2) = \prod_{X,Y} (0,3)$

标准和： $F = X \cdot Y' + X' \cdot Y$

标准积： $F = (X + Y) \cdot (X' + Y')$

b) $F = \prod_{A,B} (0,1,2) = \sum_{A,B} (3)$

标准和： $F = A \cdot B$

标准积： $F = (A + B) \cdot (A + B') \cdot (A' + B)$

c) $F = \sum_{A,B,C} (1,2,4,6) = \prod_{A,B,C} (0,3,5,7)$

标准和： $F = A' \cdot B' \cdot C + A' \cdot B \cdot C' + A \cdot B' \cdot C' + A \cdot B \cdot C'$

标准积： $F = (A + B + C) \cdot (A + B' + C') \cdot (A' + B + C') \cdot (A' + B' + C)$

d) $F = \prod_{W,X,Y} (0,2,3,6,7) = \sum_{W,X,Y} (1,4,5)$

标准和： $F = W' \cdot X' \cdot Y + W \cdot X' \cdot Y' + W \cdot X' \cdot Y$

标准积：

$$F = (W + X + Y) \cdot (W + X' + Y) \cdot (W + X' + Y') \cdot (W' + X' + Y) \cdot (W' + X' + Y')$$

$$e) \quad F = X' + Y \cdot Z = \sum_{X,Y,Z} (0,1,2,3,7) = \prod_{X,Y,Z} (4,5,6)$$

$$\text{标准和: } F = X' \cdot Y' \cdot Z' + X' \cdot Y' \cdot Z + X' \cdot Y \cdot Z' + X' \cdot Y \cdot Z + X \cdot Y \cdot Z$$

$$\text{标准积: } F = (X' + Y + Z) \cdot (X' + Y + Z') \cdot (X' + Y' + Z)$$

$$f) \quad F = V + (W \cdot X')' = V + W' + X = \prod_{V,W,X} (2) = \sum_{V,W,X} (0,1,3,4,5,6,7)$$

标准和:

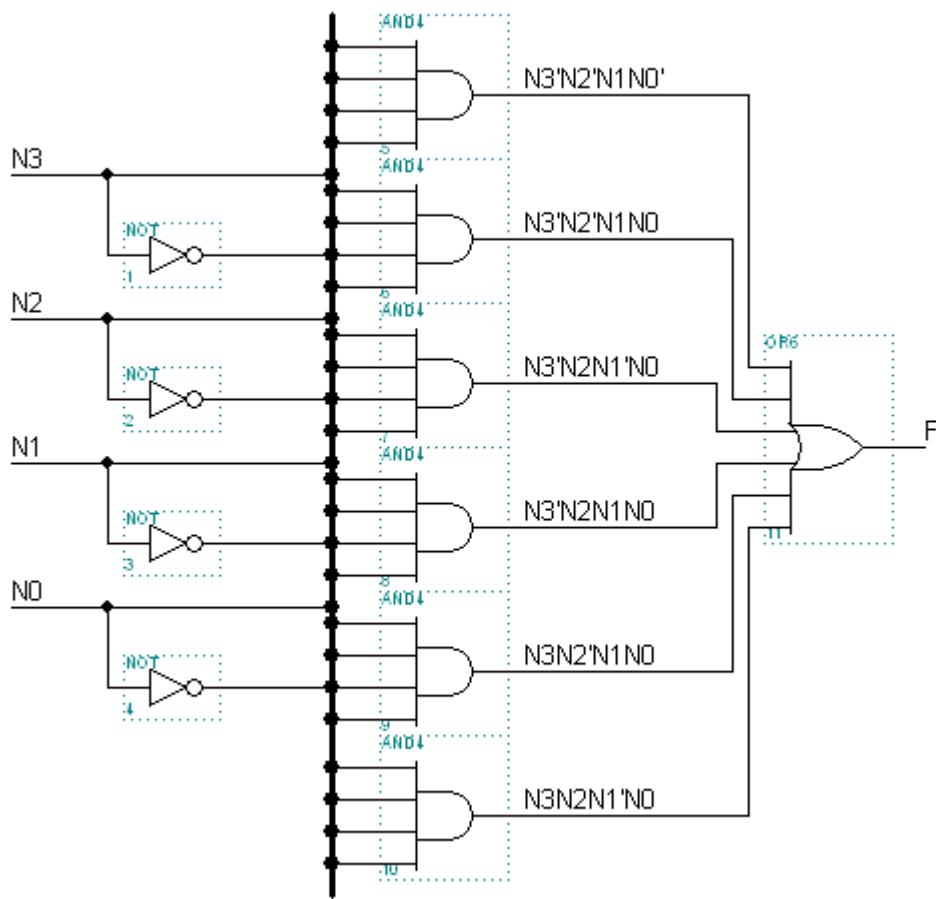
$$F = V' \cdot W' \cdot X' + V' \cdot W' \cdot X + V' \cdot W \cdot X + V \cdot W' \cdot X' + V \cdot W' \cdot X + V \cdot W \cdot X' + V \cdot W \cdot X$$

$$\text{标准积: } F = V + W' + X$$

4.11 若“1”不是质数，重新写出4位质数检测器的最小项列表，规范和以及对应的逻辑图。

$$\text{解: } F = \sum_{N3,N2,N1,N0} (2,3,5,7,11,13)$$

$$F = N3' \cdot N2' \cdot N1 \cdot N0' + N3' \cdot N2' \cdot N1 \cdot N0 + N3' \cdot N2 \cdot N1' \cdot N0 \\ + N3' \cdot N2 \cdot N1 \cdot N0 + N3 \cdot N2' \cdot N1 \cdot N0 + N3 \cdot N2 \cdot N1' \cdot N0$$



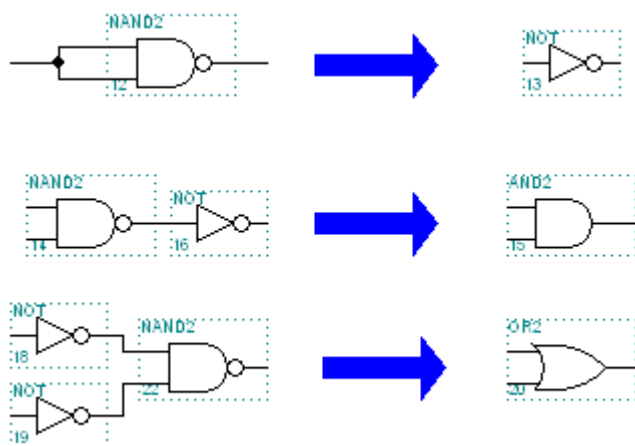
4.39 NAND (2) 是否为完全集合？请证明。

证：由于 AND (2)，OR (2) 和 INV 构成完全集合，只要 NAND (2) 能够形成这三种逻辑，则为完全集合。

实现方式如下：

- 1 将 NAND (2) 的输入端并接，可以得到 INV；
- 2 将 NAND (2) 后接 INV，可以得到 AND (2)；
- 3 将 NAND (2) 输入端各接 1 个 INV，可以得到 OR (2)；

所以，NAND (2) 为完全集合。



4. 41 XNOR 是否构成完全集合？请证明。

解：采用上题方法证明：

- 1 将 XNOR 的一个输入接 0，可以实现 INV；
- 2 由于 XNOR 无法通过连接来保留一个乘积项而消除另一个乘积项，因此无法实现 2 输入的 AND 和 OR。

所以，XNOR 不能构成完全集合。

4. 50 设反相门的延迟时间为 5ns，非反相门的延迟时间为 8ns，比较图 4-24a, c, d 的速度。

解： a: 16ns c: 18ns d: 10ns

4. 14 利用卡诺图化简下列逻辑函数，得出最小积之和表达式，并在图中指出奇异“1”单元。

解：

a) $F = \sum_{X,Y,Z}(1,3,5,6,7)$ $F = Z + XY$

		F			
		00	01	11	10
Z	XY				
0				1	
		1	1	1	1

b) $F = \sum_{W,X,Y,Z} (1,4,5,6,7,9,14,15) \quad F = W' \cdot X + X \cdot Y + X' \cdot Y' \cdot Z$

		F			
		00	01	11	10
YZ	WX				
00			1		
		1	1		1
01			1	1	
			1	1	

c) $F = \prod_{W,X,Y} (1,4,5,6,7) \quad F = W' \cdot X + W' \cdot Y'$

		F			
		00	01	11	10
Y	WX				
0				0	0
		0		0	0

d) $F = \sum_{W,X,Y,Z} (0,1,6,7,8,9,14,15) \quad F = X \cdot Y + X' \cdot Y'$

		F			
YZ	WX	00	01	11	10
00		1			1
01		1			1
11			1	1	
10			1	1	

e) $F = \prod_{A,B,C,D}(4,5,6,13,15) \quad F = B' + A \cdot D' + A' \cdot C \cdot D$

		F			
CD	AB	00	01	11	10
00			0		
01			0	0	
11				0	
10			0		

f) $F = \sum_{A,B,C,D}(4,5,6,11,13,14,15)$

$$F = A' \cdot B \cdot C' + A \cdot B \cdot D + A \cdot C \cdot D + B \cdot C \cdot D'$$

		F			
CD	AB	00	01	11	10
00			1		
01			1	1	
11				1	1
10			1	1	

4.16 设“1”不是质数，重做图 4-31 的质数检测器。

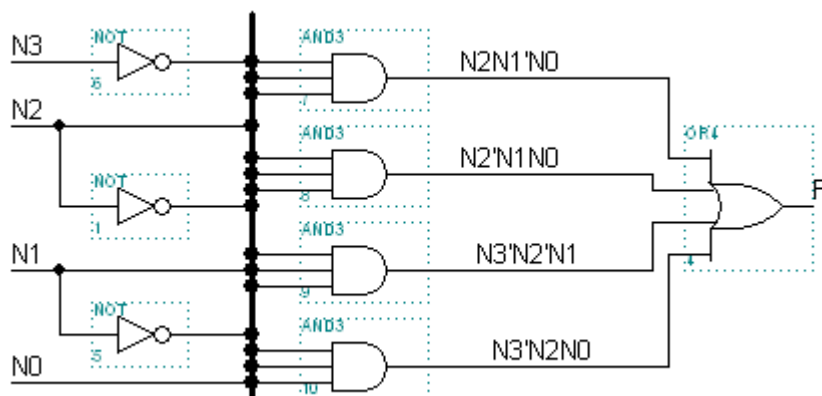
解：卡诺图如下及其化简如下

		F			
N1 N0	N3 N2	00	01	11	10
00					
01			1	1	
11		1	1		1
10		1			

最简积之和表达式为：

$$F = N2 \cdot N1' \cdot N0 + N2' \cdot N1 \cdot N0 + N3' \cdot N2' \cdot N1 + N3' \cdot N2 \cdot N0$$

逻辑图如下



4. 58 利用卡诺图将下列函数化简为最小积之和形式。

解：先将所给函数填入卡诺图，再利用卡诺图进行化简

a) $F = X' \cdot Z + X \cdot Y + X \cdot Y' \cdot Z$

XY \ Z		F			
		00	01	11	10
0				1	
1		1	1	1	1

$$F = Z + X \cdot Y$$

b) $F = A' \cdot C' \cdot D + B' \cdot C \cdot D + A \cdot C' \cdot D + B \cdot C \cdot D$

		F			
CD	AB	00	01	11	10
00					
01		1	1	1	1
11		1	1	1	1
10					

$$F = D$$

c) $F = W' \cdot X \cdot Z' + W \cdot X \cdot Y \cdot Z + W' \cdot Z$

		F			
YZ	WX	00	01	11	10
00			1		
01		1	1		
11		1	1	1	
10			1		

$$F = W' \cdot X + X \cdot Y \cdot Z + W' \cdot Z$$

d) $F = (W + Z') \cdot (W' + Y' + Z') \cdot (X + Y' + Z)$

		F				
		WX	00	01	11	10
YZ	00					
	01	0	0			
	11	0	0	0	0	
	10	0				0

$$F = Y \cdot Z + X \cdot Z' + W \cdot Y'$$

e) $F = A' \cdot B' \cdot C' \cdot D' + A' \cdot C' \cdot D + B \cdot C' \cdot D' + A \cdot B \cdot D + A \cdot B' \cdot C'$

		F			
		AB	00	01	11
CD	00	1	1	1	1
	01	1	1	1	1
	11			1	
	10				

$$F = C' + A \cdot B \cdot D$$

4. 18 利用卡诺图化简下列逻辑函数，得出最小积之和表达式，并在图中指出奇异“1”单元。

a) $F = \sum_{W,X,Y,Z} (0,1,3,5,14) + d(8,15)$

		F			
YZ \ WX	WX	00	01	11	10
	00	1			d
01	1		1		
11	1			d	
10				1	

$$F = W' \cdot X' \cdot Y' + W' \cdot X' \cdot Z + W' \cdot Y' \cdot Z + W \cdot X \cdot Y$$

b) $F = \sum_{W,X,Y,Z} (0,1,2,8,11) + d(3,9,15)$

		F			
YZ \ WX	WX	00	01	11	10
	00	1			1
01	1				d
11	d			d	1
10	1				

$$F = W' \cdot X' + X' \cdot Y' + X' \cdot Z$$

c) $F = \sum_{A,B,C,D} (4,6,7,9,13) + d(12)$

		F			
		00	01	11	10
CD \ AB	00		1	d	
	01			1	1
	11		1		
	10		1		

$$F = A' \cdot B \cdot D' + A' \cdot B \cdot C + A \cdot C' \cdot D$$

d) $F = \sum_{A,B,C,D} (1,5,12,13,14,15) + d(7,9)$

		F			
		AB	00	01	11
CD	00			1	
	01	1	1	1	d
	11		d	1	
	10			1	

$$F = A \cdot B + C' \cdot D$$

e) $F = \sum_{W,X,Y,Z} (4,5,9,13,15) + d(0,1,7,11,12)$

		F			
YZ	WX	00	01	11	10
	00	d	1	d	
01	d	1	1	1	
11		d	1	d	
10					

$$F = X \cdot Y' + W \cdot Z$$

4. 19 对下列逻辑表达式,找出对应 2 级 AND-OR 或 OR-AND 的所有静态冒险。设计无冒险的电路实现同样的逻辑。

解: 先利用表达式写出对应的卡诺图 (保存各项对应的圈), 找出静态冒险发生的变量组合条件, 再针对这些条件进行设计。

a) $F = W \cdot X + W' \cdot Y'$

		F			
Y	WX	00	01	11	10
	0	1	1	1	
1				1	

静态 1 冒险: $X \cdot Y' = 1$

无冒险设计: $F = W \cdot X + W' \cdot Y' + X \cdot Y'$

c) $F = W \cdot Y + W' \cdot Z' + X \cdot Y' \cdot Z$

WX \ YZ		F			
		00	01	11	10
00	1	1			
01		1	1		
11				1	1
10	1	1		1	1

静态 1 冒险: $W' \cdot X \cdot Y' = 1$ $W \cdot X \cdot Z = 1$ $X \cdot Y \cdot Z' = 1$ $X' \cdot Y \cdot Z' = 1$

无冒险设计: $F = W \cdot X + W' \cdot Y' + X \cdot Y' + W' \cdot X \cdot Y' + W \cdot X \cdot Z + Y \cdot Z'$

e) $F = (W' + X + Y') \cdot (X' + Z')$

		F			
		WX	00	01	11
YZ	00				
	01		0	0	
	11		0	0	0
	10				0

静态 0 冒险: $W' + Y' + Z' = 0$

无冒险设计: $F = (W' + X + Y') \cdot (X' + Z') \cdot (W' + Y' + Z')$

g) $F = (W + Y + Z') \cdot (W + X' + Y + Z) \cdot (X' + Y') \cdot (X + Z)$

WX \ YZ		F			
		00	01	11	10
00	0	0	0		0
01	0	0			
11			0	0	
10	0	0	0	0	0

静态 0 冒险: $W + Y + Z = 0$ $W + Y' + Z = 0$ $W' + Y' + Z = 0$

$$W + X' + Z = 0 \quad W + X' + Z' = 0 \quad W + Y = 0$$

无冒险设计: $F = (W + Y) \cdot (W + X') \cdot (Y' + Z) \cdot (X' + Y') \cdot (X + Z)$

4.47 满足关系 $F = F^D$ 的函数称为自对偶函数。判断下列函数是否自对偶函数。

解: 分别写出该函数及其对偶函数的卡诺图进行对比

$$b) \quad F = \sum_{X,Y,Z} (1,2,5,7) = X' \cdot Y' \cdot Z + X' \cdot Y \cdot Z' + X \cdot Y' \cdot Z + X \cdot Y \cdot Z$$

$$F^D = (X' + Y' + Z) \cdot (X' + Y + Z') \cdot (X + Y' + Z) \cdot (X + Y + Z)$$

XY \ Z		F			
		00	01	11	10
0			1		
1	1			1	1

XY \ Z		F ^D			
		00	01	11	10
0	0	0	0	0	
1					0

2 个卡诺图不同, 不是自对偶函数。

$$c) \quad F = X' \cdot Y \cdot Z' + X \cdot Y' \cdot Z' + X \cdot Y$$

$$F^D = (X' + Y + Z') \cdot (X + Y' + Z') \cdot (X + Y)$$

XY \ Z		F			
		00	01	11	10
Z	0		1	1	1
	1			1	

XY \ Z		F ^D			
		00	01	11	10
Z	0	0			
	1	0	0		0

2 个卡诺图相同，是对偶函数。

4.56 对于多输出函数 $F = \sum_{x,y,z}(0,1,2)$, $G = \sum_{x,y,z}(1,4,6)$,
 $H = \sum_{x,y,z}(0,1,2,4,6)$, 写出最小积之和表达式。

解：利用卡诺图进行分析

XY \ Z		F			
		00	01	11	10
Z	0	1	1		
	1	1			

XY \ Z		G			
		00	01	11	10
Z	0			1	1
	1	1			

XY \ Z		H			
		00	01	11	10
Z	0	1	1	1	1
	1	1			

$$F = X' \cdot Y' \cdot Z + X' \cdot Z' \quad G = X' \cdot Y' \cdot Z + X \cdot Z' \quad H = X' \cdot Y' \cdot Z + X' \cdot Z' + X \cdot Z'$$

第 6 章习题参考解答

6-3 画出 74x27 三输入或非门的德摩根等效符号。

解：图形如下



6-10 在图 X6.9 电路中采用 74AHCT00 替换 74LS00，利用表 6-2 的信息，确定从输入端到输出端的最大时间延迟。

解：该图中从输入到输出需要经过 6 个 NAND2；

每个 NAND2（74AHCT00）的最大时间延迟为 9 ns；

所以从输入端到输出端的最大时间延迟为：54 ns。

6-31 BUT 门的可能定义是：“如果 A1 和 B1 为 1，但 A2 或 B2 为 0，则 Y1 为 1；Y2 的定义是对称的。”写出真值表并找出 BUT 门输出的最小“积之和”表达式。画出用反相门电路实现该表达式的逻辑图，假设只有未取反的输入可用。你可以从 74x00、04、10、20、30 组件中选用门电路。

解：真值表如下

A1	B1	A2	B2	Y1	Y2		A1	B1	A2	B2	Y1	Y2
0	0	0	0	0	0		1	0	0	0	0	0
0	0	0	1	0	0		1	0	0	1	0	0
0	0	1	0	0	0		1	0	1	0	0	0
0	0	1	1	0	1		1	0	1	1	0	1

0	1	0	0	0	0		1	1	0	0	1	0
0	1	0	1	0	0		1	1	0	1	1	0
0	1	1	0	0	0		1	1	1	0	1	0
0	1	1	1	0	1		1	1	1	1	0	0

利用卡诺图进行化简，可以得到最小积之和表达式为

$$Y1 = A1 \cdot B1 \cdot A2' + A1 \cdot B1 \cdot B2'$$

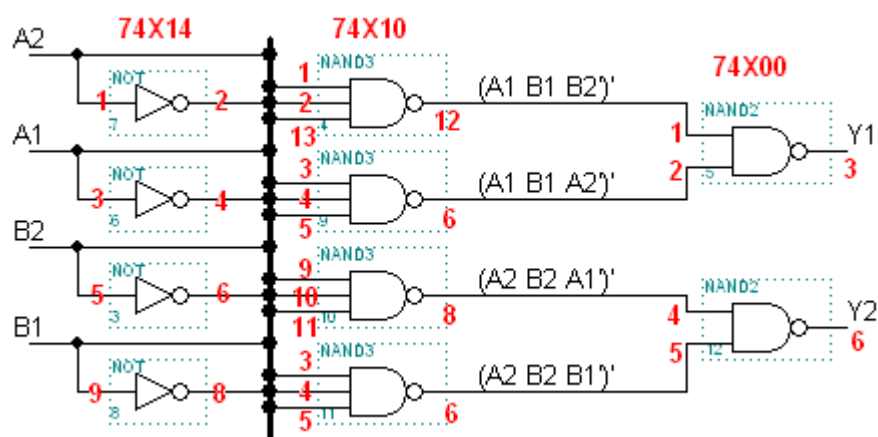
$$Y2 = A1' \cdot A2 \cdot B2 + B1' \cdot A2 \cdot B2$$

采用 74x04 得到各反相器

采用 74x10 得到 3 输入与非

采用 74x00 得到 2 输入与非

实现的逻辑图如下：



6-32 做出练习题 6-31 定义的 BUT 门的 CMOS 门级设计，可以采用各种反相门逻辑的组合（不一定是二级“积之和”），要求使用的晶体管

数目最少，写出输出表达式并画出逻辑图。

解：CMOS 反相门的晶体管用量为基本单元输入端数量的 2 倍；

对 6-31 的函数式进行变换：

$$Y1 = A1 \cdot B1 \cdot A2' + A1 \cdot B1 \cdot B2' = (A1 \cdot B1) \cdot (A2' + B2') = (A1 \cdot B1) \cdot (A2 \cdot B2)'$$

$$Y2 = A2 \cdot B2 \cdot A1' + A2 \cdot B2 \cdot B1' = (A2 \cdot B2) \cdot (A1' + B1') = (A2 \cdot B2) \cdot (A1 \cdot B1)'$$

利用圈-圈逻辑设计，可以得到下列结构：

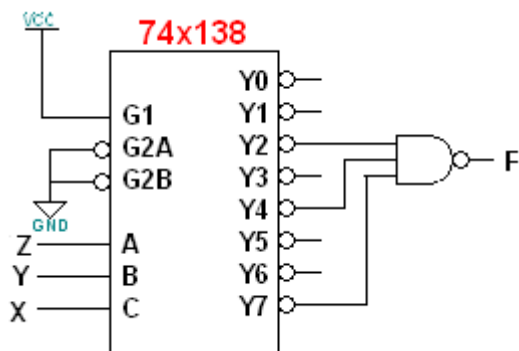
$$Y1 = ((A1 \cdot B1)' + (A2 \cdot B2)')' \quad Y2 = ((A2 \cdot B2)' + (A1 \cdot B1)')'$$



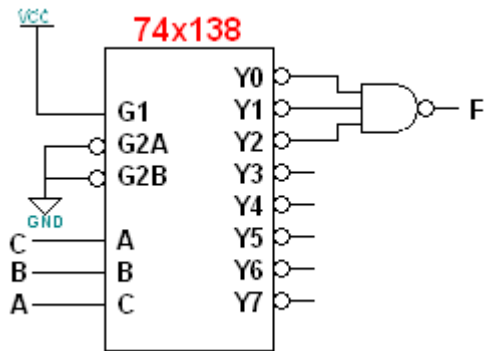
此结构晶体管用量为 20 只（原设计中晶体管用量为 40 只）

6-20 采用一片 74x138 或 74x139 二进制译码器和 NAND 门，实现下列单输出或多数出逻辑函数。

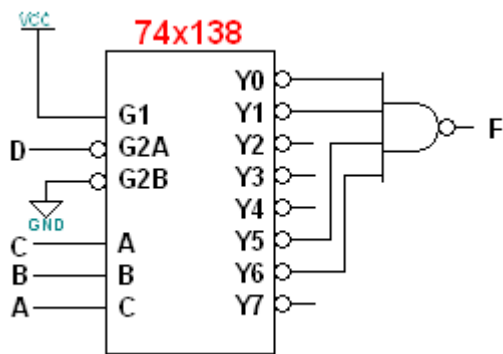
解：a) $F = \sum_{X,Y,Z} (2,4,7)$



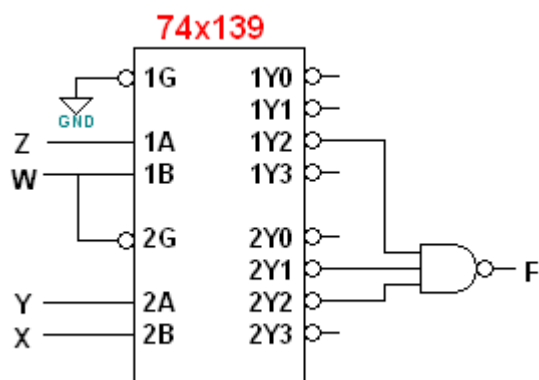
$$b) \quad F = \prod_{A,B,C} (3,4,5,6,7) = \sum_{A,B,C} (0,1,2)$$



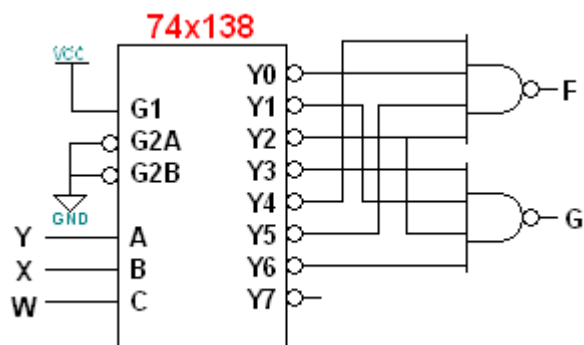
$$c) \quad F = \sum_{A,B,C,d} (0,2,10,12) = D' \cdot \sum_{A,B,C} (0,1,5,6)$$



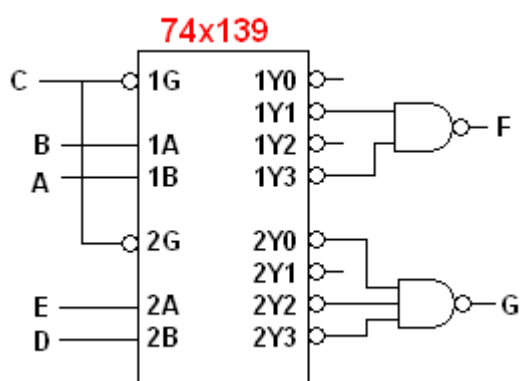
$$d) \quad F = \sum_{W,X,Y,Z} (2,3,4,5,8,10,12,14) = \sum_{W,Z} (2) + W' \cdot \sum_{X,Y} (1,2)$$



$$e) \quad F = \sum_{W,X,Y} (0,2,4,5) \quad G = \sum_{W,X,Y} (1,2,3,6)$$



f) $F = \sum_{A,B,C} (2,6) = C' \cdot \sum_{A,B} (1,3) \quad G = \sum_{C,D,E} (0,2,3) = C' \cdot \sum_{D,E} (0,2,3)$



6-38 假设要求设计一种新的组件：优化的十进制译码器，它只有十进制输入组合。与取消 6 个输出的 4-16 译码器相比，怎样使这样的译码器价格降至最低？写出价格最低译码器的全部 10 个输出的逻辑等式。假设输入和输出高电平有效且没有使能输入。

解：

设输入为：A, B, C, D，将 6 个输入组合作为无关项以化简其余输出的乘积项，输出函数卡诺图如下：

AB \ CD		F			
		00	01	11	10
00	00	Y0	Y4	d	Y8
01	01	Y1	Y5	d	Y9
11	11	Y3	Y7	d	d
10	10	Y2	Y6	d	d

利用无关项进行最小成本设计，可以得到下列输出函数：

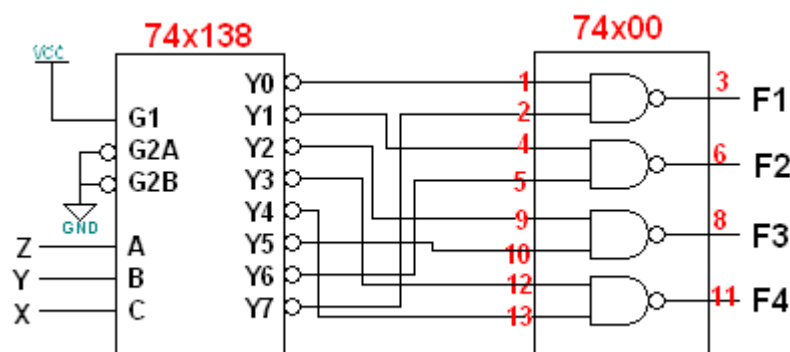
$$\begin{aligned}
 Y0 &= A' \cdot B' \cdot C' \cdot D' & Y1 &= A' \cdot B' \cdot C' \cdot D & Y2 &= B' \cdot C \cdot D' & Y3 &= B' \cdot C \cdot D \\
 Y4 &= B \cdot C' \cdot D' & Y5 &= B \cdot C' \cdot D & Y6 &= B \cdot C \cdot D' & Y7 &= B \cdot C \cdot D \\
 Y8 &= A \cdot D' & Y9 &= A \cdot D
 \end{aligned}$$

与 4-16 译码器的前 10 个输出的实现相比，减少了 10 个与门输入端，减少了 20 只晶体管的用量。

6-43 采用一片 SSI 器件（4 x Nand2）和一片 74x138，实现下列 4 个逻辑函数。

解： $F1 = X' \cdot Y' \cdot Z' + X \cdot Y \cdot Z = \sum_{X,Y,Z} (0,7)$ $F2 = X' \cdot Y' \cdot Z + X \cdot Y \cdot Z' = \sum_{X,Y,Z} (1,6)$

$F3 = X' \cdot Y \cdot Z' + X \cdot Y' \cdot Z = \sum_{X,Y,Z} (2,5)$ $F4 = X \cdot Y' \cdot Z' + X' \cdot Y \cdot Z = \sum_{X,Y,Z} (3,4)$



6-21 图 X6.21 电路有什么可怕的错误？提出消除这个错误的方法。

解：该电路中 74x139 两个 2-4 译码器同时使能，会导致 2 个 3 态门同时导通，导致输出逻辑电平冲突。为解决这一问题，可将使能端分开，进行反相连接，各自使能，即可消除该错误。

6-63 设计适合于 24 引脚 IC 封装的 3 输入，5 位多路复用器，写出真值表并画出逻辑图和逻辑符号。

解：设数据输入 $A(4..0)$, $B(4..0)$, $C(4..0)$, 数据输出 $Y(4..0)$ 选择端 S_1, S_0

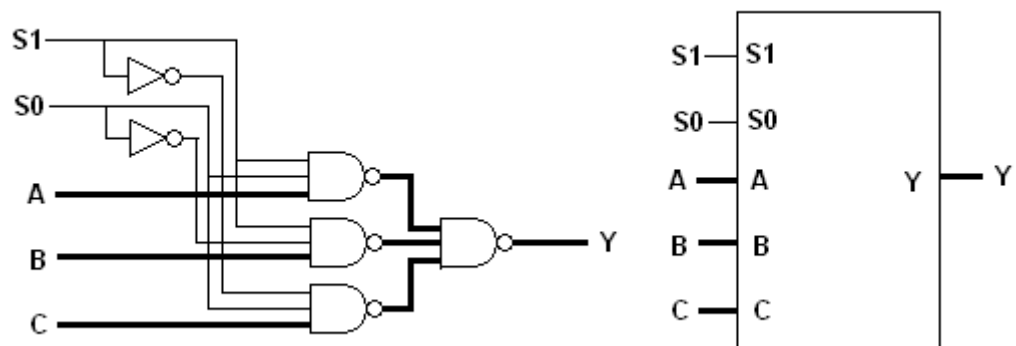
$$\text{则 } Y = S_1 \cdot S_0 \cdot A + S_1 \cdot S_0' \cdot B + S_1' \cdot S_0 \cdot C$$

真值表：

S_1	S_0	Y
0	0	d
0	1	C
1	0	B
1	1	A

其中 Y, A, B, C 均为 5 位总线， S_1, S_2 为单线，加上电源和接地，可以采用 24 引脚 IC 封装。

逻辑图和逻辑符号如下：



6-68 对于图 X6. 68 所示 CMOS 电路实现的逻辑功能，写出真值表并画出逻辑图（电路包含 3. 7. 1 节介绍的传输门）。

解：

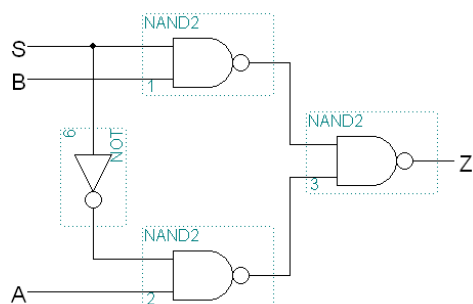
S	A	B	Z		S	A	B	Z
0	0	0	0		1	0	0	0
0	0	1	0		1	0	1	1
0	1	0	1		1	1	0	0
0	1	1	1		1	1	1	1

$$Z=AS'$$

$$Z=SB$$

$Z=AS' + BS$ 为 2 选 1 多路器

逻辑图为：



6-24 采用奇数块 XNOR 门，用图 6-70 (a) 的形式构成某种校验电路，该电路实现什么功能？

解：XNOR 为 XOR 增加一个反相圈构成；对于偶数块的连接，利用圈到圈设计可以看到，功能与 XOR 的连接相同（如下图所示）；

所以，对于奇数块连接时，输出与对应 XOR 连接电路正好相反，即得到偶校验电路。



6-96 采用 3 块 74x682 和必要的门电路设计一个 24 位比较器，将 2 个 24 位的无符号数 P 和 Q 进行比较，产生 2 位输出表达 P=Q 和 P>Q。

解：利用 3 块 74x682（8 位数值比较器）分别进行高中低 3 个 8 位段的比较；

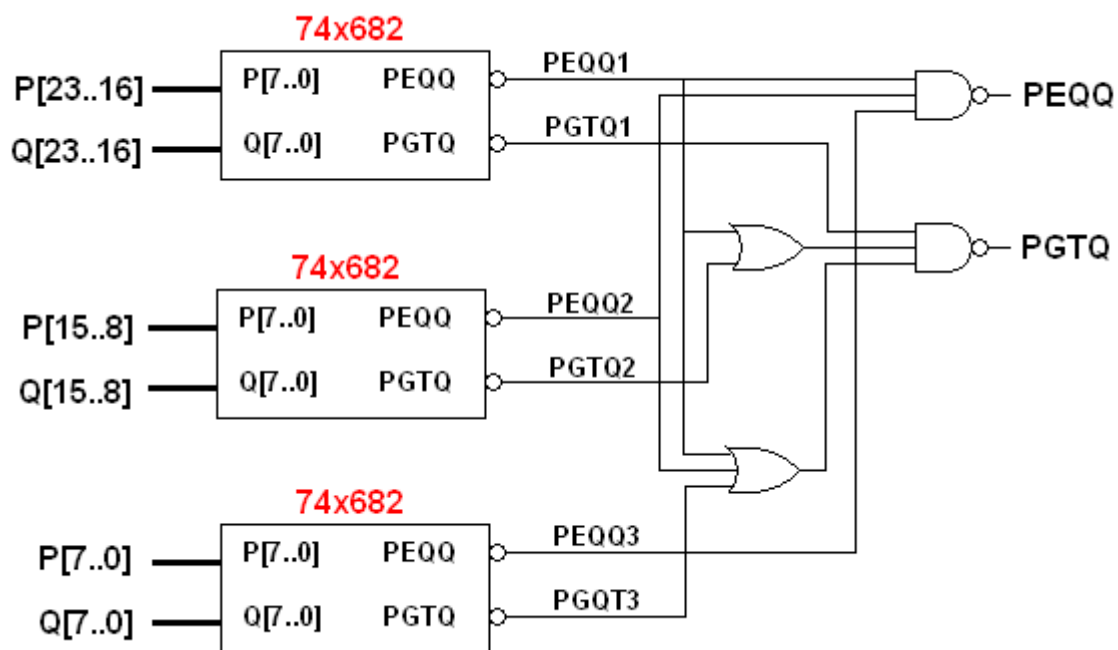
将各段的 PEQQ_L 进行 NAND 运算，可以得到 PEQQ（P=Q）；

$$PEQQ = PEQQ1 + PEQQ2 + PEQQ3 = (PEQQ1' + PEQQ2' + PEQQ3')'$$

利用下式可以得到 PGTQ（P>Q）：

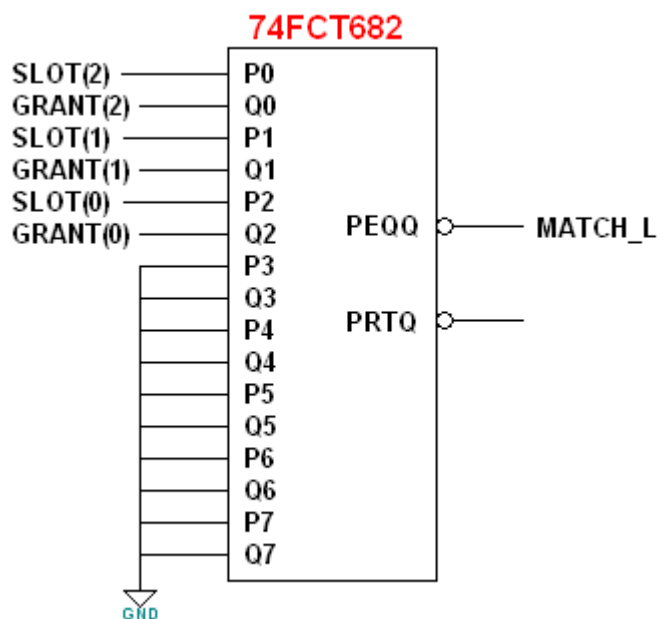
$$\begin{aligned} PGTQ &= PGTQ1 + PEQQ1 \cdot PGTQ2 + PEQQ1 \cdot PEQQ2 \cdot PGTQ3 \\ &= (PGTQ1' \cdot (PEQQ1' + PGTQ2') \cdot (PEQQ1' + PEQQ2' + PGTQ3'))' \end{aligned}$$

电路连接图如下所示：



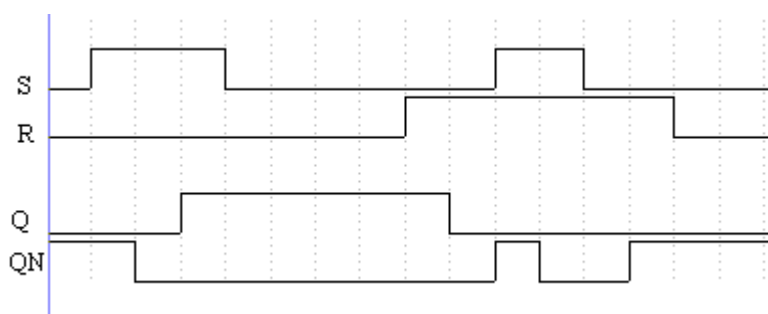
6-97 设计一个3位相等检测器,该器件具有6个输入端:SL0T[2..0]和GRANT[2..0],一个低电平有效的输出端 MATCH_L。利用表 6-2, 6-3 提供的 SSI 和 MSI 器件,设计出最短时间延迟的器件。

解: 采用表 6-3 的 74FCT682, 延迟时间为 11 ns。器件连接图如下:



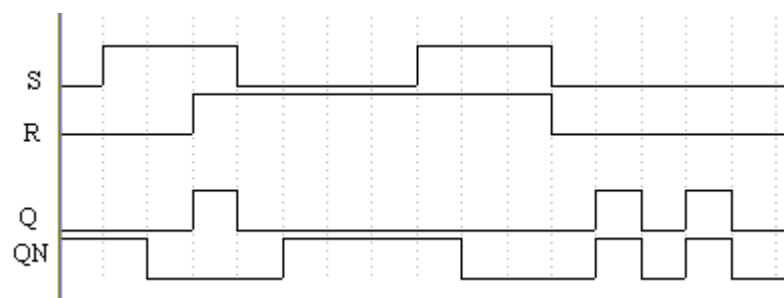
7.4 画出图 7-5 中所示的 S-R 锁存器的输出波形，其输入波形如图 X7-4 所示。假设输入和输出信号的上升和下降时间为 0，或非门的传播延迟是 10ns（图中每个时间分段是 10ns）

解：



7.5 用图 X7-5 中的输入波形重作练习题 7-2。结果可能难以置信，但是这个特性在转移时间比传输时间延迟短的真实器件中确实会发生。

解：



7.41 将图 X7-41 中的电路与图 7-12 中的锁存器进行比较。请证明这两个电路的功能是一致的。图 X7-41 中的电路常用于某些商用 D 锁存器中，在什么条件下该电路性能更好？

解：当 $C=0$ 时，输入端 2 个与非门都关断，功能相同。

当 $C=1$ 时，输入端 2 个与非门等同于反相器，功能也相同。

从传输延迟和电路代价比较：图 X7-41 的优点为节省一个反相器，电路代价较小，电路建立时间少一个反相器延迟，所需建立时间较短。缺点为下端输入的传输延迟较长（与非门比反相器长）。

7.6 图 7-34 表示出了怎样用 D 触发器和组合逻辑来构造带有使能端的 T 触发器。请表示出如何用带有使能端的 T 触发器和组合逻辑来构造 D 触发器。

解：先写出对应的特性表，再建立相应组合逻辑的卡诺图，最后写出激励组合逻辑的最小和表达：

D	Q	Q*	T
0	0	0	0
0	1	0	1
1	0	1	1
1	1	1	0

D \ Q	0	1
0		1
1	1	

$$T = D' \cdot Q + D \cdot Q'$$

7.7 请示出如何使用带有使能端的 T 触发器和组合逻辑来构造 J-K 触发器。

解：先写出对应的特性表，再建立相应组合逻辑的卡诺图，最后写出激励组合逻辑的最小和表达：

J	K	Q	Q*	T
0	0	0	0	0
0	0	1	1	0
0	1	0	0	0
0	1	1	0	1
1	0	0	1	1
1	0	1	1	0
1	1	0	1	1
1	1	1	0	1

JK \ Q	0	1	T
0			1 1
1		1	1

$$T = J \cdot Q' + K \cdot Q$$

7.12 分析图 X7-9 中的时钟同步状态机。写出激励方程，激励/转移表，以及状态/输出表（状态 $Q_1Q_2=00\sim11$ 使用状态名 A~D）。

解：激励方程 $D_1=Q_1' + Q_2$ $D_2=XQ_2'$

输出方程 $Z=Q_1+Q_2'$

激励/转移表：现态和输入为变量，激励为函数，根据 D 触发器特性方程，激励/转移表可表达：

X \ Q ₂ Q ₁	Q ₂ * Q ₁ *			
	00	01	11	10
0	01	00	01	01
1	11	10	01	01

采用题中要求的状态命名，状态/输出表为（本题为 moore 输出）：

	X		Z
	0	1	
A	C	D	1
B	C	C	1
C	A	B	0
D	C	C	1

7.18 分析图 X7-18 中的时钟同步状态机，写出激励方程，激励/转移表，以及状态表(状态 $Q_2Q_1Q_0=000\sim111$ 使用状态名 A~H)。

解：激励方程： $D_2 = Q_1$ $D_1 = Q_0$ $D_0 = Q_2' \cdot Q_1 + Q_2' \cdot Q_0' + Q_2 \cdot Q_1' \cdot Q_0$

激励/转移表为：

		Q2* Q1* Q0*			
		00	01	11	10
Q0	0	001	101	100	000
	1	010	111	110	011

采用题中要求的状态命名，状态表为：

S	S*
A	B
B	C
C	F
D	H
E	A
F	D
G	E
H	G

7.20 分析图 X7-20 中的时钟同步状态机。写出激励方程，激励/转移表，以及状态/输出表(状态 $Q_1Q_2=00\sim11$ 使用状态名 A~D)。

解：激励方程为 $T_1 = Y$ $T_2 = X' \cdot Y \cdot Q_1$

输出方程为 $Z = X' \cdot Q_2'$

激励表为：

X Y		T1 T2			
		00	01	11	10
Q1 Q2	00	00	10	10	00
	01	00	10	10	00
	11	00	11	10	00
	10	00	11	10	00

考虑到 T 触发器的特性方程为： $Q^* = T \cdot Q' + T' \cdot Q$

将激励方程代入，可以得到转移方程为：

$$Q1^* = Y \cdot Q1' + Y' \cdot Q1$$

$$Q2^* = X' \cdot Y \cdot Q1 \cdot Q2' + (X + Y' + Q1') \cdot Q2$$

转移表为：

X Y		Q1* Q2*			
		00	01	11	10
Q1 Q2	00	00	10	10	00
	01	01	11	11	01
	11	11	00	01	11
	10	10	01	00	10

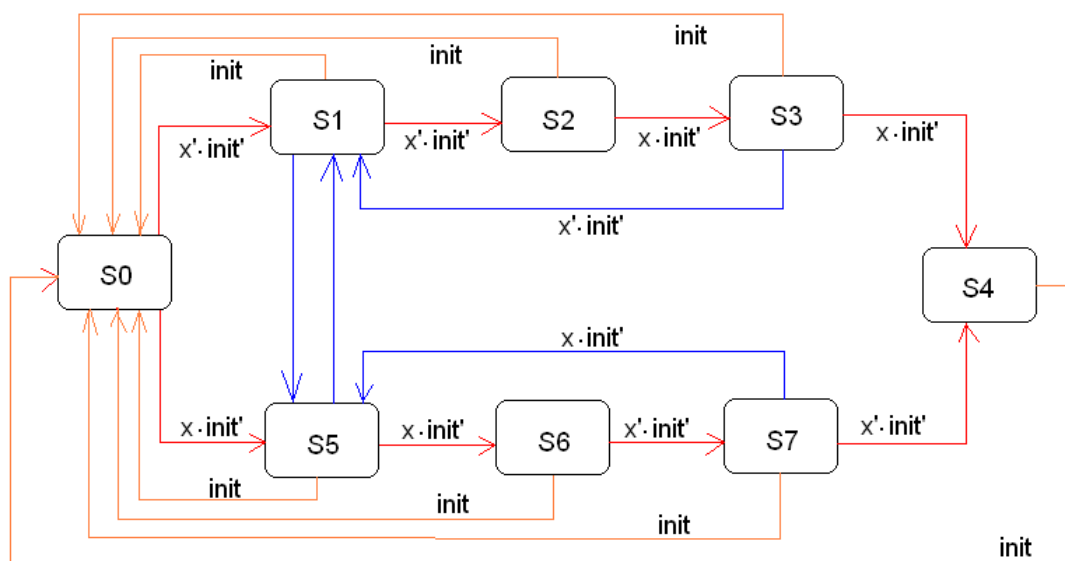
采用题中要求的状态命名，状态/输出表为：

S	X Y			
	00	01	11	10
A	A,1	C,1	C,0	A,0
B	B,0	D,0	D,0	B,0
D	D,0	A,0	B,0	D,0
C	C,1	B,1	A,0	C,0

S*

7.44 画出一个具有 2 个输入 INT 和 X 以及 1 个 Moore 型输出 Z 的时钟同步状态机的状态图。只要 INT 有效, Z 就一直为 0。一旦 INT 信号无效, Z 为 0 且应保持到 X 在连续 4 个时钟触发沿上为 0011 或 1100, 然后 Z 的值才变为 1, 并且保持到 INT 信号再次有效为止。要求画出整齐的状态平面图 (即不要有交叉线) (提示: 要求状态数不超过 10)。

解:



7.46 用 D 触发器设计一个时钟同步状态机，它的状态/输出表如图 X7-46 所示。使用 2 个状态变量 (Q1 和 Q2)，状态赋值为 A=00, B=01, C=11, D=10。

解：根据状态赋值，可以得到转移表如下：

Q1 Q2		Q1* Q2* / Z			
X		00	01	11	10
0		01	11	01 / 1	01
1		10	01	00 / 1	11

转移方程：

$$Q1^* = XQ2' + X' Q1Q2'$$

$$Q2^* = X' + Q1' Q2 + Q1Q2' \quad Z = Q1Q2$$

逻辑电路图：(略)

7.54 重新设计表 7-12 中的组合锁，按照 Gray 码的顺序对编码状态进行赋值 (A~H=000, 001, 011, 010, 110, 111, 101, 100)。将这里得到的“与-或”形式的激励方程的成本，与课本中推得的方程进行比较。

解：按现在的赋值方式修改表 7-12，结果为：

		X	
S		0	1
A	000	001.01	000.00
B	001	001.00	011.01
C	011	001.00	010.01
D	010	110.01	000.00
E	110	001.00	111.01
F	111	001.00	101.01
G	101	110.00	100.01
H	100	001.11	000.00

Q1Q2Q3 Q1*Q2*Q3*.U H

对应的转移输出表为：

		Q1*Q2*Q3*.U H			
		XQ1			
		00	01	11	10
Q2Q3					
00		001.01	001.11	000.00	000.00
01		001.00	110.00	100.01	011.01
11		001.00	001.00	101.01	010.01
10		110.01	001.00	111.01	000.00

写出最小的激励方程和输出方程，并将激励方程与教材对比（比较输入端数量和晶体管用量，采用 NAND-NAND 结构）：

$$D1=Q1Q2' Q3+XQ1Q2+X' Q1' Q2Q3' \quad \text{成本相同}$$

$$D2=XQ1' Q3+X' Q1Q2' Q3+X' Q1' Q2Q3' +XQ1Q2Q3'$$

从 8 个输入端增加到 19 个输入端，增加 22 只晶体管；

$$D3=Q1Q2+X' Q2' Q3' +X' Q1' Q3+Q1' Q2' Q3$$

从 19 个输入端减少到 15 个输入端，减少 8 只晶体管；

可以看到，本设计激励方程的成本较大：需要多使用 14 只晶体管。

7.55 寻找一种 3 位的状态赋值方式，对表 7-12 的组合锁进行重新设计，要求激励方程的成本低于教材例子。（提示：注意在输入序列中，输入 1-3 与输入 4-6 相同。）

解：将状态 1-3 的赋值与状态 4-6 的赋值采用最高位区分，低 2 位采用相同的 GRAY 码赋值方式，状态 7-8 的赋值采用尽量减少变量变化的原则进行，得到的赋值方式为：（A-H：000，001，011，100，101，111，110，010）

按现在的赋值方式修改表 7-12，结果为：

S		X	
		0	1
A	000	001.01	000.00
B	001	001.00	011.01
C	011	001.00	100.01
D	100	101.01	000.00
E	101	001.00	111.01
F	111	001.00	110.01
G	110	101.00	010.01
H	010	001.11	000.00

Q1Q2Q3

Q1*Q2*Q3*.U H

对应的转移输出表为：

		Q1*Q2*Q3*.U H			
XQ1	Q2Q3	00	01	11	10
	00	001.01	101.01	000.00	000.00
	01	001.00	001.00	111.01	011.01
	11	001.00	001.00	110.01	100.01
	10	001.11	101.00	010.01	000.00

写出最小的激励方程，并将激励方程与教材对比（比较输入端数量和晶体管用量，采用 NAND-NAND 结构）：

$D1 = XQ2Q3 + XQ1Q2 + X'Q1Q3'$ 减少 1 个与门输入端（减少 2 只晶体管）；

$D2 = XQ1Q2 + XQ2'Q3$ 成本相同；

$D3 = Q1' + Q2'Q3$ 减少 12 个与门输入和 3 个或门输入端（减少 30 只晶体管）；

可以看到，本设计激励方程的成本较小：可以减少 32 只晶体管。

7-49 使用 U1, U2 和 U3 表达原始状态表中未使用的 3 个状态（001, 010, 011），针对 566 页中给出的最小成本的激励方程，做出完整的 8 个状态的状态表和状态图。

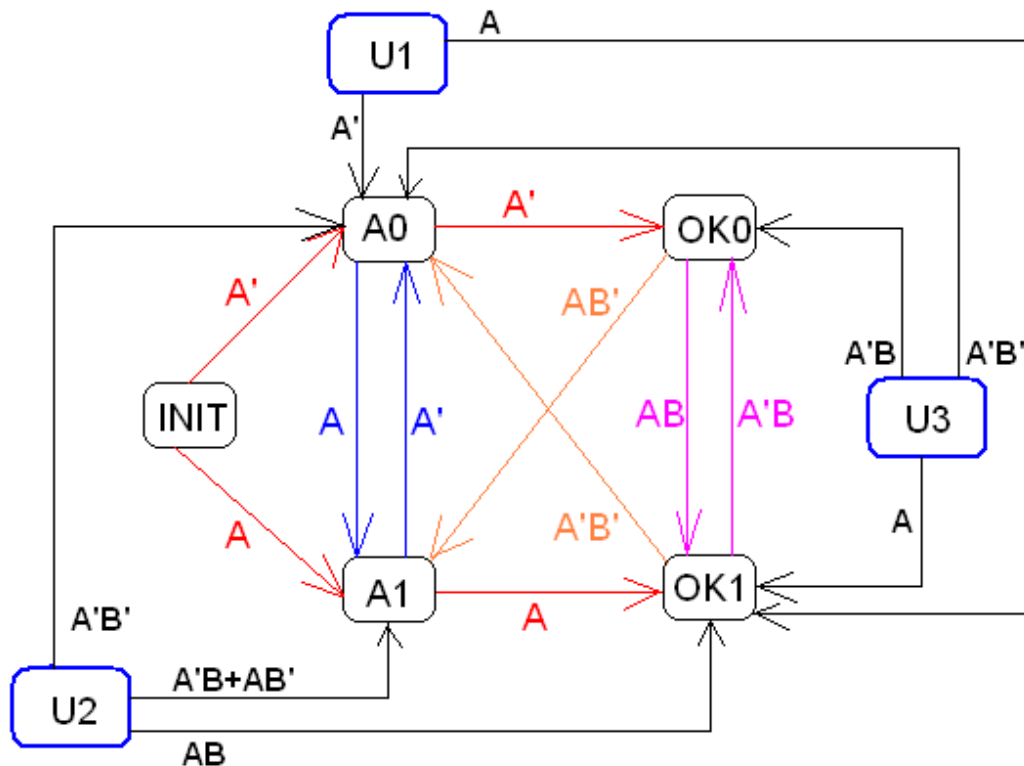
解：利用最小成本的方程写出转移/输出表如下：

		Q1*Q2*Q3*/Z			
Q3	Q1Q2	00	01	11	10
0		1 0 A	1 B A/Z	1 (A'+B) A/Z	1 A' A
1		1 A A	1 (A+B) A/Z	1 (A+B) A/Z	1 A A

利用本题的状态赋值关系，可以得到完整的状态表如下：

		AB					
S	Q1Q2Q3	S	00	01	11	10	Z
INIT	000	INIT	A0	A0	A1	A1	0
A0	100	A0	OK0	OK0	A1	A1	0
A1	101	A1	A0	A0	OK1	OK1	0
OK0	110	OK0	OK0	OK0	OK1	A1	1
OK1	111	OK1	A0	OK0	OK1	OK1	1
U1	001	U1	A0	A0	OK1	OK1	0
U2	010	U2	A0	A1	OK1	A1	1
U3	011	U3	A0	OK0	OK1	OK1	1
		S*					

完整的状态图如下：



7.52 重新设计表 7-12 中的 ‘1’ 计数机，状态按照二进制计数顺序赋值 ($S_0 \sim S_3 = 00, 01, 10, 11$)。将这里得到的“与-或”形式的激励方程的成本，与课本中推得的方程进行比较。

解：转移表：

XY Q1Q2		Q1*Q2*			
		00	01	11	10
00	00	00	01	10	01
	01	01	10	11	10
01	11	11	00	01	00
	10	10	11	00	11
11					

$$D1=Q1X' Y' +Q1Q2' X' +Q1Q2' Y' +Q1' XY+Q1' Q2X+Q1' Q2Y$$

$$D2=Q2X' Y' +Q2' X' Y+Q2XY+Q2' XY'$$

与采用 Gray 码形式赋值得到的激励方程比较，这里的 D1 需要增加 2 个 3 输入与门，或门需从 4 输入改为 6 输入，成本增加，D2 可保持不变。

7-24 修改图 7-58，一旦 LEFT 和 RIGHT 同时有效，状态立刻回到 IDLE 态。写出对应的转移列表。

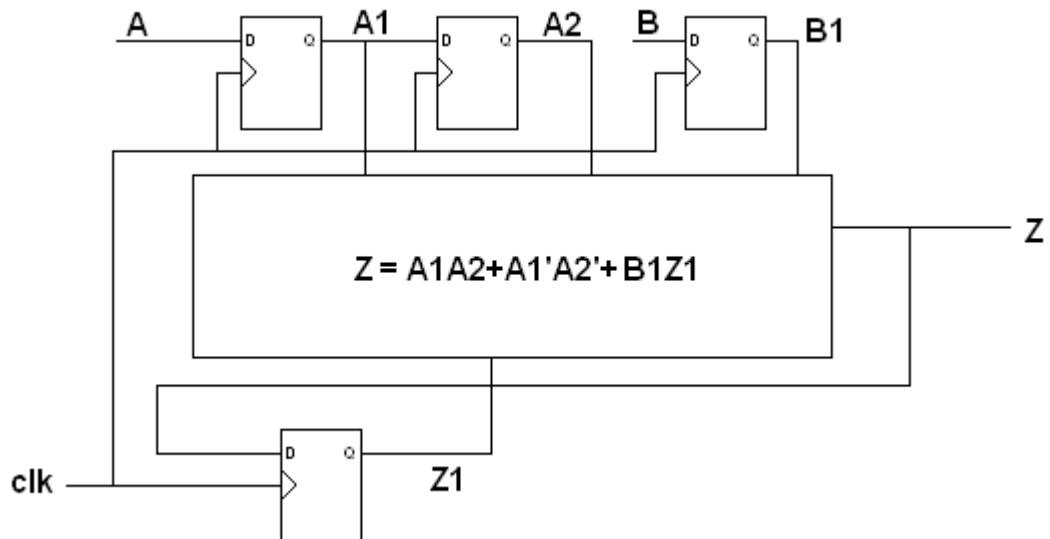
解：在状态图 7-58 中，对无条件转移回 IDLE 的状态不做改动（L3，R3，LR3），取消 IDEL 状态因为条件 $LEFT \cdot RIGHT$ 转移到 LR3 的情况，对其余状态，均增加一条转移到 IDLE 的转移线，转移条件为 $LEFT \cdot RIGHT$ 。

由此得到转移列表如下（在表 7-14 的基础上修改）：

S	Q2Q1Q0	transition condition	Q2*Q1*Q0*
IDLE	000	LEFT'.RIGHT'.HAZ'+LEFT.RIGHT	0 0 0
	000	LEFT.HAZ'.RIGHT'	0 0 1
	000	HAZ	1 0 0
	000	RIGHT.HAZ'LEFT'	1 0 1
L1	001	HAZ'	0 1 1
	001	HAZ	1 0 0
	001	LEFT.RIGHT	0 0 0
L2	011	HAZ'	0 1 0
	011	HAZ	1 0 0
	011	LEFT.RIGHT	0 0 0
L3	010	1	0 0 0
R1	101	HAZ'	1 1 1
	101	HAZ	1 0 0
	101	LEFT.RIGHT	0 0 0
R2	111	HAZ'	1 1 0
	111	HAZ	1 0 0
	111	LEFT.RIGHT	0 0 0
R3	110	1	0 0 0
LR3	100	1	0 0 0

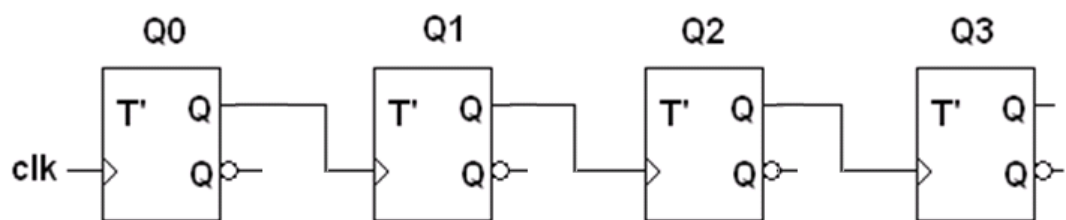
7-59 有限存储机的输出由现在的输入和前 n 个时钟触发时的输入和输出完全决定。采用有限存储机方式对 7.4.1 节的状态机进行设计。

解：考虑到该状态机输出 $Z=1$ 的条件，考虑到设计 moore 机的要求，利用 $A1$ 和 $A2$ 表达前 2 次时钟对应的输入 A ， $Z1$ 表达前一次时钟的输出，则可以设计如下：



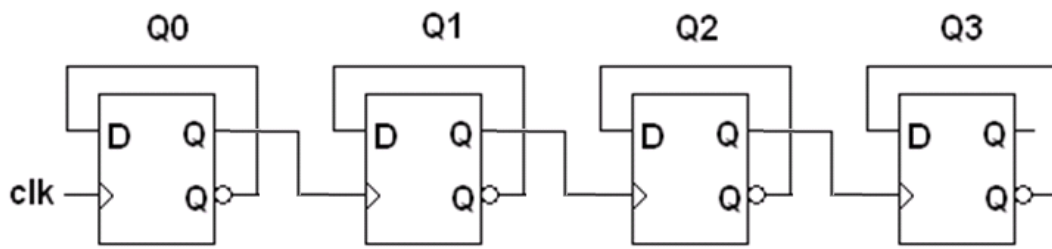
8.26 只用四个 T' 触发器，不用其他部件，设计一个 4 位行波降序计数器。

解：结构如下



8.27 只用四个 D 触发器，不用其他部件，设计一个 4 位行波降序计数器。

解：结构如下



8.13 图 X-813 所示的电路的计数顺序是什么？

解：电路连接分析：

进位输出 RC0 与 LD 连接，当进位输出信号有效时进行置数。计数顺序 UP/DN 与 Q3 连接，Q3 为低时降序计数，Q3 为高时升序计数，置数端 A，B，C，D 分别与 QA，QB，QC，QD' 连接。

降序计数时，RC0 在 0000 状态有效；升序计数时 RC0 在 1111 状态有效。

设初始状态为 0000，此时为降序计数，RC0 有效，置数端数据为 1000；
下一状态：1000，变为升序计数，RC0 无效。

0000→1000→1001→……. 1111→RC0 有效，置数端数据为 0111，

下一状态：0111，降序计数，RC0 无效。

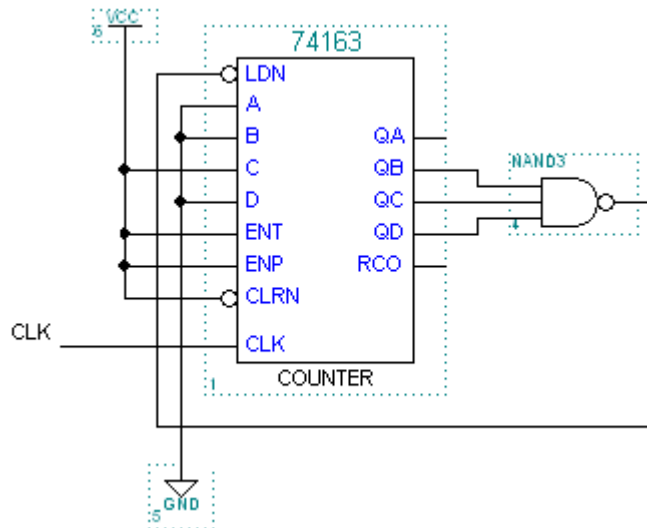
1111→0111→0110→……. 0000 完成一次循环。

总的计数顺序为：0，8，9，10，11，12，13，14，15，7，6，5，4，
3，2，1，0

8.35 采用四位二进制计数器 74X163 设计一个模 11 计数器电路，要求计数序列为 4，5，。。。12，13，14，4。。。。

解：用 NAND 检测 1110（14），设置状态 0100（4）

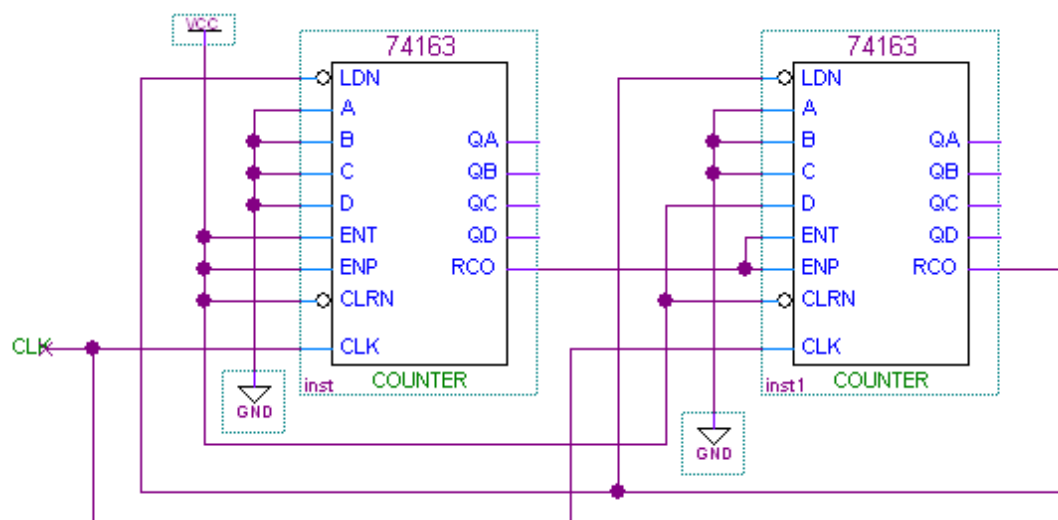
电路连接结构如下：



8.38 用两个 73X163，不用其他门电路，设计一个模 129 的计数器。

解：将 2 个 74163 级联为模 256 的计数器，选取状态 1000 0000—1000 1001— ……1111 1111—0000 0000 构成模 129 计数，通过检测 0xxxxxxx 状态控制转换：从 0000 0000 转换到 10000000。

电路连接图如下：



8.16 设起始状态为 00001, 写出按照图 8-51 和表 8-26 设计出来的 5 位 LFSR 计数器的前 10 个状态序列。

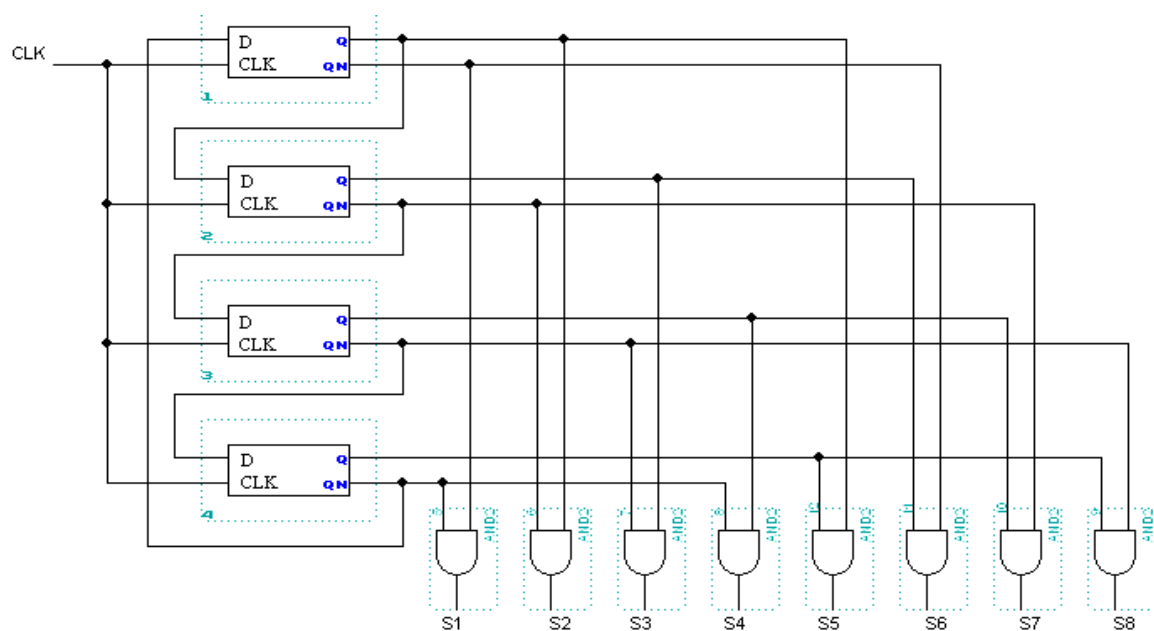
解: 根据表 8-21, 反馈方程为 $X_5 = X_2 \oplus X_0$

根据 $x_0x_1x_2x_3x_4$ 的数值可以决定 x_5 , 由此可以得出状态顺序如下:

00001	0
00010	0
00100	1
01001	0
10010	1
00101	1
01011	0
10110	0
01100	0
11000	1

8.58 只用 4 个触发器和 8 个门电路, 设计一个 4 位 Johnson 计数器, 并对 8 个计数状态进行译码。计数器无须自校正功能。

解:



8.61 证明要设计一个最大长度的 LFSR，必须将移位寄存器的偶数个输出连接到一个奇校验电路上以得到反馈信号。

证：采用反证方式，设移位寄存器的长度为奇数，将全部输出连接到奇校验电路上，则在状态全 1 时，反馈输出为 1，导致该状态不能使用；状态全 0 时，反馈输出为 0，该状态也不能使用；因此无法实现最大长度 $2^n - 1$ 。

8.64 给定一个产生最大长度序列的 LFSR，若添加一个 XOR 和一个 $(n-1)$ 输入的 NOR，连接如图 8-52 所示，证明该电路为一个具有 2^n 个状态的计数器。

证：没有添加该器件时，反馈为对偶数个输出端的奇校验；当输出状态为 $100\cdots 00$ 时，下一状态必定为 $000\cdots 01$ ；

添加该器件后，仅当状态为 $x00\cdots 00$ 时，NOR 输出 1，XOR 使原输

出反相；在其他状态时，添加的器件不改变原来的反馈输出；

当输出状态为 100...00 时，此时下一状态为 000...00；

当输出状态为 000...00 时，此时下一状态为 000...01；

所以，添加器件导致在原来的 100...00 状态和 000...01 状态之间插入了全 0 的状态，而不改变其他的状态顺序；

所以此时的电路包含了 2^n 个状态。

8.19 在图 8-76 中采用 74F74s，若其建立时间为 5ns，保持时间为 0；电路时钟频率为 25MHz，异步转换速率为 1MHz，计算该同步器的 MTBF。

解：根据表 8-43，采用 chaney 的参数，可以得到下列结果：

$$f = 2.5 \times 10^7 \quad a = 10^6 \quad t_{clk} = 40ns \quad t_r = 40 - 5 = 35ns$$

$$\tau = 0.4 \quad T_0 = 2 \times 10^{-4}$$

$$MTBF(35ns) = \frac{\exp(35/0.4)}{2 \times 10^{-4} \times 2.5 \times 10^7 \times 10^6} = 2 \times 10^{28} s$$

8-20 计算图 X8.20 所示同步器的 MTBF，设系统时钟频率为 30MHz，异步信号转换速率为 2MHz，74ALS74 的传输延迟和建立时间均为 10ns。

解：该图采用 2 分频器为同步器提供时钟；

$$f = 3 \times 10^7 \quad a = 2 \times 10^6 \quad t_{clk} = 33.3ns$$

$$t_r = 2 \times t_{clk} - t_{pd} - t_{setup} = 46.7ns$$

根据表 8-43，采用 TI 的参数，可以得到下列结果：

$$\tau = 1ns \quad T_0 = 8.7 \times 10^{-6}$$

$$MTBF(35ns) = \frac{\exp(46.7/1)}{8.7 \times 10^{-6} \times 3 \times 10^7 \times 2 \times 10^6} = 3.67 \times 10^{11} s$$

10.1 请确定在下列每个图中实现组合逻辑功能所需的 ROM 大小：

图 4-39 (b)，图 5-39，图 5-77，图 6-1，图 6-6。

解：图 4-39 (b)：3 输入，2 输出：8×2ROM

图 5-39：8 输入，32 输出：256×32ROM

图 5-77：8 输入，9 输出：256×9ROM

图 6-1：20 输入，16 输出：1M×16ROM

图 6-6：8 输入，8 输出：256×8ROM

10.5 使用 HM628512 SRAM 和一个组合 MSI 部件作为构件，如何设计一个 2M×8 的 SRAM？

解：2M×8 的 SRAM 具有 21 个数据输入端，8 个数据输出端。HM628512 具有 18 个数据输入端，8 个数据输出端，为 256K×8

SRAM。要构成 2M×8 的 SRAM，需要 8 个 HM628512，采用 3-8 译码器，将输入的最高 3 位送入译码器，由译码器输出连接到各存储器 Cs 端进行控制(低电平有效)，输入低 18 位同时送入各片的输入端，各片的输出端直接对应连接，WE 和 OE 也直接对应连接。