

学院 姓名 学号 任课教室 考场教室 座位号

封 密 线 以 内 答 题 无 效

电子科技大学 2018 -2019 学年第 1 学期期末考试 A 卷

考试科目：微处理器系统结构与嵌入式系统设计 考试形式：一本书开卷 考试日期：2019 年 1 月 16 日

本试卷由 三 部分构成，共 7 页。考试时长：120 分钟

题号	一	二	三(1)	三(2)	三(3)	三(4)	三(5)	三(6)	三(7)	合计
得分										

第一、二题答案请填入本页指定位置处。

得分

一、选择题答案（共 25 分，共 25 题，每题 1 分，注意有多选题）

1	2	3	4	5	6	7	8	9	10	11	12	13
D	B	C	C	A	B	C	C	A	B	B	D	A
14	15	16	17	18	19	20	21	22	23	24	25	
C	D	A	B	B	D	A	B	A	C	B	A	

得分

二、填空题答案（共 20 分，共 20 空，每空 1 分）

1. ① 数据冲突 ② 结构冲突 ③ 控制冲突 （可不按顺序）
2. ① 算术运算单元 ② 寄存器 ③ 内部总线 ④ 数据的输入输出及运算等 （前 3 空可不按顺序）
3. ①异步并行总线时序，②全互锁方式可靠性高，适应性强，③控制复杂，交互的联络过程会影响系统工作速度 （可不按顺序）
4. ①数据
5. ①直接存储器存取访问(DMA)
6. ①映像、②查找、③替换、④更新（可不按顺序）
7. ①电容存储电荷
8. ①insmod
9. ①当前状态寄存器/CPSR
10. ①执行 BX 指令，其操作数寄存器的最低位分别为 0, 1 进行 ARM 态和 Thumb 态的转换

一、选择题（共 25 分，共 25 题，每题 1 分）（答案请填写在第一页指定位置处）

- 关于 RISC 与 CISC 的叙述，下述错误的是（D）。
  - 前者是精简指令集计算机，后者是复杂指令集计算机
  - 前者的指令编码长度通常一致，后者的指令编码长度通常不一致
  - 前者设计的出发点是按“单条指令完成某一步骤或环节”，后者设计的出发点是按“单条指令完成完整的操作功能”
  - 前者的指令数目一般比后者多
- 关于冯·诺依曼计算机中指令流的流向，下述正确的是（B）。
  - 控制器到运算器
  - 存储器到控制器
  - 运算器到输出设备
  - 输入设备到输出设备
- 微处理器系统执行指令的步骤包括①生成程序指针，②读存储器中的指令，③送出存储器单元的地址，④存储器的地址译码，⑤输出指令执行所需的控制信号，⑥指令译码等。指令执行的顺序应该是（C）。
  - ①②③④⑤⑥
  - ①④⑤②③⑥
  - ①③④②⑥⑤
  - ①③②④⑤⑥
- 计算机存储器系统中，按照所处位置不同有①片内 cache，②片外 cache，③寄存器，④主存储器，⑤辅助存储器，这些部件按访问速度从高到低的顺序应该是（C）。
  - ①②③④⑤
  - ③②①④⑤
  - ③①②④⑤
  - ③①②⑤④
- 在完成相同运算任务的前提下，如果 RISC 执行速度优于 CISC，其主要原因很可能是（ A ）。
  - RISC 更易于使用流水线技术
  - 程序在 RISC 上编译的目标程序较短
  - RISC 指令集中的指令数较少
  - RISC 功能简单
- 指令系统中采用不同寻址方式的目的主要是（ B ）。
  - 提供扩展操作码的可能并降低指令译码难度
  - 缩短指令长度，扩大寻址空间，提高编程灵活性
  - 实现存储程序和程序控制
  - 可以直接访问外存
- 对于一个理想的标准 3 级流水线，忽略寄存器延迟时间，第一、二、三个段的延时为下面哪个选项时，指令的吞吐量最大（ C ）。
  - 50ps,100ps,150ps
  - 50ps,100ps,160ps
  - 60ps,100ps,120ps
  - 30ps,100ps,150ps
- 以下所列提高微处理器系统性能的技术，说法不正确的是（ C ）。
  - 提高主机时钟频率后加快了指令执行速度
  - 增加 Cache 可以改善 CPU 与存储系统交换数据的速度
  - 采用流水线结构后每条指令的执行时间明显缩短
  - 引入虚拟存储技术后扩大了用户可用内存空间
- 以下常用总线标准中，不属于片内总线的是（ A ）。
  - PCIe
  - AMBA
  - Avalon
  - Core Connect
- CPU 对存储器完成一次读操作所需的时间称为一个（ B ）。

A、指令周期    B、总线周期    C、时钟周期    D、中断周期

11. 下面关于超标量结构的说法正确的是（ B ）。

A.数据传输速度很快，每个总线周期最高能传送 4 个 64 位数据

B.内部可含有多条指令流水线和多个执行部件，CPI 有可能小于 1

C.芯片内部集成的晶体管数超过 100 万个，功耗很大

D.不仅能进行 32 位运算，也能进行 64 位运算

12. 串行接口电路中波特率因子为 64，则接收端在确定起始位后应每隔（ D ）个时钟周期接收一个数据位。

A、8

B、16

C、32

D、64

13. 在总线时序中，对于快速存储器的总线访问，使用统一的时钟进行传输控制，且不需要插入等待周期，该类总线属于（ A ）。

A、同步总线

B、异步总线

C、半同步总线

D、周期分列式总线

14. 在多级存储体系结构中，Cache-主存结构主要解决的矛盾是（ C ）。

A. 速度与容量

B. 容量与成本

C. 速度与成本

D. 以上都是

15. 下列说法中正确的是（ D ）。

A. 虚拟存储技术提高了计算机的速度

B. Cache 与主存统一编址，Cache 的地址空间是主存地址空间的一部分

C. 和冯·诺依曼结构相比，哈佛结构最本质的特点是程序无需存储在存储器中

D. 主存主要是由易失性的随机读写存储器构成的

16. 某微处理器系统有 16 根地址线、8 根数据线，现采用 SRAM6264(8k\*8bit) 存储芯片组成存储系统，要得到最大存储容量，需要的存储芯片个数是（ A ）。

A. 8

B. 16

C. 32

D. 64

17. 某微处理器系统中，存储器地址（16 进制）为 0000~1FFF，并行接口芯片地址（16 进制）为 0100~0103，该系统中 I/O 编址方式为（B）。

A.统一编址

B.独立编址

C.全译码编址

D.部分译码编址

18. 微处理器通常会根据（ B ）判断当前中断产生的原因。

A.中断断点

B.中断类型号

C.中断向量

D.键盘输入

19. 实现异步串行接口的发送功能需要使用（D）。

A.同步控制器

B.3-8 译码器

C.串并转换电路

D.并串转换电路

20. 程序查询方式处理器效率低的主要原因是（ A ）。

A、处理器需要先判断外设状态，然后才能决定是否进行数据传输

B、需要传输的数据量大

C、数据传输中需要保存工作状态

D、数据传输后需要恢复工作状态

21. 某 CPU 的 32bit 前端总线频率为 800 MHz，总线周期数为 1/8，则其带宽为（ B ）。

A. 400 MB/s

B. 25.6 GB/s

C. 204.8 GB/s

D. 1.6 GB/s

22. 在 C 程序中内嵌汇编语句时，通常需要在内嵌的汇编程序段前标识的关键字是（A）。

A. \_asm

B. EXPORT

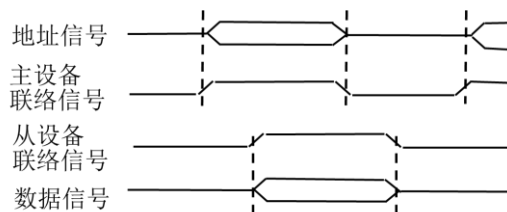
C. IMPORT

D. extern

23. 对于 ARM CPU 的 MOV 指令来说, 其操作数不能使用的寻址方式是 ( C )。
- A. 立即寻址                  B. 寄存器移位寻址      C. 基址变址寻址      D. 寄存器直接寻址
24. 所有的 ARM 指令都可以条件执行, 若要表达有符号数大于或等于条件, 应在操作码后使用 ( B ) 条件助记符。
- A. CC                          B. GE                          C. LS                          D. HS
25. 下列 ARM 指令中, 没有错误的是 ( A )。
- A. LDMFD SP!, {R1~R4}                          B. MOV R0, 0x01FF
- C. SBCNV R15, R6, LSR R4                          D. MUL R1, R1, R2

## 二、填空题 (共 20 分, 共 20 空, 每空 1 分) (答案请填入第一页指定位置处)

- 理想流水线能够在每个时钟周期完成一条指令, 但实际流水线中可能存在由①数据冲突、②结构冲突、③控制冲突而导致停顿。
- 微处理器内部的数据通道通常由①算术运算单元、②寄存器和③内部总线等部分组成, 主要完成④数据的输入输出及运算等任务。
- 某微处理器系统的并行总线时序如下图所示, 其总线时序控制方式为①异步并行总线时序, 该控制方式的优点是②全互锁方式可靠性高, 适应性强, 缺点是③控制复杂, 交互的联络过程会影响系统工作速度。



- 微处理器在与外设进行信息传输时, 若采用程序查询方式, 则通常外设的状态信息是通过系统的①数据总线传输的。
- 通过硬件控制实现主存与I/O设备间的直接数据传送, 且传送过程无须CPU干预的传送方式是①直接存储器存取访问(DMA)。
- 多层存储系统中, 每一层都需要定义①映像、②查找、③替换、④更新等操作。
- DRAM存储芯片需要刷新操作, 因为它通过①电容存储电荷来保持信息的。
- 在Linux操作系统中, 驱动程序可以利用①insmod命令以模块的形式进行动态加载。
- ARM中判断加法是否产生进位需要查看①当前状态/CPSR寄存器。
- ARMCPU支持ARM和Thumb两种工作状态, 程序切换这两种状态的方法是①执行BX 指令, 其操作数寄存器的最低位分别为0, 1进行ARM态和Thumb态的转换。

### 三、综合题（共 7 题，共 55 分）

得分

1. （8分）简述CPU中程序计数器PC的作用，并说明在系统启动、指令顺序执行和

答：

1) PC用于存放下一条将要读取的指令地址。（2分）

2) 系统启动时，PC初始化值为第一条指令的存放地址。（2分）

在顺序执行指令的情况下，每取出指令的一个字节，PC的内容自动加1，取完一条指令所有字节后，PC指向下一条指令首地址。（2分）

若要改变程序的正常执行顺序，则必须把新的目标指令地址装入PC中，称程序发生了转移。（2分）

得分

2. （6分）ARM处理器中的通用寄存器分为不分组寄存器和分组寄存器。为什么要这样分？使用不分组寄存器需要注意哪些问题？

答：

1) 由于寄存器资源有限，无法做到不同工作模式下有各自的通用寄存器，因此ARM处理器中将R0~R7设为不分组寄存器。（2分）

2) 但是为了尽量提高处理器的执行速度，ARM处理器内部也设置了分组寄存器，如FIQ模式下的R8~R14、以及不同模式下各自独有的堆栈寄存器R13和链接寄存器R14。（2分）

3) 使用不分组寄存器要注意的是，由于寄存器各模式共用，所以进入不同模式时，要保存不分组寄存器中的内容，返回时要恢复原有寄存器中的内容。（2分）

得分

3. （8分）在对多字节数据进行存储时，有哪两种存储模式？ARM处理器默认的存储模式为哪种？在ARM处理器系统中，从起始地址为8000（16进制）的存储单元开始以默认方式存储数据“0x1234567”，试完成下面的存储示意图并标注单元地址。

答：有大端模式和小端模式（2分），ARM处理器默认存储模式为小端模式（2分）

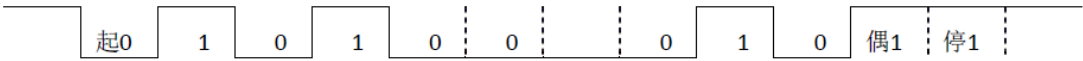
67	8000H
45	8001H
23	8002H
01	8003H

（4分，每个存储单元1分）

得 分

4. (10 分) 异步通信方式工作中, 设置波特率因子为 32, 数据位为 8 位, 停止位为 1 位, 奇偶校验位为 1 位。每秒传输 200 个字符, 则它的传输速率和收/发时钟频率分别多少? 请画出使用偶校验时, 发送一个字符“E”(ASCII 码为 0x45) 的波形示意图。

答: 传输速率= (8+1+1+1) \*200=2200bps; (3分)  
 收/发时钟频率=2200\*32=70.4kHz; (3分)  
 画图 (4分, 其中起始位、校验位、停止位每个0.5, 其他位2.5分)



得 分

5. (8分) 设某处理器设计过程中, 欲实现将两个内存操作数相加, 结果送到寄存器中, 表示为Mem(Reg 1)+Mem(Reg 2)→Reg 3, 试分析用微码方式和随机逻辑方式两种方案实现的优缺点。

答:

- 1) 微码机器 (CISC) 中只需要一条指令表示, 而在流水线机器 (RISC) 里则需要3条指令; (2分)
- 2) 假设没有存储器延迟, 则流水线机器中这3条指令可以在3个时钟周期内完成, 而微码机器则需要超过3个时钟周期; (2分)
- 3) 在流水线机器中需要取存5次存储器 (3次取指令, 2次取数据), 而微码机器只需要3次 (1次取指令, 2次取数据); (2分)
- 4) 可见从执行效率来看, 随机逻辑方式效率较高; 但若存储器速度为系统瓶颈, 则应采用微码CPU。 (2分)

得 分

6. (6 分) Xilinx 公司的 ZYNQ 7000 系列 FPGA 为 SoC 芯片。试解释其 SoC 的含义。该芯片中提供了哪几种在系统中实现 GPIO 的方式? 这几种方式的区别是什么?

答: SoC的含义是片上系统。Xilinx公司的SoC系列芯片内包含PS和PL两个部分, 其中PS部分为一个ARM双核处理器, PL部分为普通可编程硬件逻辑。该系列芯片可用于在一个芯片内部搭建基于AMAB总线的微处理器系统, 这就是SoC的含义。 (2分)

Zynq系列芯片支持2种实现GPIO的方式:

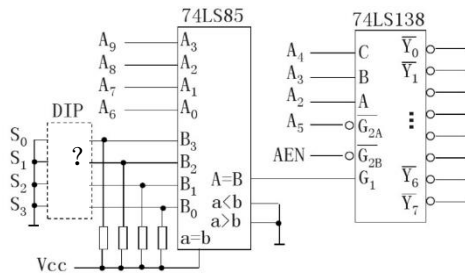
- 1) MIO和EMIO方式是使用PS部分的GPIO模块来实现GPIO功能的, 不过EMIO也使用了PL部分的管脚资源, 需要在约束文件中分配管脚。在编写驱动程序时需要包含xgpiops.h头文件, 即添加#include "xgpiops.h"语句。 (2分)
- 2) AXI\_GPIO方式是在PL部分实现 GPIO功能, 也需要在约束文件中分配管脚。在编写C语言驱动程序时需要包含xgpio.h头文件, 即添加#include "xgpio.h"语句。 (2分)

得分

7. (9 分) 可变式 I/O 地址译码电路如下左图所示, 其中 74LS85 为比较器, 74LS138 是 3-8 译码器 (真值表见右图), 图中的 A3-A9 为系统地址信号, S0-S3 为 4 个 DIP 拨码开关。

现要求 74LS138 输出的  $\bar{Y}_3$  引脚对应的地址为 0x24C~0x24F, 则应如何设置图中的 DIP 开关?

试给出对  $\bar{Y}_3$  引脚对应地址的分析过程。



使能端			输入端			输出端							
G1	G2A	G2B	C	B	A	$\bar{Y}_0$	$\bar{Y}_1$	$\bar{Y}_2$	$\bar{Y}_3$	$\bar{Y}_4$	$\bar{Y}_5$	$\bar{Y}_6$	$\bar{Y}_7$
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	0	1	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

答: S0,S3 断开, S1,S2 闭合。(4 分, 每个信号 1 分)

地址分析表如下 (5 分, 每个信号 0.5 分)

A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	0	0	1	0	0	1	1	x	x