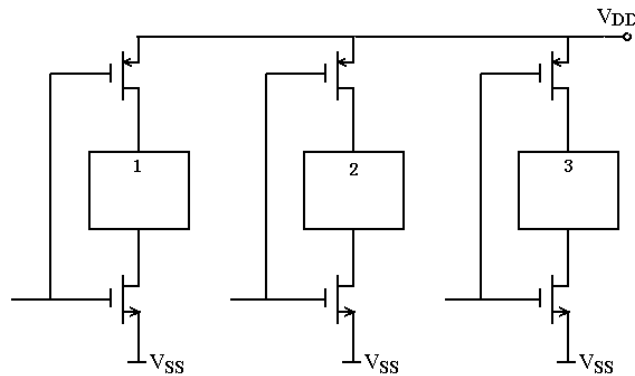
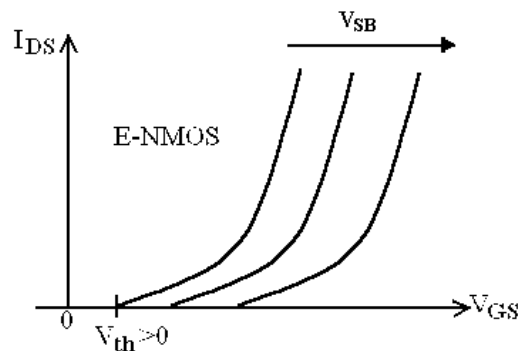


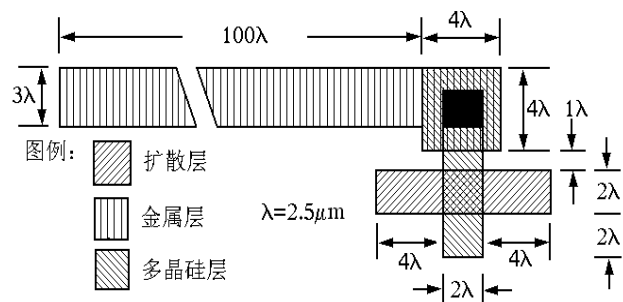
1. 以饱和负载 NMOS、E/D PMOS、CMOS、伪 NMOS、P-E 逻辑实现逻辑关系  $F = \overline{AB+C}$  。画出电路原理图, 分析各电路输出高低逻辑电平值, 分析各电路中存在衬底偏置效应的影响。
2. 为保证逻辑单元级联的正确, 请在下图 1、2、3 方框内填上适当的逻辑块类型, 标出各级所用的时钟符号, 并完成各级之间的连接。最后简述依据。



3. 下图反映的是 MOS 器件的什么效应? 解释其物理含义。



4. 简述按比例缩小理论对集成电路发展的作用及其所受到的限制; 试比较 CE, CV, QCV 理论的优点及其局限性。
5. 名词解释: 自对准工艺, LOCOS,  $\lambda$ 设计规则, 窄沟效应, 短沟效应, 栅电容存储效应, 闩锁效应, 动态 CMOS 逻辑中的电荷共享
6. 集成电路中常用方块电阻( $R_{\square}$ , 即一正方形导电薄层其侧面方向的电阻)表示电阻、布线层等结构的电流导通能力。试证明  $R_{\square}$  与方块边长无关。
7. 已知: VLSI 电路的长互连系统中, 一金属长连线的电阻率为  $\rho$ , 长度为  $L$ , 宽度  $W$ , 厚度  $d$ ; 互连层间介质的介电常数为  $\epsilon_{ox}$ , 其厚度  $t_{ox}$ 。则
  - ①、请画出此长连线寄生阻容的等效网络。
  - ②、求由此引起的延迟时间。
  - ③、若考虑边缘电场效应所形成的电容  $C_{ff}$ , 求此时的互连延迟时间。
8. 已知如图所示多层连接的导电层结构, 若采用  $5\mu m$  工艺, 并参考表中列出的各导电层典型电容值, 分别计算金属层、多晶硅层和扩散层相对于衬底的电容。



电 容	pF/ $\mu\text{m}^2$
扩散层-衬底	$1 \times 10^{-4}$
多晶硅层-衬底	$0.4 \times 10^{-4}$
金属层-衬底	$0.3 \times 10^{-4}$