

HW3

記憶體積體電路 Memory Circuit Design

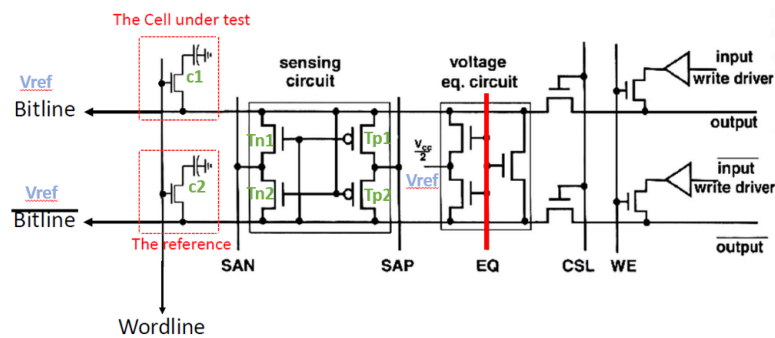
電機 4A 109501201 陳緯亭

November 30, 2023

1. Read Operation

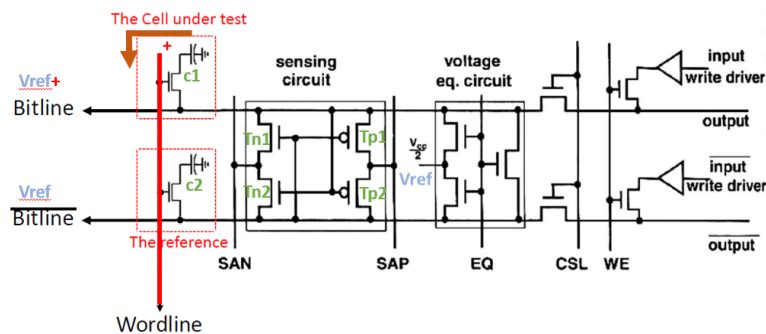
Step 1: Precharge

打開 EQ。Bitline 和 $\overline{\text{Bitline}}$ 穩定在參考點 $V_{ref} = \frac{V_{CC}}{2}$



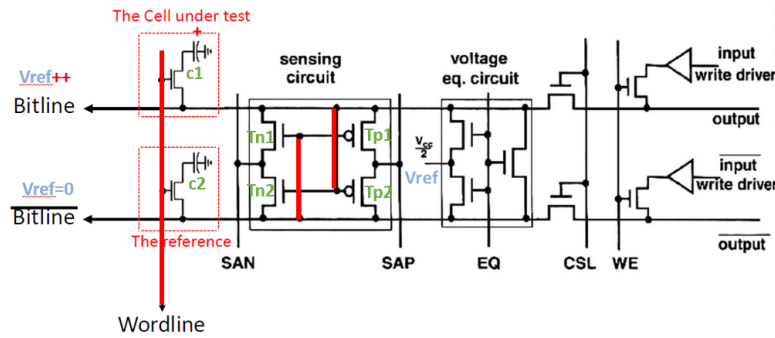
Step 2: Access

關閉 EQ。開啟 Wordline。Capacitor (c1) 儲存正電荷會流向 Bitline，Capacitor (c2) 儲存的正電荷會流向 $\overline{\text{Bitline}}$ 。Capacitor 有儲存正電荷的，會把 Bitline (或 $\overline{\text{Bitline}}$) 的電壓拉升到 $V_{ref}+$ 。



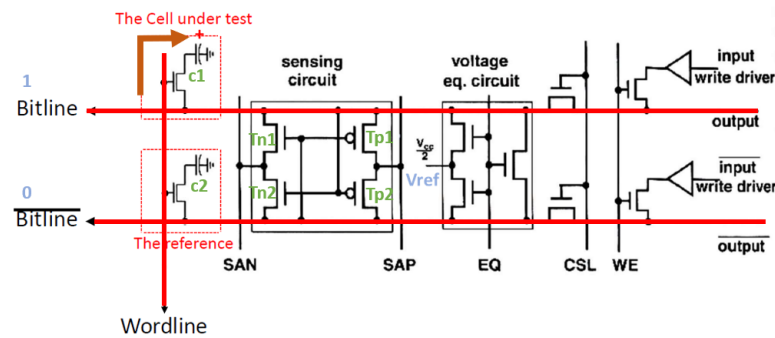
Step 3: Sense

如果 Bitline ($\overline{\text{Bitline}}$) 被拉升到 $V_{ref}+$ 。Tn2 (Tn1) 比 Tn1 (Tn2) 更具導通性，而 Tp1 (Tp2) 比 Tp2 (Tp1) 更具導通性。這時，SAN (Sense-Amplifier N-Fet Control) 為邏輯 0，SAP (Sense-Amplifier P-Fet Control) 則為邏輯 1 的電壓亦即 V_{cc} 。藉此， $\overline{\text{Bitline}}$ 上的電壓更快被 SAN 拉到 0 (1)，同理，Bitline 上的電壓也被 SAP 拉到邏輯 1 (0)。最後的穩定狀態極為儲存 Capacitor 的信息。反之亦然。



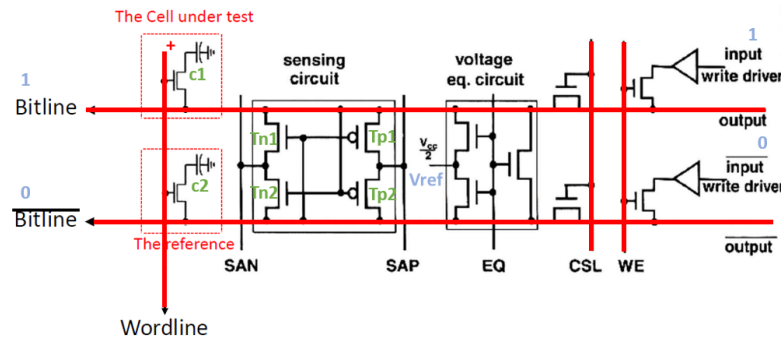
Step 4: Restore

Bitline 會處於的邏輯 1 (0)，這時候 Bitline 會對 Capacitor 充電。經過特定時間後，Storage Capacitor 就可以恢復到 Read 前的狀態。CSL 打開，外界可以從 output 和 $\overline{\text{output}}$ 上 Read。



2. Write Operation

打開 WE (Write Enable)。打開 CSL。打開 Wordline (WL)。此時，Bitline 會被 input 拉到 1(0)， $\overline{\text{Bitline}}$ 則被拉到邏輯 0(1)。經過特定的時間後，即可寫入資訊到 c1 為邏輯 1(0) 和 c2 為邏輯 0(1)。



3. 參考資料

1. 【DRAM 存储器二】Sense Amplifier
2. DRAM 原理 1：DRAM Storage Cell

4. Timing

先 Write 1、Read 1，再來 Write 0、Read 0。

圖上的 1, 2, 3, 4 操作分別為 1. Precharge。2. Access。3. Sense。4. Restore。

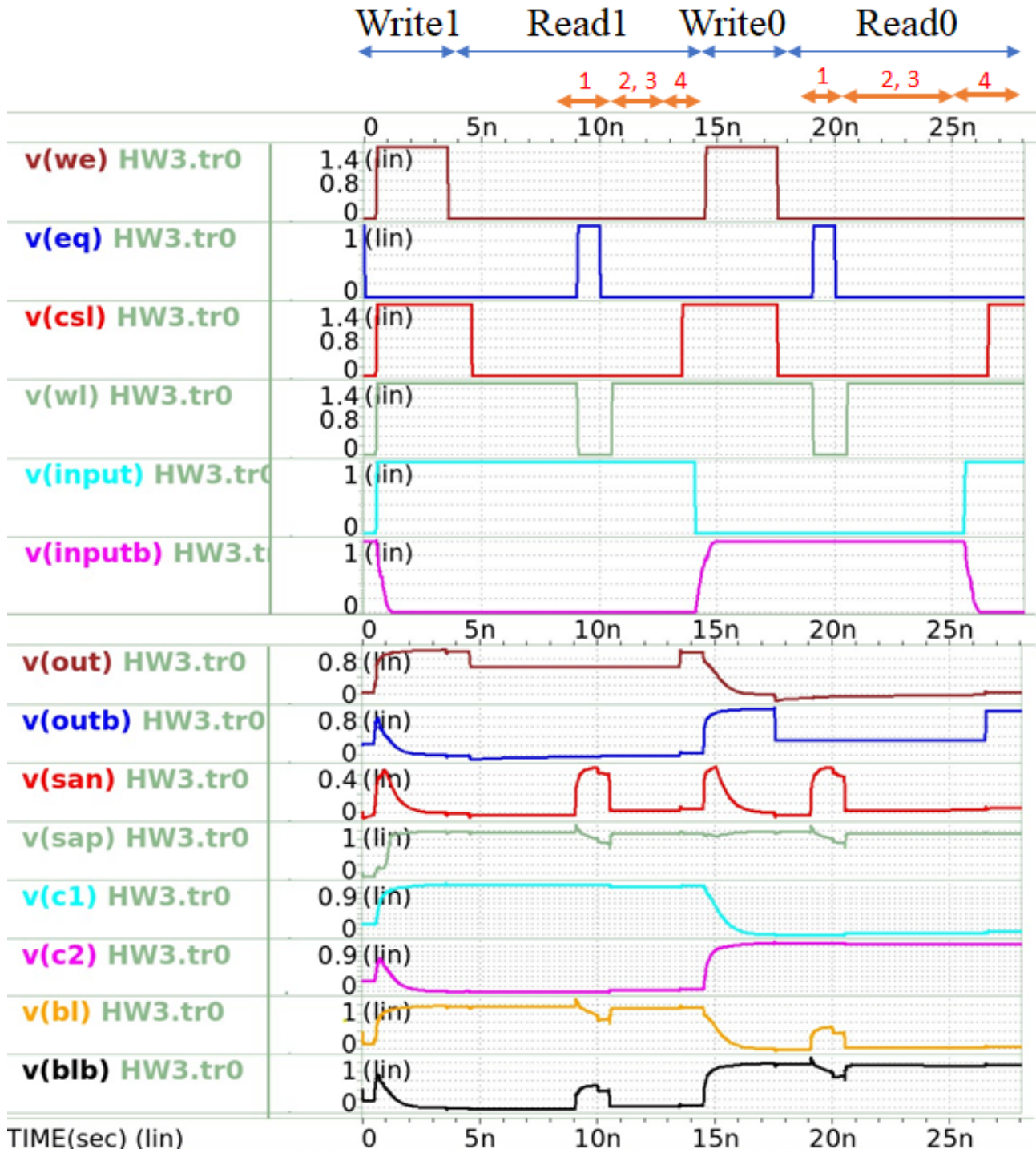


Fig. 1: Result 1 with overloading - WE, CSL, WL

根據 Fig. 2，如果 CSL 和 WL 沒給 Overloading，Bitline (BL) 和 Bitline (BLB) 電壓上不去，無法把 c1 和 c2 充電到 V_{CC} 。

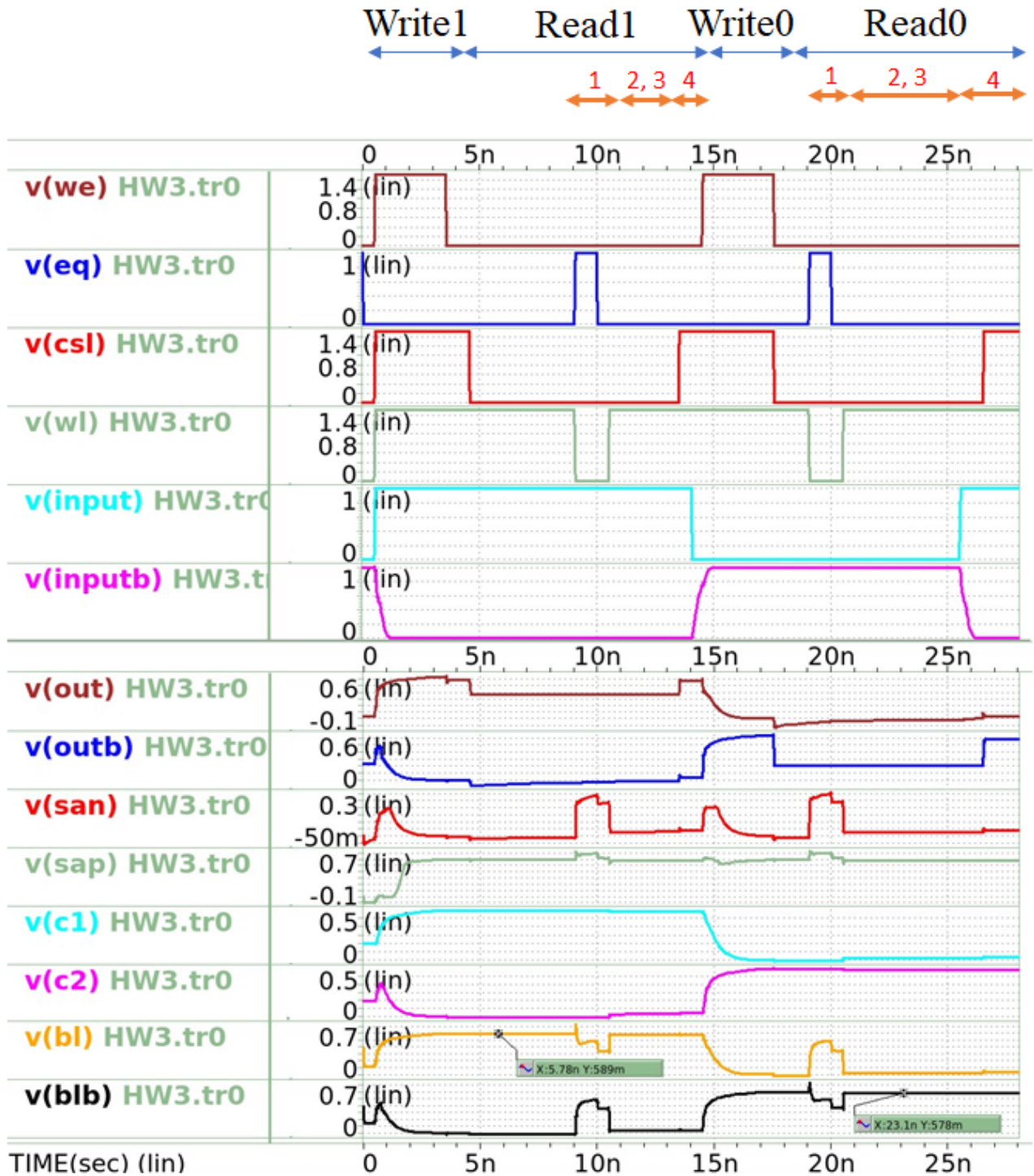


Fig. 2: Result 2 with overloading - WL