HW5

記憶體積體電路 Memory Circuit Design

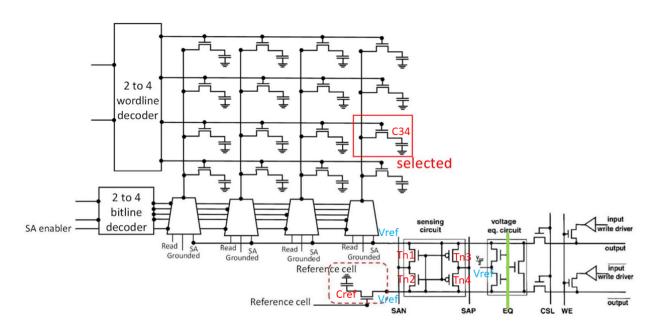
電機 4A 109501201 陳緯亭

December 24, 2023

1. Read Operation

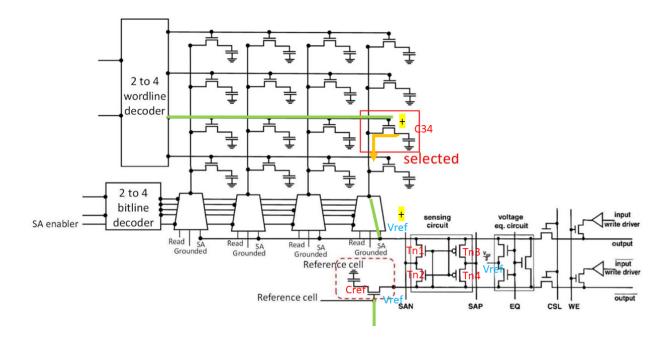
Step 1: Prechare

打開 EQ。Bitline 和 $\overline{\mbox{Bitline}}$ 穩定在參考點 $V_{ref}=\frac{V_{CC}}{2}$



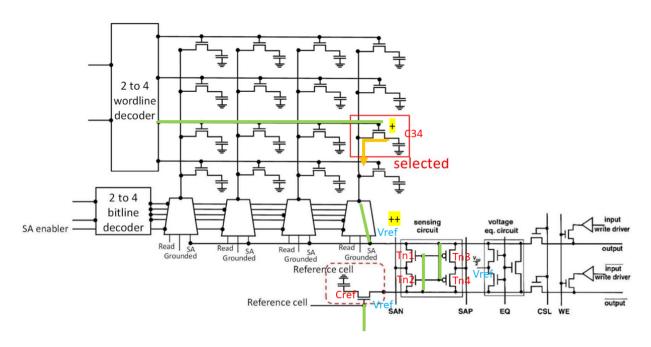
Step 2: Access

關閉 EQ。開啟 Wordline。Capacitor (C34) 儲存正電荷會流向 Bitline,Capacitor (Cref) 儲存的正電荷會流向 $\overline{\text{Bitline}}$ 。Capacitor 有儲存正電荷的,會把 Bitline (或 $\overline{\text{Bitline}}$) 的電壓拉升到 $V_{ref}+$ 。



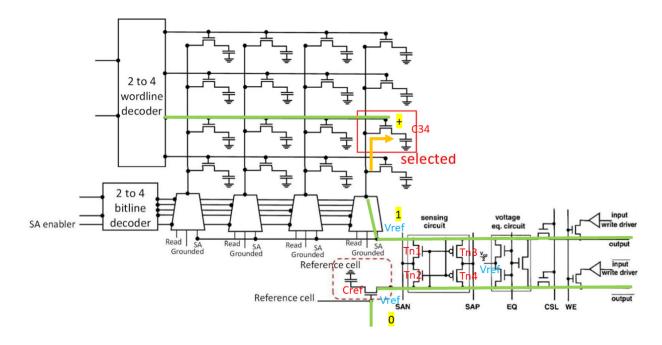
Step 3: Sense

如果 Bitline ($\overline{\text{Bitline}}$) 被拉升到 $V_{ref}+\circ$ Tn2 (Tn1) 比 Tn1 (Tn2) 更具導通性,而 Tp1 (Tp2) 比 Tp2 (Tp1) 更具導通性。這時,SAN (Sense-Amplifier N-Fet Control) 為邏輯 0,SAP (Sense-Amplifier P-Fet Control) 則為邏輯 1 的電壓亦即 Vcc。藉此, $\overline{\text{Bitline}}$ 上的電壓更快被 SAN 拉到 0 (1),同理,Bitline 上的電壓也被 SAP 拉到邏輯 1 (0)。最後的穩定狀態極為儲存 Capacitor 的信息。反之亦然。



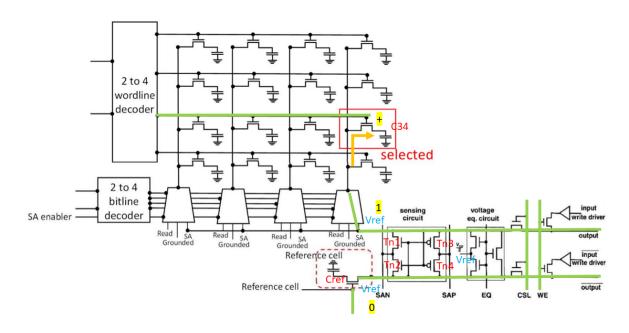
Step 4: Restore

Bitline 會處於的邏輯 1 (0),這時候 Bitline 會對 Capacitor 充電。經過特定時間後, Storage Capacitor 就可以恢復到 Read 前的狀態。CSL 打開,外界可以從 output 和 output 上 Read。



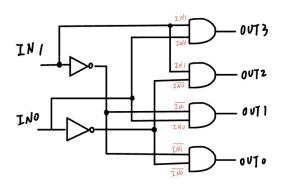
2. Write Operation

打開 WE (Write Enable)。打開 CSL 。打開 Wordline (WL)。此時,Bitline 會被 input 拉到 1(0),Bitline 則被拉到邏輯 0(1)。經過特定的時間後,即可寫入資訊到 C34 為邏輯 1(0) 和 Cref 為邏輯 0(1)。



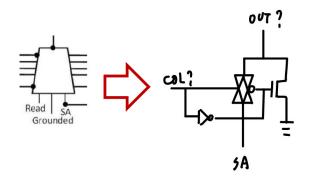
3. 2 to 4 Decoder Circuit

用兩個 2 to 4 decoder 去選擇 selected cell。wordline decoder 選擇的是 row,bitline decoder 選擇的是 colume。下圖畫的是沒有 SA enabler,有 enabler 的,只是在這 4 個 AND Gates 上 各加上一個 enable input。



4. The SA Circuit

用 Transmission gate 做開關 bitline decoder 選擇的 column 決定哪一個 Transmission gate 開啟接出去到 Bitline 上。在此 4x4 mini 1T1C DRAM array 會有 4 個 SA Circuit,因為有 4 個 column。



5. 參考資料

- 1. 【DRAM 存储器二】Sense Amplifier
- 2. DRAM 原理 1:DRAM Storage Cell

6. Timing

先 Write 1、Read 1, 再來 Write 0、Read 0。

圖上的 1, 2, 3, 4 操作分別為 1. Precharge。2. Access。3. Sense。4. Restore。

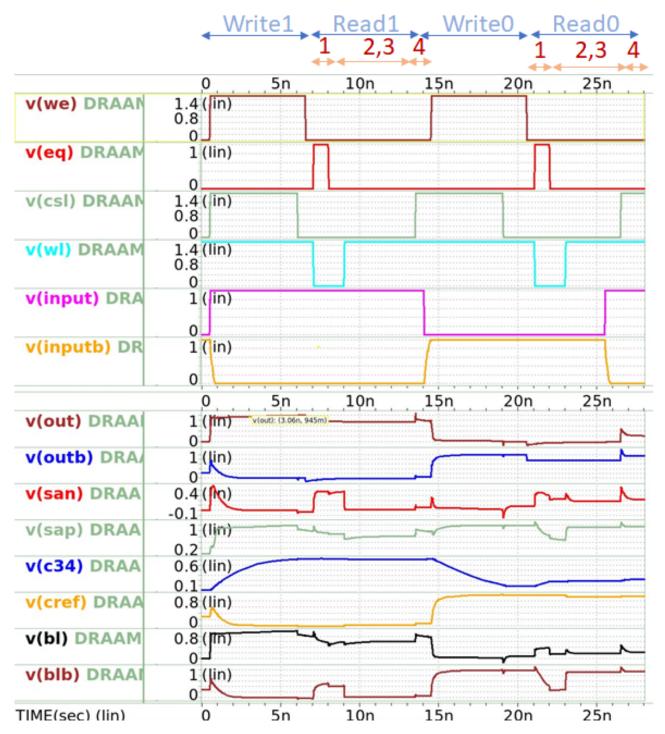


Fig. 1: The Waveforms for Main Signal

有設定每個 cell 的初始值,一開始的偏壓會依照初始值,unselected cell 會隨時間會有些微掉電壓或上升電壓,但不至於影響判斷結果。

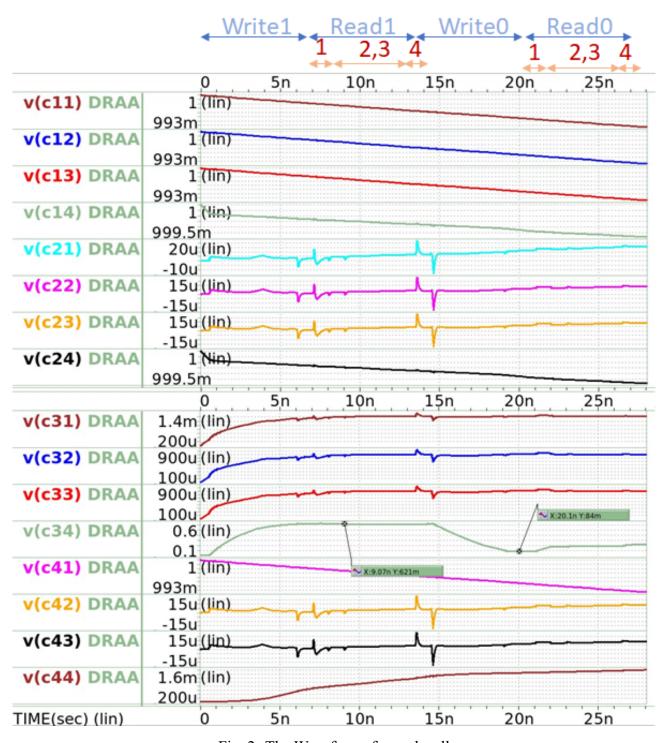


Fig. 2: The Waveforms for each cell

Decoder 的訊號線選擇,因為是 Select the cell at the 4th column and 3rd row (C34),所以 ir1=1、ir0=0 選擇第 3 個 row,ic1=1、ic0=1,選擇第四個 column。SA enabler 訊號 跟著 WL 的波形行動即可。

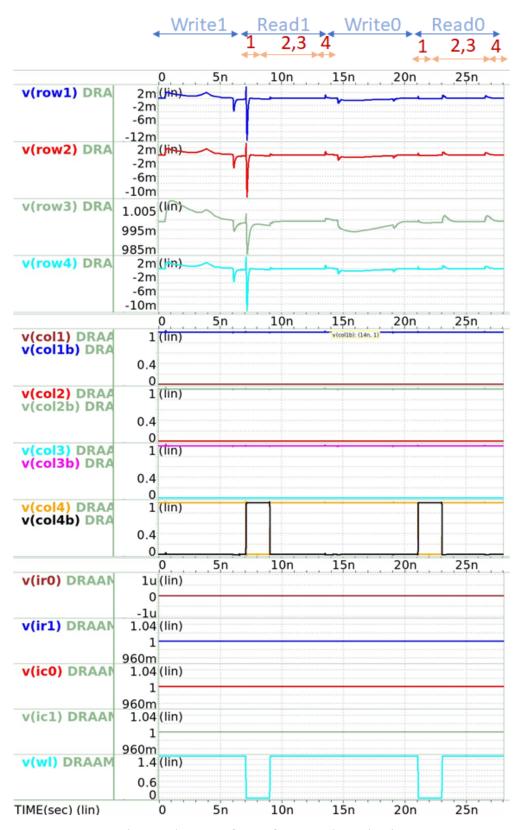


Fig. 3: The Waveforms for Decoder Selection

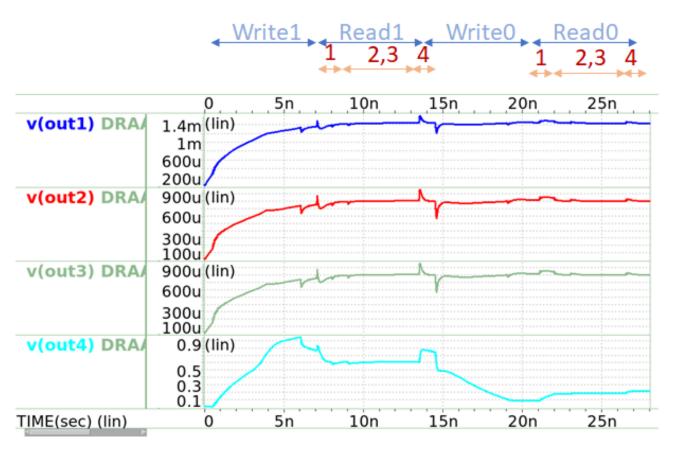


Fig. 4: The Waveforms for Selected Column