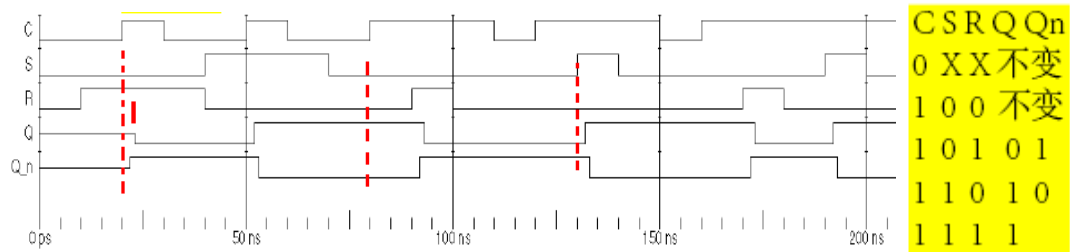


第五章布置习题参考解

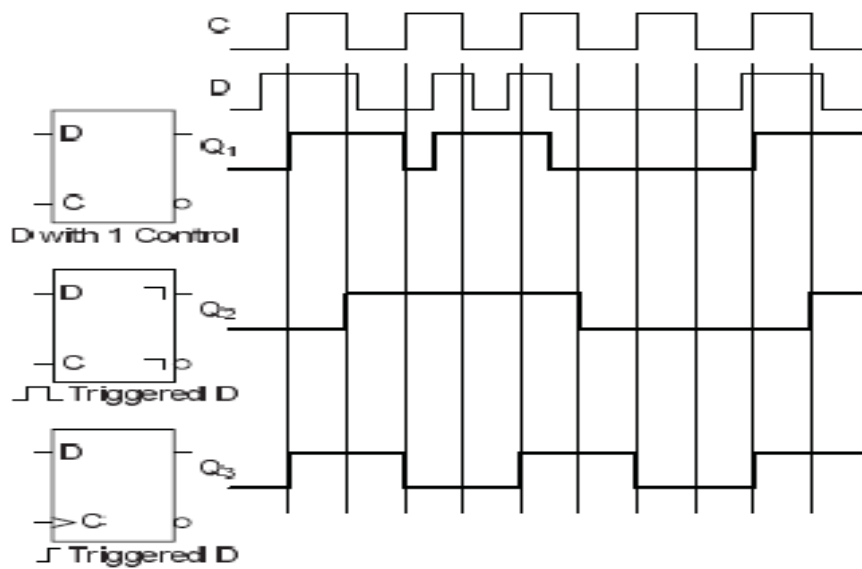
5-2

解:



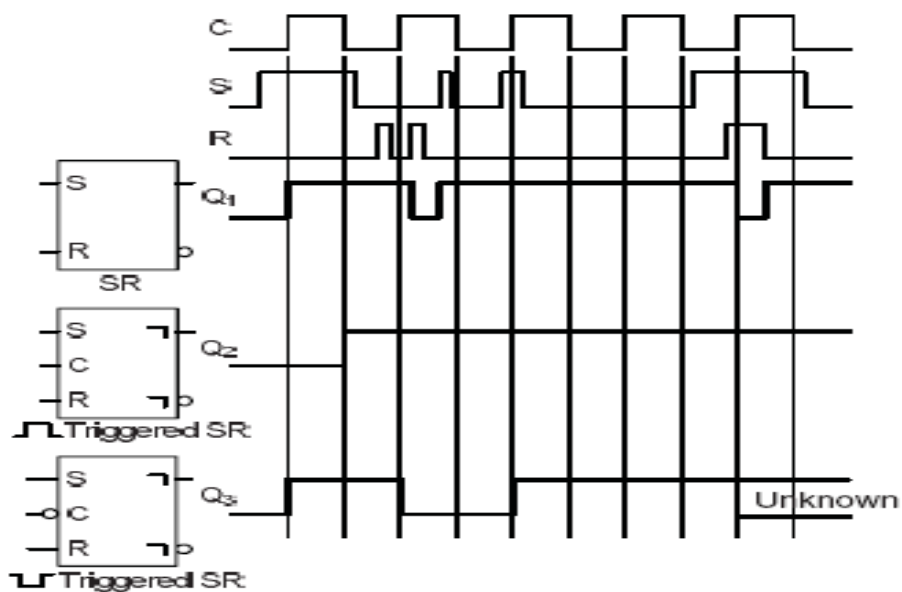
5-4

解:



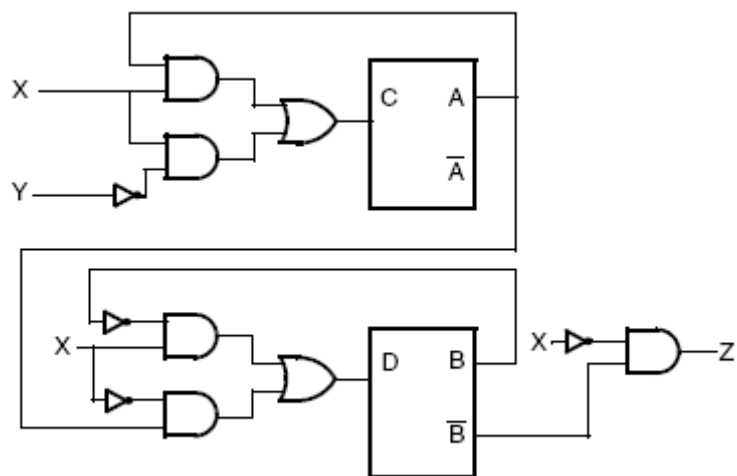
5-5

解:



5-6 解：

a) 根据输入方程和输出方程，画出电路图为：

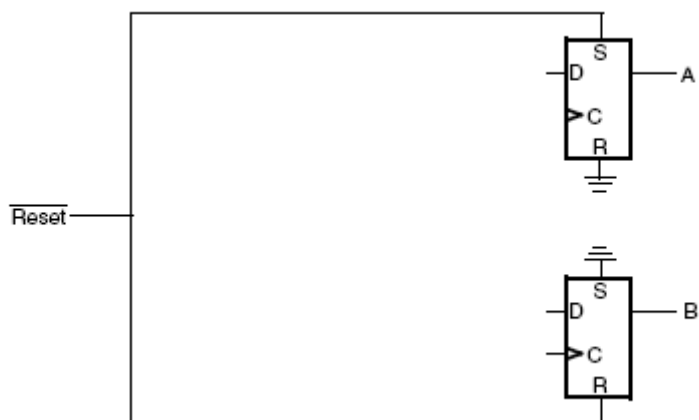


5-9

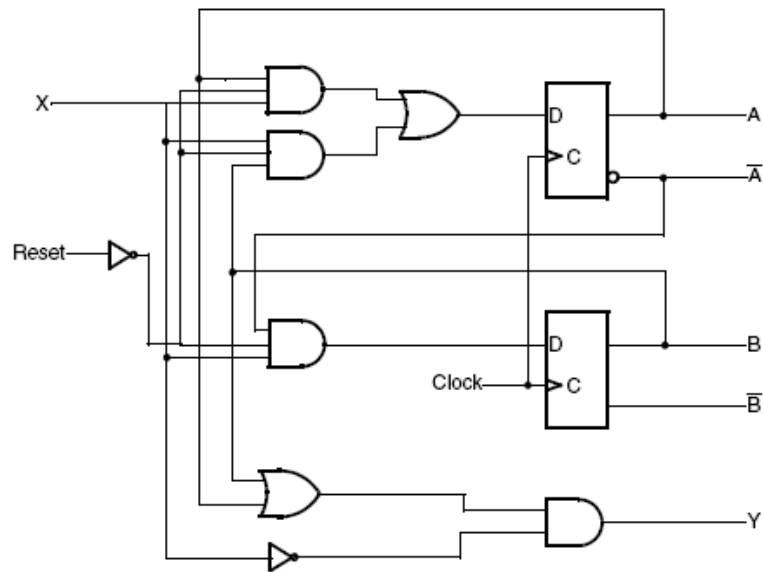
Present State	00	00	01	00	01	11	00	00	01	11	00
Input	0	1	0	1	1	0	0	1	1	0	1
Output	0	0	1	0	0	1	0	0	0	1	0
Next State	00	01	00	01	11	00	00	01	11	00	01

5-12

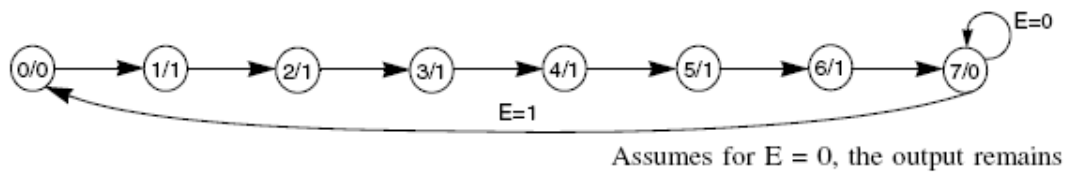
a) 用 Reset 信号分别控制触发器的异步复位和异步置位脚。所以



b) 在触发器输入端前面的每个与门上增加一个输入，接在 Reset 上，当 Reset 为 0 时触发器输入为 0，实现同步复位。注意 Reset 上门的非号。



5-20:
穆尔状态图为:



状态表:

Present state	Next State For Input		Output
	$E=0$	$E=1$	
$D_2D_1D_0$			Z
000	001	001	0
001	010	010	1
010	011	011	1
011	100	100	1
100	101	101	1
101	110	110	1
110	111	111	1
111	111	000	0

激励函数和输出函数:

$$D_2(t+1) = D_2\overline{D_1} + D_2\overline{D_0} + \overline{D_2}D_1D_0 + D_2\overline{E} \quad (D_2D_1D_0\overline{E})$$

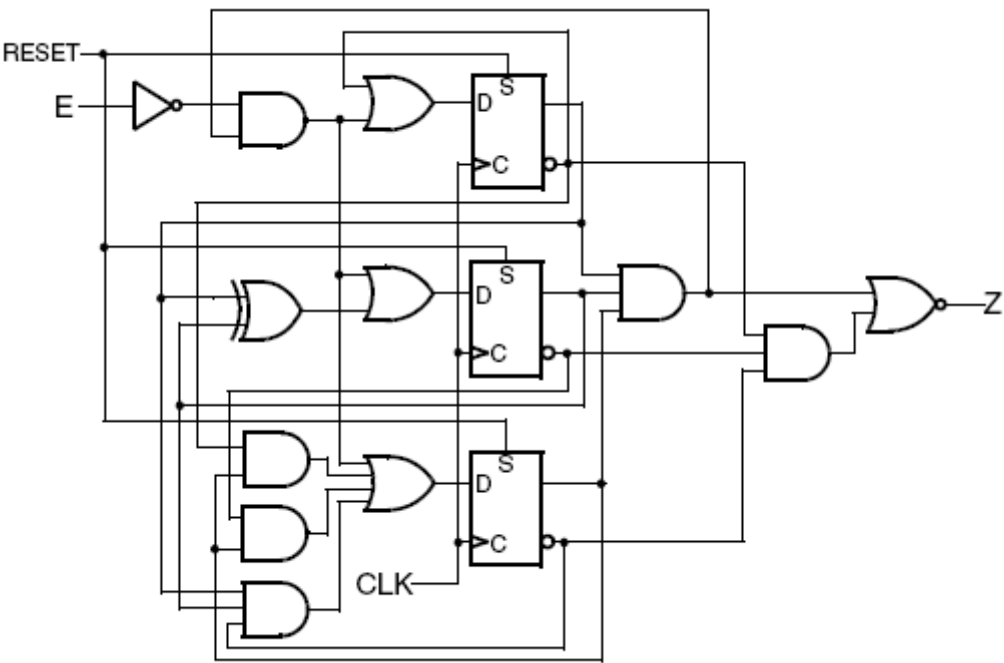
$$D_1(t+1) = D_1\overline{D_0} + \overline{D_1}D_0 + D_2D_0\overline{E} \quad (D_2D_1\overline{E}, D_2D_1D_0\overline{E})$$

$$D_0(t+1) = \overline{D_0} + D_2D_1\overline{E} \quad (D_2D_1D_0\overline{E})$$

$$Z = D_2D_1D_0 + \overline{D_2}D_1D_0 = D_1\overline{D_0} + D_2\overline{D_1} + \overline{D_2}D_0 = \overline{D_1}D_0 + \overline{D_2}D_1 + D_2\overline{D_0}$$

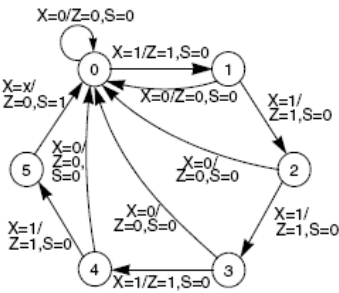
为了能够产生第一个0输出，复位时应该复位到“111”状态，所以Reset信号应该连到所有触发器的异步置位引脚。

电路图：



5-21

按照题意，电路需要能够接受带有停顿的输入序列，出现连续5个“1”以后忽略插入的一位，此时输出Z = 0，S = 1。因此状态图为：



Present state			Input X	Next state			Output	
A	B	C		A	B	C	Z	S
0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	1	0
0	0	1	0	0	0	0	0	0
0	0	1	1	0	1	0	1	0
0	1	0	0	0	0	0	0	0
0	1	0	1	0	1	1	1	0
0	1	1	0	0	0	0	0	0
0	1	1	1	1	0	0	1	0
1	0	0	0	0	0	0	0	0
1	0	0	1	1	0	1	1	0
1	0	1	0	0	0	0	0	1
1	0	1	1	0	0	0	0	1

$$D_A = \overline{A}CX + BCX$$

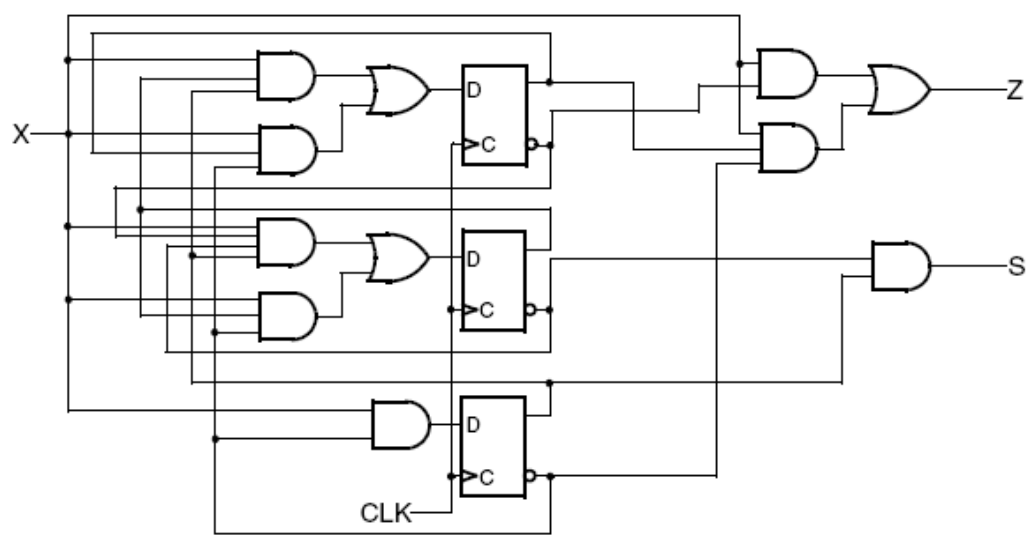
$$D_B = \overline{B}CX + \overline{A}BCX$$

$$D_C = \overline{C}X$$

$$Z = \overline{A}X + \overline{C}X = (\overline{A} + \overline{C})X$$

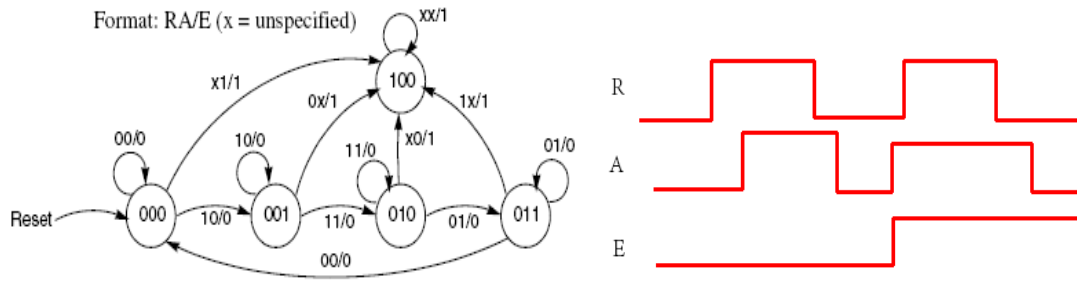
$$S = AC$$

电路图为：



5-24:

按照输入 RA = 00、10、11、01 的顺序设立 4 个状态，表示正常工作时的状态循环，再设立一个异常状态，当出现错误输入时就转到异常状态去。状态图为：



状态表：

Present state			Inputs		Next state			Output
B	C	D	R	A	B	C	D	E
0	0	0	0	0	0	0	0	0
0	0	0	0	1	1	0	0	1
0	0	0	1	0	0	0	1	0
0	0	0	1	1	1	0	0	1
0	0	1	0	0	1	0	0	1
0	0	1	0	1	1	0	0	1
0	0	1	1	0	0	0	1	0
0	0	1	1	1	0	1	0	0
0	1	0	0	0	1	0	0	1
0	1	0	0	1	0	1	1	0
0	1	0	1	0	1	0	0	1
0	1	0	1	1	0	1	0	0

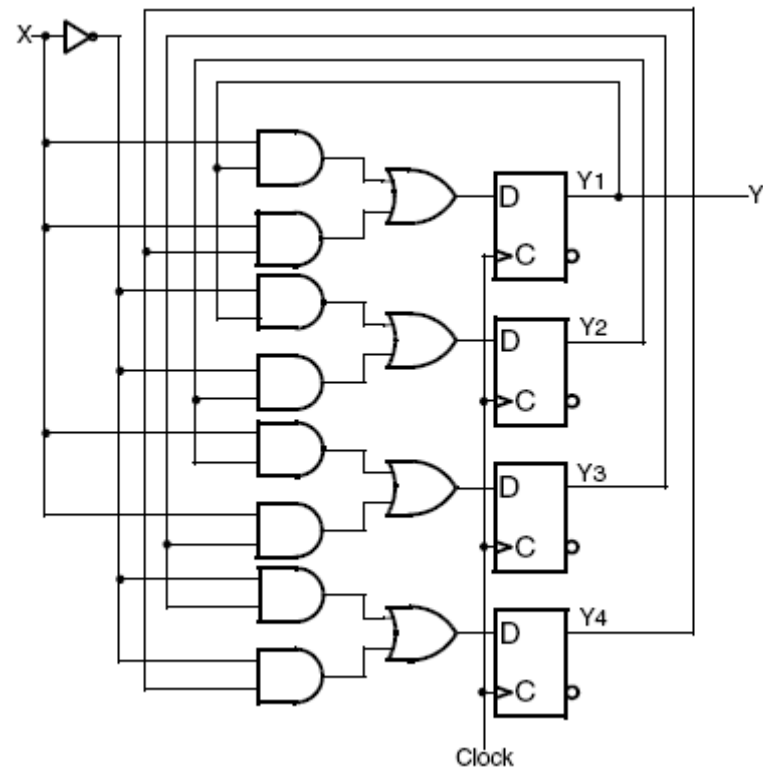
Present state			Inputs		Next state			Output
B	C	D	R	A	B	C	D	E
0	1	1	0	0	0	0	0	0
0	1	1	0	1	0	1	1	0
0	1	1	1	0	1	0	0	1
0	1	1	1	1	1	0	0	1
1	0	0	0	0	1	0	0	1
1	0	0	0	1	1	0	0	1
1	0	0	1	0	1	0	0	1
1	0	0	1	1	1	0	0	1

5-26: 根据状态图，用独热码，状态表如下：

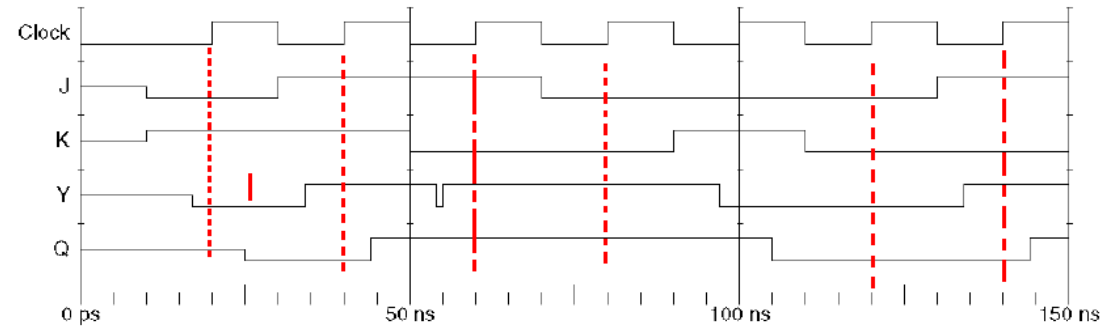
Present State					Input	Next State				Output
A	B	Y4	Y3	Y2	Y1	X	A' B''	Y4'Y3'Y2'Y1'	Z	
0	0	0	0	0	1	0	0 1	0 0 1 0	1	
0	0	0	0	0	1	1	0 0	0 0 0 1	1	
0	1	0	0	1	0	0	0 1	0 0 1 0	0	
0	1	0	0	1	0	1	1 0	0 1 0 0	0	
1	0	0	1	0	0	0	1 1	1 0 0 0	0	
1	0	0	1	0	0	1	1 0	0 1 0 0	0	
1	1	1	0	0	0	0	1 1	1 0 0 0	0	
1	1	1	0	0	0	1	0 0	0 0 0 1	0	

$D1 = Y1' = X \cdot Y1 + X \cdot Y4$
 $D2 = Y2' = \overline{X} \cdot Y1 + \overline{X} \cdot Y2$
 $D3 = Y3' = X \cdot Y2 + X \cdot Y3$
 $D4 = Y4' = \overline{X} \cdot Y3 + \overline{X} \cdot Y4$

电路图：



6-33



6-9:

- a) 在28ns附近, Clock为1时输入S发生改变, 因此违反了保持时间约束; 在24ns附近S和R同时为1, 因此违反了输入组合约束。
- b) 在24ns附近, Clock为1时输入R发生改变, 因此违反了保持时间约束, 在24ns附近S和R同时为1, 因此违反了输入组合约束。
- c) 在28ns附近, Clock上升沿之前D2不满足建立时间约束。
- d) 在16ns附近, Clock下降沿之后D3不满足保持时间约束; 在24ns附近, Clock下降沿之前D3不满足建立时间约束。

6-10:

- a) 从X到Y的最长路径是通过两个异或门XOR1和XOR2, 所以 $t_{\text{delay}} = 2 \times t_{\text{pdXOR}} = 4\text{ns}$
- b) 从X到第二个触发器的输入端的路径最长, 经过一个异或门, 一个非门, 所以 $t_{\text{delay}} = t_{\text{pdXOR}} + t_{\text{pdINV}} + t_{\text{sFF}} = 3.5\text{ns}$
- c) 从第一个触发器的输出到Y的路径最长, 经过两个异或门, 所以 $t_{\text{delay}} = t_{\text{pdFF}} + 2 \times t_{\text{pdXOR}} = 6\text{ns}$
- d) 从第一个触发器输出到第二个触发器输入的路径最长, 经过一个异或门, 一个非门, 所以 $t_{\text{delay}} = t_{\text{pdFF}} + t_{\text{pdXOR}} + t_{\text{pdINV}} + t_{\text{sFF}} = 5.5\text{ns}$
- e) 两个时钟上升沿之间的最大延迟决定了时钟脉冲的最小周期, 所以电路的最大时钟频率是 $1 / 5.5\text{ns} = 181.82\text{MHz}$ 。