**2023年江苏师范大学软件工程专业《计算机组成原理》科目期末试卷B（有答案）**

**一、选择题**

1、下列存储器中，在工作期间需要周期性刷新的是（ ）。

A. SRAM B. SDRAM C.ROM D. FLASH

2、一个存储器系统中，常常同时包含ROM和RAM两种类型的存储器，如果用lK×8位的ROM芯片和lK×4位的RAM芯片，组成4K×8位的ROM和1K×8位的RAM存储系统，按先ROM后RAM进行编址。采用3-8译码器选片，译码信号输出信号为Y0~Y7，其中Y4选择的是（ ）。

A.第一片ROM B.第五片ROM C.第一片RAM D.第一片RAM和第二片RAM

3、CPU中的译码器要用（ ）。

A.地址译码人 B.指令译码 C.数据译码1 D.控制信号译码

4、完整的计算机系统应该包括（ ）。

A.运算器、存储器、控制器

B.外部设备和主机

C.主机和应用程序

D.主机、外部设备、配套的软件系统

5、指令寄存器的位数取决（ ）。

A.存储器的容量 B.指令字长 C.机器字长人 D.存储字长

6、内部总线（又称片内总线）是指（ ）。

A.CPU内部连接各寄存器及运算部件之间的总线

B.CPU和计算机系统的其他高速功能部件之间互相连接的总线

C.多个计算机系统之间互相连接的总线

D.计算机系统和其他系统之间互相连接的总线

7、为协调计算机系统各部件的工作，需要一种器件来提供统一的时钟标准，这个器件，是（ ）。

A.总线缓冲器 B.总线控制器 C.时钟发生器 D.以上器件都具备这种功能

8、组合逻辑控制器和微程序控制器的主要区别在于（ ）。

A.ALU结构不同

B.数据通路不同

C.CPU寄存器组织不同

D.微操作信号发生器的构成方法不同。

9、采用同步控制的目的是（ ）。

A.提高执行速度

B.简化控制时序

C.满足不同操作对时间安排的需要

D.满足不同设备对时间安排的需要

10、各种外部设备均通过（ ）电路，才能连接到系统总线上。

A.外设 B.内存 C.中断 D.接口

11、DMA方式的接口电路中有程序中断部件，其作用是（ ）。

A.实现数据传送

B.向CPU提出总线使用权

C.向CPU提出传输结束

D.发中断请求

12、假定有4个整数用8位补码分别表示：rl=FEH，r2=F2H，r3=90H，r4=F8H，若将运算结果存放在一个8位寄存器中，则下列运算会发生溢出的是（ ）。

A.rlxr4 B.r2xr3 C.rlxr4 D.r2xr4

13、float 型数据常用IEEE754单精度浮点格式表示。假设两个float型变量x和y分别存放在32位寄存器fl和f2中，若（fl）=CC900000H，（f2）=BOC00000H，则x和y之间的关系为（ ）。

A.x<y且符号相同 B.x<y符号不同 C.x>y且符号相同 D.x>y且符号不同

14、在通用计算机指令系统的二地址指令中，操作数的物理位置可安排在（ ）。

I.一个主存单元和缓冲存储器

Ⅱ.两个数据寄存器

IⅡ.一个主存单元和一个数据寄存器

IV.一个数据寄存器和一个控制存储器

V.一个主存单元和一个外存单元

A. Ⅱ、Ⅲ、IV B.IⅡ、Ⅱ C. I、Ⅱ、Ⅲ D.I、Ⅱ、Ⅲ、V

15、某计算机按字节编址，指令字长固定且只有两种指令格式，其中三地址指令29条，二地址指令107条，每个地址字段为6位，则指令字长至少应该是（ ）。

A.24位 B.26位 C.28位 D.32位

**二、填空题**

16、并行I/O接口\_\_\_\_\_\_\_和串行I/O接口\_\_\_\_\_\_\_是两个目前最具权威性和发展前景的标准接

17、中断处理需要有中断\_\_\_\_\_\_\_\_。中断\_\_\_\_\_\_\_\_产生，中断\_\_\_\_\_\_\_\_等硬件支持。

18、存储器的技术指标有存储容量、存取时间、\_\_\_\_\_\_\_\_和\_\_\_\_\_\_\_\_、

19、形成指令寻址的方式，称为指令寻址方式，有顺序寻址和\_\_\_\_\_\_\_寻址两种，使用\_\_\_\_\_\_\_来跟踪。

20、RISC的中文含义是\_\_\_\_\_\_，CISC的中文含义是\_\_\_\_\_\_

21、主存储器的性能指标主要是\_\_\_\_\_\_\_、\_\_\_\_\_\_\_存储周期和存储器带宽。

22、不同的CRT显示标准所支持的最大\_\_\_\_\_\_\_\_和\_\_\_\_\_\_\_\_数目是不同的。

23、主存储器的性能指标主要是存储容量、存取时间、\_\_\_\_\_\_\_和\_\_\_\_\_\_\_

24、PCI总线是当前流行的总线。它是一个高\_\_\_\_\_\_\_\_\_且与\_\_\_\_\_\_\_\_\_无关的标准总线。

25、指令字长度有\_\_\_\_\_\_、\_\_\_\_\_\_、\_\_\_\_\_\_三种形式。

**三、名词解释题**

26、RLL码：

27、机器周期：

28、运算器：

29、操作数寻址方式：

**四、简答题**

30、请说明SRAM的组成结构，与SRAM相比，DRAM在电路组成上有什么不同之处？

31、什么是中断允许触发器？他有何作用？

32、能不能说CPU的主频越快，计算机的运行速度就越快？为什么？

33、水平型微指令；

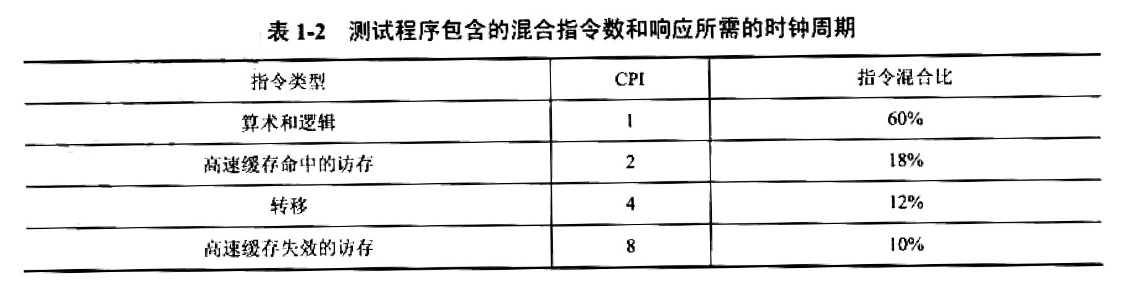
**五、计算题**

34、将下列十进制数表示成浮点规格化数，阶码4位（包含一位阶符），分别用补码和移码表示；尾数9位（包含一位数符），用补码表示。

1）27/64。

2）-27/64。

35、用一个时钟频率为40MHz的处理器执行标准测试程序，它所包含的混合指令数和响应所需的时钟周期见表。试求出有效的CPI、MIPS速率和程序的执行时间（假设有N条指令）。



36、某32位计算机，CPU主频为800MHz，Cache命中时的CPI为4，Cache块大小为32B；主存采用8体交叉存储方式，每个体的存储字长为32位、存储周期为40ns；存储器总线宽度为32位，总线时钟频率为200MHz，支持突发传送总线事务。每次读突发传送总线事务的过程包括送首地址和命令、存储器准备数据和传送数据。每次突发传送32B，传送地址或32位数据均需一个总线时钟周期。请回答下列问题，要求给出理由或计算过程。

1）CPU和总线的时钟周期各为多少？总线的带宽（即最大数据传输率）为多少？

2）Cache缺失时，需要用几个读突发传送总线事务来完成一个主存块的读取？

3）存储器总线完成一次读突发传送总线事务所需的时间是多少？

4）若程序BP执行过程中，共执行了100条指令，平均每条指令需进行1.2次访存，Cache缺失率为5%，不考虑替换等开销，则BP的CPU执行时间是多少？

**六、综合题**

37、采用微程序控制器的某计算机在微程序级采用两级流水线，即取第i+1条微指令与执行第i条微指令同时进行。假设微指令的执行时间需要40ns，试问：

1）若控制存储器选用读出时间为30ns的ROM，在这种情况下微周期为多少？并画出微指令执行时序图。

2）若控制存储器选用读出时间为50ns的ROM，在这种情况下微周期为多少？并画出微指令执行时序图。

38、设某机器共能完成120种操作，CPU共有8个通用寄存器，且寄存器都为12位。主存容量为16K字（机器采用按字寻址），采用寄存器-存储器型指令。

1）欲使指令可直接访问主存的任意地址，指令字长应取多少位？

2）若在上述设计的指令字中设置一寻址特征位X，且X=0表示某个寄存器作为基址寄存器，试画出指令格式。试问采用基址寻址可否访问主存的任意单元？为什么？如不能，提出一种方案，使得指令可访问主存的任意位置。

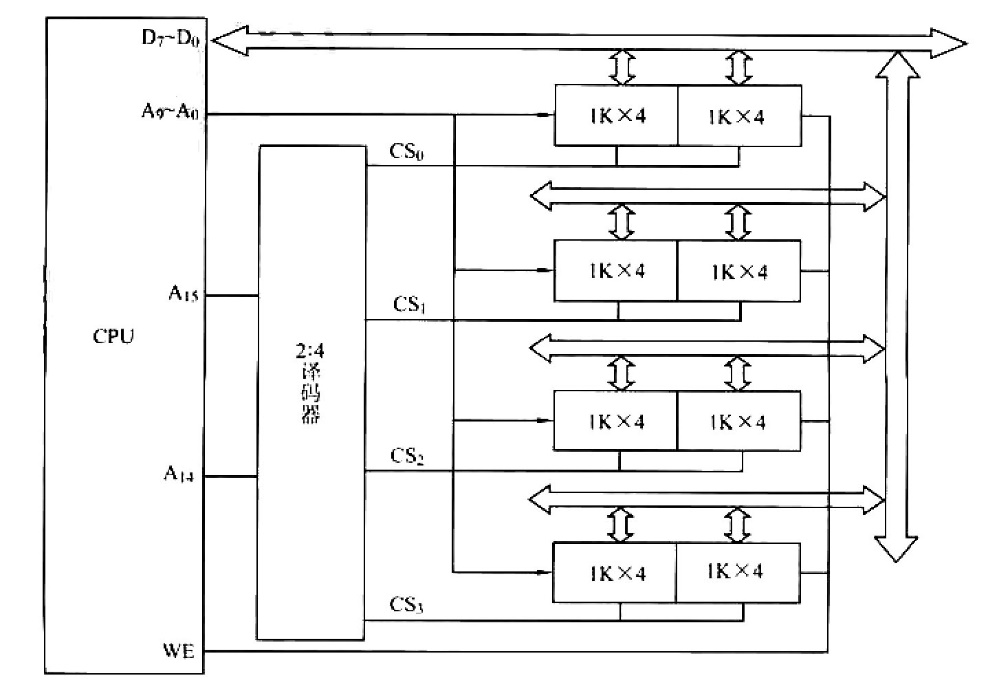
3）若存储字长等于指令字长，且主存容量扩大到64K字，在不改变硬件结构的前提下，可采用什么方法使得指令可访问存储器的任意位置。

39、下图为由8片2114芯片构成的4K×8位的存储器，与8位的一个微处理器相连，2114芯片为lK×4位的静态RAM芯片。试问：

1）每一组芯片组的地址范围和地址线数目。

2）4KB的RAM寻址范围是多少？

3）存储器有没有地址重叠？



**参考答案**

**一、选择题**

1、B

2、D

3、B

4、D

5、B

6、A

7、C

8、D

9、B

10、D

11、C

12、B

13、A

14、B

15、A

**二、填空题**

16、SCSI IEEE1394

17、优先级仲裁 向量 控制逻辑

18、存储周期 存储器带宽

19、跳跃 程序计数器

20、精简指令系统计算机 复杂指令系统计算机

21、存储容量 存取时间

22、分辨率 颜色

23、存储周期 存储器带宽

24、带宽 处理器

25、单字长 半字长 双字长

**三、名词解释题**

26、RLL码：

游程长度受限码，将原始数据序列变换成

27、机器周期：

指令执行中每一步操作所需的时间。

28、运算器：

计算机中完成运算功能的部件，由ALU和寄存器构成。

29、操作数寻址方式：

指令中地址码的内容及编码方式.

**四、简答题**

30、答：SRAM存储器由存储体、读写电路、地址译码电路、控制电路组成，DRAM还需要有动态刷新电路。

31、答：中断允许触发器是CPU中断系统中的一个部件，他起着开关中断的作用（即中断总开关，则中断屏蔽触发器可视为中断的分开关）。

32、答：不能说机器的主频越快，机器的速度就越快。因为机器的速度不仅与主频有关，还与数据通路结构，时序分配方案、ALU运算能力、指令功能强弱等多种因素有关，要看综合效果。

33、答：水平型微指令的特点是一次能定义并执行多个并行操作的微命令。从编码方式看，直接编码、字段直接编码、字段间接编码以及直接和字段混合编码都属水平型微指令。其中直接编码速度最快，字段编码要经过译码，故速度受影响。

**五、计算题**

34、解析

1）27/64=0.011011=0.11011×2-1

当补码和尾数都采用补码表示时：1，111：0.11011000。

阶码采用移码、尾数采用补码表示时：0.11l：0.11011000。

2）-27/64=1.011011=1.11011×2-1

当补码和尾数都采用补码表示时：1，11l；1.00101000。

阶码采用移码、尾数采用补码表示时：0.1l1：l.00101000。

35、解：CPI即执行一条指令所需的时钟周期数。本标准测试程序共包含4种指令，那么CPl就是这4种指令的数学期望，故

CPl=1×60%+2×18%+4×12%+8×10%=2.24

MIPS即每秒执行百万条指令数。已知处理器的时钟频率为40MHz，即每秒包含40M个时钟周期，故

MIPS=40/CPl=40/2.2417.9

程序执行时间自然就等于程序包含的指令数×CP1x时钟周期的长度，

故程序执行时间=N×2.24×1/40MHz=5.6N×10-8s

36、解析：

1）CPU的时钟周期为1/800MHz=1.25ns。

总线的时钟周期为1/200MHz=5ns。

总线带宽为4B×200MHz=800MB/s或4B/5ns=800MB/s。

2）因为每次读突发传送32B，而Cache块大小恰好是32B，所以只需要1个读突发传送总线事务来完成一个主存块的读取。

3）一次读突发传送总线事务包括一次地址传送和32B数据传送：用1个总线时钟周期传输地址，即5ns；首先，根据低位交叉存储器的工作原理，数据全部读出需要40ns+（8-1）×5ns=75ns。但是，在第40ns时，数据的读取与传输是可以重叠的，所以只需要加上最后一个体读出的数据的传输时间即可，即5ns。故读突发传送总线事物时间为5ns+75ns+5ns=85ns。

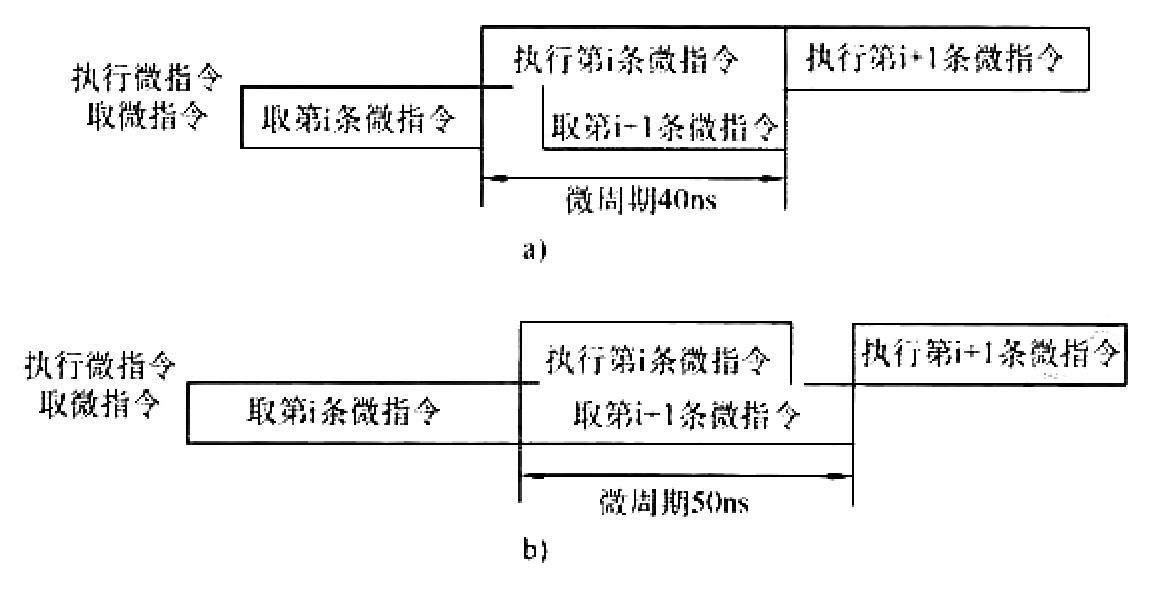
4）BP的CPU执行时间包括Cache命中时的指令执行时间和Cache缺失时带来的额外开销。命中时的指令执行时间：100×4×l.25ns=500ns。指令执行过程中Cache缺失时的额外开销：1.2×100×5%×85ns=510ns。可得，BP的CPU执行时间：500ns+510ns=1010ns。

**六、综合题**

37、解析：在执行本条微指令的同时，预取下一条微指令。因为这两个操作是在两个完全不同的部件中执行的，所以这种重叠是完全可行的。取微指令的时间与执行微指令的时间哪个长，就以它作为微周期

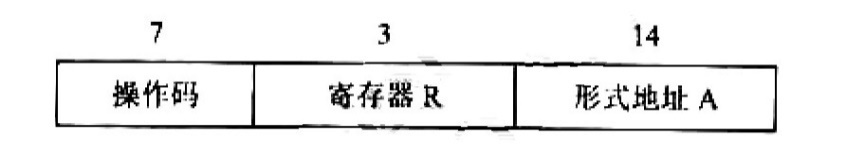
1）若控制存储器选用读出时间为30ns的ROM，微指令执行时序图如图a所示。因为取第i+1条微指令与执行第i条微指令同时进行，所以取微指令的读出时间为30ns，而微指令的执行时间需要40ns。这种情况下微周期取最长的时间，即40ns。

2）若控制存储器选用读出时间为50ns的ROM，微指令执行时序图如图b所示。这种情况下微周期需取50ns。

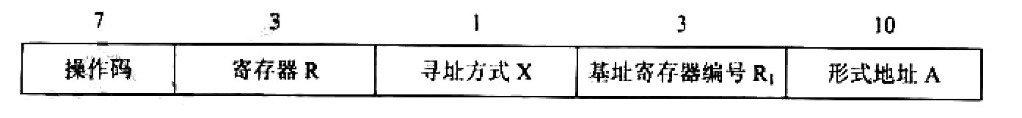


38、解析：

1）首先，操作码可以确定为7位；8个通用寄存器需要3位来表示；访问16K字的主存也需要14位，故指令字长需要7+3+14=24位，指令格式如下：



2）由于增加了一位寻址特征位，且基址寄存器使用了通用寄存器，因此除了加一位寻址方式X，还得空一个字段（基址寄存器编号R1）来表示使用哪一个通用寄存器作为基址寄存器，故指令格式为



另外，由于覆盖主存的16K字需要14位的地址，而寄存器只有12位，因此采用基址寻址不可以访问主存的任意单元，但可以将通用寄存器的内容向左移动两位，低位补0，这样就可以形成14位的基地址，然后与形式地址相加，得到的有效地址就可以访问16K字存储器的任意单元。

3）首先，由于不能改变硬件结构，因此把寄存器的位数加长是不可行的。其次，因为指令字长为24位，而存储字长等于指令字长，所以恰好使用一次间接寻址就能达到16M字的寻址范围，完全可以满足题目所要求的寻址范围，而且还超额完成任务。

39、解析：先由两片2114芯片构成lK×8位的芯片组，再由4个芯片组构成4K×8位的存储器。从图3-48可以看出，地址线A13~A10在图中没有出现，说明采用部分译码方式。

1）芯片组的容量为1024B，需要10根地址线（A9~A10），故地址范围为000H~3FFH。

2）根据图3-48所示的连线，各芯片组的片选端由地址线Ais、A1s进行译码。芯片组内地址线为A9~A10，A13~A10空闲，即为任意态。假设A13~A10为全0，4KB RAM的寻址范围分别是：第0组为0000H~03FFH，第1组为4000H~43FFH，第2组为8000H~83FFH，第3组为C000H~C3FFH，可见这4KB存储器的地址空间是不连续的。

演示第2组的计算过程，其他类似。

第2组的片选信号应该是10（A15、A14），接下来A13~A10为全0，剩下的全1，即1000001l11111111，十六进制为83FFH。

3）由于A13~A10没有参与译码（部分译码），因此存储器存在地址重叠现象。