

第一章 数字集成电路介绍

第一个晶体管 Bell 实验室, 1947

第一个集成电路 Jack Kilby, 德州仪器, 1958 摩尔定律: 1965年, GordonMoore预言单个芯片 上晶体管的数目每 18 到 24 个月翻一番。(随时间 呈指数增长)

抽象层次:器件、电路、门、功能模块和系统 **抽象**即在每一个设计层次上,一个复杂模块的内 部细节可以被抽象化并用一个黑匣子或模型来代 替。这一模型含有用来在下一层次上处理这一模 块所需要的所有信息。

固定成本(非重复性费用)与销售量无关;设计 所花费的时间和人工; 受设计复杂性、设计技术 难度以及设计人员产出率的影响; 对于小批量产 品,起主导作用。

可变成本 (重复性费用)与产品的产量成正比; 直接用于制造产品的费用;包括产品所用部件的 成本、组装费用以及测试费用。 每个集成电路的 成本=每个集成电路的可变成本+固定成本/产量。 可变成本 (芯片成本+芯片测试成本+封装成本) /最终测试的成品率。

一个门对噪声的灵敏度是由噪声容限 NM(低电平 噪声容限)和 NM (高电平噪声容限)来度量的。 为使一个数字电路能工作,噪声容限应当大于零, 并且越大越好。NMH = VOH - VIH NM = VIL - VOL 再生性保证一个受干扰的信号在通过若干逻辑级 后逐渐收敛回到额定电平中的一个。

一个门的 VTC 应当具有一个增益绝对值大于 1 的 过渡区(即不确定区),该过渡区以两个有效的区 域为界,合法区域的增益应当小于 1。

理想数字门特性: 在过渡区有无限大的增益; 门 的阈值位于逻辑摆幅的中点; 高电平和低电平噪 声容限均等于这一摆幅的一半; 输入和输出阻抗 分别为无穷大和零。

传播延时、上升和下降时间的定义

传播延时tp定义了它对输入端信号变化的响应有 多快。它表示一个信号通过一个门时所经历的延 时,定义为输入和输出波形的 50%翻转点之间的时

上升和下降时间定义为在波形的 10%和90%之间。 对于给定的工艺和门的拓扑结构,功耗和延时的 乘积一般为一常数。 **功耗-延时积(PDP)----**门的 每次开关事件所消耗的能量。

一个理想的门应当快速且几乎不消耗能量,所以 最后的质量评价为。能量-延时积(EDP) = 功耗-延时积2。

第三章、第四章CMOS器件

手工分析模型

$$I_{D} = K' \frac{W}{L} \left(V_{GT} V_{\min} - \frac{V_{\min}^{2}}{2} \right) (1 + \lambda V_{DS}) \stackrel{\text{diff}}{=} V_{GT} \ge 0$$

 $V_{\text{min}} = \min \left(V_{GT}, V_{DS}, V_{DSAT} \right)$

寄生简化: 当导线很短, 导线的截面很大时或当 所采用的互连材料电阻率很低时, 电感的影响可 以忽略: 如果导线的电阻很大(例如截面很小的长 铝导线的情形);外加信号的上升和下降时间很

当导线很短,导线的截面很大时或当所采用的互 连材料电阻率很低时,采用只含电容的模型。 当相邻导线间的间距很大时或当导线只在一段很 短的距离上靠近在一起时: 导线相互间的电容可 以被忽略,并且所有的寄生电容都可以模拟成接 地电容。

平行板电容:导线的宽度明显大于绝缘材料的厚 度。

边缘场电容:这一模型把导线电容分成两部分: 一个平板电容以及一个边缘电容,后者模拟成一 条圆柱形导线, 其直径等于该导线的厚度。

多层互连结构:每条导线并不只是与接地的衬底 耦合 (接地电容),而且也与处在同一层及处在相 邻层上的邻近导线耦合(连线间电容)。总之,再 多层互连结构中导线间的电容已成为主要因素。 这一效应对于在较高互连层中的导线尤为显著, 因为这些导线离衬底更远。

精品文档

例 4.5与 4.8表格

电压范围 集总 RC 网络 分布 RC 网络 $0 \rightarrow 50\% (t)$ 0.69 RC 0.38 RC $0 \rightarrow 63\% (7)$ RC0.5 RC $10\% \rightarrow 90\% (t)$ 2.2 RC 0.9 RC 2.3 RC $0 \rightarrow 90\%$ 1. 0 RC

例 4.1 金属导线电容

考虑一条布置在第一层铝上的 10 cm长, 1 μm 宽的 铝线,计算总的电容值。

平面(平行板)电容: $(0.1 \times 10^6 \mu m^2) \times 30 a F/\mu m^2$ = 3pF 边缘电容:

 $2 \times (0.1 \times 10^6 \mu m) \times 40 a F \mu m = 8 p F$ 总电容: 11pF 现假设第二条导线布置在第一条旁边,它 们之间只相隔最小允许的距离,计算其耦合电 容。 耦合电容: C_{inter} = (0.1×10⁰μm)×95 $aF/\mu m2 = 9.5pF$

材料选择: 对于长互连线, 铝是优先考虑的材料; 多晶应当只用于局部互连;避免采用扩散导线; 先进的工艺也提供硅化的多晶和扩散层

接触电阻: 布线层之间的转接将给导线带来额外 的电阻。

布线策略: 尽可能地使信号线保持在同一层上并 避免过多的接触或通孔; 使接触孔较大可以降低 接触电阻(电流集聚在实际中将限制接触孔的最

采电流集聚限制c**, 最小尺寸**): 金属或多晶至 n+、p+以及金属至多晶为 5 $^{\circ}$ 20 Ω ; 通孔(金属 至金属接触)为 $1^{-6}5\Omega$ 。

例 4.2 金属线的电阻

考虑一条布置在第一层铝上的 10 cm长, 1μm 宽的 铝线。假设铝层的薄层电阻为 0.07 € /□, 计算 导线的总电阻:

 $R_{\rm wire} = 0.07 \Omega / \Box' (0.1' 10^6 \mu m) / (1 \mu m) = 7.5 k\Omega$ 例 4.5 导线的集总电容模型

假设电源内阻为 10kΩ 的一个驱动器,用来驱动 一条 10 cm 长, 1μm 宽的 All 导线。

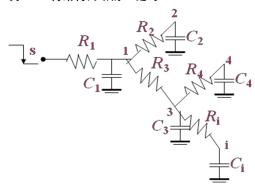
电压范围 集总 RC 网络 分布 RC 网络 $0\,\rightarrow\,50\,\%\,(t\,)$ 0.69 RC

 $0 \rightarrow 63\% (\tau)$ RC 0.5 RC $10\% \rightarrow 90\% (t)$ 2.2 RC 0.9 RC

 $0 \rightarrow 90\%$ 2.3 RC 1 0 RC 使用集总电容模型,源电阻 R_{Driver}=10 kΩ,总的

集总电容 Clumpe ≠ 11 pF $t_{50\%} = 0.69' \ 10 \ k\Omega \ ' \ 11 pF = 76 \ ns$ $t_{90\%} = 2.2 \ ' \ 10 \ k\Omega \ ' \ 11 pF = 242 \ ns$

例 4.6 树结构网络的RC延时



节点 i 的 Elmore延时: $\tau_{Di} = R_1 C_1 + R_1 C_2 + (R_1 + R_3) C_3 + (R_1 + R_3) C_4 + (R_1 + R_3 + R_i)$

例 4.7 电阻-电容导线的时间常数

总长为 L 的导线被分隔成完全相同的 N 段,每段 的长度为 L/N。因此每段的电阻和电容分别为 rL/N 和 cL/N

R (= rL)和C (= cL)是这条导线总的集总电阻

$$\sum_{TDN} = \left(\frac{L}{N}\right)^{2} (rc + 2rc + ... + Nrc) = \left(rcL^{2}\right) \frac{N(N+1)}{2N^{2}} = RC \frac{N+1}{2N}$$

结论: 当N 值很大时, 该模型趋于分布式c线; 一条导线的延时是它长度 的二次函数分布rc 线的延时是按集总RC模型预测的延时的一半

$$\tau_{DN} = \frac{RC}{2} = \frac{\text{rcL}^2}{2}$$

例 4.8 铝线的RC延时. 考虑长10 cm宽、1μm 的 A11导线,使用分布RC模型, c = 110 a Fin 和 r $= 0.07 \, \Omega/\mu m$

 $t_{\text{\tiny P}} = 0.38\,\text{RC} = 0.38\,'\,\,\left(0.075\,\Omega/\mu\text{m}\right)\,'\,\,\left(110\,\right.$ $aF/\mu m$) ' $(10^5 \mu m)^2 = 31.4 \text{ ns}$

Poly: $t_P = 0.38$ ' $(150 \Omega/\mu m)$ ' $(88+254 aF/\mu m)$ $(10^5 \ \mu m)^2 = 112 \ \mu s$

A15: $t_p = 0.38$ ′ $(0.0375 \Omega/\mu m)$ ′ $(5.2+2'12 aF/\mu m)$ ′ $(10^5 \mu m)^2 = 4.2 ns$ 例 4.9 R与集总 C

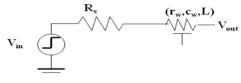
假设驱动门被模拟成一个电压源, 它具有一定大 小的电源内阻 R。

应用 Elmore公式,总传播延时:

 $\tau_D = R_s C_w + (R_w C_w)/2 = R_s C_w + 0.5 \text{ le} c_w L^2$ $t_{\rm p} = 0.69 \, R_{\rm w} + 0.38 \, R_{\rm w}$

其中, $R_w = r_w L$, $C_w = c_w L$

假设一个电源内阻为 1kΩ的驱动器驱动一条 1μm 宽的 A11 导线,此时 L_{crit} 为 2.67cm



第五章CMOS反相器

静态 CMO S的重要特性: 电压摆幅等于电源电压 à 高噪声容限。逻辑电平与器件的相对尺寸无关 à 晶体管可以采用最小尺寸 à 无比逻辑。稳态时在 输出和 V_{dd} 或 GND之间总存在一条具有有限电阻的 通路 à 低输出阻抗 (kΩ) 。输入阻抗较高 (MOS 管的栅实际上是一个完全的绝缘体) à 稳态输入 电流几乎为 0。在稳态工作情况下电源线和地线之 间没有直接的通路(即此时输入和输出保持不变) à 没有静态功率。传播延时是晶体管负载电容和 电阻的函数。

门的响应时间是由通过电阻。充电电容CL(电阻 R。放电电容C。)所需要的时间决定的

开关阈值VM定义为 Vin = Vout 的点(在此区域由于 V_{DS} = V_{GS} , PMOS和 NMOS总是饱和的)

r 是什么: 开关阈值取决于比值 r, 它是 PMOS和 NMOS管相对驱动强度的比

$$V_M \approx \frac{rV_{DD}}{1+r}, r = \frac{k_p V_{DSATp}}{k_n V_{DSATn}}$$

一般希望 V_M = V_{DD}/2 (可以使高低噪声容限具有相 近的值), 为此要求 r≈1

例 5.1 CMO反相器的开关阈值

通用 0.25 μm CMOS 工艺实现的一个 CMOS 反相器的 开关阈值处于电源电压的中点处。 所用工艺参数 见表 3.2。假设 VD = 2.5V 最小尺寸器件的宽长 比(W/L)_n为 1.5

 $\frac{(W/L)_p}{(W/L)_n} = \frac{k_n V_{DSAT_n} (V_M - V_{T_n} - V_{DSAT_n}/2)}{k_p V_{DSAT_p} (V_M - V_{T_p} - V_{DSAT_p}/2)}$

 $= \frac{115 \times 10^{-6}}{-30 \times 10^{-6}} \times \frac{0.63}{-1.0} \times \frac{(1.25 - 0.43 - 0.632)}{(1.25 - 0.4 - 1.0/2)} = 3.5$

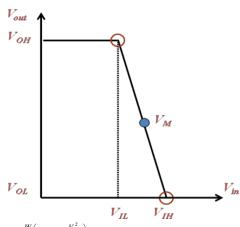
 $(W/L)_p = 3.5 \times 1.5 = 5.25(V_M = 1.25V)$

分析: V_M对于器件比值的变化相对来说是不敏感 的。将比值设为 3、2.5和2,产生的 V_M分别为 1. 22V、1. 18 V 和 1. 13 V, 因此使 PMO S管的宽度小 于完全对称所要求的值是可以接受的。

增加 PMOS或 NMOS宽度使 Vm 移向 Vpp或 GND。不对 称的传输特性实际上在某些设计中是所希望的。

噪声容限: 根据定义、 V_{IH} 和 V_{IL} 是 $dV_{out}/dV_{in} = -1$ (=

逐段线性近似 $V_{IH} = V_M - V_M / g V_{IL} = V_M + (V_{DD} - V_M) / g V_{IL}$ V_M)/g 过渡区可以近似为一段直线, 其增益等于 在开关阈值 Vm处的增益 g。它与 Von及 Von线的交点 用来定义 V_{IH}和 V_{IL}。点。

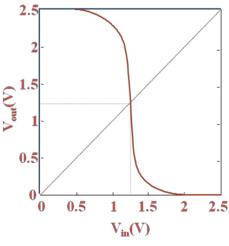


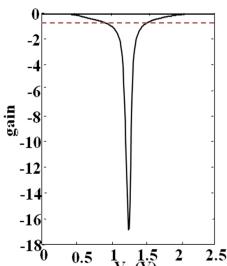
 $I_D = K' \frac{W}{L} \left(V_{GT} V_{\min} - \frac{V_{\min}^2}{2} \right) (1 + \lambda V_{DS}) \stackrel{\text{def}}{=} V_{GT} \ge 0$

例 5.2 CMO反相器的电压传输特性和噪声容限 假设设计一个通用 0.25μm CMOS工艺的反相器, PMOS对 NMOS的比为 3.4, 其中 NMOS晶体管的最小尺寸为 (W=0.375μm, L=0.25μm, 即 W/L=1.5)

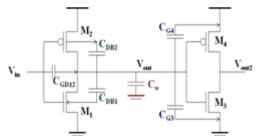
g = -27.5 $V_L = 1.2V$, $V_{H} = 1.3V$ $NM = NM_t = 1.2$ 确切值: $V_{LL} = 1.03V$, M = 1.45V NM = 1.03V& $NM_H = 1.05V$ 输出电阻 低输出 = 2.4 M 高输出 = 3.3 M

在饱和区,增益与电流的斜率关系很大(V in = VM)g \approx (1+r)/(VM-VTn-VDSATn/2)(An $-\lambda$ p)分析:公式 5. 10 过高估计了增益;最大的偏差是对于 VTC 的逐段线性近似造成的





动态特性:分析此图



栅漏电容 C_{gd12} 扩散电容 C_{db1} 和 C_{db2} 连线电容 C_{*} 扇出的栅电容 C_{g3} 和 C_{g4}

H 1 M 1 G 1 G 2 L G 2 L G 2 L					
	电容	表达式	值(fl	F) (H →I	L)值(fF)(L→
	C 2	C W		0.23	0.23
	C 2	C W		0.61	0.61
	С К А	DC + K		0.66	0.90
		DC + K		1. 5	1. 15
	C (2	C) W + (0.76	0.76
	C (2	C) $W + C$		2.28	2.28
		提取参数		0.12	0.12
	C _L	Σ		6.1	6.0

 $t_{pHL} = 36 \text{ psec } t_{pLH} = 29 \text{ psec }$ 得到: $t_p = 32.5 \text{ psec}$ $t_{pHL} = 0.6 \, \Re_{cqn} C_L = 0.6 \, 9\frac{3}{4} \frac{C_L V_{DD}}{I_{DSATn}} \approx 0.52 \frac{C_L}{(W/L)_n \, k'_n \, V_{DSATn}}$

设计技术---减小一个门的传播延时减小C_L:门本身的内部扩散电容.

漏扩散区的面积越小越好:互连线电容;扇出电容。

增加晶体管的W/L比:设计者手中最有力和最有效的性能优化工具:注意自载效应! - 一旦本征电容(即扩散电容)开始超过由连线和扇出形成的外部负载,增加门的尺寸就不再对减少延时有帮助,只是加大了门的面积.

提高 Voo:用能量损耗来换取性能;增加电源电压超过一定程度后改善就会非常有限;对可靠性的考虑迫使在 DSM 工艺中对 Voo 要规定严格的上限.

NMO S与 PMO S的比

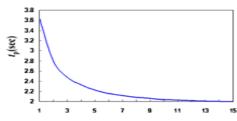
使 PMOS 管较宽,以使它的电阻与下拉的 NMOS管 匹配。这通常要求 PMOS和 NMOS的宽度比在 3~3.5 之间。对称 VTC,由高至低与由低至高的传播延时 相等

如果对称性和噪声容限不是主要的考虑因素,那么实际上有可能通过减少 PMOS器件的宽度来加快反相器的速度。使 PMOS 较宽因充电电流的增加而改善了反相器的 t_{pll} ,但它也由于产生较大的寄生电容而使 t_{pll} 变差

 β = (W/L) p/(W/L) n r = Reqp/Reqn (代表尺寸 完全相同的 PMOS和 NMOS晶体管的电阻比) β opt = \sqrt{r} (当导线电容可以忽略时)

例 5.7 考虑性能时的器件尺寸确定

S = 5 时性能得到了大部分的改善,而尺寸大于 10 时几乎得不到任何额外的增益(而且显著地浪费了面积)



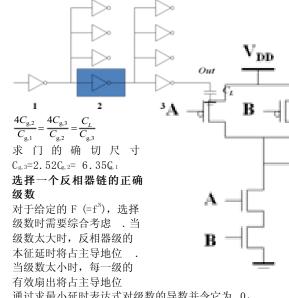
确定反相器链的尺寸

每一个反相器的最优尺寸是与它相邻的前后两个反相器尺寸的几何平均数一这意味着每个反相器的尺寸都相对于它前面反相器的尺寸放大相同的倍数 f,即每个反相器都具有相同的等效扇出,因而也就具有相同的延时 $f = \sqrt[4]{C_L/C_{g,l}} = \sqrt[4]{F}$

其中 F 代表该电路的总等效扇出, $F=C_1/C_{g,1}$ 以 及 通 过 该 反 相 器 链 的 最 小 延 时: $t_p=Nt_{p0}(1+\sqrt[4]{F}/\gamma)$

当只存在一级时, t_p 和 F 是线性关系。加入第二级则变为平方根关系

思考题5.5 确定反相器网络的尺寸 确定电路中反相器的尺寸使在节点0ut和 In之 间的延时最小。假设⊑64 €1



通过求最小延时表达式对级数的导数并令它为 0,可以求得最优值: $\gamma + \sqrt[N]{F} - \sqrt[N]{F \ln F} = 0$

对于 γ =0(忽略自载)时的解,最优级数 N= ln (F),且每一级的等效扇出为 f=e=2.71828 对于 γ =1(典型情况)时的解,最优有效扇出(锥形系数)将接近于3.6

输入信号的上升下降时间

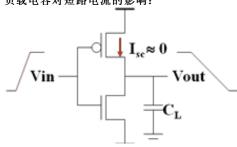
实际上,输入信号是逐渐变化的,而且 PMOS 和NMOS 管会暂时同时导通一段时间。这会影响所得到的充(放)电总电流,从而影响传播延时。 一旦 t_s > t_s, t_s随输入斜率的增加而(近似地)线

性增加. t。源于前一级门的有限驱动能力。

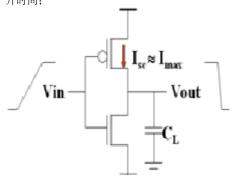
功耗、能量和能量延时

功耗分类: 动态功耗 (包括由充放电电容引起的动态功耗、直流通路电流引起的功耗); 静态功耗。直流通路电流引起的功耗: 输入信号不为无穷大的斜率造成了开关过程中 V_{DD} 和 GND 之间在短期内出现一条直接通路。

负载电容对短路电流的影响:



大电容负载,输出的下降时间明显大于输入的上 升时间;



小电容负载,输出的下降时间明显小于输入的上

精品文档

升时间。

能量-延时积

PDP: 它衡量了开关这个门所需要的能量。对于一个给定的结构这个数字可以通过降低电源电压而任意缩小。一个更合适的指标应当把性能和能量的度量放在一起考虑。最优电源电压: $V_{DDopt}=3/2V_{TE}$

第六章CMOS组合逻辑单元

在构成PUN和 PDN网络时应当记住以下几点:

晶体管可以看成是由其栅信号控制的开关;PDN由NMOS器件构成。理由是NMOS管产生"强零"而PMOS管产生"强 1";NMOS逻辑规则:串联器件实现AND操作,并联器件实现OR操作;PMOS逻辑规则:串联器件实现NOR操作,并联器件实现NAND操作;PUN和PDN是对偶网络;互补门在本质上是反相的(NAND,NOR,XNOR);实现一个具有N个输入的逻辑门所需要的晶体管数目为2N;

例 6.1 两输入NAND门

A B F

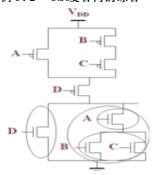
0 0 1

0 1 1

1 0 1

1 1 0

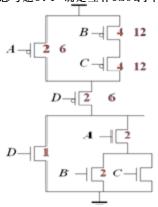
例 6.2 CMO复合门的综合



 $F = \overline{D + A \cdot (B + C)}$

互补CMO S门的静态特性 DC 电压传输特性与数据输入模式有关 一个两输入 NAND 门的 VTC 与数据有关。

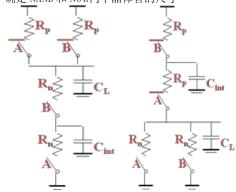
思考题6.1 确定互补CMOS门中晶体管的尺寸



 $OUT = \overline{D + A \cdot (B + C)}$

精品文档

确定 NAND 和 NOR门中晶体管的尺寸



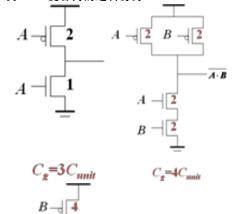
利用 NAND 实现比用 NOR 实现更好

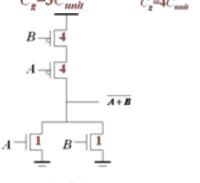
互补CMOS的缺点:晶体管数目为 2N,明显增加了它的实现面积; 互补 CMOS门的传播延时随扇入数迅速增加。

大扇入时的设计技术:1. 调整晶体管尺寸。当心"自载效应",只有当负载以扇出为主时放大尺寸才起作用。2. 逐级加大晶体管尺寸。降低了起主要作用的电阻,同时使得电容的增加保持在一定的范围内,缺点: 版图复杂。3. 重新安排输入。关键信号和关键路径的概念,把关键路径上的晶体管靠近门的输出端可以提高速度。4. 重组逻辑结构。可能降低对扇入的要求,从而减少门的延时。

g 称为逻辑努力:表示一个门与一个反相器提供相同的输出电流时它所表现出的输入电容比反相器 大多少

例 6.5 复合门的逻辑努力





 $g_{NAND}=3/4$, $g_{NOR}=5/3$

例 6.6 确定组合逻辑延时最小时的尺寸

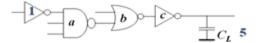
等效扇出: F = CL/Cg1 = 5

路径逻辑努力: $G = 1 \times 5/3 \times 5/3 \times 1 = 25/9$ 路径分支努力: B = 1 (无分支)

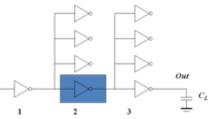
总路径努力: H = GFB = 125/9,于是最优的每个门的努力 $h=\sqrt[4]{H} = 1.9$

根据门的类型,扇出系数: f₁=1.93, f₂=1.93 x

3/5=1.16, fs = 1.16, fs=1.93 门的尺寸: $a=f_1g_1/g_2=1.16$, $b=f_1f_2g_1/g_3=1.34$, c= $f_1f_2f_3g_1/g_4=2.60$



思考题6.2 确定反相器电路的尺寸



 $\begin{array}{lll} F{=}6\,4 & G{=}1{*}1{*}1 & B{=}4\,{*}4\,{*}1{=}16 & H{=}6\,4\,{*}1{*}16\,{=}10\,24 \\ H{=}^3 & \surd 10\,24\,{=}10\,.\,\,079 & {}_1g_{1}{=}f_{2}g_{2}{=}f_{3}g_{3}{=}10\,.\,\,079 \end{array}$

 $f_1 = f_2 = f_3 = 10.079$ Cint=Cg₁

 $Cint_2=t_1/b_1 \cdot cint=2.52Cg$

 $\texttt{Cint}_3 = \texttt{t}_2/\texttt{b}_2 \bullet \texttt{t}_1/\texttt{b}_1 \bullet \texttt{Cint} = \texttt{6.35Cg}$

CMO S逻辑门中的功耗

器件尺寸——影响实际电容

输入和输出上升下降时间——决定了短路功耗 器件阈值和温度——影响漏电功耗

开关活动性:静态部分(只与逻辑电路拓扑结构有关)逻辑功能、信号统计特性;动态部分(电路时序特性引起的)动态或虚假翻转。

降低开关活动性的设计技术:逻辑重组、输入排序、分时复用资源、通过均衡信号路径来减少毛刺。

思考题6.4 静态逻辑门的功耗

对于基本逻辑门 (AND, OR, XOR推导出 0→1 的输出翻转概率。

For C: $P_{0\rightarrow 1} = P_0' P_1 = (1-P_A) P_A = 0.5'0.5 = 0.25$ For Z: $P_{\rightarrow 1} = P_0' P_1 = (1-P_C P_B) P_C P_B = (1 - (0.5'0.5))'$ (0.5'0.5) = 3/16

降低开关活动性的设计技术:1、逻辑重组。改变逻辑电路的拓扑结构可以降低它的功耗。结论:对于随机输入,链形实现比树形实现总体上具有较低的开关活动性(忽略毛刺) 2、输入排序。结论:推迟输入具有较高翻转率的信号 (即信号概率接近 0.5的信号)3、分时复用资源。结论:避免对具有独特数据特性的数据流采用分时复用4、通过均衡信号路径来减少毛刺。电路中产生毛刺主要是由于在电路中路径长度失配引起的,信号时序上的这一不失配一般都是由于相对于电路的原始输入信号路径的长度不同而引起的。结论:使信号路径长度匹配可以减少毛刺。

有比逻辑:有比逻辑试图减少实现一个给定逻辑 功能所需要的晶体管数目,但它经常以降低稳定性和付出额外功耗为代价。由一个实现逻辑功能的 NMOS下拉网络和一个简单的负载器件组成。有比电路:由于输出端的电压摆幅及门的总体功能取决于 NMOS和 PMOS的尺寸比,所以此电路称为有比电路。

传输管逻辑基本概念:通过允许原始输入驱动栅端和源-漏端来减少实现逻辑所需要的晶体管数 目

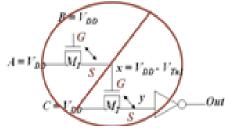
优点: 需要较少的晶体管来实现给定的功能。减少器件的数目也有降低电容的额外有点。

缺点: 当传输管上拉一个节点至高点平时,输出只充点至 V_{DD} - V_{In} 。

串联 NMOS的 PT

传输管门不应当象上图这么串联,下图的逻辑避 免了静态功耗,减小了噪声容限。

精品文档



 $y = V_{DD} V_{Tn1} - V_{Tn2}$

$$A = V_{DD} \qquad \begin{array}{c} B = V_{DD} \\ & \bot \\ M_I \end{array} \qquad \begin{array}{c} C = V_{DD} \\ & \bot \\ M_2 \end{array} \qquad \begin{array}{c} Out \\ \end{array}$$

 $v = V_{DD} - V_{Tn1}$

稳定有效的传输管设计

方法1: 电平恢复 节点 x 可上拉到 Vnn (由于电 平恢复),这就消除了反相器中的任何静态功耗; 在电平恢复器和传输管中没有静态电流路径存 在,因为恢复器只有在 A 为高电平时才有效;为 使这个电路正确工作, 必须仔细确定晶体管的尺 寸(有比)。

方法2. 多种阈值晶体管: 丁艺上解决: 使用零阈 值器件的 NMOS 传输管可以消除大部分阈值损失 (体效应仍然会阻止全摆幅达到 VDD); 对功耗有负 面影响,这是由于即使 Vcs低于 Vr ,也仍然会有 亚阈值电流流过传输管。

方法3: 传输门逻辑: 最广泛使用的方法; 由栅信 号 C 控制的全摆幅双向开关。当 C=1 时, A=B; 虽 然传输门需要2个晶体管和较多的控制信号,但 它能得到从电源轨线至轨线电压的摆幅。

解决长延时问题最常用的办法是每隔 111个传输门 开关切断串联链并插入一个缓冲器

$$t_p(V_n) = 0.69 \sum_{k=0}^{n} CR_{eq}k = 0.69 CR_{eq} \frac{n(n+1)}{2}$$
$$t_p = 0.69 \left[CR_{eq} \frac{n(m+1)}{2} \right] + \left(\frac{n}{m} - 1 \right) t_{huf}$$

动态CMOS设计

动态逻辑, 既能减少晶体管的数目, 又能避免静

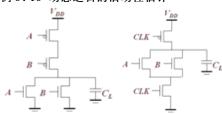
通过增加一个时钟输入,它可以相继完成预充电 和条件求值两个阶段

输出的情况:一旦动态门的输出放电就不可能再 充电,直到进行下一次预充电;门的输入在求值 期间最多只能有一次变化; 在求值期间如果下拉 网络关断,则输出有可能处于高阻抗状态,状态 保存在 CL.

动态逻辑门的重要特性:逻辑功能由 NMOS下拉网 络实现;晶体管的数目明显少于静态情况:为 N+2 而不是 2N; 无比的逻辑门; 只有动态功耗; 具有 较快的开关速度。

设计考虑: 用对偶的方法来实现另一形态的动态 逻辑; p型动态门的缺点是比 n型动态门慢。

例 6.16 动态逻辑的活动性估计



A. 静态 NOR门 A B OUT

B. r型动态 NOR门

0 0 1

0 1 0

1 0 0

1 1 0

C. 直. 值表

精品文档

静态*NOR*门: α₀₋₁

动态NOR门: $\alpha_{0\rightarrow 1} = \frac{1}{2^N} = \frac{1}{2^2} = \frac{1}{2^2}$

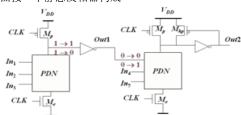
思考题6.8 活动性计算 ??

计算四输入动态 NAND 门的活动性因子, 假设各输 入是独立的并且 $P_{A=1} = 0.2$; $P_{B=1} = 0.3$; $P_{C=1} = 0.5$ 和 P_{D=1} = 0.4

信号完整性问题:包括 电荷泄漏、电荷分享、电 容耦合、时钟馈通

串联动态门 只要在求值期间输入只能进行单个 的 0→1 翻转就能保证正确工作

多米诺逻辑 基本概念: 一个 n 型动态逻辑块后 面接一个静态反相器构成



多米诺逻辑的名字来历有如一条崩塌的多米诺 骨牌线!

多米诺CMOS的特点: 只能实现非反相逻辑, 可以 达到非常高的速度: 只存在上升沿的延时, 而 tpll 等于0。

第七章 CMOS时序逻辑单元 时序电路的时钟参数

建立时间: 在时钟翻转之前数据输入必须有效的 时间

保持时间: 在时钟边沿之后数据输入必须仍然有 效的时间

传播延时: 相对于时钟边沿, 最坏情况下, 数据 被复制到输出端的时间

两个约束条件:最小时钟周期 T 3 tc-q+tplogic+tsu; 对寄存器维持时间的要求 tcdregister+ tcdlogic 3 thold。 存储单元的分类:前台存储器和后台存储器。嵌 入在逻辑中的存储器 / 大量的集中存储内核。静 态存储器和动态存储器。正反馈或再生原理 / 在 与 MOS 器件相关的寄生电容上暂时存储电荷,用 于寄存器在较长时间内不被更新时 / 用于要求 较高性能水平和采用周期时钟控制的数据通路电 路中。锁存器和寄存器。电平敏感 /边沿触发。

不同类型存储元件的定义 一个边沿触发的存储 元件称为寄存器。锁存器是一个电平敏感的器件。 由交叉耦合的门构成的任何双稳态元件称为触发 器(flip-flop)。

— 双稳态原理

交叉耦合的两个反相器形成了双稳态电路(即一 个电路具有 2 个稳定状态,每一个对应一个逻辑 状态)。

当翻转区中反相器的增益大于 1 时,只有 A 和 B 是稳定的工作点,而 C 是一个亚稳态工作点。

改变电路状态的方法:切断反馈环路(多路开关 型锁存器)。触发强度超过反馈环(实现静态后台 存储器的主要方法)。

主从边沿触发寄存器 工作原理: 在时钟的低电 平阶段, 主级是透明的, 输入 D 被传送到主级的 输出端 Qu。在此期间,从级处于维持状态,通过 反馈保持它原来的值。在时钟的上升沿期间,主 级停止对输入采样, 而从级开始采样在时钟的高 电平阶段, 从级对主级的输出端(QM)采样, 而主 级处于维持状态。由于 Qu在时钟的高电平阶段不 变,因此输出Q每周期只翻转一次。由于Q的值 就是时钟上升沿之前的 D 值, 因此具有正沿触发

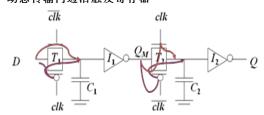
效应。

多路开关型主从寄存器的时序特性,建立时间: 输入数据 D 在时钟上升沿之前必须有效的时间 3 tpd_inv + tpd_tx。传播延时: Qw值传播到输出 Q所 需要的时间 $t_{c-q} = t_{pd_{inv}} + t_{pd_{inv}}$ 。保持时间:在时 钟上升沿之后输入必须保持稳定的时间 0。 时钟重叠可以引起两种类型的错误 竞争情况: 由于 CLK 和 CLK 在一个很短的时间内都为高电平,

两个采样传输管都导通,因此在 D和Q之间有直

接通路。不确定状态:由于 CLK 和 CLK 都为高电

平, 那么节点 A 同时被 D 和 B 驱动。 动态传输门边沿触发寄存器

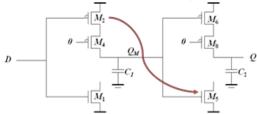


0-0 重叠竞争的限制条件 toverlap0-0 T1+tI1+tT2 1-1 重叠竞争的限制条件 toverlap1-1

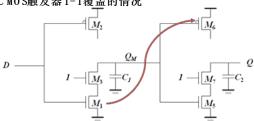
C2MOS 一种对时钟偏差不敏感的方法P252-253 1. CLK=0 (CLK=1):第一个三态驱动器导通,此时主 级像一个反相器在内部节点 X 上采样 D 的反相数 据, 因此主级处于求值模式。同时从级处在高阻 抗模式,即维持模式。晶体管 M7和 Ma均关断,切 断了输出和输入的联系。输出 Q 维持其原来存储 在输出电容 CL2 上的值。

2. CLK=1时恰好相反: 主级部分处在维持模式, 而 第二部分求值。存放在 CL1上的值经过从级传送到 输出节点,此时丛级的作用像一个反相器。

 C^2MO S触发器 O-O覆盖的情况: 只要时钟边沿的上 升和下降时间足够小, 具有 CLK 和!CLK 时钟控制 的这一 CMOS 寄存器对时钟的重叠是不敏感的.



C2MOS触发器1-1覆盖的情况



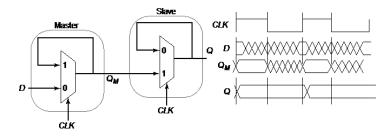
双边沿寄存器

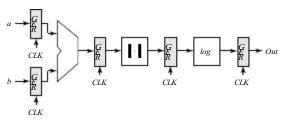
优点: 需要较低的时钟频率 (原来频率的 1/2) 来完 成同样功能的数据处理量, 节省了时钟分布网络 中的功耗

它由两个并行的主从边沿触发寄存器组成,寄存 器的输出用三态驱动器实现二选一

CLK=1: 上面的主级采样,从级保持;下面的主级 保持, 从级采样

CLK=0: 上面的主级保持,从级采样;下面的主级 采样, 从级保持

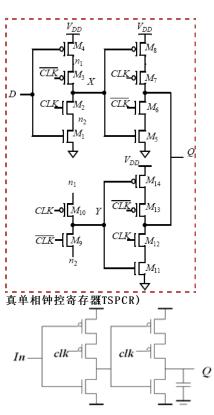




流水线工作的优点可以从考察这一改进电路的最 小时钟周期中看得非常清楚。

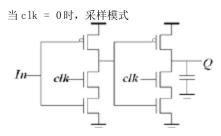
 $T_{\text{min, pipe}}\!\!=\!t_{\text{c-q}}\!\!+\!m\,ax\,\left(t_{\text{pd, add}},\quad t_{\text{pd, abs}},\;t_{\text{pd, log}}\right)\!+\!t_{\text{su}}$

han 工作室出品



负锁存器

当 clk = 1时,保持模式



正锁存器

当 clk = 1时, 采样模式

当 clk = 0时,保持模式

流水线:优化时序电路的一种方法 流水线是一项提高资源利用率的技术,它增加了 电路的数据处理量

