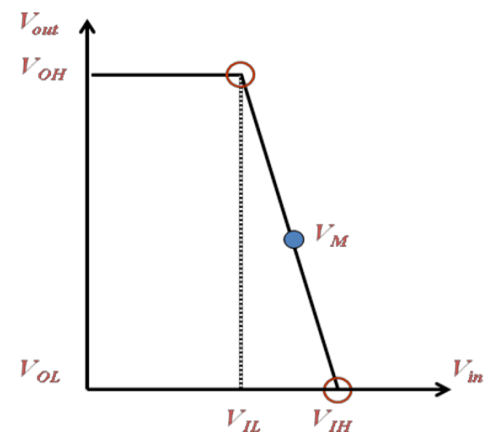


精品文档

用来定义 V_{IH} 和 V_{IL} 点。

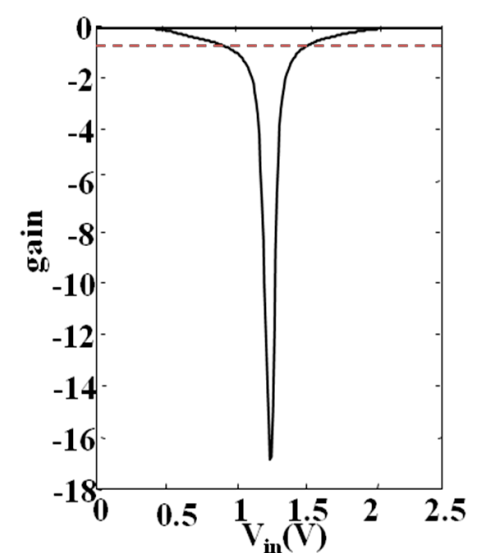
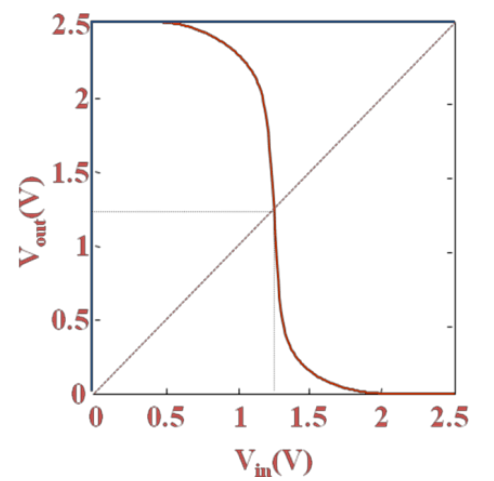


$I_D = K' \frac{W}{L} \left(V_{GT} V_{nm} - \frac{V_{nm}^2}{2} \right) (1 + \lambda V_{Ds})$ 若 $V_{GT} \geq 0$

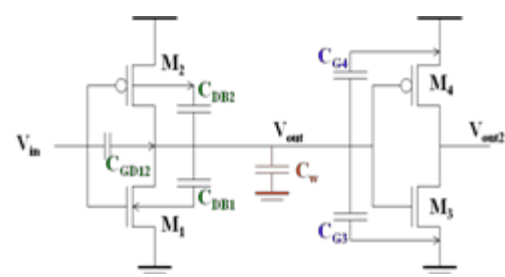
例 5.2 CM0反相器的电压传输特性和噪声容限
假设设计一个通用 0.25μm CMOS工艺的反相器，PMOS对NMOS的比为 3.4，其中 NMOS晶体管的的最小尺寸为 (W=0.375μm, L=0.25μm, 即 W/L=1.5)

$g = -27.5$ $V_L = 1.2V$, $V_{IH} = 1.3V$ $NM = NM_L = 1.2$ 确切值: $V_{IL} = 1.03V$, $M = 1.45V$ $NM = 1.03V \& NM_{IH} = 1.05V$ 输出电阻 低输出 = 2.4kΩ 高输出 = 3.3kΩ

在饱和区, 增益与电流的斜率关系很大 ($V_{in} = V_M$) $g \approx (1+r) / (V_M - V_{Tn} - V_{DSATn} / 2) Q_{n} - \lambda_p$)
分析: 公式 5.10 过高估计了增益; 最大的偏差是对于 VTC 的逐段线性近似造成的



动态特性: 分析此图



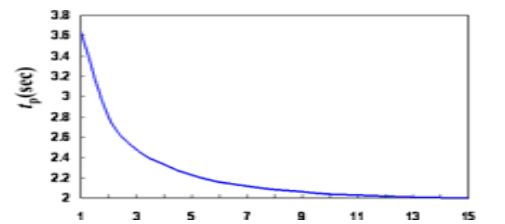
栅漏电容 C_{gd12} 扩散电容 C_{db1} 和 C_{db2} 连线电容 C_w 扇出的栅电容 C_{g3} 和 C_{g4}

电容	表达式	值 (fF) (H→L)	值 (fF) (L→H)
C_{GD1}	$C_{W_{on\ n}}$	0.23	0.23
C_{GD2}	$C_{W_{op\ p}}$	0.61	0.61
C_{DB1}	$AD C_n + K_{pdc} PDC$	0.66	0.90
C_{DB2}	$ADC_p + K_{pdc} PDC$	1.5	1.15
C_{G3}	$(2 C_n) W_{on\ n} + C_{W_{ox\ n\ n}}$	0.76	0.76
C_{G4}	$(2 C_p) W_{op\ p} + C_{W_{ox\ p\ p}}$	2.28	2.28
C_w	提取参数	0.12	0.12
C_L	Σ	6.1	6.0

例 5.5 一个 0.25μm CM0反相器的传播延时
 $V_{DD}=2.5V$ 0.25μm $W/L_n = 1.5$ $W/L_p = 4.5$ $R_{qn} = 13 k\Omega$ (1.5) $R_{qp} = 31 k\Omega$ (4.5)
 $t_{pHL} = 36 psec$ $t_{pLH} = 29 psec$ 得到: $t_p = 32.5 psec$
 $t_{pHL} = 0.69 R_{qp} C_L = 0.69 \frac{3}{4} \frac{C_L V_{DD}}{I_{DSATn}} \approx 0.52 \frac{C_L}{(W/L)_n k'_n V_{DSATn}}$

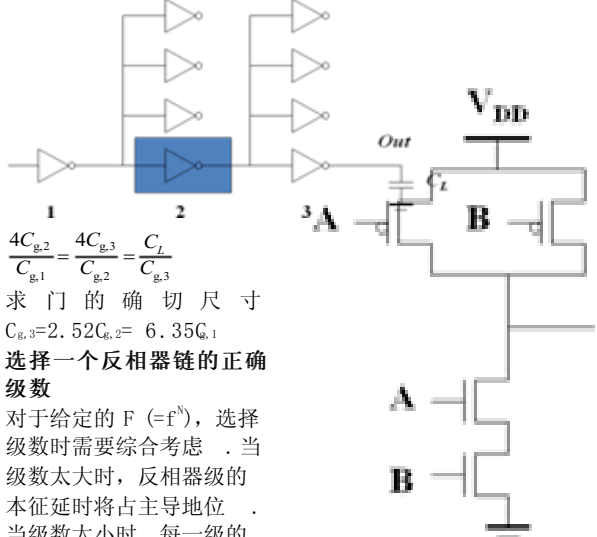
设计技术--减小一个门的传播延时
减小 C_L : 门本身的内部扩散电容。
漏扩散区的面积越小越好: 互连线电容 ; 扇出电容。
增加晶体管的W/L比: 设计者手中最强和最有效的性能优化工具 : 注意自载效应! - 一旦本征电容 (即扩散电容) 开始超过由连线和扇出形成的外部负载, 增加门的尺寸就不再对减少延时有帮助, 只是加大了门的面积。
提高 V_{DD} : 用能量损耗来换取性能; 增加电源电压超过一定程度后改善就会非常有限 ; 对可靠性的考虑迫使在 DSM 工艺中对 V_{DD} 要规定严格的上限。

NMOS与 PMOS的比
使 PMOS 管较宽, 以使它的电阻与下拉的 NMOS 管匹配。这通常要求 PMOS 和 NMOS 的宽度比在 3~3.5 之间。对称 VTC, 由高至低与由低至高的传播延时相等
如果对称性和噪声容限不是主要的考虑因素, 那么实际上有可能通过减少 PMOS 器件的宽度来加快反相器的速度。使 PMOS 较宽因充电电流的增加而改善了反相器的 t_{pLH} , 但它也由于产生较大的寄生电容而使 t_{pHL} 变差
 $\beta = (W/L)_p / (W/L)_n$ $r = R_{qp} / R_{qn}$ (代表尺寸完全相同的 PMOS 和 NMOS 晶体管的电阻比) $\beta_{opt} = \sqrt{r}$ (当导线电容可以忽略时)
例 5.7 考虑性能时的器件尺寸确定
 $S = 5$ 时性能得到了大部分的改善, 而尺寸大于 10 时几乎得不到任何额外的增益 (而且显著地浪费了面积)



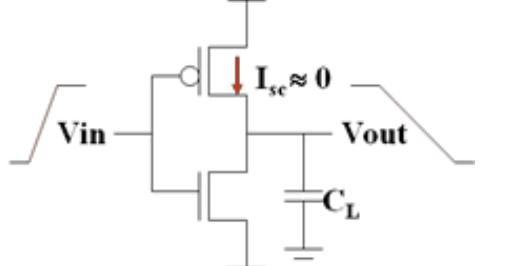
确定反相器链的尺寸
每一个反相器的最优尺寸是与它相邻的前后两个反相器尺寸的几何平均数—这意味着每个反相器的尺寸都相对于它前面反相器的尺寸放大相同的倍数 f, 即每个反相器都具有相同的等效扇出, 因而也就具有相同的延时
 $f = \sqrt[3]{C_L / C_{g,1}} = \sqrt[3]{F}$

其中 F 代表该电路的总等效扇出, $F = C_L / C_{g,1}$
以及通过该反相器链的最小延时:
 $t_p = N t_{p0} (1 + \sqrt[3]{F} / \gamma)$
当只存在一级时, t_p 和 F 是线性关系。加入二级则变为平方根关系
思考题 5.5 确定反相器网络的尺寸
确定电路中反相器的尺寸使在节点 Out 和 In 之间的延时最小。假设 $C_L = 64 C_{g,1}$

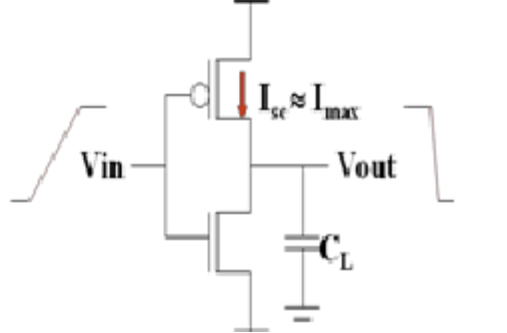


求 门 的 确 切 尺 寸
 $\frac{4C_{g,2}}{C_{g,1}} = \frac{4C_{g,3}}{C_{g,2}} = \frac{C_L}{C_{g,3}}$
 $C_{g,3} = 2.52 C_{g,2} = 6.35 C_{g,1}$
选择一个反相器链的正确级数
对于给定的 F ($=f^N$), 选择级数时需要综合考虑 . 当级数太大时, 反相器级的本征延时将占主导地位 . 当级数太小时, 每一级的有效扇出将占主导地位
通过求最小延时表达式对级数的导数并令它为 0, 可以求得最优值:
 $\gamma + \frac{\sqrt[3]{F}}{N} - \frac{\sqrt[3]{F} \ln F}{N} = 0$

对于 $\gamma = 0$ (忽略负载) 时的解, 最优级数 $N = \ln(F)$, 且每一级的等效扇出为 $f = e = 2.71828$
对于 $\gamma = 1$ (典型情况) 时的解, 最优有效扇出 (锥形系数) 将接近于 3.6
输入信号的上升下降时间
实际上, 输入信号是逐渐变化的, 而且 PMOS 和 NMOS 管会暂时同时导通一段时间。这会影响所得到的充 (放) 电总电流, 从而影响传播延时。
一旦 $t_s > t_p$, t_s 随输入斜率的增加而 (近似地) 线性增加。
 t_s 源于前一级门的有限驱动能力。
功耗、能量和能量延时
功耗分类: 动态功耗 (包括由充放电电容引起的动态功耗、直流通路电流引起的功耗); 静态功耗。直流通路电流引起的功耗: 输入信号不为无穷大的斜率造成了开关过程中 V_{DD} 和 GND 之间在短期内出现一条直接通路。
负载电容对短路电流的影响:



大电容负载, 输出的下降时间明显大于输入的上升时间;



小电容负载, 输出的下降时间明显小于输入的上升时间;

精品文档

精品文档

升时间。

能量-延时积

PDR 它衡量了开关这个门所需要的能量。对于一个给定的结构这个数字可以通过降低电源电压而任意缩小。一个更合适的指标应当把性能和能量的度量放在一起考虑。最优电源电压： $V_{Dopt}=3/2V_{TE}$ 。

第六章CMOS组合逻辑单元

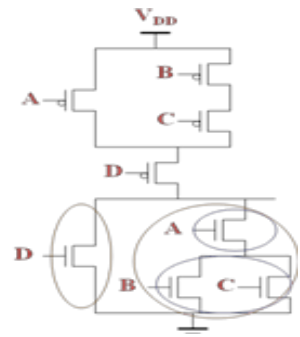
在构成PUN和PDN网络时应当记住以下几点：

晶体管可以看成是由其栅信号控制的开关 ;PDN由NMOS器件构成，而 PUN 由 PMOS器件构成。理由是NMOS管产生“强零”而 PMOS管产生“强 1” ;NMOS逻辑规则：串联器件实现 AND 操作，并联器件实现 OR操作;PMOS逻辑规则：串联器件实现 NOR操作，并联器件实现 NAND 操作;PUN 和 PDN 是对偶网络;互补门在本质上是反相的（NAND，NOR，XNOR）;实现一个具有 N 个输入的逻辑门所需要的晶体管数目为 2N；

例 6.1 两输入NAND门

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

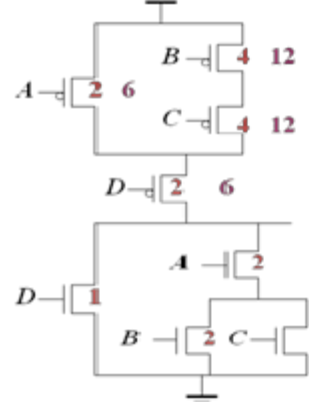
例 6.2 CMOS复合门的综合



$$F = \overline{D + A \cdot (B + C)}$$

互补CMOS门的静态特性DC电压传输特性与数据输入模式有关 一个两输入 NAND 门的 VTC 与数据有关。

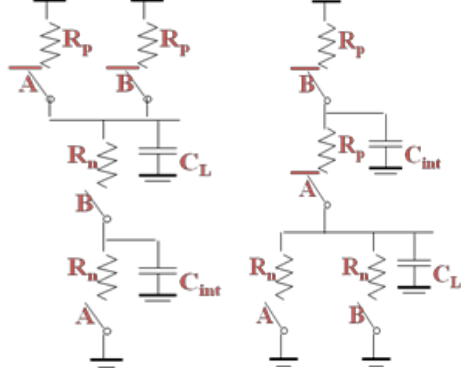
思考题6.1 确定互补CMOS门中晶体管的尺寸



$$OUT = \overline{D + A \cdot (B + C)}$$

精品文档

确定 NAND 和 NOR门中晶体管的尺寸



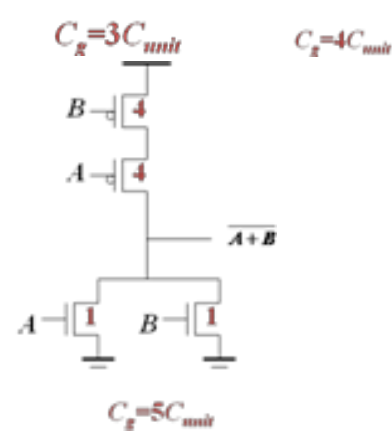
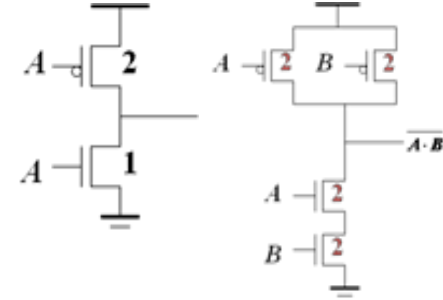
利用 NAND 实现比用 NOR实现更好

互补CMOS的缺点：晶体管数目为 2N，明显增加了它的实现面积；互补 CMOS门的传播延时随扇入数迅速增加。

大扇入时的设计技术:1. 调整晶体管尺寸。当心“自载效应”，只有当负载以扇出为主时放大尺寸才起作用。2. 逐级加大晶体管尺寸。降低了起主要作用的电阻，同时使得电容的增加保持在一定的范围内，缺点：版图复杂。3. 重新安排输入。关键信号和关键路径的概念，把关键路径上的晶体管靠近门的输出端可以提高速度。4. 重组逻辑结构。可能降低对扇入的要求，从而减少门的延时。

g 称为逻辑努力:表示一个门与一个反相器提供相同的输出电流时它所表现出的输入电容比反相器大多少

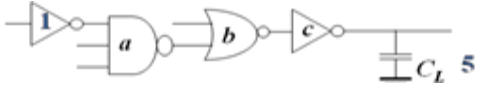
例 6.5 复合门的逻辑努力



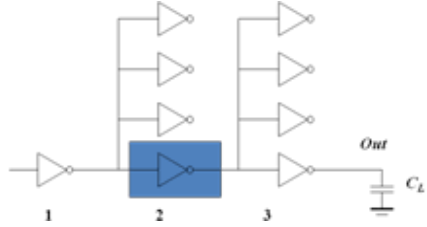
$$g_{NAND}=3/4, \quad g_{NOR}=5/3$$

例 6.6 确定组合逻辑延时最小时的尺寸

等效扇出： $F = C_L/C_{g1} = 5$
路径逻辑努力： $G = 1 \times 5/3 \times 5/3 \times 1 = 25/9$
路径分支努力： $B = 1$ （无分支）
总路径努力： $H = GFB = 125/9$ ，于是最优的每个门的努力 $h = \sqrt[4]{H} = 1.9$
根据门的类型，扇出系数： $f_1=1.93, \quad f_2=1.93 \times 3/5=1.16, \quad f_3=1.16, \quad f_4=1.93$
门的尺寸： $a = f_1 f_2 g_1 / g_2 = 1.16, \quad b = f_1 f_2 g_1 / g_3 = 1.34, \quad c = f_1 f_2 f_3 g_1 / g_4 = 2.60$



思考题6.2 确定反相器电路的尺寸



$$F=64 \quad G=1 \times 1 \times 1 \quad B=4 \times 4 \times 1=16 \quad H=64 \times 1 \times 16=1024$$

$$H = \sqrt[3]{1024} = 10.079 \quad f_1=f_2=g_2=f_3g_3=10.079$$

$$f_1=f_2=f_3=10.079 \quad C_{int}=C_{g1}$$

$$C_{int2}=t_1/b_1 \cdot c_{int}=2.52C_g$$

$$C_{int3}=t_2/b_2 \cdot t_1/b_1 \cdot C_{int}=6.35C_g$$

CMOS逻辑门中的功耗

器件尺寸——影响实际电容

输入和输出上升下降时间——决定了短路功耗

器件阈值和温度——影响漏电功耗

开关活动性：静态部分（只与逻辑电路拓扑结构有关）逻辑功能、信号统计特性；动态部分（电路时序特性引起的）动态或虚假翻转。

降低开关活动性的设计技术：逻辑重组、输入排序、分时复用资源、通过均衡信号路径来减少毛刺。

思考题6.4 静态逻辑门的功耗

对于基本逻辑门（AND, OR, XOR）推导出 0→1 的输出翻转概率。

$$P_{0 \rightarrow 1} = P_{out=0} \cdot P_{out=1}$$

NOR
$$(1 - (1 - P_A)(1 - P_B)) \cdot (1 - P_A)(1 - P_B)$$

OR
$$(1 - P_A)(1 - P_B) \cdot (1 - (1 - P_A)(1 - P_B))$$

NAND
$$P_A P_B \cdot (1 - P_A P_B)$$

AND
$$(1 - P_A P_B) \cdot P_A P_B$$

XOR
$$(1 - (P_A + P_B - 2P_A P_B)) \cdot (P_A + P_B - 2P_A P_B)$$



For C: $P_{0 \rightarrow 1} = P_0 \cdot P_1 = (1 - P_A)P_A = 0.5 \cdot 0.5 = 0.25$

For Z: $P_{0 \rightarrow 1} = P_0 \cdot P_1 = (1 - P_C)P_C = (1 - (0.5 \cdot 0.5)) \cdot (0.5 \cdot 0.5) = 3/16$

降低开关活动性的设计技术:1、逻辑重组。改变逻辑电路的拓扑结构可以降低它的功耗。结论：对于随机输入，链形实现比树形实现总体上具有较低的开关活动性（忽略毛刺） 2、输入排序。结论：推迟输入具有较高翻转率的信号（即信号概率接近 0.5 的信号） 3、分时复用资源。结论：避免对具有独特数据特性的数据流采用分时复用 4、通过均衡信号路径来减少毛刺。电路产生毛刺主要是由于在电路路径长度失配引起的，信号时序上的这一不失配一般都是由于相对于电路的原始输入信号路径的长度不同而引起的。结论：使信号路径长度匹配可以减少毛刺。

有比逻辑：有比逻辑试图减少实现一个给定逻辑功能所需要的晶体管数目，但它经常以降低稳定性和付出额外功耗为代价。由一个实现逻辑功能的 NMOS 下拉网络和一个简单的负载器件组成。有比电路：由于输出端的电压摆幅及门的总体功能取决于 NMOS 和 PMOS 的尺寸比，所以此电路称为有比电路。

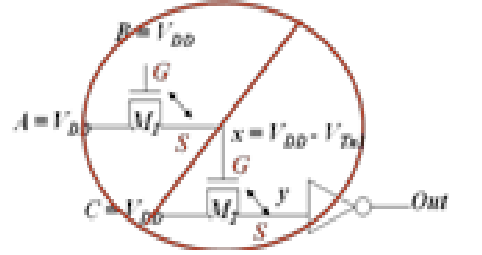
传输管逻辑 基本概念：通过允许原始输入驱动栅端和源-漏端来减少实现逻辑所需要的晶体管数目

优点：需要较少的晶体管来实现给定的功能。减少器件的数目也有降低电容的额外有点。

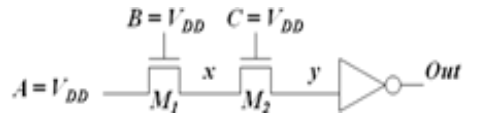
缺点：当传输管上拉一个节点至高点平时，输出只充点至 $V_{DD}-V_{Tn}$ 。

串联 NMOS 的 PT

传输管门不应当象上图这么串联，下图的逻辑避免了静态功耗，减小了噪声容限。



$y = V_{DD} - V_{Tn1} - V_{Tn2}$



$y = V_{DD} - V_{Tn1}$

稳定有效的传输管设计

方法1: 电平恢复 节点 x 可上拉到 V_{DD} (由于电平恢复), 这就消除了反相器中的任何静态功耗; 在电平恢复器和传输管中没有静态电流路径存在, 因为恢复器只有在 A 为高电平时才有效; 为使这个电路正确工作, 必须仔细确定晶体管的尺寸 (有比)。

方法2: 多种阈值晶体管 工艺上解决: 使用零阈值器件的 NMOS 传输管可以消除大部分阈值损失 (体效应仍然会阻止全摆幅达到 V_{DD}); 对功耗有负面影响, 这是由于即使 V_{GS} 低于 V_T , 也仍然会有亚阈值电流流过传输管。

方法3: 传输门逻辑: 最广泛使用的方法; 由栅信号 C 控制的全摆幅双向开关。当 C=1 时, A=B; 虽然传输门需要 2 个晶体管和较多的控制信号, 但它能得到从电源轨线至轨线电压的摆幅。

解决长延时间问题最常用的办法是每隔 m 个传输门开关切断串联链并插入一个缓冲器

$$t_p(V_n) = 0.69 \sum_{k=0}^n CR_{eq} k = 0.69 CR_{eq} \frac{n(n+1)}{2}$$

$$t_p = 0.69 \left[CR_{eq} \frac{n(m+1)}{2} \right] + \left(\frac{n}{m} - 1 \right) t_{buf}$$

动态CMOS设计

动态逻辑, 既能减少晶体管的数目, 又能避免静态功耗

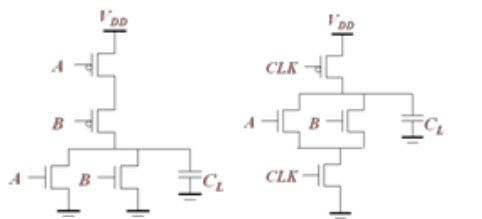
通过增加一个时钟输入, 它可以相继完成预充电和条件求值两个阶段

输出的情况: 一旦动态门的输出放电就不可能再充电, 直到进行下一次预充电; 门的输入在求值期间最多只能有一次变化; 在求值期间如果下拉网络关断, 则输出有可能处于高阻抗状态, 状态保存在 C_L 。

动态逻辑门的重要特性: 逻辑功能由 NMOS 下拉网络实现; 晶体管的数目明显少于静态情况: 为 N+2 而不是 2N; 无比的逻辑门; 只有动态功耗; 具有较快的开关速度。

设计考虑: 用对偶的方法来实现另一形态的动态逻辑; p 型动态门的缺点是比 n 型动态门慢。

例 6.16 动态逻辑的活动性估计



A. 静态 NOR 门

A B OUT

0 0 1

0 1 0

1 0 0

1 1 0

C. 真值表

静态NOR门: $\alpha_{0 \rightarrow 1} = \frac{N_0(2^N - N_0)}{2^{2N}} = \frac{3 \times (2^2 - 3)}{2^4} = \frac{3}{16}$

动态NOR门: $\alpha_{0 \rightarrow 1} = \frac{N_0}{2^N} = \frac{3}{2^2} = \frac{3}{4}$

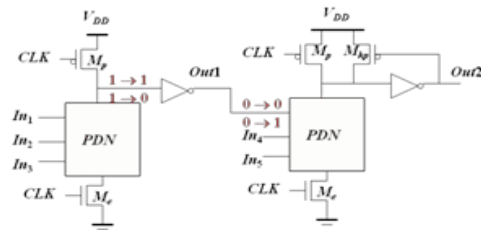
思考题6.8 活动性计算 ? ?

计算四输入动态 NAND 门的活动因子, 假设各输入是独立的并且 $P_{A=1} = 0.2$; $P_{B=1} = 0.3$; $P_{C=1} = 0.5$ 和 $P_{D=1} = 0.4$

信号完整性问题: 包括 电荷泄漏、电荷分享、电容耦合、时钟馈通

串联动态门 只要在求值期间输入只能进行单个的 0→1 翻转就能保证正确工作

多米诺逻辑 基本概念: 一个 n 型动态逻辑块后面接一个静态反相器构成



多米诺逻辑的名字来历有如一条崩塌的多米诺骨牌线!

多米诺CMOS的特点: 只能实现非反相逻辑, 可以达到非常高的速度: 只存在上升沿的延时, 而 t_{pHL} 等于 0。

第七章 CMOS时序逻辑单元

时序电路的时钟参数

建立时间: 在时钟翻转之前数据输入必须有效的

保持时间: 在时钟边沿之后数据输入必须仍然有效的

传播延时: 相对于时钟边沿, 最坏情况下, 数据被复制到输出端的时间

两个约束条件 最小时钟周期 $T \geq t_{c-q} + t_{plogic} + t_{su}$; 对寄存器维持时间的要求 $t_{cdregister} + t_{cdlogic} \geq t_{hold}$ 。

存储单元的分类: 前台存储器和后台存储器。嵌入在逻辑中的存储器 / 大量的集中存储内核。静态存储器和动态存储器。正反馈或再生原理 / 在与 MOS 器件相关的寄生电容上暂时存储电荷, 用于寄存器在较长时间内不被更新时 / 用于要求较高性能水平和采用周期时钟控制的数据通路电路中。锁存器和寄存器。电平敏感 / 边沿触发。

不同类型存储元件的定义 一个边沿触发的存储元件称为寄存器。锁存器是一个电平敏感的器件。由交叉耦合的门构成的任何双稳态元件称为触发器(flip-flop)。

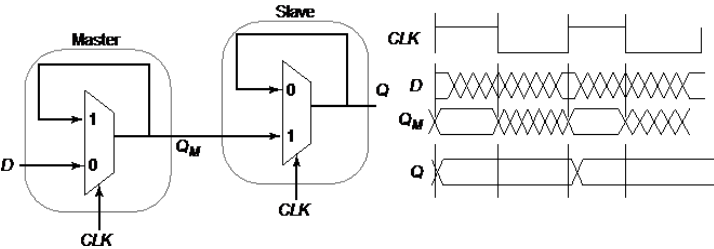
双稳态原理

交叉耦合的两个反相器形成了双稳态电路 (即一个电路具有 2 个稳定状态, 每一个对应一个逻辑状态)。

当翻转区中反相器的增益大于 1 时, 只有 A 和 B 是稳定的工作点, 而 C 是一个亚稳态工作点。

改变电路状态的方法: 切断反馈环路 (多路开关型锁存器)。触发强度超过反馈环 (实现静态后台存储器的主要方法)。

主从边沿触发寄存器 工作原理: 在时钟的低电平阶段, 主级是透明的, 输入 D 被传送到主级的输出端 Q_M 。在此期间, 从级处于维持状态, 通过反馈保持它原来的值。在时钟的上升沿期间, 主级停止对输入采样, 而从级开始采样在时钟的高电平阶段, 从级对主级的输出端 (Q_M) 采样, 而主级处于维持状态。由于 Q_M 在时钟的高电平阶段不变, 因此输出 Q 每周期只翻转一次。由于 Q 的值就是时钟上升沿之前的 D 值, 因此具有正沿触发



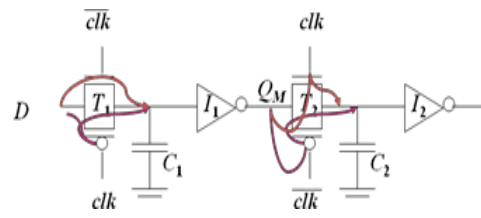
效应。

多路开关型主从寄存器的时序特性建立时间: 输入数据 D 在时钟上升沿之前必须有效的

时间 $3 \times (t_{pd_inv} + t_{pd_tx})$ 。传播延时: Q_M 值传播到输出 Q 所需要的时间 $t_{c-q} = t_{pd_inv} + t_{pd_tx}$ 。保持时间: 在时钟上升沿之后输入必须保持稳定的时间 0。

时钟重叠可以引起两种类型的错误 竞争情况: 由于 CLK 和 CLK 在一个很短的时间内都为高电平, 两个采样传输管都导通, 因此在 D 和 Q 之间有直接通路。不确定状态: 由于 CLK 和 CLK 都为高电平, 那么节点 A 同时被 D 和 B 驱动。

动态传输门边沿触发寄存器



0→0 重叠竞争的限制条件 $t_{overlap0 \rightarrow 0} \geq t_{r1} + t_{r1} + t_{r2}$

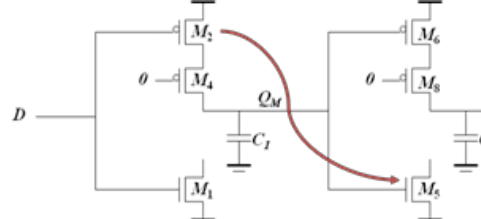
1→1 重叠竞争的限制条件 $t_{overlap1 \rightarrow 1} \geq t_{hold}$

C²MOS 一种对时钟偏差²不敏感的方法²⁵²⁻²⁵³

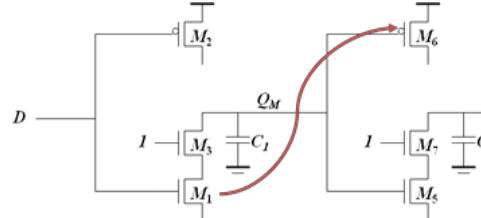
1. CLK=0 (CLK=1): 第一个三态驱动器导通, 此时主级像一个反相器在内部节点 X 上采样 D 的反相数据, 因此主级处于求值模式。同时从级处在高阻抗模式, 即维持模式。晶体管 M_7 和 M_8 均关断, 切断了输出和输入的联系。输出 Q 维持其原来存储在输出电容 C_{L2} 上的值。

2. CLK=1 时恰好相反: 主级部分处在维持模式, 而第二部分求值。存放在 C_{L1} 上的值经过从级传送到输出节点, 此时从级的作用像一个反相器。

C²MOS 触发器 0→0 覆盖的情况: 只要时钟边沿的上升和下降时间足够小, 具有 CLK 和 !CLK 时钟控制的这一 C²MOS 寄存器对时钟的重叠是不敏感的。



C²MOS 触发器 1→1 覆盖的情况



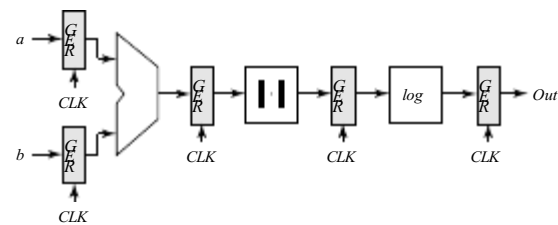
双边沿寄存器

优点: 需要较低的时钟频率 (原来频率的 1/2) 来完成同样功能的数据处理量, 节省了时钟分布网络中的功耗

它由两个并行的主从边沿触发寄存器组成, 寄存器的输出用三态驱动器实现二选一

CLK=1: 上面的主级采样, 从级保持; 下面的主级保持, 从级采样

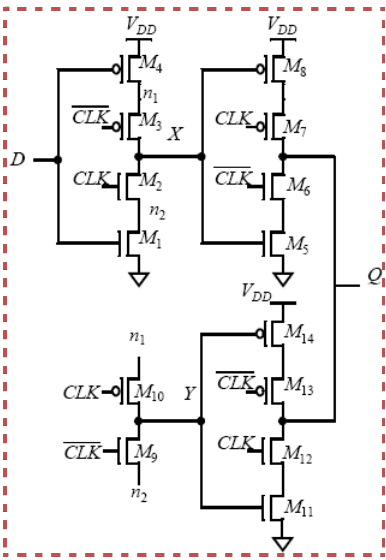
CLK=0: 上面的主级保持, 从级采样; 下面的主级采样, 从级保持



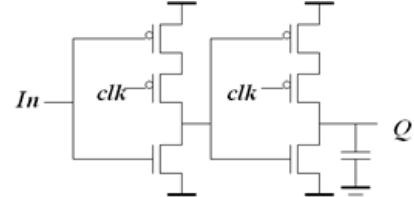
流水线工作的优点可以从考察这一改进电路的最小时钟周期中看得非常清楚。

$T_{\min, \text{pipe}} = t_{c-q} + \max(t_{pd, \text{add}}, t_{pd, \text{abs}}, t_{pd, \text{log}}) + t_{su}$

han 工作室出品



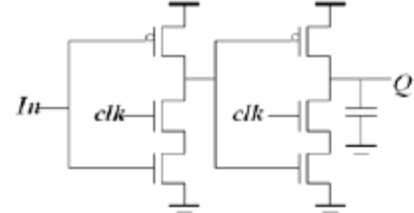
真单相钟控寄存器(TSPCR)



负锁存器

当 clk = 1 时，保持模式

当 clk = 0 时，采样模式



正锁存器

当 clk = 1 时，采样模式

当 clk = 0 时，保持模式

流水线：优化时序电路的一种方法

流水线是一项提高资源利用率的技术，它增加了电路的数据处理量

