第六章 CPLD设计

CPLD是整个音频数据采集板的核心，它控制着音频数据采集板的各个部分，使各部分有序协调的工作。在CPLD设计中，按照现代SOC设计中自顶向下的方法[22]，采用VHDL语言描述[23]，采用ModelSim仿真[24]，然后下载到器件中生成实际电路进行验证。

本文中，CPLD采用Xilinx公司生产的XC2C128[25] CPLD, XC2C128属CoolRunnerII[26] [27]系列。这里采用100个引脚的VQFP封装，具有80个可用I/O口，128个宏单元。XC2C128采用0.18微米CMOS工艺，功耗低。内核工作电压为1.8V，I/O操作电压为1.5V-3.3V。

6.1 顶层设计

6.1.1 CPLD与其它各部分的关系

CPLD与其它各部分的关系如图6-1所示：



图6-1 CPLD与其它部分的关系图

Fig6-1 the connection diagram between CPLD and others

当CPLD检测到来自网络微处理器的有效启动信号ST后，系统开始工作。

CPLD为AIC31提供工作时钟，并实现AIC31的串行音频接口(Left Justified)，接收来自两个AIC31的串行数字音频信号，将串行数字信号转换为并行的。然后将四路数据分别写入双口RAM中各自的存储空间。当一个4K的缓冲区被写满后，CPLD向另一个4K的缓冲区写数据，并产生对网络微处理器的中断信号IRQ，通知网络微处理器从被写满的那个4K的缓冲区中读取数据，如此反复。当网络微控制器从双口RAM读数据时，CPLD控制网络微控制器应该从哪个4K的缓冲区中读数据。

CPLD控制状态LED，当开始采集音频数据时，LED闪烁，停止采集时，LED一直亮。

CPLD顶层端口信号描述如表6-1所示：

表6-1 CPLD顶层端口信号描述

Fig6-1 the description of CPLD‘s peak port signals

|  |  |  |
| --- | --- | --- |
| 名称 | 方向 | 描述 |
| clk | Input | Clock。全局时钟输入,来自晶振，22.5792MHz。 |
| reset | Iutput | Reset。全局复位信号，来自网络微处理器。 |
| st\_uc | Input | Start。来自网络微处理器的启动/停止信号，低电平为启动，高电平为停止。 |
| irq\_uc | Output | Interrupt request。当CPLD向数据缓冲区写满数据时，向网络微控制器发出中断请求信号，请求网络微控制器读取数据并向网络发送。 |
| led | out | 工作状态显示，当开始采集数据时， LED闪烁，当停止采集数据时，LED常亮。 |
| mclk | Output | Main clock。 AIC31工作的主时钟，与clk同频。 |
| bclk | Output | Bit clock。向AIC31提供的串行数字音频接口的位时钟，由CPLD将clk 16分频得到。 |
| wclk | Output | Word clock。向AIC31提供的串行数字音频接口的字选择时钟，选择输出左声道数据还是右声道数据。由CPLD将clk 512分频得到。 |
| sd0 | Input | Serial data 0。AIC31的串行数字音频数据。 |
| sd1 | Input | Serial data1。AIC31的串行数字音频数据。 |
| ce\_l | Output | Chip enable。双口RAM左端口片选信号。 |
| oe\_l | Output | Output enable。双口RAM左端口读选通信号。 |
| we\_l | Output | Write enable。双口RAM左端口写选通信号。 |
| addr\_l[12:0] | Output | Address bus。双口RAM左端口地址总线。 |
| data\_l[7:0] | In/Out | Data bus。双口RAM左端口数据总线。 |
| addr12\_r | Output | Address bus。双口RAM右端口地址线A12。 |

6.1.2 CPLD顶层模块划分

按照CPLD所完成的功能，可将其分为三个模块，分别为UC接口模块, ADC 接口模块和RAM 控制模块。如图6-2所示：



图6-2 CPLD顶层模块划分

Fig6-2 the partition of the top module

UC接口模块实现CPLD与微控制器的接口，检测来自微控制器的启动/停止信号，产生对微控制器的中断信号，并控制状态LED。

ADC接口模块为AIC31提供时钟信号，接收自AIC31的串行数字音频数据，然后转换为并行数据，并将数据传递给RAM 控制模块。

RAM控制模块主要控制双口RAM，产生写RAM的时序，将ADC接口模块接收到的各路数据分别写入双口RAM中各自的缓冲区。

6.2 UC接口模块设计

UC接口模块实现了与微控制器的接口，检测微控制器的启动/停止信号，根据RAM控制模块的full信号产生对微控制器的中断。并控制状态LED，当系统处于音频采集状态时，LED闪烁，否则，LED常亮。

UC接口模块的端口信号如表6-2所示：

表6-2 UC接口模块端口信号描述

Tab6-2 the description of the UC interface module signal

|  |  |  |
| --- | --- | --- |
| 名称 | 方向 | 描述 |
| clk | Input | Clock。时钟输入。 |
| reset | Input | Reset。复位信号，低电平有效。 |
| full | Input | 高电平有效。来自RAM控制模块，每个缓冲周期末，该信号有效一个clk周期。 |
| st\_uc | Input | Start。启动/停止信号，低电平：启动；高电平：停止。 |
| irq\_uc | Output | Interrupt request。中断请求信号，低有效。当检测到full信号的上升沿时，产生中断，通知网络微处理器读取音频数据并发送到网络。 |
| led | Output | LED状态控制信号。当系统处于采集状态时，LED闪烁，否则，常亮。 |
| sys\_en | Output | System enable。系统使能信号，高有效。当系统处于工作状态时，sys\_en有效。 |

6.2.1 启动/停止信号的检测

st\_uc

clk

st\_d1

st\_d2

st\_d0

CPLD

st\_d0

st\_d1

st\_d2

&

st\_d0

st\_d1

st\_d2

≥1

st\_or

st\_and

图6-3 ST 信号检测机制

Fig6-3 the detection mechanism of the signal ST

系统的启动或停止由DS80C400的P1.4引脚控制。当P1.4引脚为低电平时系统启动， 使sys\_en有效，CPLD开始为AIC31提供时钟信号，音频采集板处于数据采集状态；当P1.4引脚为高电平时，使sys\_en无效，音频采集板停止采集数据，CPLD停止给AIC31提供时钟信号。

由于ST信号关系着系统的启动和停止，因此为了提高系统的稳定性，在检测启动/停止(ST)信号时，采用如图6-3所示机制[28][29]。

在CPLD内部，与st\_uc信号串联三个寄存器，三个寄存器的输出信号分别为st\_d0、st\_d1和st\_d2，这三个信号分别为st\_uc信号的一个clk、两个clk和三个clk的延迟信号。假如当前为空闲状态(sys\_en为0)，若st\_d0、st\_d1和st\_d2都为0，即st\_or为0，则sys\_en变为1，系统开始工作；假如当前为工作状态(sys\_en为1)，若st\_d0、st\_d1和st\_d2都为1，即st\_and为1，则sys\_en变为0，系统停止工作，变为空闲状态。状态转移图如6-4所示：

Idle(sys\_en=0)

Work(sys\_en=1)

st\_or=0

reset negated

reset asserted

st\_and=1

图6-4 ST信号检测状态转移图

Fig 6-4 the state conversion diagram of the detection of signal ST

这样，当st信号有一些小的干扰脉冲时，只要干扰脉冲的宽度不超过三个clk时钟周期，将不会影响系统的正常工作。如图6-5所示。

clk

st

st\_d0

st\_d1

st\_d2

st\_or

st\_and

sys\_en

This jam pulse would be filtered

图6-5 ST信号检测时序图

Fig6-5 the sequential diagram of the detection of signal ST

6.2.2 中断信号的产生

要使DS80C400检测到有效的中断信号，中断信号的低电平持续时间最短为DS80C400的一个机器周期。本设计中，DS80C400的机器周期约为70ns，而CPLD的输入晶振频率为22.5792MHz，即每个clk周期约为44ns，所以CPLD产生的对DS80C400中断信号的低电平持续时间至少为2个clk周期，这里设为3个clk周期。

因此，当接收到来自RAM控制模块的full有效信号时，使irq\_uc持续三个clk周期的低电平时间，然后再回到高电平[30]。状态转移图如6-6所示：

Idle(irq\_uc=1)

IRQ\_state(irq\_uc=0)

full=1

reset negated

reset asserted

Duration = 3 clk

图6-6 IRQ信号产生状态转意图

Fig6-6 the state conversion diagram of the generation of the signal IRQ

6.2.3 LED状态控制



图6-7 LED 状态控制电路

Fig6-7 the circuit of the state control of the LED

如图6-7所示，将一个计数器的最高位接led，sys\_en信号接计数器的异步清零端。当sys\_en为0时，即系统停止采集数据时，计数器清零，led为低电平，LED直亮；否则，计数器处于计数状态，LED闪烁。若用clk作为LED计数器的计数脉冲，需要的计数器位数比较多，这里采用full信号作为LED计数器的计数脉冲。经实验，计数器为5位时，LED的闪烁时间比较合适，而若用clk作为计数脉冲，则需23位计数器，大大浪费了CPLD的宝贵资源。况且，full信号脉冲只在采集数据的时候才会有，因此，用full作为LED计数器的计数脉冲比较合适。

6.3 ADC接口模块设计

ADC接口模块的主要功能为：为AIC31提供时钟信号，接收自AIC31的串行数字音频数据，然后转换为并行数据，并将数据传递给RAM 控制模块。

ADC接口模块的端口信号描述如表6-3所示：

表6-3 ADC接口模块端口信号描述

Tab6-3 the description of the ADC interface module signal

|  |  |  |
| --- | --- | --- |
| 名称 | 方向 | 描述 |
| clk | Input | Clock。时钟输入。 |
| reset | Input | Reset。复位信号，低电平有效。 |
| sys\_en | Input | System enable。系统使能信号，高有效。 |
| mclk | Output | Main clock。 AIC31工作的主时钟，与clk同频。 |
| bclk | Output | Bit clock。向AIC31提供的串行数字音频接口的位时钟，由CPLD将clk 16分频得到。 |
| wclk | Output | Word clock。向AIC31提供的串行数字音频接口的字节选时钟，选择输出左声道数据还是右声道数据。由CPLD将clk 512分频得到。 |
| sd0 | Input | Serial data 0。AIC31的串行数字音频数据。 |
| sd1 | Input | Serial data1。AIC31的串行数字音频数据。 |
| ds | Output | Data valid strobe。数据有效指示信号，上升沿有效。 |
| hlb | Output | High/ low byte。高/低字节指示信号，0为低字节，1为高字节。 |
| lrc | Output | Left/right channel。左/右声道指示信号，0为左声道，1为右声道。 |
| data0[7:0] | Output | 并行音频数据。 |
| data1[7:0] | Output | 并行音频数据。 |

6.3.1 CPLD与AIC31的串行数字音频接口

AIC31提供的串行数字音频接口有Left justified，Right justified，I2S，DSP和TDM五种模式。本文中，CPLD与AIC31之间的串行数字音频接口采用Left justified模式，其接口时序图如6-8所示：

1

15

16

2

3

2

1

1

16

15

3

Left channel

Right channel

WCLK

BCLK

SD

MSB

LSB

MSB

LSB

图6-8 Left justified模式时序图

Fig6-8 the sequential diagram of the Left justified mode

WCLK的频率即采样频率，为44.1KHz，由CLK的 512分频得到。

BCLK的频率为WCLK的32倍，由CLK 的16分频得到。

由图6-8可知，AIC31的串行输出数据SD在BCLK的下降沿变化，在BCLK的上升沿处最稳定，因此，CPLD在BCLK的上升沿处对AIC31的串行输出数据SD采样。

6.3.2 时钟产生器(clk\_gen)

时钟产生器主要产生BCLK、WCLK等时钟信号。由于MCLK与CLK同频，BCLK为CLK的16分频，WCLK为CLK的512分频，所以时钟产生器可用9位计数器构成，如图6-9所示：

clk\_cnt(8)

cnt\_clr

Clk

counter

&

clk

tick

clk\_cnt(7)

clk\_cnt(6)

clk\_cnt(5)

clk\_cnt(4)

clk\_cnt(3)

clk\_cnt(2)

clk\_cnt(1)

clk\_cnt(0)

wclk

bclk

sys\_en

图6-9 时钟产生器电路图

Fig6-9 the circuit of clock generator

wclk与计数器的clk\_cnt(8)输出相连，bclk与计数器的clk\_cnt(3)输出相连。本设计中，ADC转换精度为16位，为了节省CPLD的资源，在接收ADC串行数字音频数据时采用8位移位寄存器，每接收完一个字节，就将数据写到RAM缓冲区中。为此，这里用tick信号来指示是否wclk脉冲高电平或者低电平的中点处。若是，tick为1；否则，tick为0。如图6-10所示：

Left channel

Right channel

WCLK

BCLK

1

8

16

1

8

16

1

tick

图6-10 时钟产生器时序图

Fig6-10 the sequential diagram of clock generator

6.3.3 数据接收主状态机

Idle

waitrecv

recv

reset asserted

reset negated

sys\_en=1

wclk ringing edge

wclk rising edge

sys\_en=0

图6-11数据接收主状态机

Fig6-11 the main state machine of data receiving

如图6-11所示，当接收状态机处于idle状态时，若sys\_en为1，则状态机进入waitrecv状态，等待wclk上升沿的到来。在wclk的上升沿，状态机从waitrecv进入recv，接收数据开始。由于wclk的上升沿标志着一次采样数据接收的开始，因此在idle和recv两个状态之间插入waitrecv状态，从而使数据接收与wclk同步。当状态机处于recv状态时，若检测到sys\_en为0，则在当前的一次采样数据接收完毕，即在wclk的上升沿处接收状态机从recv状态进入idle状态。

当处于recv状态时，输入的串行数据先通过8位移位寄存器转换为并行数据，由于SD数据线上的数据在bclk的上升沿处最稳定，因此，shift\_en信号在bclk的上升沿到来的那个clk时钟周期内有效，串行数据移入移位寄存器。每接收完一个字节的数据，即在wclk的跳变沿或tick信号有效的时候，load\_en 信号有效，数据从移位寄存器载入暂存器buffer中，同时使ds信号有效以通知RAM 控制模块[33]。如图6-12所示：

Shift\_reg1

Buffer1

Sd1

Shift\_en

Load\_en

Data1

Shift\_reg0

Buffer0

Sd0

Data0

图6-12 移位寄存器和缓冲器结构示意图

Fig6-12 the structure sketch map of shift register and buffer

6.3.4 hlb与lrc信号的判断

Hlb用来向RAM控制模块指示当前接收的数据是采样数据的高字节还是低字节；lrc用来向RAM控制模块指示当前接收的数据是左声道的还是右声道的。当移位寄存器每接收完一个字节数据的时候，若tick信号有效，同时wclk处于高电平，表示当前接收到的8位数据是左声道高字节，则lrc为0，hlb为1；若此时tick信号有效，同时wclk处于低电平，表示当前接收到的8位数据是右声道高字节，则lrc为1，hlb为1；若此时处于wclk的下降沿，表示当前接收到的8位数据是左声道低字节，则lrc为0，hlb为0；若此时处于wclk的上升沿，表示当前接收到的8位数据是右声道低字节，则lrc为1，hlb为0。如图6-13所示：

Left channel

Right channel

1

8

16

1

8

16

1

WCLK

BCLK

tick

ds

hlb

lrc

图6-13 hlb与lrc信号判断时序图

Fig6-13 the sequential diagram of the decision of the signal hlb and lrc

6.4 RAM控制模块设计

RAM控制模块的主要功能为：根据ADC接口模块接收的各路数据控制写RAM时序，将各路数据分别写入双口RAM中各自的缓冲区，产生对网络微处理器的中断信号，并给总线切换模块提供切换信号。

RAM控制模块的端口信号描述如表6-4所示：

表6-4 RAM控制模块端口信号描述

Tab6-4 the description of the RAM control module signal

|  |  |  |
| --- | --- | --- |
| 名称 | 方向 | 描述 |
| clk | Input | Clock。时钟输入。 |
| reset | Input | Reset。复位信号，低电平有效。 |
| ds | Input | Data valid strobe。数据有效指示信号，上升沿有效。 |
| hlb | Input | High/ low byte。高/低字节指示信号，0为低字节，1为高字节。 |
| lrc | Input | Left/right channel。左/右声道指示信号，0为左声道，1为右声道。 |
| data0[7:0] | Input | 并行音频数据。 |
| data1[7:0] | Input | 并行音频数据。 |
| ce\_l | Output | Chip enable。双口RAM左端口片选信号。 |
| oe\_l | Output | Output enable。双口RAM左端口读选通信号。 |
| we\_l | Output | Write enable。双口RAM左端口写选通信号。 |
| addr\_l[12:0] | Output | Address bus。双口RAM左端口地址总线。 |
| data\_l[7:0] | In/Out | Data bus。双口RAM左端口数据总线。 |
| addr12\_r | Output | Address bus。双口RAM右端口地址线A12。 |
| full | Output | 缓冲区写满指示信号。高电平有效。 |

6.4.1 写RAM时序

clk

ds

ce\_l

we\_l

addr\_l

data\_l

data0

data1

图6-14 写RAM时序图

Fig6-14 the sequential diagram of RAM written

每次ds有效，需将data0(AIC31\_0的数据)和data1(AIC31\_1的数据)依次写入RAM。用一个计数器wccnt的最高位来控制写选通信号we\_w，通过改变计数器的位数即可改变向RAM写一个数据所需的时间，从而可以满足不同速度RAM的要求。本文用两位计数器，向RAM写一个数据用4个clk周期[34]。写RAM时序如图6-14所示。

6.4.2 RAM控制主状态机

Idle

Write0

Write1

ds rising edge

wccnt = WCCNT\_MAX

wccnt = WCCNT\_MAX

图6-15 RAM控制主状态机

Fig6-15 the main state machine of RAM control

如图6-15所示，当检测到ds信号的上升沿时，则需要向RAM写数据，进入write0状态，将data0写入RAM，然后再进入write1状态，将data1写入RAM，最后回到idle状态。

6.4.3 地址产生器

在本设计中，将双口RAM的低8K存储区分为大小相等的两部分分别作为缓冲区A和缓冲区B，因同时采集四路音频数据，因此又将每部分分为四小部分分别存放各路数据，数据缓冲区的地址分配如图6-16所示：



图6-16 数据缓冲区地址分配

Fig6-16 the address assignment of data buffer

为了能够将各路数据分别写入各自所在的地址空间，将地址产生器设计如图6-17所示：



图6-17 地址产生器电路图

Fig6-17 the circuit of address generator

在地址产生器中，HLB为高/低字节选信号，接地址线的最低位addr\_l(0)。因本文数据存储格式为LITTLE ENDIAN方式，所以当向数据缓冲区中写入的数据为采样数据的高字节时，HLB即addr\_l(0)为高电平，当写入的数据为低字节时，HLB即addr\_l(0)为低电平[35]。

SEL(1:0)为通道选择信号，接地址线的addr\_l(11:10)，当向缓冲区待写入的数据分别为第1路、第2路、第3路和第4路的数据时，SEL(1:0)分别为00、01、10、11，地址线也就选中了缓冲区相应的地址空间。

10位计数器输出端的最高位Q(9)接地址线的最高位，Q(8:0)接地址线的addr\_l(9:1)。每个采样周期，计数器加1，当计数器的最高位也即地址线的最高位发生变化时，说明从一个缓冲周期进入了另一个缓冲周期，full信号变为高电平，并持续一个clk周期。

双口RAM右端口的地址线addr12\_r由CPLD控制，addr12\_r通过一个反相器与Q(9)相连，从而保证了DS80C400和CPLD对双口RAM的读写不会冲突。