第五章 硬件系统设计

数字音频流服务器的硬件系统包括两大部分：音频采集板和网络接口板。

音频采集板以CPLD为核心，主要完成数据采集的功能，将各路模拟音频信号放大后转换成数字信号，然后存入数据缓冲区。

网络接口板以网络微控制器DS80C400为核心器件，主要实现音频采集板与以太网的接口，将音频采集板采集到的各路数字音频数据分别发送到各自的多播地址，并控制音频采集板的工作状态。

5.1音频采集板设计

5.1.1 音频采集板整体结构设计



图5-1 音频采集板结构框图

Fig5-1 The structure diagram of audio sample board

如图5-1所示，音频采集板先将输入的四路模拟音源进行前置放大，经AGC电路(自动增益控制)将模拟音频信号的幅度稳定在一定的范围，再通过ADC将模拟信号转换为数字信号。前置放大、AGC、ADC三者的功能由TI公司的单个芯片Tlv320aic31(下文用AIC31表示)完成。

缓冲区由一片双口SRAM构成。

CPLD为AIC31提供工作时钟，并接收来自AIC31的串行数字音频信号，将串行数字信号转换为并行的，然后将四路数据分别写入各自的缓冲区，并通知网络微处理器从数据缓冲区中读取数据。CPLD是整个音频采集板的核心，它控制着音频数据采集的各个部分，使各部分有序协调的工作。

5.1.2 AIC31配置方案选择

AIC31内部寄存器的配置需用I2C接口，但DS80C400无I2C接口，有两种方法可以实现I2C接口以对AIC31内部寄存器进行配置。一种是用CPLD实现I2C接口，另一种是利用DS80C400的通用IO口线通过软件的方法实现I2C接口。由于本设计中只是用I2C来配置AIC31内部寄存器，配置完成后将不再使用I2C接口，若用CPLD实现I2C，无疑是对CPLD资源的浪费，因此，本设计采用DS80C400的通用IO口线用汇编语言实现I2C接口。

本设计中同时采集四路音频数据，需用两片AIC31，虽然I2C总线上可以同时连接多个器件，但前提是每个Slave器件的响应地址是唯一的，而AIC31的用于配置内部寄存器的I2C接口只能工作在Slave模式，且每个芯片在出厂时都内置了相同的Slave地址18H。也就是说，两个AIC31芯片不能连接在同一个I2C总线上，需用两套I2C总线分别对其配置。



图5-2 AIC31配置电路

Fig5-2 the configuration circuit of AIC31

如图5-2所示，用DS80C400的P1.0和P1.1与其中一个AIC31的SDA和SCL相连，DS80C400的P1.2和P1.3与另一个AIC31的SDA和SCL相连。I2C总线需接上拉电阻，这里接的上拉电阻大小为1K。

5.1.3 音频数据缓冲方案选择

5.1.3.1 缓冲方式选择

为了避免过于频繁的中断微控制器，减小微控制器的压力，而又使音频信号的延迟达到最小，系统中加入一定大小的数据缓冲区。

缓冲区实现方案通常有三种：

1．FIFO（First In First Out，先进先出）方式。FIFO 存储器就象数据管道一样，数据从管道的一侧流入，从另一侧流出，先进入的数据先流出。FIFO 具有两套数据线而无地址线，可在其一端写操作而在另一端进行读操作。数据在其中顺序移动，因而能够达到很高的传输效率，且由于省去了地址线，采集控制器设计较简单，且有利于印刷电路板布线。缺点是价格昂贵，且只能顺序读写数据。对于本设计，因同时采集四路数据，若采用FIFO缓冲方式，网络接口板需要先将FIFO中的数据读到SRAM，然后用软件方式将四路数据分开后再向网络发送，极大地浪费了DS80C400的CPU资源。因此，本设计中不适合采用FIFO缓冲方式。

2．高速SRAM切换方式，即“乒乓” 缓冲方式。缓冲区用两片SRAM构成，在某一时刻，CPLD对其中一片SRAM写数据，DS80C400从另一片SRAM读数据，如此轮换读写。但因单口SRAM只有一套数据、地址和控制总线，需进行总线的切换。而切换控制电路比较复杂，将极大地增加印刷电路板面积和布线的难易度。

3．双口 RAM 方式。双口 RAM 具有两套独立的数据、地址和控制总线，因而可从两个端口同时读写而互不干扰，CPLD可将音频数据从一个端口写入而由DS80C400从另一端口读出。双口RAM使用方便，无需额外切换和控制电路。

综上所述，本设计中，音频数据缓冲方式采用双口RAM缓冲方式。将双口RAM分为大小相等的A和B两部分，在第一个数据缓冲周期，将采样到的数字音频数据写入缓冲区A，在第二个数据缓冲周期，将采样的数字音频数据写入缓冲区B，同时，微控制器读取并处理第一个缓冲周期内缓存到缓冲区A中的数据，在第三个数据缓冲周期，将采样的数字音频数据写入缓冲区A，同时，微控制器读取并处理第二个缓冲周期内缓存到缓冲区B中的数据。如此循环。

5.1.3.2 缓冲区大小选择

数据缓冲区的大小必须合适系统才能具有优越的性能，若缓冲区过大，音频信号的延迟时间就比较长，若缓冲区过小，则CPLD将过于频繁的中断DS80C400，增大CPU的开销，也增加了向网络发送数据包的频繁程度。另一方面，由于以太网和802.3对数据帧的长度都有一个限制，其最大值分别是1500和1492字节，链路层的这个特性称作MTU，即最大传输单元。如果IP层有一个数据报要传，而且数据报的长度比链路层的MTU还要大，那么IP层就要进行分片(fragmentation)，使每一片都小于MTU。但是DS80C400的TCP/IP协议栈不具有分片的能力，当发送的数据包超过MTU时就会出错。

综合考虑，将每路音频的缓冲区大小设为1KB。由于ADC的采样精度为16位，所以每路音频的每个采样点将产生两个字节的数据，1K的缓冲区可以缓冲 1KB/2B=512次采样。而采样率为44.1kHz，则数据缓冲周期为512/44.1kHz=11.6ms，由此使音频信号所产生的时延是允许的。

因此，每路音频数据缓冲区大小设为1KB，四路即为4KB。

5.1.4 音频数据缓冲区电路设计

本设计中缓冲区大小为4KB，因此双口RAM的容量不得小于8KB，以将双口RAM分为两个4KB的缓冲区A和B。但当前市场上容量小于16KB的双口RAM已不容易获得，因此，这里选用赛普拉斯公司(CYPRESS)的芯片CY7C006AV，该芯片采用CMOS工艺，单3.3V供电，功耗低，容量为16KB，数据宽度为8位[14]。本设计中只用8KB。CY7C006AV的电路连接示意图如图5-3所示：



图5-3 音频缓冲区示意图

Fig5-3 The chart of audio buffer

将CY7C006AV的最高位地址线A13\_L和A13\_R接地，即只用其低8KB的存储空间。CY7C006AV的A12\_R由CPLD的addr12\_r控制，在CPLD内部，addr12\_l和addr12\_r反相，从而使CY7C006AV的A12\_L和A12\_R反相，确保了CPLD对CY7C006AV写操作和DS80C400从CY7C006AV的读操作不在同一个缓冲区。同时也使DS80C400从不必关心从哪一个缓冲区(高4KB或低4KB)读数据。

SEML(left port semaphore)、SEMR(right port semaphore)和M/S(master or slave select)均通过10k的上拉电阻接3.3V电源。当M/S为高电平时，INTL(left port interrupt flag)、INTR(right port interrupt flag)、BUSYL(left port busy flag)和BUSYR(right port busy flag)均为输出引脚，这里不用。

网络接口板从音频采集板缓冲区读取数据时，用DS80C400的CE3作为缓冲区的片选，在DS80C400的外部地址空间中，CE3控制的地址范围为600000h-7FFFFFh，而音频采集板的缓冲区大小为4KB，因此，音频数据缓冲区对于DS80C400的有效地址范围为600000h-600FFFh。

四路音频数据缓冲区对于CPLD和DS80C400的地址影射如图5-4所示：



图5-4 音频数据缓冲区地址影射

Fig5-4 The memery map of the audio data buffer

5.1.5 AIC31电路设计

5.1.5.1 AIC31简介

AIC31是TI(Texas Instruments，德州仪器)公司生产的一款集成了麦克风前置放大器、自动增益控制(AGC)、ADC为一体的芯片。功耗低，可配置为单端输入或差分输入方式，基于寄存器的电源控制方式，可编程控制的麦克风偏置电压。立体声的音频ADC支持8KHz到96KHz的采样率，内部可编程放大器的增益可达+59.5dB[15]。AIC31内部还具有两个音频DAC，本系统不用。

串行控制总线支持I2C协议，通过I2C协议配置其内部寄存器，从而实现对AIC31的初始化及控制。

串行音频数据总线支持I2S，left/right justied，DSP和TDM模式。

AIC31内部具有PLL，MCLK范围广，从512KHz到50MHz。

主要特性如下：

* 立体声音频DAC

100dB信噪比

8KHz到96KHz采样率

3D音效

* 立体声音频ADC

92dB信噪比

8KHz到96KHz采样率

* 16/20/24/32位采样精度
* 差分/单端输入
* 差分/单端输出
* 可编程的模拟输入/输出增益
* 自动增益控制(AGC)
* 可编程的麦克风偏置电平
* 可编程PLL
* I2C控制总线
* 支持音频串行总线I2S，Left/Right justied，DSP，TDM模式
* 模拟电源：2.7-3.6V
* 数字核心电源：1.525-1.95V
* 数字输入/输出驱动电源：1.1-3.6V
* 封装：5×5mm，32引脚QFN

每片AIC31内部具有两个ADC，可采集两路音频数据，因此，要完成四路音频的同时采集，共需2片AIC31。

5.1.5.2 硬件复位

AIC31在上电后需要硬件复位，在电源电压达到特定的值后，AIC31的RESET引脚必须拉低至少10ns，否则，将不能正常工作。

本文中，将AIC31的RESET输入引脚与DS80C400的RSTOL引脚相连。DS80C400的RSTOL是一个复位输出引脚，当DS80C400复位的时候，RSTOL提供一个低有效的复位输出。复位时，RSTOL的低电平持续时间由复位源决定，比如上电复位、掉电复位、看门狗定时器溢出复位、晶振复位等。在这些复位源中，RSTOL的低电平持续最短时间为1.25个机器周期，足以达到AIC31硬件复位的时序要求。

5.1.5.3 时钟

AIC31需要一个内部工作主时钟，其频率为Fsref的256倍，可以用多种方式从外部时钟信号得到。如图5-5所示：



图5-5 AIC31时钟系统

Fig5-5 the clock system of AIC31

在AIC31的时钟系统中，可以将MCLK或BCLK作为外部输入时钟源，然后经内部分频器或PLL获得内部ADC的工作主时钟。MCLK或BCLK的输入范围为512KHz-50MHz。

本文中，用MCLK作为外部输入时钟源，用内部分频器得到ADC的主工作时钟，MCLK的频率为22.5792MHz。

由上图知，Fsref = CLKDIV\_IN/(128×Q)

Q可取2，3,…,17

而Fsref = Fs = 44.1KHz，CLKDIV\_IN = 22.5792MHz，所以可得Q = 4。

5.1.5.4 模拟音频输入

AIC31可配置为单端或差分输入方式，在单端方式下，输入模拟音频信号不能超过2Vp-p，在差分方式下，输入模拟音频信号不能超过4Vp-p。本文将输入方式配置为差分方式。AIC31内部还集成了麦克风前置放大器，前置放大器的增益范围为-12dB到0dB。模拟音频输入前端电路示意图如图5-6所示，MICBIAS为麦克风提供偏置电压，输入信号通过0.1uf的电容接入AIC31，起到滤波的作用。这里只画出一路，其它三路相同。



图5-6 模拟音频输入电路示意图

Fig5-6 The chart of analog audio input circuit

5.1.5.5 自动增益控制(Automatic Gain Control，AGC)

为了使采集到的音频信号稳定在一定的幅度范围，AIC31的每个ADC通道包含一个AGC电路。当讲话人距麦克风变远或变近，输入的音频信号会变弱或变强，AGC电路自动调整PGA的增益，从而达到稳定音频信号的目的。

可以通过设置相应寄存器的值来设置AGC电路的相关参数。经实验知，主要参数设置如表5-1所示时较为理想：

表5-1 主要参数设置

Fig5-1 the setting of the dominating parameters

|  |  |  |
| --- | --- | --- |
| 参数名称 | 器件允许值 | 实验推荐值 |
| Target gain(relative full-scale signal) | -5.5dB 至 -24dB | -12dB |
| Attack time | 8ms 至 20 ms | 8ms |
| Decay time | 100ms 至 500ms | 100ms |
| Noise gate threshold  (relative full-scale signal) | -30dB 至 -90dB | -72dB |
| Maximum PGA gain applicable | 0dB 至 +59.5dB | 36dB |

5.1.5.6 A/D转换

AIC31内部具有两个音频ADC，采用128倍过采样机制，每个ADC通道均具有一个独立的高通数字滤波器。每个ADC前端还有一个PGA(programmable gain amplifier)，PGA的增益控制范围为0-59.5Db。

AIC31支持如下标准的音频采样率：8KHz，11.025KHz，12KHz，16KHz，22.05KHz，24KHz，32KHz，44.1KHz，48KHz，16KHz，88.2KHz，96KHz。AIC31也可在非标准采样率下工作。本文中，采样率为44.1KHz。

AIC31的ADC是基于一个叫做Fsref(参考采样率)的概念，典型的Fsref为44.1KHz或48KHz。实际的ADC采样率Fs为Fsref/N或2×Fsref/N，其中N的可取值为1，1.5，2，2.5，3，3.5，4，4.5，5，5.5和6。本文中取Fsref为44.1KHz，N为1。

AIC31的采样精度可取16位，20位，24位或32位，本文取16位。

5.1.5.7 串行音频数据接口

经过A/D转换后的数字音频信号通过一种音频总线协议传递给CPLD，AIC31的音频总线可被配置为Left/Right justied，I2S，DSP或TDM模式。这些总线模式都是先传高位，后传低位，均由WCLK(word clock)、BCLK(bit clock)和SDOUT构成。WCLK用来标志一桢采样数据的开始，其频率等于ADC的采样频率，BCLK为串行数据线SDOUT提供位时钟，SDOUT为串行数据线。WCLK和BCLK都能够被独立地配置为master(主模式)或slave(从模式)，对于AIC31来说，当配置为master时，WCLK和BCLK为输出，当配置为slave时为输入。

本文将AIC31串行音频数据总线接口的WCLK和BCLK配置为master，由CPLD提供WCLK和BCLK时钟信号。WCLK的频率为44.1KHz，因一次采样有左右两个声道，采样精度为16位，每次采样就需要传送32位数据，因此，BCLK的频率为WCLK的32倍。

5.1.5.8 AIC31与CPLD的接口

AIC31与CPLD接口示意图如5-7所示。

BCLK、WCLK和MCLK分别为CPLD向AIC31提供的位时钟、字时钟和主时钟信号。两个AIC31的SDOUT信号分别与与CPLD的SD0和SD1相连，SDOUT为AIC31给CPLD的串行音频数据信号。



图5-7 AIC31与CPLD接口

Fig5-7 the interface of between AIC31 and CPLD

5.1.6 状态LED

为了能够显示出系统的工作状态，通过CPLD来控制一发光二极管，当系统处于采集数据状态时，发光二极管闪烁，否则，发光二极管处于一直亮的状态。如图5-8所示：



图5-8 状态LED示意图

Fig5-8 the sketch map of status LED