

# Preferred Networks インターン選考 2017 コーディング課題チップ開発分野

## 変更履歴

- 2017 年 5 月 12 日：初版

## 提出物

- プログラムの回答にはソースコードもしくは回路図を提出してください。ソースコードか回路図かは、どちらか片方だけで構いません。また、回答にあわせてレポートを提出してください
- ソースコードを記述する場合、VHDL もしくは Verilog を利用する
- 回路図の場合は、パワーポイントやドローツールを使うか手描きして、画像ファイルなどを提出する
- 回答はできるだけ他人が読んでも分かりやすいものになっており、レポートはわかりやすくまとまっているのが望ましいです

## 提出方法

「事前課題の提出物」については Google drive にアップロードの上、共有 URL を下記の応募フォームに記入してください。アップロード手順は以下の URL をご参照ください。

- 応募フォーム：[https://docs.google.com/a/preferred.jp/forms/d/e/1FAIpQLSd\\_zC\\_XT2dHMYRO9WQ-YuRU0sx2HeQlep-NBoqMWpN\\_j8KNw/viewform](https://docs.google.com/a/preferred.jp/forms/d/e/1FAIpQLSd_zC_XT2dHMYRO9WQ-YuRU0sx2HeQlep-NBoqMWpN_j8KNw/viewform)
- アップロード手順：[https://www.preferred-networks.jp/wp-content/uploads/2017/04/intern2017\\_GoogleUpload\\_3.pdf](https://www.preferred-networks.jp/wp-content/uploads/2017/04/intern2017_GoogleUpload_3.pdf)

## 問い合わせ

課題に関する質問などは [intern2017@preferred.jp](mailto:intern2017@preferred.jp) をお願いします（応募時と同一のメールアドレスです）

## 問題文

以下の問題の中から 2 問を選択し、回答してください。

### 1. 4 ビットグレイコードカウンタ

4 ビットのグレイコードカウンタを実装して下さい。

## 2. 16 ビット加減算器

16 ビットの整数加減算器を論理回路 (AND,OR,XOR,NOT) で実装して下さい。このとき、入力信号から出力信号までの回路の段数が少くなるように工夫して下さい。負の数は 2 の補数表現とします。

## 3. Bus 調停のために Arbitor 回路の実装をしてください。

実装は Statemachine Diagram および Timing Chart を記述とします。

Bus の使用を要求する client 回路は 3 つ (A,B,C) とします。各 client は下記の信号をつかって Bus 使用の要求、要求の受付、Bus 使用の終了 (開放) を行います。

- client A
- BUS\_REQ ...ClientA から Arbitor 回路への入力信号。Bus 使用要求時に 1 にします。要求が受付られたとき (A.BUS\_GNT が 1 になったとき) に 0 にします
- BUS\_GNT ...Arbitor 回路から ClientA への出力信号。Bus 使用権限を ClientA に付与するときに 1 clock cycle の間 1 にします
- BUS\_FREE ...ClientA から Arbitor 回路への入力信号。Bus 使用の終了 (開放) の際に 1 clock cycle の間 1 にします

client B,client C についても上記と同様の信号をもつ。同時に要求がきた場合の優先度は  $A > B > C$  とします

Arbitor 回路には clock 信号および reset 信号があるものとします。

## 4. FIFO の実装

Data 幅 32bit、深さ 8 の FIFO を実装して下さい。