

Memórias: ROM, RAM, DRAM

1

Classificação de Memórias Semicondutoras

- Volatilidade
 - Volátil e Não Volátil
- Acesso
 - -Leitura e Escrita ou Somente Leitura
- Tipo

- RAM Random Access Memory (static)

– DRAM Dynamic RAM

ROMRead Only Memory

– PROM User-Programmable ROM

– EPROM Erasable PROM– E²PROM Electrically EPROM

- FLASH Flash E²PROM

Classificação de Memórias Semicondutoras

• Tecnologia

BipolarCMOSComplementary Metal Oxide Silicon

- Estrutura de Acesso
 - Aleatório
 - Disciplinado (pilha, fila, etc)
- Endereçamento
 - -bit, byte, bloco

3

Características Importantes



• Capacidade: mega bits, bytes

-Ex: 1024 bits

Organização: M palavras de N bits

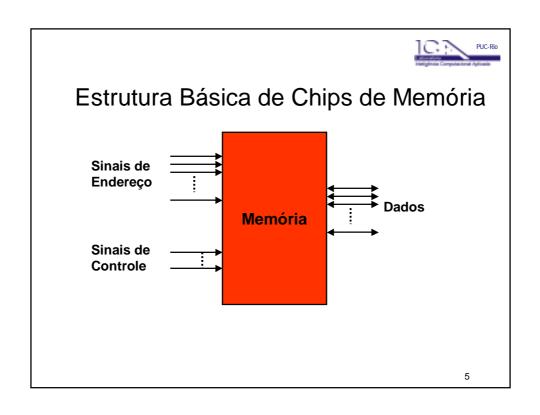
-Ex: 1024x1, 256x4 bits

• Tempo de Acesso: nano segs

Consumo/Dissipação: m amp

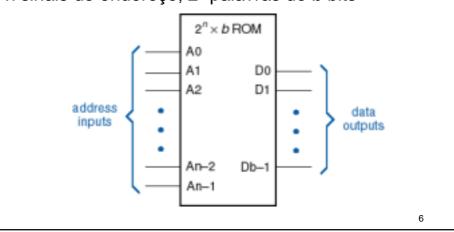
• Densidade de Integração: área do chip, # gates

	Capacidade	Velocidade	Consumo	Densidade
Bipolar	baixa	alta	alto	baixa
CMOS	alta	média/alta	baixo	alta



ROM - Read Only Memory

- Pré-gravadas: modo permanente ou semi-permanente
- Não volátil
- n sinais de endereço; **2**ⁿ palavras de b bits



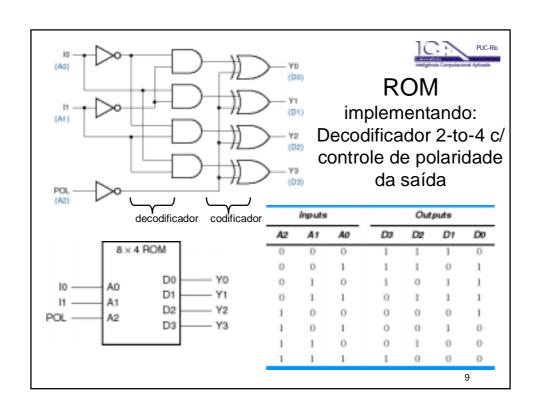
Porque memória "ROM"?

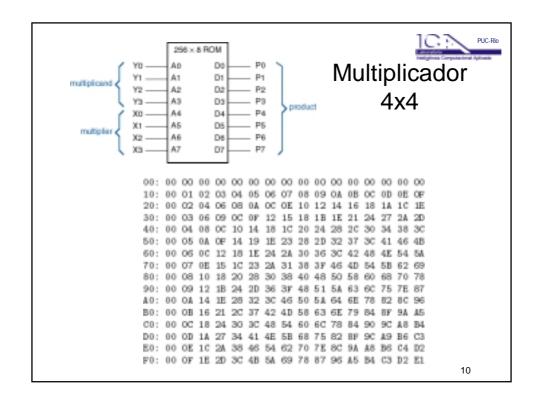


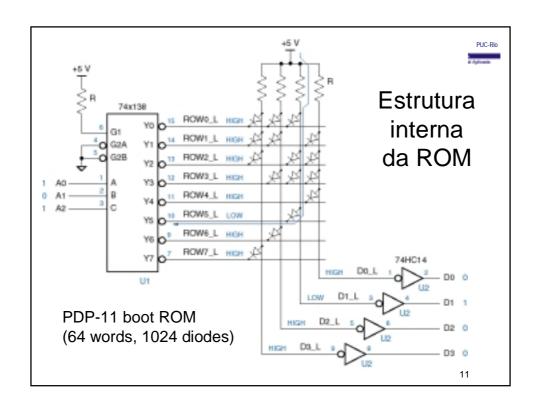
- Armazenamento de Programas
 - Boot ROM de computadores pessoais
 - Programas residentes em equipamentos, jogos, etc.
- ROM é um circuito combinacional: truth-lookup table
 - pode executar qualquer função combinacional lógica
 - Endereço = entradas da função
 - Saídas = saídas da função

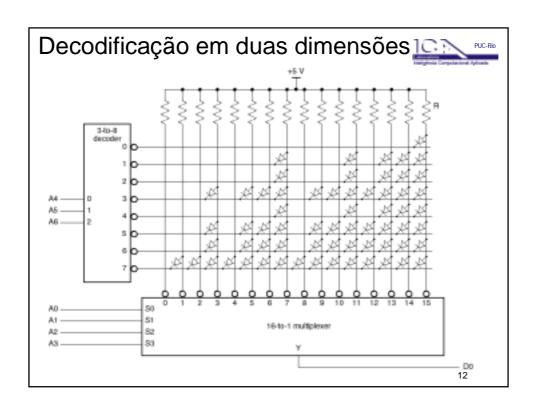
7

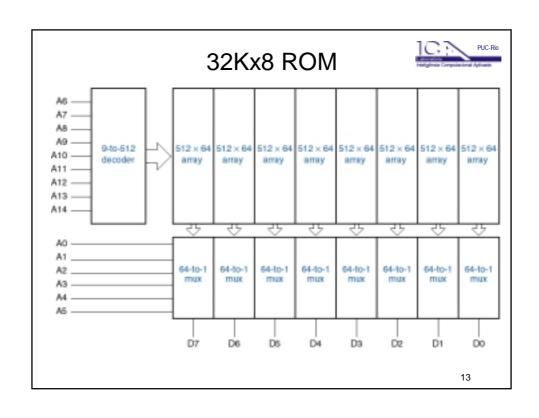
Estrutura Interna da ROM • ROM = decodificador + codificador A₀ endereço 2ⁿ dados b bits Decodificador Codificador

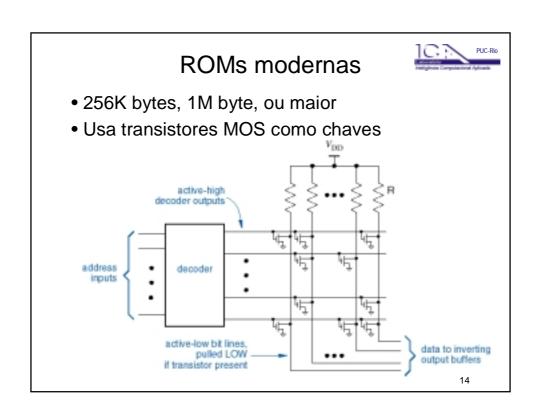












Tipos de ROM



- ROM Read Only Memory
 - programada na fábrica através da metalização nos pontos de interconexão dos diodos
- PROM User-Programmable ROM
 - programada pelo usuário (alta corrente) através da queima de fusível (desliga diodo); não permite alterações
- EPROM Erasable PROM
 - programada eletronicamente; exposição a luz ultra violeta apaga o conteúdo
- E²PROM Electrically EPROM
 - apagada e escrita eletronicamente, byte a byte
- FLASH Flash E²PROM
 - apagada eletronicamente todo o conteúdo de uma vezs



Comparação entre ROMs comerciais

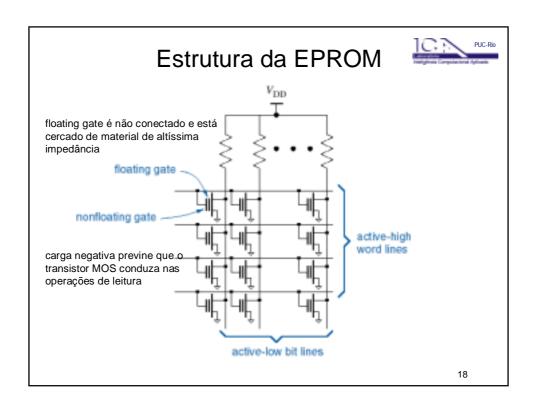
Table	10-5	Commercial	ROM	type	es.

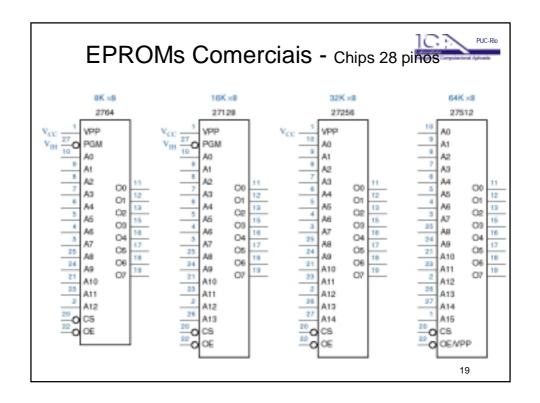
Туре	Technology	Read cycle	Write cycle	Comments
Mask ROM	NMOS, CMOS	10-200 ns	4 weeks	Write once; low power
Mask ROM	Bipolar	< 100 ns	4 weeks	Write once; high power; low density
PROM	Bipolar	< 100 ns	10 – $50 \mu s/byte$	Write once; high power; no mask charge
EPROM	NMOS, CMOS	25-200 ns	10 – $50 \mu s/byte$	Reusable; low power; no mask charge
EEPROM	NMOS	50-200 ns	10 – $50~\mu s/byte$	10,000-100,000 writes/location limit

EPROM



- possui floating gate MOS transistor em cada bit;
- floating gate é não conectado e está cercado de material de altíssima impedância;
- alta voltagem aplicada aos bits que devem ser 0, rompe isolante e armazena carga negativa no floating gate;
- carga negativa previne que o transistor MOS conduza nas operações de leitura;
- carga pode permanecer por 10 anos ou removida por 15-20 minutos de luz ultra violeta (bit=1);
- chip possui janela de vidro para exposição à luz;

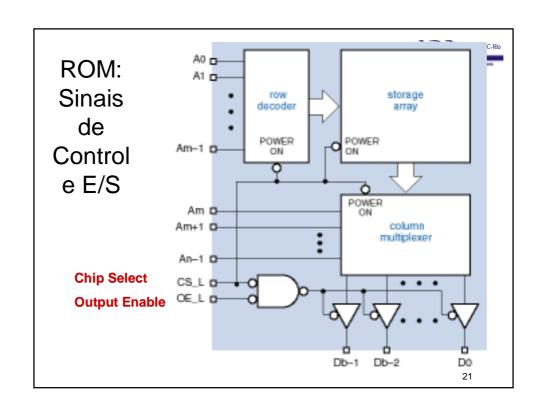


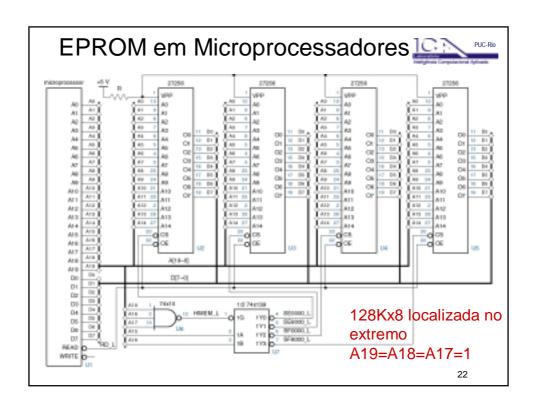


EEPROMs, Flash PROMs



- Semelhante a EPROM porém, bits podem ser apagados eletronicamente: VPP = 12 V
- Floating-gate MOS transistors possuem camada fina de isolante que permite eliminar a carga através de tensão de polaridade oposta;
- Pode ser reprogramada 10000 vezes;
- Escrita demora muita mais que leitura: milliseconds vs. 10's of nanosegundos;
- Apagar
 - Byte-byte
 - Chip inteiro ("flash")
- FLASH PROM pode ser apagada de uma só vez, aproximando-se de um "RAM" não volátil.







- Corresponde à capacidade de endereçamento (direto ou indireto) de um processador.
- Representado pelos sinais de endereço: Ai

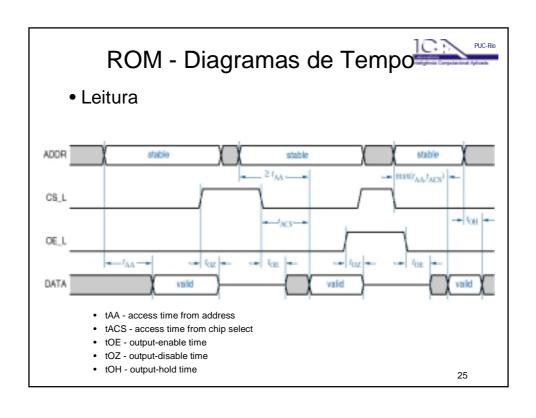
An-1	 A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9		A0	
0	 0	0	0	0	0	0	0	0	0	0	0	0	0	
0	 0	0	0	0	0	0	0	0	0	0				
0	 0	0	0	0	0	0	0	0	0	0	1	1	1	1K
0	 0	0	0	0	0	0	0	0	0	1				2K
0	 0	0	0	0	0	0	0	0	1	0				3K
0	 0	0	0	0	0	0	0	0	1	1				4K
0	 0	0	0	0	0	0	0	1						8K
0	 0	0	0	0	0	0	1							16K
0	 0	0	0	0	0	1								32K
0	 0	0	0	0	1									64K
0	 0	0	0	1										128K
0	 0	0	1											256K
0	 0	1												512K
0	 1													1M
1														2 ⁿ⁻¹

23

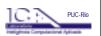
Operação da EPROM



	CE_L	OE_L/VPP	VCC	OUTPUT
Read	0	0	5v	Dout
Output Disable	0	1	5v	Z
Standby (35 ma)	1	X	5v	Z
Program	0	VPP	5v	Din



Definição do Tempos



- tAA access time from address
 - delay entre endereços estáveis e saídas válidas
- tACS access time from chip select
 - delay entre CS e saídas válidas
- tOE output-enable time
 - delay entre OE e CS ativados, até 3-states de saída sairem de alta impedância
- tOZ output-disable time
 - delay entre OE e CS desativados, até 3-states de saída entrarem em alta impedância
- tOH output-hold time
 - delay no qual as saídas continuam válidas após mudar endereço ou após desativar CS e OE

Projeto



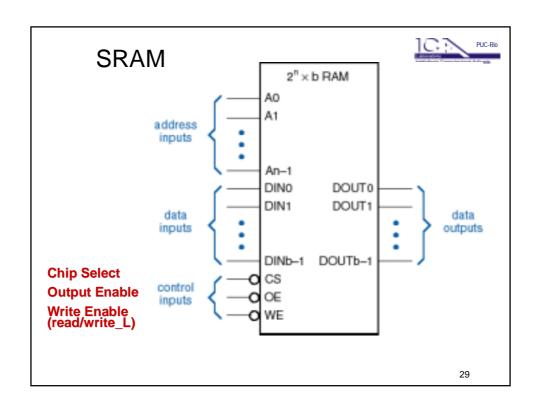
- Projete um circuito para a geração e visualização em matrizes 8x8 LEDs dos caracteres de A a D, utilizando ROM (32x8).
 - Neste esquema cada caracter é representado por n posições consecutivas da ROM: bit=1 significa pixel aceso.
 - O circuito deve exibir a cada instante um caracter indicado pelo seu código.
 - As saídas da ROM devem acionar uma linha da matriz de LEDs a cada ciclo de varredura.
 - Sugestão: código = end. alto; contador(8)= end. baixo

27

RAM-Memória de Leitura/Escrita



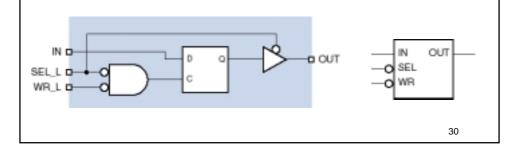
- "RAM" (Random Access Memory)
- Volatilidade
 - RAMs perdem seu conteúdo quando alimentação é removida
 - NVRAM = RAM + bateria
- SRAM (Static RAM)
 - Memória comporta-se como latches ou flip-flops
- DRAM (Dynamic Memory)
 - Conteúdo da memória mantem-se por apenas alguns milisegundos
 - É preciso "refrescar" posições através de leitura ou escrita

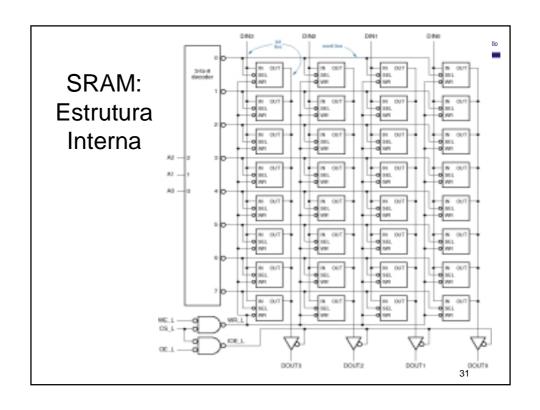


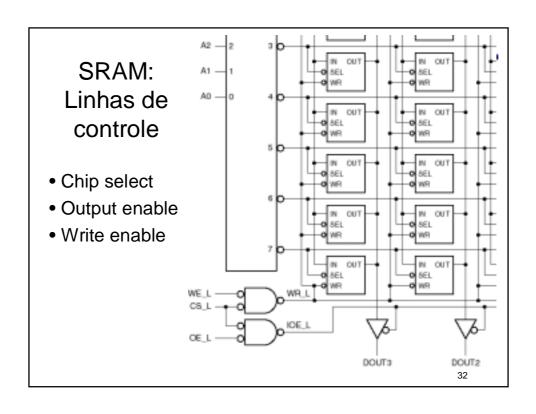
Operação da SRAM

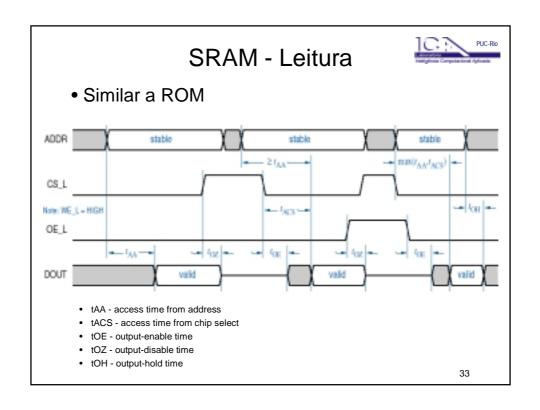


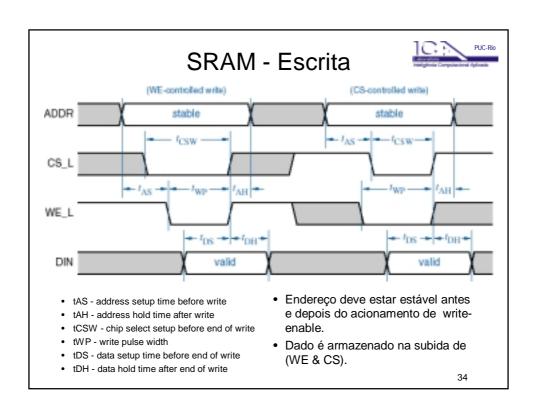
- Células de bits são latches tipo D, não flip-flops edge-triggered tipo D.
 - poucos transistores por célula.
- Implicações para operações de escrita:
 - Endereços devem estar estáveis antes de escrever.
 - Dado deve estar estável antes do final da escrita.











Definição do Tempos

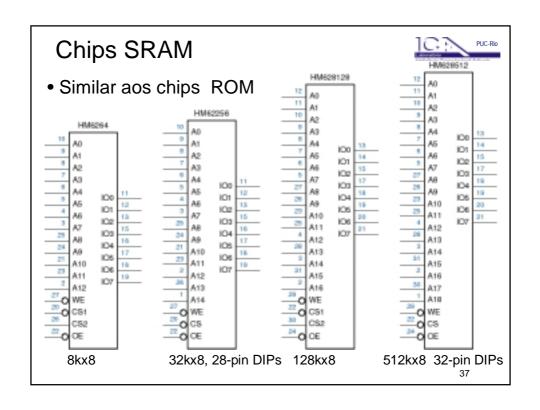


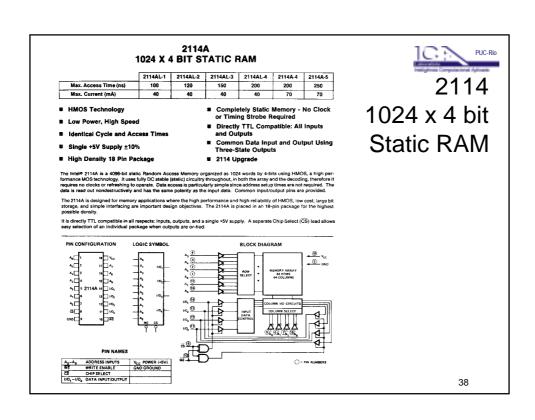
- tAS address setup time before write
 - endereço deve estar estável antes de CS e WE senão posições imprevisíveis podem ser alteradas
- tAH address hold time after write
- tCSW chip select setup before end of write
- tWP write pulse width
 - tempo durante o qual WE deve estar acionado para o armazenamento confiável do dado na célula
- tDS data setup time before end of write
- tDH data hold time after end of write

35

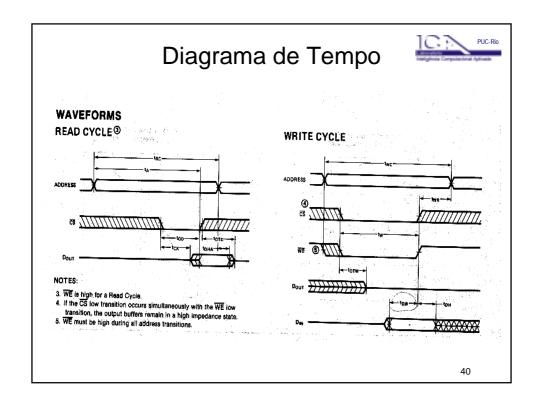
Dados bidirecionais WELLOW HIN OUT HIN OUT HIN OUT HIN OUT HIS SELLOW HIN OUT HIN OUT

- Usa os mesmos sinais para leitura e escritas
 - mais comum em RAM de vários bits
 - compatível para uso com barramentos bidirecionais de microprocessadores





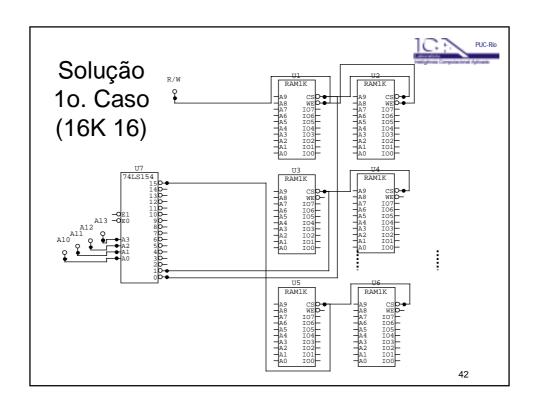
READ CY	CLE [1]				# 4 / 5 / F 148		
SYMBOL	PARAMETER	2114AL-1 Min. Max	2114AL-2 . Min. Max	2114AL-3 . Min. Max.	2114A-4/L-4 Min. Max.		UNI
tac	Read Cycle Time	100	120	150	200	250	ns
tA	Access Time	100	120	150	200	250	ns
tco	Chip Selection to Output Valid	70	70	70	70	85.	ns
tcx	Chip Selection to Output Active	10	10	10	10	10	ns
tord	Output 3-state from Deselection	30	35	40	50	60	ns
toha	Output Hold from Address Change	15	15	15	15	15	ns
	(0)						
RITE CY	The second second	2114AL-1	2114AL-2	2114AL-3	2114A-4/L-4	21144-5	ı -
SYMBOL	The second second	2114AL-1 Min. M ax			2114A-4/L-4 Min. Max.		
1.4						Min. Max.	UNIT
SYMBOL	PARAMETER	Min. Max	Min. Max.	Min. Max.	Min. Max.	Min. Max. 250	ns
SYMBOL twc	PARAMETER Write Cycle Time	Min. Max	Min. Max.	Min. Max. 150	Min. Max. 200	Min. Max. 250 135	ns ns
SYMBOL two	PARAMETER Write Cycle Time Write Time	Min. Max 100 75	Min. Max. 120 75	Min. Max. 150	Min. Max. 200 120	Min. Max. 250 135	ns ns ns
SYMBOL two tw	PARAMETER Write Cycle Time Write Time Write Release Time	Min. Max 100 75 0	Min. Max. 120 75	Min. Max. 150 90	Min. Max. 200 120 0	Min. Max. 250 135 0	ns ns ns
SYMBOL two tw twn	PARAMETER Write Cycle Time Write Time Write Release Time Output 3-state from Write	Min. Max 100 75 0	Min. Max. 120 75 0	Min. Max. 150 90 0	Min. Max. 200 120 0 50	Min. Max. 250 135	ns ns ns



Exemplo



- Projete um banco de memória estática (chips + decodificação de endereço) contendo 16K x 8 bits, usando os chips:
 - 1o. caso: 2114 (1024 x 4 bits) - 2o. caso: 2147 (4096 x 1 bit)
- Capacidade total da placa = 128K bits
- Número de chips necessários:
 - -1o. Caso = 32
 - -20. Caso = 32



Projeto



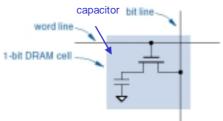
 Projete uma placa de memória RAM estática de 32K x 9bits - 8 bits de dados e 1 bit de paridade, usando os Cls 2114 e 2147.

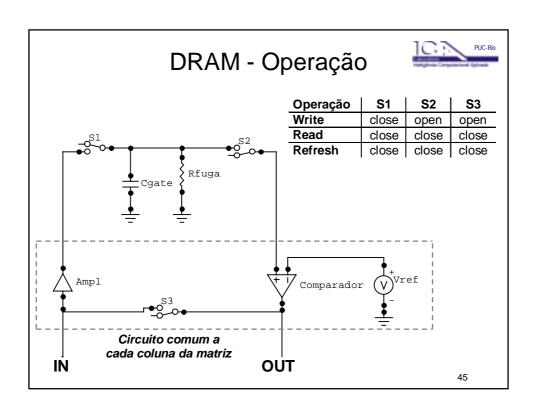
43

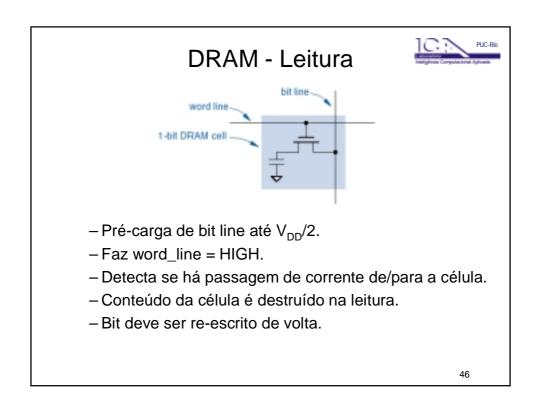
DRAM (Dynamic RAMs)

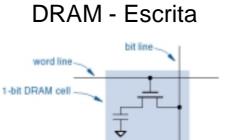


- SRAMs tipicamente usam 6 transistores por célula de um bit.
- DRAMs usam apenas um transistor por bit: mais memória por área de silício
- conteúdo 1/0 equivale à carga/descarga do capacitor do gate

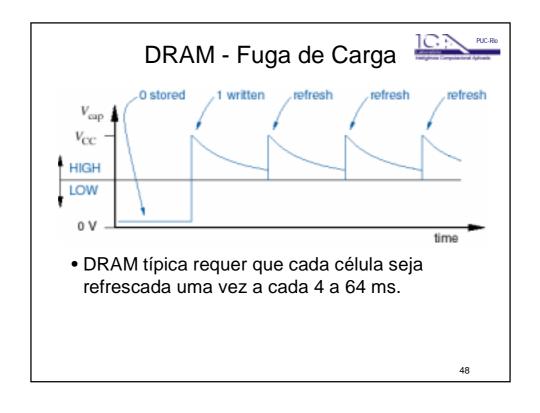








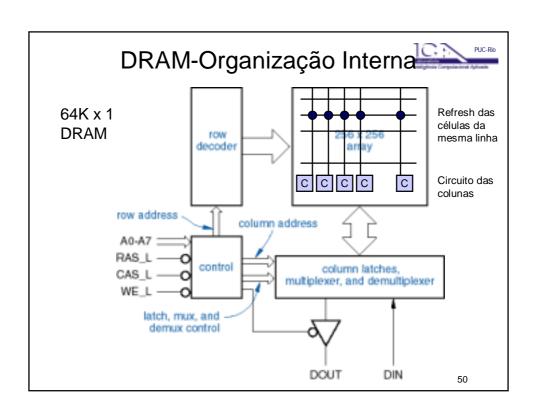
- Faz word line = HIGH.
- Faz bit line = LOW ou HIGH para armazenar 0 ou 1.
- Faz word line = LOW.
- A carga armazenada para nível 1 vai eventualmente vazar.



RAS/CAS



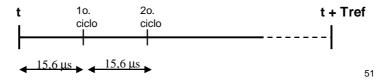
- Row Address Strobe, Column Address Strobe
- n sinais de endereço são fornecidos ao chip de DRAM em 2 passos, usando n/2 pinos apenas:
 - -1o. Passo: endereço de linha na descida de RAS_L
 - -2o. Passo: endereço de coluna na descida de CAS_L
- Método tradicional de operação de DRAM por 20 anos.
- CAS faz papel de chip select

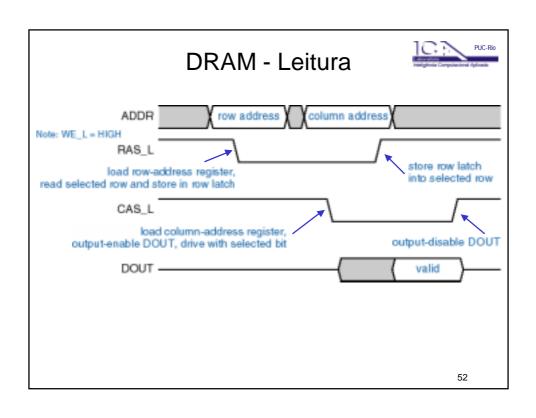


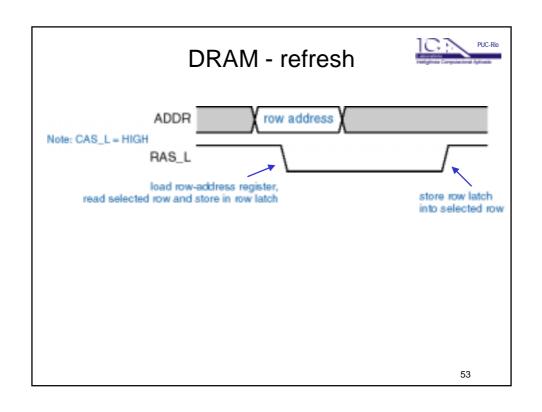
Refresh

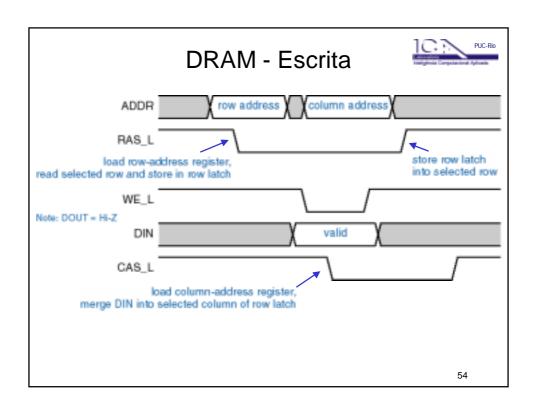


- Células são organizadas em vetores:
 - seleção de uma linha, efetua o refresh de todas os bits da linha
- Exemplo: 2116 16Kx1bit DRAM
 - 128 linhas x 128 colunas
 - -Trefresh = 2 ms; Taccess = 500 ns
 - requer 128 ciclos de refresh de duração de 500 ns
 - -1 ciclo de refresh a cada $2/128 = 15,6 \mu s$
 - durante refresh processador fica em WAIT

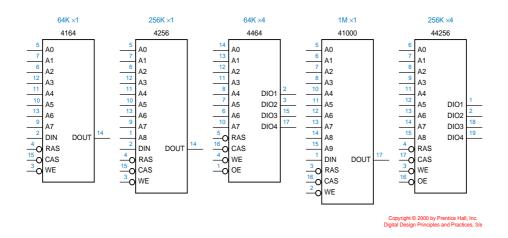






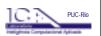


Símbolos Lógicos de DRAM

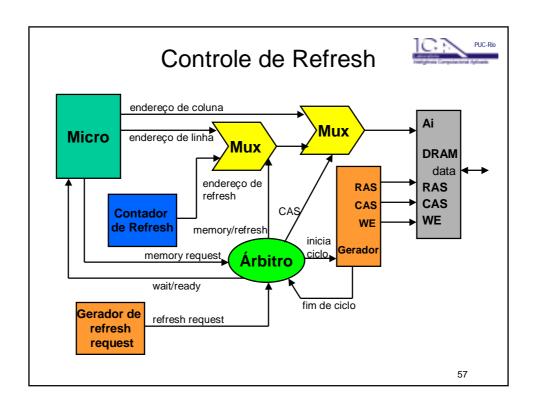


55

Controle de Refresh



- Circuito que acessa memória exclusivamente para garantir o refresh de todas as posições dentro do limite de tempo (Tref).
- Componentes:
 - contador de endereços de refresh: ÷ #linhas
 - gerador dos pedidos de refresh (acesso à memória): período = Tref/#linhas
 - gerador de RAS
 - multiplex de sinais de endereços: n/2 mux 2-to-1
 - árbitro para controle do acesso à memória: micro ou refresh; micro entra em WAIT se ciclo de refresh



Outros tipos de Ciclos



- CAS-before-RAS
 - se CAS é acionado antes de RAS, chip refresca linha selecionada por um contador interno e incrementa contador; simplifica projeto; elimina contador de refresh externo.
- read-modify-write
 - leitura seguida de escrita da mesma posição
- page-mode-read
 - permite que uma linha inteira (page) seja lida mantendose RAS low e pulsando-se CAS; acesso mais rápido a dados que estão próximos
- page-mode-write
 - escrita, similar a page-mode-read

Outros tipos de Ciclos



- static-column-mode read
 - similar a page mode; end. de coluna não é armazenado na DRAM; assim, outro bit da mesma coluna pode ser lido, mudando-se o end. de coluna sem pulsar CAS.
- static-column-mode write
 - escrita, similar a static-column-mode read; é necessário negar CAS ou WE na mudança de endereço.
- nibble-mode read
 - similar a page-mode; o chip de DRAM gera uma sequência de endereços a partir do endereço fornecido no início do ciclo RAS-CAS; a sequência é repetida após 4 pulsos de CAS.
- nibble-mode write
 - idem, write

59

Outros Tipos de DRAM



- EDRAM: Enhanced DRAM
- CDRAM: cache-DRAM
- SDRAM: Synchronous DRAM
- RDRAM: Rambus DRAM