



FET

J. L. Pimentel, Tecnólogo Mecatrónica

Instituto Tecnológico de Las Américas,

La Caleta, Santo Domingo,

202010312@itla.edu.do

III.A) Escenario 1

Resumen—análisis de la corriente y el voltaje a través de un transistor de efecto de campo y su variación en distintos escenarios.

I. Introducción

Siguiendo los mandatos presentados podemos analizar el comportamiento de los JFET y MOSFET en diferentes escenarios, a parte de mostrarnos como se utilizan los diferentes tipos de estos y carculos adjuntos a estos.

II. Marco Teorico

Los Transistores FET son dispositivos semiconductores capaces de controlar la corriente entre sus terminales Drain y Source exclusivamente con la tensión aplicada de manera estratégica en el Gate.

Estos funcionan mediante el concepto de campo electromagnético, generado por un capacitor integrado en ellos.

Estos se clasifican en canal P y canal N la diferencia radica en la polarización en la Gate necesaria para su funcionamiento.

III. Escenarios

Mediciones de los escenarios propuestos en la práctica.

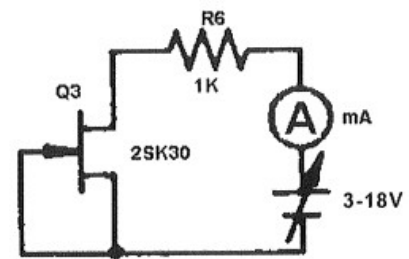


Fig 7.1 (a)

Fig 1.0 Primer escenario

VDD	3V	4V	5V	7V	9V	12V
IDSS	2.1m A	2.65 mA	2.83 mA	2.86 mA	2.89 mA	2.94 mA

Tabla 1

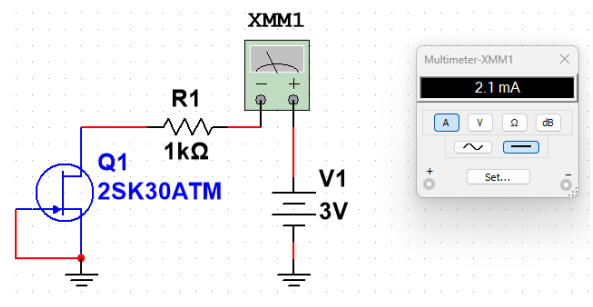


Fig 1.1

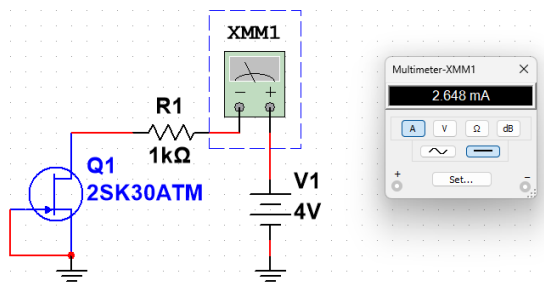


Fig1.2

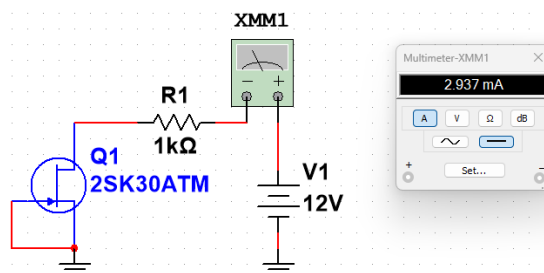


Fig 1.6

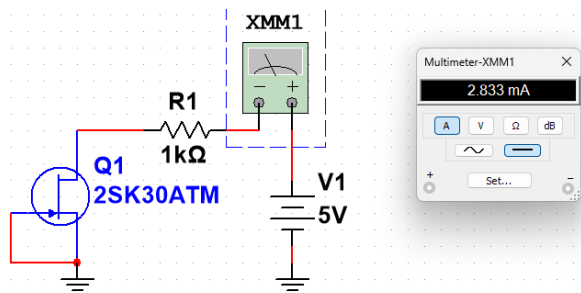


Fig1.3

III.B) Escenario 2

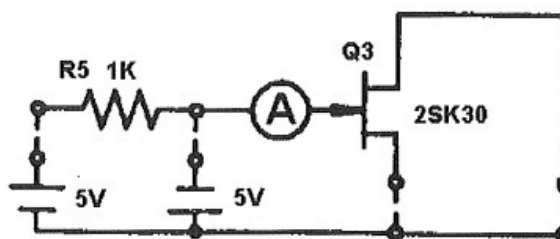


Fig 2.0

VGS
+5
-5

IGS
4.61mA
2.04nA

Tabla 2

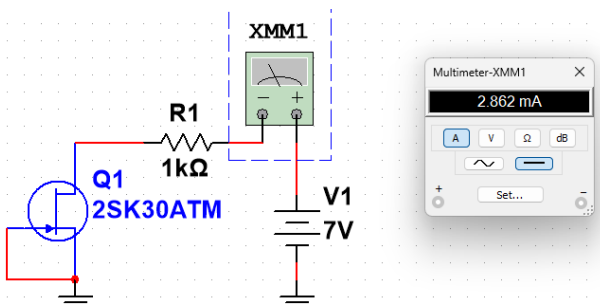


Fig 1.4

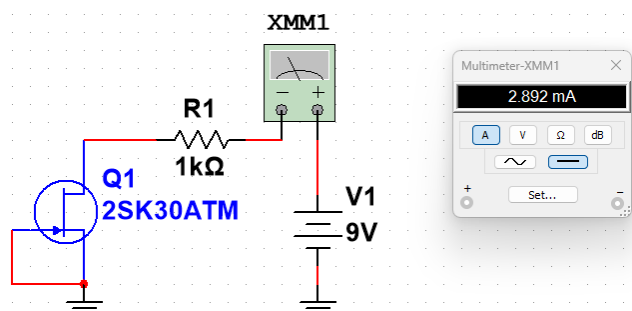


Fig 1.5

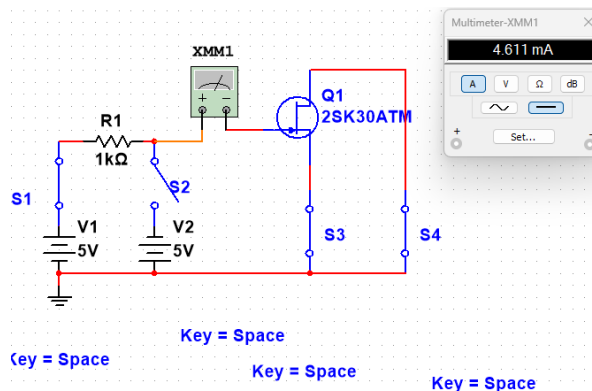


Fig 2.1

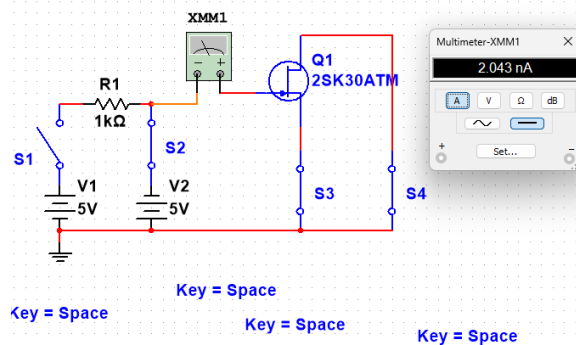
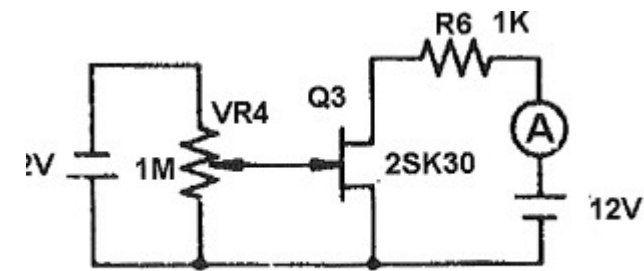


Fig2.2

III.C) Escenario 3



VDD	3V	4V	5V	7V	9V	12V	15V	18V
IDSS	1.07nA	977pA	1.07nA	1.07nA	1.24nA	1.07nA	1.24nA	1.42nA

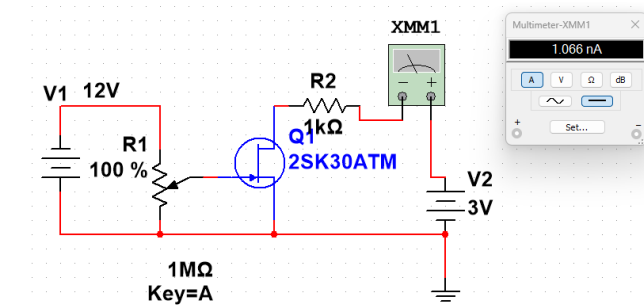


Figura 3.1.

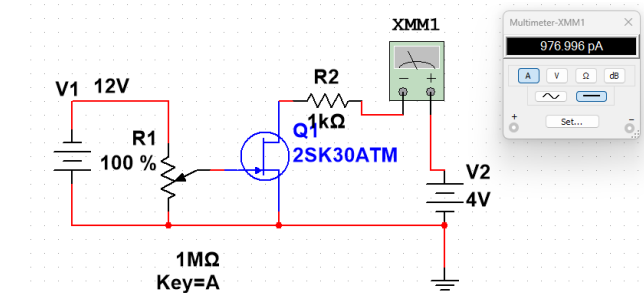


Figura 3.2.

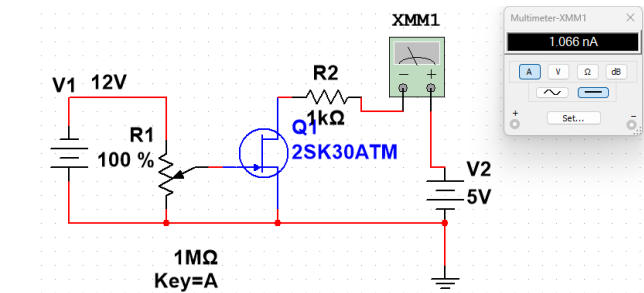


Figura 3.3.

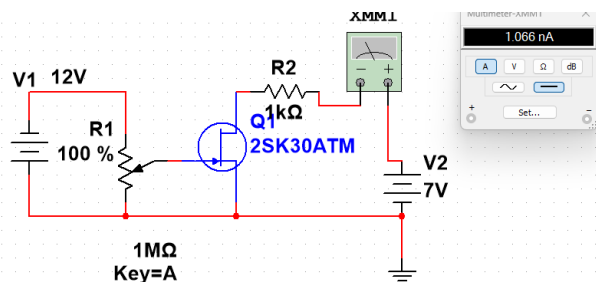


Figura 3.4.

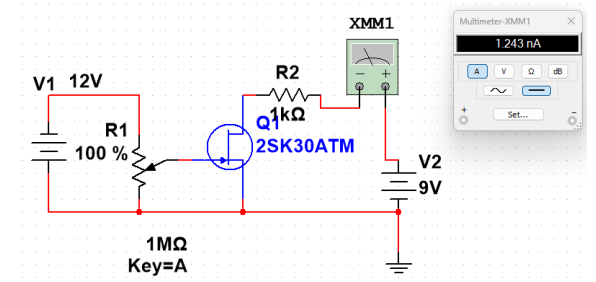


Figura 3.5.

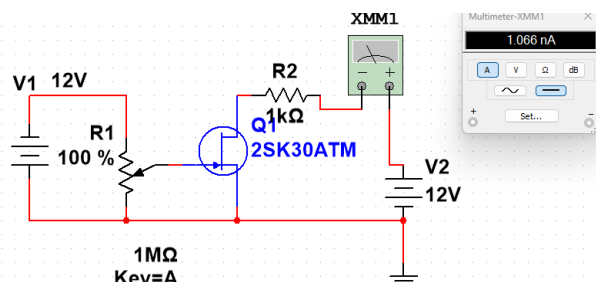


Figura 3.6.

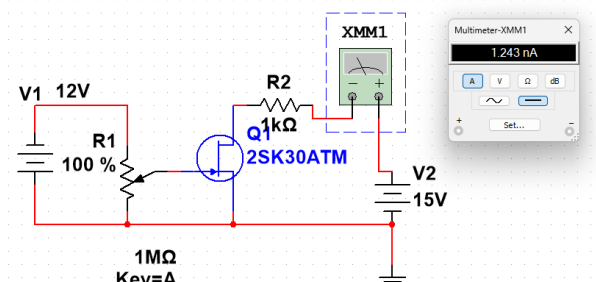


Figura3.7.

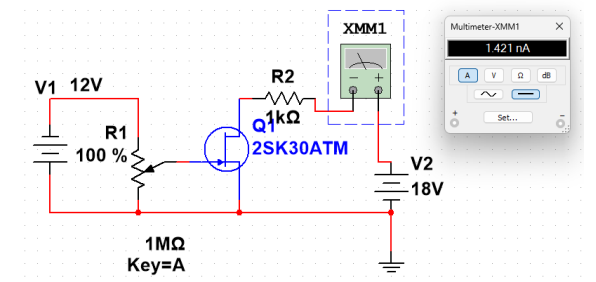


Figura 3.8.

III.D) Escenario 4

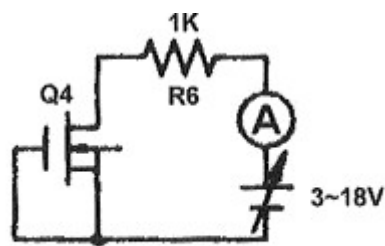


Fig 7-2 (a)

VDD	3V	4V	5V	7V	9V	12V	15V	18V
IDSS	3 uA	4 uA	5 uA	7 uA	9.01 uA	12uA	15uA	18uA

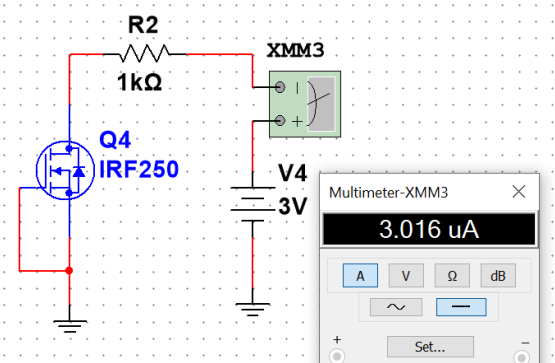


Figura 4.1.

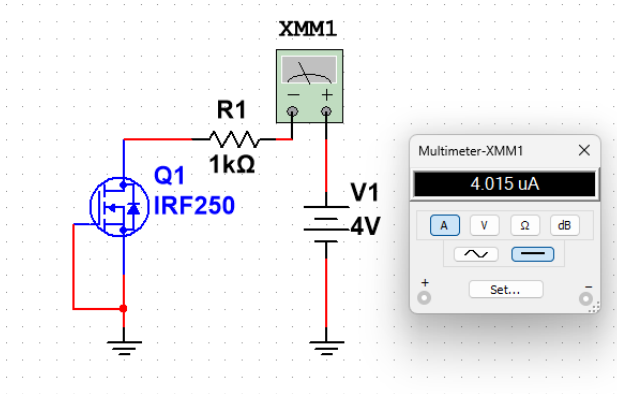


Figura 4.2.

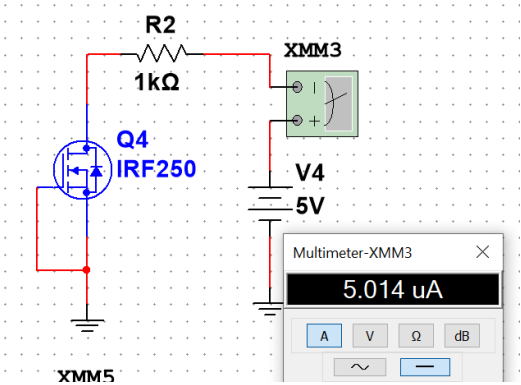


Figura 4.3.

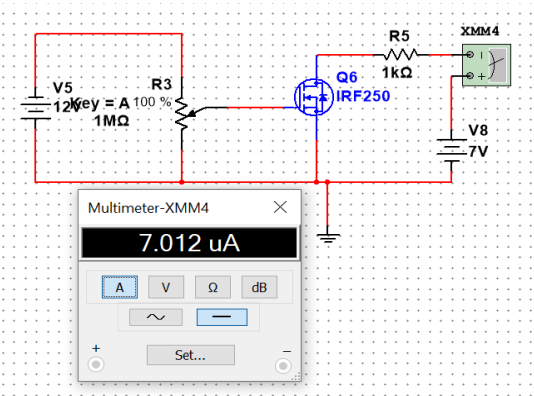


Figura 4.4.

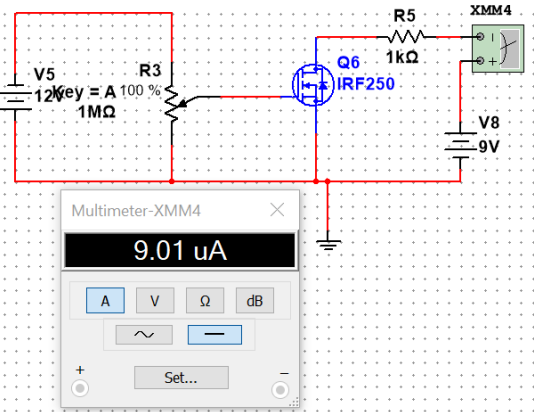


Figura 4.5.

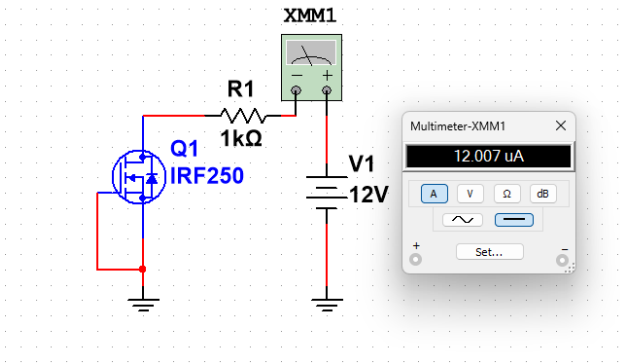


Figura 4.6.

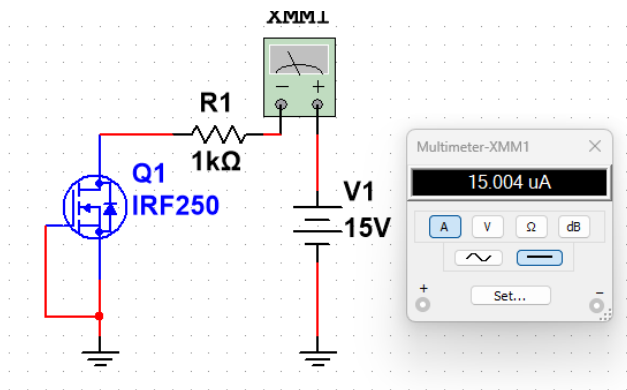


Figura 4.7.

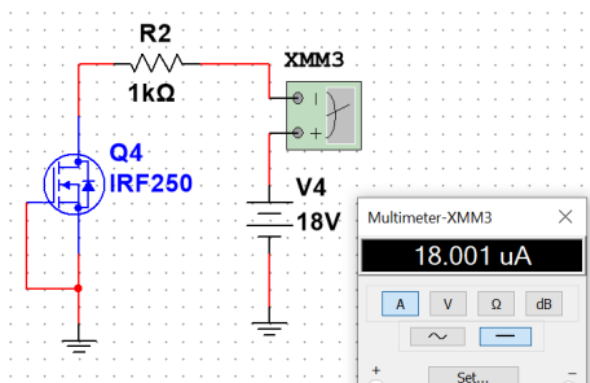


Figura 4.8.

III.E) Ejercicio 1

7.6 Problems :

(1) Selection :

() 1. Which one is the symbol of n-channel JFET:

- 1.
- 2.
- 3.

() 2. Which one is the symbol of n-channel enhancement-type MOSFET:

- 1.
- 2.
- 3.

() 3. The names for three terminals of FET are:

1. E, B, C.
2. G, D, S.
3. E, B1, B2.

() 4. For I_{dss} , which one is wrong among the following explanations:

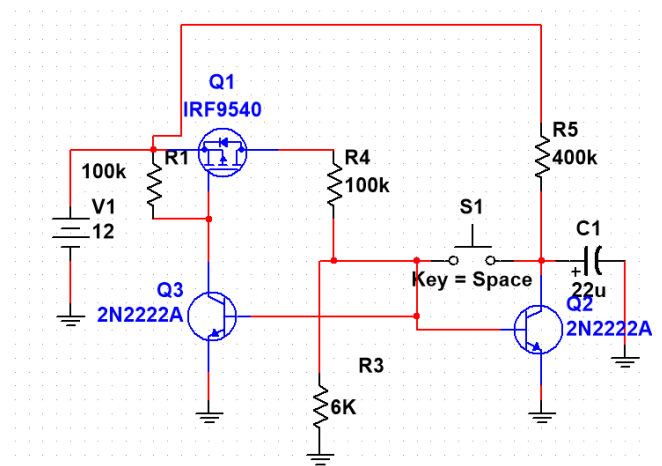
1. The cutoff current of D, S.
2. The cutoff current while $V_{gs} = 0$.
3. The saturation current between D and S.

() 5. For V_p , which one is wrong among the following explanations:

1. The pinch-off voltage.
2. The reverse bias (V_{gs}) required for G to cut off FET.
3. The voltage required for D to turn on FET.

IV. Aplicacion

Circuito Latched o resecivo es un switch electronico el cual controla grandes cargas a travez de un Mosfet de canal p en este caso.



V. Conclusion

Los transistores FET gracias a sus caracteristicas unicas nos permiten utilizarlo como interface para controlar grandes cargas con circuitos de muy baja potencia. La corriente que debe proporcionarse al FET es despreciable por lo cual podemos concluir que es un circuito controlado unicamente por voltaje.