

Final report

Projectgroep A5

14-01-2015

1

SAMENVATTING

Dit ontwerprapport is geschreven naar aanleiding van het project EPO-3 van het tweede jaar van de bacheloropleiding Electrical Engineering. In dit project staat het beschrijven van hardware centraal, met als doel het ontwerpen van een chip. In de keuze van een ontwerp zijn de studenten door de TU geheel vrij gelaten, er moet natuurlijk wel rekening worden gehouden met de grootte van de chip en het tijdsbestek waarin het ontwerp gerealiseerd kan worden. Er is hierdoor de EPO-3 groep A5 gekozen voor het ontwerpen van een spelcomputer, hierop kunnen meerdere spellen gespeeld worden. Om binnen het tijdsbestek te blijven is gekozen voor 'Pong', meerdere spellen kunnen eventueel achteraf simpel toegevoegd worden.

Van het uiteindelijke ontwerp wordt in de laatste periode van dit jaar een chip gemaakt, tijdens het ontwerpproces is er daarom met een FPGA development board gewerkt. Deze is geleverd door de TU Delft. Het grootste deel van het systeem bevindt zich op de chip zelf, toch zijn er nog drie losse componenten gebruikt om dit ontwerp te realiseren. Het idee achter de spelcomputer is dat hij meerdere spellen kan spelen, deze moeten extern aangeleverd worden. Er is hier gekozen voor een SD-kaart uitlezing met SPI, het spel is in assembly geschreven. Ook de besturing moet extern geregeld worden, met ultrasone sensoren bleek dit systeem het best te controleren. Als back-up plan is er hiernaast voor gekozen om ook enkele knoppen te implementeren. Om het spel te kunnen spelen is er tot slot ook een beeldscherm nodig.

Het belangrijkste deel van dit ontwerp bevindt zich op de chip. In de CPU wordt de informatie verwerkt die via SPI van de SD-kaart binnenkomt. In de CPU wordt daarnaast ook de besturing van het spel verwerkt. De CPU kan dus gezien worden als het brein van de chip, alles wordt hier verwerkt en doorgegeven aan de GPU. Deze maakt er vervolgens een beeld van. Om vertraging op het scherm te voorkomen is er een 'Black-box' geïmplementeerd, die zorgt ervoor dat er gewisseld kan worden tussen twee SRAM geheugens. Hierdoor kan er op de ene SRAM geschreven worden door de GPU en kan de ander worden uit gelezen door de VGA. De VGA produceert vervolgens het beeld op een beeldscherm. Alleen beide SRAM geheugen bevinden zich niet op de chip, maar zitten extern in het systeem verwerkt.

Tot in de laatste week is er hard gewerkt om alles op tijd werkend te krijgen, dit is helaas niet gelukt. Er is daarom besloten met de werkende onderdelen verder te gaan, van de ROM, CPU en de SPI decoder is een simpele rekenmachine ontworpen. De besturing loopt nog steeds via de sensoren in combinatie met enkele drukknoppen. De chip is nu in staat om enkele simpele berekeningen te doen, namelijk optellen, aftrekken en vermenigvuldigen.

INHOUDSOPGAVE

2

INLEIDING

EPO-3 is het derde project uit de propedeuse van de bachelor opleiding Electrical Engineering aan de TU delft. Het doel van dit project is het ontwerpen van een chip, deze chip kan bijvoorbeeld een spelletje bevatten of als besturingsdoel dienen. Als project groep A5 is er gekozen voor het bouwen van een spelcomputer, hierop kunnen meerdere games gespeeld worden. De verschillende games moeten van een SD-kaart worden geladen voordat ze gespeeld kunnen worden. Het eerste spel dat ontworpen wordt is Pong, mocht er aan het eind van dit project nog tijd overblijven zullen er meerdere spellen volgen. De besturing loopt via ultrasone sensoren die de locatie van iemands hand bepalen. Het ontwerpen van een simpele spelcomputer sluit nauw aan met de bachelor opleiding Electrical Engineering. De toekomst van de elektrotechniek ligt dan ook in dit werkgebied. Chips zijn in de loop der jaren de basis gaan vormen voor bijna elk systeem. In dit ontwerprapport zal eerst het doel van dit project verder toe worden gelicht. Vervolgens zal er na het geven van het systeemoverzicht, wordt ieder individueel onderdeel beschreven. Testresultaten en codes zullen voornamelijk terug te vinden zijn in de appendices, tenzij anders aangegeven.

3

PROBLEEMSTELLING

3.1. PROJECTOPGAVE: 'ONTWERP EEN CHIP'

De opdracht meegegeven door de TU is het ontwerpen van een chip. Hiermee is de gehele opdracht eigenlijk al beschreven, de studenten mogen verder in alle vrijheid de opdracht verder bepalen. Er wordt natuurlijk wel eerst grondig gecontroleerd door de tutoren of de opdrachten aan de eisen voldoen en haalbaar zijn. Naast het ontwerpen van de chip mogen er extern onderdelen worden toegevoegd, bijvoorbeeld een beeldscherm of onderdelen voor de besturing.

Als project groep A5 is er gekozen om van de chip een spelcomputer te maken, hierop moeten meerdere spellen gespeeld kunnen worden. Als eerst moet het spelletje 'Pong' te spelen zijn op deze spelcomputer. Aan het einde van het project kunnen eventueel andere spellen ontworpen worden. Extern moet er gezorgd worden voor besturing, weergave en opslag van de spellen. Dit laatste wordt door middel van een SD-kaart gerealiseerd. De besturing vind plaats via ultrasone sensoren of mocht dit niet naar behoren werken door middel van drukknoppen.

3.2. BESCHIKBARE INFRASTRUCTUUR

In het 4e semester wordt de chip geproduceerd en getest, deze chip wordt door twee projectgroepen gebruikt. Elke groep heeft dus een halve chip voor zijn ontwerp, dit zijn ongeveer 200-250 flipflops. Daarnaast kan iedere groep wel gebruik maken van alle aansluitpinnen op de chip, dit zijn er 32. Voor het testen tussen door is er hardware beschikbaar, in de vorm van een Altera FPGA bord. Op dit Altera bord is veel randapparatuur aanwezig, daarnaast kunnen er nog andere externe onderdelen aan dit bord worden gekoppeld.

3.3. FUNCTIONELE EISEN

Als functionele eisen kan er kortom gezegd worden dat er op de chip meerdere spellen gespeeld kunnen worden. Deze spellen moeten bestuurd kunnen worden door middel van ultrasone sensoren. Om te beginnen wordt 'Pong' ontworpen, andere spellen volgen als de projecttijd dit toelaat.

3.4. RANDVOORWAARDEN

Aan het eindresultaat zitten een aantal randvoorwaarden verbonden. De externe onderdelen mogen maximaal 30 á 40 euro kosten, mochten deze niet vorhanden zijn. Er moet rekening worden gehouden met de grote van de chip. Tot slot dient aan alle tijdschema's te worden voldaan.

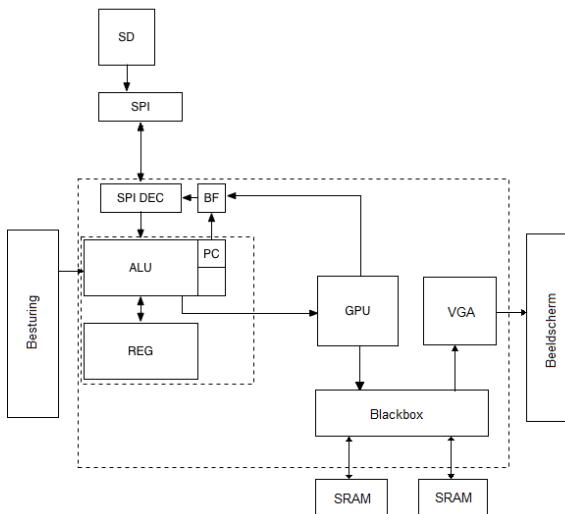
3.5. PLAN VAN AANPAK

Het plan van aanpak is een beschrijving van de aanpak van dit project, hierin staan onder andere de doelstellingen en wegen daar naar toe beschreven. Het plan van aanpak is te vinden in appendix A.

4

SYSTEEMOVERZICHT

De spelcomputer ontworpen en gebouwd door EPO-3 groep A5 bestaat uit veel verschillende losse onderdelen. Om te voorkomen dat we het overzicht kwijt raken, wordt er in dit hoofdstuk het totale systeem beschreven. Er zal dus vooral worden gekeken naar de toplevel beschrijving, hierin worden alle onderdelen samengevoegd en gekoppeld tot een geheel. Ook wordt er in het kort even ingegaan op de externe componenten die ons systeem bevat.



Figuur 4.1: Totale systeem weergave

4.1. TOPLEVEL

De toplevel beschrijving bestaat uit een entity en een behaviour. In de code van de entity staan alle poorten beschreven die de chip verbinden met de externe componenten die het systeem bevat. In de behaviour worden alle interne componenten aan elkaar verbonden. In figuur 4.1 staat schematisch weergegeven op welke manier dit gebeurd. De losse onderdelen van dit systeem worden individueel beschreven in dit verslag.

4.2. EXTERNE COMPONENTEN

Het systeem dat ontworpen is door EPO-3 groep A5 bevat kort gezegd drie aparte externe componenten, twee daarvan zijn inputs en een is een output. De inputs van dit systeem zijn de besturing en de opslag van het spel. Dit laatste gebeurd door middel van SD uitlezing met SPI. De output van dit systeem wordt aangestuurd door de VGA en kan een beeld produceren op een willekeurig beeldscherm.

5

BESTURING

Ons systeem wordt gespeeld doormiddel van 2 soorten besturing. De Ultrasone en de Button. De speler kan de modus selecteren doormiddel van een switch. Deze data van de buttons en de ultrasone worden verwerkt door een Arduino. Er is gekozen voor deze optie omdat de Arduino via SPI werkt. Hierdoor kan de SPI code getest worden en kunnen we het aantal pinnen dat gebruikt wordt laag houden.

5.1. ULTRASONE

Een unieke uitdaging van ons project is de Ultrasone besturing, de besturing werkt door middel van een (ultrasone)sensor aan de rechterzijde van de speler. Deze sensor meet met een speel ruimte van 75cm elke 11 milliseconde. Het aansturen van de ultrasone sensoren gaat doormiddel van een 2ms lange pulse op de IN-pin. Dit is de trigger van de SRF-04(de door ons gekozen ultrasone sensor). Hierna verzend de sensor zijn pulse, op dat moment wordt de OUT-pin ook hoog. Deze blijft hoog tot de gereflecteerde pulse weer binnen komt. Deze tijd wordt gedeeld door 2 omdat het geluid zowel de afstand heen als terug moet afleggen. Deze tijd wordt vervolgens geschaald naar afstand door hem door 29m/s(de snelheid van geluid in lucht) te delen. Hierna wordt de tijd teruggemapt(alles tussen de 0 en de 75 wordt terug geschaald naar 0 en 12). Deze waarde wordt voor player 2 4 bits geschoven naar links. En vervolgens wordt het signaal via de hierboven genoemde SPI verstuurd naar de chip.

5.2. BUTTONS

Bij de buttons wordt een andere manier van werken gehanteerd, hier wordt de waarde van de plaatsvector onthouden(als integer). En naar gelang welke button geactiveerd wordt, wordt het signaal 1 verhoogd/verlaagd. Dit getal kan maximaal 12 bereiken en minimaal 0. Vervolgens wordt dit signaal voor player 2 ook verschoven, en daarna verzonden via SPI.

De getallen 0->12 voor player 1/2 zijn in gebruik, dit geeft ruimte om 13,14,15 te gebruiken voor andere doeleinde. 13 dient als getal om de Start van systeem aan te geven. 15 is de Reset van het systeem.

5.3. SPI-COMMUNICATIE

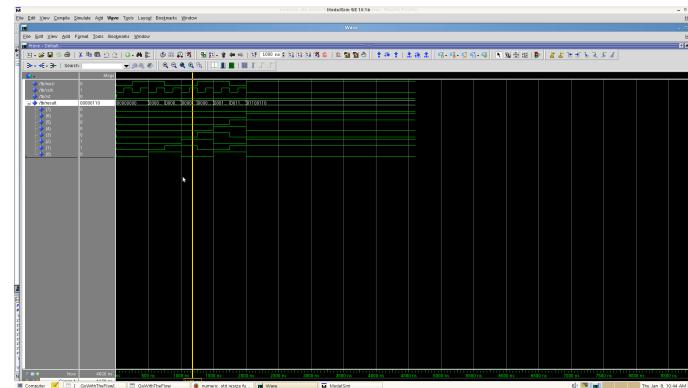
Alle variable die berekent worden in de arduino worden via SPI verzonden. SPI is een protocol over het verzenden van de data. Dit werkt doormiddel van 2 draden. Draad 1 verzend een klok van 8 pulse lang en een default low. Draad 2 verzend de waarde van 8 bits lang.

5.4. DETECTIE SPI

De chip detecteert op de opgaande flank van draad 1(klok) de waarde van draad 2(signaal). Deze waarde wordt in een Flip-flop(geheugen) gezet. Op de neergaande flank wordt de waarde geshift. Dit moet om te zorgen dat de data in de goede volgorde aankomt bij de CPU.

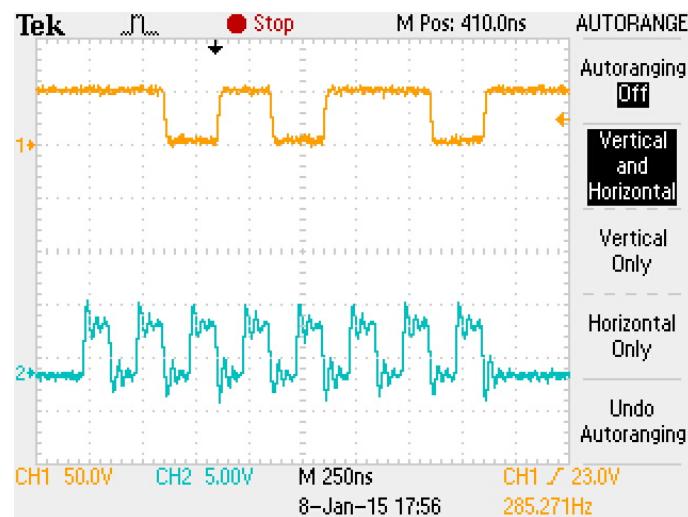
5.5. SIMULATIE

Na de ontwikkeling via Go-with-the-flow is het systeem getest. Hierbij is gebruik gemaakt van een dubbele 6 als positie. Het resultaat ziet u in:



Figuur 5.1: Twee maal de positie 6 gemeten met Modelsim

Vervolgens is het systeem gedownload op de FPGA, hierop is de arduino aangesloten. Het signaal van de arduino was:



Figuur 5.2: De positie 13(start) en 6

Deze waarde kwam precies zoals verwacht op de ledjes op de FPGA. Echter na ongeveer 5 seconde begon de waarde te shiften. Dit kwam door dat beide systemen geen gecombineerde aarde had. Dit is opgelost door een draad tussen beide aarde te zetten.

6

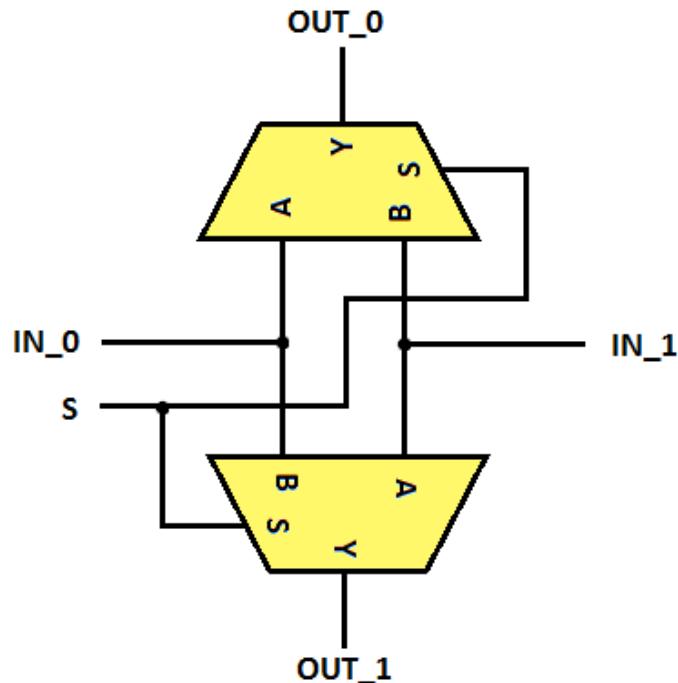
BLACKBOX

6.1. FUNCTIONELE BESCHRIJVING

Voor het genereren van de beelden worden twee SRAM chips gebruikt. De ene chip wordt uitgelezen door de VGA generator en er wordt naar de andere chip geschreven door de GPU. Als een frame geschreven is naar de SRAM chip wordt de chip waar net naar geschreven is verbonden met de VGA generator zodat deze uitgelezen kan worden. De chip die voorheen verbonden was met de VGA wordt doorverbonden met de GPU zodat daar vervolgens naar geschreven kan worden. Door deze techniek toe te passen blijft het beeld op het scherm stabiel. De BlackBox is de schakeling die dat mogelijk maakt.

6.2. INPUTS EN OUTPUTS

De SRAM chips, de VGA en de GPU communiceren met elkaar met behulp van SPI. De schakeling heeft dus twee SPI master aansluitingen voor VGA en de GPU en twee SPI slave aansluitingen voor de twee SRAM chips. Een SPI aansluiting bestaat uit vier signaallijnen. Dit zijn de serial clock (SCLK), master in slave out (MISO), master out slave in (MOSI) en slave select (SS). Ook heeft de schakeling nog een ingang om te selecteren welke SRAM chip verbonden is met de VGA generator en welke met de GPU.



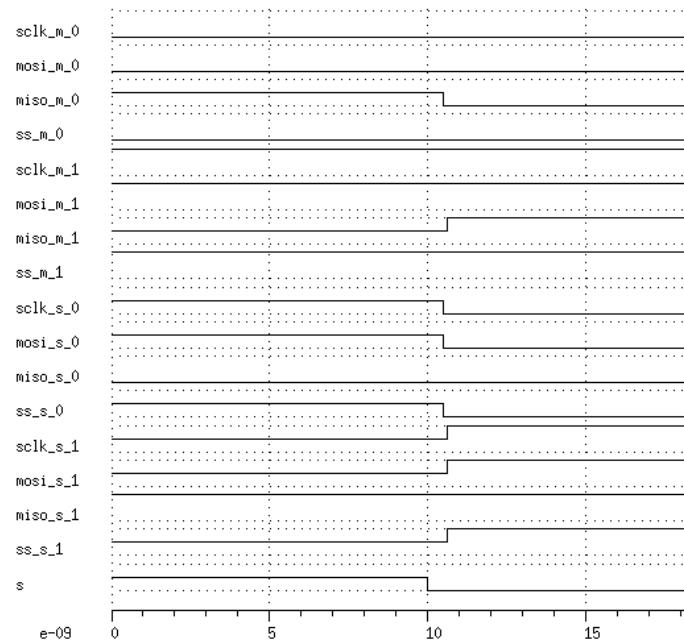
Figuur 6.1: Subschakeling van de blackbox

6.3. IMPLEMENTATIE

De schakeling bestaat uit vier subschakelingen. De subschakeling bestaat uit twee tweo naar 1 lijn multiplexers zoals weergegeven in figuur ???. Door de S laag te maken, wordt IN_0 verbonden met OUT_0 en IN_1 met OUT_1. Als S hoog is, is IN_0 verbonden met OUT_1 en vice versa. Vervolgens worden de SCLK lijnen van de GPU en VGA generator verbonden met de ingangen van de subschakeling en de uitgangen met de SCLK lijnen van de twee SRAM chips. Hetzelfde gebeurt ook voor de MOSI en de SS lijnen van de masters en de slaves. Bij de MISO lijnen is het omgekeerd omdat dit een inputlijn is voor de masters en een outputlijn voor de slaves. Hier worden dus de SRAM chips verbonden met de ingangen en de VGA generator en de GPU aan de uitgangen. De BlackBox bestaat nu uit vier subcircuits. Door de select (S) ingangen van de subschakelingen met elkaar te verbinden is de BlackBox nu compleet.

6.4. SIMULATIE

Om de werking van de schakeling te verifiëren is een switch-level simulatie gedaan zoals te zien is in figuur ??.



Figuur 6.2: Switch-Level Simulation van de blackbox

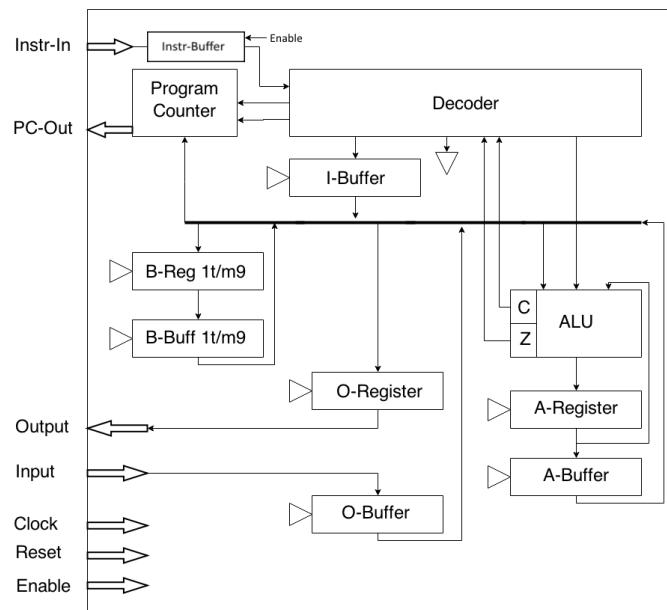
Er valt te zien dat voordat het signaal s hoog wordt de SPI signalen van master 0 en slave 0 overeenkomen. Ook de spi signalen van master 1 en slave 1 komen overeen. Nadat s laag wordt zien we dat de signalen van master 0 nu overeenkomen met de signalen van slave 1 en vice versa. Hieruit kan geconcludeerd worden dat de schakeling naar behoren zou moeten werken wanneer deze geïmplementeerd is in de chip. De schakeling kan getest worden door de signalen op de bijbehorende pinnen te bekijken en deze te vergelijken met de verwachte signalen van de SPI van de GPU en VGA circuits.

7

CPU

7.1. FUNCTIONELE BESCHRIJVING

Om programma's uit te kunnen voeren wordt gebruik gemaakt van een door de Delta-1 [INSERT BRON HIER] geïnspireerde microprocessor. Deze 8-bits processor krijgt instructies binnen die via SPI van een SD-kaart worden afgelezen. Vervolgens voert de processor bewerkingen uit, waarvan de resultaten doorgestuurd wordt naar de overige componenten op de chip. De data die uit de processor komt wordt hierna door de VGA-controller omgezet naar beelden op het scherm.



Figuur 7.1: Toplevel beschrijving

7.2. INPUTS EN OUTPUTS

De processor heeft in totaal vijf ingangen. Dit zijn de 12-bits instructie-bus waarop de instructies staan die vanaf de SD kaart worden afgelezen, een 8-bits signaal waar alle externe inputs op komen te staan, de reset en het CPU-enable signaal. Het CPU-enable signaal geeft door aan de processor dat een nieuwe instructie klaar staat om uitgevoerd te worden. Op het 8-bits signaal waar alle inputsinformatie op staat, staat bijvoorbeeld de positie van de aanssturing. We hebben besloten om de CPU niet te laten draaien op een kloksignaal, maar op het enable signaal. Op deze manier maakt de CPU een berekening iedereen keer dat er een instructie op de ingang wordt aangeboden. Zo gaat de CPU geen ongewenste stappen ondernemen met verkeerde/verouderde ingangswaardes.

Verder beschikt de CPU over twee uitgangen: Eén 8-bits signaal dat data naar de VGA controller stuurt en een 8-bits signaal dat het adres van de volgende instructie doorgeeft aan de SD-kaart uitlezer.

7.3. IMPLEMENTATIE

De totale processor is opgebouwd uit vijf verschillende sub-schakelingen: Registers, buffers, een rekenkern, een program-counter en een instructie-decoder.

De processor beschikt in totaal over elf registers. Wanneer het enable-signaal vanaf de decoder van een register hoog is, slaat deze de waarde die op dat moment aan zijn ingang staat op en kan deze data bij een latere bewerking weer uitgelezen worden. Hiervan worden er negen gebruikt om waarden op te slaan voor volgende bewerkingen, één om data aan de data-uitgang van de processor te zetten en één aan de uitgang van de rekenkern om direct een volgende bewerking op uit te kunnen voeren. Het enable-signaal staat in een 5-bits vector, waarmee ook de registers waarin je data wilt opslaan geselecteerd worden. De most-significant bit bepaald of de register enabled is. De overige vier bits is het adres van het register dat je wilt selecteren.

Verder zijn er dertien buffers aanwezig. Deze buffers laten data van hun ingang door naar hun uitgang wanneer hun enable-signaal vanaf de decoder hoog is, en geven 'high-Z' aan de output door wanneer dit niet zo is. Ze maken dus data beschikbaar aan de bus, zodat er verder mee gerekend kan worden. Negen van deze 8-bits buffers staan tussen de uitgangen van de opslag-registers en de databus, één aan de controller-input, één tussen het rekenkern-register en de databus, één die vanuit de decoder een numerieke waarde op de databus kan zetten en één 12-bits buffer aan de instructie-ingang van de CPU. De negen buffers achter de opslag-registers worden op dezelfde manier geselecteerd als de registers, maar dan op hun eigen data-bus.

De Arithmetic Logic Unit (ALU) heeft één 3-bits instructie-ingang vanuit de decoder, twee 8-bits data ingangen waarvan er een van de databus komt en een het resultaat van de vorige bewerking bevat, een 1-bit carry uitgang die aangeeft wanneer er een overflow optreedt bij een optel-operatie, een 1-bit zero uitgang die aangeeft wanneer een 'AND' operatie enkel nullen oplevert en een 8-bits uitgang waar het resultaat van de bewerkingen op staat. Afhankelijk van het instructie-signaal wordt een andere operatie uitgevoerd met de data op de twee ingangen. Op basis van de Opcode selecteert de ALU middels 'when' statements welke functie moet uitvoeren.

De Program counter krijgt na elke instructie van de decoder een signaal om ofwel één instructie verder te gaan, of om naar een specifieke instructie te 'springen'. Dit wordt gedaan met behulp van een 1-bit increment en -jump signaal. Zolang de increment ingang hoog is wordt er telkens één opgeteld bij iedere instructie, en als het jump signaal hoog is wordt het nieuwe instructie-nummer vanaf de databus uitgelezen. Het 8-bits uitgangssignaal bevat het adres van de volgende instructie en wordt doorgegeven naar de SD-kaart uitlezer. De program counter zal bij elk opgaand enable signaal een stap verder gaan, dus bij iedere nieuwe instructie wordt gekeken wat de volgende instructie gaat zijn.

Aan het hoofd van de processor bevindt zich de instructie decoder. Deze decoder stuurt naar aanleiding van een 12-bits instructie de overige componenten binnen de CPU aan. Dit wordt gedaan door eerst het 12-bits signaal op te delen in een 4-bits instructie en een 8-bits argument. Hierna wordt afhankelijk van de instructie een enable-signaal naar een relevant register of buffer, een instructie-code naar de rekenkern en een increment of jump signaal naar de program counter gestuurd. Het 8-bits argument kan ofwel als waarde op de databus gezet worden of als enable-signaal omgezet worden voor een register of buffer. De mogelijke instructies met bijbehorende uitgangssignalen van de decoder zijn te zien in tabel [figuur 6.2]. In de tabel is te zien bij welke ingangssignalen de output hoog moet zijn. Met dit in gedachten kan door middel van logische combinatoriek voor iedere uitgang een logische functie worden gedefinieerd.

Instructioncode	Instructie	ALU	Prog_cntr_inc	Prog_cntr_ld	In_buff_oe	A_reg_ld	A_buff_oe
0000							
0001	Jp #	xxx	0	1	1	0	0
0010	Jp R _i	xxx	0	1	0	0	0
0011	Bz	xxx	0 als z	1 als z	1	0	0
0100	Bc	xxx	0 als c	1 als c	1	0	0
0101	Ld #	000	1	0	1	1	0
0110	Ld R _i	000	1	0	0	1	0
0111	St R _i	xxx	1	0	0	0	1
1000	ADD #	101	1	0	1	1	0
1001	ADD R _i	101	1	0	0	1	0
1010	XOR #	001	1	0	1	1	0
1011	XOR R _i	001	1	0	0	1	0
1100	AND #	010	1	0	1	1	0
1101	AND R _i	010	1	0	0	1	0
1110	Set c	011	1	0	0	0	0
1111	Clr c	100	1	0	0	0	0

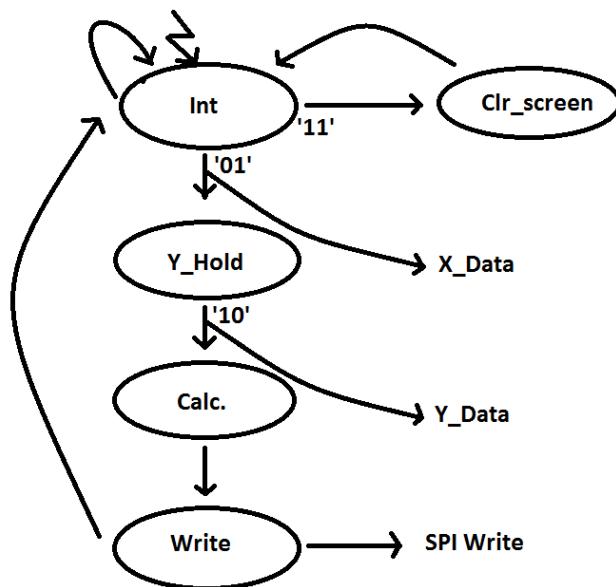
Figuur 7.2: Instructies met bijbehorende uitgangssignalen

8

GPU

De GPU is een component dat via de outputbuffer van de CPU 2 8 bit commando's zal ontvangen met daarom achtereenvolgens de X en Y positie van de in te kleuren pixel op het scherm. Tevens zal er een commando bestaan om het volledige scherm schoon te vegen (Alle pixels uitzetten). De GPU ontvangt deze coördinaten en rekent dit om naar het adres waar de waarde '1' of '0' ingevuld zal moeten worden in het SRAM. Tevens bevindt zich in de GPU de aansturing van het SRAM, via SPI. Deze zal bestaan uit een 8 bits instructiecode voor de schrijf handeling, gevolgd door een 16 bits adres waar de waarde geschreven zal moeten worden en uiteindelijk de waarde zelf. Op deze manier kan het SRAM geschreven worden vanuit de CPU en is het mogelijk om beeld te genereren.

De GPU is ontworpen aan de hand van een FSM, deze bevat 5 states en staat hieronder weergegeven.



Figuur 8.1: Final State Machine van de GPU

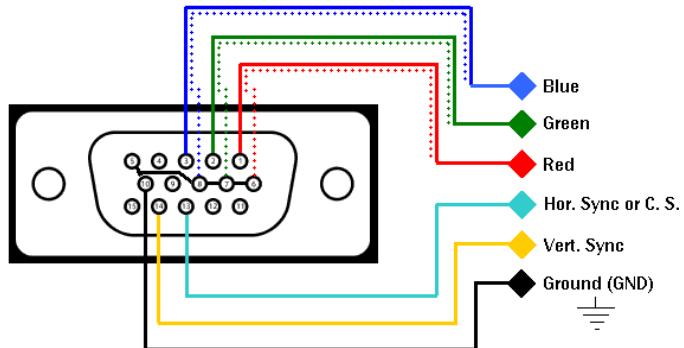
In de eerste state kan de GPU drie richtingen op gaan. Als de eerste twee bits van de 8-bits vector '11' zijn gaat de GPU naar Clr-screen,hier zal de VGA zijn scherm leeg maken. De GPU gaat zijn X-data inlezen en springt naar de volgende state (Y-Hold) als de eerste twee bits van de 8-bits vector '01' is. Voor iedere andere waarde op de eerste twee bits van de 8-bits vector blijft de GPU in de int state. Vanuit de Clr-screen state kan de GPU alleen nog maar terug naar de int state en begint de FSM opnieuw. In de Y-Hold state wacht de GPU op Y-Data, de GPU blijft in deze state totdat de eerste twee bits van de 8-bits vector '10' aangeven (Duurt 20 klokslagen). Op dat moment leest de GPU de Y-Data in en stapt over naar de Calc. state. In deze state wordt het adres berekend voor de VGA, dit gebeurd met de formule $32 * Y + X = \text{adres}$. Als deze berekening voor het

bepalen van zijn adres is voltooid springt de GPU automatisch naar de volgende state, de Write state. In de Write state schrijft de GPU data uit de buffers weg via SPI. Automatisch zal de GPU terug springen naar zijn eerste state, het proces begint dan opnieuw.

9

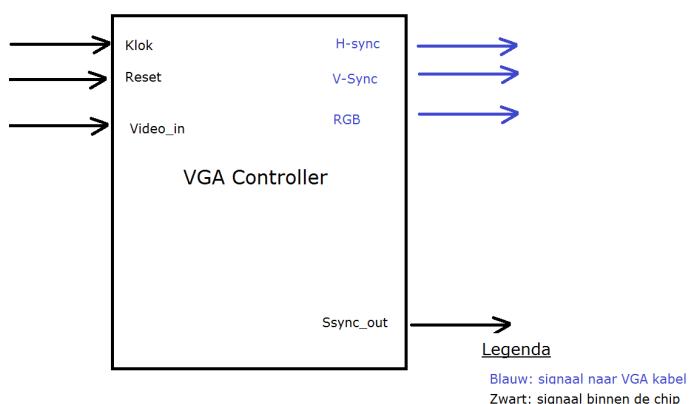
VGA

De VGA-controller zorgt ervoor dat een beeldscherm van de juiste signalen wordt voorzien om een beeld te kunnen opbouwen. Hierbij wordt een serieel signaal vanuit het SRAM omgezet naar een signaal dat voor een monitor is te begrijpen. Hiervoor zijn vijf signalen nodig. Drie signalen voor respectievelijk rood, groen en blauw, een voor H-Sync en een voor V-Sync.



Figuur 9.1: Layout VGA-stekker

Kortom, de VGA controller zorgt voor een H-sync, een V-Sync en dat het RGB signaal op de juiste manier aan het scherm wordt doorgegeven.



Figuur 9.2: Grafische omschrijving blackbox

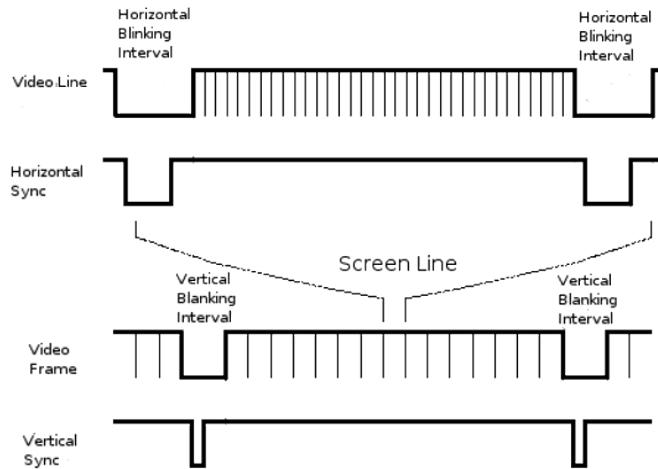
9.1. RGB

Op de pinnen voor rood, groen en blauw, staat een analoog signaal tussen de 0 en de 0.7 volt. Hoe hoger de spanning, hoe feller de kleur. Door middel van verschillende spanningsniveaus kan de kleur per pixel worden

bepaald. Wij maken echter alleen gebruik van zwart en wit. Daarom wordt er slechts een signaal naar de alle RGB pinnen verstuurd. Hierdoor ontstaat een witte pixel. Wanneer dit niet gebeurt, is de pixel zwart. Op de FPGA wordt een digitaal signaal omgezet naar een analog signaal tussen de 0 en 0.7 volt. Op de uiteindelijke chip zal er echter nog een schakeling nodig zijn om dit voor elkaar te krijgen.

9.2. H-SYNC

H-Sync vertelt de monitor wanneer een regel klaar is. Als H-Sync laag is, betekent dit voor de monitor dat er een nieuwe regel pixels geschreven kan worden. Het is echter niet zo dat wanneer H-Sync weer hoog is, dat er gelijk pixels geschreven kunnen worden. Er zit nogal enige vertragingstijd ingebouwd. Deze tijd was bij CRT-monitoren nodig om elektronenstraal terug naar het begin te richten.



Figuur 9.3

Video Line is het RGB signaal. Zoals te zien is in figuur 2, zit er tijd voor en na de dip van de H-sync. Deze tijd heet de front-porch en de back-porch.

9.3. V-SYNC

V-Sync is het signaal dat aan de monitor vertelt dat een volledig scherm is volgeschreven. Als V-Sync laag wordt, begint het scherm weer links bovenin met pixels vullen. Net als bij de H-Sync is er sprake van een Front-porch en een Back-porch. Deze zijn bij de V-Sync een stuk langer dan bij de H-sync. Dit komt omdat de monitor de elektronenstraal van rechts onderin naar links bovenin moet sturen. Deze afstand is een stuk groter dan terug van rechts naar links.

9.4. TIMING

De klok van de chip is 6.177 Mhz. Op de FPGA wordt echter een klok gebruikt van 6 Mhz. Deze wordt ook aangehouden in de VHDL code. Om de counters in de VGA-controller niet te groot te maken, wordt de klok eerst gedeeld door vijf. Hierdoor is de nieuwe klok 1.2 Mhz. Wanneer er wordt gesproken van een kloksignaal, wordt er gesproken over de klok van 1.2 Mhz.

9.4.1. H-SYNC

De Front-porch van de H-sync is precies één klok slag. Na de Front-porch is de H-sync vijf klokslagen laag. Daarna is de H-sync 34 klokslagen hoog. Het videosignaal naar de monitor is echter iets later pas beschikbaar. Dit komt doordat er nog een Back-porch is van twee klokslagen.

Tijd	Wat	H-sync	Videosignaal
0 tot 1	Front-porch	Hoog	Uit
1 tot 6	H-sync dip	Laag	Uit
6 tot 8	Back-porch	Hoog	Uit
8 tot 40	Video on	Hoog	Aan

Figuur 9.4: Timing voor de H-Sync

9.4.2. V-SYNC

De V-sync werkt eigenlijk op eenzelfde manier als de H-Sync. Hier wordt echter niet de klok geteld, maar het aantal regels. Omdat het aantal regels een stuk minder is dan het aantal klokslagen, wordt de counter voor de V-sync (vidcounter) een stuk kleiner. Iedere keer dat het signaal voor de H-sync weer opnieuw begint, krijgt de vidcounter een signaal. Dit signaal heet nline-out. De Front-porch voor de V-Sync is 11 regels. De V-sync dip is 2 regels en de Back-porch is 31 regels. Vervolgens zijn er 480 regels beschikbaar om een videosignaal uit te zenden.

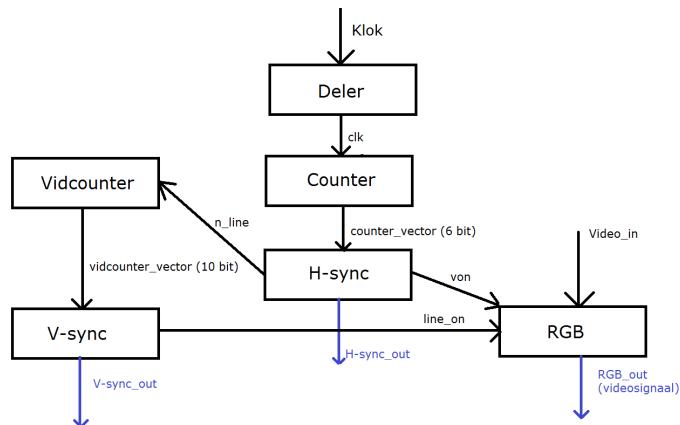
Regels	Wat	V-Sync	Videosignaal
0 tot 11	Front-porch	Hoog	Uit
11 tot 13	H-sync dip	Laag	Uit
13 tot 44	Back-porch	Hoog	Uit
44 tot 524	Video on	Hoog	Aan

Figuur 9.5: Timing voor de V-Sync

Er wordt echter maar een keer per twintig regels een nieuw signaal op het videosignaal gezet. Hierdoor zijn er dus twintig maal zo weinig regels beschikbaar. De resolutie wordt hierdoor 32 bij 24 pixels.

9.5. VHDL

Om alle signalen op het juiste moment naar de monitor te sturen, is de VGA-controller in delen opgedeeld.
Deler Counter H-sync Vidcounter V-sync RGB



Figuur 9.6: Schema van de componenten

9.5.1. DELER

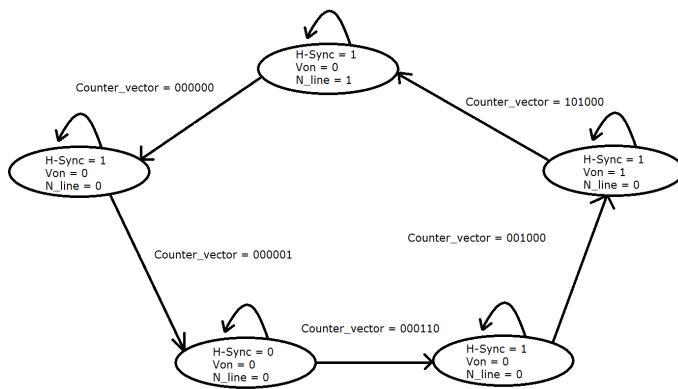
Dit component deelt de klok door vijf. Hierdoor is de klok 1.2 Mhz. Wanneer er over een klok gesproken wordt binnen de VGA-controller, gaat het over de klok van 1.2 Mhz.

9.5.2. COUNTER

Dit component telt klokslagen. Bij een resolutie van 32 bij 24 pixels, is de pixelklok gelijk aan de gedeelde klok van 1.2 Mhz. Iedere $1/1.2 \text{e}6$ seconde (mits von en line-on hoog zijn) komt er een nieuwe pixel op het scherm. De counter telt tot en met 40 en gaat daarna weer terug naar nul.

9.5.3. H-SYNC

Dit component is een FSM. De input is de counter-vector (6 bit). De outputs zijn: Von, N-line en H-sync. Von en N-line blijven binnen de chip en H-sync wordt op de VGA uitgang gezet.



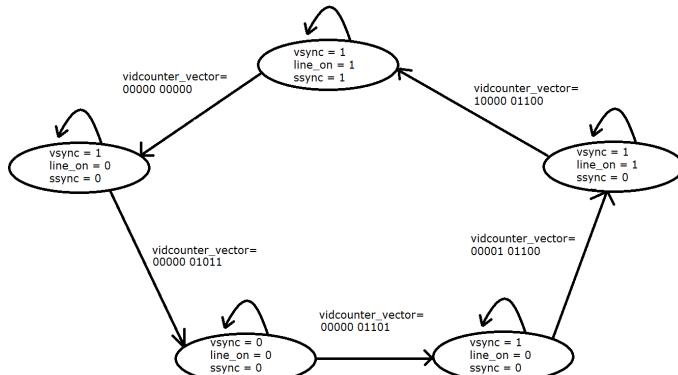
Figuur 9.7: FSM H-Sync

9.5.4. VIDCOUNTER

Dit component werkt hetzelfde als de counter. Het enige verschil is dat nu niet de klok wordt geteld, maar het signaal N-line. N-line is 1 op het moment dat er een nieuwe regel begint. De vidcounter is de counter voor de V-sync. De counter telt tot en met 524 en gaat daarna weer terug naar nul.

9.5.5. V-SYNC

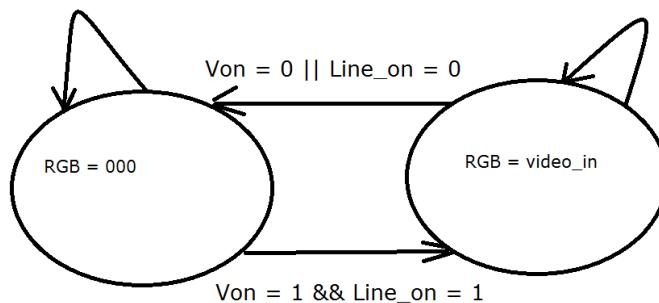
Dit is een FSM. De input is vid-counter-vector (10 bit). De outputs zijn V-sync, line-on en Ssync. Ssync en line-on blijven binnen de chip en V-sync wordt op de VGA uitgang gezet.



Figuur 9.8: FSM V-Sync

9.5.6. RGB

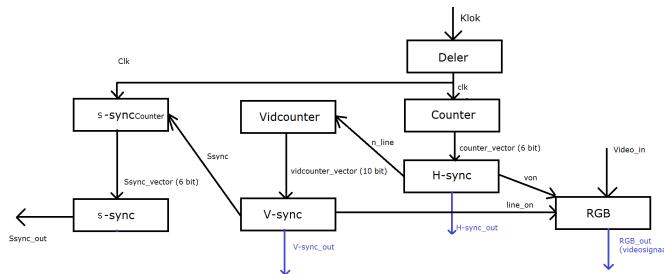
Dit component zorgt ervoor dat er pixels op het scherm ingekleurd kunnen worden. Op het moment dat Von en Line-on beide 1 zijn, zit video-in aan de uitgang RGB. Dit signaal wordt de op VGA poort gezet en daarmee rechtstreeks naar het scherm gestuurd.



Figuur 9.9: FSM RGB

9.6. VIDEOSIGNAAL

Het videosignaal komt uit het SRAM. Om het SRAM de juiste waarden naar de VGA-controller te laten sturen, zijn er een aantal dingen nodig. Adres Leescommando Sklok. De Sklok is vrij eenvoudig. Dit is namelijk de klok waarop het SRAM bits moet gaan sturen. Aangezien er binnen de VGA controller wordt gewerkt met een klok van 1.2 Mhz, hoeft dit signaal alleen te worden doorgestuurd. Het leescommando voor het SRAM is 0000 0011. Na het leescommando, moet het adres worden gegeven. Dit adres is 0000 0000 0000 0000. Kortom, er dient een signaal van 24 bit te worden verstuurd op de klok naar het SRAM. Na dit signaal, gaat het SRAM direct waarden gegeven. Het is dus belangrijk dat op de laatste regel de 24 bits worden verstuurd zodat er op de eerste regel direct kan worden uitgelezen. Hiervoor is het signaal Ssync. Dit komt uit de V-sync.



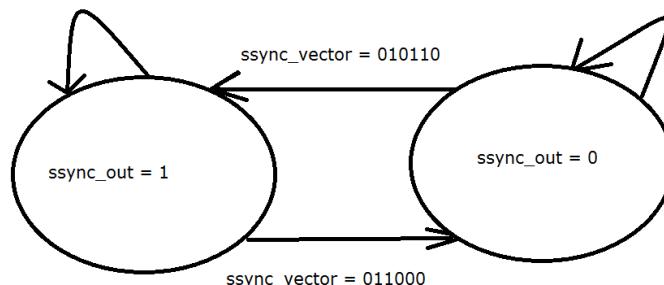
Figuur 9.10: Schema van de componenten

9.6.1. S-SYNCCOUNTER

Deze counter begint met tellen als Ssync hoog is. Vervolgens telt de counter tot 40. Daarna begint hij weer opnieuw.

9.6.2. S-SYNC

Net als de H-Sync en V-Sync is dit een FSM met ongeveer dezelfde werking.



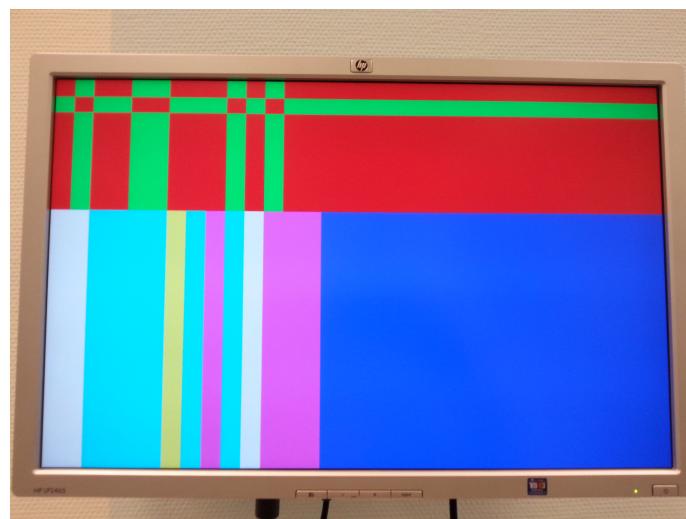
Figuur 9.11: FSM Ssync

9.7. CONCLUSIE

Om alle signalen op het juiste moment naar de monitor te sturen, is de VGA-controller in zes delen opgedeeld. Daarnaast zijn er nog twee componenten nodig om het SRAM aan te sturen. Hierdoor komt het totaal op acht componenten uit. Deler Counter H-sync Vidcounter V-sync RGB Ssync-counter Ssync

9.8. RESULTATEN

Op de foto is een testscherm te zien. Hierbij zijn enkele pixels te zien in verschillende kleuren.



Figuur 9.12: Testscherm vanaf de FPGA

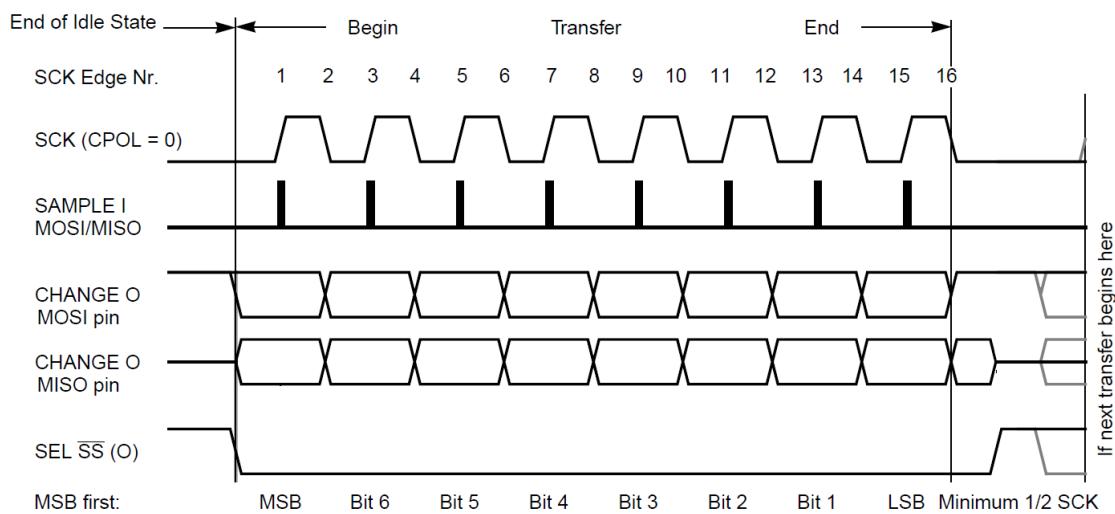
10

SPI

Serial Peripheral Interface in het kort ook SPI genoemd is een de facto-standaard die ooit door Motorola bedacht is voor het communiceren met randapparatuur, zoals embedded systems, sensors en memory cards. Omdat SPI niet een officiële standaard is er geen specificatie om aan te houden bij het ontwerpen, om toch een referentie te hebben is er gebruikt gemaakt van [?] waarin het ontwerp van een SPI module wordt omschreven. Bij SPI heb je de master en de slave deze communiceren met elkaar via twee seriële datalijnen daarnaast is er nog een kloklijn die aangeeft wanneer er data overgedragen wordt. De kloklijn wordt aangestuurd door de master, dit houdt in dat de slave niet kan pauzeren en altijd data aan de master aan moet bieden. De standaard definieert enkel hoe de data van de master naar de slave en vice versa over wordt gedragen, niet hoe de data verwerkt wordt, dit heeft als gevolg dat randapparatuur zelf nog moet definiëren hoe de communicatie verloopt.

10.1. FUNCTIONELE BESCHRIJVING

De SPI module begint met zenden/ontvangen zodra het send signaal hoog is en stopt zodra er acht bits zijn verzonden/ontvangen, daarna kunnen de ontvangen bits uitgelezen worden en nieuwe bits in worden geladen om te verzenden. Het overbrengen van het shift register dat in de master zit naar de slave en vice versa deze shift registers zijn in een kring op elkaar aangesloten, waarbij altijd de meest significante bit wordt verzonden. Voor de communicatie met de slave wordt een slave klok signaal gegenereerd, de data overdracht is gesynchroniseerd ten opzicht van dit signaal. Data wordt gesampled op de opgaande klokflank en de data wordt geshift op de neergaande klokflank, een verduidelijking van hoe deze timing precies werkt is te zien in figuur ??

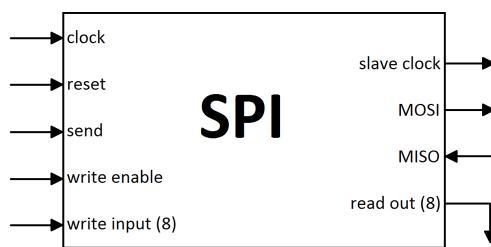


Figuur 10.1: Diagram van SPI timing

10.2. INPUTS EN OUTPUTS

Hieronder een beschrijving van alle in- en outputs van de SPI module zoals te zien in figuur ??.

- Clock: het kloksignaal waarop de SPI draait, het slave clock signaal zal dezelfde frequency hebben als dit kloksignaal
- Reset: de hoofd reset van de SPI
- Send: de input die aangeeft wanneer er begonnen moet worden met zenden/ontvangen
- Write_enable: als deze hoog is zal write_in(8) in het shift register geladen worden
- Write_in(8): de bits die naar het shift register worden geschreven als write_enable hoog is
- Read_out(8): de waarde die in het shift register staat
- Slave clock: het slave kloksignaal die de communicatie met de slave aanstuurt
- MOSI: de datalijn van de master naar de slave
- MISO: de datalijn van de slave naar de master



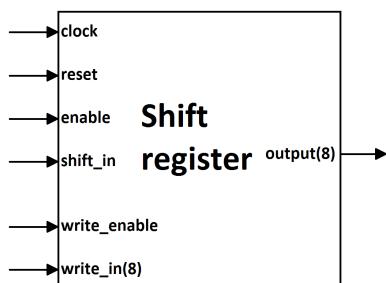
Figuur 10.2: Diagram van SPI circuit

10.3. IMPLEMENTATIE

Voor de implementatie van de SPI is er voor gekozen om het in drie subsystemen op te delen:

- Counter: een simpele teller die de opgaande klokslagen van het slave clock signaal telt.
- Shift register: een shift register van acht bits die shift op de neergaande klokflank als het enable signaal hoog is en nieuwe waarden inlaad als de write enable hoog is. Het blokschema van het shift register is te zien in figuur ??.
- Control: een statemachine die er voor zorgt dat de SPI stopt met shiften na 8 klokslagen van de slave klok, zodat er tijd is om het register uit te lezen of nieuwe waarden in te laden. Het blokschema van Control is te zien in figuur ??.

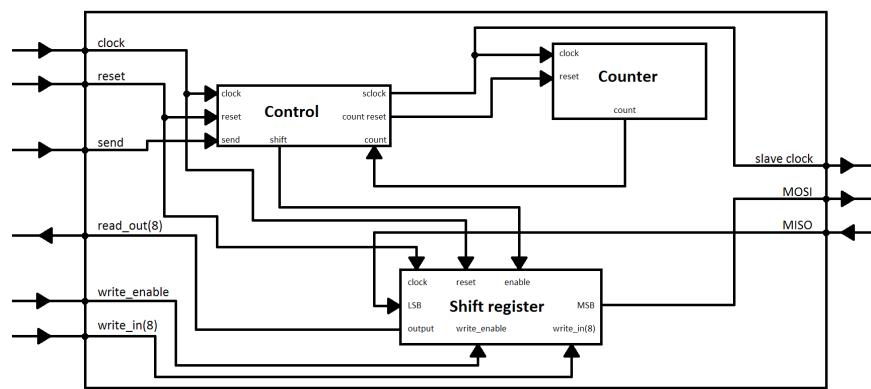
Deze drie subsystemen zijn aan elkaar verbonden volgens het schema in figuur ??.



Figuur 10.3: Diagram van Shift regiser



Figuur 10.4: Diagram van Control



Figuur 10.5: Diagram van de verbinding van de componenten

11

SD-KAART

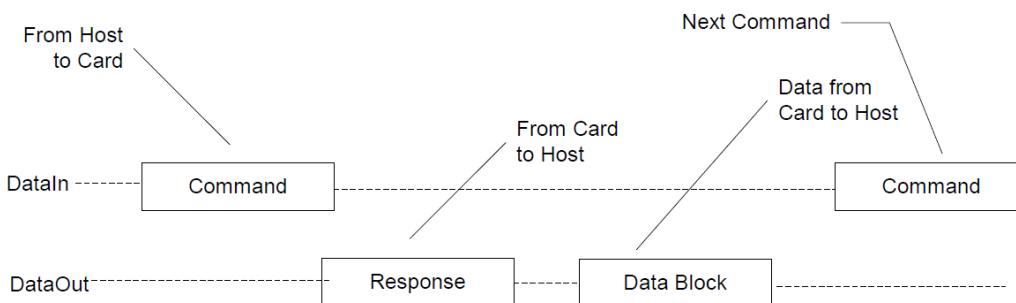
Voor het opslaan van de instructies voor de CPU is gekozen voor een SD-kaart. Voor het uitlezen van een SD-kaart zijn er drie verschillende modes, twee hiervan zijn echter gebaseerd op een zelf ontworpen systeem van SanDisk. De derde mode is echter gebaseerd op SPI waarvan al een module is die al ontworpen is, daarom is hier ook voor gekozen.

11.1. SD COMMUNICATIE

Aangezien SPI niets zegt over hoe de communicatie verloopt of wat de betekenis van de overgebrachte data is, definieert SanDisk in de SD specificatie een aantal commando's die naar de SD-kaart gestuurd kunnen worden. De specificatie die gebruikt is is uit 2003, dit is omdat dit de enige volledige specificatie is die te vinden was. Dit is omdat je een licentie bij SanDisk moet hebben om toegang te hebben tot de meest recente en volledige specificaties.

11.2. SD COMMANDO'S & RESPONSES

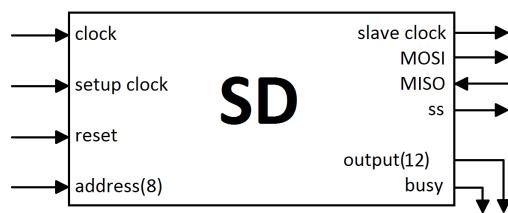
De communicatie met de SD-kaart verloopt als volgt: er wordt een commando naar de SD-kaart verstuurt, de SD-kaart geeft antwoordt of het een correct commando is en of het commando verwerkt kan worden, daarna komt eventueel nog, bij het lezen, data van de SD-kaart of, bij het schrijven, data naar de SD-kaart. Zodra alles is afgehandeld kan er een nieuw commando gestuurd worden. Hoe dit precies verloopt is te zien in figuur ?? hierin is data versturen naar de SD-kaart weggelaten omdat hier geen gebruik van wordt gemaakt.



Figuur 11.1: Commando communicatie van SD-kaart

11.3. FUNCTIONELE OMSCHRIJVING

De SD module is zo ontworpen dat deze een adres binnen krijgt van de program counter van de CPU deze uitleest vanaf de SD-kaart en deze vervolgens aanbiedt aan de CPU. Zolang de SD module nog bezig is met het uitlezen van het adres zal het busy signaal hoog zijn.



Figuur 11.2: Diagram van SD-kaart

11.4. INPUTS EN OUTPUTS

Hieronder een beschrijving van alle in- en outputs van de SD module zoals te zien in figuur ??.

- Clock: het kloksignaal waar de SD module op draait, dit is ook het kloksignaal waar de SPI na initialisatie op zal draaien
- Setup clock: het kloksignaal dat tijdens de initialisatie gebruikt zal worden, deze moet tussen de 100 en 400 kHz liggen
- Reset: het algemene reset signaal
- Address: het adres dat van de SD-kaart zal worden afgelezen
- Output(12): dit zal de waarde zijn die op het adres staat zodra deze is uitgelezen
- Busy: dit signaal geeft aan of de SD module bezig is
- Slave clock: het slave kloksignaal dat de SD-kaart aanstuurd
- MOSI: de datalijn van de SD module naar de SD-kaart
- MISO: de datalijn van de SD-kaart naar de SD module
- SS: het slave select signaal, dit signaal wordt gebruikt om de SD-kaart in SPI mode te krijgen en om aan te geven dat de SD-kaart geselecteerd is.

12

CONCLUSIE EN AANBEVELINGEN

12.1. CONCLUSIE

Het EPO-3 project van de bachelor opleiding Electrical Engineering begon in tegen stelling tot voorgaande projecten vrij soepel. Als groep waren we het snel met elkaar eens, het zou een spelcomputer worden met een ultrasone besturing. Gaande weg liepen we tegen steeds meer dingen aan.

Ons plan, het bouwen en ontwerpen van een spelcomputer, is achteraf niet haalbaar geweest. Het is ons niet gelukt alle individuele onderdelen op tijd werkend te krijgen. Beide opslag units zorgden hier voor het grootste probleem. De SD-kaart uitlezing leek telkens te werken, maar stopte er telkens tijdens het testen mee. Omdat op de SD-kaart de spellen opgeslagen worden en dit dus de basis vormt voor de spelcomputer. Bleek dit niet realiseerbaar meer en zijn we overgestapt op een ander plan. Met de componenten die werkend zijn gekregen is een simpele rekenmachine ontworpen.

12.2. AANBEVELINGEN

Achter af is het natuurlijk simpeler gezegd als gedaan, maar het is bij dit EPO-3 project belangrijk een duidelijk doel te stellen. Er moet daarbij vooral gelet worden op de haalbaarheid van het ontwerp. Het is met deze vrijheid in keuze dan ook gevaarlijk om te veel te willen realiseren. Dit heeft bij onze project groep voor veel stress gezorgd, wat zeker niet ideaal is aan het einde van een periode.

13

DISCUSSIE

13.1. REFLECTIE OP HET EINDONTWERP

Zoals eerder in het verslag al aangegeven is het ons niet gelukt om een werkende spelcomputer te realiseren. Met de werkende onderdelen zijn we vervolgens verder gegaan en hebben een simpele rekenmachine ontworpen. De problemen die we tijdens het proces tegen kwamen zaten vooral in de communicatie tussen de FPGA en de externe componenten. Het lukte ons niet om de SD-kaart uitlezing werkend te krijgen. Deze leek telkens te werken, maar was onmogelijk stabiel te krijgen. Ditzelfde probleem ondervonden we met beide SRAM geheugens. Deze onderdelen leken het hele project haalbaar, pas in de laatste week kwamen de problemen naar voren. Dit had tot gevolg dat het onmogelijk geworden was iets sterker te produceren dan dat ons nu gelukt is.

13.2. REFLECTIE OP HET GROEPSPROCES

EPO-3 groep A5 begon dit project sterk en georganiseerd, dit was grotendeels te danken aan onze voorzitter Erné Bronkhorst. Beslissingen konden gezamenlijk en snel worden genomen, dit gaf ons een goede voorsprong. Ook de taakverdeling en planning leek erg soepel te lopen. Gaande weg het project werd steeds meer duidelijk dat niet alle onderdelen evenveel tijd kosten, dit had tot gevolg dat er achteraf in moest worden gesprongen in onderdelen en dat koste erg veel tijd. De besturing was daar een goed voorbeeld van, deze kon eigenlijk vrij snel gerealiseerd worden. Hierdoor kwamen er twee mensen zonder taak te zitten, gelukkig kon dit vrij snel worden opgelost. Er moest nog een plan van aanpak worden geschreven en een toplevel beschrijving ontwerpen. In de laatste fase van het project heeft de taakverdeling ervoor gezorgd dat we dit toch nog met een goed resultaat konden beëindigen.

BIBLIOGRAFIE

- [1] SPI Block Guide, <http://www.ee.nmt.edu/~teare/ee308l/datasheets/S12SPIV3.pdf>, benaderd in oktober en november. 2014.

A

PLAN VAN AANPAK

A.1. ACHTERGRONDEN

Door onze aanmelding bij de studie Electrical Engineering aan de TU-Delft hebben wij van deze organisatie opdracht gekregen om een eigen chip te ontwerpen, verder is alles geheel voor eigen keuze. De opdracht zal door de opdrachtgevers gekozen naam 'Ontwerp een chip' benoemd worden. Dit project is aangenomen door alle leden van de projectgroep A5, tevens zal dit project worden begeleid door Dr. R. Ishihara. Dr. R. Ishihara zal hiernaast fungeren als onze tutor. Deze opdracht zal binnen de Technische Universiteit Delft worden verwerkt. Dit project speelt in op de in college naar voren gekomen onderdelen, waaronder 'Programmeren in C' en 'Digitale systemen'. Het dient als doel onze kennis te verdiepen en te verbreden in de elektrotechniek. De uiteindelijke stakeholders zijn behalve de opdrachtgevers, daardoor ook de projectnemers. Deze opdracht is een onderdeel en vereiste voor het behalen van de Bachelor opleiding 'Electrical Engineering'.

A.2. PROJECTRESULTAAT

Tijdens het EPO-3 project 'Ontwerp een chip' dient een chip ontworpen te worden, dit kan bijvoorbeeld het implementeren van een spelletje of een Infrarood-Besturing op een chip zijn. Deze opdracht mag door de projectgroep gekozen worden. Bij het ontwerp van de chip dient gebruik gemaakt te worden van Sea-of-gates technologie.

A.2.1. DOELSTELLINGEN VAN HET PROJECT

Allereerst is het doel van het project, het succesvol uitvoeren van de opdracht gekregen van de opdrachtgever. Belangrijk hierbij is het ontwerpen aan de hand van globale productspecificaties met randvoorwaarden. Daarnaast, zeker niet onbelangrijk, zijn de vaardigheden die universiteit ons mee wilt geven. Deze vaardigheden komen gaandeweg het project steeds meer naar voren. Hierbij speelt projectmatig werken in een groep een grote rol. Ook worden de projectnemers middels dit project getraind in vergaderen, overleggen en plannen. Als laatst worden verschillende technische vaardigheden in de praktijk getraind waaronder programmeren, simuleren en het bouwen van verschillende schakelingen. Er moet tijdens dit EPO-3 project strikt worden gelet op het combineren en testen van de verschillende ontwerpen, hierbij kan worden gebruik gemaakt van moderne computerhulpmiddelen. De projectleden zullen gaande weg dit project hierin gesteund en getest worden.

A.2.2. EINDRESULTAAT

Als eindresultaat zal er een chip moeten worden ontworpen, daarnaast moet er een verslag worden geschreven. De chip moet aan een aantal eisen voldoen, namelijk:

1. Op de chip moet een spelcomputer gebouwd worden, deze spelcomputer dient spelletjes van een SD-kaart te kunnen weergeven op een beeldscherm.
2. Ultrasone sensoren moeten de besturing vormen voor de spelcomputer.
3. Er moet minimaal een spel ontworpen worden (Pong). Mocht er tijd over zijn dan kunnen er meer spelletjes ontworpen worden.

4. Het beeld dient te worden weergegeven met VGA op een beeldscherm.

Ook het verslag moet aan een aantal eisen voldoen:

1. Het verslag bestaat uit twee delen, het technische verslag en het procesverslag.
2. Het technisch verslag documenteert de ontwerpkeuzes en de prestaties van de chip.
3. De weekverslagen/notulen vormen een basis voor het procesverslag.
4. Het verslag dient te worden geschreven volgens het format van de projecthandleiding.

A.3. PROJECTACTIVITEITEN

Het project kan worden opgedeeld in het uitvoeren van de volgende taken:

1. Opstellen plan van aanpak
 - verzamelen en bestuderen informatie
 - maken van concept plan van aanpak
 - bespreken plan van aanpak met opdrachtgever
2. Ontwerpen en bouwen besturing
3. Ontwerpen microprocessor
4. Ontwerpen en bouwen geheugenelement (SD)
5. Ontwerpen VGA + SRAM module
6. Schrijven Pong (spelletje)

A.4. PROJECTGRENZEN

In dit project is veel vrijheid gegeven door de opdrachtgever. Dat neemt niet weg dat er aan een aantal eisen moet worden voldaan, voornamelijk de beperkingen die de chip met zich mee brengt. Deze eisen staan beschreven in de projecthandleiding, en zijn hieronder even kort samengevat.

1. Het ontwerp dient klaar te zijn binnen het 2e kwartaal.
2. De schakeling dient te werken op een klokfrequentie van 6.144 MHz.
3. Elke projectgroep heeft 0.4 cm^2 ruimte op de chip, dit komt overeen met 40.000 transistor paren.
4. Per groep zijn er 32 aansluitpinnen beschikbaar.
5. Voor de FSM's mogen alleen die van het type Moore gebruikt worden, daarnaast moet er altijd een reset aanwezig zijn.
6. Het streven is om zo weinig mogelijk componenten extern te gebruiken.

A.4.1. TUSSENRESULTATEN

De tussenresultaten van dit project worden uitgebreid beschreven in het gehele tussentijdse ontwerprapport en dus niet verder behandeld in het plan van aanpak.

A.4.2. KWALITEITSBEWAKING

Eindproduct

Het eindproduct van het derde project van de bachelor Electrical Engineering moet een goed werkende chip zijn die aan enkelen eisen voldoet, deze eisen zijn door de projectgroep zelf opgesteld:

- Op de chip moet een spelcomputer gebouwd worden, deze spelcomputer dient spelletjes van een SD-kaart te kunnen weergeven op een beeldscherm.
- Ultrasone sensoren moeten de besturing vormen voor de spelcomputer.
- Er moet minimaal een spel ontworpen worden (Pong). Mocht er tijd over zijn dan kunnen er meer spelletjes ontworpen worden.
- Het beeld dient te worden weergegeven met VGA op een beeldscherm.

Controles

Tussendoor zullen er een aantal controles worden uitgevoerd om de kwaliteit te blijven bewaken, namelijk:

- Is het haalbaar om spelletjes extern te laden?
- Werkt de uitlees module van de SD-kaart?
- Is de ultrasone sensor besturing bruikbaar voor het eindresultaat?
- Lukt het om met de VGA een beeld op een scherm te printen?

Deze punten zullen voornamelijk worden gecontroleerd door de groep zelf. Hierbij is er duidelijk een leider aangewezen die het overzicht behoud en zo de voortgang van het project controleert. Daarnaast vindt er nog een docentcontrole gaande weg tijdens het project plaats om de kwaliteit te bewaken, deze kan worden gedaan door de hoofddocent of door een van zijn assistenten.

A.5. PROJECTORGANISATIE

Organisatie

De projectgroep EPO-3 A5 bestaat uit acht leden. Om het overzicht te behouden is er een voorzitter benoemd. De voorzitter is Erné Bronkhorst. Verder bestaat de projectgroep uit:

- Marc Zwalua (Notulist)
- Niels de Winter
- Wietse Bouwmeester
- Bauke Meekes
- Job Tijhuis
- Hans Okkerman
- Jordy van der Horst

Onderlinge afspraken:

- Om de voortgang te bewaken zal er wekelijks een evaluatie plaatsvinden waarin dit wordt bekeken. Hierin wordt zo nodig de planning voor de komende weken bijgesteld.
- Als groepsleden horen wij altijd op tijd en verplicht aanwezig te zijn bij elke geplande bijeenkomst. Als dit onverwachts niet mogelijk is, zal hier zo snel mogelijk melding van gemaakt moeten worden.
- Als er onderlinge geschillen zijn, dan worden deze besproken met de hoofddocent. Dit zorgt ervoor dat de voortgang niet in gevaar komt.
- Alle groepsleden moeten garant staan voor een gelijke bijdrage aan het project.

Verantwoording

Er zal constant tijdens de project middagen mondeling gerapporteerd worden over de voortgang van het project. Schriftelijk wordt er halverwege de periode een mid-term rapport geschreven, hierin wordt de voortgang opgenomen. De verantwoording zal bij Dr. R. Ishihara worden gedaan.

A.5.1. PLANNING

Een duidelijk schema van onze planning is toegevoegd als bijlage.

A.5.2. RISICOANALYSE

Hier volgt een overzicht van de eventuele risico's die we tijdens EPO-3 tegen zouden kunnen komen. Door middel van deze analyse worden deze risico's zoveel mogelijk vermeden. **Externe risico's:**

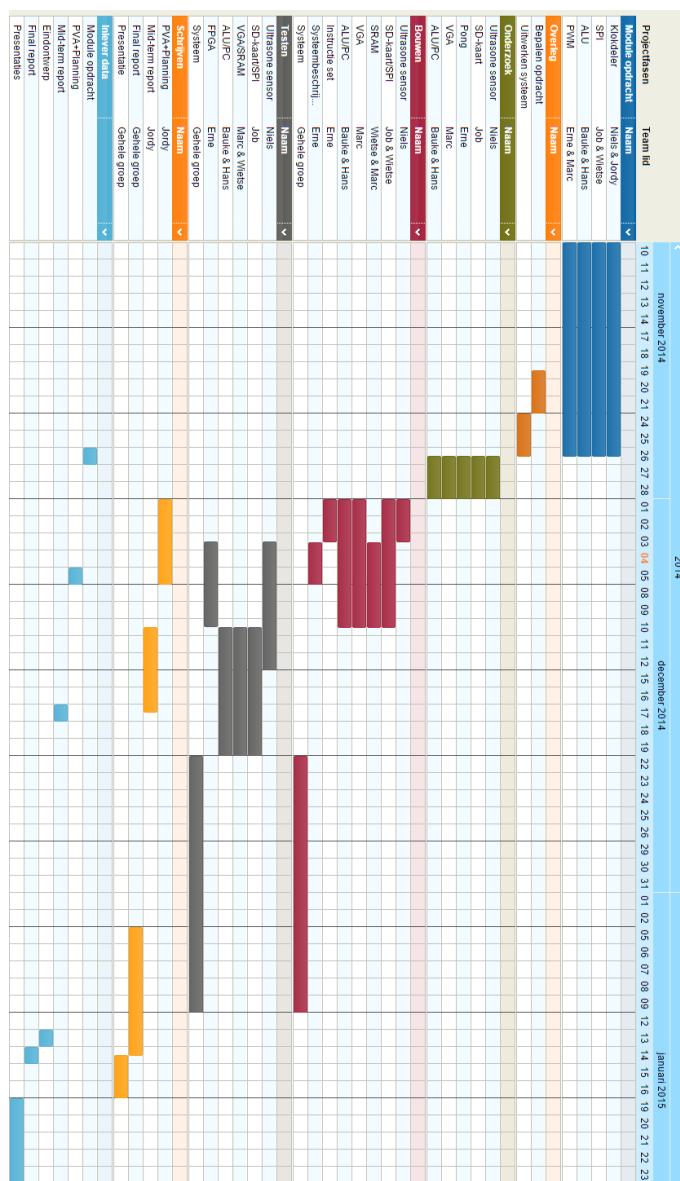
- Onduidelijke informatie voorziening.
- Onvoldoende feedback vanuit de docenten

Interne risico's:

- Verliezen van meetresultaten.
- Botsing tussen de groepsleden.
- Het eventueel ontbreken van kennis of inzet onder de groepsleden.
- Het project niet af kunnen ronden door een tekort aan tijd.

Een aantal interne risico's kunnen worden vermeden door het aanstellen van de voorzitter, deze zal de voortgang bewaken en alle resultaten netjes beheren. Voor de externe risico's zal er vooral zelf moeten worden gezocht naar oplossingen in combinatie met de docenten.

A.6. BIJLAGE



Figuur A.1: Planning A5

B

BIJLAGE - VHDL BESTANDEN

B.1. BLACKBOX

```
library IEEE;
use IEEE.std_logic_1164.ALL;

entity blackbox is
  port(sclk_m_0:in    std_logic;
       mosi_m_0:in    std_logic;
       miso_m_0:out   std_logic;
       ss_m_0  :in    std_logic;

       sclk_m_1:in    std_logic;
       mosi_m_1:in    std_logic;
       miso_m_1:out   std_logic;
       ss_m_1  :in    std_logic;

       sclk_s_0:out   std_logic;
       mosi_s_0:out   std_logic;
       miso_s_0:in    std_logic;
       ss_s_0  :out   std_logic;

       sclk_s_1:out   std_logic;
       mosi_s_1:out   std_logic;
       miso_s_1:in    std_logic;
       ss_s_1  :out   std_logic;

       s:         in    std_logic);
end blackbox;

<<<<<< HEAD
library IEEE;
use IEEE.std_logic_1164.ALL;

architecture behaviour of blackbox is

component stream is
  port(IN_0 :in    std_logic;
       IN_1 :in    std_logic;
       OUT_0:out   std_logic;
       OUT_1:out   std_logic;
```

```

        E      :in      std_logic);
end component;

signal scm0, mom0, mim0, ssm0, scm1, mom1, mim1, ssm1: std_logic;
signal scs0, mos0, mis0, sss0, scs1, mos1, mis1, sss1: std_logic;
signal ss: std_logic;

begin
stream0: stream port map(scm0, scm1, scs0, scs1, ss);
stream1: stream port map(mom0, mom1, mos0, mos1, ss);
stream2: stream port map(ssm0, ssm1, sss0, sss1, ss);
stream3: stream port map(mis0, mis1, mim0, mim1, ss);

ss <= s;

scm0 <= sclk_m_0;
mom0 <= mosi_m_0;
miso_m_0 <= mim0;
ssm0 <= ss_m_0;

scm1 <= sclk_m_1;
mom1 <= mosi_m_1;
miso_m_1 <= mim1;
ssm1 <= ss_m_1;

sclk_s_0 <= scs0;
mosi_s_0 <= mos0;
mis0 <= miso_s_0;
ss_s_0 <= sss0;

sclk_s_1 <= scs1;
mosi_s_1 <= mos1;
mis1 <= miso_s_1;
ss_s_1 <= sss1;

=====
library IEEE;
use IEEE.std_logic_1164.ALL;

architecture behaviour of blackbox is

component stream is
    port(IN_0 :in      std_logic;
         IN_1 :in      std_logic;
         OUT_0:out    std_logic;
         OUT_1:out    std_logic;
         E      :in      std_logic);
end component;

signal scm0, mom0, mim0, ssm0, scm1, mom1, mim1, ssm1: std_logic;
signal scs0, mos0, mis0, sss0, scs1, mos1, mis1, sss1: std_logic;
signal ss: std_logic;

begin
stream0: stream port map(scm0, scm1, scs0, scs1, ss);
stream1: stream port map(mom0, mom1, mos0, mos1, ss);

```

```

stream2: stream port map(ssm0, ssm1, sss0, sss1, ss);
stream3: stream port map(mis0, mis1, mim0, mim1, ss);

ss <= s;

scm0 <= sclk_m_0;
mos0 <= mosi_m_0;
miso_m_0 <= mim0;
ssm0 <= ss_m_0;

scm1 <= sclk_m_1;
mos1 <= mosi_m_1;
miso_m_1 <= mim1;
ssm1 <= ss_m_1;

sclk_s_0 <= scs0;
mosi_s_0 <= mos0;
mis0 <= miso_s_0;
ss_s_0 <= sss0;

sclk_s_1 <= scs1;
mosi_s_1 <= mos1;
mis1 <= miso_s_1;
ss_s_1 <= sss1;

>>>>> origin/master
end behaviour;

<<<<<< HEAD
library IEEE;
use IEEE.std_logic_1164.ALL;

entity stream is
  port(IN_0 :in std_logic;
        IN_1 :in std_logic;
        OUT_0:out std_logic;
        OUT_1:out std_logic;
        E      :in std_logic);
=====

library IEEE;
use IEEE.std_logic_1164.ALL;

entity stream is
  port(IN_0 :in std_logic;
        IN_1 :in std_logic;
        OUT_0:out std_logic;
        OUT_1:out std_logic;
        E      :in std_logic);
>>>>> origin/master
end stream;

<<<<<< HEAD
library IEEE;
use IEEE.std_logic_1164.ALL;

architecture behaviour of stream is

```

```

begin
process(IN_0, IN_1, E)
begin
    if E = '0' then
        OUT_0 <= IN_0;
        OUT_1 <= IN_1;
    else
        OUT_0 <= IN_1;
        OUT_1 <= IN_0;
    end if;
end process;
=====
library IEEE;
use IEEE.std_logic_1164.ALL;

architecture behaviour of stream is

begin
process(IN_0, IN_1, E)
begin
    if E = '0' then
        OUT_0 <= IN_0;
        OUT_1 <= IN_1;
    else
        OUT_0 <= IN_1;
        OUT_1 <= IN_0;
    end if;
end process;
>>>>> origin/master
end behaviour;

```

B.2. ROM

```

library IEEE;
use IEEE.std_logic_1164.all;

entity rom is
port
(
    rom_a: in std_logic_vector (7 DOWNTO 0);      -- address
    rom_d: out std_logic_vector (11 DOWNTO 0)     -- instruction
);
end rom;

```

```

architecture behavioural OF rom IS
begin
    with rom_a select
        rom_d <=
    "111100000000" when "00000000",
    "011000000001" when "00000001",
    "101000101111" when "00000010",
    "100000000001" when "00000011",
    "010000001110" when "00000100",
    "011000000001" when "00000101",

```

```
"101000011111" when "00000110",
"100000000001" when "00000111",
"010000110010" when "00001000",
"011000000001" when "00001001",
"101000001111" when "00001010",
"100000000001" when "00001011",
"010001011001" when "00001100",
"000100000000" when "00001101",
"111100000000" when "00001110",
"011000000001" when "00001111",
"101000101111" when "00010000",
"100000000001" when "00010001",
"010000001110" when "00010010",
"111100000000" when "00010011",
"011000000001" when "00010100",
"110000001111" when "00010101",
"011100000010" when "00010110",
"011000000001" when "00010111",
"1100000010000" when "00011000",
"001100011100" when "00011001",
"010100000001" when "00011010",
"011100000001" when "00011011",
"011000000001" when "00011100",
"110000100000" when "00011101",
"001100100010" when "00011110",
"011000000001" when "00011111",
"1000000000010" when "00100000",
"0111000000011" when "00100001",
"011000000001" when "00100010",
"110001000000" when "00100011",
"001100101000" when "00100100",
"011000000001" when "00100101",
"1000000000000" when "00100110",
"0111000000001" when "00100111",
"01100000000001" when "00101000",
"110010000000" when "00101001",
"001100101110" when "00101010",
"0110000000001" when "00101011",
"1000000000000" when "00101100",
"0111000000001" when "00101101",
"01100000000001" when "00101110",
"1001000000010" when "00101111",
"01110000000001" when "00110000",
"0001000000000" when "00110001",
"1111000000000" when "00110010",
"01100000000001" when "00110011",
"101000011111" when "00110100",
"10000000000001" when "00110101",
"01110000000000" when "00110111",
"01100000000001" when "00111000",
"1100000010000" when "00111000",
"00110100000000" when "00111001",
```

```
"010100000001" when "00111110",
"011100000011" when "00111111",
"011000000001" when "01000000",
"110000100000" when "01000001",
"001101000110" when "01000010",
"011000000011" when "01000011",
"100000000010" when "01000100",
"011100000011" when "01000101",
"011000000001" when "01000110",
"110001000000" when "01000111",
"001101001100" when "01001000",
"011000000011" when "01001001",
"1000000000100" when "01001010",
"011100000011" when "01001011",
"011000000001" when "01001100",
"110010000000" when "01001101",
"001101010010" when "01001110",
"011000000011" when "01001111",
"1000000001000" when "01010000",
"011100000011" when "01010001",
"011000000011" when "01010010",
"101011111111" when "01010011",
"100000000001" when "01010100",
"100100000010" when "01010101",
"011100000001" when "01010110",
"111100000000" when "01010111",
"000100000000" when "01011000",
"111100000000" when "01011001",
"011000000001" when "01011010",
"101000001111" when "01011011",
"1000000000001" when "01011100",
"010001011001" when "01011101",
"011000000001" when "01011110",
"110000001111" when "01011111",
"0111000000010" when "01100000",
"011000000001" when "01100001",
"110000010000" when "01100010",
"001101100110" when "01100011",
"010100000001" when "01100100",
"011100000011" when "01100101",
"011000000001" when "01101100",
"110001000000" when "01101101",
"001101110010" when "01101110",
"011000000011" when "01101111",
"1000000000100" when "01110000",
"011100000011" when "01110001",
"011000000001" when "01110010",
"110010000000" when "01110011",
"001101111000" when "01110100",
"0110000000011" when "01110101",
```

```
"100000001000" when "01110110",
"011100000011" when "01110111",
"011000000010" when "01111000",
"110000000001" when "01111001",
"001110100010" when "01111010",
"011000000011" when "01111011",
"011100000100" when "01111100",
"011000000010" when "01111101",
"110000000010" when "01111110",
"001110100101" when "01111111",
"011000000010" when "10000000",
"100100000011" when "10000001",
"011100000101" when "10000010",
"011000000010" when "10000011",
"1100000000100" when "10000100",
"001110101000" when "10000101",
"011000000011" when "10000110",
"100100000011" when "10000111",
"0111000001000" when "10001000",
"1001000001000" when "10001010",
"011100000110" when "10001011",
"011000000010" when "10001100",
"1100000001000" when "10001101",
"001110101011" when "10001110",
"011000000011" when "10001111",
"100100000011" when "10010000",
"0111000001000" when "10010001",
"0110000001000" when "10010010",
"1001000001000" when "10010011",
"0111000001000" when "10010100",
"0110000001000" when "10010101",
"1001000001000" when "10010110",
"011100000111" when "10010111",
"011000000100" when "10011000",
"100100000101" when "10011001",
"0111000001000" when "10011010",
"0110000000110" when "10011011",
"100100000111" when "10011100",
"0111000001001" when "10011101",
"0110000001000" when "10011110",
"1001000001001" when "10011111",
"0111000000001" when "10100000",
"0001000000000" when "10100001",
"0101000000000" when "10100010",
"011100000100" when "10100011",
"000101111101" when "10100100",
"0101000000000" when "10100101",
"011100000101" when "10100110",
"000110000011" when "10100111",
"0101000000000" when "10101000",
"011100000110" when "10101001",
"000110001100" when "10101010",
"0101000000000" when "10101011",
"011100000111" when "10101100",
"000110011000" when "10101101",
```

```
"000000000000" when others;
end behavioural;
```

B.3. CPU

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;

entity alu is
  port ( alu_A : in std_logic_vector(7 downto 0);      -- input A
         alu_B : in std_logic_vector(7 downto 0);      -- input B
         opcode : in std_logic_vector(2 downto 0);      -- opcode
         alu_clk: in std_logic;                         -- clk
         alu_c  : out std_logic;                        -- flag C
         alu_z  : out std_logic;                        -- flag Z
         alu_y  : out std_logic_vector(7 downto 0));    -- Output result y
end entity alu;

architecture behaviour of alu is
signal op0, op1, op2, c: std_logic;
signal alu_add: std_logic_vector(8 downto 0);

begin
  with opcode select
    alu_y <= alu_A
    -- pass input_A
    alu_A xor alu_B
    -- xor
    alu_A and alu_B
    -- and
    "00000000"
    -- set C
    "00000000"
    -- clr C
    alu_A + alu_B
when "101",      -- add
    "00000000"
when others;
```

op0 <= opcode(0);
op1 <= opcode(1);
op2 <= opcode(2);

alu_add <= (("0" & (alu_A)) + (alu_B));

```
process(alu_clk)
begin
  if (alu_clk'event and alu_clk='1') then
    if ((op2='1') and (op1='0') and (op0='0')) or
       ((op2='1') and (op1='0') and (op0='1') and
        ((alu_add) <= "11111111")) then
      alu_c <= '0';
    elsif ((op2='0') and (op1='1') and (op0='1')) or
          ((op2='1') and (op1='0') and (op0='1') and
```

```

        ((alu_add) > "11111111")) then
            alu_c <= '1';
        end if;
    end if;
end process;

process(alu_clk)
begin
    if (alu_clk'event and alu_clk='1') then
        if (((alu_A and alu_B) = "00000000") and (op0='0') and (op1='1') and (op2='0')) then
            alu_z <= '1';
        else
            alu_z <= '0';
        end if;
    end if;
end process;

end architecture;

library ieee;
use ieee.std_logic_1164.all;

entity cpu is
port(  cpu_RST : in      std_logic;
        cpu_en   : in      std_logic;
        cpu_in   : in      std_logic_vector(7 downto 0);
        cpu_instr: in      std_logic_vector(11 downto 0);
        cpu_pc   : out     std_logic_vector(7 downto 0);
        cpu_out  : out     std_logic_vector(7 downto 0));
end entity cpu;

architecture behaviour of cpu is

-- components --
component instr_buf
port( buf_in   : in  std_logic_vector(11 downto 0);
       buf_oe   : in  std_logic;
       buf_out  : out std_logic_vector(11 downto 0));
end component;

component decoder
port( decoder_in  : in std_logic_vector(11 downto 0);
        decoder_c   : in  std_logic;
        decoder_z   : in  std_logic;
        decoder_pc_inc : out std_logic;
        decoder_pc_ld  : out std_logic;
        decoder_ibufoe : out std_logic;
        decoder_aregld : out std_logic;
        decoder_abufoe : out std_logic;
        decoder_bregld : out std_logic_vector(4 downto 0);
        decoder_bbbufoe : out std_logic_vector(4 downto 0);
        decoder_alu   : out std_logic_vector(2 downto 0);
        decoder_argout: out std_logic_vector(7 downto 0));
end component;

```

```

component alu
  port ( alu_A : in std_logic_vector(7 downto 0);      -- input A
          alu_B : in std_logic_vector(7 downto 0);      -- input B
          opcode : in std_logic_vector(2 downto 0);    -- opcode
          alu_clk: in std_logic;                         -- clk
          alu_c  : out std_logic;                          -- flag C
          alu_z  : out std_logic;                          -- flag Z
          alu_y  : out std_logic_vector(7 downto 0));   -- Output result y
  end component;
```



```

component pc_counter
  port ( pc_in  : in std_logic_vector(7 downto 0);
          pc_inc : in std_logic;
          pc_ld   : in std_logic;
          pc_rst  : in std_logic;
          pc_en   : in std_logic;
          pc_out  : out std_logic_vector(7 downto 0));
  end component;
```



```

component buf_arg
  port( buf_in  : in std_logic_vector(7 downto 0);
         buf_oe   : in std_logic;
         buf_out  : out std_logic_vector(7 downto 0));
  end component;
```



```

component buf_A
  port( buf_in  : in std_logic_vector(7 downto 0);
         buf_oe   : in std_logic;
         buf_out  : out std_logic_vector(7 downto 0));
  end component;
```



```

component reg_A
  port ( reg_in   : in std_logic_vector(7 downto 0);
          reg_clk  : in std_logic;
          reg_rst  : in std_logic;
          reg_ld   : in std_logic;
          reg_out  : out std_logic_vector(7 downto 0));
  end component;
```



```

component reg_cluster
  port ( reg_in     : in std_logic_vector(7 downto 0);
          reg_clk     : in std_logic;
          reg_rst     : in std_logic;
          reg_select  : in std_logic_vector(4 downto 0);
          buf_select  : in std_logic_vector(4 downto 0);
          buf_in      : in std_logic_vector(7 downto 0);
          buf_out     : out std_logic_vector(7 downto 0);
          reg_out     : out std_logic_vector(7 downto 0));
  end component;
```


-- Signals --


```

signal cpu_dec_instr      : std_logic_vector(11 downto 0);    -- instruction from SPI
signal cpu_dec_o          : std_logic_vector(7 downto 0);      -- operand to b
signal cpu_dec_ibufoe    : std_logic;
-- ibuf_oe
```

```

signal cpu_dec_pc_inc      : std_logic;
-- program counter increment
signal cpu_dec_pc_ld       : std_logic;
-- program counter load
signal cpu_dec_abufoe    : std_logic;
-- abuf_oe
signal cpu_dec_aregld    : std_logic;
-- areg_ld
signal cpu_dec_bbufoe    : std_logic_vector(4 downto 0);      -- bbuf_oe
signal cpu_dec_bregld    : std_logic_vector(4 downto 0);      -- breg_ld
signal cpu_bus            : std_logic_vector(7 downto 0);      -- operand in bus
signal cpu_alu_c          : std_logic;
-- alu carry
signal cpu_alu_z          : std_logic;
-- alu z-flag
signal cpu_alu_out         : std_logic_vector(7 downto 0);      -- alu output
signal cpu_alu_op          : std_logic_vector(2 downto 0);      -- alu opcode
signal cpu_areg_out        : std_logic_vector(7 downto 0);      -- output reg_A
signal cpu_reg_out         : std_logic_vector(7 downto 0);      -- output reg_out

begin

lbl_instrbuf:      instr_buf   port map(                               buf_in => cpu_instr,
                                         buf_oe => cpu_en,
                                         buf_out => cpu_dec_instr);

lbl_decoder:   decoder   port map(                                     decoder_in => cpu_dec_instr,
                                         decoder_c => cpu_alu_c,
                                         decoder_z => cpu_alu_z,
                                         decoder_pc_inc => cpu_dec_pc_inc,
                                         decoder_pc_ld => cpu_dec_pc_ld,
                                         decoder_ibufoe => cpu_dec_ibufoe,
                                         decoder_aregld => cpu_dec_aregld,
                                         decoder_abufoe => cpu_dec_abufoe,
                                         decoder_bregld => cpu_dec_bregld,
                                         decoder_bbufoe => cpu_dec_bbufoe,
                                         decoder_alu => cpu_alu_op,
                                         decoder_argout => cpu_dec_o);

lbl_cpu_ibuf:      buf_arg    port map(                               buf_in => cpu_dec_o,
                                         buf_oe => cpu_dec_ibufoe,
                                         buf_out => cpu_bus);

lbl_cpu_pc:        pc_counter port map(                               pc_in => cpu_bus,
                                         pc_inc => cpu_dec_pc_inc,
                                         pc_ld => cpu_dec_pc_ld,
                                         pc_RST => cpu_RST,
                                         pc_en => cpu_en,
                                         pc_out => cpu_pc);

lbl_cpu_alu:        alu        port map(                               alu_A => cpu_bus,
                                         
```

```

                    alu_B => cpu_areg_out,
                    opcode => cpu_alu_op,
                    alu_clk => cpu_en,
                    alu_c => cpu_alu_c,
                    alu_z => cpu_alu_z,
                    alu_y => cpu_alu_out);

lbl_cpu_reg_A:      reg_A          port map(  

                     reg_in => cpu_alu_out,  

                     reg_clk => cpu_en,  

                     reg_rst => cpu_RST,  

                     reg_ld => cpu_dec_aregld,  

                     reg_out => cpu_areg_out);

lbl_cpu_buf_A:      buf_A          port map(  

                     buf_in => cpu_areg_out,  

                     buf_oe => cpu_dec_abufoe,  

                     buf_out => cpu_bus);

lbl_bregs:          reg_cluster port map(  

                     reg_in      => cpu_bus,  

                     reg_clk     => cpu_en,  

                     reg_rst     => cpu_RST,  

                     reg_select   => cpu_dec_bregld,  

                     buf_select   => cpu_dec_bbufoe,  

                     buf_in       => cpu_in,  

                     buf_out      => cpu_bus,  

                     reg_out      => cpu_out);

end behaviour;

-- Generated by: xvhd़l 2.49 31-Jul-2008
-- Date: 13-Jan-15 20:15:40
-- Path: /home/bmeekes/CPU_2/test

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
LIBRARY CellsLib;
USE CellsLib.CellsLib DECL_PACK.all;

-- user directives added from .sls2vhdl

```

ARCHITECTURE extracted **OF** Cpu **IS**

```

SIGNAL N_1, N_2, N_3, N_4, N_5, N_6, N_7, N_8: STD_LOGIC;
SIGNAL N_9, N_10, N_11, N_12, N_13, N_14, N_15, N_16: STD_LOGIC;
SIGNAL N_17, N_18, N_19, N_20, N_21, N_22, N_23, N_24: STD_LOGIC;
SIGNAL N_25, N_26, N_27, N_28, N_29, N_30, N_31, N_32: STD_LOGIC;
SIGNAL N_33, N_34, N_35, N_36, N_37, N_38, N_39, N_40: STD_LOGIC;
SIGNAL N_41, N_42, N_43, N_44, N_45, N_46, N_47, N_48: STD_LOGIC;
SIGNAL N_49, N_50, N_51, N_52, N_53, N_54, N_55, N_56: STD_LOGIC;
SIGNAL N_57, N_58, N_59, N_60, N_61, N_62, N_63, N_64: STD_LOGIC;
SIGNAL N_65, N_66, N_67, N_68, N_69, N_70, N_71, N_72: STD_LOGIC;
SIGNAL N_73, N_74, N_75, N_76, N_77, N_78, N_79, N_80: STD_LOGIC;
SIGNAL N_81, N_82, N_83, N_84, N_85, N_86, N_87, N_88: STD_LOGIC;

```

```
SIGNAL N_89, N_90, N_91, N_92, N_93, N_94, N_95, N_96: STD_LOGIC;
SIGNAL N_97, N_98, N_99, N_100, N_101, N_102, N_103, N_104: STD_LOGIC;
SIGNAL N_105, N_106, N_107, N_108, N_109, N_110, N_111, N_112: STD_LOGIC;
SIGNAL N_113, N_114, N_115, N_116, N_117, N_118, N_119, N_120: STD_LOGIC;
SIGNAL N_121, N_122, N_123, N_124, N_125, N_126, N_127, N_128: STD_LOGIC;
SIGNAL N_129, N_130, N_131, N_132, N_133, N_134, N_135, N_136: STD_LOGIC;
SIGNAL N_137, N_138, N_139, N_140, N_141, N_142, N_143, N_144: STD_LOGIC;
SIGNAL N_145, N_146, N_147, N_148, N_149, N_150, N_151, N_152: STD_LOGIC;
SIGNAL N_153, N_154, N_155, N_156, N_157, N_158, N_159, N_160: STD_LOGIC;
SIGNAL N_161, N_162, N_163, N_164, N_165, N_166, N_167, N_168: STD_LOGIC;
SIGNAL N_169, N_170, N_171, N_172, N_173, N_174, N_175, N_176: STD_LOGIC;
SIGNAL N_177, N_178, N_179, N_180, N_181, N_182, N_183, N_184: STD_LOGIC;
SIGNAL N_185, N_186, N_187, N_188, N_189, N_190, N_191, N_192: STD_LOGIC;
SIGNAL N_193, N_194, N_195, N_196, N_197, N_198, N_199, N_200: STD_LOGIC;
SIGNAL N_201, N_202, N_203, N_204, N_205, N_206, N_207, N_208: STD_LOGIC;
SIGNAL N_209, N_210, N_211, N_212, N_213, N_214, N_215, N_216: STD_LOGIC;
SIGNAL N_217, N_218, N_219, N_220, N_221, N_222, N_223, N_224: STD_LOGIC;
SIGNAL N_225, N_226, N_227, N_228, N_229, N_230, N_231, N_232: STD_LOGIC;
SIGNAL N_233, N_234, N_235, N_236, N_237, N_238, N_239, N_240: STD_LOGIC;
SIGNAL N_241, N_242, N_243, N_244, N_245, N_246, N_247, N_248: STD_LOGIC;
SIGNAL N_249, N_250, N_251, N_252, N_253, N_254, N_255, N_256: STD_LOGIC;
SIGNAL N_257, N_258, N_259, N_260, N_261, N_262, N_263, N_264: STD_LOGIC;
SIGNAL N_265, N_266, N_267, N_268, N_269, N_270, N_271, N_272: STD_LOGIC;
SIGNAL N_273, N_274, N_275, N_276, N_277, N_278, N_279, N_280: STD_LOGIC;
SIGNAL N_281, N_282, N_283, N_284, N_285, N_286, N_287, N_288: STD_LOGIC;
SIGNAL N_289, N_290, N_291, N_292, N_293, N_294, N_295, N_296: STD_LOGIC;
SIGNAL N_297, N_298, N_299, N_300, N_301, N_302, N_303, N_304: STD_LOGIC;
SIGNAL N_305, N_306, N_307, N_308, N_309, N_310, N_311, N_312: STD_LOGIC;
SIGNAL N_313, N_314, N_315, N_316, N_317, N_318, N_319, N_320: STD_LOGIC;
SIGNAL N_321, N_322, N_323, N_324, N_325, N_326, N_327, N_328: STD_LOGIC;
SIGNAL N_329, N_330, N_331, N_332, N_333, N_334, N_335, N_336: STD_LOGIC;
SIGNAL N_337, N_338, N_339, N_340, N_341, N_342, N_343, N_344: STD_LOGIC;
SIGNAL N_345, N_346, N_347, N_348, N_349, N_350, N_351, N_352: STD_LOGIC;
SIGNAL N_353, N_354, N_355, N_356, N_357, N_358, N_359, N_360: STD_LOGIC;
SIGNAL N_361, N_362, N_363, N_364, N_365, N_366, N_367, N_368: STD_LOGIC;
SIGNAL N_369, N_370, N_371, N_372, N_373, N_374, N_375, N_376: STD_LOGIC;
SIGNAL N_377, N_378, N_379, N_380, N_381, N_382, N_383, N_384: STD_LOGIC;
SIGNAL N_385, N_386, N_387, N_388, N_389, N_390, N_391, N_392: STD_LOGIC;
SIGNAL N_393, N_394, N_395, N_396, N_397, N_398, N_399, N_400: STD_LOGIC;
SIGNAL N_401, N_402, N_403, N_404, N_405, N_406, N_407, N_408: STD_LOGIC;
SIGNAL N_409, N_410, N_411, N_412, N_413, N_414, N_415, N_416: STD_LOGIC;
SIGNAL N_417, N_418, N_419, N_420, N_421, N_422, N_423, N_424: STD_LOGIC;
SIGNAL N_425, N_426, N_427, N_428, N_429, N_430, N_431, N_432: STD_LOGIC;
SIGNAL N_433, N_434, N_435, N_436, N_437, N_438, N_439, N_440: STD_LOGIC;
SIGNAL N_441, N_442, N_443, N_444, N_445, N_446, N_447, N_448: STD_LOGIC;
SIGNAL N_449, N_450, N_451, N_452, N_453, N_454, N_455, N_456: STD_LOGIC;
SIGNAL N_457, N_458, N_459, N_460, N_461, N_462, N_463, N_464: STD_LOGIC;
SIGNAL N_465, N_466, N_467, N_468, N_469, N_470, N_471, N_472: STD_LOGIC;
SIGNAL N_473, N_474, N_475, N_476, N_477, N_478, N_479, N_480: STD_LOGIC;
SIGNAL N_481, N_482, N_483, N_484, N_485, N_486, N_487, N_488: STD_LOGIC;
SIGNAL N_489, N_490, N_491, N_492, N_493, N_494, N_495, N_496: STD_LOGIC;
SIGNAL N_497, N_498, N_499, N_500, N_501, N_502, N_503, N_504: STD_LOGIC;
SIGNAL N_505, N_506, N_507, N_508, N_509, N_510, N_511, N_512: STD_LOGIC;
SIGNAL N_513, N_514, N_515, N_516, N_517, N_518, N_519, N_520: STD_LOGIC;
SIGNAL N_521, N_522, N_523, N_524, N_525, N_526, N_527, N_528: STD_LOGIC;
SIGNAL N_529, N_530, N_531, N_532, N_533, N_534, N_535, N_536: STD_LOGIC;
```

```
SIGNAL N_537, N_538, N_539, N_540, N_541, N_542, N_543, N_544: STD_LOGIC;
SIGNAL N_545, N_546, N_547, N_548, N_549, N_550, N_551, N_552: STD_LOGIC;
SIGNAL N_553, N_554, N_555, N_556, N_557, N_558, N_559, N_560: STD_LOGIC;
SIGNAL N_561, N_562, N_563: STD_LOGIC;
SIGNAL cpu_dec_instr_11_port: STD_LOGIC;
SIGNAL n15: STD_LOGIC;
SIGNAL cpu_dec_instr_10_port: STD_LOGIC;
SIGNAL n17: STD_LOGIC;
SIGNAL cpu_dec_instr_8_port: STD_LOGIC;
SIGNAL cpu_dec_instr_9_port: STD_LOGIC;
SIGNAL cpu_dec_instr_4_port: STD_LOGIC;
SIGNAL cpu_dec_instr_6_port: STD_LOGIC;
SIGNAL cpu_dec_ibufoe: STD_LOGIC;
SIGNAL cpu_dec_instr_5_port: STD_LOGIC;
SIGNAL cpu_dec_bbufoe_4_port: STD_LOGIC;
SIGNAL cpu_dec_instr_7_port: STD_LOGIC;
SIGNAL n4: STD_LOGIC;
SIGNAL n2: STD_LOGIC;
SIGNAL n3: STD_LOGIC;
SIGNAL n6: STD_LOGIC;
SIGNAL n5: STD_LOGIC;
SIGNAL n19: STD_LOGIC;
SIGNAL n16: STD_LOGIC;
SIGNAL n14: STD_LOGIC;
SIGNAL n1: STD_LOGIC;
SIGNAL cpu_dec_instr_1_port: STD_LOGIC;
SIGNAL cpu_dec_bregld_4_port: STD_LOGIC;
SIGNAL n7: STD_LOGIC;
SIGNAL cpu_dec_bregld_1_port: STD_LOGIC;
SIGNAL cpu_dec_instr_3_port: STD_LOGIC;
SIGNAL cpu_dec_bregld_3_port: STD_LOGIC;
SIGNAL cpu_dec_instr_2_port: STD_LOGIC;
SIGNAL cpu_dec_bregld_2_port: STD_LOGIC;
SIGNAL cpu_dec_instr_0_port: STD_LOGIC;
SIGNAL cpu_dec_bregld_0_port: STD_LOGIC;
SIGNAL n18: STD_LOGIC;
SIGNAL n20: STD_LOGIC;
SIGNAL n13: STD_LOGIC;
SIGNAL cpu_alu_op_1_port: STD_LOGIC;
SIGNAL cpu_alu_op_2_port: STD_LOGIC;
SIGNAL cpu_alu_op_0_port: STD_LOGIC;
SIGNAL cpu_alu_c: STD_LOGIC;
SIGNAL cpu_alu_z: STD_LOGIC;
SIGNAL cpu_alu_out_7_port: STD_LOGIC;
SIGNAL cpu_alu_out_1_port: STD_LOGIC;
SIGNAL cpu_alu_out_4_port: STD_LOGIC;
SIGNAL cpu_alu_out_5_port: STD_LOGIC;
SIGNAL cpu_alu_out_6_port: STD_LOGIC;
SIGNAL cpu_alu_out_0_port: STD_LOGIC;
SIGNAL cpu_alu_out_3_port: STD_LOGIC;
SIGNAL cpu_alu_out_2_port: STD_LOGIC;
SIGNAL cpu_dec_aregld: STD_LOGIC;
SIGNAL cpu_areg_out_7_port: STD_LOGIC;
SIGNAL cpu_dec_pc_ld: STD_LOGIC;
SIGNAL cpu_bus_7_port: STD_LOGIC;
SIGNAL cpu_bus_4_port: STD_LOGIC;
```

```

SIGNAL cpu_bus_3_port: STD_LOGIC;
SIGNAL cpu_areg_out_3_port: STD_LOGIC;
SIGNAL cpu_areg_out_4_port: STD_LOGIC;
SIGNAL cpu_areg_out_2_port: STD_LOGIC;
SIGNAL cpu_areg_out_1_port: STD_LOGIC;
SIGNAL cpu_dec_pc_inc: STD_LOGIC;
SIGNAL cpu_bus_1_port: STD_LOGIC;
SIGNAL cpu_areg_out_5_port: STD_LOGIC;
SIGNAL n8: STD_LOGIC;
SIGNAL cpu_bus_0_port: STD_LOGIC;
SIGNAL cpu_bus_6_port: STD_LOGIC;
SIGNAL cpu_areg_out_6_port: STD_LOGIC;
SIGNAL cpu_areg_out_0_port: STD_LOGIC;
SIGNAL cpu_bus_2_port: STD_LOGIC;
SIGNAL cpu_bus_5_port: STD_LOGIC;

SIGNAL cpu_pc_int: STD_LOGIC_VECTOR(7 DOWNTO 0);
SIGNAL cpu_out_int: STD_LOGIC_VECTOR(7 DOWNTO 0);

BEGIN

cpu_pc <= cpu_pc_int;
cpu_out <= cpu_out_int;

U9: buf40 PORT MAP (cpu_dec_instr_0_port, cpu_dec_bregld_0_port);
U11: buf40 PORT MAP (cpu_dec_instr_2_port, cpu_dec_bregld_2_port);
U12: buf40 PORT MAP (cpu_dec_instr_3_port, cpu_dec_bregld_3_port);
U10: buf40 PORT MAP (cpu_dec_instr_1_port, cpu_dec_bregld_1_port);
U16: buf40 PORT MAP (cpu_bus_0_port, n16);
U15: buf40 PORT MAP (cpu_bus_7_port, n15);
U13: buf40 PORT MAP (cpu_bus_3_port, n13);
U19: buf40 PORT MAP (cpu_bus_4_port, n19);
U17: buf40 PORT MAP (cpu_bus_1_port, n17);
U14: buf40 PORT MAP (cpu_bus_5_port, n14);
U20: buf40 PORT MAP (cpu_bus_6_port, n20);
U18: buf40 PORT MAP (cpu_bus_2_port, n18);
U4: buf40 PORT MAP (cpu_dec_bregld_2_port, n4);
U5: buf40 PORT MAP (cpu_dec_bregld_3_port, n5);
U3: buf40 PORT MAP (cpu_dec_bregld_1_port, n3);
U6: buf40 PORT MAP (cpu_dec_bregld_4_port, n6);
U2: buf40 PORT MAP (cpu_dec_bregld_0_port, n2);
U1: buf40 PORT MAP (cpu_dec_bbufoe_4_port, n1);
lbl_cpu_reg_A_reg_out_reg_7_inst: dfall1 PORT MAP (N_494, cpu_rst, cpu_en, cpu_areg_out_7_port);
lbl_cpu_reg_A_reg_out_reg_1_inst: dfall1 PORT MAP (N_495, cpu_rst, cpu_en, cpu_areg_out_1_port);
lbl_cpu_reg_A_reg_out_reg_6_inst: dfall1 PORT MAP (N_501, cpu_rst, cpu_en, cpu_areg_out_6_port);
lbl_cpu_reg_A_reg_out_reg_0_inst: dfall1 PORT MAP (N_502, cpu_rst, cpu_en, cpu_areg_out_0_port);
lbl_cpu_reg_A_reg_out_reg_3_inst: dfall1 PORT MAP (N_509, cpu_rst, cpu_en, cpu_areg_out_3_port);
lbl_cpu_reg_A_reg_out_reg_4_inst: dfall1 PORT MAP (N_508, cpu_rst, cpu_en, cpu_areg_out_4_port);
lbl_cpu_reg_A_reg_out_reg_5_inst: dfall1 PORT MAP (N_511, cpu_rst, cpu_en, cpu_areg_out_5_port);
lbl_cpu_reg_A_reg_out_reg_2_inst: dfall1 PORT MAP (N_510, cpu_rst, cpu_en, cpu_areg_out_2_port);
lbl_cpu_pc_count_reg_4_inst: dfall1 PORT MAP (N_498, cpu_rst, cpu_en, cpu_pc_int(4));
lbl_cpu_pc_count_reg_7_inst: dfall1 PORT MAP (N_492, cpu_rst, cpu_en, cpu_pc_int(7));
lbl_cpu_pc_count_reg_2_inst: dfall1 PORT MAP (N_556, cpu_rst, cpu_en, cpu_pc_int(2));
lbl_cpu_pc_count_reg_5_inst: dfall1 PORT MAP (N_531, cpu_rst, cpu_en, cpu_pc_int(5));
lbl_cpu_pc_count_reg_0_inst: dfall1 PORT MAP (N_528, cpu_rst, cpu_en, cpu_pc_int(0));

```

```
lbl_cpu_pc_count_reg_3_inst: dfall PORT MAP (N_505, cpu_rst, cpu_en, cpu_pc_int(3));
lbl_cpu_pc_count_reg_6_inst: dfall PORT MAP (N_500, cpu_rst, cpu_en, cpu_pc_int(6));
lbl_cpu_pc_count_reg_1_inst: dfall PORT MAP (N_512, cpu_rst, cpu_en, cpu_pc_int(1));
lbl_bregs_r2_reg_out_reg_2_inst: dfall PORT MAP (N_12, cpu_rst, cpu_en, N_49);
lbl_bregs_r2_reg_out_reg_0_inst: dfall PORT MAP (N_9, cpu_rst, cpu_en, N_50);
lbl_bregs_r2_reg_out_reg_4_inst: dfall PORT MAP (N_2, cpu_rst, cpu_en, N_39);
lbl_bregs_r2_reg_out_reg_5_inst: dfall PORT MAP (N_19, cpu_rst, cpu_en, N_29);
lbl_bregs_r2_reg_out_reg_1_inst: dfall PORT MAP (N_7, cpu_rst, cpu_en, N_26);
lbl_bregs_r2_reg_out_reg_6_inst: dfall PORT MAP (N_15, cpu_rst, cpu_en, N_44);
lbl_bregs_r2_reg_out_reg_7_inst: dfall PORT MAP (N_14, cpu_rst, cpu_en, N_33);
lbl_bregs_r2_reg_out_reg_3_inst: dfall PORT MAP (N_17, cpu_rst, cpu_en, N_23);
lbl_bregs_r3_reg_out_reg_6_inst: dfall PORT MAP (N_195, cpu_rst, cpu_en, N_238);
lbl_bregs_r3_reg_out_reg_1_inst: dfall PORT MAP (N_194, cpu_rst, cpu_en, N_248);
lbl_bregs_r3_reg_out_reg_4_inst: dfall PORT MAP (N_202, cpu_rst, cpu_en, N_247);
lbl_bregs_r3_reg_out_reg_3_inst: dfall PORT MAP (N_203, cpu_rst, cpu_en, N_237);
lbl_bregs_r3_reg_out_reg_7_inst: dfall PORT MAP (N_217, cpu_rst, cpu_en, N_273);
lbl_bregs_r3_reg_out_reg_5_inst: dfall PORT MAP (N_216, cpu_rst, cpu_en, N_225);
lbl_bregs_r3_reg_out_reg_2_inst: dfall PORT MAP (N_219, cpu_rst, cpu_en, N_259);
lbl_bregs_r3_reg_out_reg_0_inst: dfall PORT MAP (N_218, cpu_rst, cpu_en, N_272);
lbl_bregs_r4_reg_out_reg_3_inst: dfall PORT MAP (N_55, cpu_rst, cpu_en, N_125);
lbl_bregs_r4_reg_out_reg_2_inst: dfall PORT MAP (N_54, cpu_rst, cpu_en, N_94);
lbl_bregs_r4_reg_out_reg_6_inst: dfall PORT MAP (N_59, cpu_rst, cpu_en, N_126);
lbl_bregs_r4_reg_out_reg_0_inst: dfall PORT MAP (N_61, cpu_rst, cpu_en, N_101);
lbl_bregs_r4_reg_out_reg_7_inst: dfall PORT MAP (N_57, cpu_rst, cpu_en, N_86);
lbl_bregs_r4_reg_out_reg_1_inst: dfall PORT MAP (N_69, cpu_rst, cpu_en, N_111);
lbl_bregs_r4_reg_out_reg_4_inst: dfall PORT MAP (N_80, cpu_rst, cpu_en, N_102);
lbl_bregs_r4_reg_out_reg_5_inst: dfall PORT MAP (N_68, cpu_rst, cpu_en, N_85);
lbl_bregs_r5_reg_out_reg_2_inst: dfall PORT MAP (N_130, cpu_rst, cpu_en, N_190);
lbl_bregs_r5_reg_out_reg_0_inst: dfall PORT MAP (N_129, cpu_rst, cpu_en, N_191);
lbl_bregs_r5_reg_out_reg_6_inst: dfall PORT MAP (N_144, cpu_rst, cpu_en, N_175);
lbl_bregs_r5_reg_out_reg_4_inst: dfall PORT MAP (N_133, cpu_rst, cpu_en, N_162);
lbl_bregs_r5_reg_out_reg_1_inst: dfall PORT MAP (N_137, cpu_rst, cpu_en, N_172);
lbl_bregs_r5_reg_out_reg_3_inst: dfall PORT MAP (N_140, cpu_rst, cpu_en, N_159);
lbl_bregs_r5_reg_out_reg_5_inst: dfall PORT MAP (N_145, cpu_rst, cpu_en, N_169);
lbl_bregs_r5_reg_out_reg_7_inst: dfall PORT MAP (N_146, cpu_rst, cpu_en, N_177);
lbl_bregs_r_o_reg_out_reg_1_inst: dfall PORT MAP (N_1, cpu_rst, cpu_en, cpu_out_int(1));
lbl_bregs_r_o_reg_out_reg_7_inst: dfall PORT MAP (N_3, cpu_rst, cpu_en, cpu_out_int(7));
lbl_bregs_r_o_reg_out_reg_3_inst: dfall PORT MAP (N_5, cpu_rst, cpu_en, cpu_out_int(3));
lbl_bregs_r_o_reg_out_reg_6_inst: dfall PORT MAP (N_4, cpu_rst, cpu_en, cpu_out_int(6));
lbl_bregs_r_o_reg_out_reg_2_inst: dfall PORT MAP (N_6, cpu_rst, cpu_en, cpu_out_int(2));
lbl_bregs_r_o_reg_out_reg_0_inst: dfall PORT MAP (N_16, cpu_rst, cpu_en, cpu_out_int(0));
lbl_bregs_r_o_reg_out_reg_5_inst: dfall PORT MAP (N_13, cpu_rst, cpu_en, cpu_out_int(5));
lbl_bregs_r_o_reg_out_reg_4_inst: dfall PORT MAP (N_22, cpu_rst, cpu_en, cpu_out_int(4));
lbl_bregs_r6_reg_out_reg_1_inst: dfall PORT MAP (N_138, cpu_rst, cpu_en, N_186);
lbl_bregs_r6_reg_out_reg_6_inst: dfall PORT MAP (N_139, cpu_rst, cpu_en, N_183);
lbl_bregs_r6_reg_out_reg_4_inst: dfall PORT MAP (N_135, cpu_rst, cpu_en, N_185);
lbl_bregs_r6_reg_out_reg_2_inst: dfall PORT MAP (N_134, cpu_rst, cpu_en, N_152);
lbl_bregs_r6_reg_out_reg_0_inst: dfall PORT MAP (N_151, cpu_rst, cpu_en, N_168);
lbl_bregs_r6_reg_out_reg_7_inst: dfall PORT MAP (N_128, cpu_rst, cpu_en, N_153);
lbl_bregs_r6_reg_out_reg_5_inst: dfall PORT MAP (N_136, cpu_rst, cpu_en, N_184);
lbl_bregs_r6_reg_out_reg_3_inst: dfall PORT MAP (N_143, cpu_rst, cpu_en, N_164);
lbl_bregs_r7_reg_out_reg_3_inst: dfall PORT MAP (N_66, cpu_rst, cpu_en, N_93);
lbl_bregs_r7_reg_out_reg_1_inst: dfall PORT MAP (N_67, cpu_rst, cpu_en, N_123);
lbl_bregs_r7_reg_out_reg_6_inst: dfall PORT MAP (N_70, cpu_rst, cpu_en, N_116);
lbl_bregs_r7_reg_out_reg_0_inst: dfall PORT MAP (N_56, cpu_rst, cpu_en, N_110);
lbl_bregs_r7_reg_out_reg_4_inst: dfall PORT MAP (N_58, cpu_rst, cpu_en, N_84);
```

```
lbl_bregs_r7_reg_out_reg_2_inst: dfa11 PORT MAP (N_53, cpu_RST, cpu_en, N_83);
lbl_bregs_r7_reg_out_reg_5_inst: dfa11 PORT MAP (N_60, cpu_RST, cpu_en, N_124);
lbl_bregs_r7_reg_out_reg_7_inst: dfa11 PORT MAP (N_63, cpu_RST, cpu_en, N_100);
lbl_bregs_r8_reg_out_reg_2_inst: dfa11 PORT MAP (N_192, cpu_RST, cpu_en, N_224);
lbl_bregs_r8_reg_out_reg_4_inst: dfa11 PORT MAP (N_193, cpu_RST, cpu_en, N_270);
lbl_bregs_r8_reg_out_reg_3_inst: dfa11 PORT MAP (N_220, cpu_RST, cpu_en, N_246);
lbl_bregs_r8_reg_out_reg_1_inst: dfa11 PORT MAP (N_207, cpu_RST, cpu_en, N_268);
lbl_bregs_r8_reg_out_reg_7_inst: dfa11 PORT MAP (N_198, cpu_RST, cpu_en, N_229);
lbl_bregs_r8_reg_out_reg_5_inst: dfa11 PORT MAP (N_209, cpu_RST, cpu_en, N_258);
lbl_bregs_r8_reg_out_reg_0_inst: dfa11 PORT MAP (N_215, cpu_RST, cpu_en, N_223);
lbl_bregs_r8_reg_out_reg_6_inst: dfa11 PORT MAP (N_213, cpu_RST, cpu_en, N_269);
lbl_bregs_r9_reg_out_reg_7_inst: dfa11 PORT MAP (N_282, cpu_RST, cpu_en, N_333);
lbl_bregs_r9_reg_out_reg_3_inst: dfa11 PORT MAP (N_290, cpu_RST, cpu_en, N_325);
lbl_bregs_r9_reg_out_reg_1_inst: dfa11 PORT MAP (N_301, cpu_RST, cpu_en, N_332);
lbl_bregs_r9_reg_out_reg_5_inst: dfa11 PORT MAP (N_305, cpu_RST, cpu_en, N_354);
lbl_bregs_r9_reg_out_reg_0_inst: dfa11 PORT MAP (N_307, cpu_RST, cpu_en, N_355);
lbl_bregs_r9_reg_out_reg_6_inst: dfa11 PORT MAP (N_320, cpu_RST, cpu_en, N_324);
lbl_bregs_r9_reg_out_reg_4_inst: dfa11 PORT MAP (N_315, cpu_RST, cpu_en, N_338);
lbl_bregs_r9_reg_out_reg_2_inst: dfa11 PORT MAP (N_313, cpu_RST, cpu_en, N_347);
lbl_bregs_r10_reg_out_reg_7_inst: dfa11 PORT MAP (N_283, cpu_RST, cpu_en, N_327);
lbl_bregs_r10_reg_out_reg_1_inst: dfa11 PORT MAP (N_294, cpu_RST, cpu_en, N_361);
lbl_bregs_r10_reg_out_reg_5_inst: dfa11 PORT MAP (N_319, cpu_RST, cpu_en, N_339);
lbl_bregs_r10_reg_out_reg_0_inst: dfa11 PORT MAP (N_322, cpu_RST, cpu_en, N_326);
lbl_bregs_r10_reg_out_reg_2_inst: dfa11 PORT MAP (N_306, cpu_RST, cpu_en, N_363);
lbl_bregs_r10_reg_out_reg_6_inst: dfa11 PORT MAP (N_309, cpu_RST, cpu_en, N_334);
lbl_bregs_r10_reg_out_reg_3_inst: dfa11 PORT MAP (N_314, cpu_RST, cpu_en, N_362);
lbl_bregs_r10_reg_out_reg_4_inst: dfa11 PORT MAP (N_323, cpu_RST, cpu_en, N_343);
lbl_cpu_ibuf_buf_out_tri_7_inst: tinv10 PORT MAP (N_196, cpu_dec_ibufoe, cpu_bus_7_port);
lbl_cpu_ibuf_buf_out_tri_5_inst: tinv10 PORT MAP (N_197, cpu_dec_ibufoe, cpu_bus_5_port);
lbl_cpu_ibuf_buf_out_tri_1_inst: tinv10 PORT MAP (N_199, cpu_dec_ibufoe, cpu_bus_1_port);
lbl_cpu_ibuf_buf_out_tri_0_inst: tinv10 PORT MAP (N_205, cpu_dec_ibufoe, cpu_bus_0_port);
lbl_cpu_ibuf_buf_out_tri_2_inst: tinv10 PORT MAP (N_204, cpu_dec_ibufoe, cpu_bus_2_port);
lbl_cpu_ibuf_buf_out_tri_4_inst: tinv10 PORT MAP (N_208, cpu_dec_ibufoe, cpu_bus_4_port);
lbl_cpu_ibuf_buf_out_tri_3_inst: tinv10 PORT MAP (N_214, cpu_dec_ibufoe, cpu_bus_3_port);
lbl_cpu_ibuf_buf_out_tri_6_inst: tinv10 PORT MAP (N_211, cpu_dec_ibufoe, cpu_bus_6_port);
lbl_cpu_buf_A_buf_out_tri_7_inst: tinv10 PORT MAP (N_518, n8, cpu_bus_7_port);
lbl_cpu_buf_A_buf_out_tri_3_inst: tinv10 PORT MAP (N_521, n8, cpu_bus_3_port);
lbl_cpu_buf_A_buf_out_tri_4_inst: tinv10 PORT MAP (N_522, n8, cpu_bus_4_port);
lbl_cpu_buf_A_buf_out_tri_2_inst: tinv10 PORT MAP (N_530, n8, cpu_bus_2_port);
lbl_cpu_buf_A_buf_out_tri_1_inst: tinv10 PORT MAP (N_536, n8, cpu_bus_1_port);
lbl_cpu_buf_A_buf_out_tri_5_inst: tinv10 PORT MAP (N_546, n8, cpu_bus_5_port);
lbl_cpu_buf_A_buf_out_tri_0_inst: tinv10 PORT MAP (N_562, n8, cpu_bus_0_port);
lbl_cpu_buf_A_buf_out_tri_6_inst: tinv10 PORT MAP (N_561, n8, cpu_bus_6_port);
lbl_instrbuf_buf_out_tri_3_inst: tinv10 PORT MAP (N_74, cpu_en, cpu_dec_instr_3_port);
lbl_instrbuf_buf_out_tri_10_inst: tinv10 PORT MAP (N_73, cpu_en, cpu_dec_instr_10_port);
lbl_instrbuf_buf_out_tri_2_inst: tinv10 PORT MAP (N_79, cpu_en, cpu_dec_instr_2_port);
lbl_instrbuf_buf_out_tri_0_inst: tinv10 PORT MAP (N_78, cpu_en, cpu_dec_instr_0_port);
lbl_instrbuf_buf_out_tri_9_inst: tinv10 PORT MAP (N_82, cpu_en, cpu_dec_instr_9_port);
lbl_instrbuf_buf_out_tri_4_inst: tinv10 PORT MAP (N_81, cpu_en, cpu_dec_instr_4_port);
lbl_instrbuf_buf_out_tri_6_inst: tinv10 PORT MAP (N_88, cpu_en, cpu_dec_instr_6_port);
lbl_instrbuf_buf_out_tri_8_inst: tinv10 PORT MAP (N_87, cpu_en, cpu_dec_instr_8_port);
lbl_instrbuf_buf_out_tri_1_inst: tinv10 PORT MAP (N_97, cpu_en, cpu_dec_instr_1_port);
lbl_instrbuf_buf_out_tri_7_inst: tinv10 PORT MAP (N_96, cpu_en, cpu_dec_instr_7_port);
lbl_instrbuf_buf_out_tri_11_inst: tinv10 PORT MAP (N_105, cpu_en, cpu_dec_instr_11_port);
lbl_instrbuf_buf_out_tri_5_inst: tinv10 PORT MAP (N_104, cpu_en, cpu_dec_instr_5_port);
lbl_bregs_bin_buf_out_tri_6_inst: tinv10 PORT MAP (N_25, N_46, cpu_bus_6_port);
```

```
lbl_bregs_bin_buf_out_tri_7_inst: tinv10 PORT MAP (N_24, N_46, cpu_bus_7_port);
lbl_bregs_bin_buf_out_tri_0_inst: tinv10 PORT MAP (N_31, N_46, cpu_bus_0_port);
lbl_bregs_bin_buf_out_tri_1_inst: tinv10 PORT MAP (N_30, N_46, cpu_bus_1_port);
lbl_bregs_bin_buf_out_tri_2_inst: tinv10 PORT MAP (N_38, N_46, cpu_bus_2_port);
lbl_bregs_bin_buf_out_tri_5_inst: tinv10 PORT MAP (N_37, N_46, cpu_bus_5_port);
lbl_bregs_bin_buf_out_tri_4_inst: tinv10 PORT MAP (N_52, N_46, cpu_bus_4_port);
lbl_bregs_bin_buf_out_tri_3_inst: tinv10 PORT MAP (N_51, N_46, cpu_bus_3_port);
lbl_bregs_b2_buf_out_tri_1_inst: tinv10 PORT MAP (N_28, N_45, cpu_bus_1_port);
lbl_bregs_b2_buf_out_tri_3_inst: tinv10 PORT MAP (N_27, N_45, cpu_bus_3_port);
lbl_bregs_b2_buf_out_tri_5_inst: tinv10 PORT MAP (N_34, N_45, cpu_bus_5_port);
lbl_bregs_b2_buf_out_tri_7_inst: tinv10 PORT MAP (N_35, N_45, cpu_bus_7_port);
lbl_bregs_b2_buf_out_tri_0_inst: tinv10 PORT MAP (N_41, N_45, cpu_bus_0_port);
lbl_bregs_b2_buf_out_tri_4_inst: tinv10 PORT MAP (N_40, N_45, cpu_bus_4_port);
lbl_bregs_b2_buf_out_tri_2_inst: tinv10 PORT MAP (N_48, N_45, cpu_bus_2_port);
lbl_bregs_b2_buf_out_tri_6_inst: tinv10 PORT MAP (N_47, N_45, cpu_bus_6_port);
lbl_bregs_b3_buf_out_tri_5_inst: tinv10 PORT MAP (N_228, N_263, cpu_bus_5_port);
lbl_bregs_b3_buf_out_tri_3_inst: tinv10 PORT MAP (N_244, N_263, cpu_bus_3_port);
lbl_bregs_b3_buf_out_tri_6_inst: tinv10 PORT MAP (N_243, N_263, cpu_bus_6_port);
lbl_bregs_b3_buf_out_tri_1_inst: tinv10 PORT MAP (N_255, N_263, cpu_bus_1_port);
lbl_bregs_b3_buf_out_tri_4_inst: tinv10 PORT MAP (N_254, N_263, cpu_bus_4_port);
lbl_bregs_b3_buf_out_tri_2_inst: tinv10 PORT MAP (N_267, N_263, cpu_bus_2_port);
lbl_bregs_b3_buf_out_tri_0_inst: tinv10 PORT MAP (N_274, N_263, cpu_bus_0_port);
lbl_bregs_b3_buf_out_tri_7_inst: tinv10 PORT MAP (N_266, N_263, cpu_bus_7_port);
lbl_bregs_b4_buf_out_tri_5_inst: tinv10 PORT MAP (N_92, N_118, cpu_bus_5_port);
lbl_bregs_b4_buf_out_tri_7_inst: tinv10 PORT MAP (N_91, N_118, cpu_bus_7_port);
lbl_bregs_b4_buf_out_tri_2_inst: tinv10 PORT MAP (N_98, N_118, cpu_bus_2_port);
lbl_bregs_b4_buf_out_tri_0_inst: tinv10 PORT MAP (N_109, N_118, cpu_bus_0_port);
lbl_bregs_b4_buf_out_tri_4_inst: tinv10 PORT MAP (N_108, N_118, cpu_bus_4_port);
lbl_bregs_b4_buf_out_tri_3_inst: tinv10 PORT MAP (N_115, N_118, cpu_bus_3_port);
lbl_bregs_b4_buf_out_tri_1_inst: tinv10 PORT MAP (N_114, N_118, cpu_bus_1_port);
lbl_bregs_b4_buf_out_tri_6_inst: tinv10 PORT MAP (N_127, N_118, cpu_bus_6_port);
lbl_bregs_b5_buf_out_tri_3_inst: tinv10 PORT MAP (N_160, N_187, cpu_bus_3_port);
lbl_bregs_b5_buf_out_tri_4_inst: tinv10 PORT MAP (N_167, N_187, cpu_bus_4_port);
lbl_bregs_b5_buf_out_tri_1_inst: tinv10 PORT MAP (N_173, N_187, cpu_bus_1_port);
lbl_bregs_b5_buf_out_tri_5_inst: tinv10 PORT MAP (N_174, N_187, cpu_bus_5_port);
lbl_bregs_b5_buf_out_tri_6_inst: tinv10 PORT MAP (N_178, N_187, cpu_bus_6_port);
lbl_bregs_b5_buf_out_tri_7_inst: tinv10 PORT MAP (N_179, N_187, cpu_bus_7_port);
lbl_bregs_b5_buf_out_tri_2_inst: tinv10 PORT MAP (N_188, N_187, cpu_bus_2_port);
lbl_bregs_b5_buf_out_tri_0_inst: tinv10 PORT MAP (N_189, N_187, cpu_bus_0_port);
lbl_bregs_b6_buf_out_tri_7_inst: tinv10 PORT MAP (N_156, N_180, cpu_bus_7_port);
lbl_bregs_b6_buf_out_tri_2_inst: tinv10 PORT MAP (N_155, N_180, cpu_bus_2_port);
lbl_bregs_b6_buf_out_tri_3_inst: tinv10 PORT MAP (N_166, N_180, cpu_bus_3_port);
lbl_bregs_b6_buf_out_tri_0_inst: tinv10 PORT MAP (N_171, N_180, cpu_bus_0_port);
lbl_bregs_b6_buf_out_tri_4_inst: tinv10 PORT MAP (N_170, N_180, cpu_bus_4_port);
lbl_bregs_b6_buf_out_tri_6_inst: tinv10 PORT MAP (N_176, N_180, cpu_bus_6_port);
lbl_bregs_b6_buf_out_tri_5_inst: tinv10 PORT MAP (N_182, N_180, cpu_bus_5_port);
lbl_bregs_b6_buf_out_tri_1_inst: tinv10 PORT MAP (N_181, N_180, cpu_bus_1_port);
lbl_bregs_b7_buf_out_tri_4_inst: tinv10 PORT MAP (N_90, N_117, cpu_bus_4_port);
lbl_bregs_b7_buf_out_tri_2_inst: tinv10 PORT MAP (N_89, N_117, cpu_bus_2_port);
lbl_bregs_b7_buf_out_tri_3_inst: tinv10 PORT MAP (N_99, N_117, cpu_bus_3_port);
lbl_bregs_b7_buf_out_tri_7_inst: tinv10 PORT MAP (N_107, N_117, cpu_bus_7_port);
lbl_bregs_b7_buf_out_tri_0_inst: tinv10 PORT MAP (N_113, N_117, cpu_bus_0_port);
lbl_bregs_b7_buf_out_tri_5_inst: tinv10 PORT MAP (N_112, N_117, cpu_bus_5_port);
lbl_bregs_b7_buf_out_tri_6_inst: tinv10 PORT MAP (N_122, N_117, cpu_bus_6_port);
lbl_bregs_b7_buf_out_tri_1_inst: tinv10 PORT MAP (N_121, N_117, cpu_bus_1_port);
lbl_bregs_b8_buf_out_tri_0_inst: tinv10 PORT MAP (N_227, N_262, cpu_bus_0_port);
```

```

lbl_bregs_b8_buf_out_tri_2_inst: tinv10 PORT MAP (N_226, N_262, cpu_bus_2_port);
lbl_bregs_b8_buf_out_tri_7_inst: tinv10 PORT MAP (N_232, N_262, cpu_bus_7_port);
lbl_bregs_b8_buf_out_tri_1_inst: tinv10 PORT MAP (N_242, N_262, cpu_bus_1_port);
lbl_bregs_b8_buf_out_tri_3_inst: tinv10 PORT MAP (N_253, N_262, cpu_bus_3_port);
lbl_bregs_b8_buf_out_tri_4_inst: tinv10 PORT MAP (N_252, N_262, cpu_bus_4_port);
lbl_bregs_b8_buf_out_tri_5_inst: tinv10 PORT MAP (N_265, N_262, cpu_bus_5_port);
lbl_bregs_b8_buf_out_tri_6_inst: tinv10 PORT MAP (N_264, N_262, cpu_bus_6_port);
lbl_bregs_b9_buf_out_tri_3_inst: tinv10 PORT MAP (N_329, N_353, cpu_bus_3_port);
lbl_bregs_b9_buf_out_tri_6_inst: tinv10 PORT MAP (N_328, N_353, cpu_bus_6_port);
lbl_bregs_b9_buf_out_tri_7_inst: tinv10 PORT MAP (N_336, N_353, cpu_bus_7_port);
lbl_bregs_b9_buf_out_tri_1_inst: tinv10 PORT MAP (N_335, N_353, cpu_bus_1_port);
lbl_bregs_b9_buf_out_tri_4_inst: tinv10 PORT MAP (N_341, N_353, cpu_bus_4_port);
lbl_bregs_b9_buf_out_tri_5_inst: tinv10 PORT MAP (N_344, N_353, cpu_bus_5_port);
lbl_bregs_b9_buf_out_tri_2_inst: tinv10 PORT MAP (N_350, N_353, cpu_bus_2_port);
lbl_bregs_b9_buf_out_tri_0_inst: tinv10 PORT MAP (N_349, N_353, cpu_bus_0_port);
lbl_bregs_b10_buf_out_tri_7_inst: tinv10 PORT MAP (N_331, N_358, cpu_bus_7_port);
lbl_bregs_b10_buf_out_tri_0_inst: tinv10 PORT MAP (N_330, N_358, cpu_bus_0_port);
lbl_bregs_b10_buf_out_tri_6_inst: tinv10 PORT MAP (N_337, N_358, cpu_bus_6_port);
lbl_bregs_b10_buf_out_tri_5_inst: tinv10 PORT MAP (N_342, N_358, cpu_bus_5_port);
lbl_bregs_b10_buf_out_tri_4_inst: tinv10 PORT MAP (N_348, N_358, cpu_bus_4_port);
lbl_bregs_b10_buf_out_tri_1_inst: tinv10 PORT MAP (N_351, N_358, cpu_bus_1_port);
lbl_bregs_b10_buf_out_tri_2_inst: tinv10 PORT MAP (N_360, N_358, cpu_bus_2_port);
lbl_bregs_b10_buf_out_tri_3_inst: tinv10 PORT MAP (N_359, N_358, cpu_bus_3_port);
U7: iv110 PORT MAP (cpu_dec_bregld_4_port, n7);
U8: iv110 PORT MAP (n7, n8);
lbl_cpu_alu_r64_U11: iv110 PORT MAP (N_365, N_392);
lbl_cpu_alu_r64_U9: iv110 PORT MAP (N_388, N_390);
lbl_cpu_alu_r64_U10: iv110 PORT MAP (N_393, N_381);
lbl_cpu_alu_r64_U8: iv110 PORT MAP (N_407, N_404);
lbl_cpu_alu_r64_U6: iv110 PORT MAP (N_396, N_397);
lbl_cpu_alu_r64_U7: iv110 PORT MAP (cpu_bus_3_port, N_403);
lbl_cpu_alu_U186: iv110 PORT MAP (N_422, N_424);
lbl_cpu_alu_r64_U5: iv110 PORT MAP (N_430, N_427);
lbl_cpu_alu_r64_U4: iv110 PORT MAP (cpu_bus_5_port, N_429);
lbl_cpu_alu_U118: iv110 PORT MAP (cpu_alu_c, N_442);
lbl_cpu_alu_U116: iv110 PORT MAP (cpu_alu_op_2_port, N_459);
lbl_cpu_alu_U175: iv110 PORT MAP (cpu_alu_op_0_port, N_441);
lbl_cpu_alu_U181: iv110 PORT MAP (cpu_alu_op_1_port, N_443);
lbl_cpu_alu_U121: iv110 PORT MAP (N_451, N_458);
lbl_cpu_alu_r64_U1: iv110 PORT MAP (cpu_bus_7_port, N_450);
lbl_cpu_alu_r64_U2: iv110 PORT MAP (N_478, N_449);
lbl_cpu_alu_U178: iv110 PORT MAP (N_480, N_483);
lbl_cpu_alu_r64_U3: iv110 PORT MAP (N_488, N_485);
lbl_cpu_ibuf_U12: iv110 PORT MAP (cpu_dec_bregld_3_port, N_214);
lbl_cpu_ibuf_U14: iv110 PORT MAP (cpu_dec_instr_5_port, N_197);
lbl_cpu_ibuf_U16: iv110 PORT MAP (cpu_dec_instr_7_port, N_196);
lbl_cpu_ibuf_U10: iv110 PORT MAP (cpu_dec_bregld_1_port, N_199);
lbl_cpu_ibuf_U9: iv110 PORT MAP (cpu_dec_bregld_0_port, N_205);
lbl_cpu_ibuf_U11: iv110 PORT MAP (cpu_dec_bregld_2_port, N_204);
lbl_cpu_ibuf_U13: iv110 PORT MAP (cpu_dec_instr_4_port, N_208);
lbl_cpu_ibuf_U15: iv110 PORT MAP (cpu_dec_instr_6_port, N_211);
lbl_cpu_buf_A_U16: iv110 PORT MAP (cpu_areg_out_7_port, N_518);
lbl_cpu_buf_A_U13: iv110 PORT MAP (cpu_areg_out_4_port, N_522);
lbl_cpu_buf_A_U12: iv110 PORT MAP (cpu_areg_out_3_port, N_521);
lbl_cpu_buf_A_U11: iv110 PORT MAP (cpu_areg_out_2_port, N_530);
lbl_cpu_buf_A_U10: iv110 PORT MAP (cpu_areg_out_1_port, N_536);

```

```
lbl_cpu_buf_A_U14: iv110 PORT MAP (cpu_areg_out_5_port, N_546);
lbl_cpu_buf_A_U9: iv110 PORT MAP (cpu_areg_out_0_port, N_562);
lbl_cpu_buf_A_U15: iv110 PORT MAP (cpu_areg_out_6_port, N_561);
lbl_cpu_pc_U64: iv110 PORT MAP (N_552, N_523);
lbl_cpu_pc_U56: iv110 PORT MAP (N_527, N_519);
lbl_cpu_pc_U48: iv110 PORT MAP (N_549, N_551);
lbl_cpu_pc_U92: iv110 PORT MAP (N_520, N_514);
lbl_cpu_pc_U90: iv110 PORT MAP (cpu_dec_pc_inc, N_555);
lbl_cpu_pc_U89: iv110 PORT MAP (cpu_pc_int(5), N_545);
lbl_cpu_pc_U84: iv110 PORT MAP (N_540, N_558);
lbl_cpu_pc_U73: iv110 PORT MAP (N_544, N_496);
lbl_decoder_U53: iv110 PORT MAP (N_240, N_260);
lbl_decoder_U96: iv110 PORT MAP (cpu_dec_instr_10_port, N_279);
lbl_decoder_U60: iv110 PORT MAP (N_276, N_271);
lbl_decoder_U94: iv110 PORT MAP (cpu_dec_instr_11_port, N_289);
lbl_decoder_U71: iv110 PORT MAP (N_296, N_288);
lbl_decoder_U98: iv110 PORT MAP (cpu_dec_instr_9_port, N_295);
lbl_decoder_U84: iv110 PORT MAP (cpu_dec_instr_8_port, N_299);
lbl_decoder_U76: iv110 PORT MAP (N_302, N_303);
lbl_instrbuf_U13: iv110 PORT MAP (cpu_instr(3), N_74);
lbl_instrbuf_U20: iv110 PORT MAP (cpu_instr(10), N_73);
lbl_instrbuf_U21: iv110 PORT MAP (cpu_instr(0), N_78);
lbl_instrbuf_U23: iv110 PORT MAP (cpu_instr(2), N_79);
lbl_instrbuf_U19: iv110 PORT MAP (cpu_instr(9), N_82);
lbl_instrbuf_U14: iv110 PORT MAP (cpu_instr(4), N_81);
lbl_instrbuf_U18: iv110 PORT MAP (cpu_instr(8), N_87);
lbl_instrbuf_U16: iv110 PORT MAP (cpu_instr(6), N_88);
lbl_instrbuf_U22: iv110 PORT MAP (cpu_instr(1), N_97);
lbl_instrbuf_U17: iv110 PORT MAP (cpu_instr(7), N_96);
lbl_instrbuf_U24: iv110 PORT MAP (cpu_instr(11), N_105);
lbl_instrbuf_U15: iv110 PORT MAP (cpu_instr(5), N_104);
lbl_bregs_bin_U20: iv110 PORT MAP (cpu_in(7), N_24);
lbl_bregs_bin_U16: iv110 PORT MAP (cpu_in(6), N_25);
lbl_bregs_bin_U22: iv110 PORT MAP (cpu_in(1), N_30);
lbl_bregs_bin_U21: iv110 PORT MAP (cpu_in(0), N_31);
lbl_bregs_bin_U12: iv110 PORT MAP (cpu_in(2), N_38);
lbl_bregs_bin_U15: iv110 PORT MAP (cpu_in(5), N_37);
lbl_bregs_bin_U17: iv110 PORT MAP (N_43, N_46);
lbl_bregs_bin_U14: iv110 PORT MAP (cpu_in(4), N_52);
lbl_bregs_bin_U13: iv110 PORT MAP (cpu_in(3), N_51);
lbl_bregs_b2_U22: iv110 PORT MAP (N_26, N_28);
lbl_bregs_b2_U13: iv110 PORT MAP (N_23, N_27);
lbl_bregs_b2_U17: iv110 PORT MAP (N_36, N_45);
lbl_bregs_b2_U20: iv110 PORT MAP (N_33, N_35);
lbl_bregs_b2_U15: iv110 PORT MAP (N_29, N_34);
lbl_bregs_b2_U14: iv110 PORT MAP (N_39, N_40);
lbl_bregs_b2_U21: iv110 PORT MAP (N_50, N_41);
lbl_bregs_b2_U16: iv110 PORT MAP (N_44, N_47);
lbl_bregs_b2_U12: iv110 PORT MAP (N_49, N_48);
lbl_bregs_b3_U15: iv110 PORT MAP (N_225, N_228);
lbl_bregs_b3_U16: iv110 PORT MAP (N_238, N_243);
lbl_bregs_b3_U13: iv110 PORT MAP (N_237, N_244);
lbl_bregs_b3_U23: iv110 PORT MAP (N_248, N_255);
lbl_bregs_b3_U14: iv110 PORT MAP (N_247, N_254);
lbl_bregs_b3_U21: iv110 PORT MAP (N_273, N_266);
lbl_bregs_b3_U24: iv110 PORT MAP (N_259, N_267);
```

```
lbl_bregs_b3_U22: iv110 PORT MAP (N_272, N_274);
lbl_bregs_r3_U41: iv110 PORT MAP (n2, N_210);
lbl_bregs_b4_U20: iv110 PORT MAP (N_86, N_91);
lbl_bregs_b4_U15: iv110 PORT MAP (N_85, N_92);
lbl_bregs_b4_U12: iv110 PORT MAP (N_94, N_98);
lbl_bregs_b4_U14: iv110 PORT MAP (N_102, N_108);
lbl_bregs_b4_U21: iv110 PORT MAP (N_101, N_109);
lbl_bregs_b4_U22: iv110 PORT MAP (N_111, N_114);
lbl_bregs_b4_U13: iv110 PORT MAP (N_125, N_115);
lbl_bregs_b4_U16: iv110 PORT MAP (N_126, N_127);
lbl_bregs_b4_U17: iv110 PORT MAP (N_120, N_118);
lbl_bregs_b5_U13: iv110 PORT MAP (N_159, N_160);
lbl_bregs_b5_U14: iv110 PORT MAP (N_162, N_167);
lbl_bregs_b5_U23: iv110 PORT MAP (N_172, N_173);
lbl_bregs_b5_U15: iv110 PORT MAP (N_169, N_174);
lbl_bregs_b5_U21: iv110 PORT MAP (N_177, N_179);
lbl_bregs_b5_U16: iv110 PORT MAP (N_175, N_178);
lbl_bregs_b5_U22: iv110 PORT MAP (N_191, N_189);
lbl_bregs_b5_U24: iv110 PORT MAP (N_190, N_188);
lbl_bregs_r5_U41: iv110 PORT MAP (n2, N_142);
lbl_bregs_b6_U21: iv110 PORT MAP (N_153, N_156);
lbl_bregs_b6_U24: iv110 PORT MAP (N_152, N_155);
lbl_bregs_b6_U13: iv110 PORT MAP (N_164, N_166);
lbl_bregs_b6_U22: iv110 PORT MAP (N_168, N_171);
lbl_bregs_b6_U14: iv110 PORT MAP (N_185, N_170);
lbl_bregs_b6_U16: iv110 PORT MAP (N_183, N_176);
lbl_bregs_b6_U23: iv110 PORT MAP (N_186, N_181);
lbl_bregs_b6_U15: iv110 PORT MAP (N_184, N_182);
lbl_bregs_r6_U41: iv110 PORT MAP (n3, N_132);
lbl_bregs_b7_U14: iv110 PORT MAP (N_84, N_90);
lbl_bregs_b7_U24: iv110 PORT MAP (N_83, N_89);
lbl_bregs_b7_U25: iv110 PORT MAP (N_93, N_99);
lbl_bregs_b7_U20: iv110 PORT MAP (cpu_dec_bregld_3_port, N_103);
lbl_bregs_b7_U21: iv110 PORT MAP (N_100, N_107);
lbl_bregs_b7_U22: iv110 PORT MAP (N_110, N_113);
lbl_bregs_b7_U15: iv110 PORT MAP (N_124, N_112);
lbl_bregs_b7_U16: iv110 PORT MAP (N_116, N_122);
lbl_bregs_b7_U23: iv110 PORT MAP (N_123, N_121);
lbl_bregs_r7_U43: iv110 PORT MAP (n3, N_75);
lbl_bregs_r7_U42: iv110 PORT MAP (n2, N_77);
lbl_bregs_b8_U12: iv110 PORT MAP (N_224, N_226);
lbl_bregs_b8_U21: iv110 PORT MAP (N_223, N_227);
lbl_bregs_b8_U20: iv110 PORT MAP (N_229, N_232);
lbl_bregs_b8_U17: iv110 PORT MAP (N_231, N_262);
lbl_bregs_b8_U22: iv110 PORT MAP (N_268, N_242);
lbl_bregs_b8_U13: iv110 PORT MAP (N_246, N_253);
lbl_bregs_b8_U14: iv110 PORT MAP (N_270, N_252);
lbl_bregs_b8_U15: iv110 PORT MAP (N_258, N_265);
lbl_bregs_b8_U16: iv110 PORT MAP (N_269, N_264);
lbl_bregs_b9_U13: iv110 PORT MAP (N_325, N_329);
lbl_bregs_b9_U16: iv110 PORT MAP (N_324, N_328);
lbl_bregs_b9_U21: iv110 PORT MAP (N_333, N_336);
lbl_bregs_b9_U23: iv110 PORT MAP (N_332, N_335);
lbl_bregs_b9_U14: iv110 PORT MAP (N_338, N_341);
lbl_bregs_b9_U15: iv110 PORT MAP (N_354, N_344);
lbl_bregs_b9_U24: iv110 PORT MAP (N_347, N_350);
```

```
lbl_bregs_b9_U22: iv110 PORT MAP (N_355, N_349);
lbl_bregs_r9_U41: iv110 PORT MAP (n2, N_311);
lbl_bregs_r10_U41: iv110 PORT MAP (n3, N_312);
lbl_bregs_b10_U21: iv110 PORT MAP (N_327, N_331);
lbl_bregs_b10_U22: iv110 PORT MAP (N_326, N_330);
lbl_bregs_b10_U16: iv110 PORT MAP (N_334, N_337);
lbl_bregs_b10_U15: iv110 PORT MAP (N_339, N_342);
lbl_bregs_b10_U14: iv110 PORT MAP (N_343, N_348);
lbl_bregs_b10_U23: iv110 PORT MAP (N_361, N_351);
lbl_bregs_b10_U24: iv110 PORT MAP (N_363, N_360);
lbl_bregs_b10_U13: iv110 PORT MAP (N_362, N_359);
lbl_cpu_alu_U165: na210 PORT MAP (N_371, N_373, cpu_alu_out_0_port);
lbl_cpu_alu_U153: na210 PORT MAP (N_374, N_372, cpu_alu_out_2_port);
lbl_cpu_alu_U166: na210 PORT MAP (N_369, N_471, N_373);
lbl_cpu_alu_U154: na210 PORT MAP (N_368, N_471, N_372);
lbl_cpu_alu_U158: na210 PORT MAP (cpu_areg_out_2_port, N_457, N_370);
lbl_cpu_alu_r64_U54: na210 PORT MAP (cpu_areg_out_0_port, cpu_bus_0_port, N_365);
lbl_cpu_alu_U189: na210 PORT MAP (cpu_areg_out_0_port, cpu_bus_0_port, N_391);
lbl_cpu_alu_U173: na210 PORT MAP (cpu_areg_out_0_port, N_457, N_375);
lbl_cpu_alu_U160: na210 PORT MAP (N_378, N_471, N_379);
lbl_cpu_alu_U142: na210 PORT MAP (N_405, N_471, N_382);
lbl_cpu_alu_U159: na210 PORT MAP (N_387, N_379, cpu_alu_out_1_port);
lbl_cpu_alu_r64_U41: na210 PORT MAP (N_383, N_376, N_407);
lbl_cpu_alu_r64_U42: na210 PORT MAP (cpu_areg_out_2_port, N_390, N_376);
lbl_cpu_alu_U190: na210 PORT MAP (cpu_areg_out_2_port, cpu_bus_2_port, N_389);
lbl_cpu_alu_r64_U44: na210 PORT MAP (cpu_bus_2_port, N_380, N_383);
lbl_cpu_alu_U141: na210 PORT MAP (N_414, N_382, cpu_alu_out_4_port);
lbl_cpu_alu_r64_U48: na210 PORT MAP (N_377, N_384, N_380);
lbl_cpu_alu_U188: na210 PORT MAP (cpu_areg_out_1_port, cpu_bus_1_port, N_394);
lbl_cpu_alu_r64_U51: na210 PORT MAP (cpu_bus_1_port, N_392, N_377);
lbl_cpu_alu_U164: na210 PORT MAP (cpu_areg_out_1_port, N_457, N_385);
lbl_cpu_alu_r64_U49: na210 PORT MAP (cpu_areg_out_1_port, N_381, N_384);
lbl_cpu_alu_r64_U37: na210 PORT MAP (cpu_areg_out_3_port, N_395, N_408);
lbl_cpu_alu_r64_U38: na210 PORT MAP (N_404, N_403, N_395);
lbl_cpu_alu_r64_U36: na210 PORT MAP (N_410, N_408, N_411);
lbl_cpu_alu_r64_U39: na210 PORT MAP (cpu_bus_3_port, N_407, N_410);
lbl_cpu_alu_r64_U32: na210 PORT MAP (cpu_bus_4_port, N_411, N_426);
lbl_cpu_alu_r64_U30: na210 PORT MAP (cpu_areg_out_4_port, N_397, N_428);
lbl_cpu_alu_U192: na210 PORT MAP (cpu_bus_4_port, cpu_areg_out_4_port, N_418);
lbl_cpu_alu_U146: na210 PORT MAP (cpu_areg_out_4_port, N_457, N_412);
lbl_cpu_alu_U148: na210 PORT MAP (N_421, N_471, N_425);
lbl_cpu_alu_U147: na210 PORT MAP (N_423, N_425, cpu_alu_out_3_port);
lbl_cpu_alu_U136: na210 PORT MAP (N_416, N_471, N_415);
lbl_cpu_alu_U191: na210 PORT MAP (cpu_bus_3_port, cpu_areg_out_3_port, N_419);
lbl_cpu_alu_U135: na210 PORT MAP (N_469, N_415, cpu_alu_out_5_port);
lbl_cpu_alu_U152: na210 PORT MAP (cpu_areg_out_3_port, N_457, N_431);
lbl_cpu_alu_r64_U29: na210 PORT MAP (N_426, N_428, N_430);
lbl_cpu_alu_r64_U24: na210 PORT MAP (N_432, N_420, N_487);
lbl_cpu_alu_r64_U25: na210 PORT MAP (cpu_areg_out_5_port, N_433, N_420);
lbl_cpu_alu_r64_U26: na210 PORT MAP (N_427, N_429, N_433);
lbl_cpu_alu_r64_U27: na210 PORT MAP (cpu_bus_5_port, N_430, N_432);
lbl_cpu_alu_U117: na210 PORT MAP (N_435, N_442, N_436);
lbl_cpu_alu_r64_U13: na210 PORT MAP (cpu_areg_out_7_port, N_439, N_454);
lbl_cpu_alu_U119: na210 PORT MAP (cpu_alu_op_1_port, cpu_alu_op_0_port, N_435);
lbl_cpu_alu_r64_U14: na210 PORT MAP (N_449, N_450, N_439);
lbl_cpu_alu_U122: na210 PORT MAP (cpu_alu_op_1_port, cpu_alu_c, N_438);
```

```
lbl_cpu_alu_U124: na210 PORT MAP (N_440, N_471, N_445);
lbl_cpu_alu_U168: na210 PORT MAP (cpu_alu_op_2_port, N_443, N_451);
lbl_cpu_alu_U115: na210 PORT MAP (N_436, N_459, N_437);
lbl_cpu_alu_U123: na210 PORT MAP (N_465, N_445, cpu_alu_out_7_port);
lbl_cpu_alu_U179: na210 PORT MAP (N_453, N_464, N_480);
lbl_cpu_alu_U182: na210 PORT MAP (cpu_areg_out_7_port, cpu_bus_7_port, N_453);
lbl_cpu_alu_r64_U15: na210 PORT MAP (cpu_bus_7_port, N_478, N_447);
lbl_cpu_alu_r64_U12: na210 PORT MAP (N_447, N_454, N_456);
lbl_cpu_alu_U134: na210 PORT MAP (cpu_areg_out_6_port, N_457, N_473);
lbl_cpu_alu_U128: na210 PORT MAP (cpu_areg_out_7_port, N_457, N_461);
lbl_cpu_alu_U183: na210 PORT MAP (cpu_bus_5_port, cpu_areg_out_5_port, N_470);
lbl_cpu_alu_U140: na210 PORT MAP (cpu_areg_out_5_port, N_457, N_466);
lbl_cpu_alu_U184: na210 PORT MAP (cpu_bus_6_port, cpu_areg_out_6_port, N_476);
lbl_cpu_alu_U129: na210 PORT MAP (N_482, N_474, cpu_alu_out_6_port);
lbl_cpu_alu_U130: na210 PORT MAP (N_486, N_471, N_474);
lbl_cpu_alu_r64_U17: na210 PORT MAP (N_489, N_477, N_478);
lbl_cpu_alu_r64_U18: na210 PORT MAP (cpu_areg_out_6_port, N_485, N_477);
lbl_cpu_alu_r64_U20: na210 PORT MAP (cpu_bus_6_port, N_487, N_489);
lbl_cpu_pc_U63: na210 PORT MAP (cpu_dec_pc_inc, N_520, N_526);
lbl_cpu_pc_U62: na210 PORT MAP (N_523, N_526, N_527);
lbl_cpu_pc_U59: na210 PORT MAP (cpu_bus_4_port, N_534, N_499);
lbl_cpu_pc_U58: na210 PORT MAP (N_513, N_499, N_498);
lbl_cpu_pc_U57: na210 PORT MAP (N_514, cpu_dec_pc_inc, N_515);
lbl_cpu_pc_U54: na210 PORT MAP (cpu_bus_3_port, N_534, N_504);
lbl_cpu_pc_U53: na210 PORT MAP (N_506, N_504, N_505);
lbl_cpu_pc_U45: na210 PORT MAP (cpu_bus_2_port, N_534, N_554);
lbl_cpu_pc_U44: na210 PORT MAP (N_563, N_554, N_556);
lbl_cpu_pc_U43: na210 PORT MAP (cpu_dec_pc_inc, cpu_pc_int(0), N_537);
lbl_cpu_pc_U41: na210 PORT MAP (cpu_bus_1_port, N_534, N_503);
lbl_cpu_pc_U40: na210 PORT MAP (N_533, N_503, N_512);
lbl_cpu_pc_U38: na210 PORT MAP (cpu_bus_0_port, N_534, N_525);
lbl_cpu_pc_U37: na210 PORT MAP (N_524, N_525, N_528);
lbl_cpu_pc_U87: na210 PORT MAP (N_548, cpu_pc_int(6), N_541);
lbl_cpu_pc_U81: na210 PORT MAP (cpu_dec_pc_inc, N_545, N_543);
lbl_cpu_pc_U80: na210 PORT MAP (N_557, N_543, N_547);
lbl_cpu_pc_U76: na210 PORT MAP (cpu_bus_7_port, N_534, N_491);
lbl_cpu_pc_U75: na210 PORT MAP (N_493, N_491, N_492);
lbl_cpu_pc_U72: na210 PORT MAP (cpu_bus_6_port, N_534, N_497);
lbl_cpu_pc_U71: na210 PORT MAP (N_496, N_497, N_500);
lbl_cpu_pc_U70: na210 PORT MAP (N_558, cpu_dec_pc_inc, N_535);
lbl_cpu_pc_U68: na210 PORT MAP (cpu_bus_5_port, N_534, N_532);
lbl_cpu_pc_U67: na210 PORT MAP (N_538, N_532, N_531);
lbl_decoder_U54: na210 PORT MAP (N_245, N_239, N_240);
lbl_decoder_U55: na210 PORT MAP (N_279, N_236, N_239);
lbl_decoder_U56: na210 PORT MAP (N_249, N_261, N_236);
lbl_decoder_U61: na210 PORT MAP (cpu_alu_c, N_261, N_241);
lbl_decoder_U59: na210 PORT MAP (N_241, N_271, N_251);
lbl_decoder_U65: na210 PORT MAP (N_286, N_256, N_257);
lbl_decoder_U67: na210 PORT MAP (cpu_alu_z, cpu_dec_instr_8_port, N_249);
lbl_decoder_U66: na210 PORT MAP (N_249, N_279, N_256);
lbl_decoder_U62: na210 PORT MAP (N_257, N_261, N_250);
lbl_decoder_U79: na210 PORT MAP (cpu_dec_instr_11_port, cpu_dec_instr_8_port, N_296);
lbl_decoder_U63: na210 PORT MAP (N_280, N_291, N_261);
lbl_decoder_U88: na210 PORT MAP (cpu_dec_instr_9_port, cpu_dec_instr_8_port, N_280);
lbl_decoder_U83: na210 PORT MAP (N_281, N_299, N_284);
lbl_decoder_U77: na210 PORT MAP (N_296, N_292, N_302);
```

```
lbl_decoder_U78: na210 PORT MAP (N_289, N_299, N_292);
lbl_decoder_U64: na210 PORT MAP (N_299, N_295, N_291);
lbl_decoder_U81: na210 PORT MAP (N_297, cpu_dec_instr_8_port, N_300);
lbl_decoder_U80: na210 PORT MAP (N_298, N_300, cpu_dec_aregld);
lbl_bregs_b3_U19: na210 PORT MAP (N_233, cpu_dec_bregld_0_port, N_235);
lbl_bregs_b3_U18: na210 PORT MAP (n1, cpu_dec_bregld_1_port, N_234);
lbl_bregs_b5_U18: na210 PORT MAP (n1, cpu_dec_bregld_2_port, N_157);
lbl_bregs_b5_U19: na210 PORT MAP (N_158, cpu_dec_bregld_0_port, N_154);
lbl_bregs_b6_U19: na210 PORT MAP (N_161, cpu_dec_bregld_1_port, N_163);
lbl_bregs_b6_U18: na210 PORT MAP (n1, cpu_dec_bregld_2_port, N_165);
lbl_bregs_b7_U18: na210 PORT MAP (n1, cpu_dec_bregld_2_port, N_95);
lbl_bregs_b9_U19: na210 PORT MAP (N_357, cpu_dec_bregld_0_port, N_356);
lbl_bregs_b9_U18: na210 PORT MAP (n1, cpu_dec_bregld_3_port, N_352);
lbl_bregs_b10_U18: na210 PORT MAP (n1, cpu_dec_bregld_3_port, N_340);
lbl_bregs_b10_U19: na210 PORT MAP (N_345, cpu_dec_bregld_1_port, N_346);
lbl_cpu_alu_U156: no210 PORT MAP (N_452, N_364, N_366);
lbl_cpu_alu_r64_U43: no210 PORT MAP (N_380, cpu_bus_2_port, N_388);
lbl_cpu_alu_r64_U50: no210 PORT MAP (cpu_bus_1_port, N_392, N_393);
lbl_cpu_alu_r64_U31: no210 PORT MAP (N_411, cpu_bus_4_port, N_396);
lbl_cpu_alu_U144: no210 PORT MAP (N_452, N_413, N_409);
lbl_cpu_alu_U170: no210 PORT MAP (N_452, N_398, N_401);
lbl_cpu_alu_U162: no210 PORT MAP (N_452, N_399, N_400);
lbl_cpu_alu_U167: no210 PORT MAP (N_451, N_441, N_471);
lbl_cpu_alu_U150: no210 PORT MAP (N_452, N_444, N_446);
lbl_cpu_alu_U132: no210 PORT MAP (N_452, N_455, N_472);
lbl_cpu_alu_U138: no210 PORT MAP (N_452, N_462, N_463);
lbl_cpu_alu_U126: no210 PORT MAP (N_452, N_468, N_460);
lbl_cpu_alu_U176: no210 PORT MAP (N_479, N_481, N_484);
lbl_cpu_alu_r64_U19: no210 PORT MAP (N_487, cpu_bus_6_port, N_488);
lbl_cpu_pc_U61: no210 PORT MAP (N_516, N_527, N_517);
lbl_cpu_pc_U51: no210 PORT MAP (cpu_pc_int(1), N_555, N_550);
lbl_cpu_pc_U50: no210 PORT MAP (N_555, cpu_pc_int(0), N_529);
lbl_cpu_pc_U49: no210 PORT MAP (N_552, N_529, N_549);
lbl_cpu_pc_U47: no210 PORT MAP (N_550, N_551, N_553);
lbl_cpu_pc_U86: no210 PORT MAP (cpu_pc_int(6), N_555, N_539);
lbl_cpu_pc_U85: no210 PORT MAP (cpu_dec_pc_ld, cpu_dec_pc_inc, N_552);
lbl_cpu_pc_U83: no210 PORT MAP (N_555, N_558, N_560);
lbl_cpu_pc_U82: no210 PORT MAP (N_552, N_560, N_557);
lbl_cpu_pc_U79: no210 PORT MAP (N_539, N_547, N_542);
lbl_cpu_pc_U77: no210 PORT MAP (N_552, cpu_dec_pc_inc, N_534);
lbl_cpu_pc_U65: no210 PORT MAP (cpu_pc_int(3), N_555, N_516);
lbl_decoder_U75: no210 PORT MAP (N_279, N_296, N_293);
lbl_decoder_U52: no210 PORT MAP (cpu_dec_instr_11_port, N_260, cpu_dec_pc_ld);
lbl_decoder_U89: no210 PORT MAP (N_276, N_289, cpu_alu_op_1_port);
lbl_decoder_U90: no210 PORT MAP (N_297, N_277, N_276);
lbl_decoder_U86: no210 PORT MAP (N_286, N_289, cpu_alu_op_2_port);
lbl_decoder_U93: no210 PORT MAP (N_275, N_289, cpu_alu_op_0_port);
lbl_decoder_U95: no210 PORT MAP (N_278, N_279, N_275);
lbl_decoder_U92: no210 PORT MAP (N_279, cpu_dec_instr_9_port, N_297);
lbl_decoder_U91: no210 PORT MAP (N_279, cpu_dec_instr_8_port, N_277);
lbl_decoder_U85: no210 PORT MAP (N_295, N_279, N_281);
lbl_decoder_U97: no210 PORT MAP (cpu_dec_instr_8_port, N_295, N_278);
lbl_decoder_U68: no210 PORT MAP (N_288, N_287, cpu_dec_ibufoe);
lbl_decoder_U70: no210 PORT MAP (cpu_dec_instr_10_port, N_302, N_285);
lbl_decoder_U69: no210 PORT MAP (N_285, N_297, N_287);
lbl_decoder_U73: no210 PORT MAP (N_303, N_304, cpu_dec_bbbufoe_4_port);
```

```

lbl_bregs_b3_U20: no210 PORT MAP (cpu_dec_bregld_3_port, cpu_dec_bregld_2_port, N_233);
lbl_bregs_b3_U17: no210 PORT MAP (N_235, N_234, N_263);
lbl_bregs_b5_U20: no210 PORT MAP (cpu_dec_bregld_3_port, cpu_dec_bregld_1_port, N_158);
lbl_bregs_b5_U17: no210 PORT MAP (N_154, N_157, N_187);
lbl_bregs_b6_U20: no210 PORT MAP (cpu_dec_bregld_3_port, cpu_dec_bregld_0_port, N_161);
lbl_bregs_b6_U17: no210 PORT MAP (N_163, N_165, N_180);
lbl_bregs_b7_U17: no210 PORT MAP (N_106, N_95, N_117);
lbl_bregs_b9_U20: no210 PORT MAP (cpu_dec_bregld_2_port, cpu_dec_bregld_1_port, N_357);
lbl_bregs_b9_U17: no210 PORT MAP (N_356, N_352, N_353);
lbl_bregs_b10_U17: no210 PORT MAP (N_346, N_340, N_358);
lbl_bregs_b10_U20: no210 PORT MAP (cpu_dec_bregld_2_port, cpu_dec_bregld_0_port, N_345);
lbl_cpu_alu_r64_U46: ex210 PORT MAP (N_380, N_367, N_368);
lbl_cpu_alu_r64_U47: ex210 PORT MAP (cpu_areg_out_2_port, cpu_bus_2_port, N_367);
lbl_cpu_alu_r64_U53: ex210 PORT MAP (cpu_areg_out_1_port, cpu_bus_1_port, N_386);
lbl_cpu_alu_r64_U55: ex210 PORT MAP (cpu_areg_out_0_port, cpu_bus_0_port, N_369);
lbl_cpu_alu_r64_U52: ex210 PORT MAP (N_392, N_386, N_378);
lbl_cpu_alu_r64_U45: ex210 PORT MAP (N_403, cpu_areg_out_3_port, N_402);
lbl_cpu_alu_r64_U40: ex210 PORT MAP (N_402, N_404, N_421);
lbl_cpu_alu_r64_U35: ex210 PORT MAP (cpu_areg_out_4_port, cpu_bus_4_port, N_406);
lbl_cpu_alu_r64_U34: ex210 PORT MAP (N_411, N_406, N_405);
lbl_cpu_alu_r64_U28: ex210 PORT MAP (N_417, N_427, N_416);
lbl_cpu_alu_r64_U33: ex210 PORT MAP (N_429, cpu_areg_out_5_port, N_417);
lbl_cpu_alu_r64_U21: ex210 PORT MAP (N_450, cpu_areg_out_7_port, N_434);
lbl_cpu_alu_r64_U16: ex210 PORT MAP (N_434, N_449, N_440);
lbl_cpu_alu_r64_U23: ex210 PORT MAP (cpu_areg_out_6_port, cpu_bus_6_port, N_490);
lbl_cpu_alu_r64_U22: ex210 PORT MAP (N_487, N_490, N_486);
lbl_cpu_alu_U155: mul111 PORT MAP (N_370, N_366, cpu_bus_2_port, N_374);
lbl_cpu_alu_U157: mul111 PORT MAP (N_467, N_464, cpu_areg_out_2_port, N_364);
lbl_cpu_alu_U169: mul111 PORT MAP (N_375, N_401, cpu_bus_0_port, N_371);
lbl_cpu_alu_U161: mul111 PORT MAP (N_385, N_400, cpu_bus_1_port, N_387);
lbl_cpu_alu_U143: mul111 PORT MAP (N_412, N_409, cpu_bus_4_port, N_414);
lbl_cpu_alu_U145: mul111 PORT MAP (N_467, N_464, cpu_areg_out_4_port, N_413);
lbl_cpu_alu_U163: mul111 PORT MAP (N_467, N_464, cpu_areg_out_1_port, N_399);
lbl_cpu_alu_U171: mul111 PORT MAP (N_467, N_464, cpu_areg_out_0_port, N_398);
lbl_cpu_alu_U149: mul111 PORT MAP (N_431, N_446, cpu_bus_3_port, N_423);
lbl_cpu_alu_U151: mul111 PORT MAP (N_467, N_464, cpu_areg_out_3_port, N_444);
lbl_cpu_alu_U133: mul111 PORT MAP (N_467, N_464, cpu_areg_out_6_port, N_455);
lbl_cpu_alu_U125: mul111 PORT MAP (N_461, N_460, cpu_bus_7_port, N_465);
lbl_cpu_alu_U139: mul111 PORT MAP (N_467, N_464, cpu_areg_out_5_port, N_462);
lbl_cpu_alu_U127: mul111 PORT MAP (N_467, N_464, cpu_areg_out_7_port, N_468);
lbl_cpu_alu_U137: mul111 PORT MAP (N_466, N_463, cpu_bus_5_port, N_469);
lbl_cpu_alu_U131: mul111 PORT MAP (N_473, N_472, cpu_bus_6_port, N_482);
lbl_cpu_reg_A_U27: mul111 PORT MAP (cpu_areg_out_7_port, cpu_alu_out_7_port, cpu_dec_aregld, N_494);
lbl_cpu_reg_A_U33: mul111 PORT MAP (cpu_areg_out_1_port, cpu_alu_out_1_port, cpu_dec_aregld, N_495);
lbl_cpu_reg_A_U28: mul111 PORT MAP (cpu_areg_out_6_port, cpu_alu_out_6_port, cpu_dec_aregld, N_501);
lbl_cpu_reg_A_U34: mul111 PORT MAP (cpu_areg_out_0_port, cpu_alu_out_0_port, cpu_dec_aregld, N_502);
lbl_cpu_reg_A_U31: mul111 PORT MAP (cpu_areg_out_3_port, cpu_alu_out_3_port, cpu_dec_aregld, N_509);
lbl_cpu_reg_A_U30: mul111 PORT MAP (cpu_areg_out_4_port, cpu_alu_out_4_port, cpu_dec_aregld, N_508);
lbl_cpu_reg_A_U32: mul111 PORT MAP (cpu_areg_out_2_port, cpu_alu_out_2_port, cpu_dec_aregld, N_510);
lbl_cpu_reg_A_U29: mul111 PORT MAP (cpu_areg_out_5_port, cpu_alu_out_5_port, cpu_dec_aregld, N_511);
lbl_cpu_pc_U60: mul111 PORT MAP (N_507, N_517, cpu_pc_int(4), N_513);
lbl_cpu_pc_U55: mul111 PORT MAP (N_515, N_519, cpu_pc_int(3), N_506);
lbl_cpu_pc_U46: mul111 PORT MAP (N_559, N_553, cpu_pc_int(2), N_563);
lbl_cpu_pc_U42: mul111 PORT MAP (N_537, N_549, cpu_pc_int(1), N_533);
lbl_cpu_pc_U39: mul111 PORT MAP (N_555, N_523, cpu_pc_int(0), N_524);
lbl_cpu_pc_U78: mul111 PORT MAP (N_541, N_542, cpu_pc_int(7), N_493);

```

```
lbl_cpu_pc_U74: mul111 PORT MAP (N_548, N_547, cpu_pc_int(6), N_544);
lbl_cpu_pc_U69: mul111 PORT MAP (N_557, N_535, N_545, N_538);
lbl_decoder_U82: mul111 PORT MAP (N_284, N_281, cpu_dec_instr_11_port, N_298);
lbl_decoder_U87: mul111 PORT MAP (cpu_dec_instr_9_port, N_280, cpu_dec_instr_10_port, N_286);
lbl_decoder_U74: mul111 PORT MAP (N_296, N_293, cpu_dec_instr_9_port, N_304);
lbl_bregs_r2_U31: mul111 PORT MAP (n20, N_44, N_11, N_15);
lbl_bregs_r2_U33: mul111 PORT MAP (n19, N_39, N_11, N_2);
lbl_bregs_r2_U35: mul111 PORT MAP (n18, N_49, N_11, N_12);
lbl_bregs_r2_U37: mul111 PORT MAP (n16, N_50, N_11, N_9);
lbl_bregs_r2_U36: mul111 PORT MAP (n17, N_26, N_18, N_7);
lbl_bregs_r2_U30: mul111 PORT MAP (n15, N_33, N_18, N_14);
lbl_bregs_r2_U32: mul111 PORT MAP (n14, N_29, N_18, N_19);
lbl_bregs_r2_U34: mul111 PORT MAP (n13, N_23, N_18, N_17);
lbl_bregs_r3_U37: mul111 PORT MAP (n17, N_248, N_201, N_194);
lbl_bregs_r3_U32: mul111 PORT MAP (n20, N_238, N_206, N_195);
lbl_bregs_r3_U34: mul111 PORT MAP (n19, N_247, N_206, N_202);
lbl_bregs_r3_U35: mul111 PORT MAP (n13, N_237, N_201, N_203);
lbl_bregs_r3_U31: mul111 PORT MAP (n15, N_273, N_201, N_217);
lbl_bregs_r3_U33: mul111 PORT MAP (n14, N_225, N_201, N_216);
lbl_bregs_r3_U38: mul111 PORT MAP (n16, N_272, N_206, N_218);
lbl_bregs_r3_U36: mul111 PORT MAP (n18, N_259, N_206, N_219);
lbl_bregs_r4_U34: mul111 PORT MAP (n13, N_125, N_64, N_55);
lbl_bregs_r4_U30: mul111 PORT MAP (n15, N_86, N_64, N_57);
lbl_bregs_r4_U36: mul111 PORT MAP (n17, N_111, N_64, N_69);
lbl_bregs_r4_U35: mul111 PORT MAP (n18, N_94, N_76, N_54);
lbl_bregs_r4_U31: mul111 PORT MAP (n20, N_126, N_76, N_59);
lbl_bregs_r4_U33: mul111 PORT MAP (n19, N_102, N_76, N_80);
lbl_bregs_r4_U32: mul111 PORT MAP (n14, N_85, N_64, N_68);
lbl_bregs_r4_U37: mul111 PORT MAP (n16, N_101, N_76, N_61);
lbl_bregs_r5_U36: mul111 PORT MAP (n18, N_190, N_150, N_130);
lbl_bregs_r5_U38: mul111 PORT MAP (n16, N_191, N_150, N_129);
lbl_bregs_r5_U32: mul111 PORT MAP (n20, N_175, N_150, N_144);
lbl_bregs_r5_U34: mul111 PORT MAP (n19, N_162, N_150, N_133);
lbl_bregs_r5_U37: mul111 PORT MAP (n17, N_172, N_149, N_137);
lbl_bregs_r5_U33: mul111 PORT MAP (n14, N_169, N_149, N_145);
lbl_bregs_r5_U31: mul111 PORT MAP (n15, N_177, N_149, N_146);
lbl_bregs_r5_U35: mul111 PORT MAP (n13, N_159, N_149, N_140);
lbl_bregs_r_o_U34: mul111 PORT MAP (n13, cpu_out_int(3), N_10, N_5);
lbl_bregs_r_o_U31: mul111 PORT MAP (n20, cpu_out_int(6), N_20, N_4);
lbl_bregs_r_o_U36: mul111 PORT MAP (n17, cpu_out_int(1), N_10, N_1);
lbl_bregs_r_o_U30: mul111 PORT MAP (n15, cpu_out_int(7), N_10, N_3);
lbl_bregs_r_o_U35: mul111 PORT MAP (n18, cpu_out_int(2), N_20, N_6);
lbl_bregs_r_o_U37: mul111 PORT MAP (n16, cpu_out_int(0), N_20, N_16);
lbl_bregs_r_o_U32: mul111 PORT MAP (n14, cpu_out_int(5), N_10, N_13);
lbl_bregs_r_o_U33: mul111 PORT MAP (n19, cpu_out_int(4), N_20, N_22);
lbl_bregs_r6_U38: mul111 PORT MAP (n16, N_168, N_147, N_151);
lbl_bregs_r6_U37: mul111 PORT MAP (n17, N_186, N_141, N_138);
lbl_bregs_r6_U36: mul111 PORT MAP (n18, N_152, N_147, N_134);
lbl_bregs_r6_U35: mul111 PORT MAP (n13, N_164, N_141, N_143);
lbl_bregs_r6_U34: mul111 PORT MAP (n19, N_185, N_147, N_135);
lbl_bregs_r6_U33: mul111 PORT MAP (n14, N_184, N_141, N_136);
lbl_bregs_r6_U32: mul111 PORT MAP (n20, N_183, N_147, N_139);
lbl_bregs_r6_U31: mul111 PORT MAP (n15, N_153, N_141, N_128);
lbl_bregs_r7_U36: mul111 PORT MAP (n13, N_93, N_62, N_66);
lbl_bregs_r7_U38: mul111 PORT MAP (n17, N_123, N_62, N_67);
lbl_bregs_r7_U33: mul111 PORT MAP (n20, N_116, N_65, N_70);
```

```

lbl_bregs_r7_U39: mul111 PORT MAP (n16, N_110, N_65, N_56);
lbl_bregs_r7_U35: mul111 PORT MAP (n19, N_84, N_65, N_58);
lbl_bregs_r7_U37: mul111 PORT MAP (n18, N_83, N_65, N_53);
lbl_bregs_r7_U34: mul111 PORT MAP (n14, N_124, N_62, N_60);
lbl_bregs_r7_U32: mul111 PORT MAP (n15, N_100, N_62, N_63);
lbl_bregs_r8_U35: mul111 PORT MAP (n18, N_224, N_200, N_192);
lbl_bregs_r8_U33: mul111 PORT MAP (n19, N_270, N_200, N_193);
lbl_bregs_r8_U31: mul111 PORT MAP (n20, N_269, N_200, N_213);
lbl_bregs_r8_U36: mul111 PORT MAP (n17, N_268, N_222, N_207);
lbl_bregs_r8_U37: mul111 PORT MAP (n16, N_223, N_200, N_215);
lbl_bregs_r8_U30: mul111 PORT MAP (n15, N_229, N_222, N_198);
lbl_bregs_r8_U32: mul111 PORT MAP (n14, N_258, N_222, N_209);
lbl_bregs_r8_U34: mul111 PORT MAP (n13, N_246, N_222, N_220);
lbl_bregs_r9_U35: mul111 PORT MAP (n13, N_325, N_308, N_290);
lbl_bregs_r9_U31: mul111 PORT MAP (n15, N_333, N_308, N_282);
lbl_bregs_r9_U37: mul111 PORT MAP (n17, N_332, N_308, N_301);
lbl_bregs_r9_U33: mul111 PORT MAP (n14, N_354, N_308, N_305);
lbl_bregs_r9_U38: mul111 PORT MAP (n16, N_355, N_318, N_307);
lbl_bregs_r9_U32: mul111 PORT MAP (n20, N_324, N_318, N_320);
lbl_bregs_r9_U34: mul111 PORT MAP (n19, N_338, N_318, N_315);
lbl_bregs_r9_U36: mul111 PORT MAP (n18, N_347, N_318, N_313);
lbl_bregs_r10_U31: mul111 PORT MAP (n15, N_327, N_317, N_283);
lbl_bregs_r10_U37: mul111 PORT MAP (n17, N_361, N_317, N_294);
lbl_bregs_r10_U38: mul111 PORT MAP (n16, N_326, N_321, N_322);
lbl_bregs_r10_U33: mul111 PORT MAP (n14, N_339, N_317, N_319);
lbl_bregs_r10_U32: mul111 PORT MAP (n20, N_334, N_321, N_309);
lbl_bregs_r10_U36: mul111 PORT MAP (n18, N_363, N_321, N_306);
lbl_bregs_r10_U35: mul111 PORT MAP (n13, N_362, N_317, N_314);
lbl_bregs_r10_U34: mul111 PORT MAP (n19, N_343, N_321, N_323);
lbl_cpu_alu_U187: na310 PORT MAP (N_389, N_391, N_394, N_422);
lbl_cpu_alu_U185: na310 PORT MAP (N_418, N_419, N_424, N_479);
lbl_cpu_alu_U114: na310 PORT MAP (N_438, N_448, N_437, N_475);
lbl_cpu_alu_U120: na310 PORT MAP (cpu_alu_op_0_port, N_456, N_458, N_448);
lbl_cpu_alu_U177: na310 PORT MAP (N_476, N_470, N_483, N_481);
lbl_cpu_pc_U52: na310 PORT MAP (cpu_dec_pc_inc, cpu_pc_int(0), cpu_pc_int(1), N_559);
lbl_cpu_pc_U93: na310 PORT MAP (cpu_pc_int(1), cpu_pc_int(0), cpu_pc_int(2), N_520);
lbl_cpu_pc_U91: na310 PORT MAP (cpu_pc_int(3), N_514, cpu_pc_int(4), N_540);
lbl_cpu_pc_U66: na310 PORT MAP (N_514, cpu_dec_pc_inc, cpu_pc_int(3), N_507);
lbl_decoder_U57: na310 PORT MAP (cpu_alu_c, N_271, N_261, N_245);
lbl_decoder_U58: na310 PORT MAP (N_250, N_289, N_251, cpu_dec_pc_inc);
lbl_bregs_bin_U18: na310 PORT MAP (n1, cpu_dec_bregld_0_port, N_42, N_43);
lbl_bregs_b2_U18: na310 PORT MAP (n1, cpu_dec_bregld_1_port, N_32, N_36);
lbl_bregs_r2_U38: na310 PORT MAP (n6, n3, N_21, N_11);
lbl_bregs_r2_U29: na310 PORT MAP (n6, n3, N_21, N_18);
lbl_bregs_r3_U39: na310 PORT MAP (n6, n3, N_212, N_206);
lbl_bregs_r3_U30: na310 PORT MAP (n6, n3, N_212, N_201);
lbl_bregs_b4_U18: na310 PORT MAP (n1, cpu_dec_bregld_2_port, N_119, N_120);
lbl_bregs_r4_U29: na310 PORT MAP (n6, n4, N_71, N_64);
lbl_bregs_r4_U38: na310 PORT MAP (n6, n4, N_71, N_76);
lbl_bregs_r5_U39: na310 PORT MAP (n6, n4, N_148, N_150);
lbl_bregs_r5_U30: na310 PORT MAP (n6, n4, N_148, N_149);
lbl_bregs_r_o_U38: na310 PORT MAP (n6, n2, N_8, N_20);
lbl_bregs_r_o_U29: na310 PORT MAP (n6, n2, N_8, N_10);
lbl_bregs_r6_U39: na310 PORT MAP (n6, n4, N_131, N_147);
lbl_bregs_r6_U30: na310 PORT MAP (n6, n4, N_131, N_141);
lbl_bregs_b7_U19: na310 PORT MAP (cpu_dec_bregld_0_port, N_103, cpu_dec_bregld_1_port, N_106);

```

```

lbl_bregs_r7_U31: na310 PORT MAP (n6, n4, N_72, N_62);
lbl_bregs_r7_U40: na310 PORT MAP (n6, n4, N_72, N_65);
lbl_bregs_b8_U18: na310 PORT MAP (n1, cpu_dec_bregld_3_port, N_230, N_231);
lbl_bregs_r8_U29: na310 PORT MAP (n6, n5, N_221, N_222);
lbl_bregs_r8_U38: na310 PORT MAP (n6, n5, N_221, N_200);
lbl_bregs_r9_U30: na310 PORT MAP (n6, n5, N_310, N_308);
lbl_bregs_r9_U39: na310 PORT MAP (n6, n5, N_310, N_318);
lbl_bregs_r10_U30: na310 PORT MAP (n6, n5, N_316, N_317);
lbl_bregs_r10_U39: na310 PORT MAP (n6, n5, N_316, N_321);
lbl_cpu_alu_U113: no310 PORT MAP (cpu_alu_op_1_port, cpu_alu_op_2_port, N_441, N_467);
lbl_cpu_alu_U180: no310 PORT MAP (cpu_alu_op_0_port, cpu_alu_op_2_port, N_443, N_464);
lbl_cpu_alu_U174: no310 PORT MAP (cpu_alu_op_1_port, cpu_alu_op_2_port, N_441, N_457);
lbl_cpu_alu_U172: no310 PORT MAP (cpu_alu_op_1_port, cpu_alu_op_2_port, cpu_alu_op_0_port, N_452);
lbl_cpu_pc_U88: no310 PORT MAP (N_540, N_555, N_545, N_548);
lbl_decoder_U72: no310 PORT MAP (N_280, cpu_dec_instr_11_port, N_279, cpu_dec_bregld_4_port);
lbl_bregs_bin_U19: no310 PORT MAP (cpu_dec_bregld_1_port, cpu_dec_bregld_3_port, cpu_dec_bregld_2_2);
lbl_bregs_b2_U19: no310 PORT MAP (cpu_dec_bregld_0_port, cpu_dec_bregld_3_port, cpu_dec_bregld_2_2);
lbl_bregs_r2_U39: no310 PORT MAP (n2, n5, n4, N_21);
lbl_bregs_r3_U40: no310 PORT MAP (N_210, n5, n4, N_212);
lbl_bregs_b4_U19: no310 PORT MAP (cpu_dec_bregld_0_port, cpu_dec_bregld_3_port, cpu_dec_bregld_1_1);
lbl_bregs_r4_U39: no310 PORT MAP (n2, n5, n3, N_71);
lbl_bregs_r5_U40: no310 PORT MAP (N_142, n5, n3, N_148);
lbl_bregs_r_o_U39: no310 PORT MAP (n3, n5, n4, N_8);
lbl_bregs_r6_U40: no310 PORT MAP (N_132, n5, n2, N_131);
lbl_bregs_r7_U41: no310 PORT MAP (N_75, n5, N_77, N_72);
lbl_bregs_b8_U19: no310 PORT MAP (cpu_dec_bregld_0_port, cpu_dec_bregld_2_port, cpu_dec_bregld_1_1);
lbl_bregs_r8_U39: no310 PORT MAP (n2, n4, n3, N_221);
lbl_bregs_r9_U40: no310 PORT MAP (N_311, n4, n3, N_310);
lbl_bregs_r10_U40: no310 PORT MAP (N_312, n4, n2, N_316);
lbl_cpu_alu_alu_c_reg: dfn10 PORT MAP (N_475, cpu_en, cpu_alu_c);
lbl_cpu_alu_alu_z_reg: dfn10 PORT MAP (N_484, cpu_en, cpu_alu_z);

END extracted;

library IEEE;
use IEEE.std_logic_1164.ALL;

entity cpu_tb is
end cpu_tb;

architecture behaviour of cpu_tb is
component cpu
port(cpu_RST:  in std_logic;
      cpu_en:  in std_logic;
      cpu_in:  in std_logic_vector(7 downto 0);
      cpu_instr:  in std_logic_vector(11 downto 0);
      cpu_pc:  out std_logic_vector(7 downto 0);
      cpu_out:  out std_logic_vector(7 downto 0));
end component;

signal cpu_RST, cpu_en: std_logic;
signal cpu_in, cpu_pc, cpu_out : std_logic_vector(7 downto 0);
signal cpu_instr : std_logic_vector(11 downto 0);

begin
lbl1:  cpu port map (cpu_RST, cpu_en, cpu_in, cpu_instr, cpu_pc, cpu_out);

```

```

cpu_RST <= '1' after 0 ns,
          '0' after 50 ns;
cpu_EN <= '1' after 0 ns,
          '0' after 10 ns when cpu_EN/=0' else '1' after 40 ns;
cpu_IN <= "00000000" after 0 ns,
          "00000010" after 950 ns;
cpu_INSTR <= "000000000000" after 0 ns,
            "010100001100" after 50 ns,
            "011100000001" after 100 ns,
            "010100001100" after 150 ns,
            "011100000010" after 200 ns,
            "010100000110" after 250 ns,
            "011100000011" after 300 ns,
            "010100001100" after 350 ns,
            "011100000100" after 400 ns,
            "010100001000" after 450 ns,
            "011100000101" after 500 ns,
            "010100000001" after 550 ns,
            "011100000110" after 600 ns,
            "010100000001" after 650 ns,
            "011100000111" after 700 ns,
            "010111111111" after 750 ns,
            "011100001010" after 800 ns,
            "000100010001" after 850 ns,
            "111100000000" after 900 ns,
            "011000000001" after 950 ns,
            "101000001000" after 1000 ns,
            "100011111000" after 1050 ns,
            "011100000001" after 1100 ns,
            "010000010111" after 1150 ns,
            "000100010001" after 1200 ns;

end architecture;

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;

entity pc_counter is
port ( pc_in : in std_logic_vector(7 downto 0);
      pc_inc : in std_logic;
      pc_ld : in std_logic;
      pc_RST : in std_logic;
      pc_EN : in std_logic;
      pc_out : out std_logic_vector(7 downto 0));
end entity pc_counter;

architecture behaviour of pc_counter is
signal count : std_logic_vector(7 downto 0);
begin
  process(pc_RST, pc_EN)
begin
  if (pc_RST='1') then
    count <= "00000000";
  else
    if (pc_EN'event AND pc_EN='1') then

```

```

        if (pc_inc='1') then
            count <= unsigned(count) + 1;
        elsif (pc_ld='1') then
            count <= pc_in;
        end if;
    end if;
end process;

pc_out <= count;

end architecture;
```

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity decoder **is**
port(decoder_in : **in** std_logic_vector(11 **downto** 0);
decoder_c : **in** std_logic;
decoder_z : **in** std_logic;
decoder_pc_inc : **out** std_logic;
decoder_pc_ld : **out** std_logic;
decoder_ibufoe : **out** std_logic;
decoder_aregld : **out** std_logic;
decoder_abufoe : **out** std_logic;
decoder_bregld : **out** std_logic_vector(4 **downto** 0);
decoder_bbufoe : **out** std_logic_vector(4 **downto** 0);
decoder_alu : **out** std_logic_vector(2 **downto** 0);
decoder_argout : **out** std_logic_vector(7 **downto** 0));
end decoder;

architecture behaviour **of** decoder **is**

--Signals--

```

signal opcode : std_logic_vector(3 downto 0);
signal argument : std_logic_vector(7 downto 0);
signal o0, o1, o2, o3: std_logic;

begin
    opcode <= decoder_in(11 downto 8);
    argument <= decoder_in(7 downto 0);
    o0 <= opcode(0);
    o1 <= opcode(1);
    o2 <= opcode(2);
    o3 <= opcode(3);

    decoder_pc_ld <=
        ((NOT o3) AND (NOT o2) AND (NOT o1) AND o0) OR
-- Jp #

```

```

((NOT o3) AND (NOT o2) AND o1 AND (NOT o0)) OR
-- Jp Ri
((NOT o3) AND (NOT o2) AND o1 AND o0 AND decoder_z) OR
-- Bz
((NOT o3) AND o2 AND (NOT o1) AND (NOT o0) AND decoder_c);
-- Bc

decoder_pc_inc <= NOT(
((NOT o3) AND (NOT o2) AND (NOT o1) AND o0) OR
-- Not Jp #
((NOT o3) AND (NOT o2) AND o1 AND (NOT o0)) OR
-- Not Jp Ri
((NOT o3) AND (NOT o2) AND o1 AND o0 AND decoder_z) OR
-- Not Bz
((NOT o3) AND o2 AND (NOT o1) AND (NOT o0) AND decoder_c));
-- Not Bc
decoder_ibufoe <=
((NOT o3) AND (NOT o2) AND (NOT o1) and o0) OR
-- Jp #
((NOT o3) AND (NOT o2) AND o1 AND o0) OR
-- Bz
((NOT o3) AND o2 AND (NOT o1) AND (NOT o0)) OR
-- Bc
((NOT o3) AND o2 AND (NOT o1) AND o0) OR
-- Ld #
(o3 AND (NOT o2) AND (NOT o1) AND (NOT o0)) OR
-- ADD #
(o3 AND (NOT o2) AND o1 AND (NOT o0)) OR
-- XOR #
(o3 AND o2 AND (NOT o1) AND (NOT o0));
-- AND #
decoder_areglid <=
((NOT o3) AND o2 AND (NOT o1) AND o0) OR
-- Ld #
((NOT o3) AND o2 AND o1 AND (NOT o0)) OR
-- Ld Ri
(o3 AND (NOT o2) AND (NOT o1) AND (NOT o0)) OR
-- ADD #
(o3 AND (NOT o2) AND (NOT o1) AND o0) OR
-- ADD Ri
(o3 AND (NOT o2) AND o1 AND (NOT o0)) OR
-- XOR #
(o3 AND (NOT o2) AND o1 AND o0) OR
-- XOR Ri
(o3 AND o2 AND (NOT o1) AND (NOT o0)) OR
-- AND #
(o3 AND o2 AND (NOT o1) AND o0);
-- AND Ri
decoder_abufoe <=
((NOT o3) AND o2 AND o1 AND o0);
-- st Ri
decoder_bregld(4) <=
((NOT o3) AND o2 AND o1 AND o0);
-- st Ri
decoder_bregld(3) <= argument(3);
decoder_bregld(2) <= argument(2);

```

```

decoder_bregld(1) <= argument(1);
decoder_bregld(0) <= argument(0);
decoder_bbufoe(4) <=
    ((NOT o3) AND (NOT o2) AND o1 AND (NOT o0)) OR
-- jp Ri
    ((NOT o3) AND o2 AND o1 AND (NOT o0)) OR
-- ld Ri
    (o3 AND (NOT o2) AND (NOT o1) AND o0) OR
-- ADD Ri
    (o3 AND (NOT o2) AND o1 AND o0) OR
-- XOR Ri
    (o3 AND o2 AND (NOT o1) AND o0);
-- AND Ri
    decoder_bbufoe(3) <= argument(3);
    decoder_bbufoe(2) <= argument(2);
    decoder_bbufoe(1) <= argument(1);
    decoder_bbufoe(0) <= argument(0);
    decoder_alu(2) <=
        (o3 AND o2 AND o1 AND o0) OR
-- Clr c
        (o3 AND (NOT o2) AND (NOT o1) AND (NOT o0)) OR
-- ADD #
        (o3 AND (NOT o2) AND (NOT o1) AND o0);
-- ADD Ri
    decoder_alu(1) <=
        (o3 AND o2 AND (NOT o1) AND (NOT o0)) OR
-- AND #
        (o3 AND o2 AND (NOT o1) AND o0) OR
-- AND Ri
        (o3 AND o2 AND o1 AND (NOT o0));
-- Set c
    decoder_alu(0) <=
        (o3 AND (NOT o2) AND (NOT o1) AND (NOT o0)) OR
-- ADD #
        (o3 AND (NOT o2) AND (NOT o1) AND o0) OR
-- ADD Ri
        (o3 AND (NOT o2) AND o1 AND (NOT o0)) OR
-- XOR #
        (o3 AND (NOT o2) AND o1 AND o0) OR
-- XOR Ri
        (o3 AND o2 AND o1 AND (NOT o0));
-- Set c
    decoder_argout <= argument;
end architecture;

library IEEE;
use IEEE.std_logic_1164.ALL;

entity gate is
port(
    input : in std_logic;
    output : out std_logic;
    sw      : in std_logic
);
end gate;

```

```

architecture Behavioral of gate is

begin

    output <= input when (sw = '1') else '0';

    --process(sw, input)
    --begin
    --if (sw = '1') then
    --output <= input;
    --else
    --output <= '0';
    --end if;
    --end process;

end Behavioral;

```

B.4. BUFFERS

```

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity buf_2 is
port( buf_in : in std_logic_vector(7 downto 0);
       buf_oe : in std_logic_vector(4 downto 0);
       buf_out : out std_logic_vector(7 downto 0));
end entity buf_2;

architecture behaviour of buf_2 is
begin
    process (buf_in, buf_oe)
    begin
        if (buf_oe(4) = '1' AND (unsigned(buf_oe(3 downto 0))=2)) then
            buf_out <= buf_in;
        else
            buf_out <= "ZZZZZZZZ";
        end if;
    end process;
end architecture;

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity buf_3 is
port( buf_in : in std_logic_vector(7 downto 0);
       buf_oe : in std_logic_vector(4 downto 0);
       buf_out : out std_logic_vector(7 downto 0));
end entity buf_3;

architecture behaviour of buf_3 is
begin
    process (buf_in, buf_oe)

```

```

begin
  if (buf_oe(4) = '1' AND (unsigned(buf_oe(3 downto 0))=3)) then
    buf_out <= buf_in;
  else
    buf_out <= "ZZZZZZZZ";
  end if;
end process;
end architecture;

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity buf_4 is
port( buf_in : in std_logic_vector(7 downto 0);
      buf_oe : in std_logic_vector(4 downto 0);
      buf_out : out std_logic_vector(7 downto 0));
end entity buf_4;

architecture behaviour of buf_4 is
begin
  process (buf_in, buf_oe)
  begin
    if (buf_oe(4) = '1' AND (unsigned(buf_oe(3 downto 0))=4)) then
      buf_out <= buf_in;
    else
      buf_out <= "ZZZZZZZZ";
    end if;
  end process;
end architecture;

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity buf_5 is
port( buf_in : in std_logic_vector(7 downto 0);
      buf_oe : in std_logic_vector(4 downto 0);
      buf_out : out std_logic_vector(7 downto 0));
end entity buf_5;

architecture behaviour of buf_5 is
begin
  process (buf_in, buf_oe)
  begin
    if (buf_oe(4) = '1' AND (unsigned(buf_oe(3 downto 0))=5)) then
      buf_out <= buf_in;
    else
      buf_out <= "ZZZZZZZZ";
    end if;
  end process;
end architecture;

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

```

```

entity buf_6 is
port( buf_in : in std_logic_vector(7 downto 0);
       buf_oe : in std_logic_vector(4 downto 0);
       buf_out : out std_logic_vector(7 downto 0));
end entity buf_6;

architecture behaviour of buf_6 is
begin
  process (buf_in, buf_oe)
  begin
    if (buf_oe(4) = '1' AND (unsigned(buf_oe(3 downto 0))=6)) then
      buf_out <= buf_in;
    else
      buf_out <= "ZZZZZZZZ";
    end if;
  end process;
end architecture;

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity buf_7 is
port( buf_in : in std_logic_vector(7 downto 0);
       buf_oe : in std_logic_vector(4 downto 0);
       buf_out : out std_logic_vector(7 downto 0));
end entity buf_7;

architecture behaviour of buf_7 is
begin
  process (buf_in, buf_oe)
  begin
    if (buf_oe(4) = '1' AND (unsigned(buf_oe(3 downto 0))=7)) then
      buf_out <= buf_in;
    else
      buf_out <= "ZZZZZZZZ";
    end if;
  end process;
end architecture;

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity buf_8 is
port( buf_in : in std_logic_vector(7 downto 0);
       buf_oe : in std_logic_vector(4 downto 0);
       buf_out : out std_logic_vector(7 downto 0));
end entity buf_8;

architecture behaviour of buf_8 is
begin
  process (buf_in, buf_oe)
  begin
    if (buf_oe(4) = '1' AND (unsigned(buf_oe(3 downto 0))=8)) then
      buf_out <= buf_in;
    else

```

```

        buf_out <= "ZZZZZZZZ";
    end if;
end process;
end architecture;

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity buf_9 is
port( buf_in  : in  std_logic_vector(7 downto 0);
      buf_oe   : in  std_logic_vector(4 downto 0);
      buf_out  : out std_logic_vector(7 downto 0));
end entity buf_9;

architecture behaviour of buf_9 is
begin
process (buf_in, buf_oe)
begin
if (buf_oe(4) = '1' AND (unsigned(buf_oe(3 downto 0))=9)) then
    buf_out <= buf_in;
else
    buf_out <= "ZZZZZZZZ";
end if;
end process;
end architecture;

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity buf_10 is
port( buf_in  : in  std_logic_vector(7 downto 0);
      buf_oe   : in  std_logic_vector(4 downto 0);
      buf_out  : out std_logic_vector(7 downto 0));
end entity buf_10;

architecture behaviour of buf_10 is
begin
process (buf_in, buf_oe)
begin
if (buf_oe(4) = '1' AND (unsigned(buf_oe(3 downto 0))=10)) then
    buf_out <= buf_in;
else
    buf_out <= "ZZZZZZZZ";
end if;
end process;
end architecture;

library IEEE;
use IEEE.std_logic_1164.all;

entity buf_a is
port( buf_in  : in  std_logic_vector(7 downto 0);
      buf_oe   : in  std_logic;
      buf_out  : out std_logic_vector(7 downto 0));
end entity buf_a;

```

```

architecture behaviour of buf_a is
begin
  process (buf_in, buf_oe)
  begin
    if (buf_oe = '1') then
      buf_out <= buf_in;
    else
      buf_out <= "ZZZZZZZZ";
    end if;
  end process;
end architecture;

library IEEE;
use IEEE.std_logic_1164.all;

entity buf_arg is
port( buf_in : in std_logic_vector(7 downto 0);
       buf_oe : in std_logic;
       buf_out : out std_logic_vector(7 downto 0));
end entity buf_arg;

architecture behaviour of buf_arg is
begin
  process (buf_in, buf_oe)
  begin
    if (buf_oe = '1') then
      buf_out <= buf_in;
    else
      buf_out <= "ZZZZZZZZ";
    end if;
  end process;
end architecture;

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity buf_i is
port( buf_in : in std_logic_vector(7 downto 0);
       buf_oe : in std_logic_vector(4 downto 0);
       buf_out : out std_logic_vector(7 downto 0));
end entity buf_i;

architecture behaviour of buf_i is
begin
  process (buf_in, buf_oe)
  begin
    if (buf_oe(4) = '1' AND (unsigned(buf_oe(3 downto 0))=1)) then
      buf_out <= buf_in;
    else
      buf_out <= "ZZZZZZZZ";
    end if;
  end process;
end architecture;

```

```

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity instr_buf is
port( buf_in : in std_logic_vector(11 downto 0);
      buf_oe : in std_logic;
      buf_out : out std_logic_vector(11 downto 0));
end entity instr_buf;

architecture behaviour of instr_buf is
begin
process (buf_in, buf_oe)
begin
  if (buf_oe = '1') then
    buf_out <= buf_in;
  else
    buf_out <= "XXXXXXXXXX";
  end if;
end process;
end architecture;

```

B.5. REGISTERS

```

library IEEE;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity reg_2 is
port ( reg_in : in std_logic_vector(7 downto 0);
       reg_clk : in std_logic;
       reg_rst : in std_logic;
       reg_ld : in std_logic_vector(4 downto 0);
       reg_out : out std_logic_vector(7 downto 0));
end entity reg_2;

```

```

architecture behaviour of reg_2 is
begin
process(reg_clk, reg_rst)
begin
  if (reg_rst = '1') then
    reg_out <= "00000000";
  elsif (reg_clk'event AND reg_clk='1' AND reg_ld(4)='1' AND (unsigned(reg_ld(3 downto 0))=2)) then
    reg_out <= reg_in;
  end if;
end process;
end architecture;

```

```

library IEEE;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity reg_3 is
port ( reg_in : in std_logic_vector(7 downto 0);
       reg_clk : in std_logic;
       reg_rst : in std_logic;
       reg_ld : in std_logic_vector(4 downto 0);

```

```

    reg_out : out std_logic_vector(7 downto 0));
end entity reg_3;

architecture behaviour of reg_3 is
begin
process(reg_clk, reg_rst)
begin
  if (reg_rst = '1') then
    reg_out <= "00000000";
  elsif (reg_clk'event AND reg_clk='1' AND reg_ld(4)='1' AND (unsigned(reg_ld(3 downto 0))=3)) then
    reg_out <= reg_in;
  end if;
end process;
end architecture;

library IEEE;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity reg_4 is
port ( reg_in : in std_logic_vector(7 downto 0);
       reg_clk : in std_logic;
       reg_rst : in std_logic;
       reg_ld : in std_logic_vector(4 downto 0);
       reg_out : out std_logic_vector(7 downto 0));
end entity reg_4;

architecture behaviour of reg_4 is
begin
process(reg_clk, reg_rst)
begin
  if (reg_rst = '1') then
    reg_out <= "00000000";
  elsif (reg_clk'event AND reg_clk='1' AND reg_ld(4)='1' AND (unsigned(reg_ld(3 downto 0))=4)) then
    reg_out <= reg_in;
  end if;
end process;
end architecture;

library IEEE;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity reg_5 is
port ( reg_in : in std_logic_vector(7 downto 0);
       reg_clk : in std_logic;
       reg_rst : in std_logic;
       reg_ld : in std_logic_vector(4 downto 0);
       reg_out : out std_logic_vector(7 downto 0));
end entity reg_5;

architecture behaviour of reg_5 is
begin
process(reg_clk, reg_rst)
begin
  if (reg_rst = '1') then
    reg_out <= "00000000";

```

```

elsif (reg_clk'event AND reg_clk='1' AND reg_ld(4)='1' AND (unsigned(reg_ld(3 downto 0))=5)) then
    reg_out <= reg_in;
end if;
end process;
end architecture;

library IEEE;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity reg_5 is
port ( reg_in : in std_logic_vector(7 downto 0);
       reg_clk : in std_logic;
       reg_rst : in std_logic;
       reg_ld : in std_logic_vector(4 downto 0);
       reg_out : out std_logic_vector(7 downto 0));
end entity reg_5;

architecture behaviour of reg_5 is
begin
process(reg_clk, reg_rst)
begin
    if (reg_rst = '1') then
        reg_out <= "00000000";
    elsif (reg_clk'event AND reg_clk='1' AND reg_ld(4)='1' AND (unsigned(reg_ld(3 downto 0))=5)) then
        reg_out <= reg_in;
    end if;
end process;
end architecture;

library IEEE;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity reg_6 is
port ( reg_in : in std_logic_vector(7 downto 0);
       reg_clk : in std_logic;
       reg_rst : in std_logic;
       reg_ld : in std_logic_vector(4 downto 0);
       reg_out : out std_logic_vector(7 downto 0));
end entity reg_6;

architecture behaviour of reg_6 is
begin
process(reg_clk, reg_rst)
begin
    if (reg_rst = '1') then
        reg_out <= "00000000";
    elsif (reg_clk'event AND reg_clk='1' AND reg_ld(4)='1' AND (unsigned(reg_ld(3 downto 0))=6)) then
        reg_out <= reg_in;
    end if;
end process;
end architecture;

library IEEE;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

```

```

entity reg_7 is
port ( reg_in : in std_logic_vector(7 downto 0);
        reg_clk : in std_logic;
        reg_rst : in std_logic;
        reg_ld : in std_logic_vector(4 downto 0);
        reg_out : out std_logic_vector(7 downto 0));
end entity reg_7;

architecture behaviour of reg_7 is
begin
    process(reg_clk, reg_rst)
    begin
        if (reg_rst = '1') then
            reg_out <= "00000000";
        elsif (reg_clk'event AND reg_clk='1' AND reg_ld(4)='1' AND (unsigned(reg_ld(3 downto 0))=7)) then
            reg_out <= reg_in;
        end if;
    end process;
end architecture;

library IEEE;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity reg_8 is
port ( reg_in : in std_logic_vector(7 downto 0);
        reg_clk : in std_logic;
        reg_rst : in std_logic;
        reg_ld : in std_logic_vector(4 downto 0);
        reg_out : out std_logic_vector(7 downto 0));
end entity reg_8;

architecture behaviour of reg_8 is
begin
    process(reg_clk, reg_rst)
    begin
        if (reg_rst = '1') then
            reg_out <= "00000000";
        elsif (reg_clk'event AND reg_clk='1' AND reg_ld(4)='1' AND (unsigned(reg_ld(3 downto 0))=8)) then
            reg_out <= reg_in;
        end if;
    end process;
end architecture;

library IEEE;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity reg_9 is
port ( reg_in : in std_logic_vector(7 downto 0);
        reg_clk : in std_logic;
        reg_rst : in std_logic;
        reg_ld : in std_logic_vector(4 downto 0);
        reg_out : out std_logic_vector(7 downto 0));
end entity reg_9;

```

```

architecture behaviour of reg_9 is
begin
  process(reg_clk, reg_rst)
  begin
    if (reg_rst = '1') then
      reg_out <= "00000000";
    elsif (reg_clk'event AND reg_clk='1' AND reg_ld(4)='1' AND (unsigned(reg_ld(3 downto 0))=9)) then
      reg_out <= reg_in;
    end if;
  end process;
end architecture;

library IEEE;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity reg_10 is
port ( reg_in : in std_logic_vector(7 downto 0);
        reg_clk : in std_logic;
        reg_rst : in std_logic;
        reg_ld : in std_logic_vector(4 downto 0);
        reg_out : out std_logic_vector(7 downto 0));
end entity reg_10;

architecture behaviour of reg_10 is
begin
  process(reg_clk, reg_rst)
  begin
    if (reg_rst = '1') then
      reg_out <= "00000000";
    elsif (reg_clk'event AND reg_clk='1' AND reg_ld(4)='1' AND (unsigned(reg_ld(3 downto 0))=10)) then
      reg_out <= reg_in;
    end if;
  end process;
end architecture;

library IEEE;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

```

--Register A (RA)--

```

entity reg_a is
port ( reg_in : in std_logic_vector(7 downto 0);
        reg_clk : in std_logic;
        reg_rst : in std_logic;
        reg_ld : in std_logic;
        reg_out : out std_logic_vector(7 downto 0));
end entity reg_a;

architecture behaviour of reg_a is
begin
  process(reg_clk, reg_rst)
  begin
    if (reg_rst = '1') then
      reg_out <= "00000000";

```

```

elsif (reg_clk'event AND reg_clk='1' AND reg_ld='1') then
    reg_out <= reg_in;
end if;
end process;
end architecture;

library IEEE;
use ieee.std_logic_1164.all;

entity reg_cluster is
port ( reg_in      : in std_logic_vector(7 downto 0);
       reg_clk     : in std_logic;
       reg_rst     : in std_logic;
       reg_select   : in std_logic_vector(4 downto 0);
       buf_select   : in std_logic_vector(4 downto 0);
       buf_in      : in std_logic_vector(7 downto 0);
       buf_out     : out std_logic_vector(7 downto 0);
       reg_out     : out std_logic_vector(7 downto 0));
end entity reg_cluster;

architecture behavioural of reg_cluster is

--components--

--registers--

component reg_o
port ( reg_in   : in std_logic_vector(7 downto 0);
       reg_clk  : in std_logic;
       reg_rst  : in std_logic;
       reg_ld   : in std_logic_vector(4 downto 0);
       reg_out  : out std_logic_vector(7 downto 0));
end component;

component reg_2
port ( reg_in   : in std_logic_vector(7 downto 0);
       reg_clk  : in std_logic;
       reg_rst  : in std_logic;
       reg_ld   : in std_logic_vector(4 downto 0);
       reg_out  : out std_logic_vector(7 downto 0));
end component;

component reg_3
port ( reg_in   : in std_logic_vector(7 downto 0);
       reg_clk  : in std_logic;
       reg_rst  : in std_logic;
       reg_ld   : in std_logic_vector(4 downto 0);
       reg_out  : out std_logic_vector(7 downto 0));
end component;

component reg_4
port ( reg_in   : in std_logic_vector(7 downto 0);
       reg_clk  : in std_logic;
       reg_rst  : in std_logic;
       reg_ld   : in std_logic_vector(4 downto 0);

```

```

    reg_out : out std_logic_vector(7 downto 0));
end component;

component reg_5
port ( reg_in : in std_logic_vector(7 downto 0);
    reg_clk : in std_logic;
    reg_rst : in std_logic;
    reg_ld : in std_logic_vector(4 downto 0);
    reg_out : out std_logic_vector(7 downto 0));
end component;

component reg_6
port ( reg_in : in std_logic_vector(7 downto 0);
    reg_clk : in std_logic;
    reg_rst : in std_logic;
    reg_ld : in std_logic_vector(4 downto 0);
    reg_out : out std_logic_vector(7 downto 0));
end component;

component reg_7
port ( reg_in : in std_logic_vector(7 downto 0);
    reg_clk : in std_logic;
    reg_rst : in std_logic;
    reg_ld : in std_logic_vector(4 downto 0);
    reg_out : out std_logic_vector(7 downto 0));
end component;

component reg_8
port ( reg_in : in std_logic_vector(7 downto 0);
    reg_clk : in std_logic;
    reg_rst : in std_logic;
    reg_ld : in std_logic_vector(4 downto 0);
    reg_out : out std_logic_vector(7 downto 0));
end component;

component reg_9
port ( reg_in : in std_logic_vector(7 downto 0);
    reg_clk : in std_logic;
    reg_rst : in std_logic;
    reg_ld : in std_logic_vector(4 downto 0);
    reg_out : out std_logic_vector(7 downto 0));
end component;

component reg_10
port ( reg_in : in std_logic_vector(7 downto 0);
    reg_clk : in std_logic;
    reg_rst : in std_logic;
    reg_ld : in std_logic_vector(4 downto 0);
    reg_out : out std_logic_vector(7 downto 0));
end component;

--buffers--

component buf_i
port ( buf_in : in std_logic_vector(7 downto 0);
    buf_oe : in std_logic_vector(4 downto 0);

```

```
buf_out : out std_logic_vector(7 downto 0));
end component;

component buf_2
port( buf_in  : in std_logic_vector(7 downto 0);
      buf_oe   : in std_logic_vector(4 downto 0);
      buf_out  : out std_logic_vector(7 downto 0));
end component;

component buf_3
port( buf_in  : in std_logic_vector(7 downto 0);
      buf_oe   : in std_logic_vector(4 downto 0);
      buf_out  : out std_logic_vector(7 downto 0));
end component;

component buf_4
port( buf_in  : in std_logic_vector(7 downto 0);
      buf_oe   : in std_logic_vector(4 downto 0);
      buf_out  : out std_logic_vector(7 downto 0));
end component;

component buf_5
port( buf_in  : in std_logic_vector(7 downto 0);
      buf_oe   : in std_logic_vector(4 downto 0);
      buf_out  : out std_logic_vector(7 downto 0));
end component;

component buf_6
port( buf_in  : in std_logic_vector(7 downto 0);
      buf_oe   : in std_logic_vector(4 downto 0);
      buf_out  : out std_logic_vector(7 downto 0));
end component;

component buf_7
port( buf_in  : in std_logic_vector(7 downto 0);
      buf_oe   : in std_logic_vector(4 downto 0);
      buf_out  : out std_logic_vector(7 downto 0));
end component;

component buf_8
port( buf_in  : in std_logic_vector(7 downto 0);
      buf_oe   : in std_logic_vector(4 downto 0);
      buf_out  : out std_logic_vector(7 downto 0));
end component;

component buf_9
port( buf_in  : in std_logic_vector(7 downto 0);
      buf_oe   : in std_logic_vector(4 downto 0);
      buf_out  : out std_logic_vector(7 downto 0));
end component;

component buf_10
port( buf_in  : in std_logic_vector(7 downto 0);
      buf_oe   : in std_logic_vector(4 downto 0);
      buf_out  : out std_logic_vector(7 downto 0));
end component;
```

```

--signals--
signal reg_buf_2 : std_logic_vector(7 downto 0);           --Output reg_2, input buf_2
signal reg_buf_3 : std_logic_vector(7 downto 0);           --Output reg_3, input buf_3
signal reg_buf_4 : std_logic_vector(7 downto 0);           --Output reg_4, input buf_4
signal reg_buf_5 : std_logic_vector(7 downto 0);           --Output reg_5, input buf_5
signal reg_buf_6 : std_logic_vector(7 downto 0);           --Output reg_6, input buf_6
signal reg_buf_7 : std_logic_vector(7 downto 0);           --Output reg_7, input buf_7
signal reg_buf_8 : std_logic_vector(7 downto 0);           --Output reg_8, input buf_8
signal reg_buf_9 : std_logic_vector(7 downto 0);           --Output reg_9, input buf_9
signal reg_buf_10: std_logic_vector(7 downto 0);          --Output reg_10, input buf_10

begin

--registers--

r_o:           reg_o port map (
    reg_in => reg_in,
    reg_clk => reg_clk,
    reg_rst => reg_rst,
    reg_ld => reg_select,
    reg_out => reg_out);

r2:           reg_2 port map (
    reg_in => reg_in,
    reg_clk => reg_clk,
    reg_rst => reg_rst,
    reg_ld => reg_select,
    reg_out => reg_buf_2);

r3:           reg_3 port map (
    reg_in => reg_in,
    reg_clk => reg_clk,
    reg_rst => reg_rst,
    reg_ld => reg_select,
    reg_out => reg_buf_3);

r4:           reg_4 port map (
    reg_in => reg_in,
    reg_clk => reg_clk,
    reg_rst => reg_rst,
    reg_ld => reg_select,
    reg_out => reg_buf_4);

r5:           reg_5 port map (
    reg_in => reg_in,
    reg_clk => reg_clk,
    reg_rst => reg_rst,
    reg_ld => reg_select,
    reg_out => reg_buf_5);

r6:           reg_6 port map (
    reg_in => reg_in,
    reg_clk => reg_clk,
    reg_rst => reg_rst,
    reg_ld => reg_select,

```

```

        reg_out => reg_buf_6);

r7:      reg_7 port map (
        reg_in => reg_in,
        reg_clk => reg_clk,
        reg_rst => reg_rst,
        reg_ld => reg_select,
        reg_out => reg_buf_7);

r8:      reg_8 port map (
        reg_in => reg_in,
        reg_clk => reg_clk,
        reg_rst => reg_rst,
        reg_ld => reg_select,
        reg_out => reg_buf_8);

r9:      reg_9 port map (
        reg_in => reg_in,
        reg_clk => reg_clk,
        reg_rst => reg_rst,
        reg_ld => reg_select,
        reg_out => reg_buf_9);

r10:     reg_10 port map (
        reg_in => reg_in,
        reg_clk => reg_clk,
        reg_rst => reg_rst,
        reg_ld => reg_select,
        reg_out => reg_buf_10);

```

--buffers--

```

bin:      buf_i port map (
        buf_in => buf_in,
        buf_oe => buf_select,
        buf_out => buf_out);

b2:      buf_2 port map (
        buf_in => reg_buf_2,
        buf_oe => buf_select,
        buf_out => buf_out);

b3:      buf_3 port map (
        buf_in => reg_buf_3,
        buf_oe => buf_select,
        buf_out => buf_out);

b4:      buf_4 port map (
        buf_in => reg_buf_4,
        buf_oe => buf_select,
        buf_out => buf_out);

b5:      buf_5 port map (
        buf_in => reg_buf_5,
        buf_oe => buf_select,
        buf_out => buf_out);

```

```

b6:      buf_6 port map (
                      buf_in => reg_buf_6,
                      buf_oe => buf_select,
                      buf_out => buf_out);

b7:      buf_7 port map (
                      buf_in => reg_buf_7,
                      buf_oe => buf_select,
                      buf_out => buf_out);

b8:      buf_8 port map (
                      buf_in => reg_buf_8,
                      buf_oe => buf_select,
                      buf_out => buf_out);

b9:      buf_9 port map (
                      buf_in => reg_buf_9,
                      buf_oe => buf_select,
                      buf_out => buf_out);

b10:     buf_10 port map (
                      buf_in => reg_buf_10,
                      buf_oe => buf_select,
                      buf_out => buf_out);

end architecture;

library IEEE;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity reg_o is
port ( reg_in : in std_logic_vector(7 downto 0);
       reg_clk : in std_logic;
       reg_rst : in std_logic;
       reg_ld : in std_logic_vector(4 downto 0);
       reg_out : out std_logic_vector(7 downto 0));
end entity reg_o;

architecture behaviour of reg_o is
begin
process(reg_clk, reg_rst)
begin
  if (reg_rst = '1') then
    reg_out <= "00000000";
  elsif (reg_clk'event AND (reg_clk='1') AND (reg_ld(4)='1') AND (unsigned(reg_ld(3 downto 0))=1))
    reg_out <= reg_in;
  end if;
end process;
end architecture;

library IEEE;
use IEEE.std_logic_1164.ALL;

entity shift_reg is
port( clk:          in std_logic;
      ...
      );
end;

```

```

reset:          in std_logic;
shift_in:       in std_logic;
output:         out std_logic_vector (7 downto 0)
);
end shift_reg;

architecture behaviour of shift_reg is

signal reg_shift, shifted_reg: std_logic_vector (7 downto 0);

begin

shifted_reg(7 downto 1) <= reg_shift(6 downto 0);
shifted_reg(0) <= shift_in;

process(clk, reset)
begin
if(reset = '1') then
    reg_shift <= (others => '0');
else
    if(falling_edge(clk)) then
        reg_shift <= shifted_reg;
    end if;
end if;
end process;

output <= reg_shift;
end behaviour;

```

B.6. CALCULATOR

```

library IEEE;
use IEEE.std_logic_1164.ALL;

entity calculator is
port(XI           :      in  std_logic;
      XO       : inout std_logic;
      top_reset:in   std_logic;
      top_sclk :in   std_logic;
      top_mosi :in   std_logic;
      top_ss   :in   std_logic;
      top_out  :out  std_logic_vector(7 downto 0));
end calculator;

```

```
architecture behaviour of calculator is
```

--components--

```
component osc10
PORT(E: IN STD_LOGIC;
      F: OUT STD_LOGIC;
      XI: IN STD_LOGIC;
      XO: INOUT STD_LOGIC := 'Z');
```

```

END component;

component cpu
port(    cpu_RST : in      std_logic;
            cpu_EN : in      std_logic;
            cpu_IN : in      std_logic_vector(7 downto 0);
            cpu_INSTR: in      std_logic_vector(11 downto 0);
            cpu_PC : out     std_logic_vector(7 downto 0);
            cpu_OUT : out     std_logic_vector(7 downto 0));
end component;

component gate
port(          input : in std_logic;
                output : out std_logic;
                sw     : in  std_logic
            );
end component;

component rom
port(
        rom_A:   in std_logic_vector (7 DOWNTO 0);    -- address
        rom_D:   out std_logic_vector (11 DOWNTO 0)    -- instruction
    );
end component;

component shift_reg
port(    clk:           in std_logic;
            reset:          in std_logic;
            shift_in:       in std_logic;
            output:         out std_logic_vector (7 downto 0)
        );
end component;

--Signals--
signal cpu_enable : std_logic;
signal cpu_input : std_logic_vector(7 downto 0);
signal cpu_instr : std_logic_vector(11 downto 0);
signal cpu_addr : std_logic_vector(7 downto 0);
signal osc_clk : std_logic;

--Portmaps
begin

lbl_osc:          osc10 port map(
    E            =>      '1',
    F            =>      osc_clk,
    XI           =>      XI,
    XO           =>      XO);

lbl_cpu:          cpu port map(
    cpu_RST      =>      top_reset,
    cpu_EN       =>      cpu_enable,

```

```

cpu_in          =>      cpu_input,
cpu_instr       =>      cpu_instr,
cpu_pc          =>      cpu_addr,
cpu_out         =>      top_out);

lbl_gate:        gate port map(
    input          =>      osc_clk,
    output         =>      cpu_enable,
    sw             =>      top_ss);

lbl_rom:         rom port map(
    rom_a          =>      cpu_addr,
    rom_d          =>      cpu_instr);

lbl_shift:       shift_reg port map(
    clk            =>      osc_clk,
    reset          =>      top_reset,
    shift_in       =>      top_mosi,
    output         =>      cpu_input);

end behaviour;

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity tb is
end tb;

architecture behavior of tb is

component calculator is
port(
    XI           :          in  std_logic;
    XO           :          inout std_logic;
    top_reset    :          in  std_logic;
    top_sclk     :          in  std_logic;
    top_mosi     :          in  std_logic;
    top_ss       :          in  std_logic;
    top_out      :          out std_logic_vector(7 downto 0)
);
end component;

begin

lib01: calculator port map( XI, open, top_reset, top_sclk, top_mosi, top_ss, top_out);

XI <=  '0' after 0 ns,
      '1' after 170 ns when XI /= '1' else '0' after 170 ns;

```

```
top_mosi <= '0' after 0 ns;
top_sclk <= '0' after 0 ns;
top_reset <=      '1' after 0 ns,
                           '0' after 200 ns;
top_ss <= '0' after 0 ns;

end behavior;
```