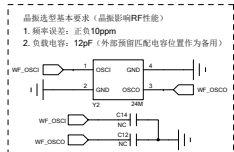
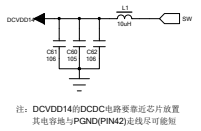


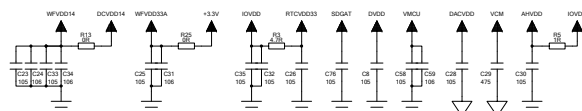
AC7916A



不跑时钟的可以省掉32.768K晶振

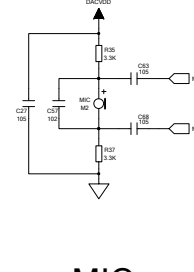


注: DCVDD14的DCDC电路要靠近芯片放置
其电容地与PGND(PIN42)走线尽可能短



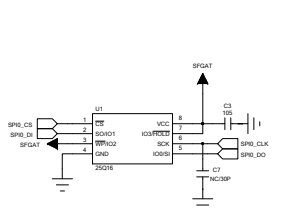
MCU

注：根据具体需求选择单/双麦进行设计
而要求较高情况下可调整IO采用数



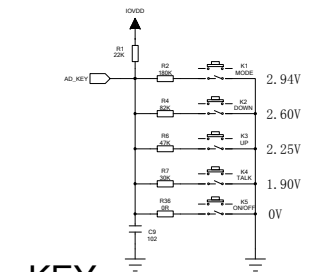
MIC

关于电源控制：（关机低功耗）
SFGAT用作FLASH电源及外部3.3V DCDC的使能脚



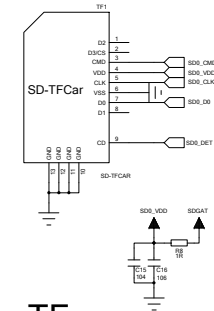
FLASH

注：软关机后是通过下降沿唤醒主控的，开关机键值最好定为0V。
若按键较多时，为防止临近按键误判到唤醒，开关机按键
可定义为长按操作或独立使用有WKUP功能的IO



KEY

TF卡使用1线模式

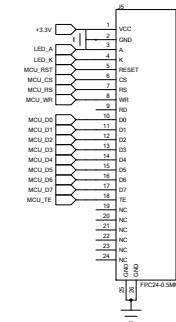


TR

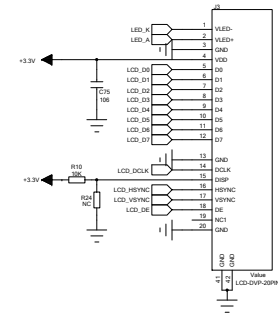
备注1: 参考原理图默认采用RGB屏, RGB屏与MCU屏两者二选一

备注2: MCU屏的WR/RD及Data信号有固定IO (具体可参考芯片规格书), 其他信号可使用GPIO控制

8位MCU屏



8位RGB屏

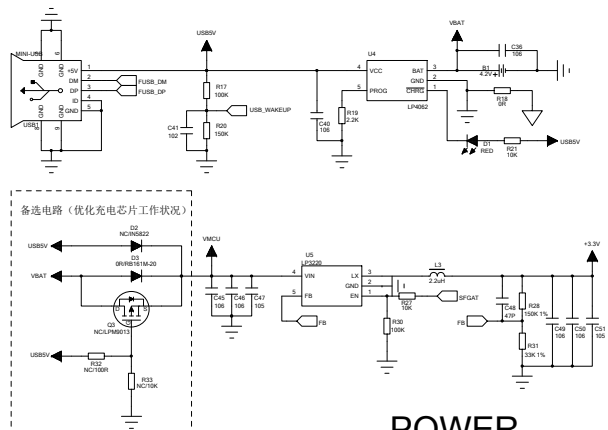


LCD

喇叭端的差分回采电路(用于语音打断唤醒)说明:

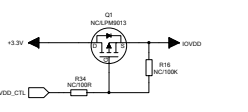
1. 电路参数的选择可根据功放、喇叭及音质等作相应调整
2. 默认采用一级的低通滤波，客户可根据性能需求添加二级的低通参数

PA

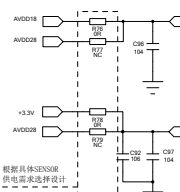
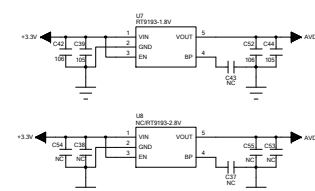


POWER

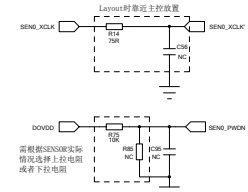
备注：以下电路默认NC，客户根据需求选用



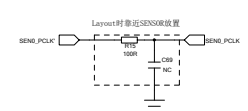
1. 开机时，先打开SFGAT后，再控制IOVDD_CTL输出低电平；
2. 关机时，先设置IOVDD_CTL为输入模拟高阻态或开内部上拉电阻后再关闭SFGAT



根据具体SENSOR
供电需求选择设计

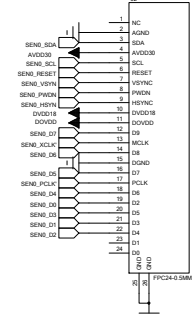


需根据SENSOR实际情况选择上拉电阻或者下拉电阻



Layout时靠近SENSOR放置

The diagram shows a clock signal labeled SEN0_PCLK. A sensor symbol is placed near the rising edge of the clock, with a dashed line indicating its position relative to the clock signal.



DVP-CAM