



## 二、最小系统外围模块

AC79 系列芯片最小系统各模块的 LAYOUT 注意事项及说明，如图 2 所示（截图以 AC7901B 为例）：

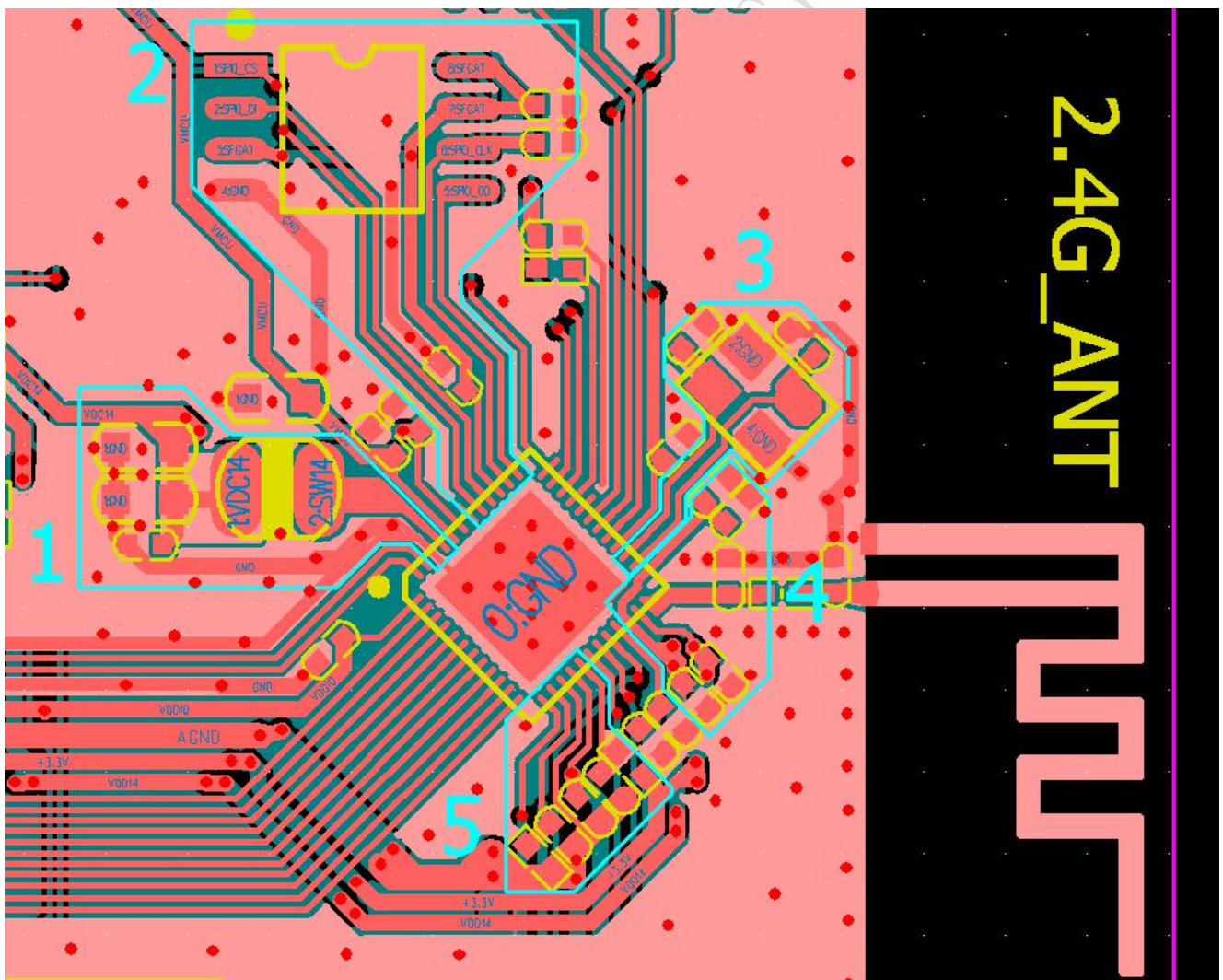
**模块 1** 为 1.4V 的 DCDC 降压电路，功率电感靠近芯片的 SW 管脚放置以确保短的走线，这样可减少开关电源工作时对外的辐射；其滤波电容需靠近电感放置，滤波电容地与 PGND 管脚连接尽量短且最终连回芯片衬底。需要注意的是 1.4V 电源质量直接关系到 RF 的性能。

**模块 2** 为 Flash 模块电路，Flash 靠近主控放置，其信号线做好包地屏蔽，避免干扰到其他敏感信号。为避免产生严重的 EMC 问题，Flash 时钟线尽量短且避免打过孔。

**模块 3** 为晶振模块，此位置为 24Mhz 晶振，精度要求 $\pm 10\text{ppm}$  以内，需预留晶振匹配电容位，并且靠近主控芯片放置，晶振的稳定性直接影响 RF 的性能，晶振信号不允许与高速数字信号线并向布线，晶振外壳接地屏蔽（推荐 3225 封装的晶振）。

**模块 4** 为 RF 电源模块，VDD14 及 VDD33A 的滤波电容需靠近主控放置，且其电容地与芯片衬底（底 PAD）有良好回路，若空间允许，建议夹在 24M 晶振与 RF 脚中间的 VDD14 管脚留两个电容位置（贴上适当的值可优化 RF 性能指标）；若芯片 RF 管脚附近有地管脚应就近与芯片衬底（底 PAD）相连。

**模块 5** 为音频模块，音频相关电源（AVDDHP、DACVDD、VCOM）的去耦电容需靠近芯片放置，同时保证去耦电容地有良好的地回路，DAC/MIC/AUX 的参考地需单独连接到芯片 AGND，最后 AGND 在靠近功放端接到电源地（AGND 布线需尽量加粗）。



### 三、板载天线布局布线

1. 板载天线 Layout 时，板框边缘留 8-10mm 左右的净空区域用于设计和摆放天线，建议板载天线上覆盖阻焊油墨以防止氧化，同时要保证天线附近没有任何金属器件（如：电池、金属插座、按键、布线、螺丝等），另外天线下方的铺地是 RF 天线的辐射回路，需保证芯片及天线附近下方铺地平面的完整性，各层地平面多用过孔连接，如图 3 所示。

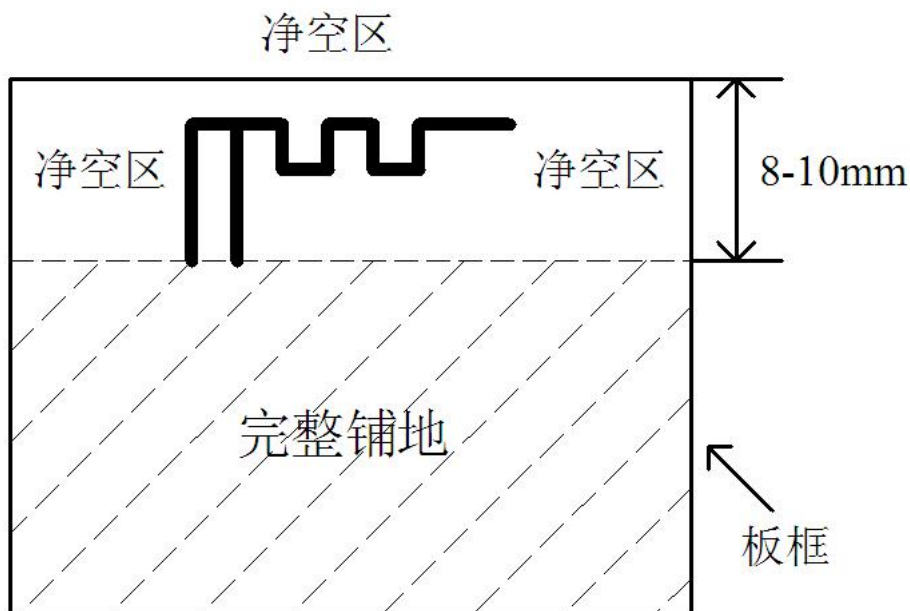


图 3

2. 微带馈线布线如图 4 所示，芯片与天线之间的微带馈线应做 50 欧姆阻抗匹配，布线线宽一般不小于匹配电感电容的焊盘宽度（电容电感建议选用 0402 封装）。微带馈线在双面板的 LAYOUT 宽度一般取 0.5~0.6mm，其铺地间距一般设为 0.127~0.15mm（最好借助工具计算调整），馈线应走短直线，对于无法避免的拐角走线需做圆滑处理，馈线下方务必完整铺地，且两边均匀打接地过孔，以保证 RF 微带馈线阻抗的连续性。

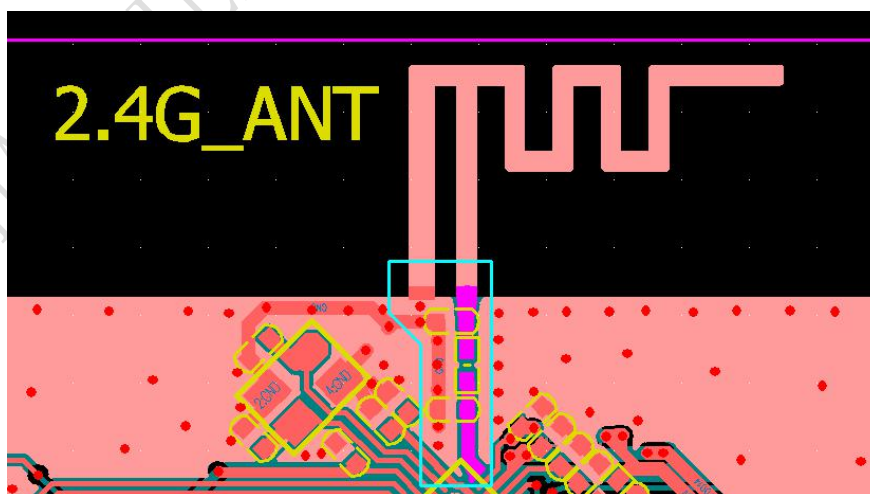


图 4

3. 天馈线的阻抗匹配建议使用网络分析仪进行测试选定匹配电感电容参数，需要保证测试样机安装完整（与量产出货产品保持一致）后进行的阻抗匹配。

#### 四、发射杂散优化处理

发射杂散最为有效的优化处理办法是增加滤波电路或滤波器。

1. 发射杂散主要为二次谐波、三次谐波等谐波，可在原天线匹配电路基础上增加低通滤波电路，如图 5 所示，滤波电路的参考取值（C1 为 0.8pF、L1 为 3nH、C2 为 0.8pF），可根据实际情况进行参数的调整；天线匹配电路的取值（C4、L2、C5 的数值）需根据天线的阻抗匹配来定；而 C3 为滤波电路与天线匹配电路的连接电容（C3 一般取值为 10~20pF），便于调试及测试，根据 LAYOUT 空间决定是否预留。

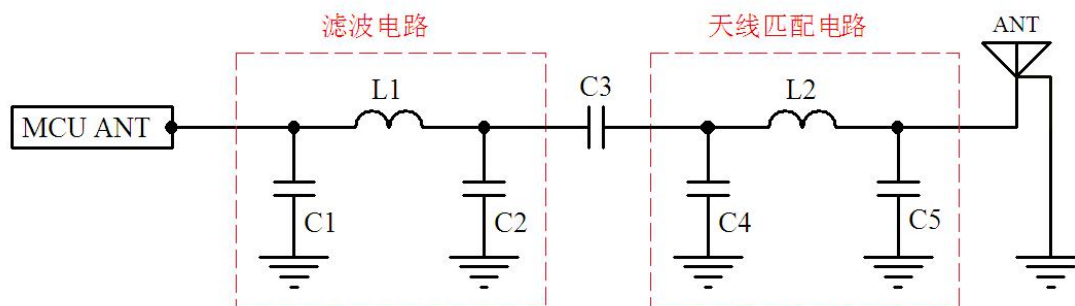


图 5

2. 滤掉二次、三次等高次谐波除了可以使用上面的滤波电路外还可使用 LPF(低通滤波器)来处理，如图 6 所示（滤波器为低通滤波器），低通滤波器的优点：在较低的插入损耗下同时可保证对高次谐波的过滤，且滤波器占 PCB 的面积较小。

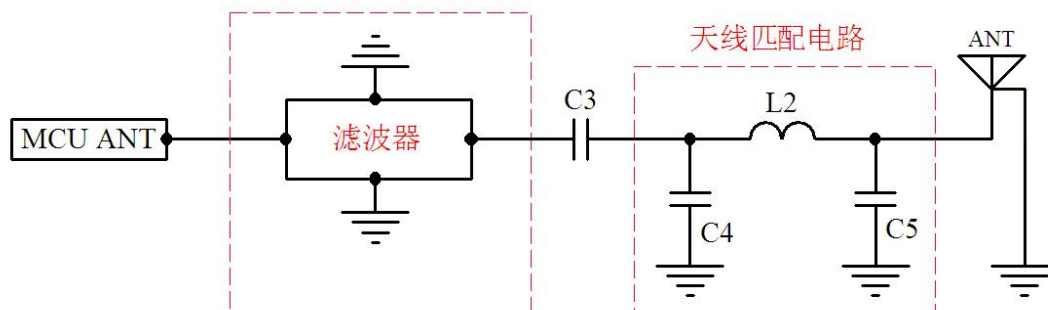


图 6

3. 发射杂散若除了二次、三次等高次谐波外还存在其他较低频率的杂散，可用 BPF(带通滤波器)去处理，如图 6 所示（滤波器为带通滤波器），且带通滤波器可提升芯片 RF 端的抗静电能力。

备注：

- ①滤波器选型需关注的参数（插入损耗/Insertion Loss、回波损耗/Return Loss、衰减/Attenuation）
- ②RF 馈线上相关的电容选型（I 类陶瓷 COG 材质，电容量精度尽可能选高一些）
- ③RF 馈线上相关的电感选型（叠层型/薄膜型高频电感，电感量精度尽可能选高一些）



## 五、RF 静电优化处理

抗静电能力可以从“防”、“堵”和“疏”三个方面来处理优化

“防”：主要是指在芯片运输、贴片和装机过程中做好静电的防护措施，将生产过程中的静电水平严格控制好，避免生产过程导致的静电损坏。

“堵”：主要是通过增加样机壳体壁厚和密闭性来堵住或削弱静电进入壳体的通路，亦可增大 PCB 离壳体空隙间的距离（RF 天线放置位置应远离壳体间隙和对外接口），以通过增加空气间隙来衰减静电能量。

“疏”：主要是把进入壳体的静电尽快通过接地金属器件/大片地来疏散开。

针对板级的 RF 抗静电处理，可通过以下措施来优化：

### 1. 通过天线类型优化 RF 静电

有地回路的 RF 天线类型本身就具有很强的抗静电能力，此类天线用得最多的是倒 F 型的板载天线（如上文图 4 所示），由于倒 F 型天线的一端是直接连到地，当静电从天线端导入时大部分的静电会通过天线的接地处导走，从而提高芯片 RF 端的抗静电能力。

提示：倒 F 型天线的接地点需接到完整的地平面（可通过过孔把其他层也并起来，形成更完整的地平面）；且板载天线建议用阻焊油漆覆盖，除了有助于抗静电外，还可以防止天线氧化保证 RF 的稳定性。

### 2. 通过 ESD 器件优化 RF 静电

对于没有地回路的天线（绝大部分外置天线均为无地回路天线）建议在靠近辐射天线端并接 ESD 器件，如图 7 所示，ESD 器件的接地处需为较大片的完整地，且在接地焊盘位置就近打孔连接其他地层平面。由于 ESD 器件存在寄生电容，为避免其对天线馈线阻抗的影响，添加 ESD 器件后需重新匹配测试天线性能。

同理，上述有地回路的天线无法达到静电要求，同样建议使用 ESD 器件处理。

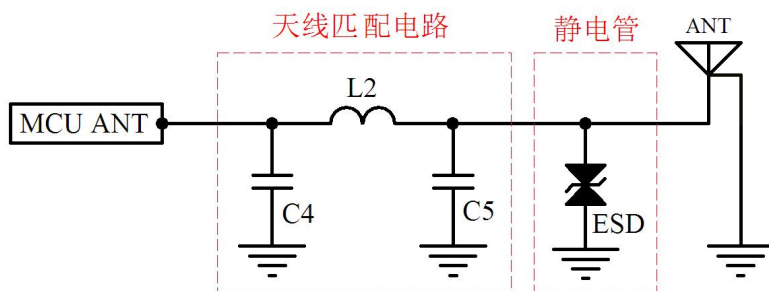


图 7

备注：ESD 器件常规选型（双向，工作电压  $V_{RWM} = \pm 4V$  左右，钳位电压  $V_C$  与触发电压  $V_t$  大于 4V 且越低越好（建议值 6V 左右），寄生电容 0.5P 或以下）。

### 3. 通过滤波器优化 RF 静电

BPF（带通滤波器）除了上述的去杂散功能外，同时也有过滤部分静电干扰的能力。由于静电的放电频率能量主要分布在低频区域（低于 2.4G 的 RF 工作频率），因而在馈线中的带通滤波器也可以理解为一个静电衰减器。即便如此，也建议在靠近天线端预留 ESD 器件，如图 8 所示。

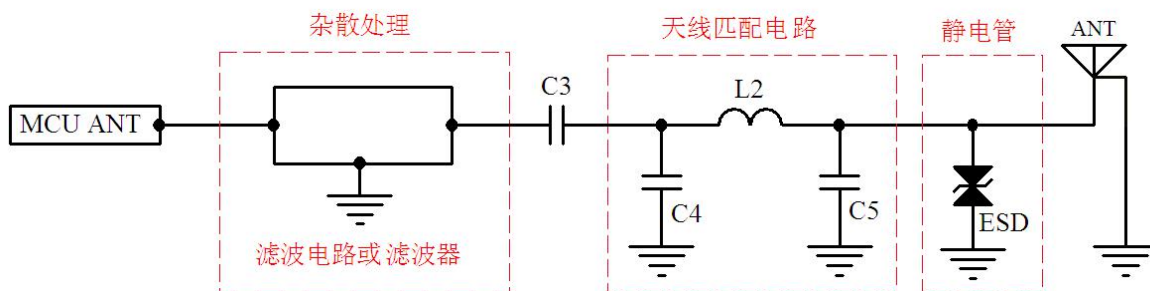


图 8

#### 4. 通过板级 LAYOUT 处理优化静电（RF 静电处理外的一个补充项）

良好的 LAYOUT 亦可提高抗静电的能力，建议如下：

- ①板边为易受静电干扰的地方，因此板边尽量不要走信号线，且最好用 GND 铺铜处理；
- ②外部供电线和 GND 与其它布线之间的距离保持在 0.2mm~0.3mm，必要时通过磁珠隔离外部供电；
- ③USB、SD 卡、按键等外部可接触到的接口应就近预留静电管，必要时可选贴静电管改善抗静电能力；
- ④重要信号线（如 Reset、Clock 等信号线）的安全距离最好大于 0.3mm，减弱静电串入；
- ⑤不同层的 GND 尽可能多地用通孔相连，保证地平面完整性，避免局部地平面抖动导致系统异常；
- ⑥静电有尖角放电特性，铺铜时应尽量避免尖角，有尖角应尽量使其平滑。

## 六、EMC 优化处理

EMC 问题的板级优化处理，建议如下：

- ①靠近主控端的 AGND 管脚预留接地电容位，必要时贴上 102 电容；
- ②RF 馈线中预留 BPF 带通滤波器，具体参照第四节的第三部分；
- ③靠近主控端的 VDDIO 管脚预留接地电容位，必要时贴上 103 电容；
- ④靠近主控端的 SFGAT 管脚预留接地电容位，必要时贴上 103 电容；
- ⑤Flash 的 SPI\_CLK 靠近主控端串 75Ω 电阻，需做包地处理，且尽量避免换层走线。必要时，其它数据线也串电阻处理；
- ⑥Sensor 的 SEN\_XCLK 靠近主控端串 75Ω 电阻，需做包地处理，且尽量避免换层走线。而 SEN\_PCLK 在靠近 Sensor 端串 100Ω 电阻，需做包地处理，且尽量避免换层走线；
- ⑦高速的信号线均要避免板边走线，同时板边最好为 GND 铺地。

提示：时钟或其他高速翻转的信号线均有可能存在 EMI 问题，可参考上述相关处理。