

原创性声明

郑重声明：此篇题为《基于 FPGA 的数字视频转换接口的设计与实现》的论文，是作者在导师的指导下，于武汉大学攻读硕士学位期间，进行研究工作所取得的成果。根据作者所知，论文中除了参考文献列举的地方外，不包含其他人已经发表或撰写过的研究成果。本声明的一切法律结果由本文作者承担。

作者签名：赵东方 李雄 于心亮 程方敏

导师签名：黄启俊 常胜

撰写日期：二零零七年八月二十四日

基于 FPGA 的数字视频转换接口的设计与实现

作者：赵东方 李雄 于心亮 程方敏

导师：黄启俊 常胜

(武汉大学物理科学与技术学院电子科技系，武汉，430072)

摘 要：本设计针对 MT9M111 这款数字图像传感器，采用 Altera 公司 Cyclone 系列的 FPGA 作为主控芯片，实现了对图像传感器输出的 ITU-R BT.656 视频数据的采集，色彩空间转换，以及在 DVI-I 显示器上显示的全过程。通过本设计，图像能够以 1280×960 (60Hz) 和 1280×1024 (60Hz) 两种显示格式在 DVI-I 显示器上显示，并且具有图像静止功能。同时，在系统空闲时，可以将系统设置为待机状态，实现了低功耗。

关键词：ITU-R BT.656 视频数据；FPGA；AS 配置；SDRAM；D/A；TMDS；DVI-I

The design and implementation of a digital video conversion interface based on FPGA

Author: Zhao Dongfang Li Xiong Yu Xinliang Cheng Fangmin

Tutor: Huang Qijun Chang Sheng

(Department of Electronic Technology, College of Physics and Technology

Wuhan University, Wuhan, 430072, P.R.China)

Abstract: This design, which is aimed at the digital image sensor MT9M111, used Altera Cyclone FPGA as the main control chip, and implemented the whole process of the collection of the ITU-R BT.656 video data from the image sensor, color space conversion, and the display on DVI-I monitor. Through this design, the image can be displayed on DVI-I monitor in the mode of 1280*960 (60Hz) or 1280*1024 (60Hz), image freezing is also supported. Moreover, the system can be set into standby state when the system is idled, for low power consumption.

Keyword: ITU-R BT.656 Video Data; FPGA; AS Configuration; SDRAM; D/A; TMDS; DVI-I

0. 引言

随着计算机、多媒体和数据通信技术的高速发展，一方面使得数字视频技术得到了极大的促进和推动，另一方面也使得不同数字显示设备之间的接口互联问题日益突出，然而在当今市场上对于数字接口互联问题的重视还不够，在两个不同数字接口之间进行转换的设备还比较少见。本文从实际应用的角度出发，采用 Altera 公司推出的低成本、高密度的 Cyclone 系列 FPGA 作为主控芯片，设计了一款数字视频接口转换设备，该设备针对 MT9M111 这款数字图像传感器产生的 ITU-R BT.656 格式数据进行采集、色彩空间变换、分辨率转换等操作，完成了从 ITU-R BT.656 格式数据到 DVI 格式数据的转换，使得 MT9M111 数字图像传感器的 BT656 数据格式图像能够以 1280×960（60Hz）和 1280×1024（60Hz）两种显示格式在 DVI-I 接口的显示器上显示，并且还具有图像静止功能，在系统空闲时的待机状态实现了整机的低功耗，适用于使用移动设备的工业现场。采用 FPGA 可编程芯片，让整个系统拥有了较大的灵活性，不仅可以轻松的实现数字接口的转换功能，而且还可以很方便地利用芯片的可配置性来完成系统的在线升级维护，提升了系统的应用价值。

1. 数据格式简介

1.1 MT9M111 芯片的 ITU-R BT.656 视频数据格式^[1]

MT9M111 芯片是美光科技公司推出的新型低噪音 Digital Clarity 片上系统（SOC）130 万像素 CMOS 图像传感器，该图像传感器能输出 ITU-R BT.656、565RGB、555RGB 和 444RGB 原始和处理过的视频数据，与标准的 ITU-R BT.656 隔行扫描的数据格式不同，这款图像传感器输出的数据格式是逐行扫描的数据格式，因此在设计时，视频数据流的处理部分就可以不用区分奇偶场，降低了设计的复杂度。

MT9M111 图像传感器输出的一帧完整的视频 ITU-R BT.656 图像矩阵如右图 1 所示的四部分组成，矩阵的大小是可配置的，其输出的顺序依次为从左到右，从上到下。图 1 中左上角的灰色部分为像素数据，其余白色部分均为消隐数据。按照串行数据流的表示方式，MT9M111 图像传感器输出的一帧数据也可以表示由图 2 来表示，图 2 中上半部分的数据为的一帧数据，下半部分为的一行数据（timing codes、视频数据和消隐数据）。

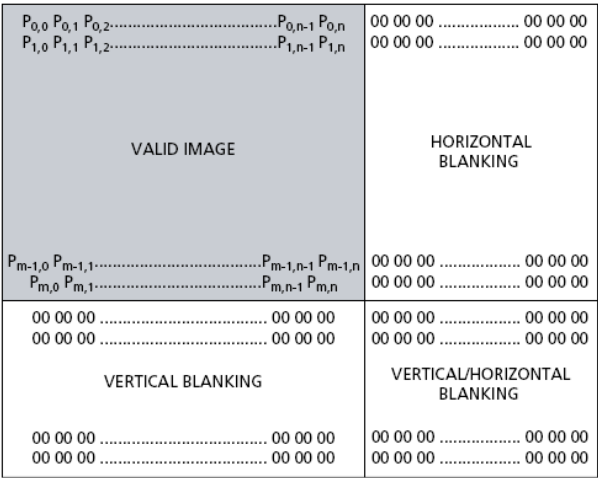


图 1 MT9M111 输出的一帧图像矩阵

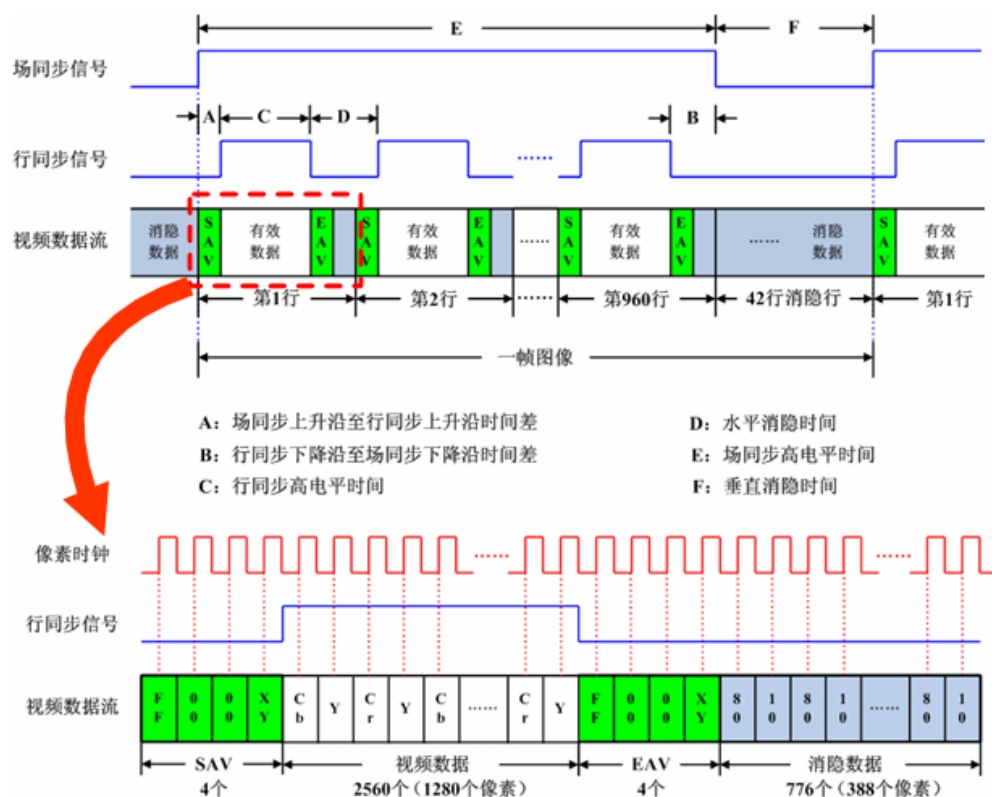


图2 MT9M111 输出的 BT.656 数据格式

1.2 DVI 数据格式^[2]

DVI (Digital Visual Interface) 接口标准是 DDWG (Digital Display Working Group) 组织推出的视频通信接口标准。它以 Silicon Image 公司的 PanalLink 接口技术为基础，以 TMDS (Transition Minimized Differential Signaling) 作为数据链路的基本电气连接形式，为数字视频数据的实时传输提供了一种高速的数据链路通道。DVI 接口标准提供了两条独立的 TMDS 链路。每条链路的可用像素带宽如图 3 所示：

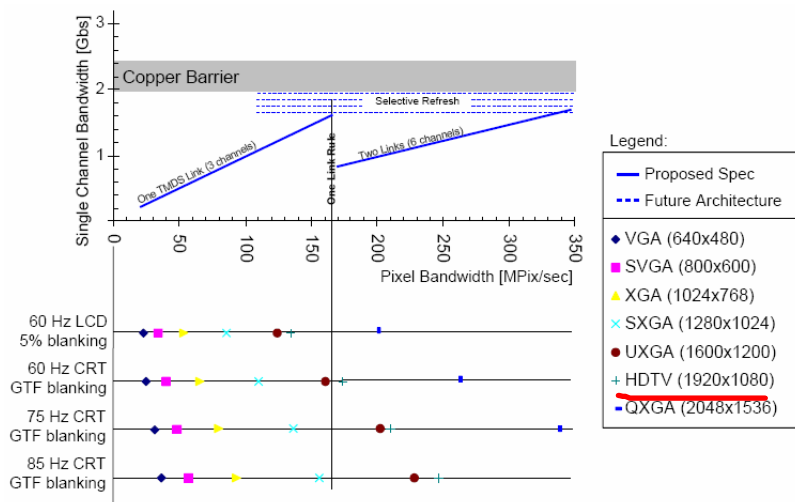


图3 DVI 链路像素带宽

单链路的最大像素带宽为 165MPix/sec，能够满足的最高图像显示格式为 1600×1200（60Hz）。当图像的显示格式超过此值时，需要两条链路同时传输视频数据。由于两条链路共用一条时钟通道，因此数据传输带宽由两条链路平均承担。单链路的通道连接结构如图 4 所示^[3]：

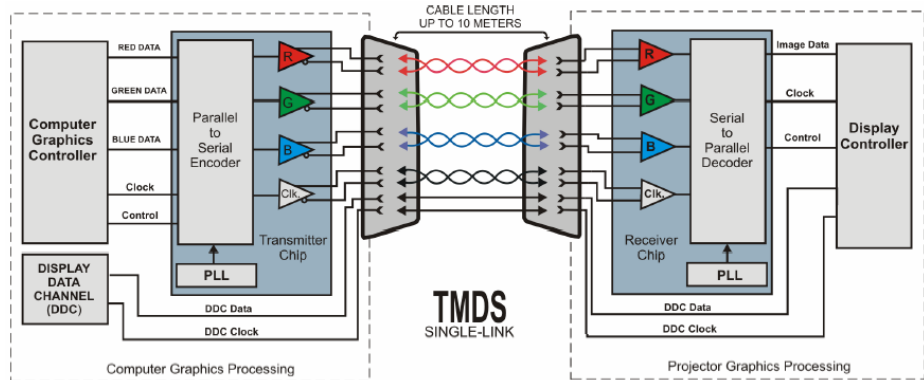


图 4 单链路通道连接结构

在单链路结构中，图像处理终端由图像控制器将 R、G、B 三组视频数据（每组 8bit）以及时钟和控制信号发送给 TMD5 发送芯片，在 TMD5 发送芯片中包含三个编码器，每个编码器负责对一组视频数据编码。编码后的码元（10bit）经过并串转换后，发送到 TMD5 链路上，并且最低位先被发送。图像接收终端中，TMD5 接收芯片将接收到的视频数据先进行串并转换，然后由其中的三个解码器分别对三个通道的视频数据解码。解码后的视频数据以及时钟和控制信号共同送给显示控制器来显示。

2. 整体方案设计

现实景物的采集与显示过程如图 5 所示。图像传感器 MT9M111 采集到现实景物后，将生成的 ITU-R BT.656 数据流由 ITU 数据输出端口发送给视频转换接口。视频转换接口将 ITU 数据输入端口送来的 ITU-R BT.656 数据流转换成 TMD5 数据流发送，通过 DVI-I 端口发送给显示终端显示。本设计方案中，MT9M111 输出图像的分辨率为 1280×960。

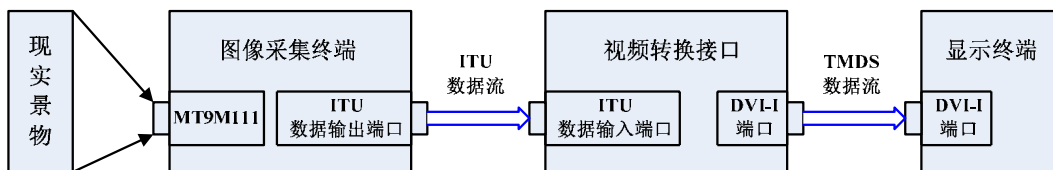


图 5 系统采集与显示过程

在现实景物的采集与显示过程中，视频转换接口功能的实现通过以下步骤来完成：

1) 对收到的 ITU-R BT.ITU656 数据流解交织

图像传感器 MT9M111 输出的 ITU-R BT.656 数据流中的视频数据是以串行的方式传输的，即每个像素的 YCbCr 值在同一个通道依次连续输出，且前后两个像素的 YCbCr 值有所交织，因此需要将交织在一起的串行 YCbCr 数据流拆解成独立的并行的 YCbCr 数据流。这部分的功能由 FPGA 来实现。

2) 对解交织后的数据流进行色彩空间转换

DVI 接口的 TMDS 链路上发送的是对像素的 RGB 值编码后的码元序列, 而视频转换接口收到的是像素的 YCbCr 值, 因此需要将每个像素的色彩值由 YCbCr 空间转换到 RGB 空间, 实现色彩空间的转换。由于色彩空间变换的公式是固定的, 所以 FPGA 在完成这部分数值运算操作时, 可以考虑采用 Mega Core 库函数来完成。

3) 将转换后的每个像素的 RGB 值写入存储器中

由于 BT.656 接口和 DVI 接口的视频数据流工作的时钟域是不同的, 同时考虑到视频转换接口又要具有能够对分辨率进行调整的功能, 因此在系统中需要有专门的存储设备来实现这两种不同接口之间数据流的时序衔接以及分辨率格式的转换。同时考虑存储容量大和价格低的要求, 存储器宜选用 SDRAM 来完成数据的存取, FPGA 中可以利用状态机来完成对 SDRAM 的读写操作。

4) 从存储器中读出像素的 RGB 值, 并将其转换成 TMDS 码元序列

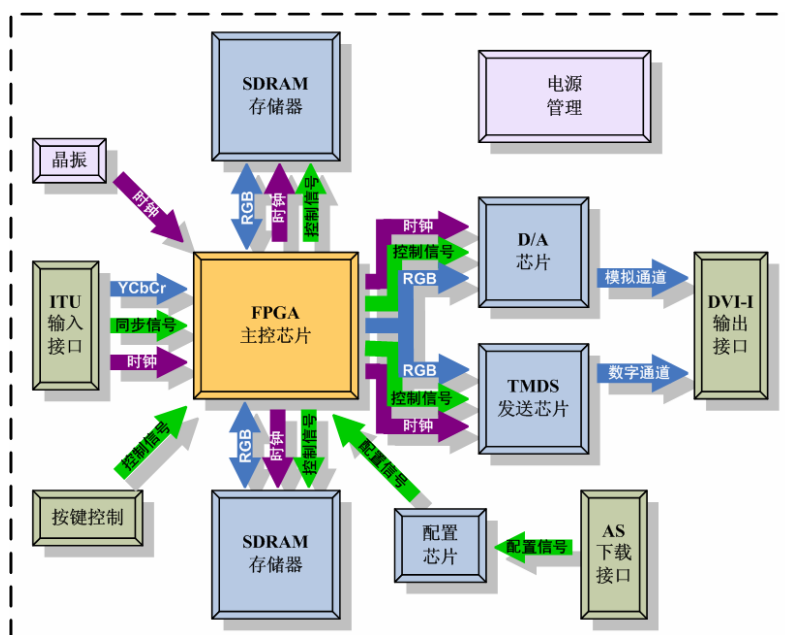
设计中输出图像的显示格式为 1280×960 (60Hz) 和 1280×1024 (60Hz), 根据 TMDS 链路上可用的像素带宽情况, 需要的像素传输带宽在 100M (像素/秒) 左右, 因此只用一条 TMDS 链路就可满足要求。但是考虑到 TMDS 链路上传输的是编码后的串行码元, 根据 TMDS 链路的编码规则, 链路上传输的码元速率将达到 1G (码元/秒) 左右, 这样高的速度对于 FPGA 的实现是比较困难的, 所以需要采用专用的 TMDS 发送芯片来实现 TMDS 数据流的发送, 即由 FPGA 将像素的 RGB 值从 SDRAM 中读出, 并按照 VGA 的时序标准发传送给 TMDS 发送芯片, 再由 TMDS 发送芯片完成对每个像素的 RGB 值的编码和并串转换, 然后将其发送到 TMDS 链路上, 提供给 DVI 显示器显示。因此, 这部分工作需要 FPGA 和 TMDS 发送芯片共同协作完成。

5) 从存储器中读出像素的 RGB 值, 并将其转换成 VGA 模拟信号值

由于 DVI-I 接口能对 VGA 模拟信号兼容, 因此系统需要有能够直接输出 VGA 模拟信号的单元, 而 FPGA 内部没有 DA 转换单元, 因此不能通过 FPGA 来直接产生模拟信号, 还需要另外添加专门的图像 DA 芯片来完成模拟信号的产生。系统工作时, FPGA 将从 SDRAM 存储器中读出的 RGB 值送至图像 DA 芯片进行数模转换变成模拟信号值由 DVI-I 接口 直接输出, 这样通过 DVI-I/VGA 转换接口系统也能将图像在 VGA 显示器上直接显示。

3. 硬件构架设计

根据整体方案的设计思路, 系统的硬件构架框图如图 6 所示。图像传感器输出的 ITU 信号 (包括 YCbCr 数据流、行场同步信号和像素时钟) 经 ITU 输入接口送入 FPGA 主控芯片。FPGA 主控芯片对 ITU 信号进行解交织和色彩空间转换, 再将转换后的每个像素的 RGB 值写入 SDRAM 存储器。再由 FPGA 主控芯片按照输出分辨率的要求从 SDRAM 存储器中读出像素的 RGB 值, 并按照 VGA 的时序标准, 将像素的 RGB 值发送给 TMDS 发送芯片和 D/A 芯片, 由 TMDS 发送芯片提供视频数据的数字通道, 由 D/A 芯片提供视频数据的模拟通道, 共同汇集到 DVI-I 输出接口, 传送到数字显示器或模拟显示器上显示。



输出图像的分辨率要求 FPGA 与 TMDS 发送芯片之间传送数据的带宽在 100M(像素/秒)以上, 因此要求 FPGA 的速度足够快。同时由于 FPGA 与外围器件之间的互联比较多, 因此要求 FPGA 的引脚数足够多。同时由于晶振提供的时钟频率为 50MHz, 满足不了 100M(像素/秒)以上的传输速度, 因此需要 FPGA 内部带有锁相环。另外, 为了实现系统脱机工作, 要求 FPGA 支持配置芯片。最后, 考虑到系统占用的面积和以后版本的升级, 要求 FPGA 的内部资源尽量丰富。为此, 系统最终选用了 Altera 公司 Cyclone 系列的 FPGA 芯片, 型号为 EP1C6Q240C6。这种型号的 FPGA 的高速 LVDS I/O 脚的工作速度可达到 640Mbps, 低速 LVDS I/O 脚的工作速度也能达到 311Mbps; 引脚数 240 个, 其中可用引脚数 185 个; 锁相环 2 个; 支持低成本串行配置器件; 逻辑资源 5980 个; 存储资源 92160 比特^[4], 完全满足系统对 FPGA 的要求。

系统选用的 FPGA 为 Cyclone 系列, 与这种系列配套的配置芯片型号为 EPCS1, 因此配置芯片选用的是 EPCS1S18 型号串行主动配置芯片。由 AS 下载接口将程序写入到配置芯片中, 在系统上电后, 由 FPGA 主动要求配置芯片对其进行配置, 使此视频接口具有脱机工作的能力。

考虑到视频数据的存储和显示是同时进行的,而 SDRAM 存储器是单端口器件,数据的写入和读出不能同时进行,故需要两块 SDRAM 同时进行乒乓操作来完成数据的连续读写。考虑到此视频转换接口输入图像的分辨率为 1280×960 ,其中每个像素值为 24 比特,因此要求 SDRAM 存储器的容量要大于 1228800×24 比特。另外,由于输出图像的分辨率要求 FPGA 与 TMDS 发送芯片之间传送数据的带宽在 100M (像素/秒) 以上,因此要求 FPGA 与 SDRAM 存储器之间传送数据的带宽也要在 100M (像素/秒) 以上。最后考虑到系统的扩展和升级,最终选用了 Micron 公司的型号为 MT48LC2M32B2TG-6 的 SDRAM 存储器。这种型号的存储器的容量为 $2\text{Meg} \times 32$ 比特;工作速度可达到 $166\text{MHz}^{[5]}$,完全满足系统的要求。

TMDS 发送芯片选用的是 Silicon Image 公司的 SiI164CT64 型号。它支持的 TMDS 单链路上的像素带宽范围在 25M（像素/秒）至 165M（像素/秒）之间^[6]，满足 FPGA 与 TMDS 发送芯片之间传

送数据的带宽在 100M（像素/秒）以上的要求。另外，它的外围配置电路较少，通过将配置引脚与 FPGA 相连，可以实现多种配置使其工作在不同的方式下，设计灵活性大。

由于输出图像的分辨率要求 FPGA 与 TMDS 发送芯片之间传送数据的带宽在 100M（像素/秒）以上，这一数据流同时又要送入 D/A 芯片完成数模转换，因此要求 D/A 芯片的转换速率在 100MHz 以上。同时由于 R、G、B 的数据宽度都为 8 位，因此需要选用专用的图像 D/A 芯片，它需要具有 R、G、B 三路数据通道，每路的宽度至少为 8 位。根据以上要求，系统最终选定 CSEMIC 公司的 CSV7123 型号的图像 D/A 芯片。这种型号的图像 D/A 采样速率最大值为 240MHz；具有 R、G、B 三路数据通道，每路的宽度为 10 位^[7]。因此完全符合系统的要求。另外，它的外围配置电路也很简单，价格也不高。

考虑到系统的通用性，系统电源部分输入的电压选为 5V。由于上面的芯片工作电压都为 3.3V（其中 D/A 芯片也可以工作在 5V），因此需要一块 5V 转 3.3V 的稳压芯片。另外 Cyclone 系列的 FPGA 的核心电压为 1.5V，因此需要一块 3.3V 转 1.5V 的稳压芯片。同时，考虑到各个芯片对功耗的要求，5V 转 3.3V 的稳压芯片应为各个芯片提供足够的功率。因此最终选定的 5V 转 3.3V 的芯片为 BCD Semiconductor 公司的 AZ1117D 型号的稳压芯片，它的输出电流可以达到 1A^[8]，能够满足各个芯片的功耗要求。3.3V 转 1.5V 的芯片选用 Advanced Monolithic Systems 公司的 AMS1117-1.5 型号的稳压芯片，它的输出电流可以达到 800mA^[9]，能够满足 FPGA 内核部分对功耗的要求。

4. FPGA 功能设计

FPGA 作为系统的主控芯片，是软件设计的核心。根据整体方案的设计思路，FPGA 主控芯片的工作过程为：首先接收由图像传感器送来的 ITU-R BT.656 格式的视频数据流，经过解交织操作，将像素数据流中交织在一起的串行 YCbCr 值解成独立的并行 YCbCr 值。然后对解交织的 YCbCr 值进行色彩空间转换，转换成对应的 RGB 值。接着将此 RGB 值存入一块 SDRAM 存储器。与此同时，从另一块 SDRAM 存储器中读出像素的 RGB 值，并发送给 TMDS 发送芯片和 D/A 芯片，经过数字通道和模拟通道后，传送到 DVI 显示器或 VGA 显示器上显示。根据 FPGA 主控芯片的工作过程，设计的软件功能框图如图 7 所示：

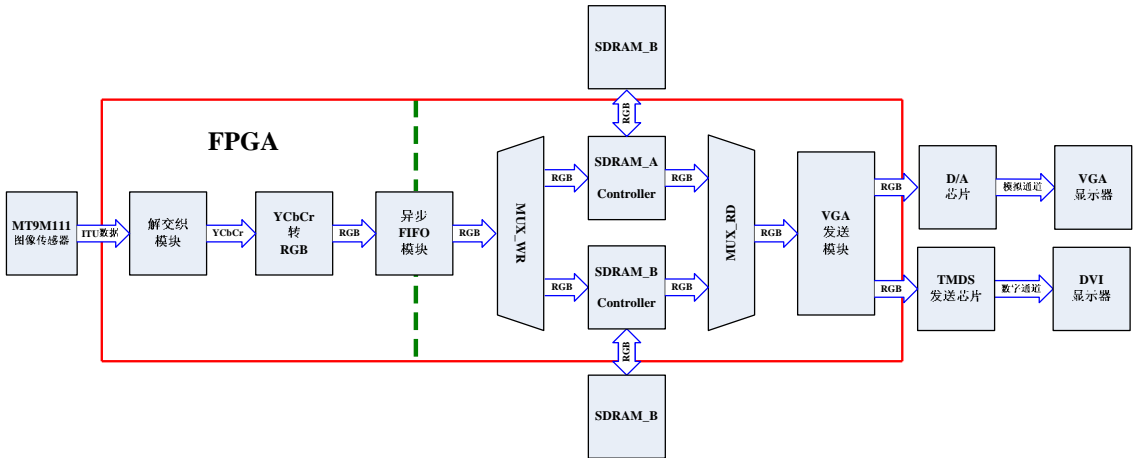


图 7 软件功能框图

图中 FPGA 内部的工作时钟有两个，以图中的虚线为界，虚线左侧部分使用的时钟为图像传感器的 54MHz 像素时钟；虚线右侧使用的时钟是经过锁相环将晶振的 50MHz 时钟倍频成 108MHz 以后的时钟，其中 108MHz 的时钟是由输出图像的分辨率所决定的。两个时钟域通过异步 FIFO 相连。整个系统共分成 6 个模块：解交织模块、YCbCr 转 RGB 模块、异步 FIFO 模块、乒乓操作模块、SDRAM 控制器模块和 VGA 发送模块。

4.1 解交织模块

解交织模块首先根据 ITU 场同步信号判断出一幅完整图像数据流的起始和结束位置，接着在 ITU 行同步信号有效期间对 ITU-R BT.656 格式的数据流解交织。解交织的示意图如图 8 所示：

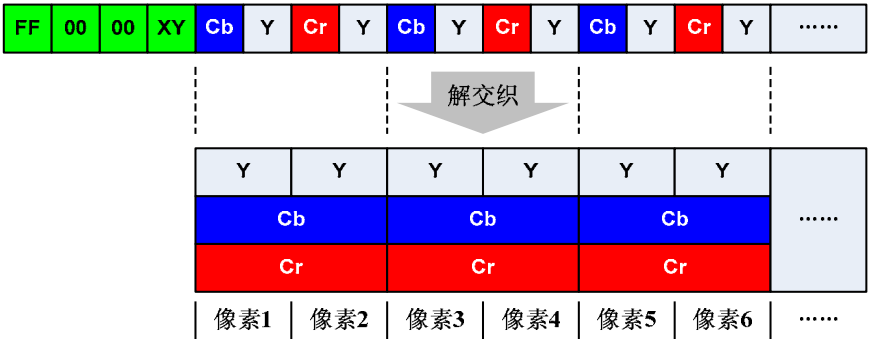


图 8 解交织示意图

ITU-R BT.656 格式中 YCbCr 是 4: 2: 2 的格式，在解交织的过程中将每个 Cb、Cr 各复用了一次，使得 YCbCr 变为 4: 4: 4 的格式，从而使每个像素的 YCbCr 值独立开来。

图 9 为解交织模块的仿真波形：

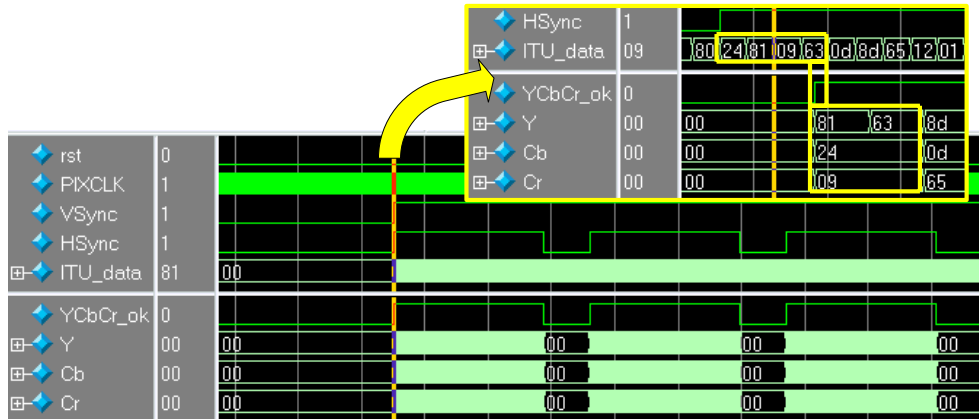


图 9 解交织模块仿真波形

图中白线上半部分为输入的视频数据流，下半部分为解交织后的数据流。从上面的小图中可以看到，ITU 行同步信号有效期间的前四个像素数据为 24、81、09、63，经过解交织后变成并行的 81、24、09 和 63、24、09，他们分别是两个独立像素的 YCbCr 值，说明像素的 YCbCr 值可以成功的从输入的数据流中解出。图中 YCbCr_ok 信号指示解出的数据流的有效范围。

4.2 YCbCr 转 RGB 模块

YCbCr 转 RGB 模块的作用是，根据解交织模块提供的数据有效信号（YCbCr_ok），将输入的

YCbCr 值转换成对应的 RGB 值。转换公式如（1）式所示：

$$\begin{bmatrix} R \\ G \\ B \end{bmatrix} = \begin{bmatrix} 1 & 0 & 1.402 \\ 1 & -0.344 & -0.714 \\ 1 & 1.772 & 0 \end{bmatrix} \begin{bmatrix} Y \\ Cb \\ Cr \end{bmatrix} + \begin{bmatrix} -179.456 \\ 135.424 \\ 226.816 \end{bmatrix} \quad (1)$$

在 FPGA 中，浮点运算很难实现，因此需将（1）式中的各个系数变换成整数后再进行运算，方法是先将各个系数放大 1024 倍，得出最后的 R、G、B 结果后再除以 1024，如（2）式所示：

$$\begin{bmatrix} R \\ G \\ B \end{bmatrix} \square 1024 = \begin{bmatrix} 1024 & 0 & 1436 \\ 1024 & -352 & -731 \\ 1024 & 1815 & 0 \end{bmatrix} \begin{bmatrix} Y \\ Cb \\ Cr \end{bmatrix} + \begin{bmatrix} -183763 \\ 138674 \\ 232260 \end{bmatrix} \quad (2)$$

模块中调用 Mega Core 的 IP 核 ALTMULT_ADD，完成 YCbCr 的乘加运算，得到的结果加上常数项后右移 10 位完成除法运算，得到最后的 RGB 值。由于 R、G、B 均为 8 位，取值范围为 0 到 255，而运算过程可能会生成负数和超过 255 的正数，因此运算结果需将负数取为 0，超过 255 的正数取为 255。这样做虽然会引入误差，但是对于最终图像的显示效果并不会会有太大的影响。

图 10 为 YCbCr 转 RGB 模块的仿真波形：

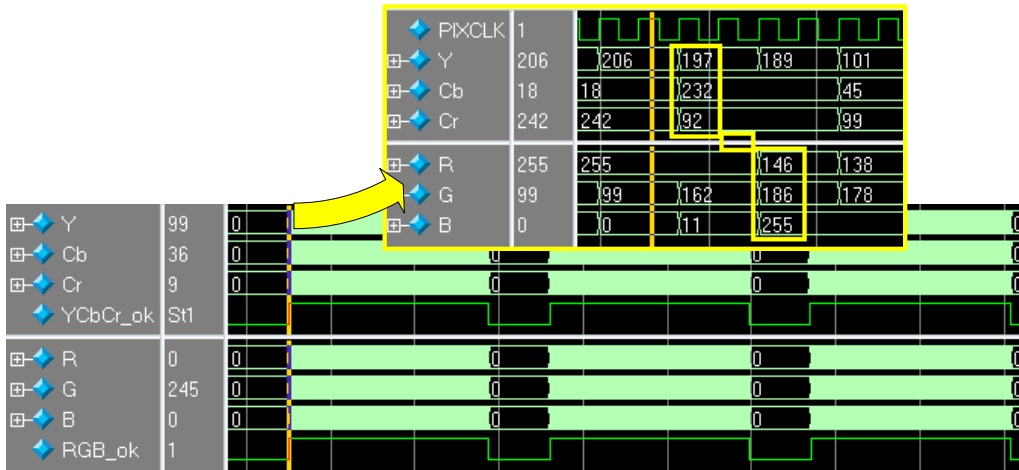


图 10 YCbCr 转 RGB 模块仿真波形

图中白线上半部分为 YCbCr 值，下半部分为对应的 RGB 值。将小图中上部的黄框中的 YCbCr 值带入（2）式，再经过取值范围的处理后，算得的结果与小图中下部的黄框中的 RGB 值完全吻合，说明转换过程正确。图中 RGB_ok 信号指示转换后的数据流的有效范围。

4.3 异步 FIFO 模块

异步 FIFO 模块做为两个异步时钟域间的接口，它的作用是存储像素时钟域（54MHz）中的输入图像中的一行像素的 RGB 值（共 1280×3×8 比特），供后级时钟域（108MHz）中的 SDRAM 控制器的读取。

数据的写入过程是依靠像素时钟和数据有效信号（RGB_ok）来完成的。当数据有效信号有效时，在像素时钟的控制下数据被写入 FIFO。由于像素时钟为 54MHz，而数据流的速率为 27MHz，

因此需要将像素时钟分频。考虑到同步设计的要求，模块中的每个触发器由统一的时钟控制，因此可以用 54MHz 的像素时钟产生一个 27MHz 的写使能信号，然后在 54MHz 的像素时钟控制下，检测 27MHz 的写使能信号的高电平，当检测到高电平以后，再改变 FIFO 的写地址。数据的写入可以不受写使能信号的控制，因此同一个写地址将被写入两遍。

当 FIFO 写满，即 FIFO 已存放了 1280 个像素数据时，FIFO 产生可读信号，通知后级数据准备好。可读信号一直有效到 FIFO 中的数据只剩下 7 个为止（因为 SDRAM 读写的突发长度为 8，即一次要从 FIFO 中读出 8 个数据。因此要在最后一次写操作后将可读信号设置成无效，使 SDRAM 控制器不再产生读 FIFO 信号以及写 SDRAM 的命令）。后级的 SDRAM 控制器根据可读信号产生读 FIFO 信号。在读 FIFO 信号有效时，SDRAM 控制器读出 FIFO 的数据并将其写入 SDRAM。

图 11 为异步 FIFO 模块的仿真波形：



图 11 异步 FIFO 模块仿真波形

图中白线上半部分为写时钟域，下半部分为读时钟域。由图可知，当 FIFO 存满一行像素后，可读信号有效。后级的 SDRAM 控制器收到此信号后，发出读 FIFO 信号，将一行像素从 FIFO 中连续读出，当 FIFO 中的数据只剩下 7 个时，可读信号无效，通知 SDRAM 控制器此时读出的像素为最后 8 个像素。SDRAM 控制器读出最后 8 个像素后得知可读信号无效，于是将读 FIFO 信号置成无效，完成一次读 FIFO 的操作。

4.4 乒乓操作模块

此模块包含两个多路选 `mux_wr` 和 `mux_rd`，`mux_wr` 用于选择哪个 SDRAM 处于被写入数据的

状态，mux_rd 用于选择哪个 SDRAM 处于被读出数据的状态。模块的主要任务是协调两个 SDRAM 的读写操作，在第一块 SDRAM 被写入数据的同时，第二块 SDRAM 被读出数据供 VGA 发送模块发送。当第一块 SDRAM 存入完整的一幅图像数据后，两块 SDRAM 交换读写操作，第一块 SDRAM 由被写入数据转变为被读出数据，第二块 SDRAM 由被读出数据转变为被写入数据，当第二块 SDRAM 存入完整的一幅图像数据后，再切换两块 SDRAM 的读写操作，如此循环。

乒乓操作模块利用 ITU 场同步信号的上升沿来完成对两个 SDRAM 控制器的读写状态的切换操作时，需要注意的是，切换操作对于图像的存储没有影响，但对于图像的显示影响比较大，因此设计时需要切换操作发生的时刻进行具体的考虑，比如当切换操作发生在 VGA 的场有效期当中的行消隐期时，一幅图像只输出了一部分，因此需要利用新图像中的数据把上一幅没有显示完的图像的剩余部分弥补上。由于连续两幅图像的差别很小，因此可以保证画面的连贯性。

4.5 SDRAM 控制器模块

SDRAM 控制器模块在系统上电时负责初始化 SDRAM。待 SDRAM 初始化完毕后，控制器模块再接收外围模块的指示信号，并根据指示信号向 SDRAM 发出相应的读写操作命令，保证数据的正确写入和读出，以及 SDRAM 的刷新。整个控制器模块分成三个子模块：master 子模块、sdr_ctrl 子模块和 sdr_sig 子模块。

master 子模块在系统上电时，负责初始化 SDRAM。在初始化完毕后，根据收到的指示信号安排各种操作的时序，控制整个 SDRAM 的工作，包括：地址的产生和清零操作，发出刷新请求信号，激活信号和读写控制信号，所有的对 SDRAM 的操作都是从该模块开始的。

sdr_ctrl 子模块负责 SDRAM 控制器的命令状态转移。它接收来自 master 子模块的命令，受 master 子模块的控制，根据收到的命令进行状态转移，并向 sdr_sig 子模块提供状态信息。另外，该模块产生读 FIFO 信号和地址递增信号，分别用来读 FIFO 和使 SDRAM 的地址递增。该模块中的写状态转移时序如图 12 所示。读状态的转移时序和写状态的转移时序基本相同，不同的是需将可读信号换成取像素信号，tDAL 状态换成 CL 状态，写状态换成读状态，并且数据从 SDRAM 的读出要延迟三个时钟周期（这是由于 SDRAM 工作在 108MHz，按照数据手册的说明，它的数据读出的延迟为三个时钟周期）。sdr_sig 子模块模块的功能是通过判断 sdr_ctrl 子模块的状态，向 SDRAM 发送相应的命令和地址。

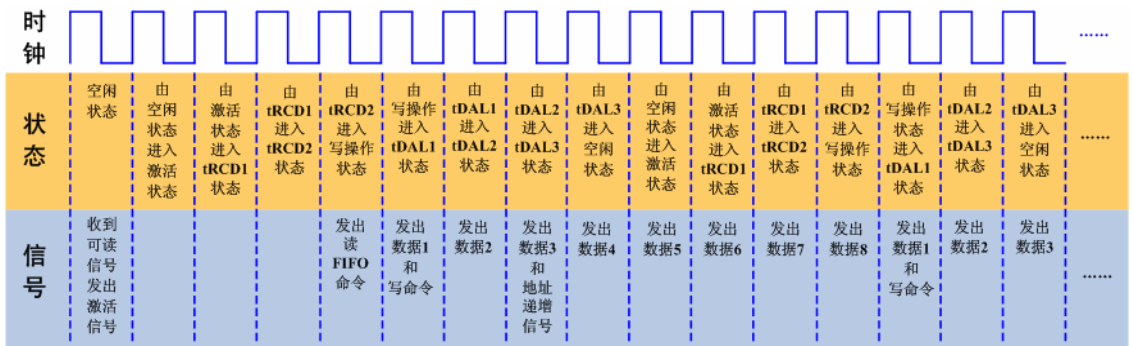


图 12 写状态转移时序

图 13 为乒乓操作模块及 SDRAM 控制器模块的仿真波形：

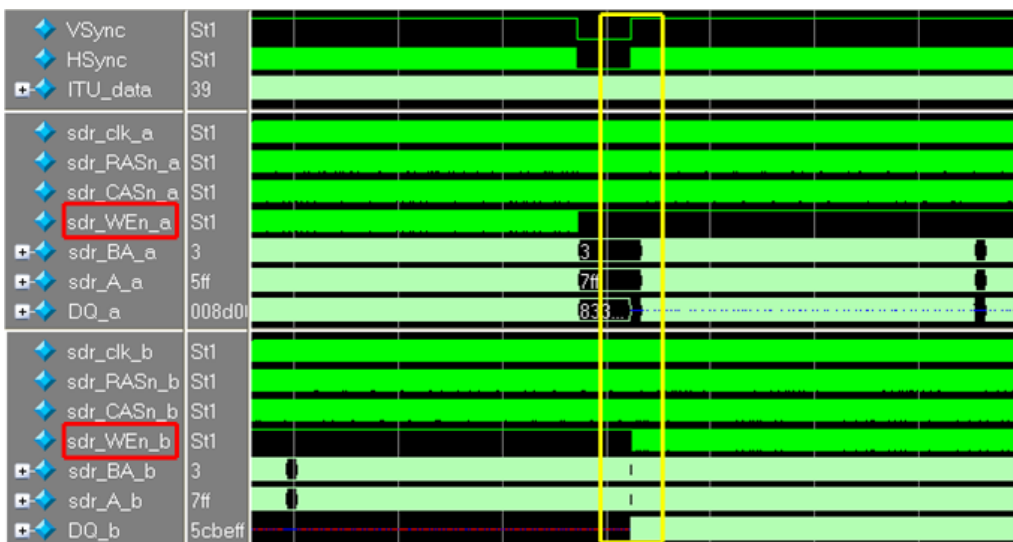


图 13 乒乓操作模块及 SDRAM 控制器模块仿真波形

由于乒乓操作模块及 SDRAM 控制器模块两者之间的操作联系得较紧密，因此两者的仿真波形放在一起说明。在图 13 的仿真波形中可以看出两个 SDRAM 控制器进行乒乓操作的效果。在第一帧数据中，sdr_WEn_a 信号的变化很频繁，说明 SDRAM_A 执行的是写数据的操作，而 SDRAM_B 执行的是读操作（由于读第一帧数据时，SDRAM_B 先前并无写入任何数据，所以输出是不定态）；而后，场同步信号上升沿的到来切换了读写操作。在第二帧数据时，SDRAM_A 被读出先前存储的数据，SDRAM_B 开始被写入数据，因此 sdr_WEn_b 信号的变化很频繁。

4.6 VGA 发送模块

VGA 发送模块根据 VGA 行同步信号的时序，向 SDRAM 控制器发出取像素信号，两个 SDRAM 中存放的像素值在乒乓操作模块的控制下交替送给 VGA 发送模块输出。VGA 发送模块发送的 RGB 数据，一路送 D/A 芯片转换为模拟信号输出，另一路送 TMDS 发送芯片转换为 TMDS 信号输出。系统输入图像的分辨率是固定的 1280×960 ，所以当输出分辨率为 1280×1024 时，需要在输出图像的上下部分分别加上 32 条黑行。

图 14 为 VGA 发送模块的仿真波形：

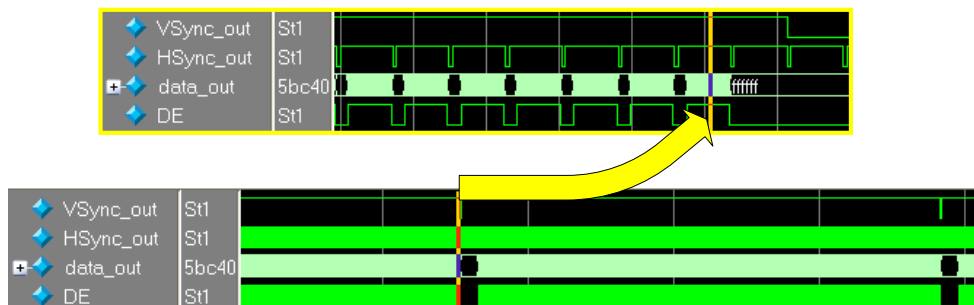


图 14 VGA 发送模块仿真波形

上面的小图显示了 VGA 场同步信号有效期内的 VGA 行同步信号的变化情况，下面的图显示了 VGA 场同步信号的变化情况。VGA 行场同步信号需要符合与输出分辨率对应的时序要求。

4.7 其他功能设计

4.7.1 图像静止功能的实现

系统检测按键中的图像静止位，当此位有效时，不响应 SDRAM 的读写切换操作，即处于读状态的 SDRAM 仍处于读状态，处于写状态的 SDRAM 仍处于写状态。只有当此位无效时，才继续响应 SDRAM 的读写切换操作。

4.7.2 系统待机功能的实现

系统检测按键中的待机位。当此位有效时，关闭 SDRAM 存储器的时钟，D/A 芯片的时钟及 TMDS 发送芯片的时钟，关闭 FIFO 模块及其前面的模块所用的像素时钟。同时将前后两个时钟域内的重要计数器清零。这样做的原因是：在进入低功耗模式后，由于存在不同的时钟域，两个时钟域内的信号停止工作的时间各有不同，这样会破坏信号之间的相关性，在电路恢复工作时可能会出现不确定的工作情况，导致电路无法正常工作。为此需要在进入低功耗状态时，对一些关键的寄存器清零，保证电路退出低功耗状态后就可恢复正常工作。

4.7.3 模式选择功能的实现

系统检测按键中的模式选择位。根据模式选择位来决定输出的模式。选择功能在设计时是在 VGA 发送模块中实现的，通过改变输出图像的有效行数来实现 1280×960 和 1280×1024 两种分辨率间的选择。

5. PCB 板介绍及图像显示效果

5.1 PCB 板介绍

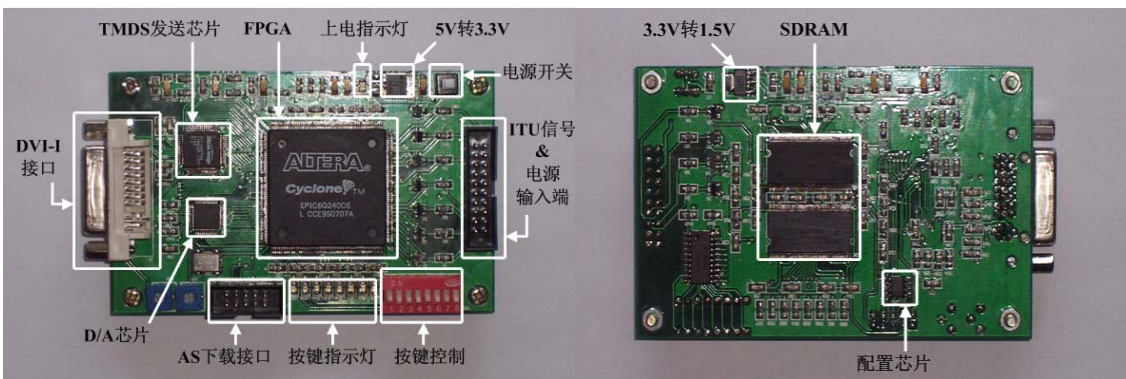


图 15 PCB 板介绍

PCB 制板采用的是四层板，以解决芯片间互联较多的问题。需要注意的是，TMDS 发送芯片的差分信号输出引脚与 DVI-I 接口之间的布线需要平行走线，这样才能够充分发挥 TMDS 差分信号抗干扰的能力。

5.2 图像显示效果

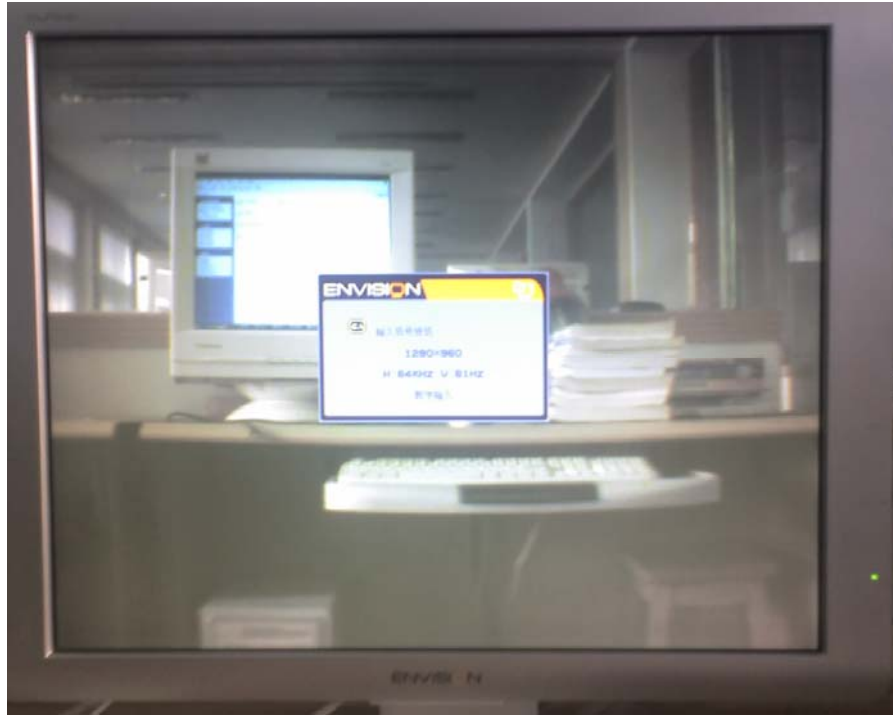


图 16 1280×960 模式下的显示效果

图 16 是输出图像分辨率为 1280×960 模式下的显示效果，图中显示器检测到的视频图像分辨率为 1280×960。

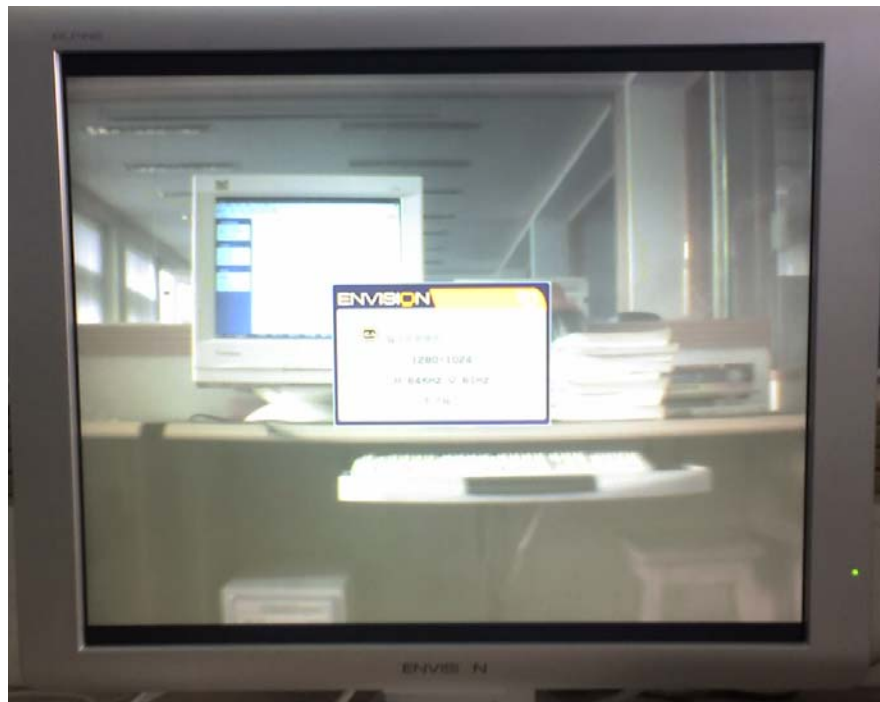


图 17 1280×1024 模式下的显示效果

图 17 是输出图像分辨率为 1280×1024 模式下的显示效果，图中显示器检测到的视频图像分辨率为 1280×1024。与上面的图对比，可以看出图像的上下部分加了黑行。



图 18 VGA 上显示效果

图 18 是由 DVI-I 输出接口经过 DVI/VGA 转换接口取出模拟信号后，在 VGA 显示器上显示的结果。

6. 结束语

本设计根据市场的需求，从实际应用的角度出发，采用 Altera 公司 Cyclone 系列的 FPGA 作为主控芯片，实现了一种数字视频接口转换设备。该设备针对 MT9M111 这款数字图像传感器，实现了将传感器输出的 ITU-R BT.656 格式的数据转换成 DVI 格式，并在 DVI-I 接口的显示器上显示的功能，完成了数字视频接口转换的任务。

本设计的主要特色有以下几点：

- 1) 通过本设备，输出的图像能够分别以 1280×960 (60Hz) 和 1280×1024 (60Hz) 两种显示格式在 DVI 显示器上显示，也可以通过 DVI/VGA 转换接口在 VGA 显示器上显示。
- 2) 本设备具有图像静止功能，用户可以通过按键控制画面的静止和运动。
- 3) 本设备具有待机功能，当设备处于空闲状态时，用户可以通过按键使设备处于待机状态，降低系统的功耗。
- 4) 本设备采用了可编程逻辑器件 FPGA 作为主控芯片，它承担了视频数据流的解交织，色彩空间转换，存储器的读写控制，VGA 信号的产生以及对 D/A 芯片和 TMDS 发送芯片的控制等多种任务。多种任务集中在一块芯片上实现，提高了系统的集成度。另外由于 FPGA 的可编程性，使得以上功能的调试和更改变得很方便，使整个系统拥有了很大的灵活性。
- 5) 由于主控芯片采用了低成本、高密度的 Cyclone 系列 FPGA，存储器采用了低成本、大容量的 SDRAM，D/A 芯片和 TMDS 发送芯片的价格也不高，因此整个设备在实现了以上功能的同时花费的成本并不高。

参考文献

- 【1】 Micron Technology, Inc. “MT9M111_SOC1310_2.fm -Rev.C 10/04 EN”. <http://www.micron.com>
- 【2】 Digital Display Working Group. “Digital Visual Interface Revision 1.0”. 02 April 1999
- 【3】 Dennis Kuo. “Overview of Digital Display Technology”. Hanel.csie.ncku.edu.tw.
- 【4】 Altera Corporation. “Cyclone FPGA Family Data Sheet”. <http://www.Altera.com.cn>
- 【5】 Micron Technology, Inc. “64MSDRAMx32_1.fm -Rev.H 10/06 EN”. <http://www.micron.com>
- 【6】 Silicon Image, Inc. “SiI164 PanelLink Transmitter Data Sheet”. <http://www.siliconimage.com>
- 【7】 Chinese Semiconductory Co.,Ltd. “CSV7123 Data Sheet”. <http://www.csemic.com>
- 【8】 BCD Semiconductor Manufacturing Limited. “AZ1117 Data Sheet”. <http://www.bcdsemi.com>
- 【9】 Advanced Monolithic Systems, Inc. “AMS1117 Data Sheet”.