

基于 FPGA 的图像数据采集卡及其驱动设计

焦文喆 翟正军 任岚昆

(西北工业大学计算机学院 西安 710129)

摘 要: 为了解决图像扫描设备与主机之间海量数据高速传输问题,提出了一种基于 FPGA 的图像数据采集卡的设计方法。该设计方法对采集卡的原理设计、FPGA 的开发以及驱动程序的实现进行了研究;板卡采用了 PCI9054 接口芯片与主机的 PCI 总线进行通信;根据采集卡的功能要求,FPGA 选择 ALTERA 公司的 EP1C6Q240C8;为保证采集系统实时性的要求,应用 WinDriver 及其 KernelPlugIn 技术在操作系统内核态下完成了驱动程序的开发。该采集卡具有 DMA 传输、可连续采集等特点,目前已成功应用于图像数据的采集。

关键词: 数据采集;FPGA;WinDriver;KernelPlugIn

中图分类号: TP274⁺.2 **文献标识码:** B

Design of image data acquisition card and driver program based on FPGA

Jiao Wenzhe Zhai Zhengjun Ren Lankun

(College of Computer Science, Northwestern Polytechnical University, Xi'an 710129, China)

Abstract: A new solution of image data acquisition card based on FPGA is introduced, to solve the problem of mass-data high speed transfer between the image scanner and the host computer. The principle design of the card, development of FPGA and the implement of driver program are presented. PCI I/O Accelerator PCI9054 is integrated to communicate with PCI bus of computer. To meet the function requirements, EP1C6Q240C8 is chosen as FPGA. Driver program is developed at the kernel of operating system using WinDriver and Kernel PlugIn technology, which is considered for real-time property of the system. The card has the features of DMA transfer and consecutive sampling. The instrument is now used for sampling of image data.

Keywords: data acquisition; FPGA; WinDriver; KernelPlugIn

0 引言

随着现代图像扫描技术的发展,图像数据采集的要求也日益提高。图像数据采集卡是图像信息获取与处理系统的前端部分,也是其最为关键的硬件平台之一。采集卡与主机间的海量数据能否高速传输是实现其性能的关键因素。本文设计的图像数据采集系统较好地保证了图像数据在传输过程中的实时性和完整性。

本系统集成成了现场可编程门阵列(field programmable gate array, FPGA)、外围部件互联总线(peripheral component interconnect bus, PCI Bus)、PCI9054 芯片,组成了以 FPGA 为控制核心的实时图像采集卡。通过使用 WinDriver 及其 Kernel PlugIn 技术在操作系统核心态下

开发出满足实时性要求的驱动程序。

1 板卡的硬件设计

1.1 板卡的设计需求

采集卡系统根据某型图像扫描设备设计完成。该采集设备具有 2 种扫描速率模式,图像数据传输速率分别为 26 MB/s 和 32 MB/s。图像扫描设备在运行过程中,每完成一帧图像的扫描将传输固定数目的相关电子信息数据。采集卡需要将 2 种类型数据进行区分并按照固定格式存储。

1.2 硬件整体结构设计

根据图像数据的特点,采集卡选用了具有低系统占用率、高传输速率特性的 PCI 总线,以保证采集卡与主机间

作者简介: 焦文喆,工学硕士研究生,主要研究方向为测控与仿真系统集成、嵌入式计算研究。

海量数据高速传输的可靠性。

由于 PCI 总线复杂的总线逻辑和电气规范,采集卡使用专用 PCI 总线控制芯片负责与 PCI 总线连接。根据传输速率的要求以及采集卡需使用 DMA 传输方式的特点,选用了由 PLX Technology 公司开发研制的 PCI9054 芯片。该芯片符合 PCI 规范 2.2 版本,本地端突发传输速率可达峰值 132 MB/s,支持复用或非复用的 32 位局部总线操作。芯片核心采用 3.3 V CMOS 技术,兼容 5 V 信号环境,符合低功耗的要求。本地端有 M、C、J 三种工作模式^[1]。

采集卡的核心处理器件是 FPGA,图像数据的实时采集与处理由它控制完成。采集卡中 FPGA 功能如下:(1)支持 LVDS I/O 信号,因所采集图像数据为低压差分信号(low voltage differential signaling, LVDS);(2)拥有内嵌锁相环,利于 FPGA 内部的时钟管理,提高系统的稳定性;(3)拥有充足的 RAM 单元,使开辟较大的 FIFO 空间成为可能,从而延长 FIFO 间切换存储过程中产生中断的间隔时间。由此,选用美国 ALTERA 公司 Cyclone 系列芯片,型号为 EP1C6Q240C8。

数据采集卡的硬件整体设计结构如图 1 所示。

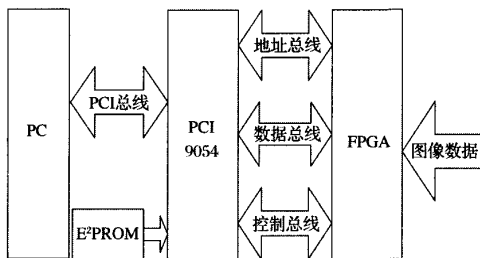


图 1 数据采集卡硬件组成框图

1.3 PCI9054 功能设置

按照要求,设定 PCI9054 工作在 C 模式下的 PCI Target 操作过程。PCI 总线主控设备可以以可编程的等待状态、总线宽度和突发传输功能访问 PCI9054 的 3 个本地空间(空间 0,空间 1 和扩充 ROM 空间)。

PCI9054 的 LOCAL 总线与 PCI 总线传输数据有 3 种方式:主模式(Direct Master)、从模式(Direct Slave)、DMA 方式。其内部集成了 2 个互相独立的 DMA 通道,每个通道都支持 Block DMA 和 Scatter/Gather DMA,设计中选用了 Block DMA。其中 Block DMA 由驱动程序提供 PCI 和 Local 的起始地址、传输字节数、传输方向,并设定“DMA 开始位”以启动数据传输。传输一旦完成,PCI9054 设定“传输结束位”结束 DMA,使能“中断允许位”,在传输结束时 PCI9054 将向主机申请中断,由主机对中断进行处理^[2-3]。

1.4 FPGA 内部逻辑设计

FPGA-EP1C6Q240C8 内部逻辑电路的设计采用

Altera 公司提供的 Quartus II 软件完成^[4]。FPGA 内部逻辑主要完成 3 大功能:数据格式的有效整合、数据类型判别、数据存储。

1.4.1 数据格式的有效整合

在采集卡应用的图像扫描系统中,采集数据包括列同步信号、帧同步信号、数据类型以及差分时钟信号等 20 位 LVDS 信号。根据这 4 位在不同时刻的组合意义,剩余 16 位 LVDS 信号所代表意义可能为 14 位图像数据和 2 位扫描方向信号或 16 位电子信息。由于采用 32 位数据总线的传输标准,此次设计通过将相邻数据的前者锁存 2 个时钟周期,在第 2 个时钟周期中将其左移 16 位并组合后一数据,使相邻 2 个图像或电子信息数据组合构成 32 位数据,以便于存储和传输。数据格式整合时序仿真真波形如图 2 所示。

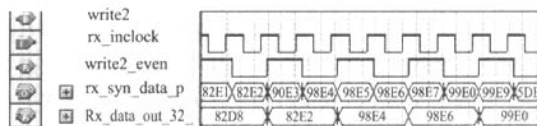


图 2 数据格式整合时序仿真真波形

1.4.2 数据类型判别

采集卡在工作过程中由于信号在传输线上的干扰或发送端时序的改变必然会接收到非有效数据,且由于图像数据传输的高速性,在短时间内就能够占据很大的存储空间,这将给图像数据的后续处理带来一些错误或误差。图像扫描设备在工作过程中,数据线为图像数据和电子信息数据所分时公用,其时间间隔依靠列同步、帧同步和数据类型 3 个信号进行控制。为了保证数据采集的有效性,采集卡组合了列同步、帧同步和数据类型 3 个信号对数据有效性进行强条件的判断。仅当列同步与帧同步信号有效、数据类型为图像数据时,或当列同步与帧同步信号无效时,数据类型为电子信息数据时才对线上数据进行采集,以避免无效数据的干扰。具体数据有效性判断时序仿真真波形如图 3 所示,其中 rx_in_syn、rx_in_syn_2、rx_in_syn_3 和 flag_AE 分别为列同步、帧同步、数据类型和数据类型判别信号。

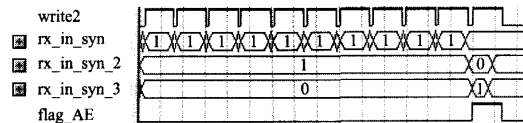


图 3 数据采集时序仿真真波形

1.4.3 数据存储

采集卡所接收的数据按照扫描设备的运行状态,具有稳定的周期性。扫描设备所采集的每帧图像具有固定的分辨率,其每列像素信息数据(即 960 B)将在 20 μ s 有效

时间内完成传输并间隔 $4\ \mu\text{s}$ 时间, 按此周期连续将一帧图像中所有列的图像数据传输完成后间隔 $0.5\ \text{s}$, 其间传输若干电子信息。为了提高数据存储的可读性, 根据每列图像数据的个数, 将其与采集到的其他电子信息数据组合, 实现每列图像数据占用 $1\ 024\ \text{B}$, 便于在存储器中进行内存分配与存储。

本次设计中, 数据存储模块采用同步时序电路方式。在 FPGA 内置 RAM 中, 利用 Altera 提供的参数化模块库 (LPM) 中 LPM_FIFO+ 分配 2 个 FIFO 进行交替存储, 其大小均为 $4\ 096\ \text{B}$ (恰为 4 列图像数据)。在时钟的配合下, 使用数据个数计数器和列计数器对 FIFO 状态进行判断。每当数据个数计数器计到 512 时, 即列数据块存满, 将其复位重新计数, 并将列计数器加 1。当列计数器每累计到 4 时, 更换 FIFO 进行数据存储, 当累计到 8 时, 复位重新计数。具体 FIFO 的工作如下: 首先, 采集的数据存储至第 1 块 FIFO 中, 当判断其数据存满后, 立即产生中断并将数据存储至第 2 块 FIFO, 与此同时, 主机通过 PLX 公司的 PCI9054 总线接口控制芯片响应中断请求并启动块模式的直接存储器存取 (DMA) 传输, 将第 1 块 FIFO 存储器中的数据传送到主机内存。当第 2 块 FIFO 的数据存满了之后, 也同样产生中断并将数据存至第 1 块 FIFO 中, 同时, 第 2 块 FIFO 中的数据就可以被主机系统取走。如此交替进行以实现图像信号的连续采样。具体数据存储时序仿真波形如图 4 所示。其中 Start_0_EN 与 Start_1_EN 分别为 2 个 FIFO 数据向内存传输的开始信号; write_0_end 与 write_1_end 分别指示向 0、1 FIFO 写数据; empty2_32_0 和 empty2_32_1 则代表 2 个 FIFO 是否为空。

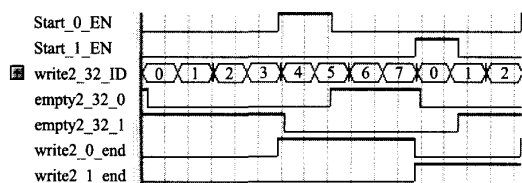


图 4 数据存储时序仿真波形

2 驱动程序设计

2.1 WinDriver 开发工具

WinDriver 是 Jungo 公司开发的一套设备驱动程序开发组件, 为创建高性能的驱动程序提供了一个完全的解决方案。WinDriver 的主要特点如下: (1) 编码和调试过程

可以在用户模式下实现; (2) 支持 PCI、ISA、ISAPnP、EISA 和 USB 等多种总线结构及其驱动程序的开发; (3) 支持 I/O、DMA、中断处理和访问板卡映射的存储器; (4) 可在多种主要的 Win32 编译环境中开发, 包括 MSDEV、VC/C++; (5) 提供了“核心插件”(Kernel PlugIn) 功能, 可在用户模式下编写的驱动程序中对性能要求较高的部分插入核心模式中, 同时实现了用户模式的易用和核心模式的高性能^[5]。

2.2 驱动程序结构

由于板卡采集信号产生中断每秒近 $10\ 000$ 次, 且采集卡应用的系统较为庞大, 驱动设计采用了 Kernel PlugIn 技术来保证中断采集的零丢失。KP 技术是 WinDriver 驱动程序获得内核执行性能的支撑技术。利用该技术开发的驱动程序, 能够无损失地响应每秒超过 $100\ 000$ 次的中断, 完全可以满足此工程应用的要求。首先依然使用 WinDriver 的开发向导来编写和调试在用户模式下的驱动程序, 然后将直接影响数据采集卡执行性能的中断响应和数据传输 2 部分关键性代码, 直接插入到 WinDriver 所特有的 KP 框架代码之中, 从而完成一个具有内核态执行能力的驱动程序, 大大提高了此驱动程序的执行性能^[6]。

2.3 中断处理

常用的数据传输方式有程序查询方式、中断方式、DMA 方式和 DMA 结合中断方式。由于信号采集系统的速率指标较高, 采用程序查询方式和中断方式时数据传输速率都达不到要求, 且 DMA 方式只适宜作单次传输, 因此只能采用 DMA 结合中断方式。

在此驱动程序中, 当硬件产生中断时, 该事件驱动 WinDriver 内核调用回调函数 KP_IntAtIrql()。在 KP_IntAtIrql() 中首先通过读 PCI9054 Runtime Register 中 INTCSR 中第 8 及第 11 位的数据对中断源进行判断, 继而通过设置 PCI9054 DMA Register 中的 DMACSR0 寄存器或根据 FPGA 程序配置 PCIBAR2 中固定地址的值, 从而完成撤销 DMA 完成中断或本地中断信号并对中断信号类型变量赋值^[7]。置 KP_IntAtIrql() 的返回值为 TRUE, 以驱动回调函数 KP_IntAtDpc()。本程序在 KP_IntAtDpc() 函数中, 根据中断信号类型的不同分别进行处理, 且由于 DMA 完成中断不需完成其他功能而不做任何处理。在本地中断处理中, 通过计数判断其内存中数据量是否达到一帧图像数据。当没有达到时, 仅完成数据向内存中的 DMA 传输; 当达到时, 通过变量控制使 IntHandlerRoutine() 函数得以响应, 完成数据存盘工作。具体过程如图 5 所示^[8]。

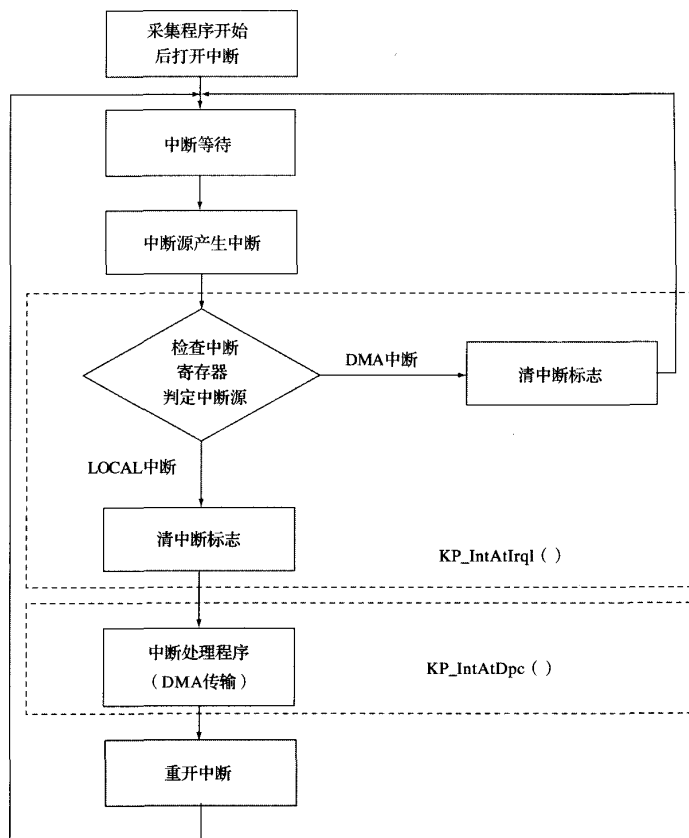


图5 中断处理流程图

3 板卡实测结果

采集卡系统的可靠性和稳定性通过以下2个实验进行测试：实验1，严格按照模拟图像扫描设备输出信号的时钟特性和类型特性向采集卡发送图像数据和电子数据；实验2，向采集卡连续发送1幅已知图像。通过对比，接收数据的内容和大小均与发送一致，数据丢失率为0。采集卡在实际应用中能够连续稳定工作，正确存储数据，已应用于图像扫描设备系统中。

4 结束语

随着图像技术的广泛应用，数据采集技术的实时性和准确性被赋予了更高要求。本系统采用了可编程逻辑阵列实现数字硬件系统的逻辑控制，增强了系统设计和实现的灵活性；通过将 WinDriver Kernel PlugIn 和 Windows2000 DDK 技术结合成功解决了在 WindowsXP 系统下采集卡实时响应中断的难题，保证了系统运行的稳定性，对于同类采集系统的研究，具有一定的借鉴意义。

参考文献

- [1] 朱惠静. PCI9054 及其在高速数据采集系统中的应用[J]. 国外电子测量技术, 2008, 27(2): 72-74.
- [2] 李贵山. PCI 局部总线开发者指南[M]. 西安: 西安电子科技大学出版社, 1996.
- [3] 周育辉, 蒋萍萍, 吴兴林. 基于 PCI9054 的数据采集卡[J]. 电子测量技术, 2007, 30(4): 120-122.
- [4] 褚振勇, 翁木云. FPGA 设计及应用[M]. 西安: 西安电子科技大学出版社, 2002.
- [5] 李琼, 刘兆庆, 张忠亭. WinDriver 在 VXI 嵌入计算机软件开发中的应用[J]. 国外电子测量技术, 2008, 5: 11-13.
- [6] 宋玉贵, 王世凯, 李海. 基于 Windriver Kernel PlugIn 的驱动程序设计[J]. 西安工业学院学报, 2005, 25(4): 311-314.
- [7] 王琳, 陈健, 阔永红. PCI 数据采集卡的 DMA 和中断实现[J]. 电子科技, 2007, 2: 5-8.
- [8] 李伟, 樊锐, 陈五一. Win2000 核心模式下开发设备驱动[J]. 电子测量技术, 2002, 25(3): 45-47.

基于FPGA的图像数据采集卡及其驱动设计

作者: 焦文喆, 翟正军, 任岚昆, Jiao Wenzhe, Zhai Zhengjun, Ren Lankun
作者单位: 西北工业大学计算机学院, 西安, 710129
刊名: 国外电子测量技术^{ISTIC}
英文刊名: FOREIGN ELECTRONIC MEASUREMENT TECHNOLOGY
年, 卷(期): 2010, 29(3)
被引用次数: 0次

参考文献(8条)

1. 朱惠静 [PCI9054及其在高速数据采集系统中的应用](#) 2008(2)
2. 李贵山 [PCI局部总线开发者指南](#) 1996
3. 周育辉, 蒋萍萍, 吴兴林 [基于PCI9054的数据采集卡](#) 2007(4)
4. 褚振勇, 翁木云 [FPGA设计及应用](#) 2002
5. 李琼, 刘兆庆, 张忠亭 [WinDriver在VXI嵌入计算机软件开发中的应用](#) 2008
6. 宋玉贵, 王世凯, 李海 [基于Windriver Kernel PlugIn的驱动程序设计](#) 2005(4)
7. 王琳, 陈健, 阙永红 [PCI数据采集卡的DMA和中断实现](#) 2007
8. 李伟, 樊锐, 陈五一 [Win2000核心模式下开发设备驱动](#) 2002(3)

相似文献(10条)

1. 期刊论文 孙炎辉, 丁纪峰, SUN Yanhui, DING Jifeng [基于FPGA的数据采集控制模块设计 -现代电子技术](#) 2009, 32(22)

设计以FPGA为基础的数据采集控制模块, 克服传统的以单片机或DSP作为控制器带来的采集速度和效率上的瓶颈, 同时显示部分创新性地采用了VGA标准接口, 大大提高了显示系统的兼容性. 设计的控制模块主要由四个部分组成: 数据采集部分、数据缓存部分、按键控制部分和图形显示部分. 在设计过程中, 用VHDL语言来编写程序, 利用Max+Plus II软件对各模块进行仿真. 从仿真结果可以看出, 该模块能够实现数据的实时采集和采集结果的便捷显示, 达到了作为数据采集主控模块对外围电路的良好控制.

2. 期刊论文 吕喜在, 黄芝平, 苏绍璟 [基于FPGA的宽带数据采集时钟相位校正方法 -计算机测量与控制](#) 2009, 17(11)

为了解决宽带数据采集中由于传输线延时不一致造成的数据误采集的问题, 首先从数据传输线电平转换机理入手分析了这一问题的原因所在, 在此基础上, 给出了估算采集时钟相位失真程度的一种简便测试方法, 并分析了基于FPGA实现的两种时钟相位校正方法, 即DLL法和Logic Cell法; 最后, 利用FPGA集成开发环境Quartus II对这两种相位校正方法的性能进行了仿真和比较, 结果表明, 这两种方法都具有精确的可控性.

3. 期刊论文 伍乾永, 陈彬, WU Qianrong, CHEN Bin [基于FPGA的实时图像数据采集模块设计 -微电子学](#) 2008, 38(3)

论述了基于FPGA的实时图像处理系统数据采集模块的设计方法. 在该设计中, 先将实时图像数据离散成ITU-656数据格式, 然后把图像数据分奇偶场存储到SRAM的高8位和低8位字节中, 从而实现帧存储, 以便后续处理. 该设计在整个系统中进行了联调, 经验证, 能正确实现实时图像数据采集.

4. 学位论文 刘爱荣 [基于FPGA的分布式数据采集技术的研究](#) 2003

在电厂中有大量的数据量需要采集, 为了降低风险性和提高系统的可靠性, 该系统采用了分布式的数据采集系统. 即在现场建立多个工作站, 由工作站对该地的数据进行采集, 然后各个工作站再将所采集到的数据送入上位机进行进一步处理. 在工作站的实现过程中, 采用基于FPGA的数据采集系统, FPGA在整个数据采集系统中起着核心控制的作用, 从而取代了传统的基于单片机的数据采集系统. 该文重点介绍了FPGA技术以及利用FPGA实现的数据采集控制器. 该数据采集控制器主要实现了数据的采集、显示、存储以及串口通讯功能. 为此, 在该次设计中, 在FPGA内部主要设立了A/D转换模块、显示模块、存储模块、串口通讯模块以及控制模块. 在该文的最后给出了各个模块的仿真时序图.

5. 期刊论文 潘小冬, 陈泽祥, 高升久, 黄自力, PAN Xiao-dong, CHEN Ze-xiang, GAO Sheng-jiu, HUANG Zi-li

[FPGA+DSP的红外图像数据采集与显示 -红外与激光工程](#) 2007, 36(6)

在FPGA+DSP构建的硬件平台上, 以链路口(LinkPort)通信协议为根据, 实现红外图像数据采集与显示. 重点描述红外图像数据采集与经过LinkPort传入DSP, 图像压缩与经过LinkPort传出DSP以及图像数据缓存与显示, 最后介绍了程序调试过程中的方法. 样机在实验中取得了良好的效果.

6. 期刊论文 张晓琴, 罗隆, ZHANG Xio-qin, LUO Long [基于FPGA的6通道同步数据采集系统研究 -煤炭技术](#)

2010, 29(5)

以FPGA为核心控制模块, AD7656为数据采集模块, 实现6通道、16位精度同步数据采集, 采用Flash存储采集到的数据, 通过PCI04总线将数据传输到上位机. 详细介绍了A/D转换电路、FPGA控制电路设计以及软件流程图.

7. 期刊论文 李晓辉, 周荫清, 王祖林, Li Xiaohui, Zhou Yinqing, Wang Zulin [基于FPGA的机载数据采集系统设计 -](#)

[仪器仪表学报](#) 2006, 27(z3)

针对机载数据采集的数据种类多、时间长、数量大等问题, 本文设计了一种基于FPGA的机载数据采集系统. 系统采用FPGA与单片机相结合的硬件架构, 利用FPGA集成度高、在线可编程等特点, 灵活、高效、准确地实现了高精度数据采集; 另一方面, 系统通过USB接口完成了与地面计算机之间的数据传送和任务接收. 本文介绍了该系统的体系结构, 重点讨论了系统实现中关于模块化设计和抗干扰设计的关键技术, 最后给出了系统标定和测试的方法. 实验证明, 该系统工作稳定, 采集精度高, 可靠性好, 具有很强的通用性和扩展性.

8. 学位论文 李丹娜 [基于FPGA的多通道微波辐射计数据采集与系统控制单元的设计与研制](#) 2009

微波辐射计是一种重要的遥感探测器，数据采集与系统控制单元是微波辐射计的重要系统组成部分。多通道数据采集与系统控制单元完成信号的采集和数字化处理，并根据观测数据控制系统的工作状态，实现对微波辐射计系统工作模式的控制，通过异步串行通信与上位机进行通信。

本文采用FPGA(Field Programmable GateArray, 现场可编程逻辑门阵列)技术设计多通道微波辐射计数据采集与系统控制单元。FPGA具有集成度高、逻辑实现能力强、速度快、设计灵活性好等众多优点，尤其在并行信号处理方面有很大优势，因此可以很好的实现多通道微波辐射计数据采集和系统控制单元的各项功能。

论文的主要内容包括：

(1) 简要介绍了噪声注入型实时定标微波辐射计的系统组成及工作原理，并对其工作时序控制进行了分析；

(2) 详细讨论了异步串行通信协议及RS232接口标准和FPGA技术，并针对噪声注入型实时定标微波辐射计的具体特征，提出了基于FPGA技术的多通道微波辐射计数据采集和系统控制单元的设计方案；

(3) 完成了噪声注入型实时定标多通道微波辐射计数据采集和系统控制单元硬件电路的技术实现，并完成了FPGA的逻辑程序设计；

(4) 对数据采集和系统控制单元进行了仿真和调试，结果满足设计要求，验证了设计方案的可行性。

相对于传统的技术手段而言，本设计方案所采用的FPGA技术减少了器件数目，更有利于提高系统的集成度和可靠性，同时系统易实现、易修改；通过上位机控制，可以作为通用型多通道数据采集系统使用，具有较强的实用性和可扩展性。

9. 期刊论文 [刘鑫](#), [任勇峰](#), [甄国涌](#), [张文栋](#), [LIU Xin](#), [REN Yong-feng](#), [ZHEN Guo-yong](#), [ZHANG Wen-dong](#) [基于FPGA及](#)

[AD9223的多路数据采集、存储系统 - 弹箭与制导学报](#)2006, 26(2)

文中提出了一种用于某弹载存储系统地面测试台的多路数据采集、存储系统实现方法. 该系统实现了通过FPGA控制对压电传感器输出信号进行连续采样和存储, 通过总线把数据传送到PC机. 并详细介绍了AD9223在多路数据采集、存储系统中的应用方法.

10. 期刊论文 [潘梁垚](#), [姚铭](#), [Pan Liangyao](#), [Yao Ming](#) [FPGA的高速多通道数据采集控制器IP核设计 - 单片机与嵌入式](#)

[系统应用](#)2009, ""(6)

介绍基于FPGA嵌入式系统的多通道高速数据采集模块控制器的IP核设计. 采用TI公司的6通道同步采集A/D转换器件(ADS8364), 针对该器件使用硬件描述语言设计IP核, 实现对采集数据的处理, 同时设计了IP核与嵌入式系统的接口. 在Xilinx公司的ISE开发工具中, 利用FPGA器件中的硬FIFO控制器辅助设计IP核, 利用嵌入式开发工具EDK建立FPGA嵌入式系统, 并添加和修改了用户自定义IP核, 通过仿真验证了该方法的实效性.

本文链接: http://d.g.wanfangdata.com.cn/Periodical_gwdzcljs201003015.aspx

授权使用: 陕西理工学院(sxlgxy), 授权号: 71312e2c-afc3-4227-b312-9df2010a0ddb

下载时间: 2010年9月15日