

基于 FPGA 的 SDTV-HDTV 转换的研究与设计

伍 颖,陈明义

(中南大学 信息科学与工程学院,湖南 长沙 410083)

摘 要:一种采用 Altera Cyclone III FPGA 将标准清晰度电视(SDTV)转换成高清晰度电视(HDTV)的方法。用图像插值技术,充分利用了原始图像,实现视频格式水平方向上行内像素点的增加及垂直方向上行数的提升,满足高清晰度电视格式的标准输出。整个上变换模块的复杂度低,易于硬件实现,完成了专用格式转换芯片的功能,在工程应用中有利于提高系统的集成度和灵活性。

关键词: SDTV; HDTV; 视频格式转换; FPGA; 图像插值

中图分类号: TN949.197

文献标识码: A

Study and design of SDTV-HDTV based on FPGA

WU Ying, CHEN Ming Yi

(Information Science and Engineering, Center South University, Changsha 410083, China)

Abstract: A method is introduced to convert the standard-definition television(SDTV) into high-definition television(HDTV) base on Altera Cyclone III FPGA. Using image interpolation techniques and making full use of the original images, video format to achieve the rising of pixels within the horizontal direction and vertical direction of an increase in the number of upstream upgrade to meet the high-definition television format standard output. The complexity of the whole transformation module on the low, easy hardware implementation, completes a special format conversion chip functions and improves system integration and flexibility in engineering applications.

Key words: SDTV; HDTV; video format conversation; FPGA; interpolation algorithm

随着数字电视的成熟与发展,高清电视将成为数字电视发展的必然趋势。数字高清电视技术及其标准系统的形成,是电视技术发展的一次重要飞跃。数字标清电视已广泛应用于电视产业,世界上已出现了数字高清电视技术的热潮。我国正处于高清晰电视推广初期,高清晰度的节目源非常有限,需要格式转换设备将大量的标清格式的节目转成高清格式。另外,为了节省宝贵的传输带宽资源,在客户端也可利用视频上变换转换成高清数字电视,满足消费者的需求。本文设计了基于 FPGA 的 SDTV-HDTV 转换模块来实现视频上变换功能。

1 SDTV-HDTV 的 FPGA 系统结构

视频格式转换采用空间分辨率,这种分辨率转换通常是指图像缩放。如果输入图像和需要显示的输出图像的每行像素数或者每帧行数不同,则必须采用空间缩放技术,图像的空间缩放技术可以实现图像的放大或者缩小^[1]。本文研究图像放大算法,在传统的分辨率转换算法中,一般先采用“去隔行”算法,将隔行转换为逐行,然

后再对逐行信号进行提升转换,得到目标格式的图像信号。由于“去隔行”技术的算法比较复杂且需要大量的存储空间,因此将“去隔行”步骤与分辨率转换中的垂直方向像素提升一起完成,简化了工作量,并节省了 FPGA 资源。

标清数字视频格式遵循 PAL 625/50 的标准^[1],亮度信号的采样频率为 13.5 MHz,一帧数据总共有 625 行,有效行为 576 行,其中分为奇偶两场,奇场有 312 行,偶场有 313 行,每场有效行为 288 行,每行共有 864 个数据,其中有效数据为 720 个,消隐数据为 144 个;高清数字视频格式遵循 HDTV-1920 的标准^[2],亮度信号的采样频率为 74.25 MHz,一帧数据总共 1 125 行,有效行为 1 080 行,其中分为奇偶两场,奇场有 563 行,偶场有 562 行,每场有效行位 540 行,每行共有 2 640 个数据,其中有效数据为 1 920 个,消隐数据为 720 个。视频信号同步字节嵌入在视频数据中,用 4 个特征字节表示,分别为 EAV 和 SAV。EAV 与 SAV 之间的数据称为行消隐

区。标清与高清在行消隐区的标志位上也有区别,标清视频数据在 EAV 后直接接行消隐数据,而高清视频数据紧随 EAV 后接行号 LN 和 CRC 校验码再接行消隐数据。

根据 SDTV 与 HDTV 之间的差别,两者之间的转换主要是将水平方向的像素点个数增加为原来的 $1\ 920/720=8/3$,垂直方向将增加为原来的 $1\ 080/576=15/8$ 。

FPGA 系统框图如图 1 所示,插值实现的过程分成 2 个步骤:(1)在水平方向的插值即行内插值;(2)在垂直方向实现插值即行间插值。系统接收到视频输入以后,根据帧同步、行同步等同步信号将有效视频数据进行行内插值运算,根据新生成像素对应每个相邻原始像素的权值,计算出新生成像素点的像素值,然后将行内插值后的行写入行存储模块中。行存储模块有 2 个作用:隔离输入和输出的 2 个不同时钟域以及作为乒乓模块提高数据的吞吐能力。根据之前的缩放比例要求,行内插值模块从行存储模块中读出相关数据,对某些地址的数据进行重复读取,再进行新生成行的计算。插值完成以后的数据只是有效视频数据的提升,最后根据高清视频格式的标准,打包生成符合格式标准的完整视频数据。组标志位数据包括了视频消隐区里的 EAV 和 SAV 以及高清视频中必须添加的行号 LN 和 CRC 码。视频输出模块对原始行和新生成的行进行读操作,以满足缩放比例的要求。所有数据处理模块同步时钟均由同步控制模块产生,保证数据流的同步,并确保显示数据能以正确格式输出。

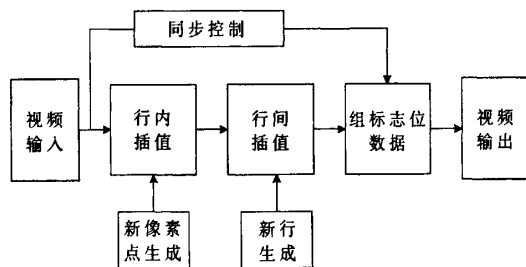


图 1 FPGA 系统框图

2 行内插值

视频图像格式转换算法经历了线性滤波、自适应非线性算法以及运动补偿插值算法(MC)3 个阶段,其中线性滤波算法具有理想低通滤波的频谱特性,且结构简单,能取得较好的滤波效果^[1]。双线性插值算法的待插值点由其空间域内的采样点加权求得,其计算公式为:

$$f_0(x,y,n) = \sum_{k,l,m} f_i(x+k,y+l,n+m)h(k,l,m)$$

$$(k,l,m \in \{\dots, -1, 0, 1, 2, \dots\})$$

式中 $f_0(X,Y,n)$ 为待插帧/场, X,Y 为空间位置, n 为帧/场序号, $f_i(x+k,y+l,n+m)$ 为原始帧场中 (X,Y,n) 邻域对应的点, $h(k,l,m)$ 为插值内核^[4]。这种插值内核只利用了当前帧/场的相关性,因为双线性插值在水平和垂直

方向分别只利用到了相邻 2 个像素的信息。双线性插值滤波算法的优点是能有效消除像素间的锯齿,使输出图像平滑,缺点是对特殊场景如运动图像等,可能出现图像模糊等现象。但是该算法简洁、规则,处理图像品质稳定。因此出于对设计周期、芯片成本等的综合考虑,本设计采用双线性插值滤波算法来实现视频图像缩放。

由于系统采用线性滤波算法,本质上是对空间域内点的加权求和,所以系统核心单元为乘加器。如果加权系数实时运算,则会消耗大量的 FPGA 资源。因此将插值位置调整为固定的插值相位,各个插值相位的插值系数也为固定值。这样,在简化系统设计的同时,实现了图像的缩放。行内插值模块是水平方向上分辨率的提升,使用输入与输出对应 2 个不同频率时钟进行控制。

2.1 亮度信号处理

在每个像素点中,亮度信号 Y 是独立存在的,也就是在水平方向上将原来的 720 个亮度数据插值生成 1 920 个亮度数据。其中比值为 $8/3$,即以 3 个数据为一组,插值生成 8 个数据。亮度信号行内插值电路如图 2 所示,相邻两点像素值的亮度数据经过系数加权后再相加,根据行内点计数器选择输出。 y_1, y_2, y_3 为输入的行内插值前的 3 个像素点的亮度数据。此时输出时钟与输入时钟之比也为 $8/3$,时钟模块由 PLL 产生。

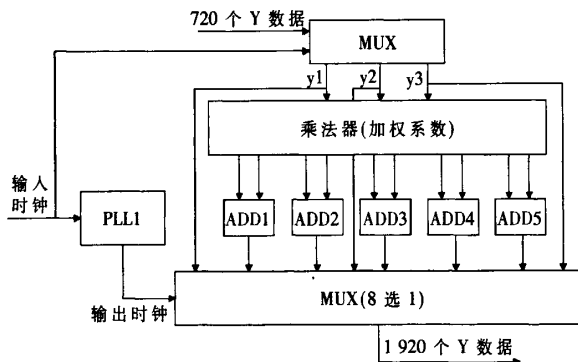


图 2 亮度信号行内插值电路

2.2 色差分量信号处理

在每个像素点中,色差分量有 2 个,分别为 Cb 和 Cr。标清 720 个像素点中有 360 个 Cb 数据和 360 个 Cr 数据;高清 1 920 个像素点中有 960 个 Cb 数据和 960 个 Cr 数据,2 个色差分量是交错存在的。所以在水平方向上进行插值时,要以 Cb 和 Cr 为一组数据,即将 3 组数据插值生成 8 组数据,这其中的比值为 $16/6$ 。色差分量信号行内插值电路如图 3 所示,相邻 2 个像素点的 2 个色差数据经过系数加权后再相加,根据行内点计数器选择数据输出。 $cb_1, cr_1, cb_3, cr_3, cb_5, cr_5$ 为输入的行插值前 6 个像素点的色差分量数据,相邻 2 个亮度信号共用一组色差分量。

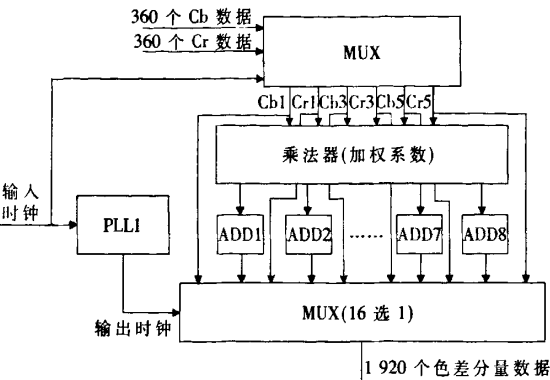


图3 色差分量信号行内插值电路

3 行间插值及组标志位数据

本系统要通过控制读写寄存器进行行数提升,但这样做会使图像产生运动失真,表现为锯齿和模糊,图像分布也不均匀。解决这一问题的方法是:首先进行行数的场内插值,然后利用场内相邻行间的内容进行线性插值,算出新插值生成行的内容。垂直方向上亮度信号与色差信号的提升是一样的,都是将原来的 576 行转换成 1 080 行,比例为 15/8,即以 8 行为一组,插值生成 15 行。将行内插值后的高清数据分为 Y、C 2 个通道进行行间插值。由于一行高清数据有 1 920 个字(行内插值生成的),如果运用 8 个 RAM 分别来存储 8 行数据,需要 1 920×10×8=153 600 bit 的 RAM,2 个通道就是 2×153 600=307 200 bit 的 RAM,再加上需要进行 FIFO 缓存,这样存储量相当大,占用了大量 FPGA 的存储量,甚至超过现有 FPGA 芯片的存储资源且不方便后期处理,所以在行输入端采用 2 个 1 920 B 的 RAM 循环交替存储 8 行,分别用 2 个 FIFO 缓存从这 2 个 RAM 中读出的行内数据,并且读出行数据时经过插值模块算出新生成的一行数据,这个插值模块的系数也是固定的,最后再循环交替读出 15 行数据。这中间需要读写 2 个控制模块,根据行计数和每行有效数据的标志位进行合理的读写控制,保证不重复写入行数据和不丢失读出行数据。写时钟和读时钟是 2 个不同的时钟域,通过 PLL 产生模块生成读时钟。行间插值电路如电路图 4 所示。

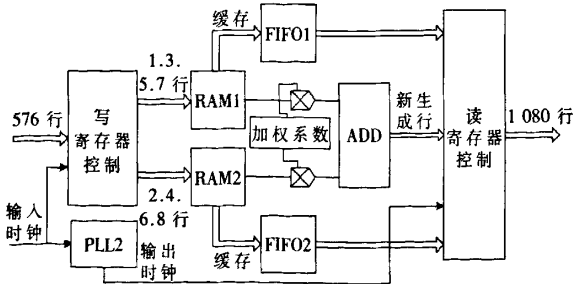


图4 行间插值电路

高清视频的标志位数据与标清视频的标志位数据除了消隐区数据个数不同外,还添加了行号 LN 和 CRC 校验码 4 个字^[6]。行号是指当前行计数器得到的行数,包含了 2 个字;CRC 校验码是根据多项式 $CRC(x)=x^{18}+x^5+x^4+1$ 算出的,包含了 2 个字,用于检测有效数据行中 EAV 后有效视频数据。

4 验证

本系统采用 VHDL 语言编写,通过基于 Altera Cyclone III 系列 FPGA 芯片 EP3C25Q240 实验平台的验证。普通标清 SDTV 的 PAL 制模拟视频信号通过 ADC 解码芯片,以 ITU-RT656 标准的 4:2:2 的数字视频格式输出。FPGA 接收到视频信号后开始同步数据,并将同步后的有效视频数据送入图像缩放模块进行视频处理,输出为符合 HDTV-1920 的数字视频格式标准数据,再由 DAC 编码芯片转换成高清模拟视频分量信号输出给显示设备。通过外部模拟源给 ADC 提供视频输入,对比原始图像和缩放处理后图像的结果,验证是否达到预期效果。整个实验验证平台结构如图 5 所示。

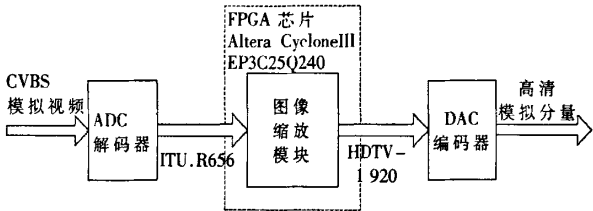


图5 验证环境图

用 VHDL 编写的 FPGA 模块设计文件,经 EDA 工具 QUARTUS II 全编译后直接下载到 FPGA 芯片中。使用 QUARTUS II 提供的嵌入式逻辑分析仪观察最后生成高清数据的格式。结果证明,设计完全满足要求,嵌入式逻辑分析仪上观察到的数据也符合要求,如图 6 所示。亮度信号和色度信号分离的 2 个通道,消隐区的数据都一样,有效视频数据有区别。其中 3FF h、000 h、000 h、274 h 为一行视频数据 EAV 同步字,后面跟的 254 h 和 200 h 是由行号 21 行十六进制 015 h 构成的 2 个字,12E h 和 182 h 是一行有效视频数据通过 CRC 校验码多项式算出的 CRC 循环冗余校验码的 2 个字,这 4 个字是根据高清视频 SMPTE 292M 标准规定组合而成的,200 h 和 040 h 为视频行消隐区里的数据,这个包头符合高清视频格式。

广泛应用于数字化电视处理领域的“去隔行”技术

log 2008/03/16 16:42:34 #1															
Type/Name	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

图6 逻辑分析仪采到的包头数据

(下转第 56 页)

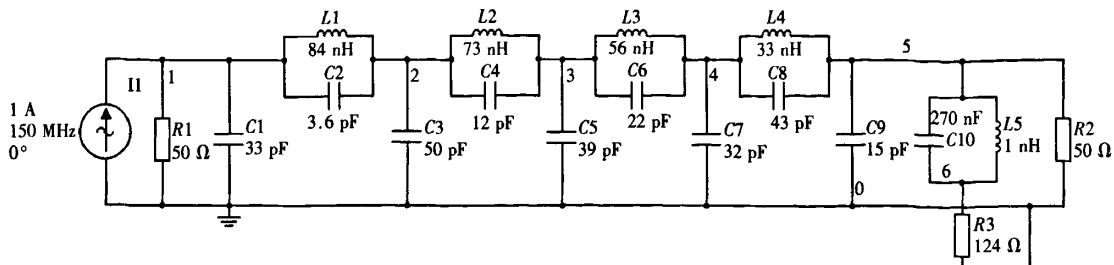


图 10 加入幅度补偿电路后的椭圆滤波器仿真电路

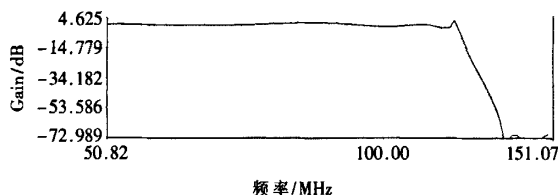


图 11 幅度补偿后的幅频特性曲线

设计[J]. 电子元器件应用, 2007, 4(9): 57-58.

[6] 甘本棣, 吴万春. 现代微波滤波器的结构与计[M].

北京: 科学技术出版社, 1973.

(收稿日期: 2010-01-05)

作者简介:

苗圃, 男, 1987 年生, 硕士研究生, 主要研究方向: 嵌入式系统及其应用。

张海涛, 男, 1972 年生, 副教授, 主要研究方向: 嵌入式系统和智能网络控制。

庞永星, 男, 1969 年生, 博士, 主要研究方向: 计算机测控技术和空中目标计算机模拟。

(上接第 51 页)

都会用到帧存储器。本文结合实际工作, 采用场内/行间插值方法处理实时图像。利用交替写 RAM 和读 RAM 以及 FIFO 缓存的方法实现扫描行数的提升, 重点探讨了在 FPGA 芯片上实现视频图像缩放算法, 将标准清晰度的电视视频转换成高清晰度的电视视频。这种方法简洁且节省资源, 调试结果表明该系统设计方案可行, 配合外围其他专用芯片的调试还可提高系统功能的扩展及灵活性。在数字电视的播控前端, 可以利用该模块将现有的标清视频源转换成 HDTV 格式进行传送。随着数字电视机的快速普及, 数字电视市场产品的不断细化, 该方案今后也可应用于数字电视机, 以满足不同消费人群的需求。

参考文献

[1] LEE H Y, PARK J W. Adaptive scan rate up-conversion system based on human visual characteristics. IEEE Transac-

tions on consumer electronics, 2000, 46(4): 999-1006.

[2] POYNTON C. Digital video and HDTV algorithms and interfaces. Morgan Kaufmann Publishers, 2003. 111-116.

[3] 王栋. 视频格式转换算法及 ASIC 实现的研究[D]. 上海: 上海交通大学, 2002.

[4] 易湖, 赵照, 于军, 等. 基于 FPGA 的数字视频图像缩放模块设计[J]. 有线电视技术, 2006, 5(197): 41-43.

[5] ITU_R BT656. 国际电信联盟无线电部门 656 号建议.

[6] SMPTE 292M. 美国电影电视工程协会 SMPTE 标准.

(收稿日期: 2009-12-24)

作者简介:

伍颖, 女, 1985 年生, 硕士研究生, 主要研究方向: 电力电子, 数字电视视频信号处理。

陈明义, 男, 1962 年生, 教授, 主要研究方向: 语音、数字电视及嵌入式系统开发。



行业聚焦
Focus on Industry

Maxim 推出吉比特串行器/解串器芯片组

Maxim 为其高速 LVDS 串行器/解串器(SerDes)产品线增添新成员: MAX9259/MAX9260 SerDes 芯片组。该吉比特多媒体芯片组通过一对直流平衡的双绞线或差分线构成完备的双向数字视频链路。Maxim 正在申请专利的差分、全双工控制通道无需外部 CAN 或 LIN 接口, 在简化设计的同时可有效减小方案尺寸、降低成本。该方案支持显示模块的双向通信, 并可通过 UART/PC 接口逐帧设置摄像模式。MAX9259/MAX9260 芯片组非常适合信号识别、防撞系统、夜视系统、车道偏离报警等汽车应用。

MAX9259/MAX9260 还提供可编程扩频调制功能, 有效降低 EMI, 使器件可以很容易地通过汽车相关的各种测试。该芯片组可通过交流耦合隔离串行器和解串器, 热插拔功能可有效提高故障容错率, 此外还允许“在线”设置频率。传输线故障检测和集成自检功能可以在系统上电时检测链路的完整性。

MAX9259 工作于 1.8 V 核电源, MAX9260 工作于 3.3 V 电源。两款器件均具有独立的输入电源, 用于连接 1.8 V~3.3 V 逻辑电平。MAX9259/MAX9260 采用 10 mm×10 mm、64 引脚 TQFP 封装, 工作在 -40℃~+105℃温度范围。可申请获得器件的数据资料、评估板以及样品。

Maxim 公司电话: 010-62115199, 传真: 010-62115299, 网址: <http://china.maxim-ic.com>。

(Maxim 公司供稿)

基于FPGA的SDTV-HDTV转换的研究与设计

作者: [伍颖, 陈明义, WU Ying, CHEN Ming Yi](#)
 作者单位: [中南大学, 信息科学与工程学院, 湖南, 长沙, 410083](#)
 刊名: [电子技术应用](#) **ISTIC** **PKU**
 英文刊名: [APPLICATION OF ELECTRONIC TECHNIQUE](#)
 年, 卷(期): 2010, 36(5)
 被引用次数: 0次

参考文献(6条)

1. [LEE H Y, PARK J W Adaptive scan rate up-conversion system based on human visual characteristics](#) 2000(4)
2. [POYNTON C Distal video and HDTV algorithms and interfaces](#) 2003
3. [王栋 视频格式转换算法及ASIC实现的研究](#) 2002
4. [易湖, 赵照, 于军 基于FPGA的数字视频图像缩放模块设计](#) 2006(197)
5. [ITU_R BT656. 国际电信联盟无线电部门656号建议](#)
6. [SMPTE 292M. 美国电影电视工程协会SMPTE标准](#)

相似文献(10条)

1. 期刊论文 [史萍, SHI Ping SDTV和HDTV系统的分解力 -北京广播学院学报\(自然科学版\) 2003, 10\(4\)](#)
 对电视系统分解力的定义做了阐述, 分析了影响电视系统垂直分解力及水平分解力的主要因素, 并给出了求解模拟电视系统、数字标准清晰度电视系统及数字高清晰度电视系统分解力的公式. 最后, 在结论中就SDTV和HDTV节目制作过程中应注意的问题给出了几点建议.
2. 外文期刊 [Kang-Wook Chun An HDTV-to-SDTV spatial transcoder](#)
 Both high-definition television (HDTV) and, standard-definition television (SDTV) use the MPEG-2 video coding standard, but they have different spatial resolutions. In order to support the interlaced video coding, MPEG-2 incorporates various macroblock prediction modes. Thus, the HDTV-to-SDTV transcoding needs to handle spatial resolution downscaling and various MPEG-2 macroblock prediction modes. We investigate schemes to exploit the correlations between the input and output video in the design of an HDTV-to-SDTV transcoder so that the computation can be greatly saved while the quality of video is preserved as much as possible. First, by utilizing the motion vectors and macroblock coding modes of the input video, efficient motion reestimation and macroblock mode decision algorithms are proposed. Then a novel picture target bit allocation algorithm taking advantage of the coding statistics of the input video is presented. Simulation results showing the effectiveness of the proposed approaches are also presented.
3. 期刊论文 [吕卫, 俞斯乐 HDTV/SDTV节目传输流播放机设计 -电子测量技术2003, ""\(1\)](#)
 文中介绍一种HDTV/SDTV节目传输流播放机的设计与实现方法. 既提供了传输流播放机的核心硬件部分的总体结构及其功能模块的实现方法; 又阐明了软件设计的要点. 所研制的设备具有工作稳定、扩展性好、操作简便、成本较低等特点, 并已得到实际应用.
4. 外文期刊 [Verri, S. Multistage SDTV/HDTV scanning rate converters](#)
 SDTV/HDTV conversion has several applications of current interest, such as pyramidal coding for simultaneous SDTV and HDTV output, HDTV display of SDTV signals, and SDTV display of HDTV signals. The effectiveness of multistage filters in this application is established. The design of the filters to use in these configurations is a delicate issue, since it has to balance several, and sometimes conflicting, requirements. The design objectives depend on the specific application, and are ultimately targeted to the visual rendition of the system. These objectives do not fit traditional design specs and call for provisions of visual significance in both the frequency domain and the spatio-temporal domain. This work reports on the findings of some systematic research on this field
5. 期刊论文 [徐孟侠, XU Meng-xia 地面数字电视广播的双国标SDTV和HDTV -电视技术2009, 33\(4\)](#)
 2008年起我国用地面国标(C-std)大规模启动地面数字电视广播, 在8个城市实现2008北京奥运会的HDTV实况转播, 但其视频编码仍然采用技术已落后的MPEG-2技术, 印单国标. 本文介绍双国标(C-std+AVS视频编码)SDTV和HDTV的4种技术模式, 分别用以服务农村家庭和中心城市家庭.
6. 期刊论文 [石倩 HDTV和SDTV技术在数字电视中的应用 -考试周刊2008, ""\(51\)](#)
 数字电视是采用数字信号广播图像和声音的新的电视系统. 本文对HDTV和SDTV技术在其中的应用进行了阐述.
7. 期刊论文 [李春涛, 刘昱, 李桂苓, LI Chun-tao, LIU Yu, LI Gui-ling HDTV到SDTV转换编码技术的研究 -电视技术2005, ""\(2\)](#)
 研究了数字电视转换编码中图像空间分辨率下变换和运动矢量重新利用等问题, 并针对中国数字电视图像格式和编码方案提出了一种实现从HDTV到SDTV转换, 重建的图像清晰度从原理上可达SDTV系统高清晰度电视的理论上限值, 且无几何畸变.
8. 会议论文 [李春涛, 许树檀, 李桂苓 HDTV/SDTV转换编码的研究](#) 2004
 将HDTV到SDTV转换编码技术引入数字电视节目制作和广播, 可实现节目资源共享, 合理利用信道带宽, 拓宽各类接收/解码/显示设备兼容性等. 本文提出一种HDTV/SDTV转换编码方案, 并通过实验进行了验证, 其重建图像清晰度的理论上限值不降低, 且无几何失真.
9. 期刊论文 [黄翔, 李德华, 金良海, 朱美能, HUANG Xiang, LI De-hua, JIN Liang-hai, ZHU Mei-neng 基于DSP的SDTV/HDTV数字电视信号格式转换卡设计 -计算机工程与应用2007, 43\(19\)](#)

设计了基于DSP的SDTV/HDTV电视信号格式转换卡,运用双线性插值的方法,在DSP上实现对图像实时的放大处理,算法已在ADSP-TS201S开发板上得到验证,效果良好.设计难点在于,数字电视信号的时钟频率很高,要处理的信号量极大,因此采用多DSP并行处理.

10. 期刊论文 [刘怀宇, 李延奇, 梁铁, 朱维乐, LIU Huai-yu, LI Yan-qi, LIANG Tie, ZHU Wei-le](#) [DCT域中高清电视到标清电视转码技术及软件实现 -中国有线电视2006, "" \(3\)](#)

随着数字电视的发展与普及,不同编码视频的转码变得越来越重要.研究DCT域中空间分辨率下采样的关键技术,包括DCT域图像尺寸下采样、DCT域的运动补偿、运动矢量重用等,并以软件方式实现了HDTV到SDTV的转码.

本文链接: http://d.g.wanfangdata.com.cn/Periodical_dzjsyy201005023.aspx

授权使用: 陕西理工学院(sxlgxy), 授权号: a792d0d0-c18f-4997-a1ea-9df20111b0b3

下载时间: 2010年9月15日