

基于 FPGA 控制的高速图像实时存储

张定国^{1,2}, 李 梅¹

(1. 中国科学院 光电技术研究所 四川 成都 610209; 2. 中国科学院 研究生院 北京 100039)

摘 要:在高速图像采集, 需要对采集的大量数据进行实时存储。介绍了一种基于 FPGA 控制的高速图像实时存储系统, 该系统能在脱机方式下由 FPGA 直接控制 IDE 硬盘, 实现高速图像的实时存储, 并通过 PCI 接口对硬盘进行事后访问。目前, 采用单硬盘时的记录速度可达到 24 MB/s。

关键词:高速图像存储; 直写 IDE 硬盘; DMA 传输; PCI 总线

中图分类号: TP391.41

文献标识码: B

文章编号: 1004-373X(2007)16-061-02

Design of a High Speed Real-time Image Storage System Based on FPGA

ZHANG Dingguo^{1,2}, LI Mei¹

(1. Institute of Optics and Electronics, Chinese Academy of Sciences, Chengdu, 610209, China;

2. Graduate School, Chinese Academy of Science, Beijing, 100039, China)

Abstract: In high speed image acquisition, there are huge data to be collected in real-time. This paper proposes a design of high speed real-time image storage system which controlled hard disk directly through FPGA, store real-time data into IDE hard disk in a high speed and access the stored images on PC. At present when one IDE hard disk are used the record speed has attained 24MB/s.

Keywords: high speed image storage; direct-write IDE; DMA transfer; PCI bus

在某些特定的科学研究和应用领域, 往往需要对大量的图像数据进行采集存储, 其图像数据的事后处理具有重要意义, 同时要求在存储数据的时候, 能脱离计算机操作平台。本文所介绍的高速图像存储系统, 是以 IDE 硬盘作为存储介质, 利用 FPGA 对硬盘进行控制, 实现脱机方式下对高帧频 CCD 图像采集和存储; 同时, 主机可以通过 PCI 接口, 启动或结束存储, 也可以读取缓存的数据以监控高速图像的存储。

存到静态存储器, 再由主机读出。

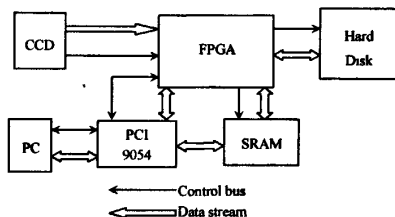


图 1 存储系统结构框图

1 系统结构

本高速图像存储系统主要由 PCI 接口控制芯片, FPGA, 双端口静态存储器 SRAM, CCD 图像数据接收器和 IDE 硬盘构成, 结构框图如图 1 所示。

CCD 图像数据接收器将 CCD 相机发出的差分信号转换后, 按帧轮流送往 2 块独立的缓存 (一块在 SRAM 中开辟, 另一片使用 FPGA 内的片内双端口存储器), 任意一块缓存存满图像数据后, 可由 FPGA 启动硬盘的 DMA 传输, 将数据高速存储到硬盘, 达到脱机记录的目的; 主机通过 PCI9054 访问静态存储器, 读取图像数据用于显示; 也可以访问 FPGA 的片内寄存器, 传递参数或发送命令; 事后对硬盘内图像数据的读取首先由 FPGA 将图像数据缓

2 IDE 总线接口^[1]

IDE (Integrated Drive Electronics) 接口也称之为 ATA 接口 (AT-Attachment), 现已作为一种接口标准被广泛应用, 其数据传输方式有 PIO 方式和 DMA 方式 2 种。PIO 模式是最基本的编程控制的数据输入输出方法; DMA 模式是直接存储器访问数据传输, 速度高。

IDE 接口硬盘的寻址方式有 2 种: 物理寻址方式 (CHS 方式) 和逻辑寻址方式 (LBA 方式)。在 CHS 寻址方式中, 可以用柱面、磁头和扇区号来惟一地确定一个扇区; LBA 寻址方式是把物理扇区按照某种方式或规则看作一个线性编号的扇区, 即从 0 到某个最大值方式排列, 这样用一个序号就确定一个惟一的物理扇区。在本系统中, 对硬盘的读写操作寻址采用 LBA 寻址方式。

3 系统设计

3.1 FPGA 程序设计

FPGA 的程序设计,是本系统最关键的一部分,包含 3 个模块:CCD 图像数据的缓存模块,对硬盘的操作模块和 PCI9054 本地总线接口模块。

3.1.1 CCD 图像数据的缓存

由于图像输出是不间断的,而将数据写入硬盘存在寻道,磁头移动等问题需要花费不固定的时间,所以在直写硬盘的时候,必须引入缓存^[2],将一帧 CCD 图像数据缓存起来。本系统采用的缓存策略是使用双缓存交叉存储技术(乒乓操作):在 FPGA 内开辟一块缓存 buffer1,在 FPGA 片外的双口 SRAM 开辟另一缓存 buffer2,该缓存的一端与 FPGA 相连,通过总线切换控制,实现硬盘和 CCD 与 buffer2 的分时连结,另一端与 PCI9054 相连,实现一个硬盘控制模块与主机的共享数据缓冲区,达到缓存数据及主机监控的目的(主机可以通过访问该区的图像数据来监控图像数据的记录进程)。示意图如图 2 所示。

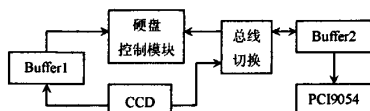


图 2 数据缓存

当 FPGA 将 CCD 的数据缓存至 Buffer1 时,硬盘控制模块选通 Buffer2,启动 DMA 操作,将数据写入硬盘;当 FPGA 将 CCD 的数据缓存至 Buffer2 时,硬盘控制模块选通 Buffer1,启动 DMA 操作,将数据写入硬盘。在实时记录的同时,主机可以通过 PCI9054 访问 Buffer2,读出图像数据用于显示。

3.1.2 硬盘的操作模块

用 FPGA 实现硬盘控制必须按照 ATA 标准来进行 FPGA 设计。ATA 标准中提供了 2 种数据传输模式:PIO 模式和 DMA 模式。要对硬盘进行操作,必须实现 PIO 模式,而要实现高速数据传输,需要采用 DMA 模式。对硬盘的操作可以分为 2 个模块:PIO 模式控制模块和 Ultra DMA 写操作模块。

(1) PIO 模式控制模块

PIO 模式控制模块主要完成对硬盘命令寄存器和控制寄存器的配置,用以获得硬盘状态和初始化 DMA 操作;同时完成以 PIO 方式对硬盘进行读写操作,实现包括数据的回读,图像数据的写入时间,起始位置,记录的帧数等信息的记录等。本系统采用的是 PIO mode4。

(2) Ultra DMA 写操作模块

Ultra DMA 写操作模块主要完成 Ultra DMA 写操作的时序设计和状态控制,实现将图像数据高速写入硬盘。本系统采用的是 Ultra DMA5,接口速率为 100 MB/s。每

个 Ultra DMA 数据突发传输有 4 个明显的操作状态:启动、数据传输、传输暂停和突发传输终止。在进行 Ultra DMA 传输前,首先要初始化 DMA 通道,初始化完成后设备向主机发送 DMA 请求,进入相位启动状态,启动完成后开始数据传输,主机通过切换选通信号来发送数据,也可以停止切换进入暂停,设备也可以通过撤销准备好信号来暂停数据传输;在数据传输或暂停时,设备或主机都可以终止数据传输。

3.1.3 PCI 总线控制器

本高速图像存储系统采用 PLX 公司的 PCI9054 作为 PCI 总线控制器。PCI9054 是一个 32 b 33 MHz 的 PCI 总线主控 I/O,他实现了 PCI2.2 版规范的要求^[4]。

PCI9054 本地总线主要完成命令的接收,参数的传递,主机对系统监控时的数据采集和主机对硬盘数据的回读。

3.2 软件设计

要使图像存储系统工作在 Windows XP 下,需要应用程序的支持和基于 WDM 的 PCI 设备驱动程序的支持。利用 PLX 公司提供的工具包 SDK 可以方便的完成图像存储系统的软件设计^[5]。本系统的软件框图如图 3 所示。

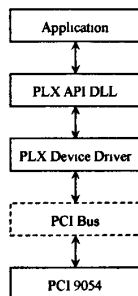


图 3 软件构架图

PLX Device Driver 使 PLX SDK 为 PCI9054 接口芯片提供的基于 WDM 的驱动程序框架。他通过调用操作系统内核函数来访问 PCI9054。PLX API DLL 用于应用程序和驱动程序之间的通信。应用程序通过调用 SDK 提供的 API 函数,可以对 PCI9054 进行 DMA 操作,直接数据传输和中断控制等。

本图像存储系统主要是利用 PCI9054 的直接数据传输进行命令,参数的传递和图像数据的传输。软件实现的功能包括:启动和停止记录、图像显示、图像数据回读、硬盘资源管理等。

4 结语

本系统可以完成数据高速存储场合的应用。实际测试中,对 ST380011A 硬盘,在 Ultra DMA5 模式下,对帧频为 245 Hz 的 CCD 进行存储,每帧启动一次 DMA 传输,

(下转第 67 页)

```

begin
    temp := t_v(0);
    for i in 1 to n loop
        temp := temp xor t_v(i);
    end loop;
    return temp;
end function feedback;

```

最大线形反馈移位寄存器要求将最终反馈值作为输入,所以在规定了移位寄存器的最大级数之后,必须依照接收到的寄存器级数控制指令选择反馈的输入端口。以下 VHDL 程序描述了 1 个 8 级以内扰码模块的反馈输入选择,与相应 m 序列的产生。

```

...
signal v8: std_logic_vector(7 downto 0);
-- V8 定义为一个 8 阶向量
...
process(flag, clk)
begin
    if flag='1' then
        -- flag 代表对扰码模块各级寄存器用'1'进行初始化的信息
        v8 <= "11111111";
    else
        if clk'event and clk='1' then
            case in_vec is
                -- in_vec 代表接收到的寄存器级数控制指令
                when "0011" => v8(2 downto 0) <= a & v8(2 downto 1);
                -- a 定义为反馈系统逻辑的输出值,由 feedback 函数计算得出。
                when "0100" => v8(3 downto 0) <= a & v8(3 downto 1);
                when "00101" => v8(4 downto 0) <= a & v8(4 downto 1);
                when "0110" => v8(5 downto 0) <= a & v8(5 downto 1);
                when "0111" => v8(6 downto 0) <= a & v8(6 downto 1);
                when "1000" => v8(7 downto 0) <= a & v8(7 downto 1);
                when others => null;
            end case;
        end if;
    end if;
end process;

```

在时钟的控制下将需要加扰或解扰的数据作为输入与相应的 m 序列数据进行异或操作即可得到所需的扰码模块输出。

综上所述,如果要配置成为图 1 所示的 CCSDS 标准扰码模块,只需将寄存器级数控制指令设置为 1000,将寄

存器各级反馈抽头系数指令设置为 10101001,这样扰码模块便会根据指令完成功能配置。图 4 即是应用 ModelSIM SE 6.1f 仿真工具得到的 50 MHz 时钟下的仿真结果。

由图 4 可见,通过接收到的级数控制指令“stage”和反馈抽头系数指令“para”可以将扰码模块配置为图 1 所示的模块结构。这样,在输入“din”被设置为‘0’时,输出为一串基于 $h(x) = x^8 + x^2 + x^5 + x^3 + 1$ 本原多项式的周期为 255 的 m 序列,即:“1111 1111 0100 1000 0000 1110 1100...”。

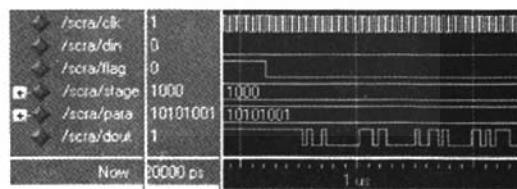


图 4 可配置扰码模块的 ModelSim 仿真

3 结 语

随着微电子技术的发展,FPGA 的容量和运算速度不断提高,使基于 FPGA 的可配置数字系统设计有了广阔的发挥空间,充分显示出通用性的特点。扰码模块因为自身的特点在通信、数字传输等领域有着广泛的应用,对其进行可配置的设计更是增强了应用的灵活性,可以在不同的应用背景下发挥出通用性的优势,有着广阔的应用前景。

参 考 文 献

- [1] 曹志刚,钱亚生. 现代通信原理[M]. 北京:清华大学出版社,1995.
- [2] Consultative Committee for Space Data System. TM Synchronization and Channel Coding, CCSDS. 131. 0 - B - 1. Blue Book, Issue 1, Washington, D. C.; CCSDS, 2003.
- [3] Xilinx. Virtex-4 FPGA Datasheet, 2006.
- [4] MAXIM. Maxim Integrated Products Datasheet, 2003.

作者简介 罗学平 男,1981 年出生,天津人,硕士研究生。主要从事基于 FPGA 的数字系统设计的研究工作。

(上接第 62 页)

每次传输 192 个扇区(96 kB),记录速度可以达到 24 MB/s,正确不丢数据的记录时间超过 60 min。该系统结构简单紧凑,实现了脱机记录模式;同时,采用双硬盘乒乓操作,增大缓存容量,或是采用性能更为优良的硬盘可以获得更高的存储速度。

参 考 文 献


- [1] AT Attachment with Packet Interface-6(ATA/ATAPI-

6). ANSI NCITS. 2002.

- [2] 荣志超,欧阳益民,李红川,等. 用 FPGA 的直写硬盘图像记录技术[J]. 光电工程,2003,30(6):46-49.
- [3] 刘刚,向健勇,段德军. 基于 FPGA 的脱机 IDE 硬盘控制[J]. 电子科技,2004(4):46-49.
- [4] PCI9054 Data Book [Z]. PLX Technology. Inc. 2001.
- [5] 魏丹,王春鸿,李梅,等. CPCI/PCI 总线的高速实时图像采集系统设计[J]. 光电工程,2005,32(2):158-161.

作者简介 张定国 男,1982 年出生,湖南湘乡人,硕士研究生。主要从事图像采集方面的工作。

基于FPGA控制的高速图像实时存储

作者: [张定国](#), [李梅](#), [ZHANG Dingguo](#), [LI Mei](#)
作者单位: [张定国, ZHANG Dingguo\(中国科学院, 光电技术研究所, 四川, 成都, 610209; 中国科学院, 研究生院, 北京, 100039\)](#), [李梅, LI Mei\(中国科学院, 光电技术研究所, 四川, 成都, 610209\)](#)
刊名: [现代电子技术](#) 
英文刊名: [MODERN ELECTRONICS TECHNIQUE](#)
年, 卷(期): 2007, 30(16)
被引用次数: 2次

参考文献(5条)

1. [AT Attachment with Packet Interface-6\(ATA/ATAPI-6\)](#) 2002
2. [栾志超](#), [欧阳益民](#), [李红川](#) [用FPGA的直写硬盘图像记录技术](#)[期刊论文]-[光电工程](#) 2003(06)
3. [刘刚](#), [向健勇](#), [段德军](#) [基于FPGA的脱机IDE硬盘控制](#)[期刊论文]-[电子科技](#) 2004(04)
4. [PCI9054 Data Book](#) 2001
5. [魏丹](#), [王春鸿](#), [李梅](#) [CPCI/PCI总线的高速实时图像采集系统设计](#) 2005(02)

引证文献(2条)

1. [刘树昌](#), [钟钢](#), [刘鹏](#), [王顺](#), [韩冬松](#) [动态检测系统中大容量高速图像同步录入技术](#)[期刊论文]-[吉林大学学报\(信息科学版\)](#) 2009(2)
2. [潘建国](#), [阙沛文](#), [雷华明](#) [基于FPGA的高速大容量数据采集系统设计](#)[期刊论文]-[电子测量技术](#) 2008(9)

本文链接: http://d.g.wanfangdata.com.cn/Periodical_xddzjs200716020.aspx

授权使用: 陕西理工学院(sxlgxy), 授权号: 53b48651-1e82-43fe-8759-9df20114a283

下载时间: 2010年9月15日