

# 基于 FPGA 的数字视频图像实时 TV 显示

徐大鹏<sup>1,2</sup>, 王延杰<sup>1</sup>

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130031; 2. 中国科学院研究生院, 北京 100039)

**摘要:** 数字摄像机的数字视频输出大多是非标准格式原始图像数据, 使其无法通过 DA 转换后直接在 TV 监视器上显示, 没有自动增益控制 (AGC), 使得图像对比度较差, 甚至人眼无法在监视器上识别较弱的目标, FPGA 及其外扩帧存储器的解决方案可以很好地解决上述问题; FPGA 可以产生标准的 CCIR601 视频控制时序, 帧存储器对整幅图像数据进行存储缓冲, 按时序的要求分奇偶行读取图像数据, 实现数字视频图像实时 TV 显示; 利用 FPGA 可以大量进行并行操作的特点, 同时在 FPGA 中实时统计整幅图像的灰度直方图, 求取图像的稳定最值, 在允许的灰度级范围内, 对图像数据进行线性拉伸, 扩大图像动态范围, 实时地提高图像的视觉效果。

**关键词:** FPGA; 数字视频; 自动增益控制; 图像动态范围; 灰度直方图

## Real-time TV Display for Digital Video Based on FPGA

Xu Dapeng<sup>1,2</sup>, Wang Yangjie<sup>1</sup>

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130031, China;

2. Graduate School of Chinese Academy of Sciences, Beijing 100039, China)

**Abstract:** Digital video output of Digital camera mostly is non-standard format and can't display on general TV monitor directly by DA conversion. Without AGC (automatic gain control) make digital image low contrast and difficult to recognize the weak object on the TV. FPGA and its extend Frame memory solution can do it very well. FPGA can generate standard CCIR601 video timing. Frame memory can buffer whole image data and output image data by odd or even line separate order to meet the video timing. Realize the digital video real-time displaying Finally. Exploiting FPGA Parallel fabric feature, get stable image maximal and minimal value through gray histogram in the same time. Stretch image data in full gray range Linearly, enlarge image dynamic range, and improve image vision effect in real-time.

**Key words:** FPGA; digital video; AGC; image dynamic range; gray histogram

## 0 引言

数字摄像机以其输出滞后小, 信噪比高等特点<sup>[1]</sup>, 在电视跟踪、工业测量和一些军事领域中得到了广泛的应用。但是, 由于大多数的数字摄像机的数字视频输出是非标准格式的, 因此需要相应变换才能通过 D/A 转换在通用的 TV 监视器上显示。另外, 数字像机的图像数据输出大多是原始数据 (RAW DATA) 输出, 没有经过处理, 往往图像的动态范围较小, 反映在图像数据上表现为图像数据集中在某个狭小的灰度范围内。实践表明, 如果整幅图像的灰度范围是 0~255, 对于灰度差小于 25 的像素, 则人眼很难区分。由于图像目标和背景的灰度级很接近, 整幅图像将模糊不清, 尤其在图像目标和背景比较接近的情况下, 视觉效果会很差, 无法满足人眼的主观视觉要求。这些都给数字视频的显示带来了挑战。

## 1 系统方案设计

### 1.1 数字像机接口时序与外部控制

不同厂商和型号的数字像机的数字视频输出也不尽相同, 一般的时序控制信号包括帧数据有效信号 (FVAL)、行有效信号 (LVAL)、像素时钟 (PCLK) 等。像机通常可以接收外部输入的触发信号 (trig) 来控制曝光的开始。多数情况下,

通过专用的图像采集卡, 将数字视频信号采集到计算机中, 通过与之配套的软件显示。本设计中通过 FPGA 产生 25Hz 的外触发信号控制像机的帧频, 使像机也工作在 25Hz 的帧频模式下, 这样可以与通用的 TV 监视器显示帧频一致, 保证了与显示系统的同步。

### 1.2 系统的整体结构

将数字像机输出的非标准格式的数字视频转换成 CCIR601 标准数字视频格式, 硬件上主要包括 FPGA 及 FPGA 外接两组 SRAM 构成的帧存储器, 转换后的标准数字视频数据流通过视频 DA 转换成模拟信号在 TV 监视器显示。整个显示系统结构框图如图 1 所示。

其中 FGPA 主要完成图像数据流的控制、CCIR601 标准数字视频格式的产生、帧存储器读写的控制, 以及对图像数据进行拉伸处理等工作。FGPA 外接的 SRAM 存储器可以实现对视频图像数据进行帧存处理, 以达到图像可以隔行输出的目的。FPGA 控制两组 SRAM 进行乒乓操作, 使得图像数据的帧存和输出可以并行独立地进行, 保证图像的连续性。视频 DA 将二维的数字图像信号在 FPGA 产生的数字视频复合同步信号控制下, 进行空间编码转换成为一维的模拟全视频电视信号, 通过 TV 监视器显示。

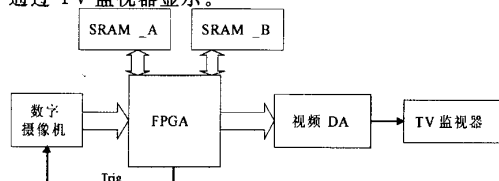


图 1 显示系统结构图

收稿日期: 2007-05-22; 修回日期: 2007-06-28。

**作者简介:** 徐大鹏 (1976-), 男, 助理研究员, 大学, 主要从事视频图像处理方向的研究。

王延杰 (1964-), 男, 研究员, 博士生导师, 主要从事视频图像处理方向的研究。

1.3 FPGA 程序结构

FPGA 具备丰富的片上资源，集成了一定数量的 SRAM 和硬件乘法器、加法器等算术单元，使其对数字信号实时处理能力大大提高。强大的逻辑运算和算术运算能力以及其他数字信号处理器所不具备的并行处理能力为本解决方案实现提供了硬件保障。

FPGA 内部程序结构按功能分类可以分成视频数据流控制和图像拉伸运算两大部分。视频数据流控制部分可以分成标准数字视频控制信号产生单元和帧存储器控制功能单元，拉伸变换可以分成直方图统计和拉伸运算两部分。FPGA 程序结构图如图 2 所示。

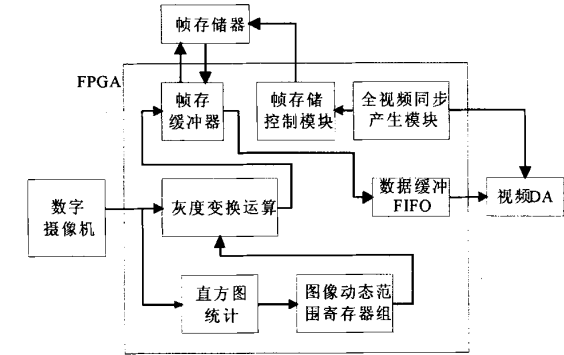


图 2 FPGA 内部程序结构

2 利用 FPGA 完成视频格式转换

2.1 利用 FPGA 生成标准数字视频控制信号

国际无线电咨询委员会 (CCIR) 制订了数字视频编码标准，称为 CCIR 601 标准。该标准规定了电视图像转换成数字图像时使用的采样频率为 13.5MHz，每秒 25 帧，每帧 625 行。标准的视频控制信号可以分成 4 部分，分别是行同步信号、场同步信号、场同步开槽脉冲和前后均衡脉冲。在 FPGA 中很容易产生以上 4 种信号并经过逻辑合成可以生成复合同步信号，各信号的波形如图 3 所示。

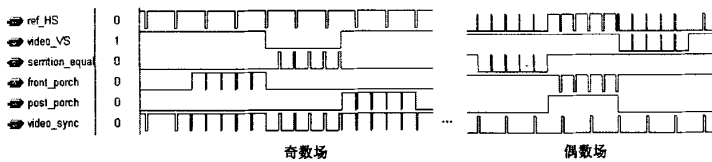


图 3 数字视频的复合同步信号生成波形图

如图 3 时序可知，无论奇数场还是偶数场的场同步信号 (video\_VS) 的脉冲宽度都是两行半，不同的是奇数场的场同步信号是以整数行开始以半行结束，而偶数场的场同步信号是以半行开始以正行结束，这样根据行同步与场同步的时序关系在每场的开始就可以确定本场的奇偶属性，然后根据奇偶属性值读取相应的图像数据。实现过程是检测场同步信号的下降沿，产生场同步下降沿脉冲的标志脉冲信号 (vs\_fall\_pulse)，然后与行同步信号做逻辑与运算，如果是逻辑“0”，则表明奇数场开始；结果是逻辑“1”，则表明是偶数场开始。将代表奇偶场的逻辑值存入 FIELD\_ID 寄存器中作为控制信号选择帧存储器中相应场的图像数据。FIELD\_ID 信号的波

形如图 4 所示。

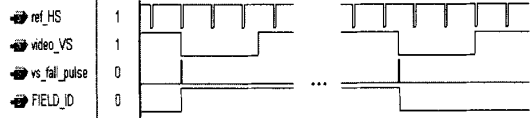


图 4 FIELD\_ID 信号波形图

2.2 SRAM 的控制

通用 TV 监视器的显示方式是隔行扫描，一帧图像分成两场来显示，因此不能将数字像机输出的原始图像直接显示，需要帧存处理，然后抽行输出。输出的数据必须与 FPGA 内部产生的时序相配合。

为了避免读写 SRAM 在一帧图像的时间内数据线分时复用，提高数据的传输稳定性，将帧存储分成两组，分别为 SRAM\_A 和 SRAM\_B，进行乒乓操作。如图 5 所示，两组帧存储器轮流读写，在某一时刻写入 SRAM\_A 数据同时，读取 SRAM\_B 中的数据或是写入 SRAM\_B 数据同时，读取 SRAM\_A 中的数据。

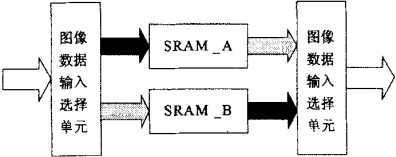


图 5 乒乓操作工作流程

为了保证帧存储器中的图像数据与 FPGA 产生的标准视频控制信号相配合，需要判断 FIELD\_ID 寄存器的值，来产生奇数行或者偶数行的地址，奇数场的地址为  $720 \times (2N) + X$ ；偶数场的地址为  $720 \times (2N+1) + X$ ，其中 N 和 X 均为整数。

由于异步输入和跨时钟域的数据输出需要与本级系统时钟同步<sup>[2]</sup>，而异步 FIFO 的读写可以工作在不同的时钟域中<sup>[3]</sup>，原始数字视频数据、SRAM 内部数据和标准数字视频数据各自在不同时钟域中，因此需要通过异步 FIFO 进行缓冲，从而保证不同时钟域单元的无缝连接。

3 灰度拉伸变换

一般数字像机输出的都是原始的图像数据，为了取得较好的视觉效果有必要对图像数据进行拉伸处理。灰度拉伸的目的是提高图像的动态范围，使得灰度值不是集中在一个小区间内而是比较均匀地分布在整个灰度值所允许尺度范围内。灰度拉伸变换基本思想是将图像中像素的灰度级进行扩展，但是不改变图像中像素的灰度级的排列顺序，这样可以在图像不失真的情况下，提高图像的对比度，达到改善图像的主观视觉效果的目的。

3.1 直方图的统计和原始图像动态范围输出

利用 FPGA 内部嵌入的高速 RAM 资源可以构造成为双口 RAM，与其他逻辑资源相配合，可以实时地统计图像的直方图，在控制逻辑下，可以实现直方图的实时输出。统计直方图的程序结构图如图 6 所示。

在数据/地址产生模块控制下将图像数据作为双口 RAM 的地址来选通相应的存储单元，在读时钟和读使能信号控制

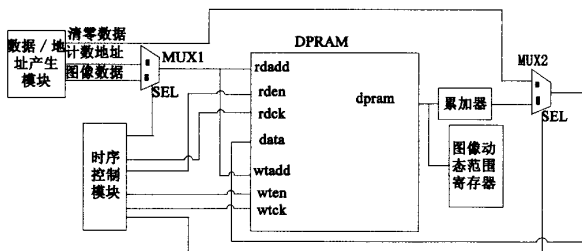


图 6 FPGA 统计直方图程序结构图

下,将存储单元中的内容读出,然后经过累加器后,在写逻辑的控制下再次存入到该存储单元中,完成一个像素灰度值的统计过程。整个过程是对 SRAM 中同一个地址操作,所以,读写地址相同。由时序控制模块输出相应的读写使能和读写时钟,使对同一地址的读写分成两个节拍顺序进行。多路复用器 MUX1 和 MUX2 都在时序控制模块控制下选通“1”通道。同理,对于每个有效的图像数据都重复以上过程得到存储在双口 RAM 中的整幅图像的灰度信息统计值。

完成一帧图像的灰度值统计后,根据方案的需要输出符合条件的图像最值信息,由数据/地址产生模块产生计数地址(通过计数器产生的顺序地址)作为 SRAM 的地址,在读使能和读时钟的控制下,查找满足条件的数值后,将其存入到图像动态范围寄存器中。图像动态范围输出后,需要将 SRAM 各个存储单元清零。在时序控制模块控制下,多路复用器 MUX1 和 MUX2 选通“0”通道。由数据/地址产生模块产生计数地址和清零数据,在写控制逻辑的控制下依次存入相应的地址单元中,实现对全部存储单元清零处理,为统计下一帧图像直方图做好准备。

### 3.2 原始数据动态范围的确定

图像的动态范围是指图像从暗到亮的变化范围,求取图像的动态范围就是找到图像的最大值和最小值。由于像机的光电传感器可能存在瑕点或者图像数据在传输过程中受到外部干扰,图像可能存在噪声,某帧图像中灰度值最大或者最小的像素可能不是真实的最大或最小值,因此图像的最值的求取需要有容错考虑。解决的办法是,根据图像的直方图,从最大的灰度值起开始查找,首先满足具有 10 个像素点以上的灰度值可以认为是整幅图像的灰度最大值。同理,从最小的灰度值开始查找,首先满足具有 10 个以上的像素的灰度值为图像的最小

值。这种方法找到的最值稳定可靠,不会因为虚假的最值导致在图像拉伸过程中使整幅图像的亮暗闪烁。图像的最值保存在图像动态范围寄存器组中,要保存一个帧周期时间。用帧有效信号(FVAL)的上升沿锁存数据,既可以将图像的动态范围数据保存一个帧周期,又可以每帧动态地更新数据。

### 3.3 灰度拉伸变换

图像的灰度拉伸能提高图像的主观质量,图像的拉伸变换有很多种方法,比较常用的是线性拉伸,把原始图像灰度区间 $[a, b]$ 内的像素值线性映射到 $[y_1, y_0]$ 区间中。原始图像灰度区间 $[a, b]$ 一般是空间 $[y_1, y_0]$ 的子空间,对原始图像中的任意灰度值 $x$ 映射到区间的函数关系式如下式:

$$y = \frac{y_1 - y_0}{b - a} (x - a) + y_0$$

如果对八位图像数据进行满尺度范围拉伸也就是在区间 $[255, 0]$ 内,则上式可简化为

$$y = \frac{255}{b - a} (x - a)$$

其中 $b$ 和 $a$ 的值由图像动态范围寄存器组给出,而且每帧更新一次。值由原始图像灰度值输入,整个算式在 FPGA 中以流水线的方式实现。

## 4 结论

利用 FPGA 和帧存储器实现数字视频的 TV 显示结构简单,体积小,方便灵活,可以适合很多种数字像机的时序,有广泛的适用性。通过直方图来求取图像最值,避免了图像噪声的干扰,增加了系统的可靠性。FPGA 的并行性特点使得图像的显示和增强同时进行,增加了系统的集成度。FPGA 中嵌入了硬件乘法器、加法器、累加器等硬件单元,增强了系统的实时性,整个显示过程仅比原视频滞后一个帧周期,可以满足多数系统的实时性要求。对于高分辨率的数字像机可以在 FPGA 中做适当的图像视场裁剪以适合显示的需要,因此基于 FPGA 加帧存储器的解决方案具有广泛的实用价值。

### 参考文献:

- [1] 王丽荣,申铎国.一种高帧频数字相机实时显示系统的研制[J].电路与系统学报,2007,2(1):82-84.
- [2] 汪国有,马荣毅.高速数字电路的 FPGA 实现技巧[J].计算机测量与控制,2007,15(1):114-116.
- [3] 张维旭,贺占庄.基于 FPGA 的异步 FIFO 设计[J].计算机技术与发展,2006,7(1):168-116.

## 2007 RIGOL"持续创新、引领测量"全国巡展火热报名中

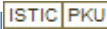
近日,测试测量制造商 RIGOL(北京普源精仪科技有限责任公司)宣布将启动覆盖 14 个城市,主题为"持续创新、引领测量"的大型全国研讨会。届时 RIGOL 将展示 DS 系列数字示波器、DG 系列函数/任意波形发生器、及 DM 系列数字万用表及虚拟仪器等多款产品,并将现场展示多种产品应用解决方案,与工程师共同交流使用心得。

近年来,随着电子产业技术的不断发展,对测试仪器的精度和易用性提出了更高的要求。作为国内基础测量仪器供应商,RIGOL 基于多年来对本土客户需求的深入理解,先后在数字示波器、信号发生器、数字万用表等产品上取得了技术突破,连续创下多个技术指标新记录。不仅如此,在销售上,RIGOL 2006 年更成为全球中高端示波器出货量第二的企业。RIGOL 仪器的易用性、高性价比为各行业用户提供了新的选择,一机多用型产品的出现更让测试测量仪器市场逐渐细分,使用户可以真正实现减少成本,提高效率。

在技术上,RIGOL 始终致力于满足用户的精密需求,DS1000A 示波器等产品的推出,全面提升了国产仪器的性能指标,为高标准作业提供了更多选择;在应用上,RIGOL 的开发团队可根据用户的不同需求迅速响应复杂测试项目的整套解决方案,大大优化生产研发流程;在产品服务上,RIGOL 免费赠送测试配套软件,并配备一流的售后服务工程师和二次开发小组,最大程度地为用户提供专业的产品、应用方案和服务;在价格上,RIGOL 推出的产品在业内一直拥有良好的性价比口碑,保障用户测量质量的同时更可以有效降低应用成本,提高工作效率。

据相关负责人介绍,本次 RIGOL 巡展的范围将遍及北京、上海、天津、东莞、杭州、南京、西安、郑州、长沙、成都、沈阳、大连、哈尔滨、长春十四个城市,相信这将对与会工程师大有裨益,为推动国内测试测量行业发展带来积极影响。

# 基于FPGA的数字视频图像实时TV显示

作者: [徐大鹏](#), [王延杰](#), [Xu Dapeng](#), [Wang Yangjie](#)  
作者单位: [徐大鹏, Xu Dapeng \(中国科学院, 长春光学精密机械与物理研究所, 吉林, 长春, 130031; 中国科学院研究生院, 北京, 100039\)](#), [王延杰, Wang Yangjie \(中国科学院, 长春光学精密机械与物理研究所, 吉林, 长春, 130031\)](#)  
刊名: [计算机测量与控制](#)   
英文刊名: [COMPUTER MEASUREMENT & CONTROL](#)  
年, 卷(期): 2007, 15(9)  
被引用次数: 0次

## 参考文献(3条)

1. 王丽荣, 申铨国 一种高帧频数字相机实时显示系统的研制[期刊论文]-[电路与系统学报](#) 2007(01)
2. 汪国有, 马荣毅 高速数字电路的FPGA实现技巧[期刊论文]-[计算机测量与控制](#) 2007(01)
3. 张维旭, 贺占庄 基于FPGA的异步FIFO设计[期刊论文]-[计算机技术与发展](#) 2006(01)

## 相似文献(10条)

1. 学位论文 [叶红军](#) 基于FPGA的数字视频光纤传输系统的设计 2007

随着计算机技术和通信技术的迅速发展, 数字视频在信息社会中发挥着越来越重要的作用, 视频传输系统已经被广泛应用于交通管理、工业监控、广播电视、银行、商场等多个领域。同时, FPGA单片规模的不断扩大, 在FPGA芯片内部实现复杂的数字信号处理系统也成为现实, 因此采用FPGA实现视频压缩和传输已成为一种最佳选择。

本文将视频压缩技术和光纤传输技术相结合, 设计了一种基于无损压缩算法的多路数字视频光纤传输系统, 系统利用时分复用和无损压缩技术, 采用串行数字视频传输的方式, 可在一根光纤中同时传输8路以上视频信号。系统在总体设计时, 确定了基于FPGA的设计方案, 采用ADI公司的AD9280和AD9708芯片实现A/D转换和D/A转换, 在FPGA里实现系统的时分复用/解复用、视频数据压缩/解压缩和线路码编解码, 利用光收发一体模块实现光电转换和光电转换。视频压缩采用LZW无损压缩算法, 用Verilog语言设计了压缩模块和解压缩模块, 利用Xilinx公司的IP核生成工具Core Generator生成FIFO来缓存压缩/解压缩单元的输入输出数据, 光纤线路码采用CMT码, 设计了编解码模块, 解码过程中, 利用数字锁相环来实现发射与接收的帧同步, 在ISE8.2和Modelsim仿真环境下对FPGA模块进行了功能仿真和时序仿真, 并在Spartan-3E开发板和视频扩展板上完成了系统的硬件调试与验证工作, 实验证明, 系统工作稳定, 图像清晰, 实时传输效果好, 可用于交通、安防、工业监控等多个领域。

本文将视频压缩和线路码编解码在FPGA里实现, 利用FPGA的并行处理优势, 大大提高了系统的处理速度, 使系统具有集成度高、灵活性强、调试方便、抗干扰能力强、易于升级等特点。

2. 期刊论文 [冯俊威](#), [蒋志翔](#), [FENG Jun-wei](#), [JIANG Zhi-xiang](#) 面向屏幕拼接的数字视频插值算法及FPGA实现 -[计算机工程与设计](#)2009, 30(22)

针对多屏幕拼接显示系统中高分辨率、高清晰、低失真的显示需求, 提出了一种基于FPGA实现的实时视频处理算法。在介绍了DVI接口屏幕拼接显示的系统结构及FPGA算法的主要功能后, 针对算法处理对象具有视频像素流的特点, 重点讨论了实时数字视频像素流的分割算法和基于滑动窗口的插值放大算法的实现。实验结果表明, 该算法能够满足屏幕拼接显示的需求。

3. 学位论文 [赵魁](#) 基于FPGA的数字视频信号发生器的设计与实现 2007

随着数字技术的高速发展, 越来越多的针对数字视频压缩、传送、显示等的设备涌入市场。要从这些良莠不齐的产品中挑选出令人满意的商品, 一套良好的数字视频测试设备就必不可少。然而, 现阶段大多数数字视频信号源都存在不同的缺点, 如测试图像种类太少、没有动态测试源、缺乏专用测试信号等。为有效克服这些缺陷, 作者设计并开发了一套基于FPGA的数字视频信号发生器。整个系统包括硬件平台和图像格式转换软件两大部分。硬件平台本身即为独立的信号发生器, 可以生成多种测试图像。配备了图像格式转换软件, 就可以实现硬件平台从PC机接收各种静态测试图像、动态测试序列, 不断更新测试图像库。整个系统具有良好的硬件体系结构、便捷的输入接口, 稳定的信号输出, 同时操作灵活、方便, 易于升级更新。

在系统的开发过程中, 使用了多种硬件、软件开发工具, 如PROTEL DXP、ISE、MODEL SIM、MATLAB、C#、.NET等。由于软硬件调试均由同一人完成, 因此整个系统具备良好的统一性和兼容性。

另外, 作者还研究并设计了一种针对H.264编解码器压缩损伤的测试信号。评估一个编解码器的性能可采用主观评价或客观评价两种方法。其中主观评价最为直接、有效。本文在依托主观评价方法的基础上, 结合客观参数的指导性, 研究并设计一种通过人眼就可以方便的观测到实际存在的压缩损伤的测试信号, 以达到直接对编解码器性能进行比较的目的。

4. 期刊论文 [罗小巧](#), [樊伟良](#), [李伟](#), [Luo Xiaoqiao](#), [Fan Weiliang](#), [Li Wei](#) 基于FPGA的数字视频转换接口的设计与实现 -[电子测量技术](#)2008, 31(10)

本文详细介绍了基于FPGA EP2C35F672的数字视频转换接口的设计及实现方法。重点描述了系统硬件的设计以及FPGA内部逻辑电路的设计, 包括串转并、隔行变逐行和颜色空间转换等模块。实现了DVD播放器输出的模拟视频信号通过ADV7181电视解码芯片解码后, 在VGA显示器上播放的功能。

5. 学位论文 [张博](#) 基于FPGA的数字视频展台的设计 2007

本文选用Sharp(夏普)公司的47万像素彩色CCD(电荷耦合器件)图像传感器套件来实现图像信号的采集, 采用FPGA对其输出的图像信号进行处理, 可使图像传感器采集的图像在VGA显示器上实时显示。该方案比采用专用图像处理芯片有着很强的价格优势, 且利于系统的功能扩展。本文的主要工作概括如下:

(1) 系统硬件结构设计

完成了图像信号采集、信号处理及输出和控制部分的硬件电路设计。

(2) 实现图像格式转换及帧率提升

将图像传感器套件输出的PAL(逐行倒相)制数字YUV(4:2:2)格式信号转换成RGB(5:6:5)格式, 利用两个SDRAM作为帧缓存, 采用场间插值算法, 完成隔行到逐行的转换, 并将帧率由25Hz提升到60Hz。

(3) 实现图像放大

利用FPGA内部Block RAM作为行缓存, 采用线性插值算法, 将图像分辨率由738\*575放大到800\*600, 即SVGA格式。

(4) 实现PS/2鼠标的驱动及显示



根据PS/2协议,完成了对PS/2鼠标的初始化,可实现PS/2鼠标的在屏幕显示,同时产生SVGA@60HZ的行、场同步信号。

(5)提出并实现了一种改进的自动聚焦算法

提出一种改进的灰度差分法作为聚焦评价函数,即将一场图像的所有像素的亮度值与周围像素的亮度值差的绝对值和作为聚焦评价函数,求出相邻同场(奇场或偶场)的聚焦评价函数的比较结果,单片机根据此信息并采用一定的搜索策略来控制步进电机的转动,可实现图像的自动聚焦。

(6)实现一些辅助功能

实现了视频展台常用的图像冻结、负片显示、图像\文本选择、黑白\彩色图像选择输出等功能。

上述功能均采用VHDL描述,并在Xilinx(赛灵思)公司Spartan3E系列FPGA XC3S250E上实现,已经应用于视频展台的生产中。本文实现的多功能模块既可用于本系统中,也可作为独立的、拥有自主知识产权的IP Core应用与其它系统中。

## 6. 期刊论文 [向守坤. 黄启俊. 江冠群. 马建伟. 程方敏. Xiang Shoukun. Huang Qijun. Jiang Guanqun. Ma Jianwei.](#)

### [Cheng Fangmin 基于FPGA的ITU-R BT. 656数字视频转换接口系统 -电子测量技术2009, 32\(4\)](#)

针对MT9M111数字图像传感器,采用Cyclone系列EP1C6Q240C6作为主控芯片,设计并实现了ITU-R BT. 656视频数据的采集、色彩空间转换、DVI-I显示控制的数字视频转换系统。系统可以将传感器的输入图像以1280×960(60 Hz)和1280×1024(60 Hz)格式输出到DVI-I显示器上,并具有图像静止功能,同时在系统空闲时,可以将系统设置为待机状态,降低功耗。

## 7. 学位论文 [吕鹏 基于FPGA的数字视频侦察监控系统设计 2009](#)

数字视频监控技术无论是在军事领域还是在民用领域,都有着重要的作用和广泛的应用市场及前景。迫切的军用和民用需求,推动着视频监控技术持续而迅猛的发展。为了提高监控视频的图像质量,使设备小型化,以便能满足各种条件下的适用场合,目前基于FPGA的数字视频侦察监控系统已成为一种主流的解决方案。

本文设计了一种可以在战场上使用的数字视频侦察监控系统。该系统配备了12路摄像头,当侦察车或者装甲车在向前进的时候,可以做到对周围的环境全方位的侦察监控,从而对判断战场的情况起到了巨大的作用。

本文首先介绍了数字视频监控技术的发展与现状,视频数据的产生以及接收特性和FPGA技术的基本概念,在此基础上研究了视频信号的组成方式、VGA、DVI显示接口以及显示器的工作原理,分析了采用FPGA实现整个系统的可能性。接着,在充分考虑了要求达到的标准以后,选用了视频解码芯片SAA7111A、视频编码芯片ADV7125、DVI发送芯片TTP410、CY7C1061AV33型SRAM以及EP2C35FPGA672型FPGA芯片应用于硬件电路设计。然后设计出电路原理图以及PCB版图。最后,根据系统工作要求,本文设计了FPGA系统中的片内逻辑模块,包括视频采集缓冲异步FIFO(先进先出)模块、I2C总线配置模块、视频帧存储控制模块、VGA视频显示模块、DVI视频显示模块等。在此基础上完成了系统软硬件调试,最终成功的实现了12路摄像头的切换显示和对周围环境的全方位监控,达到了预定的设计目标。

## 8. 学位论文 [孙凯 用于LCD电视盒的数字视频处理系统设计与实现 2006](#)

随着数字视频技术的发展,作为核心部件的数字视频处理芯片在各种高、中、低端数字视频产品中得到广泛的应用,成为产业发展的动力。在液晶显示器向个人电脑的普及过程中,LCD电视盒因性价比的不断提高,正逐渐成为个人电脑娱乐中心的重要组成部分。自主研发用于LCD电视盒的数字视频处理芯片有着广阔的前景。

论文来源于深圳某公司的“xxx数字视频处理SoC芯片开发项目”,作者参与了该芯片的全部设计过程,主要负责其中的去隔行算法研究、数字亮度、色度瞬态改善算法研究、算法的硬件实现、系统的功能仿真及FPGA原型验证等方面的工作。

论文的主要内容如下:

1)深入研究和比较了线性插值算法、非线性自适应算法和运动补偿插值算法等去隔行算法。根据项目应用需求及成本约束,提出了改进的基于三场检测的运动自适应插值算法。

2)分析了图像增强算法中的色度和亮度瞬态改善算法,并采用替代保护的设计思想对传统移位法进行了改进。完成了色度和亮度瞬态改善算法的硬件设计,并通过对所有权和计算进行优化处理的方法,减少了硬件资源的占用。

3)建立了整个数字视频处理SoC芯片的数模混合仿真平台,并完成了芯片的功能仿真,验证了系统功能的正确性。

4)针对FPGA的结构特点,将ASIC代码进行了适应于FPGA的设计调整,完成了SoC芯片的FPGA原型验证。充分利用工具软件Quartus II提供的嵌入式逻辑分析仪以及系统存储器库和常量升级等工具进行在线调试,同时为了减少逻辑综合的时间采用了“黑盒调用”的方法。

用于LCD电视盒的数字视频处理芯片采用CSM公司的0.18微米制造工艺,面积为5.5×5.5mm,引脚数为176个,最大工作频率为135MHz,目前已正式流片。

该芯片具有完全自主知识产权,性能指标已达到国外同类产品的水平。该芯片的成功推出将改变目前我国此类芯片依赖进口的局面,同时也为在高端数字视频处理芯片领域的研究打下基础。

## 9. 期刊论文 [冯永茂. 徐秀知. 王骞. 丁铁夫. FENG Yong-mao. XU Xiu-zhi. WANG Qian. DING Tie-fu 基于FPGA的数字视频异步帧频转换器设计 -电子器件2007, 30\(3\)](#)

利用DVI接口的同步控制信号生成内存写入地址,帧频触发信号控制内存读取地址的设计思想,在FPGA中实现了从任意帧频的数字视频源转换到50 Hz或60 Hz帧频,给出了帧频转换器的基本硬件结构,和实用的设计方法,并讨论了数据缓冲区设置深度与内存操作带宽的关系。

## 10. 学位论文 [侯俊华 基于SoPC的数字视频记录仪设计及SRTTP应用 2006](#)

数字视频监控系统作为一种可靠的安全保障系统,已渗透到人们日常工作和生活的方方面面。其中,作为视频监控系统中重要组成部分的数字视频记录仪,其开发和设计必须针对安防领域的切需要及不同监控环境的特殊应用需求,成为视频监控系统中研究的热点。此外,网络传输的安全已受到普遍关注,监控的视频数据在网络传输过程中同样存在诸多不安全因素,造成了远程网络监控系统中的实时安全传输问题。所以,在数字视频监控系统中,设计一款具有高质量图像处理能力,并具备视频数据流安全保护功能的高性能数字视频记录仪,不仅具有较高的研究价值,而且具有广泛的应用前景。

根据各类视频监控系统的实际需求,本文率先提出了基于SoPC技术的嵌入式数字视频记录仪的设计和开发,摆脱了传统嵌入式系统开发所存在的局限性,充分发挥了FPGA所具有的功能特点,有效利用了FPGA设计的灵活性,使系统具有结构简单、应用性强等特点。系统处理器采用了Nios-II软处理器核,从而使系统具有了更多特性和性能优势。本文通过丰富的程序设计流程图,详细的描述了系统中VW2010芯片主机接口模式下驱动程序的开发。同时,本文通过对SRTTP协议的研究和应用,提出了网络监控系统中视频数据流安全、实时传输的解决方案,从而初步解决了监控视频数据流在网络传输中的安全问题。此外,本文还对系统软、硬件的调试和系统中一些实际问题的解决方法进行了详尽的阐述。

通过初步测试,证明本文所设计并完成的数字视频记录仪原型基本满足设计要求,为数字视频存储系统产品的进一步开发奠定了基础。

本文链接: [http://d.g.wanfangdata.com.cn/Periodical\\_jsjzdclykz200709039.aspx](http://d.g.wanfangdata.com.cn/Periodical_jsjzdclykz200709039.aspx)

授权使用: 陕西理工学院(sxlgy), 授权号: b1077714-19a1-4d67-971b-9df2010cdda1

下载时间: 2010年9月15日