

一种应用于实时图像系统的 USB2.0 通信设计

杨斌^{1,2}, 刘布民¹, 吴斌², 程鹏²

(1. 电子科技大学 微电子与固体电子学院, 四川 成都 610054;

2. 中国科学院微电子研究所, 北京 100029)

摘 要: 针对小型化实时图像系统对移动性和高数据传输速率的迫切需求, 提出了一种由 USB2.0 芯片、FPGA 和图像传感器组成的便携式实时图像采集和传输系统。经实测, 该系统能在 207 Mb/s 峰值传输速率下, 实时采集并传输 84 S/s、640×480 分辨率的实时图像数据。

关键词: 实时图像系统; FPGA; USB 2.0

中图分类号: TP334.2+2

文献标识码: A

Communication design of USB2.0 for real time image system

YANG Bin^{1,2}, LIU Bu Min¹, WU Bin², CHENG Peng²

(1. School of Microelectronics and Solid-State Electronics, UESTC, Chengdu 610054, China;

2. Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A portable real-time image acquisition and transmission system composed of USB2.0 chip, FPGA and image sensor is introduced for the urgent demand of mobility and high data transmission rate in miniature real-time image system. The measured results show that the system can real-time acquire and transmit 84 frame per second, 640×480 image resolution real-time image data with peak transmission rate of 207 Mb/s.

Key words: real time image system; FPGA; USB2.0

随着数字通信与数字多媒体技术的发展, 实时图像系统已经被广泛应用于商业、工业、医学、军事、科学研究等领域。目前的实时图像系统中, 海量的数据处理和数据成像功能, 通常借助计算机终端(PC 终端)完成, 所以系统需要实时地将采集到的图像数据传递到 PC 终端。而现在大多数以 PC 为终端的实时图像系统, 都采用 PCI 接口进行数据采集后的数据传输^[1], 具有安装复杂、开发周期长、体积大等缺点, 不适用于小型化设备的应用场合。针对这种情况, 本文提出了一种以 PC 为终端, 基于 FPGA 和 USB2.0 芯片的便携式实时图像采集传输系统。该系统充分利用了 FPGA 的实时控制能力和实时数据处理能力, 以及 USB2.0 芯片低成本、高吞吐率、移植方便等特点, 使得整体系统具有成本低、可扩展性强、功耗低、设备体积小等优势, 能够作为小型化设备应用于多种实际

场合, 有较高的应用价值。

1 系统框架及芯片简介

系统由 USB2.0 芯片、FPGA 和图像传感器组成^[2], 外加 PC 终端, 配合系统工作。系统框图如图 1 所示。

系统工作原理: 系统上电后, 在 PC 终端的图形界面中, 定义图像传感器的配置信息; USB2.0 芯片将配置信息转发至 FPGA; FPGA 根据所得信息, 对图像传感器进行初始化配置; 配置完成后, 传感器周期性地采集图像

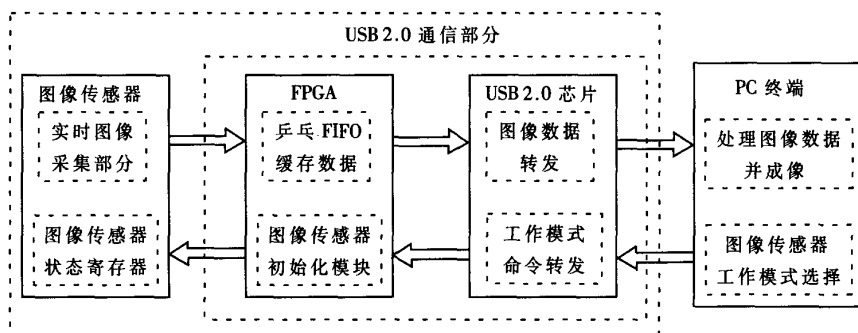


图 1 系统框图

信号发送至 FPGA;FPGA 利用内部 2 个采用乒乓操作的 FIFO,将图像数据缓存后,发送至 USB2.0 芯片(USB2.0 芯片传输速度比图像数据获取速度快);USB2.0 芯片将图像数据转发至 PC 终端;最后 PC 终端将实时图像信息显示出来。如果 PC 终端显示的图像未达到用户要求,可实时修改图像传感器工作模式,以满足要求。

系统中,图像传感器采用 OmniVision 公司的低功耗 CMOS 彩色图像传感器芯片 OV7649;FPGA 采用 Altera 公司面向低功耗、低成本应用而推出的 CycloneII 系列中的 EP2C5AF256A7;USB2.0 芯片选用 Cypress 公司的 CY7C68013A,它是应用广泛的 USB2.0 芯片 CY7C68013 的低功耗版本。EP2C5AF256A7、CY7C68013A 组成 USB2.0 通信部分,该部分为本系统的核心。

1.1 FPGA 芯片(EP2C5AF256A7)

FPGA 处于系统中核心位置,用于控制图像传感器和 USB2.0 芯片,并将实时图像数据缓存转发。

EP2C5AF256A7 的逻辑功能较强,完成系统功能后,还有不少逻辑余量,可用于其他控制逻辑,使系统具有较强的可扩展性。

1.2 USB2.0 芯片(CY7C68013A)

USB2.0 芯片是系统中数据传输的核心,用于将图像数据转发至 PC 终端,并将配置信息转发到 FPGA。图 2 为 CY7C68013A 芯片框图,片内集成了 USB2.0 收发器、串行接口引擎(SIE)、增强型的 8051 微处理器和可编程的外围接口^[3]。

CY7C68013A 有 3 种可用的接口模式:

(1) 端口模式下,数据经内部 8051 微处理器转发,设计灵活,但数据传输速度较慢。

(2) 从属 FIFO 模式下,数据通过片内 FIFO 与外部逻辑连接,传输速率高,但需要外部逻辑来提高设计灵活性。

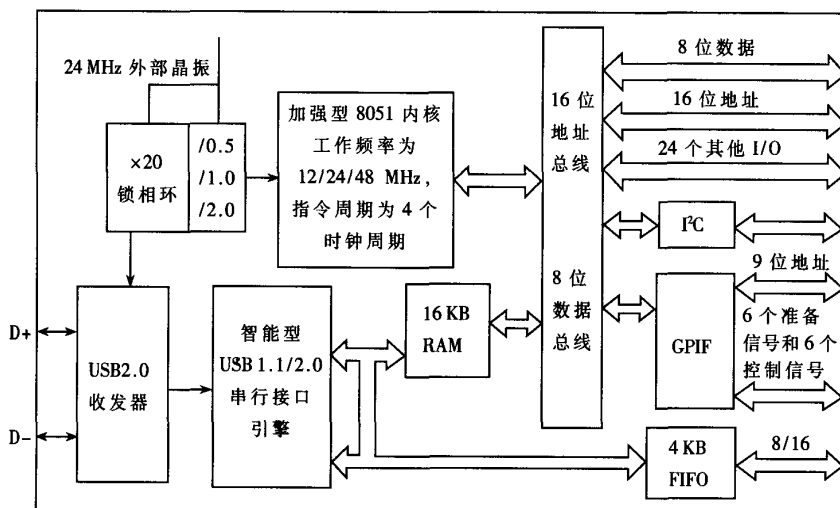


图 2 CY7C68013A 芯片框图

(3) GPIF 模式下,片内 FIFO 和外部逻辑之间,集成可编程接口,以牺牲传输速率来提高数据传输的灵活性,是端口模式和从属 FIFO 模式的折中。

考虑到系统实时性和采用的 FPGA 逻辑功能较强等原因, CY7C68013A 工作在从属 FIFO 模式。

2 硬件架构

在 USB2.0 通信部分,主要的硬件连接为 FPGA 与 USB2.0 芯片的硬件连接。图 3 为 FPGA 与 USB2.0 芯片中对应管脚之间的电气连接。

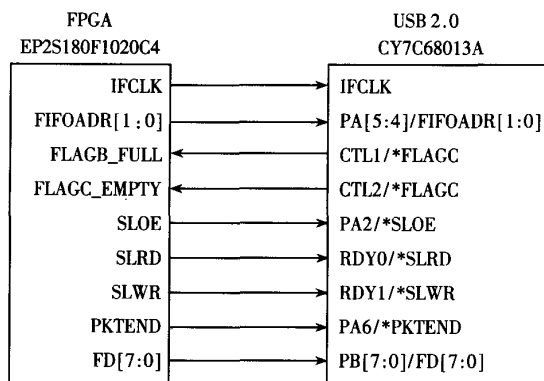


图 3 USB2.0 芯片与 FPGA 的硬件连接

图中,IFCLK 用于数据同步和控制信息同步,采用 48 MHz 的时钟频率。FLAGB_FULL 和 FLAGC_EMPTY 为 FIFO 状态标识信号。FIFOADR[1:0]为端点选择信号:当传递图像数据时,FIFOADR [1:0]=10;当传递配置信息时,FIFOADR[1:0]=00。SLOE 为数据使能信号。SLRD、SLWR 为读写控制信号:SLRD 有效时,USB2.0 芯片转发配置信息;SLWR 有效时,USB2.0 芯片转发图像数据。PKTEND 为包结束命令:FPGA 发送完 1 帧图像数据后,将该信号置为有效 1 次,防止数据流不连续。FD[7:0]为

FPGA 与 USB2.0 芯片之间通信的双向 8 位数据总线。

3 软件实现

USB2.0 通信部分的软件实现包括:(1)USB2.0 芯片固件程序;(2)PC 终端驱动程序;(3)FPGA 的控制代码。

3.1 固件程序

USB2.0 芯片内嵌了加强型 8051 微处理器,帮助 USB2.0 芯片完成初始化、协议通信和片内电源管理等工作^[4]。要使微处理器正常工作,就离不开固件的控制和协调,固件应该完成下面的内容:

(1) 初始化:设置特殊功能寄存器的初值,使 USB2.0 芯片做好

工作准备。

- (2) 完成 USB2.0 协议规定的 USB 设备端的响应动作。
- (3) 处理收到的中断。
- (4) 完成数据的收发和处理。
- (5) 控制与外围电路的接口,协同外围电路工作。

在 Keil uVision 2 软件环境下,修改 Cypress 公司提供的固件框架中的 TD_Init() 函数,配置 USB2.0 芯片进入用户所需要的工作方式;修改 TD_Poll() 函数,定义 USB2.0 芯片的数据传输方式,即可完成固件程序的编写。下面是核心固件代码:

```
// 接口配置:
IFCONFIG = 0x43;
SYNCDelay;
FIFOPINPOLAR = 0x0C;
SYNCDelay;
// 设定端点 2 工作模式:
EP2CFG = 0xA2;
SYNCDelay;
OUTPKTEND = 0x82;
SYNCDelay;
OUTPKTEND = 0x82;
SYNCDelay;
EP2FIFOCFG = 0x10;
SYNCDelay;
// 设定端点 6 工作模式:
EP6CFG = 0xE0;
SYNCDelay;
EP6FIFOCFG = 0x0C;
SYNCDelay;
EP6AUTOINLENH = 0x02;
SYNCDelay;
EP6AUTOINLENL = 0x00;
SYNCDelay;
```

3.2 驱动程序

驱动程序通过控制 PC 终端的硬件,完成 USB2.0 协议中主机端动作;完成 PC 终端和 USB2.0 芯片之间的数据收发和存储^[5]。

驱动程序基于 Windows XP 系统环境开发,使用 JUNGU 公司的 Windriver 和 Microsoft 公司的 Visual C++ 6.0 进行实现。具体开发过程:

(1) 通过 Windriver 获取 USB2.0 芯片的硬件连接情况和各个通信管道的状态参数。

(2) 根据得到的信息,对 Windriver 中的参数进行修改,生成驱动程序框架。

(3) 使用 Visual C++ 6.0 修改驱动程序框架,完成系统中 PC 终端的驱动程序。

3.3 控制代码

从 USB2.0 协议角度,FPGA 是 USB2.0 设备端:响应主机端命令;从数据收发角度,FPGA 是主控器:与 USB2.0 芯片内的 FIFO 进行通信。图 4 为 FPGA 读写数据时的状态转移图。

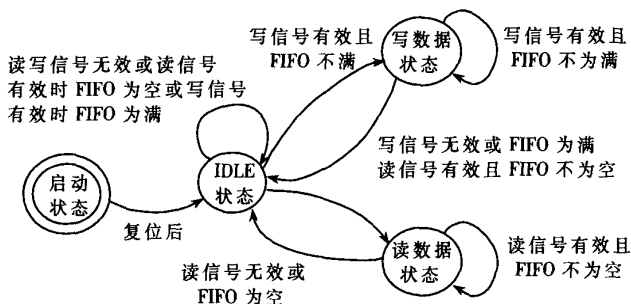


图 4 FPGA 读写数据时的状态转移图

FPGA 完成数据收发的过程可以分为 FPGA 读数据和 FPGA 写数据两个部分:

(1) FPGA 读数据

- ① 复位后,进入空闲状态。
- ② 开始读信号有效后,判断 FIFO 状态,如 FIFO 空,跳回空闲状态;FIFO 不空,跳入读数据状态。
- ③ 在读数据状态中,FPGA 读数,并将读数计数器加 1。
- ④ 读完 1 个数据后,判断读信号和 FIFO 标志位,如果读信号有效且 FIFO 不空,跳回读数据状态;如果读信号无效或 FIFO 空,跳入空闲状态。

⑤ 跳入空闲状态后,等待触发条件。

图 5 是该模块在 Quartus 8.0 软件的 SignalTap II Logic Analyzer 中获得的波形。

(2) FPGA 写数据

- ① 复位后,进入空闲状态。

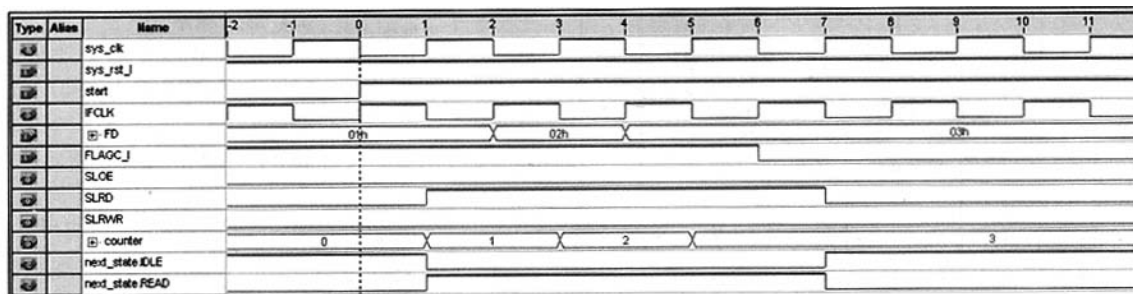


图 5 FPGA 往 PC 终端读 3bit 波形

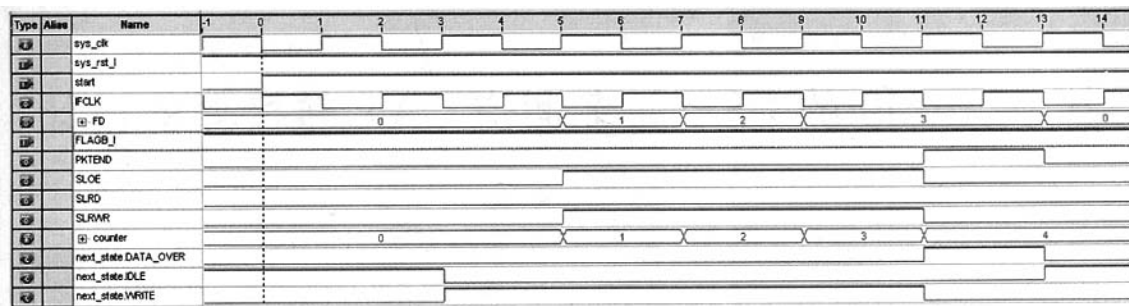


图6 FPGA 往 PC 终端写 3 bit 波形

②开始写信号有效后,判断 FIFO 状态,如 FIFO 满,跳回空闲状态;FIFO 不满,跳入写数据状态。

③写完 1 个数据后,判断写信号和 FIFO 标志位,如果写信号有效且 FIFO 不满,跳回写数据状态;如果写信号无效或 FIFO 满,跳入空闲状态。

④跳入空闲状态后,等待触发条件。

图 6 是该模块在 Quartus 8.0 软件的 SignalTap II Logic Analyzer 中获得的波形。

在系统实测中,图像传感器芯片工作在 27 MHz 时钟频率下,采集 84 S/s、640×480 分辨率的实时图像数据,实时峰值采集速率接近 207 Mb/s;USB2.0 通信部分,峰值传输速率可达 423 Mb/s,为实时图像采集速度的 2 倍;FPGA 在完成系统功能后,还有不少的逻辑余量。所以,该系统可通过以下方式扩展:(1)多路实时图像数据采集;(2)提高图像分辨率或帧频;(3)利用逻辑余量增加系统功能。

本文提出的实时图像系统具有低成本、低功耗、高吞吐率和扩展性强等优点,能够很好地适用于多种小型化便携式设备应用场合。

(上接第 121 页)

时);一个扫描周期内故障判断等所用时间为 400 μs。用户在设计过程中可以根据实际系统需求进行具体分析和配置。

本文对工业通信用网关的设计进行了阐述,以 PROFIBUS-DP 智能网关的设计为例对此类网关实现的关键技术进行了分析。针对本网关,硬件方面,采用电源管理模块实现网关的热插拔功能,采用专用芯片解析 DP 协议,采用磁耦隔离代替传统的光耦隔离,提高了系统的性能和可靠性。软件方面,采用单缓冲区设计、一次性内存拷贝技术以及合理的中断应用来保证系统的实时性和可靠性。对网关的数据映射处理和故障处理进行了详细的分析,并给出了其性能参数。本设计为其他工业通信用网关的设计提供了参考依据。

参考文献

- [1] 杨瑞霞.运用状态机提高嵌入式软件效率[J].单片机与《电子技术应用》2010 年第 2 期
万方数据

参考文献

- [1] BI Bo, SUN Shu Ying, WANG Chun Ping. Design of data acquisition equipment based on USB[C]. ICEMI'2007, 8th, IEEE, 2007:866-869.
- [2] 方加喜,李玉山.USB 接口的数字摄像系统设计[J].电子技术应用, 2002,28(7):50-52.
- [3] 钱峰. EZ-USB FX2 单片机原理、编程及应用[M].北京:北京航空航天大学出版社, 2006.
- [4] 张鑫,苏东林,李保权,等.基于 USB 的 DSP 高速数据传输系统[J].电子技术应用, 2006,32(10):99-101.
- [5] 胡文静,陈松.基于 EZ-USB 芯片 CY7C68013 的驱动程序程序设计[J].计算机应用研究, 2005(9):121-122.

(收稿日期:2009-08-15)

作者简介:

杨斌,男,1983 年生,硕士研究生,主要研究方向:集成电路设计。

刘布民,男,1956 年生,高级工程师,主要研究方向:集成电路设计。

吴斌,男,1976 年生,副研究员,主要研究方向:宽带通信 SOC。

嵌入式系统应用,2009(5):69-71.

- [2] LEE K C, LEE S, LEE H H. Implementation and PID tuning of network-based control systems via profibus polling network[J]. Computer Standards and Interfaces, 2004, 26 (3) :22-240.
- [3] LEE S, HA K N. NDIS-based virtual polling algorithm for IEEE 802.11b for guaranteeing the real-time requirements. Computer Standards & Interfaces, 2007, 29 :316-324.

(收稿日期:2009-07-07)

作者简介:

夏继强,男,1970 年生,副教授,硕士生导师,主要研究方向:工业现场总线技术、智能仪表执行器技术。

梁超众,男,1984 年生,硕士研究生,主要研究方向:工业现场总线技术。

一种应用于实时图像系统的USB2.0通信设计

作者：[杨斌](#), [刘布民](#), [吴斌](#), [程鹏](#), [YANG Bin](#), [LIU Bu Min](#), [WU Bin](#), [CHENG Peng](#)

作者单位：[杨斌, YANG Bin\(电子科技大学微电子与固体电子学院, 四川, 成都, 610054; 中国科学院微电子研究所, 北京, 100029\)](#), [刘布民, LIU Bu Min\(电子科技大学微电子与固体电子学院, 四川, 成都, 610054\)](#), [吴斌, 程鹏, WU Bin, CHENG Peng\(中国科学院微电子研究所, 北京, 100029\)](#)

刊名：[电子技术应用](#) [ISTIC](#) [PKU](#)

英文刊名：[APPLICATION OF ELECTRONIC TECHNIQUE](#)

年, 卷(期)：2010, 36(2)

被引用次数：0次

参考文献(5条)

1. [BI Bo, SUN Shu Ying, WANG Chun Ping](#) [Design of data acquisition equipment based on USB](#) 2007
2. [方加喜, 李玉山](#) [USB接口的数字摄像系统设计](#) 2002(7)
3. [钱峰](#) [EZ-USB FX2单片机原理、编程及应用](#) 2006
4. [张鑫, 苏东林, 李保权](#) [基于USB的DSP高速数据传输系统](#) 2006(10)
5. [胡文静, 陈松](#) [基于EZ-USB芯片CY7C68013的驱动程序设计](#) 2005(9)

相似文献(1条)

1. 期刊论文 [孔祥梅, 王宝军](#) [实时图像采集和去噪系统](#) -中国科技信息2007, ""(24)
随着图像处理技术和多媒体技术的广泛应用, 为了不影响图像采集系统的速度, 对总线传输速率的要求也越来越高. 去除噪声同时还要保留图像信号的高频信息, 系统采用并行算法设计思想设计改造现已有中值滤波方法, 提出层叠中值滤波结构模块进行滤波, 并基于PCI总线在数据传输的优点, 利用PCI总线完成实时图像系统采集后数据传输, 给出整个硬件构造方法, 利用VHDL硬件开发语言在ALTERA的可编程整列(FPGA)上实现, 说明系统的可行性.

本文链接：http://d.g.wanfangdata.com.cn/Periodical_dzjsyy201002045.aspx

授权使用：陕西理工学院(sxlgxy)，授权号：736c2c36-8dcd-4c96-a986-9df2010a2e81

下载时间：2010年9月15日