

文章编号:1007-2780(2010)03-0396-05

具有自动聚焦功能的视频处理器的设计

张 博,张 刚,程永强

(太原理工大学 信息工程学院,山西 太原 030024,E-mail:zhangbo0351@163.com)

摘 要:介绍了一种视频处理器的设计,该处理器接收数字 YCbCr 视频信号,利用一片 DDR2 SDRAM 存储器作为帧缓存,对接收的视频信号进行格式转换、帧率提升、色空间转换。提出并实现一种改进的自动聚焦算法,实时计算当前帧图像的聚焦评价函数值,选用爬山搜索策略实现对聚焦电机的控制,使当前图像的聚焦函数值最大,实现图像的自动聚焦。该设计采用 VHDL 语言实现,在 Xilinx XUPV5-LX110T FPGA 开发板上验证。

关 键 词:视频处理;DDR2 SDRAM;帧率提升;自动聚焦;FPGA

中图分类号: TN492 **文献标识码:** A

Design of Video Processor with Auto-Focusing

ZHANG Bo, ZHANG Gang, CHENG Yong-qiang

(College of Information Engineering, Taiyuan University of Technology,
Taiyuan 030024, China, E-mail: zhangbo0351@163.com)

Abstract: The paper introduces the design of a kind of video processor with the function of auto-focusing. The video processor receives digital YCbCr video signal. Utilizing a piece of DDR2 SDRAM as frame buffer, the video processor realizes the function of format conversion, frame up-scaling and color space conversion. The paper proposes and realizes an improved gray scale differential auto-focus algorithm and calculates the focus value of the current image real-timely. The mountain climbing searching strategy is applied to control the moving of the focus motor, and the auto-focusing of image is realized. The whole design is realized in VHDL and verified with Xilinx XUPV5-LX110T FPGA developing board.

Key words: video processing; DDR2 SDRAM; frame up-scaling; auto-focusing; FPGA

1 引 言

随着半导体技术的发展,图像传感器的分辨率有了很大提高,但由于处理数据量巨大,图像传感器输出高分辨率图像时帧率一般较低,其输出图像不能直接在 VGA 显示器上直接显示。为了使高分辨率图像传感器采集的图像在 VGA 显示器上实时显示,需要对其输出的图像进行帧率提升、色空间转换等后端处理。目前,市场上常用的

视频处理芯片有 PixelWorks 公司的 PW1226、Tvia 公司的 TrueView5725、Averlogic 公司的 AL250、威斯达公司的 WSC2000 等。采用上述视频处理芯片可实现视频图像的帧率提升、图像增强等功能,但由于其功能固定,不能适用于一些特殊应用场合,如图像存储、自动聚焦等。

由于 FPGA 器件的可并行处理能力及其可重复在系统编程的灵活性,其应用越来越广泛。同时随着微处理器、专用逻辑器件、以及 DSP 算

法以 IP Core 的形式嵌入到 FPGA 中^[1],FPGA 可实现的功能越来越强,FPGA 在现代电子系统设计中正发挥着越来越重要的作用。本文设计的视频处理器采用 VHDL 语言描述,利用一片 DDR2 存储器作为帧缓存,实现图像的帧率提升,提出并实现一种改进的灰度差分自动聚焦算法,实时计算当前图像的高频分量,利用爬山搜索策略控制聚焦步进电机的转动,使当前图像的聚焦函数值最大,实现图像的自动聚焦。

2 系统工作原理

所设计的系统结构如图 1 所示。

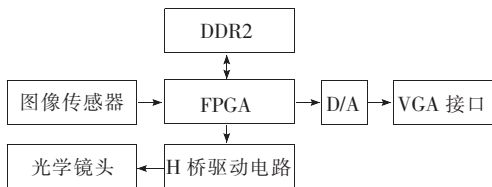


图 1 系统框图
Fig.1 System diagram

图像传感器输出分辨率为 $1\,280\times1\,024$ 、像素时钟频率为 48 MHz、帧率为 12 Hz 的 8 位 YCbCr 视频信号,并输入到 FPGA。FPGA 利用外部一片 DDR2 存储器内的两个 Bank 空间作为帧缓存,采用乒乓存储机制将输入的视频帧率由 12 Hz 提升到 60 Hz,将视频信号由 YCbCr 空间转换到 RGB 色空间,并产生 $1\,280\times1\,024@60\text{ Hz}$ 的行场时序扫描信号。FPGA 输出的数字视频信号经 D/A 转换后,输出到 VGA 接口,从而图像传感器采集的图像可在 VGA 显示器上实时显示。

FPGA 从输入的视频信号中提取亮度 Y 信号,采用改进的灰度差分聚焦算法,实时计算当前帧图像的高频分量,图像完全聚焦时,图像聚焦评价函数值最大。利用爬山搜索策略,控制聚焦电机的转动,使当前图像的聚焦函数值最大,即当前图像最清晰,从而实现了图像的自动聚焦。FPGA 输出聚焦步进电机的驱动信号,经 H 桥驱动电路放大后,输出到聚焦步进电机,实现聚焦步进电机的转动。

3 系统设计

系统设计采用现代 EDA 常用的“自顶向下”的设计方法并按模块化设计原则进行功能划分。

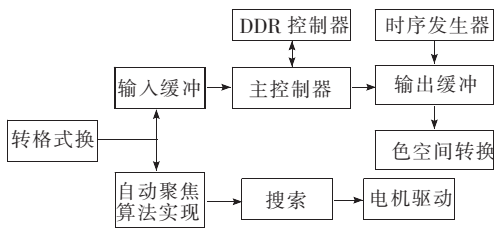


图 2 FPGA 内部功能模块
Fig.2 Interior function module

FPGA 内部功能模块如图 2 所示。

输入视频信号首先进行格式转换,将 8 位视频信号转换成 16 位 YCbCr(4:2:2)格式,转换后视频信号一路输入到输入缓冲,输入缓冲写满一行、即 $1\,280\times16$ 数据后,触发主控制器读取,主控制器将从输入缓冲中连续读取一行数据并输出到 DDR 控制器模块,由于 DDR 存储器为双沿触发,所以主控制器模块将接收的 16 位数据转换成 32 位宽。DDR 控制器分别在 260 MHz 时钟上升沿、下降沿将数据写入到 DDR 存储器的 Bank0 中,并从 Bank1 中每次连续读取一行图像数据,即 1 280 个数据,输出到输出缓冲中。当一帧图像都写入到 Bank0 中,则下一帧图像数据写入到 Bank1 中,并从 Bank0 中读取数据,一直按此规则进行读写切换。时序发生器模块产生 $1\,280\times1\,024@60\text{ Hz}$ 的行场扫描信号,在行场信号都有效时,在输出像素时钟同步下,从输出缓冲中读取视频数据,由于写入输入缓冲中的数据速率较低,在写满一帧图像的时间内可从 DDR 中读出 5 帧,则输出图像的帧率可由 12 Hz 提升至 60 Hz。

输入视频进行格式转换后,另一路视频信号输入到自动聚焦算法模块,根据亮度信息并采用一种改进的灰度差分聚焦算法计算当前帧图像的高频分量,并将聚焦函数值输出到搜索模块,搜索模块将当前帧图像聚焦函数值与前一帧图像的聚焦函数值进行比较,判断当前图像是否比前一帧清晰,采用爬山搜索策略控制聚焦步进电机的转动,将电机转向和步数输出到电机驱动模块,电机驱动模块输出电机转动所需的驱动脉冲信号,实现图像的自动聚焦。下面详细介绍各模块的功能及实现方法。

3.1 格式转换模块

格式转换模块功能是将输入的 8 位视频信号转换成 16 位 YCbCr(4:2:2)格式视频信号。实

现方法如下:在输入视频信号的行同步信号有效时,在第 1 个像素时钟同步下,将第 2 个 8 位数据写入 8 位寄存器 1,第 2 个像素时钟同步下,将第 2 个 8 位数据写入 8 位寄存器 3,同时将寄存器 1 的数据输出到 8 位寄存器 2,第 3 个像素时钟同步下,将第 3 个 8 位输入数据写入寄存器 1,同时,将寄存器 2、寄存器 3 的数据写入到 16 位寄存器 4,一直按此规则进行写入,则寄存器 4 输出 16 位 YCbCr(4:2:2)格式数据,输出速率为原像素时钟的 2 分频。其内部寄存器格式如图 3 所示。

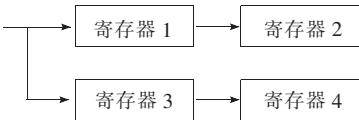


图 3 格式转换模块内部寄存器结构

Fig. 3 Interior register structure of format conversion module

3.2 输入缓冲模块

该模块内部包含一个异步先进先出(FIFO),宽度为 16 位,深度为 2 048,接收格式转换模块输出的 16 位图像数据,写入速率为原视频输入像素时钟的 2 分频,即 24 MHz,当写满一行图像数据(1 280×16)时,触发主控制器产生读使能信号,在 520 MHz 主时钟同步下,连续读取 1 280 个数据。

3.3 主控制器模块

该模块为视频处理的主要控制模块,接收输入缓冲模块发出的读触发信号,产生输入缓冲的读使能信号,从输入缓冲中读取数据,并转换成 32 数据宽度,转换方法与格式转换模块原理相同,转换后的 32 位宽数据写入到 DDR 控制器模块。该模块同时接收输出缓冲模块发出的写触发信号,并向 DDR 控制器模块发出读请求信号,接收 DDR 控制器模块输出的 32 位宽的数据信息,并将 32 位宽数据转换成 16 位宽,写入到输出缓冲,每次连续写入数据个数为 1 280。

当从输入缓冲模块接收完一帧数据,并写入到 DDR 存储器 Bank0 空间后,第二帧数据将写入到 Bank1 空间,同时从 Bank0 中读取数据,写满一帧数据后,进行读写切换,由于写满一帧的时间为输入图像的场周期,即 83 ms,读取一帧的时间为输出视频的场频,即 16.67 ms,则在写满一帧数据的时间内,可连续循环读出 5 帧数据,提高

了帧率。

3.4 DDR 控制器模块^[2,3]

DDR 控制器模块工作时,首先对 DDR2 存储器进行初始化,设置迸发长度为 4。由于选用的 DDR2 存储器的行宽度为 13 位,所以设置刷新周期为 64 ms/2¹³,即 7.812 5 μs。

该模块主要功能是接收主控制器模块发出的写命令、写地址、32 位宽的写入数据,将数据写入到对应存储单元。由于 DDR 存储器为双沿触发,在内部 260 MHz 时钟的上升沿和下降沿分别将低 16 位和高 16 位数据写入到 DDR2 存储器,同时接收主控制器模块产生的读命令、读地址,并读取对应存储单元的数据,输出到主控制器模块。

3.5 时序发生器模块

该模块主要功能是根据 VESA 标准,产生 1 280×1 024@60 Hz 的行场扫描信号,并在行场信号都有效时,产生输出缓冲的读使能信号。

3.6 输出缓冲模块

输出缓冲模块内部包含一个异步先进先出(FIFO),写时钟为 520 MHz 的系统主时钟,写入数据来自主控制器模块从 DDR 控制器中读出的视频数据,每次连续写入一行数据,即 1 280 个数据,读时钟为时序发生器模块生成的输出像素时钟,读使能为时序发生器模块输出的读使能信号。

系统工作时,主控制器模块首先向输出缓冲中写入一行数据,在读使能信号有效时读取 FIFO 中的数据,当快读空时,触发主控制器模块从 DDR 存储器中再读取一行数据并写入到输出缓冲中,由于输出缓冲的读使能信号是输出时序信号的行场同步信号都有效时生成的,行同步信号有消隐时间,所以输出缓冲模块不会出现读空现象。

3.7 色空间转换模块

色空间转换模块将输出缓冲模块输出的 16 位 YCbCr(4:2:2)格式视频信号转换成 RGB 空间(8:8:8)格式。首先将 16 位 YCbCr(4:2:2)格式信号采用临近插值算法生成 24 位 YCbCr(4:4:4)格式视频信号。根据 CCIR-601 标准,数字 YCbCr 色空间到 RGB 色空间转换的公式为^[4]:

$$\begin{bmatrix} R \\ G \\ B \end{bmatrix} = \begin{bmatrix} 1.164\ 4 & 0.000\ 0 & 1.596\ 6 \\ 1.164\ 4 & -0.392\ 0 & -0.813\ 2 \\ 1.164\ 4 & 2.018\ 4 & 0.000\ 0 \end{bmatrix} \begin{bmatrix} Y-16 \\ Cb-128 \\ Cr-128 \end{bmatrix}$$

(1)

其中, Y 的取值范围是 $(16, 240)$, Cb 、 Cr 的取值范围是 $(16, 235)$ 。

该转换公式实现时, 由于含有小数乘法, 可将小数乘以 2^{11} , 取整进行乘法运算, 将运算结果右移 11 位, 可近似求得小数的乘法运算。

该模块生成的 RGB 视频信号经外部 D/A 转换后, 可直接输出到 VGA 接口, 则图像传感器采集的图像可在 VGA 显示器上实时显示。

3.8 聚焦算法实现模块

通常采用聚焦评价函数来描述图像的清晰程度, 常用的聚焦评价函数有: 高频分量法、平滑法、阈值积分法、灰度差分法、拉普拉斯像能函数等^[5-7]。灰度差分法利用图像的相邻像素灰度值差的绝对值之和作为聚焦评价函数, 算法公式为:

$$F = \sum_x \sum_y [|f(x, y) - f(x, y - 1)| + |f(x, y) - f(x - 1, y)|] \quad (2)$$

灰度差分算法实现简单, 由于没有复杂的运算, 易于在 FPGA 上实现, 在实际应用中, 发现图像聚焦与离焦时的聚焦函数值相差不大, 聚焦函数曲线较平坦, 当外部光线较暗时, 图像传感器采集的图像带有噪声, 自动聚焦准确率受到影响, 为此, 本文提出并实现一种改进的灰度差分法计算图像的高频分量, 聚焦函数曲线陡峭, 自动聚焦速度相对较快, 且准确率较高, 该算法描述为:

$$F = \sum_x \sum_y [|f(x, y) - f(x, y - 1)| + |f(x, y) - f(x - 1, y)| + |f(x, y) - f(x + 1, y - 1)| + |f(x, y) - f(x - 1, y - 1)|] \quad (3)$$

其中, $f(x, y)$ 表示第 x 行, 第 y 列像素的亮度值。

该算法实现时, 利用 FPGA 内的 BlockRAM 作为行缓存^[8], 缓存 4 行数据, 其内部功能模块如图 4 所示。

读写控制模块控制 4 个行缓存中数据的读写, 每帧图像第 1 行数据写入到行缓存 1, 第 2 行

数据写入到行缓存 2, 第 3 行数据写入到行缓存 3, 第 4 行数据写入到行缓存 4, 同时, 将行缓存 1、2、3 中数据读出到算法实现模块, 第 5 行数据写入到行缓存 1, 同时, 将行缓存 2、3、4 中数据读出到算法实现模块, 按此读写规律进行直至一帧图像结束。算法实现模块接收从行缓存中读出的数据, 并将每个行缓存读出的数据赋值给内部相连的 3 个寄存器, 则第 2 行中间寄存器对应算法中的 $f(x, y)$ 像素, 根据聚焦评价函数值公式即可求出当前场的聚焦函数值, 并将聚焦函数值输出到搜索模块。

3.9 搜索模块

搜索模块根据自动聚焦算法模块输出的相邻两场图像聚焦函数值的比较结果, 控制聚焦电机的转动方向及转动步数, 使当前图像的聚焦函数值最大, 实现图像的自动聚焦。

该模块具体实现过程为, 在图像传感器输出场同步信号的消息期, 使聚焦电机朝预定义的固定方向转动一步, 在下一场图像场同步的下降沿采集自动聚焦算法模块输出的聚焦函数值, 如当前图像的聚焦函数值大于前一帧图像的聚焦函数值, 则表示当前图像比前一场图像清晰, 则电机转动方向正确, 继续向该方向转动一步; 同理, 在下一场图像的场同步下降沿采集聚焦函数值, 若大于前一帧图像的聚焦函数值, 则继续向该方向转动, 若小于前一帧图像的聚焦函数值, 则向相反方向转动一步后停止电机转动, 自动聚焦结束; 若第一次采集的聚焦函数值小于前一帧图像的聚焦函数值, 则表明首次设定的转动方向错误, 则向相反方向转动两步后, 在下一场图像的场同步下降沿比较当前图像聚焦函数值与初始位置图像的聚焦函数值大小, 若大于初始位置图像的聚焦函数值, 则继续沿该方向转动, 若小于初始位置的聚焦函数值, 则向相反方向转动一步后停止电机转动, 自动聚焦结束。

3.10 电机驱动模块

电机驱动模块根据搜索模块输出的电机转动方向和转动步数, 生成对应的电机驱动脉冲信号。

4 结 论

设计了一种具有自动聚焦功能的图像处理器, 不仅实现了输入图像的格式转换、帧率提升、色空间转换等功能, 而且可以从输入图像的亮度

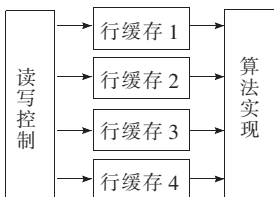


图 4 聚焦算法实现内部模块

Fig. 4 Interior structure of focus module

信息中计算当前图像的高频分量,采用爬山搜索策略,实现图像的自动聚焦。由于对整帧图像计算高频分量,所以该算法得到的聚焦函数值可以很好地反映图像的离焦极性,可适应不同的环境,并有着聚焦精确、速度快等优点。该处理器可应用于高分辨率一体化摄像机的研发,满足特殊场合的需求。

参 考 文 献:

[1] 徐欣,于红旗,易凡,等. 基于 FPGA 的嵌入式系统设计[M]. 北京:机械工业出版社,2005.

[2] 赵天云,王洪讯,郭雷,等. DDR2 SDRAM 控制器的设计与实现设计[J]. 微电子学与计算机,2005,(3):203-207.

[3] 施周渊,戴庆元. DDR SDRAM 控制器的 FPGA 实现[J]. 电子技术应用,2003,(11):61-63.

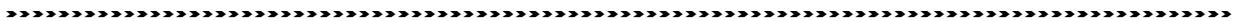
[4] Zhou Changguo, Kohn Leslie, Rice Daniel, *et al.* MPEG video decoding with the ultra SPARC visual instruction set [C]//*IEEE Computer Society International Conference*, San Francisco, USA: IEEE Computer Society, 1995: 470-475.

[5] Subbarao M, Nikzad A. Focusing techniques [J]. *Optical Engineering*, 1993,32(11):2824-2836.

[6] 任四刚,李见为,谢利利. 基于灰度差分法的自动调焦技术[J]. 光电工程,2003,30(2):53-55.

[7] 白立芬,徐毓娴,于水,等. 基于图像处理的显微镜自动调焦方法研究[J]. 仪器仪表学报,1999,12(6):612-614.

[8] 王宇新,贺圆圆,郭禾,等. 基于 FPGA 的快速中值滤波算法[J]. 计算机应用研究, 2009, 26(1):224-226.

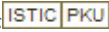


用阿拉伯数字表示的数值的书写规则

- 1. 4 位和 4 位以上的数字用三位分节法。例如:2 613. 3,3. 141 592 6,间隙大小为 1/4~1/2 个汉字。
- 2. 纯小数小数点前的“0”不能省略。
- 3. 多位数不能断开转行。例如:将一个小数从小数点处断开,小数点留在行末,小数点后的数字移下行行首。;将一个百分数在“%”前断开,将“%”移到下一行等。
- 4. 阿拉伯数字不能与除万、亿及 SI 词头中文字符号外的汉字数词连用。例如:“十二亿一千五百万”可以写成“121 500 万”或“12. 15 亿”但不能写成“12 亿 1 千 5 百万”。
- 当百、千、兆等为法定单位词头时,可以与阿拉伯数字连用。例如:“5 000 米”可以写成“5 千米”,但“5 000 天”不能写成“5 千天”,天不允许加词头。
- 5. 数值的有效位数应全部写出。

组合单位加词头的规则

- a. 通过单位相乘构成的组合单位,通常词头加在第 1 个单位前面。例如:N·s 加词头 k,应为 kN·s。但常见的法定单位中有 2 个单位例外。一个是电阻率的单位 $\Omega \cdot \text{m}$,通常写成 $\text{k}\Omega \cdot \text{m}$, $\text{M}\Omega \cdot \text{m}$,但当加词头 c 时,则要写成 $\Omega \cdot \text{cm}$;另一个是货运量单位“吨公里”写成 $\text{t} \cdot \text{km}$ 。
- b. 通过单位相除或相乘除(分数形式)构成的组合单位,词头一般加在分子的第 1 个单位前,分母一般不加词头。例如:摩尔嫡单位 $\text{J}/(\text{mol} \cdot \text{K})$ 加词头 k,应写成 $\text{k J}/(\text{mol} \cdot \text{K})$,不能写成 $\text{J}/(\text{mmol} \cdot \text{K})$,虽然 $\text{kJ}/(\text{mol} \cdot \text{K}) = \text{J}/(\text{mmol} \cdot \text{K})$,但 $\text{J}/(\text{mmol} \cdot \text{K})$ 是不规则的。
- c. 一般不在组合单位的分子分母同时加词头。
- d. 组合单位的分母为长度、面积、体积单位或分子为 1 时,分母可按习惯与方便选用某些词头。
- e. 质量单位 kg 例外。
 万方数据

作者：张博，张刚，程永强
作者单位：太原理工大学，信息工程学院，山西，太原，030024
刊名：液晶与显示 
英文刊名：CHINESE JOURNAL OF LIQUID CRYSTALS AND DISPLAYS
年，卷(期)：2010，25(3)
被引用次数：0次

参考文献(8条)

1. 徐欣,于红旗,易凡,等.基于FPGA的嵌入式系统设计[M].北京:机械工业出版社,2005.
2. 赵天云,王洪讯,郭雷,等.DDR2 SDRAM控制器的设计与实现设计[J].微电子学与计算机,2005,(3):203-207.
3. 施周渊,戴庆元.DDR SDRAM控制器的FPGA实现[J].电子技术应用,2003,(11):61-63.
4. Zhou Changguo,Kohn Leslie,Rice Daniel,et al.MPEG video decoding with the ultra SPARC visual instruction set[C]//IEEE Computer Society International Conference, San Francisco, USA:IEEE Computer Society,1995:470-475.
5. Subbarao M,Nikzad A.Focusing techniques[J].Optical Engineering,1993,32(11):2824-2836.
6. 任四刚,李见为,谢利利.基于灰度差分法的自动调焦技术[J].光电工程,2003,30(2):53-55.
7. 白立芬,徐毓娴,于水,等.基于图像处理的显微镜自动调焦方法研究[J].仪器仪表学报,1999,12(6):612-614.
8. 王宇新,贺圆圆,郭禾,等.基于FPGA的快速中值滤波算法[J].计算机应用研究,2009,26(1):224-226.

相似文献(2条)

1. 学位论文 王旭辉 视频处理DSP中外部存储器接口的设计与实现 2006

音视频编/解码技术的实现方法主要有采用专用编/解码芯片和基于DSP的软件编/解码两种技术。后者因其具有较强的灵活性、可扩展性和可控性，逐渐成为主流的编/解码技术之一。视频处理的一大特点在于其高数据流量和高带宽消耗，因此存储接口3的性能就成为了影响视频DSP性能的关键因素之一。我校研制的YHFT-Dx高性能DSP处理器具有很强的处理能力，然而其存储访问速度极大的限制了其音视频处理能力。

本文针对YHFT-Dx需进一步提升存储访问速度的需求，设计实现了YHFT-Dx的外部存储器接口，扩展了YHFT-Dx的存储访问能力，使其可以同时支持DDR2SDRAM存储器和异步存储器。设计中采用了基于异步FIFO的缓冲、固定请求优先级下的令牌轮转、基于Cache行偏移量优先读取、双通道多频率存储控制等设计技术，有效提升了流媒体存储访问速度。论文给出了读写请求派发、读写请求缓冲、DDR2访问控制器、异步访问控制器、控制寄存器组等各部件的详细描述，并进行了详细的模拟验证。通过本文的工作，YHFT-Dx不但能够更好地支持异步存储器，还能够支持速度更快，容量更大的DDR2 SDRAM存储器。

支持DDR2 SDRAM的存储接口的配套实现，使得进一步提高视频DSP的性能和适用范围成为可能，也为今后进一步的研究打下了良好的基础。

2. 学位论文 李煌 基于FPGA的HDMI显示系统的设计与实现 2008

伴随着多媒体显示和传输技术的发展，人们获得了越来越高的视听享受。从传统的模拟电视，到标清、高清、全高清。与显示技术发展结伴而行的是显示接口技术的发展，从模拟的AV端子，S-Video和VGA接口，到数字显示的DVI接口，技术上经历了一个从模拟到数字，从并行到串行，从低速到高速的发展过程。

HDMI是最新的高清晰度多媒体接口，它的规范由Silicon Image等七家公司提出，具有带宽大，尺寸小，传输距离长和支持正版保护等功能，符合当今技术的发展潮流，一经推出，就获得了巨大的成功。成为平板显示器、高清电视等设备的标准接口之一，并获得了越来越广泛的应用。

从上世纪80年代XILINX发明第一款FPGA芯片以来，FPGA就以其体系结构和逻辑单元灵活，运算速度快，编程方便等优点广泛应用与IC设计、系统控制、视频处理、通信系统、航空航天等诸多方面。

本文利用ALTERA的一款高端FPGA芯片EP2S180F1508C3为核心，配合Silicon Image的专用HDMI接收芯片搭建了一个HDMI的接收显示平台。针对HDMI带宽宽，数据量大的特点，使用了新型的DDR2 SDRAM作为视频信号的输入和输出缓冲。在硬件板级设计上，针对HDMI和DDR2的相关高速电路，采用了一系列的高速电路设计方法，有效的避免了信号的反射，串扰等不良现象。同时在对HDMI规范和DDR2 SDRAM时序规范的深入研究的基础上，在ALTERA的开发平台QUARTUSII上编写了系统的顶层模块和相关各功能子模块，并仿真通过。

论文的主要工作和创新点表现在以下几个方面：

- 1、论文研究了最新的HDMI接口规范和新型存储器件DDR2的时序规范。
- 2、论文搭建的整个系统相当庞大，涉及到相关的规范、多种芯片的资料、各种工具软件的使用、原理图的绘制和PCB板的布局布线，直至后期的编程仿真，花费了作者大量的时间和精力。
- 3、论文首次使用FPGA来处理HDMI信号且直接驱动显示器件，区别于一般的ASIC方案。
- 4、论文对高速电路特别是的DDR2布局布线，采用了一系列的专门措施，具有一定的借鉴价值。

本文链接：http://d.g.wanfangdata.com.cn/Periodical_yjyxs201003020.aspx

授权使用：陕西理工学院(sxlgxy)，授权号：8fa03fca-e15b-466f-a3dd-9df201167daf

下载时间：2010年9月15日