

基于以太网的 CMOS 传感器图像监测系统

廖高华, 习俊梅

(南昌工程学院机械与动力工程系, 江西南昌 330099)

摘要:采用网络控制芯片 DM9008 作为通信接口开发了一种基于以太网的图像监测系统。用专用图像处理芯片、利用高速单片机及 FPGA 技术、CMOS 图像传感器技术进行实时图像信号的采集和处理, 图像经过处理后通过以太网传输至 PC 机端接收、解压、管理和显示。实验表明: 这种系统的设计灵活性好, 柔性强, 以太网控制器实现图像的数据传输使系统数据传输速度和稳定性大大提高, 软件设计时的模块化结构使系统的通用性和可移植性增强, 也有利于功能扩展。

关键词: FPGA; 以太网控制器; CMOS 图像传感器; 图像监测

中图分类号: TP212

文献标识码: A

文章编号: 1002-1841(2008)10-0069-03

Design of CMOS Sensor Image Monitoring System Based on Ethernet Technology

LIAO Gao-hua, XI Jun-mei

(School of Mechanical Engineering, Nanchang Institute of Technology, Nanchang 330099, China)

Abstract: Combined the technologies of electron, computer, embedded system, communication and digital signal processing, a kind of intelligent, digital and miniaturization image-monitoring system was developed. The pairs of images obtained from CMOS image sensors were transmitted to the PC through the Ethernet after processing by DSP. It has been proved that this system can shorten development cycle and ensure the design of the system nice flexibility. With the help of the Ethernet controller, the system has characteristics of high data transport rate, nice real-time control, high stability. The modularization structure of software has good flexibility, and is in favor of the extension of system function.

Key words: FPGA; Ethernet controller; CMOS image sensor; image monitoring and controlling

0 引言

目前, 已经安装的图像监测系统大约 60% 沿用早期摄像头加电视和录像带, 采用有限模拟视频传输技术构成^[1]。这种方案图像质量低, 录像带不易保管, 资料容易删改, 录像机磁鼓寿命短, 需专人看管换带, 数据的存储量大, 查询取证检索和图像压缩后期处理困难^[2]。另一方面, 有线模拟视频监测存在无法联网, 只能以点对点的方式监视现场, 布线工程量极大, 对距离十分敏感, 不能为实现远程实时监测和中心联网监测提供可扩展性等技术性缺陷。针对上述问题, 提出了一种采用 FPGA 和 CMOS 数字传感器实现前端数据采集, 高速单片机进行图像鉴别和压缩, 以太网控制器实现图像数据传输的图像监测系统。

1 图像监测系统组成

整个图像监测系统采用 C/S 架构, 由本地服务器和多台智能图像采集前端组成分布式网络监测系统。本地服务器和图像采集前端在实现时使用的是自成局域网的方案, 传输协议采用 UDP, 管理模式采用分时轮循。客户端采集数据, 本地服务器处理数据和发送数据, 本地服务器之间通过广域网连接, 传输协议采用 FTP^[3]。系统网络连接如图 1 所示。

嵌入式 CPU 对采集的数据进行识别处理, 并将有效的图像数据通过以太网网卡控制器发送到本地服务器, 本地服务器进行图像处理或显示, 并对各终端发送控制信息, 同时, 本地服务器决定是否将处理后数据发送到广域网上。

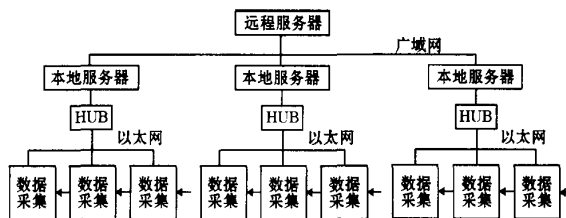


图 1 系统网络连接图

2 图像采集传输系统

图像采集传输系统前端采集图像信号, 由 CPU 将这些图像数据通过网络上传到服务器, 以供服务器进行图像处理或显示等。同时, 服务器也通过网络给图像采集前端发送控制信号, 显示信息, 向终端查询设备状态、设备信息以及发布网络的辅助协议数据包等。图像采集传输系统包括图像采集存储模块、输入输出模块、电源模块、通信模块、红外检测和有效图像识别模块以及其他的附属单元。

2.1 图像采集存储

图像传感器选择的是 CMOS 型高分辨率、高速率彩色图像传感器 OV7620。用 CPU 直接从 CMOS 芯片中采集数据, CPU 的速度跟不上, 存在高速外设与低速 CPU 之间不匹配的问题, 这样用 FPGA 实现图像传感器和 CPU 之间速度匹配, 如图 2 所示。FPGA 内部可以分为内存分配、SRAM 的读写时序和地址、为网卡和 CMOS 提供主频、键盘扩展、产生 LCD 的控制时序和其他的附属模块。

FPGA 根据 CPU 的读写信号和 CMOS 的输出信号产生缓

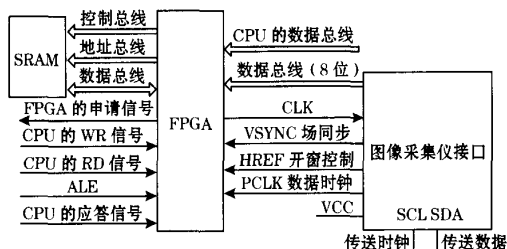


图2 用FPGA进行采像的结构图

存的读写时序和地址信号线,当1帧图像采集完成后,FPGA向CPU发出申请信号,表示缓存里面有1帧数据可读取,如果CPU不应答,表示这帧数据可以丢弃,这时FPGA重新根据CMOS图像传感器的输出信号向缓存输送1帧数据,周而复始。如果CPU给应答信号,FPGA停止向缓存输送数据,等待CPU发送读信号,FPGA把CPU的读信号转化为内存的读信号。即FPGA首先根据CMOS的输出数据转化为内存的写信号,然后又根据CPU的读信号转化为内存的读信号。

2.2 人机界面设计

系统LCD用来显示时间、日期、本机的IP地址和MAC地址、图像采集门限、用户和本地服务器的交互信息等,键盘是为了扩展系统的功能,给CPU增加一个外界控制输入端口,配合LCD完成某些特定的功能以及设置本机IP地址和查看MAC地址等。系统LCD选用128×32点阵液晶,键盘采用的是4×4小键盘。键的功能定义分为数字键和功能键,数字键0~9,系统的功能键主要有CLR(清除键)、OK(确认键)、MENU(主菜单键)、上翻键、下翻键。

2.3 电源设计

电源设计是采用MAX1626和IRF7606,电源控制器提供很高的过载能力,电流范围为1 mA~2 A,使用的是脉冲频率调制方式(PFM),脉冲调制频率高达300K,可以将3.3~16.5 V输入直流电压转化为5/3.3 V电压输出。IRF7606是一种MOS管器件,主要特性是低漏电压,静态电流最大为90 μA,输出功率大于12.5 W,关闭电流为1 μA,最大输入电压为16.5 V,输出电压为5/3.3 V。

2.4 红外检测和图像识别模块

红外检测和有效图像识别模块的作用是为了减轻网络的负荷,在实际网络传输的图像数据任何连续2帧是不会重复的。采用CPU进行图像的模式识别,来判断连续2帧图像是否有变化,有效图像识别模块就是用嵌入式单片机对采集进来的图像进行识别处理。识别算法是利用各图像数据的相关性关系,对每个像素点的周围几个点求均方差,然后对均方差进行求和计算。为了减少CPU的工作量,可以取偶数图像点进行计算,实际取得效果和计算全部像素点得到效果基本一致,可以满足实际使用。电路如图3所示。

3 嵌入式以太网设计

以太网传输单元采用DM9008,芯片数据总线是与系统CPU的数据总线直接相连的,10 Mbit/s速率,通过红外检测的方式判断图像是否有效。为了提高图像数据的导入速度,系统使用图万方数据

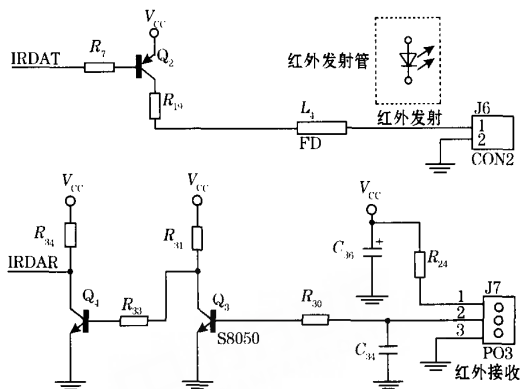


图3 红外接收和发送

像数据由高速缓存直接导入DM9008的环形缓冲区^[4]。图像数据不经过CPU,CPU只产生UDP数据报的报文格式信息:报头、目的地址、本机地址等一些协议格式。这种模式的优点是一方面节省了CPU的时间,同时使数据流向简单明了。如果判断图像是否有效通过算法来实现,CPU必须实时计算当前帧的图像是否和前几帧图像的变化程度相同,这时CPU产生UDP的数据报所有数据。这样虽然提高了对图像判断是否有变化的准确率,但浪费了CPU的时间。采用FPGA来产生地址总线的低5位是为了选择网卡内部的工作寄存器。其接口如图4所示。

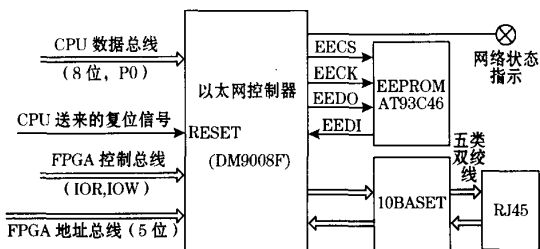


图4 以太网控制器接口图

TCP/IP协议族通常可分为4层协议系统:链路层、网络层、运输层、应用层。每层协议负责不同的功能。一个嵌入式的网卡首先必须能在以太网和应用程序进行接收和传送数据包,要完成UDP(TCP)协议;其次一台主机把以太网数据帧发送到位于同一局域网上的另一台主机时,是根据48bit以太网的物理地址来确定目的接口的。而设备驱动程序从不检测IP数据包中的目的IP地址,ARP协议为IP地址到对应的硬件地址之间提供动态映射。最后ICMP虽然是IP协议的附属协议,IP层用来与其他主机或路由器交换错误报文和其他重要信息。

4 系统软件设计

软件设计包括单片机应用软件、服务器的管理软件和通讯协议。单片机软件采用C51和汇编联合编写的方式,该软件由主程序、键盘扫描程序、配置CMOS参数子程序、网卡读取数据模块、数据报处理模块、数据包发送模块等组成。单片机主程序流程如图5所示。单片机的嵌入式软件主要实现网卡控制器TCP/IP软件、键盘识别、液晶驱动的编写、对图像的读写和计算处理、配置CMOS参数、RS-422串行通讯软件的编写和与服务器之间协议的实现部分等。

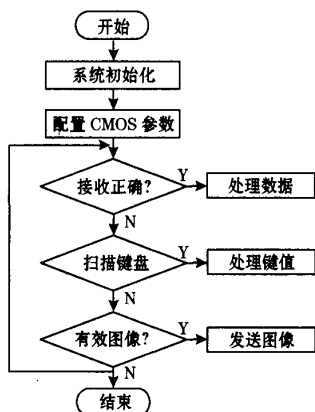


图 5 主程序流程框图

CMOS 参数配置系统在上电后需要对 CMOS 采像芯片采集图像的开窗位置、窗口大小、输出模式、彩色还是黑白模式进行配置。参数配置通过 OV7620 芯片提供的 SCCB 接口总线进行。SCCB 接口总线是 I²C 总线的一种,配置速率可以达到 400 Kbit/s。网卡读取数据程序 CPU 要将数据从 DM9008 的环形缓冲区读到自己的数据存储区,也必须遵循在网卡控制器的数据缓冲区提到规约,而且这时要 CPU 来设置相应的寄存器。

服务器软件主要读取图像数据和下发扫描指令以及控制信息。服务器管理软件为了调试方便采用 Delphi 编写,在 Delphi 4.0 以上的版本中都支持 2 种组件,即 ClientSocket 和 Ser-

verSocket,它是对 Winsocket 进行细分的结果。它们分别作为客户端和服务端端的组件。通过这 2 种组件之间的通信,再加上辅助的应用程序代码,就可以实现通信。

5 结束语

系统不仅实现了图像数据等大容量信息的网络传递,而且也完成了上位机对终端的控制、信息获取,图像采集前端对上位机的数据上传、信息回复等一套双向的、完整灵活的通讯协议。在图像采集的设计中,采用 FPGA 技术较好地解决了高速外设与低速 CPU 之间不匹配的问题,使图像采集可以在 8 位嵌入式系统中实现。图像采集传输系统采用以太网,使系统的传输速率高且稳定可靠。红外检测和有效图像识别模块优选图像,减轻了网络传输的负荷,提高了整套系统的传输效率。

参考文献:

- [1] 郝迎吉,刘青,涂凌志,等.基于 EPP 和 FPGA 技术的 CMOS 图像传感器的数据采集.电子设计应用,2002(1):38-39.
- [2] 方璐,杨天怡,牟万军.数字图像远程监控系统的组网方式.电子产品世界,2002(21):44-47.
- [3] 鲁宏伟.基于 UDP 传输协议的包丢失和失序处理.计算机工程与应用,2001(2):48-49.
- [4] 尹绍宏,王伟.用单片机作以太网适配器控制器的研究.河北工业大学成人教育学院学报,1999(3):14-16.

作者简介:廖高华,讲师,硕士,主要研究方向为计算机监测监控系统。

E-mail: seth77@163.com

(上接第 68 页)选用 MAX7401 可编程的 8 阶低通滤波器,时钟与截止频率 f_c 的比为 100:1,为了降低低频测量时等待时间,采用在信号频率低于 1 kHz 以下时,选择信号频率与 f_c 的比为 10:1;在信号高于 1 kHz 时,将 f_c 固定在 100 Hz,这样能在加速测量的同时,又兼顾了测量精度,同时,由于输出为直流信号,可采用低速 ADC 来实现信号的采集,如在系统中采用串行 ADC MAX195。

4 结束语

采用 SoPC 技术控制 MAX038 芯片,产生了正交参考信号源;采用双差分减法器 and 锁定放大器能实现在强噪声环境下的电导的有效测量;采用可编程的低通滤波器能兼顾测量精度和快速性;采用 SoPC 技术搭建 NiosII 系统,能缩短开发周期。所设计的电导测量系统具有高速、精确、可靠、抗干扰性强和现场可编程等优点。

该文将 SoPC 技术应用于生物芯片的控制与检测,在硬件不变的条件下,通过软件更新就可对整个系统进行升级,特别适合生物芯片技术前期开发以及探索性研究。

参考文献:

- [1] KAPPEL T, HAUSER P C. Electrochemical detection methods in capillary electrophoresis and applications to inorganic species. Journal of Chromatography A (S0021 9673), 1999, 834: 89-101.
- [2] ZEMANN A J, SCHNELL E, VOLGGER D, et al. Contactless conductivity detection for capillary electrophoresis. Anal. Chem., 1998, 70: 563-567.

万方数据

- [3] da SILVA J A F, do LAGO C F. An oscillometric detector for capillary electrophoresis. Anal. Chem., 1998, 70: 4339-4343.
- [4] TANYANYIWA J, HAUSER P C. High-voltage capacitively coupled contactless conductivity detection for microchip capillary electrophoresis. Anal. Chem., 2002, 74: 6378-6382.
- [5] LICHTENBERG J, de ROOIJ N F, VERPOORTE E. A microchip electrophoresis system with integrated in-plane electrodes for contactless conductivity detection. Electrophoresis, 2002, 23: 3769-3780.
- [6] CHEN Y, YANG P, CHEN G, et al. Electrophoresis microchips with sharp inlet tips, for contactless conductivity detection, fabricated by in-situ surface polymerization. Anal. Bioanal. Chem., 2006, 384: 683-691.
- [7] ALTERA. NiosII Custom Instruction User Guide [EB/OL]. www.altera.com, 2005.
- [8] ALTERA. FFT MegaCore Function User Guide [EB/OL]. www.altera.com, 2005.
- [9] WULFSUN R. The lock-in amplifier: a student experiment. American Journal of Physics, 1991, 59: 569-572.
- [10] 马胜前. 阻抗谱测量系统的设计. 传感器与微系统, 2006, 25(10): 51-53.
- [11] 贺艳枚, 朱建林, 周明辉. 基于 NiosII 处理器的非金属超声检测分析仪. 仪表技术与传感器, 2007(7): 10-13.

作者简介:廖红华(1972—),在读博士,讲师,现主要从事嵌入式系统、生物芯片技术以及微型全分析系统等研究。

E-mail: esliaohonghua@163.com

基于以太网的CMOS传感器图像监测系统

作者: 廖高华, 习俊梅, LIAO Gao-hua, XI Jun-mei
作者单位: 南昌工程学院机械与动力工程系, 江西, 南昌, 330099
刊名: 仪表技术与传感器 IISTIC PKU
英文刊名: INSTRUMENT TECHNIQUE AND SENSOR
年, 卷(期): 2008, "" (10)
被引用次数: 0次

参考文献(4条)

1. 郝迪吉, 刘青, 涂凌志 基于EPP和FPGA技术的CMOS图像传感器的数据采集 2002 (01)
2. 方璐, 杨天怡, 牟万军 数字图像远程监控系统的组网方式[期刊论文]-电子产品世界 2002 (21)
3. 鲁宏伟 基于UDP传输协议的包丢失和失序处理[期刊论文]-计算机工程与应用 2001 (02)
4. 尹绍宏, 王炜 用单片机作以太网适配器控制器的研究[期刊论文]-河北工业大学成人教育学院学报 1999 (03)

相似文献(10条)

1. 学位论文 胡昊 用FPGA实现以太网控制器 2007

以太网是在20世纪70年代为解决网络中零散的和偶然的堵塞而开发的, 而 IEEE802.3标准是在最初的以太网技术基础上于1980年开发成功的。现在, 以太网一词泛指所有采用CSMA/CD协议的局域网。以太网2.0版由数字设备公司、Intel公司和Xerox公司联合开发, 它与IEEE802.3兼容。

本设计采用FPGA设计以太网控制器代替传统的ASIC设计方法, 主要原因在于FPGA技术的特点, 它作为专用集成电路(ASIC)领域中的一种半定制电路而出现的, 既解决了定制电路的不足, 又克服了原可编程期间门电路数有限的缺点。使本设计的产品十分灵活, 可以在多种用户多种开发平台, 硬件环境下使用而只需要对设计进行简单的修改和编辑即可, 方便了设计者和用户的使用。

本文主要阐述了使用FPGA设计开发以太网控制器的设计开发流程, 以及研究了FPGA开发方法和传统ASIC开发方法的区别和优势。主要内容为:

1. 阐述FPGA技术的发展历史, 现状和将来的发展趋势。
2. 详细说明了FPGA设计开发以太网控制器的全过程, 包括模块分析功能分析以及代码设计。
3. 采用软件仿真的方法设计和验证了MODELSIM仿真平台以及仿真波形图分析。
4. 对比分析了FPGA和传统的ASIC开发过程的区别以及优缺点。

2. 期刊论文 陈奎, 吴爱国, 游洲 用ENC28J60和FPGA设计通用以太网控制器 -电子产品世界2005, "" (21)

介绍了用ENC28J60和FPGA设计并实现通用以太网控制器的方法。

3. 学位论文 程鹏 基于FPGA的10M/100M以太网控制器的设计 2008

随着以太网技术的不断发展, 网络的传输速度已经由最初的10M发展到现在的10, 000M。用可编程逻辑器件(FPGA)实现以太网控制器与其它SOC系统的互连成为当前的研究热点。本文阐述了MAC层的FPGA设计、仿真及测试; 介绍了整个系统的内部结构、模块划分, 并对各个模块的设计过程进行了详细阐述, 接着介绍了开发环境和验证工具, 同时给出测试方案、验证数据、实现结果及时序仿真波形图。

对MAC层的主要功能模块如: 发送模块、接收模块、MAC流程控制模块、寄存器模块、MII接口模块和主机接口模块以及CRC, CSMA/CD, HASH表等算法给出了基于FPGA及硬件描述语言的解决方法。

本课题针对以下三个方面进行了研究并取得一定的成果:

- 1) FPGA开发平台的硬件实现。选用Xilinx公司的XC3S1000-FT256-4-C和ATMEL公司的ARM9200作为测试的核心器件, 采用LXT971芯片作为物理层芯片, AT91RM9200作为数据输入源和Xb10ckram作为帧缓存搭建FPGA硬件验证开发平台。
- 2) 基于FPGA实现以太网控制器。用VerilogHDL语言构建以太网控制器, 实现CSMA/CD协议、10M/100M自适应以及物理层MII接口等。
- 3) 采用片上系统通用的WS接口。目的是便于与具有通用接口的片上系统互连, 也为构建SOC上处理器提供条件。

本文实现了一个基于WS总线接口可裁减的以太网MAC控制器IP软核, 为设计具有自主知识产权的以太网MAC控制器积累了经验。同时, 为与其它WS接口的控制器实现直接互连创造了条件, 对高层次设计这一先进ASIC设计方法也有了较为深入的认识。

4. 期刊论文 杜西亚, 张治中, 陈玉花, DU Xi-ya, ZHANG Zhi-zhong, CHEN Yu-hua IPTV网络测试仪中以太网控制器的设计与实现 -电视技术2009, 33 (8)

针对IPTV网络的监测与维护, 结合目前网络的快速演进, 在综合考虑业务发展和运营商实际需求的基础上, 设计了IPTV网络测试仪中的以太网控制器, 对仪表的系统结构、以太网控制器的算法与链路层提取指标等进行了阐述, 并通过FPGA对其进行仿真及验证, 结果证明, 此方案设计具有高度的可靠性和稳定性, 在IPTV网络测试仪中得到了良好的应用。

5. 学位论文 宋帷城 基于以太网控制器开发平台的高速数据处理的研究 2005

现代通讯系统需要足够的数据处理带宽。对于处理器系统能满足在外设与内存之间传送每秒百万比特数据的能力就可以完成高带宽数据处理的应用。多数系统在努力卸载处理器系统的工作, 因为这样一来它就不必尽力来产生数据或消耗数据。进一步说, 处理器系统的更多工作就象一个交通警察来控制点到点的数据流。在许多系统中, 处理器子系统对数据流的控制是通过建立一个直接内存存取(DMA)引擎来移动数据。

许多现代系统的问题是处理器子系统和DMA引擎必需通过竞争同一系统总线来存取相同的内存资源。这样的系统总线结构降低了系统的整体性能和总线处理能力。内存子系统通常有更多的数据带宽的能力, 但它会被较慢的处理器子系统总线所限制。

本系统设计拥有两个关键技术: 多端口内存控制器, 它允许有多个通道来直接存取内存, 而不走系统总线。另一个是通信直接内存存取控制器, 它与多端口内存控制器一起工作来提供各种通讯设备的多个DMA通道。另外, 千兆以太网控制器接口的本地链路提供了一种用来替代系统总线接口的为千兆以太网存取而定义的新型接口。

系统通过消除对处理器要移动数据缓存和执行对载荷数据校验计算的需求, 从而减轻了PPC405 CPU处理载荷数据的工作量。PPC405 CPU只处理TCP/IP的帧头和相关协议。字节对齐是通信直接内存存取控制器的一个特性, 对于本系统来说是十分重要的, 因为以太网和TCP/IP都是字节单位长度协议。通信直接内存存取控制器包含了字节移动逻辑来支持任何内存间的字节移动, 这个特性消除了DMA出现之前要求处理器来拷贝内存的工作, 减轻了内存带宽的压力, 同时将处理器也解放出来做其他工作。当载荷数据由DMA从内存向外设传送时, 本地链路千兆以太网MAC是用硬件来执行校验计算的一个模块, 它即支持字节对齐, 又支持校验卸载服务, 这使PPC405 CPU不必参与高速以太网数据路径上的工作。标准以太网使用1518字节帧, 而Jumbo帧允许以太网使用较大的帧, 一般为9000字节。对于Jumbo帧的支持降低了每个数据块内的以太网帧数。使用Jumbo帧, 在网络上PPC405 CPU以相同帧头处理率, 可以传送更多的数据。对于每一个以太网帧进行处理时都要中断处理器相比较, 中断调制是在中断处理之前, 先多等待几个帧来处理, 这样可成倍

的摊销中断开销到以太网帧上。如果有太多的中断产生, CPU将耗费所有的时间来处理这些中断, 没有时间来执行应用程序。使用Jumbo帧可以帮助来消除这种情况。

设计中所使用的硬件平台是针对以太网的高速数据处理的研究为目的之一的多功能软件及硬件设计平台。这个平台具有CPU控制, DSP应用, RAM存储及各种标准串口, 高速10口, 标准PCI, PCMCIA接口等丰富的实用功能, 还可扩展大量用户自定义功能。同时也为其他的相应控制系统的研发设计所使用。

在系统的设计中, 硬件的主要功能是由FPGA完成的。FPGA即现场可编程门阵列, 是电子设计领域中最具活力和发展前途的一项技术。FPGA以SRAM工艺为基础, 可反复无限次擦写, 其逻辑容量已突破千万门, IO管脚也过千。工程师可以通过多种灵活的逻辑语言输入法自由的设计一个数字系统。通过软件前仿真与后仿真, 我们可以事先验证设计的正确性。在PCB完成以后, 还可以利用FPGA的在线修改能力, 随时修改设计而不必改动硬件电路。使用FPGA来开发数字电路, 可以大大缩短设计时间, 提高系统的灵活性。

另外我们应用了FPGA内部所带的CPU。内嵌式处理器模块PowerPC 405内核具备领先的性能。在Virtex-II Pro中, 可以工作在高于400 MHz 的系统频率, PowerPC 405内核目前能在超过600 MIPS的速率下运行, 这几乎是其它可用的FPGA嵌入式处理器性能的一倍。PowerPC 405是32位PowerPC嵌入式环境架构, 该架构由通用PowerPC架构衍生而来。PowerPC架构确定了若干参数, 用以保证在应用程序级实现兼容的处理器, 在开发多种扩展的PowerPC设备方面具有很大的灵活性。

6. 期刊论文 [李俊生. 袁继兵. 郑林华. LI Junsheng. YUAN Jibing. ZHENG Linhua 基于AM79C874高速以太网控制器](#)

[MAC层的设计与实现 -电子工程师2006, 32\(12\)](#)

阐述了以太网控制器AM79C874的应用—高速以太网控制器MAC(媒体访问控制)层的设计与实现. 介绍了该芯片的主要性能, 以及以太网帧结构、CRC(循环冗余校验)—32的实现和载波侦听协议. 给出了系统设计硬件电路以及部分软件源代码. 在FPGA内实现对AM79C874初始化与控制, 并实现了简化的TCP/IP协议, 使该嵌入式设备成功地与PC机互连.

7. 学位论文 [郭俊 与网络处理器MSF接口无缝连接的多路以太网控制器设计及验证 2008](#)

Internet网络经过几十年来的飞速发展, 网络规模不断扩大, 带宽日益增长, 应用服务也不断增加. 为了应付日益繁忙的信息流, 以太网的速度从最开始商用的10Mbps, 到广泛应用的100Mbps, 进而达到了1Gbps. 当速度比较慢时, 通用处理器完全可以满足数据流的传输. 可是随着速度的增加, 设计者就转向了网络处理器. 网络处理器同通用处理器的最大区别在于: 网络处理器内置优化了的包处理部件, 它可以将以以太网包以其到达的速度(即线速)送到下一个节点; 而通用处理器则无法满足这个要求. 论文讨论了使用FPGA(FieldProgrammableGateArray, 现场可编程门阵列)设计出与Intel网络处理器IXP2350的MSF(MediaandSwitchFabricInterface, 媒体和交换接口)无缝连接的多路以太网. MAC(MediaAccessController, 媒体接入控制), 从而对外提供百兆以太网接口中的应用。

通过对以太网物理层和链路层协议的学习和Intel网络处理器IXP2350MSF模块对外接口时序的学习, 设计出和MSF接口无缝连接的多路以太网MAC, 从而拓宽Intel网络处理器IXP2350在通讯系统中的组网应用方案. 设计要求实现八个端口百兆以太网MAC, 每个端口都支持百兆的以太网数据接入. 设计采用VerilogHDL语言, 自顶向下的设计方法, 从状态转移图分析完成模块的设计和FPGA仿真测试, 系统的性能分析. 同时, 在设计中提取了VeriloHDL设计的以太网控制器模块, 能够方便应用在其他需要以太网接入的硬件系统中。

论文的后续章节通过对FPGA的性能测试分析, 清楚的表明, 以太网MAC的八个端口都能够正常接入数据, 能够满足各种以太网的应用需要. 在高速收发包的情况下, MAC没有丢包的计数. 显然, 使用FPGA设计实现的MAC是能够满足硬件系统的以太网接入要求。

8. 期刊论文 [付厚奎. 韩威. Fu Houkui. Han Wei 基于FPGA的双网冗余以太网控制器的设计与实现 -舰船电子工程](#)

2008, 28(5)

对计算机通信中以太网控制器的双网冗余备份技术进行阐述, 提出在利用FPGA技术设计的网络控制器内实现网络实时切换功能, 不但在物理层设备出现故障时能进行实时切换, 而且在网络接收过程中数据包出错时也能进行实时切换. 重点介绍了实时切换功能以太网控制器的工作原理、关键技术以及实现技术, 最后对该双网实时切换功能的仿真波形进行了分析.

9. 学位论文 [张志远 基于以太网的音频传输单元的设计及实现 2007](#)

本课题中研究和实现了基于以太网技术的音频传输单元, 基于以太网技术的音频传输单元的功能是利用廉价普及的以太网实时传输多路高质量音频信号. 该设备可以通过一根普通5类线实时传输多达16路24bit、48kHz未压缩音频信号, 并允许音频数据与标准以太网数据包共存. 网络音频信号的输入输出可以自由选择、切换和路由, 具有相当大的灵活性和高性价比, 克服了复杂的音频工程方面模拟系统的局限性, 简化了网络设计、安装和设备的管理, 满足了专业音频传输、分配系统数字化、网络化需求。

传统的音频系统中, 音频轨道都要与一条音频电缆相连; 多房间、长距离安装复杂; 音频内容的管理和监控都需要附加硬件设备和电缆; 音频路由需要人工接线或昂贵的音频传输单元, 系统的重新配置也是复杂而耗时的过程. 基于以太网技术的音频传输单元可以利用5类线同时传输音频和控制数据; 音频设备可以通过以太网独立监控; 音频数据可以传输到单个或多个目的地; 音频路由可以通过更改地址信息轻易地完成。

本文的重点是介绍基于以太网技术的音频传输单元中FPGA模块逻辑设计和实现, 以及AES数字音频I/O模块原理图及PCB设计和实现. 项目中采用Xilinx公司集成开发环境ISE4.2作为开发工具, 进行了HDL代码编写、功能仿真、综合、布局布线及可编成BIT文件生成等. 最后, 将可编程BIT文件转换为第三方支持mcs文件格式. FPGA模块实现功能: 音频选路、正弦波产生、ADC定标控制、LED显示控制等. 同时, 利用单片机实现了FPGA配置程序加载. 本文还对系统进行了测试, 包括AES数字I/O模块调试、FPGA逻辑功能调试及系统联调. 通过测试, 基于以太网技术的音频传输单元完全达到了设计要求. 基于以太网技术的音频传输单元完全符合AES/EBU硬件规范, 满足专业音频传输、路由需求。

最后, 本文还重点介绍了以太网控制器的FPGA设计与实现. 首先介绍了以太网的基本原理, 然后介绍了以太网控制器程序的主要结构和主要功能模块的实现, 并对以太网控制器的功能进行了验证. 验证结果表明, 利用FPGA实现的以太网控制器满足设计要求。

10. 期刊论文 [许全泉. 胡文江. 苏里 基于FPGA的以太网控制器设计 -电子元器件应用2007, 9\(6\)](#)

针对嵌入式系统的底层网络接口给出了一种由FPGA实现的以太网控制器的设计方法, 该控制器能支持10 Mbps和100 Mbps的传输速率以及半双工和全双工模式, 同时可提供MI1接口, 并可通过外接以太网物理层(PHY)芯片来实现网络接入.

本文链接: http://d.g.wanfangdata.com.cn/Periodical_ybjsycgq200810026.aspx

授权使用: 陕西理工学院(sxlgxy), 授权号: 618b5eb0-2572-4537-bb37-9df20112826c

下载时间: 2010年9月15日