

文章编号:1000-1506(2004)03-0088-04

# 一种 CCD 图像相关处理系统的 FPGA + DSP 实现

马 锐,魏学业

(北京交通大学 电子信息工程学院,北京 100044)

**摘 要:**在卫星观测系统中,CCD 相机对高精度图像实时跟踪时,为得到高信噪比高分辨率的图像,必须对图像进行实时相关处理.而现有软件实现速度不高,不能实现其实时性.本文在分析图像相关处理快速算法的基础上,使用 Altera 的 Quartus II 软件,完成了其中的核心模块——FFT 算法的硬件实现,提高了处理速度;并运用 DSP 处理器,设计了一个基于 FPGA 的实时数字图像处理系统.文中给出了系统的硬件电路和软件算法模块.仿真和调试结果表明:用 FPGA 与高速数字信号处理算法的结合,可以满足系统对图像进行实时处理的要求.

**关键词:**图像处理;现场可编程门阵列(FPGA);数字信号处理(DSP);傅立叶变换(FFT)

中图分类号:TN911.72

文献标识码:A

## Implementation of A Real-Time Digital Image Processing System Based on FPGA and DSP

MA Rui, WEI Xue-ye

(School of Electronics and Information Engineering, Beijing Jiaotong University, Beijing 100044, China)

**Abstract:** In this paper, in order to satisfy the real-time requirements of the picture correlation processing when the CCD correlation tracker tracks image signal in the observation from satellites to the earth, the fast algorithm of the picture correlation processing technique is discussed, while its kernel module-FFT function is implemented by FPGA to increase the working speed. On the basis of this, a real-time digital image processing system based on FPGA and DSP is designed. At the same time, the design of hardware and software arithmetic of this system is presented respectively. The result of simulation and experiment proves that the combination of FPGA and high-speed digital signal processing algorithm can meet the real-time requirements of picture correlation processing in the CCD correlation tracker.

**Key words:** picture processing; field programmable gate array (FPGA); digital signal processing (DSP); fast fourier transform(FFT)

本文描述的快速算法硬件实现系统,用于中国小行星上天可靠性分析的图像相关处理中.在中国小行星上天可靠性分析中、在对太阳的天文观测及以卫星平台为基础的空间对地观测中,高信噪比、高分辨率图像的获取,始终是以卫星平台为基础的空间对地观测的追求目标.但由于卫星运动引起的像

移、大气扰动和卫星姿态不稳定引起的望远镜主光轴的抖动,会造成图像模糊,降低望远镜的空间分辨率,使图像可见度大大降低.而当望远镜观测目标的曝光时间长于图像抖动尺度时,影响就会更大.为了得到高信噪比、高分辨率的图像,就需要有一个快速可靠的系统对图像进行相关处理,求出相关图像的

收稿日期:2003-08-05

基金项目:北方交通大学“十五”专项基金(DXJ02013)

作者简介:马锐(1978—),女,河南周口市人,硕士生. email:mary\_mmrr@163.com

魏学业(1963—),男,山东临朐人,教授,博士,博士生导师.

位移量,从而驱动摆镜使摄像机镜头锁定参考源,实现目标的实时跟踪.然而虽然目前有很多软件系统能够灵活的实现图像相关处理,但速度都不够快,不能满足实时图像处理的要求.

因此设计一种快速实时的硬件图像处理系统来克服软件实现的低速性越来越显得重要,本文正是基于这个要求使用 Altera 公司的 Acex1K 系列芯片对为核心的高速图像处理系统进行了设计.

## 1 系统设计

### 1.1 图像相关处理的数学基础

图像相关处理就是对同一观测区域、不同时间序列上采集的图像进行互相关运算,相关函数的极值点应是两幅图像匹配最好的点,极值点相对于零延迟点的位置差就指出了两幅图像的相对位移,即偏移量.

令  $R(x, y)$  为参考图,  $L(x + \Delta x, y + \Delta y)$  为实测数字图像,  $C_{RL}(\Delta x, \Delta y)$  为  $R(x, y)$  和  $L(x + \Delta x, y + \Delta y)$  的互相关函数(其中  $\Delta x, \Delta y$  为实测图

像相对于参考图像的坐标位移量),即

$$C_{RL}(\Delta x, \Delta y) = \sum_{x=0}^{n-1} \sum_{y=0}^{n-1} R(x, y) \times L(x + \Delta x, y + \Delta y) \quad (1)$$

但对式(1)直接做相关运算的计算量很大,因而实际工程中则运用相关定理采用 FFT 法,即

$$C_{RL}(\Delta x, \Delta y) = \text{IFFT}[\text{FFT}(R(x, y)) \cdot \text{FFT}^*(L(x + \Delta x, y + \Delta y))] \quad (2)$$

可换求得实时校正图像相对于参考图像的位移量.式中,FFT 为付立叶变换,FFT\* 为付立叶变换的共轭,IFFT 为逆付立叶变换.

由上得到的相关函数是一离散函数,无极值点.但存在最大值点,如果以最大值点替代极值点进行偏移量估计,则其计算出的位移精度将完全由 CCD 探测像元的大小决定.为提高运算精度和速度,可对最大值周围  $W \times W$  的子面阵进行抛物面拟合,以拟合函数的极值点作为图像位置偏差的最佳估计,最终计算精度将达到  $1/64$  像元.

现设  $W = 5$ ,以  $5 \times 5$  的子面阵为例构造抛物面方程为

$$s(x, y) = a_0 + a_1 x + a_2 x^2 + b_1 y + b_2 y^2 = \sum_{u=0}^2 a_u x^u + \sum_{v=0}^2 b_v y^v \quad (3)$$

令相关函数  $C_{RL}(\Delta x, \Delta y)$  的最大值点的坐标为  $C_{RL}(\Delta x_0, \Delta y_0)$ ,则所要拟合的子矩阵为

$$\mathbf{K} = \begin{bmatrix} C_{RL}(\Delta x_{-2}, \Delta y_{-2}) & C_{RL}(\Delta x_{-2}, \Delta y_{-1}) & C_{RL}(\Delta x_{-2}, \Delta y_0) & C_{RL}(\Delta x_{-2}, \Delta y_1) & C_{RL}(\Delta x_{-2}, \Delta y_2) \\ C_{RL}(\Delta x_{-1}, \Delta y_{-2}) & C_{RL}(\Delta x_{-1}, \Delta y_{-1}) & C_{RL}(\Delta x_{-1}, \Delta y_0) & C_{RL}(\Delta x_{-1}, \Delta y_1) & C_{RL}(\Delta x_{-1}, \Delta y_2) \\ C_{RL}(\Delta x_0, \Delta y_{-2}) & C_{RL}(\Delta x_0, \Delta y_{-1}) & C_{RL}(\Delta x_0, \Delta y_0) & C_{RL}(\Delta x_0, \Delta y_1) & C_{RL}(\Delta x_0, \Delta y_2) \\ C_{RL}(\Delta x_1, \Delta y_{-2}) & C_{RL}(\Delta x_1, \Delta y_{-1}) & C_{RL}(\Delta x_1, \Delta y_0) & C_{RL}(\Delta x_1, \Delta y_1) & C_{RL}(\Delta x_1, \Delta y_2) \\ C_{RL}(\Delta x_2, \Delta y_{-2}) & C_{RL}(\Delta x_2, \Delta y_{-1}) & C_{RL}(\Delta x_2, \Delta y_0) & C_{RL}(\Delta x_2, \Delta y_1) & C_{RL}(\Delta x_2, \Delta y_2) \end{bmatrix},$$

当用多项式  $s(x, y)$  来拟合子矩阵  $\mathbf{K}$  时,总的误差平方和为

$$E = \sum_{i=-2}^2 \sum_{j=-2}^2 [s(\Delta x_i, \Delta y_j) - C_{RL}(\Delta x_i, \Delta y_j)]^2 = \sum_{i=-2}^2 \sum_{j=-2}^2 \left[ \sum_{m=0}^2 a_m (\Delta x_i)^m + \sum_{l=0}^2 b_l (\Delta y_j)^l - C_{RL}(\Delta x_i, \Delta y_j) \right]^2.$$

通过对  $E$  求偏导,可求出拟合抛物面方程,极值点坐标也可求得.

### 1.2 系统的硬件结构

基于现场可编程门阵列(FPGA)和数字信号处理(DSP)的这个图像处理系统的结构如图1所示.

本系统以 FPGA 和 DSP 为核心,将高速数字信号处理算法和逻辑电路都集成在一块板上,并辅以存储器 RAM,配置芯片 EPROM 和装载 DSP 程序的存储器 FLASH 等器件,利用空间 CCD 相机的高速成像技术,将捕捉到的图像经数据预处理转换为可用的信号传送给 FPGA,由 DSP 作为控制芯片,通过高速 FPGA 来完成图像信号的二维傅立叶变

换,DSP 对变换后的数据进行相关运算,求出两幅图像的相对位移量,并将求得的位移量通过总线传送给上位机,进而用模糊控制算法(PID)求出实际的控制量,驱动快速摆镜使望远镜主光轴始终锁定参考源,实现目标的跟踪.电路采用模块硬件化结构,并采用了并行处理技术,遵循了实时性、精确性和可靠性的要求.

系统中的原始图像就是由像元数为  $64 \times 64$ ,像元大小为  $16 \mu\text{m}$  的 CCD 相机采集的.为减少每幅图像实时数据运算处理量,在实际使用时将输出合并成  $32 \times 32$  像元数,每一个像元大小为  $32 \mu\text{m}$ (相当于  $0.264$  精度).

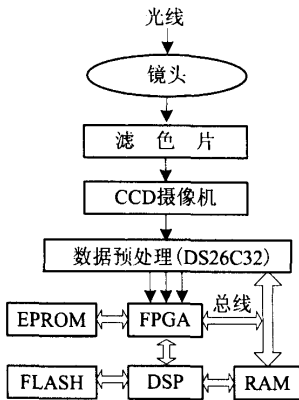


图1 系统硬件结构图

Fig. 1 Hardware structure of the system

由于 CCD 相机采集的帧数据流是以行为单位、一维差分的形式,不能直接送到 FPGA 运算模块进行处理,必须将差分数据流转换成普通数据流,转换数据时使用 DS26C32 芯片实现。DSP 芯片作为主控芯片,产生必要的控制逻辑来启动 FPGA 复位、运算开始,并通过检测 FPGA 的运算结束标志,将数据读出进行最终的拟合运算,并将最终的计算数据通过总线传给上位机。FLASH 存放 DSP 的程序, RAM 存放运算数据。

图像数字信号处理的快速算法选择在 FPGA 实现, FPGA 模块是本数字图像处理系统核心模块。FPGA 选用的 Altera 公司的 Acex1k 系列的 EP1k100 芯片, Acex1k 系列的芯片价格低廉、存储量、运算处理大、性能价格比高,是进行大规模快速运算的理想芯片。DSP 选用 TI 公司的 TMS320C54X 系列的芯片,它功耗低、性能高、运算速度快,运算能力达 100 百万条指令每秒(MIPS),能在 3.3 V 或 2.7 V 工作。

### 1.3 系统的软件实现

系统的软件主要由 FPGA 实现(详见图 2)。

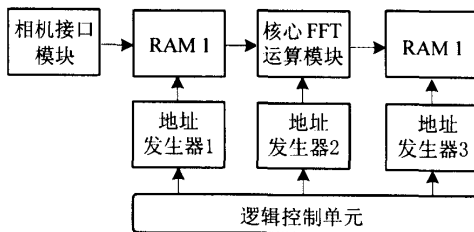


图2 FPGA 软件模块结构

Fig. 2 Software structure of the FPGA

设计 FPGA 主要有两种方法:一种是基于原理图的交互图形输入法;另一种是超高速集成电路描

述语言(VHDL)输入法。后一种方法适合于大规模的数字硬件系统和电路,使设计师能够比传统的门级设计方法在更抽象的层次上把握和描述系统、电路的设计结构与功能特征,可以使设计师在不同层次上描述元件的互连以及电子系统的行为。在 FPGA 设计中采用 VHDL 语言设计,不仅大大简化了设计复杂逻辑电路的难度,而且可以充分发挥 FPGA 内部资源的优势。

在整个 FPGA 运算模块中,采用自顶向下的设计方式,采用模块化、规则化和局部化的技术,既提高了设计效率,又减少设计的复杂性,调用一些 Altera 公司的内部核和 LPM 功能块,这些模块具有结构独立的设计输入、高效的设计映射和工具独立的设计输入,不仅节省大量的 FPGA 资源,提高了设计效率,而且使系统性能得到提高。同时使用一个统一的全局时钟,并采用同步时序的设计方法。FPGA 内部的所有模块都使用一个全局时钟,统一复位,既简化了控制,又有效克服了 FPGA 延迟不可估计的缺点,给避免竞争和冒险、亚稳态等问题带来了方便,保证了系统的稳定性。

这里主要的算法模块使用 VHDL 语言、使用 Altera 公司的 QuartusII 软件实现。

#### (1) 相机接口模块

相机接口模块主要产生一个 SYNCRST 信号,触发相机送出数据,并在帧同步(FRAME)、行同步(LINE)、像素同步(STORE) 3 个时钟信号有效时接受数据。它们时序为图 3。

当  $N = 64$  时,帧传输时间 = 32.1  $\mu\text{s}$ ,帧读出时间 = 512  $\mu\text{s}$ 。

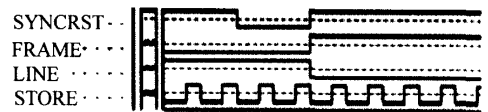


图3 相机主要信号时序图

Fig. 3 Timing waveform of the main signal of CCD

#### (2) RAM 模块和地址发生器模块

本系统中,存储器模块用来存储 CCD 采集的数据,存储运算结果。每个 FFT 运算模块及其中的运算模块都要经过 RAM 的读写操作,因此 RAM 的频繁读写操作速度对 FFT 的处理速度影响很大,为了加快运算速度,这里使用可同时对存储器进行读写的片内双口 RAM 模块。输入数据首先写入 RAM 模块,一共使用了 5 个 RAM,1 个 RAM 将 CCD 送来的数据接收下来,给予一定的缓冲,1 个 RAM 存放行 FFT 运算的结果,1 个 RAM 存放列 FFT 的运算

结果,剩下的 2 个 RAM 分别存放行 FFT 和列 FFT 的系数。RAM 选用 LPM 功能块中的 LPM\_RAM\_DP。RAM 模块用来存放输入、输出数据和中间结果,并向核心运算模块提供数据。其时钟由全局时钟提供, RAM 的读写使能信号由逻辑单元产生,读写地址由地址发生器模块产生。地址发生器模块由计数器、D 触发器和逻辑门组成。

### (3) FFT 核心运算模块

本系统遵循自顶向下的设计思想、快浮点技术,采用了 VHDL 语言实现了硬件 32 点复数序列 FFT 算法模块。信号正序输入和输出,见文献[1]。

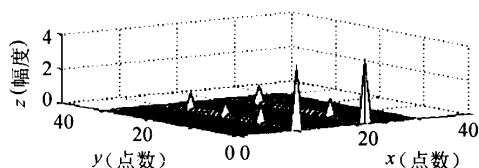
### (4) DSP 控制模块

对于图像的求和、求差、目标识别、抛物拟合等高层图像处理算法,所处理的数据量相对较少,但要用到各种数据结构,其控制也复杂得多,适合用 DSP 编程实现。

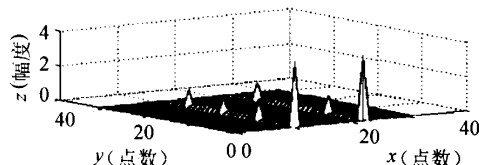
DSP 在这里作为主控制器,产生 FPGA 所需要的 RESET 信号, FPGA 在做完相关运算后会产生结束标志, DSP 检测到结束标志,就会将 FPGA 的结果数据读出,在 DSP 内做抛物拟合运算。FLASH 用来存放 DSP 程序。

在 CCS 编译环境下采用汇编和 C 的混合编程,对 FPGA 的运算结果进行处理。经调试,在 DSP 时钟频率为 20 MHz 情况下,完成一次二维 FFT 计算所需时间小于 500 ms,计算出相关跟踪位移量时间大约需 1 ms。

采集运算结果数据与仿真数据比较见图 4。



(a) matlab 所作的功率谱分析



(b) FPGA + DSP 模块所作的功率谱频谱分析

图 4 测试数据的频谱图

Fig. 4 Frequency graph of the test data

## 2 结束语

本文设计了一个基于 DSP 和 FPGA 的阵列结

构,为 CCD 中数字图像相关处理提供了一个实时可靠的解决方案,是国家“863”计划的一部分。硬件实现了数字信号处理快速算法模块,软件实现其仿真、综合和时序检验,经过大量仿真及电路板调试,结果表明:能在小于帧传输数据的时间内,完成全部相关跟踪运算,满足系统要求。可最终解决跟踪时的图像模糊现象,可根据相关数据控制天文望远镜,因此对于小行星上天、卫星检测非常重要,具有重大意义。

### 参考文献:

- [1] 马锐,魏学业. CCD 相关跟踪器中的 32 点复数序列 FFT 研究[J]. 北方交通大学学报, 2002, 26(6): 97-101.  
Ma Rui, Wei Xue-ye. Study of 32-Point, Complex FFT in CCD Correlation Tracker[J]. Journal of Northern Jiaotong University, 2002, 26(6): 97-101. (in Chinese)
- [2] 孙后环,周必方,蒋筱如. CCD 相关跟踪系统的研制[J]. 光学仪器, 2001, 23(1): 1-6.  
Sun Hou-huan, Zhou Bi-fang, Jiang Xiao-ru. Research on CCD Correlation Tracker System[J]. Optical Instruments, 2001, 23(1): 1-6. (in Chinese)
- [3] 沙吉乐,曲兴华,关红彦,等. 基于 FPGA 技术的新型高速图像采集[J]. 集成电路应用, 2000, (9): 65-66.  
Sha Ji-le, Qu Xing-hua. The Acquisition of New High-Speed Image Signal Based on FPGA[J]. Application of Integrated Circuit, 2000, (9): 65-66. (in Chinese)
- [4] Soontorn Orintara, Chen Y C, Truong Q. Nguyen, Integer Fast Fourier Transform[J]. A IEEE Transactions on Signal Processors, 2002, 50(3): 607-609.
- [5] Wu Zhilu, Ren Guanghui, Zhao Yaqin. A Study on Implementing Wavelet Transform and FFT with FPG A[J]. Proceedings. 4th International Conference, 2001, 1: 486-489.
- [6] MARK A. RICHARDS, On Hardware Implementation of the Split-Radix FFT[J]. IEEE TRANSACTIONS ON ACOUSTIC. SPEECH. AND SIGNAL PROCESSING, 1988, 36 (2): 1575-1581.
- [7] Zhen Luo, Margaret Martonosi. Accelerating Pipelined Integer and Floating Point Accumulations in Configurable Hardware with Delayed Addition Techniques [J]. IEEE TRANSACTIONS ON COMPUTERS, 2000, 49(3): 208-218.
- [8] Soontorn Orintara, Ying-Jui Chen, Truong Q. Nguyen, Integer Fast Fourier Transform[J]. A IEEE Transactions on Signal Processors, 2002, 50(3): 607-609.
- [9] Swartzlander E E, Jain V K, Hikawa H. A Radix 8 Wafer Scale FFT Processor[J]. Mary-MMrr@163.com VLSI Signal Processing, 1992, 4(2-3): 165-176.
- [10] Despain A M. Very Fast Fourier Transform Algorithm Hardware for Implementation [J]. IEEE Transform. Computer, 1979, C-28(5): 333-341.

# 一种CCD图像相关处理系统的FPGA+DSP实现

作者: [马锐](#), [魏学业](#)  
作者单位: [北京交通大学, 电子信息工程学院, 北京, 100044](#)  
刊名: [北方交通大学学报](#) [ISTIC](#) [PKU](#)  
英文刊名: [JOURNAL OF NORTHERN JIAOTONG UNIVERSITY](#)  
年, 卷(期): 2004, 28(3)  
被引用次数: 5次

## 参考文献(10条)

1. [马锐, 魏学业](#) [CCD相关跟踪器中的32点复数序列FFT研究](#)[期刊论文]-[北方交通大学学报](#) 2002(06)
2. [孙后环, 周必方, 蒋筱如](#) [CCD相关跟踪系统的研制](#)[期刊论文]-[光学仪器](#) 2001(01)
3. [沙吉乐, 曲兴华, 关红彦](#) [基于FPGA技术的新型高速图像采集](#)[期刊论文]-[集成电路应用](#) 2000(09)
4. [Soontom Oraintara, Chen Y C, Truong Q Nguyen](#), Integer Fast Fourier Transform 2002(03)
5. [Wu Zhilu, Ren Guanghui, Zhao Yaqin](#) A Study on Implementing Wavelet Transform and FFT with FPG A 2001
6. [Mark A RICHARDS](#), On Hardware Implementation of the Split-Radix FFT 1988(02)
7. [Zhen Luo, Margaret Martonosi](#) Accelerating Pipelined Integer and Floating Point Accumulations in Configurable Hardware with Drayed Addition Techniques 2000(03)
8. [Soontom Oraintara, Ying-Jui Chen, Truong Q Nguyen](#), Integer Fast Fourier Transform 2002(03)
9. [SWARTZLANDER E E, Jain V K, Hikawa H](#) A Radix 8 Wafer Scale FFT Processor 1992(2-3)
10. [Despain A M](#) Very Fast Fourier Transform Algorithm Hardware for Implementation 1979(05)

## 相似文献(10条)

1. 期刊论文 [阎兆立, 陈佳圭, 冯稷](#) [空间电磁悬浮系统中样品监视系统的研制](#) -[数据采集与处理](#)2001, 16(z1)  
用于晶体生长的空间电磁悬浮系统研究中, 本文研究了如何实时监测悬浮样品的位置. 一种简单易行的方案是通过平行光把样品投影到摄像机上, 用软件对采集到的图像数据进行处理, 得到样品的质心的位置. 但是其速度受到限制, 不能满足闭环控制的需要. 为此采用了硬件方案, 即用FPGA(现场可编程门阵列)对图像数据快速处理, 从而解决了数据处理的瓶颈问题, 其响应频率可达上百兆赫兹. 该方案还可应用于工业控制的其他方面.
2. 学位论文 [王夷恬](#) [嵌入式视频监控系统的FPGA图像处理子系统设计](#) 2009  
随着图像处理技术的不断发展, 图像处理技术在国民经济和社会生活的各个方面都得到了广泛的运用. 与此同时, 人们对图像处理的要求也越来越高. 传统的数字图像处理器件主要有专用集成电路 (Application Specific Integrated Circuit) 和数字信号处理器 (Digital Signal Process). 进入20世纪以来, 伴随着半导体技术的发展, 现场可编程门阵列FPGA以其应用灵活、集成度高、功能强大、设计周期短、开发成本低的特点, 越来越多地被应用在图像处理领域. 大量实践证明, FPGA的并行处理能力与流水线作业能显著地提高图像处理的速度, 因此基于FPGA的图像处理系统有着广阔的发展前景.  
本文研究的是一个在嵌入式视频监控系统下的图像预处理子系统. 首先实现了一个通用可重复配置的图像处理算法研究硬件平台, 完成图像的采集、接收、处理、存储、输出等功能. 由于FPGA本身具有完全的可重复配置性, 所以该架构的硬件平台可以很方便的升级和重复配置. 其次在该平台上, 本文使用Verilog HDL硬件语言在FPGA芯片上实现了多种图像预处理算法. 在实现过程中, 为了充分发挥FPGA在并行处理方面的强大功能, 本文对算法做了一定的改进, 使其尽量能使用并行处理的方式来完成. 实验结果表明, 本图像预处理系统能在毫秒级高速地完成多种图像算法, 完全能够满足视频监控系统的50帧/秒的输出要求.  
最后根据视频监控系统在实际运用中出现的噪声类型多样化的情况, 我们设计了一种基于反馈理论的图像处理效果控制模块. 该模块能通过对处理后图像峰值信噪比 (PSNR) 的分析, 控制FPGA对下一幅图像的噪声采用更有针对性的图像处理方法.
3. 期刊论文 [鲁昌华, 石洪源, 梁银海, 殷俊](#), [LU Chang Hua, SHI Hong Yuan, LIANG Yin Hai, YIN Jun](#) [基于FPGA+DSP的实时图像处理平台的设计与实现](#) -[电子技术应用](#)2007, 33(12)  
药用管制瓶在灌装前必须进行多个指标检测. 针对实际生产的需要, 基于FPGA和DSP, 提出并设计了小型化、低功耗的多通道高速实时图像采集、处理和显示系统. 给出了影响系统性能的主要因素.
4. 期刊论文 [江洁, 郁道银, 孙正](#) [基于FPGA的电子内窥镜实时图像处理系统](#) -[电子测量与仪器学报](#)2001, 15(4)  
医用电子内窥镜是传统内窥镜技术与现代计算机技术、微电子技术等高新技术的不断发展和融合的产物. 电子内窥镜由于体积的限制采用一种超小型全帧面阵CCD, 其输出的图像格式与所采用的PAL制的监视器的格式不一致. 同时为了改善图像质量和显示效果, 系统采用现场可编程门阵列 (FPGA) 实现了实时的图像处理. 这种实时图像处理系统保证了图像的正确显示, 并通过插值放大和增强处理改善图像质量, 通过数字视频特技改善显示效果, 提高诊断的准确率.
5. 学位论文 [罗坤](#) [高性能嵌入式实时图像处理和识别系统的研究与实现](#) 2008  
随着现代工业自动化程度的高速发展, 产品在线检测的速度和精度也越来越复杂. 传统的质量检测手段成本高并且检测效率低, 已经不能满足现代制造业的需求. 视频图像处理和识别系统具有非接触检测、高精度、抗干扰性强、高速性和高效率等优点, 非常适合自动化生产的要求, 已经广泛地应用到汽车零件自动装配、机器人视觉、工业检测等领域.  
本文首先对数字图像处理算法原理进行分析, 对各个算法的性能和处理效果进行了对比和选取, 分析它们对图像处理系统实时性的影响. 进而指出, 采用并行处理是解决系统实时性问题的有效方法, 采用可并行计算的处理器进行图像处理是目前研究的一个热点. 又通过对现场可编程门阵列 (FPGA) 结构和工作方式的分析, 指出了应用FPGA器件进行图像处理, 以解决系统实时性问题的优势. 研究了Altera公司的DSP Builder这种先进的开发工



具在Matlab中进行高效的算法设计和仿真的方法,以及该工具生成的VHDL,代码与Quartus II中Verilog代码良好的集成性的特点。

分析了嵌入式实时图像处理系统的设计思路及工作流程。根据实时图像处理系统的功能特点,构建了基于FPGA的实时图像处理和识别系统的总体结构,并分别对视频采集、视频数据格式转换、图像帧存、图像处理、实时显示等功能模块进行了设计。系统利用I2C总线对CMOS图像传感器和液晶屏控制芯片的相应寄存器进行配置,驱动视频图像数据的实时采集和显示。视频数据格式转换实现了原始数据(RAW)格式到RGB格式的转换。图像帧存是设计多端口的SDRAM控制器,实现了单帧与双帧视频图像的存取。

针对影响系统实时性最大的图像处理部分,采用DSP Builder工具设计了适合FPGA硬件计算的算法结构,实现了适合高速图像处理的中值滤波、边缘检测和图像识别算法电路模型,同时将流水线处理技术和并行处理等技术应用到电路模型设计中,提高了处理速度,节省了硬件开销。然后,在Matlab中对该工具设计的图像处理算法进行仿真调试,观察仿真环境下的算法处理结果。最后,将设计的算法处理电路模型转换成硬件描述语言下载到实时图像处理平台中进行实验验证和效果分析。结果表明,该嵌入式图像处理与识别系统能够满足系统功能和实时性要求,具有一定的实用参考价值。

## 6. 期刊论文 [蔡肯. 梁晓莹. CAI Ken. LIANG Xiao-ying](#) [VGA控制器IP核的FPGA实现](#) - [电脑知识与技术 \(学术交流\)](#)

2007, 2 (12)

随着高速图像处理的发展,VGA控制器IP核已成为SoC芯片中的一个重要部件. 这里介绍一种使用FPGA芯片实现对VGA控制器的Verilog HDL设计方案. 该方案采用FPGA设计VGA接口以将要显示的数据直接送到显示器上,加快了数据的处理速度,提高了系统的兼容性,比同类控制器有着占用资源少、时钟延迟小等特点.

## 7. 期刊论文 [江洁. 张广军. 周富强. 郁道银](#) [大视场广角物镜畸变的实时数字校正](#) - [仪器仪表学报](#) 2004, 25 (2)

分析了利用数字图像处理进行畸变校正的理论,采用点阵样板校正的方法,对特殊的大视场广角物镜光学系统进行畸变的实时校正. 通过计算机多项式拟合,得到该光学系统畸变的非线性变换关系,进而得到理想图像对应于畸变图像的空间位置及其偏移量,并以查找表的形式存于EPROM中. 利用实时数字逻辑电路(FPGA),对畸变图像上的每个像素进行空间位置和灰度校正,最终得到无畸变的图像,完成畸变的实时校正过程.

## 8. 学位论文 [曾景贤](#) [基于FPGA的全景图像处理系统设计](#) 2008

随着科学技术的不断发展,视频图像处理的应用越来越广泛,各种图像处理算法日趋成熟,相关的硬件技术更是不断推陈出新. 现代大规模集成电路VLSI技术的迅猛发展为视频图像处理技术提供了硬件基础. 其中,现场可编程门阵列FPGA用于嵌入式视频图像处理有其独特优势. FPGA高性能、高集成度、低功耗的特点不仅使其具备高速CPU的性能,而且其可编程性使得设计者可以方便的通过对逻辑结构的修改和配置,完成对系统的升级.

本文根据FPGA的并行处理特点,以及其在实时图像处理方面的优势,进行了基于FPGA的全景图像处理系统的设计. 在设计过程中,广泛查阅了相关资料,通过分析系统的功能,进行具体器件的选型,最后确定红色飓风II代开发板及其扩展板作为本系统的硬件开发平台. 然后通过编写相应的驱动程序(I2C总线控制器、SDRAM控制器),应用程序(视频数据接收与存储逻辑模块),实现系统图像采集、存储的功能. 本文的所有逻辑模块均采用Verilog HDL语言进行描述设计.

本文最后对系统进行了调试. 经实验验证,系统达到了图像实时采集、存储的功能,能进行正确可靠的工作. 该系统为后续的图片处理打下了坚实的基础,同时整个系统的逻辑模块资源消耗只占FPGA (EPIC12) 的百分之几,剩余资源还可以来用作一些硬件算法.

## 9. 期刊论文 [朱捷. 朱小娟. 贺明. Zhu Jie. Zhu Xiaojuan. He Ming](#) [基于FPGA的实时图像中值滤波设计](#) - [计算机测量与控制](#) 2007, 15 (6)

在嵌入式图像处理系统中,图像处理的实时性问题一直是一个很难突破的设计瓶颈,特别是数据处理量大,实时性要求较为苛刻的场合,传统的MCU根本无法适应;利用现场可编程门阵列(FPGA)并行处理的优点,开发了一种适于硬件并行处理的图像中值滤波算法,并用VHDL硬件开发语言在ALTERA的Stratix中现场可编程门阵列(FPGA)上实现,给出了整个硬件系统的构造方法;仿真结果说明该算法可以满足实时性要求,取得了良好的滤波效果,适用于图像采集与预处理系统中.

## 10. 期刊论文 [李业丽. 陆利坤. 杜峰. LI Ye-li. LU Li-kun. DU Feng](#) [嵌入式票据喷码质量控制系统的设计](#) - [北京印刷学院学报](#) 2009, 17 (2)

商业票据作为一种印刷品,有不同的识别数据(数字、条形码或图像)对票据进行标识,对印刷质量的要求比较高. 给出利用高速数字信号处理器(DSP)和现场可编程门阵列(FPGA)作为图像处理核心, Camera link高速线阵相机作为图像采集装置的控制系统的,以实现了对票据上的数字、中英文字符、一维和二维条码进行识别,达到对印刷过程实时监控的目的.

## 引证文献(5条)

1. [钟新跃. 谢完成](#) [一种三维图像处理系统的FPGA与DSP实现](#) [期刊论文] - [中国科技博览](#) 2009 (20)
2. [龚永坚. 盛法生. 陈德仙](#) [智能汽车实时图像处理系统设计](#) [期刊论文] - [农业机械学报](#) 2008 (12)
3. [郝润平. 赵荣椿. 岳思聪. 易飞](#) [一个基于DSP与图像处理的水表读识系统](#) [期刊论文] - [测控技术](#) 2007 (5)
4. [李广强](#) [基于DSP的助盲目标识别系统研究与设计](#) [学位论文] 硕士 2006
5. [高丽燕](#) [基于DSP+FPGA的图像识别系统设计与实现](#) [学位论文] 硕士 2006

本文链接: [http://d.g.wanfangdata.com.cn/Periodical\\_bfjtdxxb200403021.aspx](http://d.g.wanfangdata.com.cn/Periodical_bfjtdxxb200403021.aspx)

授权使用: 陕西理工学院(sxlgxy), 授权号: 1471d3a7-2ed4-4cef-9228-9df201139ae1

下载时间: 2010年9月15日