

文章编号:1002-8692(2008)05-0019-03

DVI输出图像选区截取的 FPGA 实现

·实用设计·

周 岩^{1,2}, 高 杨², 刘 佳¹, 李俊艳¹, 蔡林飞^{1,3}, 梁正恺³

(1. 西南科技大学 信息工程学院, 四川 绵阳 621010; 2. 中国工程物理研究院 电子工程研究所, 四川 绵阳 621900;

3. 九洲国家企业技术中心, 广东 深圳 518104)

【摘 要】介绍了数字视频接口(DVI)解码芯片 SiI1161 的功能及其外围配置、DDC 通道及编辑 EDID 的方法,阐述了在 FPGA 中依据 VESA Monitor Timing 标准,利用有限状态机进行数据截取的过程,经验证 DVI 输出的选区图像达到了在 LED 大屏幕上实时显示的效果。

【关键词】LED 显示屏; 数字视频接口; 扩展显示识别数据; 数据截取; 选区图像

【中图分类号】TN873.92

【文献标识码】A

Implementation of Regional Interception for DVI Outputting Image Based on FPGA

ZHOU Yan^{1,2}, GAO Yang², LIU Jia¹, LI Jun-yan¹, CAI Lin-fei^{1,3}, LIANG Zheng-kai³

(1. School of Information Engineering, Southwest University of Science and Technology, Sichuan Mianyang 621010, China;

2. Institute of Electronic Engineering, CAEP, Sichuan Mianyang 621900, China;

3. Jiuzhou State Authorized Enterprise Technology Center, Guangdong Shenzhen 518104, China)

【Abstract】The functions and configurations of Digital Video Interface(DVI) receiver SiI1161, together with the methods of DDC channel and editing Extended Display Identification Data(EDID) are described. The process of data interception in FPGA which is based on VESA_Monitor Timing standard and uses finite state machine is exhausted. Through verifying, the outputting image of DVI has achieved the real-time display effect of LED large screen.

【Key words】LED screen; DVI; EDID; data interception; regional image

1 引言

LED 全彩显示屏是 LED 产业的高端产品,为提高产品的市场竞争力,必须提高视频显示效果、改善色彩还原性,对其显示控制单元的设计提出了很高的要求。LED 全彩显示屏的显示控制单元须实现数字视频解码、数据处理与传输、显示驱动等功能。

DVI 在 LED 大屏幕显示系统中得到了广泛应用, DVI 接口输出的图像是 PC 机显示器的全屏数据,分辨率为 1 024×768 或 800×600 等,而一般场所中使用的 LED 全彩显示屏其分辨率往往达不到 1 024×768,因此需要对 DVI 接口输出的帧图像进行选区截取,保留选定区域的有效像素数据。

为解决该问题,在理解 DVI 规范、掌握 DVI 解码芯片 SiI1161 用法的基础上,采用 FPGA 实现了 DVI 接口输出视频图像的选区截取功能,经实验验证效果良好。

2 原理与设计

DVI 接口输出视频图像选区有效像素的截取与缓存,主要基于 DVI 解码芯片 SiI1161 和 FPGA 实现,连接关系如图 1 所示。SiI1161 将最小变换差分信号(Transition Minimized Differential Signal,TMDS)转换为 24 bit 并行数字像素数据,同时输出同步控制信号 VS,HS;FP-

GA 根据控制信号截取选区的并行像素数据。

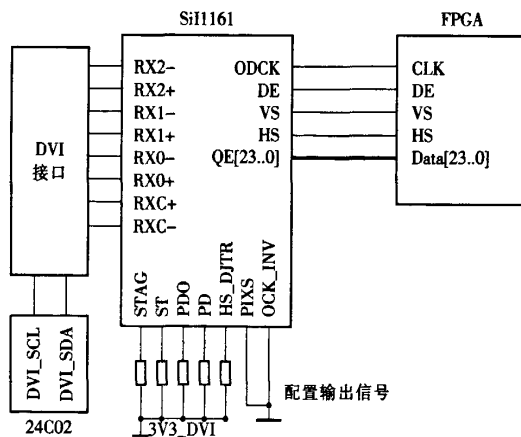


图 1 系统连接图

2.1 DVI 解码芯片 SiI1161 的配置

Silicon Image 公司的 SiI1161 芯片广泛应用于 DVI 信号的解码,支持 UXGA(1 600×1 200)标准的分辨率,165 MHz,可提供单像素(24 bit)或双像素(48 bit)输出,Pin-100 采用 TQFP 封装,内核工作电压 3.3 V。

如图 1 所示,SiI1161 与 DVI 接口通过 4 对差分线连接,分别是红、绿、蓝 3 个数据通道和 1 个时钟通道。

Si1161 解码后的输出信号 ODCK,DE,VS,HS 和 QE [23..0],即为 FPGA 的输入信号,如表 1 所示。

表 1 Si1161 输出信号定义

信号名称	说明
ODCK	输出数据时钟
DE	输出数据使能
VS	场同步控制信号
HS	行同步控制信号
QE[23..0]	像素数据

Si1161 有两种工作模式:兼容模式和可编程模式。可编程模式下,可通过 I²C 总线对 Si1161 进行操作,此时 OCK_INV(pin100)为 SCL,ST(pin3)为 SDA。兼容模式是所有 DVI 解码芯片都具备的工作模式。为保证芯片的向下兼容和新功能的使用,定义 MODE(pin99)为 HIGH 时是兼容模式,MODE(pin99)为 LOW,STAG(pin7)为 LOW 时是兼容模式,MODE(pin99)为 LOW,STAG(pin7)为 LOW 时是兼容模式^[1]。

本设计中设置 Si1161 的工作模式为兼容模式,使 OCK_INV(pin100)为 LOW,PIXS(pin4)为 LOW,保证数据在 ODCK 上升沿锁存输出,且由 QE[23..0]输出单像素 24 bit 时钟。

为使 DVI 接口正常工作,还需建立一个显示数据通道(Display Data Channel,DDC)。DDC 是 PC 主机与显示器之间的一条通道,通过这条通道来传递显示器的基本信息,实现主机对显示设备的识别和正确配置。DDC 是基于 I²C 总线的低速、双向通信的标准,实现 DDC 的核心电路是串行 I²C 总线的 E²PROM 电路,同时还需编写扩展显示识别数据(Extended Display Identification Data,EDID)。EDID 可设置显示设备的色度参数、 γ 值、可支持的分辨率、场频等参数,以确保 Si1161 芯片能够兼容新型显示器。

本设计采用 DVI 1.0 接口,依照 EDID 1.3 数据结构编辑,并依次存放在 E²PROM(ATMEL 公司 24C02,见图 1)的 00H~7FH 中;采用 Silicon Image 公司 EDID EDITOR 编辑 EDID。编辑 Detailed Timing Section 时,应注意 Detailed Timing Section 包含 4 个描述块,每个描述块中可包含 Detailed Timing,Monitor Serial Number,Monitor Range Limits,Monitor Name 等任意一个信息;但在第一个描述块中,必须编辑显示设备的优选定时模式(Preferrred Timing Mode);在其余描述块中还必须编辑 Monitor Range Limits,Monitor Name。

2.2 FPGA 设计

采用 Altera 公司 cyclone 系列 EP1C6Q240C8 芯片实现 DVI 输出信号的相关处理。图 2 是选区截取顶层模块封装图。左侧为输入信号,与 Si1161 相连;右侧为输出信号,与存储器和传输模块相连。

如图 3 所示,该模块主要由 3 个子模块组成:列计数模块 counter_x、行计数模块 counter_y 和 SRAM 控制器模块 sramctl。

列计数和行计数模块的输入信号均与 Si1161 输出的时钟和控制信号相连。列计数模块是

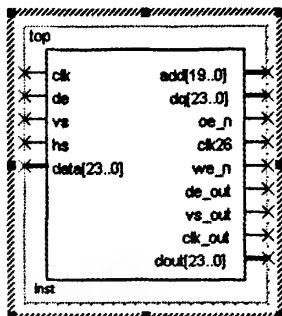


图 2 选区截取顶层模块封装图

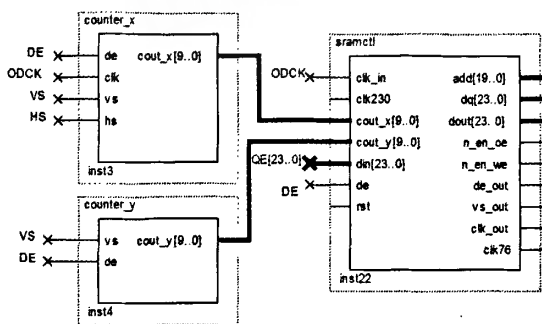


图 3 子模块连接关系简图

在 DE 信号有效时对 CLK(与 ODCK 相连)计数,范围在 [0,1 023],VS 和 HS 信号用来对计数值清零。行计数模块是对 DE 信号进行计数,范围在 [0,767],VS 信号用来对计数器清零。

本设计在 1 024×768@60 Hz 显示模式下进行, Si1161 输出的行场同步信号^[2-3]与像素数据的时序关系如图 4 所示。由 VESA Monitor Timing 标准可知,1 024×768@60 Hz 具有以下时序特征:HS,VS 为低有效,即一行或一场的有效像素数据输出完毕后的消隐时间内,HS,VS 会由高变低,所以 cout_x 在 VS,HS,DE 3 个信号之一为低时清零,cout_y 在 VS 为低时清零。

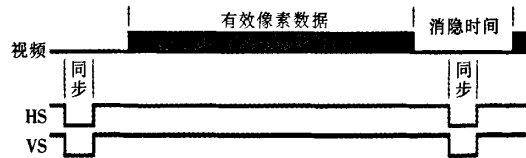


图 4 1 024×768@60 Hz 模式下 Si1161 输出信号时序

cout_x,cout_y 确定了像素数据的坐标,因此可以根据这两个信号进行图像的选区截取。cout_x,cout_y 与 sramctl 模块相连,sramctl 是基于有限状态机设计的。当 cout_x,cout_y 与客户端软件设定的图像选区起点坐标 (x_0,y_0) 一致时,sramctl 进入写数据状态 (st1),同时对 SRAM 进行写操作,开始将像素数据写入 SRAM;当 cout_x 与设定的终点横坐标 (x_1) 一致时,sramctl 跳出写

状态进入初始状态(st0),停止写数据,等待 cout_x 与下一行的起点(x_0)相同再进入写状态。如此循环,直到 cout_y 与设定的终点纵坐标(y_1)相同,停止 SRAM 写操作,完成全部选区像素数据的 SRAM 缓存。然后, sramctl 进入读状态(st2),将 SRAM 中的数据读出,驱动 LED 大屏^[2-3],实现选区图像的 LED 大屏显示。st3 为空闲状态,等待一帧结束时跳入初始状态 st0。

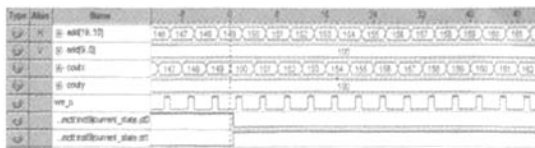
本设计选用 ISSI 公司的 61WV102416BLL SRAM 芯片。sramctl 模块的输出信号 add [19..0],dq [23..0], n_en_oe, n_en_we 与 61WV102416BLL 相连。其中 add [19..0] 地址信号在写状态时由 cout_x & cout_y 产生,读状态时由计数器 cout_addx,cout_addy 产生,且设 cout_addx 为 $[x_0, 1\ 023]$,cout_addy 为 $[y_0, 767]$,当 cout_addy 值大于 y_1 时,跳入空闲状态 st3 等待一帧结束;dq[23..0]为双向数据信号端口;n_en_oe,n_en_we 分别为读使能和写使能信号,均为低有效。

3 实验结果

设置显卡显示属性为复制(模拟+数字)模式,分辨力为 1 024×768、刷新频率为 60 Hz。实验用 LED 屏幕的分辨力为 128×96。图 5 是 FPGA 设计仿真中应用嵌入式逻辑分析仪(Embedded Logical Analyzer,ELA)Signal Tap II 得到的顶层模块运行波形。

4 小结

经多次实验得出 DVI 输出图像选区显示的实现,是以 DVI 信号正确输出为前提的,即 DDC 的正确建立;其还需注意 FPGA 设计过程中延时的处理,可适当增减 D 触发器;此外 PCB 板的布局布线也很重要,尤其是 Si-I1161 与 DVI 接口间的 4 对差分线和 FPGA 与 SRAM 间的 add[19..0]20 根地址线。每对差分线对线宽和长度均有要求,而地址线的长度对信号也有影响,可根据长度来绑



(a) 写有效数据



(b) 停止写数据

图 5 顶层模块运行波形

定 FPGA 中 add[19..0]的引脚。正是对以上问题的发现与解决,该 LED 显示控制单元不但支持静态图像的实时显示,也支持动态视频的实时播放。

参考文献

- [1] Silicon Image PanelLink Technology. SiI 1161 PanelLink receiver data sheet[EB/OL]. [2008-01-01]. <http://www.siliconimage.com>.
- [2] 蔡林飞,高杨,刘佳,等. LED 全彩大屏幕同步显示系统设计[J]. 电视技术, 2007,31(3):31-33.
- [3] 蔡林飞. LED 全彩大屏同步显示控制系统设计[D]. 绵阳: 西南科技大学, 2007.

作者简介:

周 岩(1982-),女,硕士生,主研 EDA 设计;

高 杨(1972-),博士,副研究员,主要研究方向为微光机电系统(MOEMS);

刘 佳(1980-),硕士生,主研 EDA 设计;

李俊艳(1984-),女,硕士生,主研 EDA 设计;

蔡林飞(1979-),硕士,工程师,主研光电显示技术;

梁正恺(1979-),九州国家企业技术中心 LED 研发中心四室副主任,主要研究方向为光电显示技术。

责任编辑: 张家豪

收稿日期: 2008-03-23

(上接第 16 页)

4) DCT 域水印嵌入算法计算量较小,且与目前广泛使用的国际数据压缩标准兼容,便于实现;

5) 今后的研究方向为分形图像编/解码的改进、神经网络在提高水印鲁棒性方面的研究,水印的无源提取。

参考文献

- [1] 伍宏涛,杨义涛. 数字水印的技术原理与应用(1)[J]. 电视技术, 2004(8):71-74.
- [2] JACQUIN A E. An image coding based on a fractal theory of iterated contractive image transformations [J]. IEEE Trans. Image Processing, 1992,1(1):18-30.

[3] WANG Yiwei, DOHERTY J F, VAN DYCK R E. A wavelet-based watermarking algorithm for ownership verification of digital image [J]. IEEE Trans. Image Processing, 2002,11(2):77-88.

[4] WATSON A B. DCT quantization matrices visually optimized for individual images[C]//Proc. SPIE conference on human vision, Visual processing and digital display, 1993 Vol.1913. London: SPIE Press, 1993: 202-216.

作者简介:

毛 力(1980-),博士生,助教,主要研究领域为数字水印技术、信息安全;

王慧琴,女,博士,教授。

责任编辑: 哈宏疆

收稿日期: 2008-03-10

作者：[周岩](#)，[高杨](#)，[刘佳](#)，[李俊艳](#)，[蔡林飞](#)，[梁正恺](#)，[ZHOU Yan](#)，[GAO Yang](#)，[LIU Jia](#)，[LI Jun-yan](#)，[CAI Lin-fei](#)，[LIANG Zheng-kai](#)

作者单位：[周岩, ZHOU Yan \(西南科技大学, 信息工程学院, 四川, 绵阳, 621010; 中国工程物理研究院, 电子工程研究所, 四川, 绵阳, 621900\)](#)，[高杨, GAO Yang \(中国工程物理研究院, 电子工程研究所, 四川, 绵阳, 621900\)](#)，[刘佳, 李俊艳, LIU Jia, LI Jun-yan \(西南科技大学, 信息工程学院, 四川, 绵阳, 621010\)](#)，[蔡林飞, CAI Lin-fei \(西南科技大学, 信息工程学院, 四川, 绵阳, 621010; 九州国家企业技术中心, 广东, 深圳, 518104\)](#)，[梁正恺, LIANG Zheng-kai \(九州国家企业技术中心, 广东, 深圳, 518104\)](#)

刊名：[电视技术](#) **ISTIC** **PKU**

英文刊名：[VIDEO ENGINEERING](#)

年，卷(期)：2008，32(5)

被引用次数：0次

参考文献(3条)

1. [SiI 1161 PanelLink receiver data sheet](#) 2008
2. [蔡林飞, 高杨, 刘佳. LED全彩大屏幕同步显示系统设计\[期刊论文\]-电视技术](#) 2007(03)
3. [蔡林飞. LED全彩大屏同步显示控制系统设计](#) 2007

相似文献(4条)

1. 期刊论文 [张公礼](#), [任健钱](#). [ZHANG Gong-li](#). [REN Jian-qian](#) LED显示屏256级灰度控制芯片的FPGA设计 -电视技术 2008, 32(8)
介绍了一种基于DVI接口的LED视频显示系统, 包括系统设计框架、LED显示驱动方法的介绍, 重点介绍了基于FPGA的LED显示屏256级灰度控制芯片的设计原理与过程。
2. 学位论文 [陈荣研](#) [LED实时播放系统——DVI控制器的设计及实现](#) 2009
发光LED (Light Emitting Diode, 发光二极管) 与传统照明方式 (白炽和荧光) 相比, 具有节能、环保、寿命长、可靠性高及可实现全彩色变化等特点。用于城市景观照明及室内外装饰照明的霓虹灯具必将逐步被LED灯具所取代。

本文介绍了LED实时播放系统不同于传统的LED显示屏控制系统。LED实时播放系统具有像素分布面积大、显示区域形状不一和分散性等特点, 增加了实时和非失真播放实现的难度。

DVI (Digital Visual Interface, 数字视频接口) 是一种基于LVDS (low voltage differential signaling, 低压差分信号) 的数字传输模式, 很好的解决了VGA (Video Graphics Array, 视频图形阵列) 接口繁琐的信号转换和图像失真等问题。

本文深入研究了LED景观灯的驱动控制, 利用DVI接口技术设计了基于DVI接口的实时播放系统的核心部件—DVI控制器。DVI控制器负责与前端PC机 (Personal Computer, 个人电脑) 和后继数据分配器的通信, 其中包括DVI接口、USB接口和快速以太网接口的通信, 并要求具备高速的数据处理能力, 满足视频实时播放的要求。本文的主要工作内容包括:

1. 根据LED景观灯屏幕系统的功能需要、工程技术要求和特点, 设计并实现一种基于DVI接口的实时播放系统架构。

2. 根据系统数据传输的要求, 设计系统PC机与DVI控制器之间通信的协议。

3. 设计DVI控制器的硬件电路, 包括DVI接口的解码电路、USB (Universal Serial BUS, 通用串行总线) 接口电路、以太网接口电路、数据缓存电路、主控模块电路和系统电源电路。

4. 用VHDL (Very-High-Speed Integrated Circuit Hardware Description Language, 超高速集成电路硬件描述语言) 语言完成DVI控制器主控模块的程序设计, 实现PC端数据的接收和存储、实时数据的提取和处理、数据帧的组装和发送等。

5. 对DVI控制器进行全面的测试, 保证DVI控制器各项功能、性能指标满足系统要求。并进行系统联调, 对整个系统进行较为完善的测试。

6. 分析和测试整个系统的性能, 优化DVI控制器主控模块的控制架构和处理流程, 尽可能提高系统的性能。

本文的研究内容正是国内大型景观灯屏幕系统发展所急需的技术。本项目的研发可以在一定程度上提升我国该领域企业的竞争力, 推动新兴产业的发展。
3. 期刊论文 [徐秀知](#), [冯永茂](#), [陈宇](#), [丁铁夫](#). [XU Xu-zhi](#). [FENG Yong-mao](#). [CHEN Yu](#). [DING Tie-fu](#) DVI数字视频接口的硬件设计 -电子器件2006, 29(4)
从阐述DVI接口的电气原理入手, 分析了TMDS链路时钟同步与数据恢复的基本原理. 以DVI接口中TMDS解码芯片与编码芯片工程应用的硬件设计为主要内容, 就DVI接口在全彩色LED显示屏中的典型应用提供了实用的设计参数. 从整体上, 就DVI高速模拟数字混合硬件设计中的难点和关键技术进行了详尽解释, 从信号完整性角度给出了在PCB设计阶段的经验法则和布线参数计算公式
4. 学位论文 [徐家俊](#) [基于DVI接口的LED异构显示系统联机控制器设计](#) 2007
发光LED是当前新型的发光源, 比传统光源(白炽灯和荧光灯) 节能50%~80%。城市景观照明及室内外装饰照明灯具必将逐步被节能、环保、寿命长、可靠性高及可实现全彩色变化的LED灯具所取代。目前视频LED景观装饰系统, 不仅可以让城市亮起来, 同时还可兼做娱乐、广告、信息传播等多种功能, 它可以显示文字、图形、动画及视频影像等多媒体信息, 给人们展现了全新的灯光装饰效果。
用于景观照明的LED显示系统不同与LED显示屏, 控制对象是LED景观灯, 不是LED屏幕上集中、均匀分布的LED像素点。LED景观灯通常安装在建筑物表面, 组成一个楼体的视频幕墙。由于建筑物表面结构的复杂性, 导致了景观灯安装分布不均匀, 灯与灯之间的空间关系有任意性, 是一种异构LED显示系统。把每个景观灯看成一个物理像素, 则每个景观灯的颜色数据都需要根据物理像素与逻辑像素的映射关系逐个获取, 否则就会造成图像扭曲失真。
本课题将数字显示接口(Digital Visual Interface, DVI) 技术和像素异构映射技术相结合, 设计了一套从DVI接口同步视频数据, LED异构显示的控制方案。通过FPGA对DVI接口上的视频流进行高速的像素异构映射, 解决了像素异构分布导致图像扭曲失真的问题, 同时保证了实时性。还根据LED景观灯饰的工程要求, 设计了利用以太网物理层作为介质的传输系统, 对视频数据进行串行接力方式传输, 保证了传输系统的高带宽与稳定性, 突破了以太网传输100米的距离限制, 增大了传输距离。本课题主要的工作内容包括:
1. 根据LED景观灯饰照明的功能需求和工程技术要求, 设计一种灵活的LED异构显示系统架构。实现LED景观照明实时显示视频的功能需求, 满足工

程安装对数据传输距离、象素异构、布线安装等方面的要求。

2. 研究电脑视频同步的方案。本课题将DVI接口作为电脑图像同步的方案，设计了DVI接口的解码电路。

3. 根据LED景观灯饰工程对视频信号远距离传输的要求，设计正确的传输方式和系统网络架构，确保传输系统的稳定性和实时性。

4. 根据网络结构和传输数据的特点，设计数据帧结构。在保证传输效率的同时，实现网络上所有网元参数的自动配置，不需要手工配置每个网元地址或参数。

5. 设计像素异构映射表结构。像素异构映射表体现物理像素和逻辑像素之间的映射关系，以及图像数据如何分割、打包的信息。

6. 设计基于DVI接口的LED异构显示联机控制器，完成对电脑图像数据的实时截取、LED像素的异构映射、数据打包发送等功能。达到实时性好、支持任意形状、任意像素分布的异构视频显示等目标，并用硬件描述语言 (Verilog) 完成了对整个设计的编程、仿真和综合。

本系统灵活易用、适应性强，具有实时性好、成本低、支持任意形状、任意像素分布的异构LED显示等优点，填补了国内该领域的一项空白。

本文链接: http://d.g.wanfangdata.com.cn/Periodical_dsjs200805006.aspx

授权使用: 陕西理工学院(sxlgxy), 授权号: eelf5c0a-8c69-457e-bc05-9df2010d234c

下载时间: 2010年9月15日