

Design of Driving Circuit CMOS Camera Based on FPGA Technology

FAN Tie-dao^{1,2}, TIAN Yan^{1*}, CAO Jian-zhong¹, CHEN Qing-hui^{1,2}, TANG Li-nao¹

(1. Xi'an Institute of Optics and precision Mechanics of CAS, Xi'an 710119, China;
2. Graduate University of Chinese Academy of Sciences, Beijing 100039, China)

Abstract: Driving schedules of IA_G3 (Area Array CMOS sensor) have been examined. Through the SPI (The Serial to Parallel Interface), the driving schedule generator has been designed for configuring sensor. The target of imaging is achieved. Through the technique of windowing, the region-of-interest is read out facility. FPGA (Field-Programmable Gate Array) has been chosen as the hardware design platform. Driving schedule generator has been described with VHDL. The function simulation of the system is successfully fulfilled with Quartus II 7.1 software and fill the programme into FPGA (EP2C20F484C8 that made by ALTERA). Experiments show that designed generator is suitable for the driving of CMOS camera.

Key words: CMOS array image sensor; SPI; FPGA; driving schedules generator

EEACC: 1260; 7230G

基于 FPGA 的 CMOS 图像感器 IA_G3 驱动电路的研究

范铁道^{1,2}, 田 雁^{1*}, 曹剑中¹, 陈庆辉^{1,2}, 唐利孺¹

(1. 中国科学院西安光学精密机械研究所, 西安 710119; 2. 中国科学院研究生院, 北京 100039)

摘 要: 在分析 DALSA 公司的 IA_G3 COMS 面阵传感器驱动时序基础上, 设计了 SPI 模式的寄存器配置电路, 实现了 CMOS 图像传感器的成像功能。通过开窗口技术, 方便地实现了感兴趣区域图像的读出。选用现场可编程门阵列 (FPGA) 作为载体, 使用 VHDL 语言对驱动时序发生器进行了硬件描述。采用 Quartus II 7.1 软件对所做的设计进行功能仿真后, 将程序烧写入 FPGA (ALTERA 公司的 EP2C20F484C8) 内, 对 IA_G3 图像传感器进行配置, 实验结果表明, 上述电路满足 CMOS 相机的驱动要求。

关键词: CMOS 面阵图像传感器; SPI; 现场可编程门阵列 FPGA; 时序发生器

中图分类号: TN491

文献标识码: A

文章编号: 1005-9490(2009)02-0269-05

传统的 CCD (电荷耦合器件) 图像传感器技术已不再能够满足当前的工业和专业图像捕获的需要。基于标准 CMOS 技术的创新面阵传感器是一种可行的替代方案, 因为它们具有惊人的灵活性、卓越的静态和动态特性并可简单地集成到各类系统环境中。由于 CCD 工作时需要多种工作电压、外部时钟发生器和精细复杂的驱动, 因而产生了相当大的空间需求和功耗。于是, CCD 图像传感器的性能特征和使用灵活性不再能够完全满足现今的系统要

求。因而导致了目前的技术世代更替——从 CCD 图像传感器过渡到 CMOS 面型传感器, CMOS 面阵传感器具有更加优良的系统集成、较低的功率要求、更加灵活的图像捕获和智能化程度更高的接口^[3]。在分析了 DALSA 公司的 IA_G3 CMOS 面阵图像传感器的工作原理后, 采用 FPGA 技术完成了该芯片配置电路的设计。本文就 IA_G3 面阵图像传感器芯片给出了 VHDL 语言设计的寄存器配置电路和实验结果^[1]。

收稿日期: 2008-09-16

作者简介: 范铁道 (1984-), 男, 2006 年毕业于西安电子科技大学, 现为中科院西安光学精密机械研究所硕士研究生, 目前在中科院西安光机所 CMOS/CCD 图像传感器的研究, 主要研究领域为视频信号处理, fantiedao@163.com;

田 雁 (1975-), 女, 陕西户县, 硕士研究生导师, 从事 CMOS/CCD 图像传感器研究, 主要研究方向为视频信号处理

1 CMOS 图像传感器

1.1 IA_G3 芯片

DALSA 公司的 IA_G3 是 4M 像素、全分辨率下帧频可达到 62 frame/s 的高速 CMOS 面阵图像传感器,该芯片将 CMOS 感光核心与外围辅助电路集成在一起,同时具有可编程控制功能。它的特点是:像素尺寸小、填充因子大、光谱响应范围宽、可控电子曝光、同时积分和读出、噪声等效光电流小、有抗晕能力和可做取景控制等。具体指标如下:

- ① 传感器像素 400 万像素
- ② 分辨率 2352(H)×1728(V)
- ③ 像素尺寸 7.4 μm×7.4 μm
- ④ 填充因子 45%
- ⑤ 最高帧频 在全分辨率下能达到 62frame/s
- ⑥ 快门类型 全域快门(global shutter)
- ⑦ 动态范围 57dB
- ⑧ 数据速率 2×160 MHz
- ⑨ 片上 ADC 10 bit
- ⑩ 宽带响应 10.8 DN(nJ/cm²)

IA_G3 图像传感器是 5 管 CMOS 图像传感器,它的一个像素结构里共有 5 个 MOS 场效应管,其中包括两个复位开关管、一个存储开关管、一个源极放大器、一个选址模拟开关管。具体的像素结构如图 1 所示:

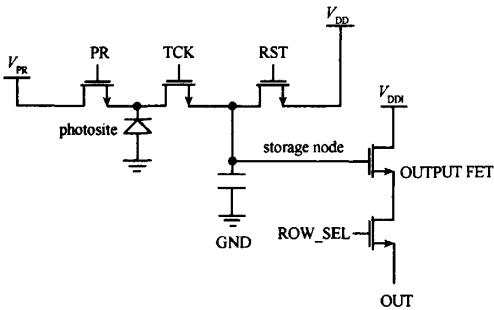


图 1 像素结构

PR 是复位脉冲管,当复位脉冲出现时,PR 导通,光电二极管被瞬时复位;当复位脉冲结束后,PR 截至,光电二极管开始积分信号光信号,当积分完成后,TCK 导通(TCK 为存储开关管),光电二极管的信号迅速存储到电容里面,这样光电二极管能够立即积分新的光信号。RST 是另一个复位开关管,RST 的存在是为了消除信号之间的固定图案噪声;OUT_FET 是一个源极跟随放大器,它将光电二极管的高阻输出信号进行电流放大。当选通脉冲引入

时,ROW_SEL 导通,使得被放大的光电信号输送到行总线上^[4]。

1.2 内部寄存器

IA_G3 芯片内部有 76 个 32 位寄存器,高 8 位位址位,低 24 位是数据位。寄存器的值决定着相机的工作状态,必须根据需要进行设定,并实时做出修改。本设计中对各个寄存器设置不同的值设置粗增益、细增益的大小,实现开窗口等功能。

传感器的模拟增益有 4 个级别的粗增益设置,这样可以大的范围内调整传感器的模拟增益,寄存器 36 根据表 1 设置传感器的粗增益。

表 1

Register 36 setting	Coarse Gain (typical)
0	0.75
1	1
2	1.41
3	2.55

细增益的调整可以通过改变 A/D 转换器的参考电压来设置,寄存器 37 就是用来设置 A/D 转换器的参考电压的。有效范围 80~225,典型值为 125。这个特性保证了传感器的输出在 A/D 范围内是线性的。

随机开窗口就是基于感兴趣区域(Region-of-interest)的读出,IA_G3 图像传感器的开窗口是基于垂直方向上的感兴趣区域(Vertical-region-of-interest)的读出,它在一帧图像里面可以开 7 个窗口,通过 SPI 接口设置窗口的起始行和结束行就可以很容易地实现 VROI 操作。最小的窗口分辨率是两行,传感器不支持交迭窗口。开窗口的优点还可以提高图像的帧速度^[7]。

1.3 SPI 接口

内部寄存器决定了传感器的工作状态,所以传感器复位后要对这些内部寄存器进行配置。IA_G3 图像传感器的配置方式基于串并接口的配置方式。SPI 的控制信号包括:

SEB_B、SD_RK、SCLK、GLOBE_RST_B、CLK、SPI_TING。它的操作流程如图 2 所示。

当 SEN_B 为低时,SPI 开始向内部寄存器进行配置,在一个 SCLK 时钟下,通过 SD_RX 向 IA_G3 芯片内部 SPI 暂时寄存器配置一位数据。当给一个寄存器配置完数据后,SPI_TRIG 的上升沿到来,这时配置在暂时寄存器里的数据就转入到 IA_G3 芯片内部 SPI 本地寄存器,这样就完成了一个寄存器的配置。

SPI 时序图如图 3 所示。

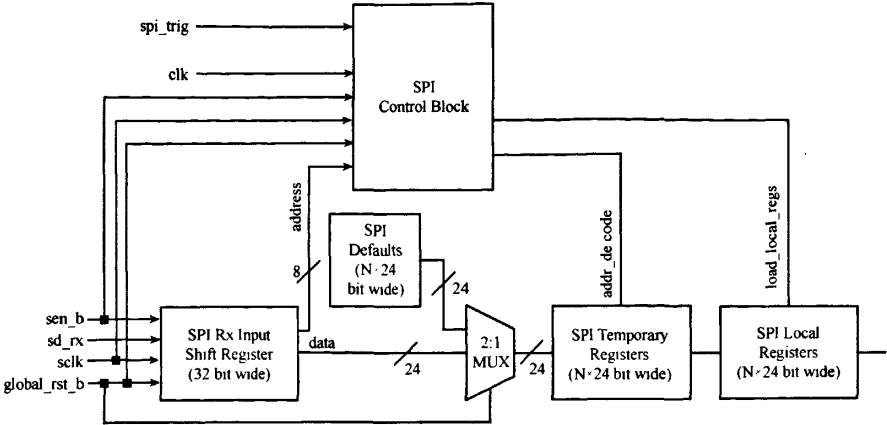


图 2 操作流程图

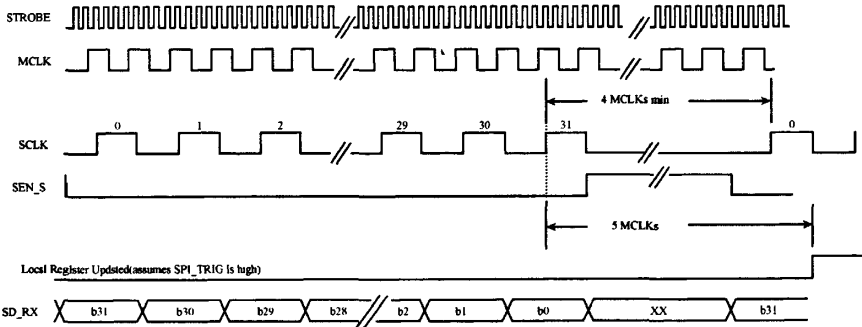


图 3 SPI 时序图

2 CMOS 图像传感器时序的实现

2.1 现场可编程门阵列器件

为了产生系统所需的时序,采用现场可编程门阵列器件(FPGA),FPGA 包括可编程逻辑宏单元、可编程 I/O 单元、可编程内部连线三种结构,其集成度远远高于 PAL、GAL、EPLD 等可编程器件,并在速度上具有一定的优势。它是作为专用集成电路(ASIC)领域中的一种半定制电路而出现的,解决了定制电路的不足,又克服了原有可编程门电路数有限的缺点。本文采用 ALTERA 公司生产的 Cyclone II EP2C20F484C8 器件,结合 Quartus II 开发工具,可以实现电路设计、仿真、器件编程等全部设计,开发调试灵活。

2.2 CMOS 寄存器配置时序的 VHDL 描述

时序部分的主要功能是驱动 CMOS 图像传感器的正常工作,驱动时序的要求使得驱动电路的设计规模较大,复杂程度高,很难用传统的方式描述,必须采用更高层次的描述方法,实现自顶向下的设计,因此可以用 VHDL 语言与 FPGA 器件结合,设计的关键就是用 VHDL 语言描述 SPI 的配置时序

关系。根据自顶向下的设计方法,确定输入输出信号,同时根据时序分析划分功能模块,然后把所有的输入输出信号分配到各个功能模块中,每个功能模块分别进行 VHDL 设计输入、功能仿真、后仿真。在各个功能模块实现其各自功能后,然后到顶层设计当中,再完成顶层的 VHDL 设计输入、功能仿真、综合、后仿真,直至最后达到设计要求^[2]。

如表 2 所示 IA_G3 传感器芯片的主频为 MCLK=40 MHz($T=25\text{ ns}$),SCLK 的频率的最小值为 1 MHz,最大值为 20 MHz,在这里选择 SCLK=2 MHz,即 SCLK 为取周期为 500 ns 的时钟信号。在配置前一个寄存器的最后一个脉冲上升沿到配置下一个寄存器第一个脉冲上升沿之间至少要有 4 个 MCLKs,即最少要有 100 ns,在配置一个寄存器的最后一个脉冲上升沿到 SPI_TRIG 上升沿之间至少要有 5 MCLK,即得 125 ns,驱动时序设计除了必须满足上述要求外还必须满足表 2 的 SEN_B、SD_RX、SPI_TRIG 关于建立时间、保持时间的要求及 MCLK 到 SCLK 和 STROBE 的延时要求。

表 2

Digital Input/ns	t_{su}	t_H /ns	Relevant clk source
SEN B	1.7	2.3	SCLK(rising edge)
SD RX	0.7	1.3	SCLK(rising edge)
SPI TRIG	0.3	1.7	MCLK(rising edge)
Timing Parameter	Min	Max	Notes
SCLK Frequency/MHz	1	$1/2f_{MCLK}$	Nominal $f_{MCLK}=40$ MHz
Required MCLK to SCLK/ns delay	1	$T_{MCLK}-1$ ns	
MCLK to STROBE delay/ns	1.9	3.15	

该传感器的驱动电路设计的顶层图如图 4 所示。

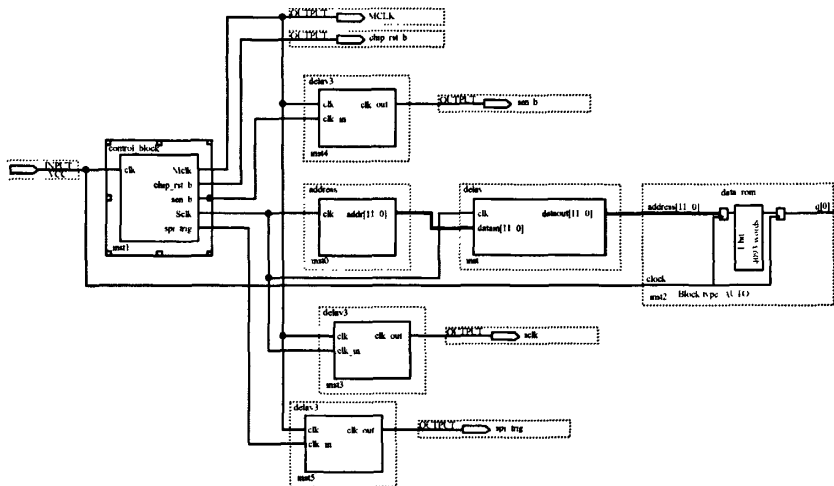


图4 驱动电路顶层示意图

在 control_block 模块中,分别产生主频 Mclk、SPI 频率 Sclk、全域复位信号 chip_rst_b、SPI 使能信号 SEN_B(低有效)、SPI 触发信号 SPI_TRIG。IA_G3 芯片内一共有 76 个寄存器,每个寄存器为 32 bit,根据图 1 和图 2 所示,每个 Sclk 脉冲配置一位信号,所以至少得有 $76 \times 32 = 2432$ 个 Sclk 脉冲,又因为 IA_G3 芯片主频 Mclk 为 40 MHz,而 Sclk 取 2 MHz,即要配置完 76 个寄存器至少得需要 $2432 \times 20 = 48640$ 个主频脉冲,在配置寄存器之前,IA_G3 至少要有 $1\ \mu\text{s}$ 的复位时间,即全域复位信号 CHIP_RST_B 至少要是有一个 $1\ \mu\text{s}$ 的低位保持时间,这里至少需要 $1000/25 = 40$ 个主频脉冲,在

整个配置时序中至少需要 $48\ 640+40=48\ 680$ 个主频脉冲,本文在这里一共取了 49 563 个主频脉冲。在全域复位后,就可以给传感器使能信号 SEN_B (低有效)了,在使能信号 SEN_B 到来后,就可以通过 SPI 给 IA_G3 内部寄存器配置信息了^[6]。

2.3 驱动时序发生器功能仿真

在进行了 VHDL 描述和编译之后,就可以应用 EDA 软件进行驱动时序发生器的功能仿真。功能仿真与器件无关,只是根据 VHDL 原代码生成相应的波形图,检验设计的合理性,功能仿真是在 Quartus II 7.1 下进行的。仿真图形如图 5、图 6 及图 7 所示。

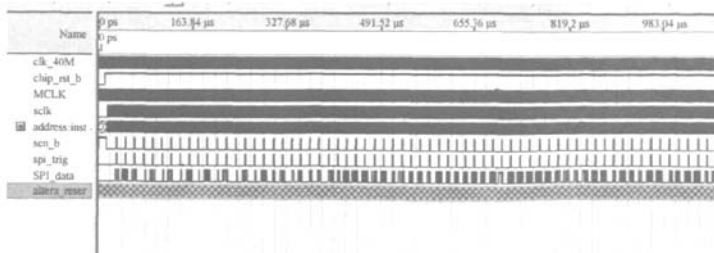


图 5 仿真图(a)

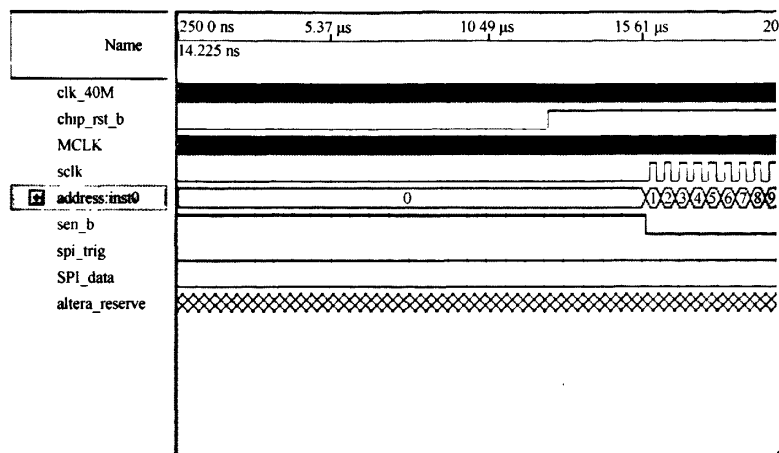


图 6 仿真图(b)

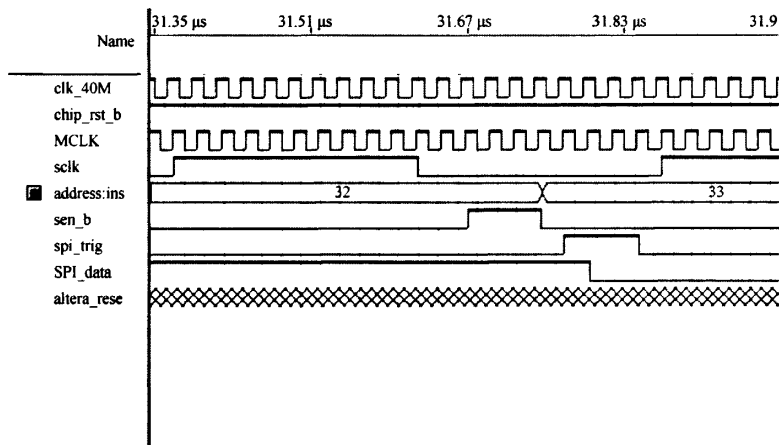


图 7 仿真图(c)

从图 5 到图 7 中可以详细的看到仿真结果符合 SCLK、SEN_B、SPI_TRIG、CHIP_RST_B 它们的时序要求(建立时间、保持时间、复位时间等)。

2.4 CMOS 图像传感器成像

仿真结果输出正确后,配置与电路设计相符的输入、输出引脚。完成该设计的 FPGA 芯片选型为 Cyclone II EP2C20F484C8, 可以通过编程电缆 Byteblaster(mV)将生成的 pof 文件下载. 根据测试结果,该设计可以稳定可靠的对 IA_G3 进行参量控制,如果需要修改只需更换程序中参量,再一次编译下载即可。将 FPGA 开发板与 IA_G3 CMOS 图像板的连线连接后,CMOS 图像板后面接到视频采集卡上,最后接到计算机上显示图像^[8]。将程序烧写到 FPGA 开发板里。CMOS 图像传感器成像结果如图 8,图 9 所示。

图 9 为开窗口的图像,开窗口位置为 432 到 1296。



图 8 CMOS 图像传感器成像图



图 9 开窗口下的成像图

(下转第 276 页)

换电路要求输入的模拟量不能为负值,所以设置了箝位电路,去除低通滤波后信号中的负电平。TDA8783 集成了箝位控制电路,可以通过对 10 bit 数控来实现箝位控制功能。当输入代码为“0”时, V_{DACOUT} (ADC 箝位控制 DAC 输出电压)为 1.5 V;当输入代码为“1023”时, V_{DACOUT} 为 2.5 V。10 bit 控制 DAC 输入代码与 ADC 箝位输入电压关系如图 4 所示。

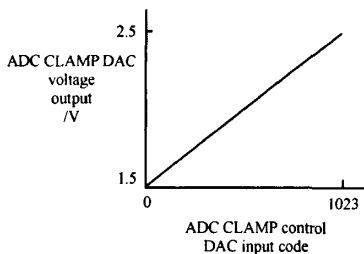


图 4 控制 DAC 输入代码与 ADC 箝位输入电压关系图

2.5 模数转换

视频处理电路的输出是模拟信号,为便于数据压缩和传输,需要把它转换成数字信号,模数转换电路在时序脉冲控制下把模拟视频信号转换成数字视频信号,并按规定的格式驱动输出。TDA8783 集成了一个 10 bit A/D 转换器。该 ADC(模数转换器)的最大采样频率可以达到 40 MHz,最小时钟脉宽 12 ns,占空比 1:1,输入峰值电压 2 V,最大输入电流 120 μ A,+5 V 单电源供电,典型非线性误差 0.2 LSB,最大采样延时 5 ns。

在进行 A/D 转换时,需要正确确定 A/D 转换的采样点,也就是采样脉冲在模拟信号上的位置(必须让采样点落在有效而且稳定的模拟信号段上),否

则有可能是采样点落在信号的不稳定位置,产生误差信号,或是采样点落在信号以外的位置,产生错误信号。如图 2 所示,ADC 转换由内部信号 CLK 来控制,ADC 数据输出相对于一次相关双采样需延迟 3 个 CLK 周期。

3 结论

(1)只有正确设计系统的时序驱动信号才能够完成整个电路的协调工作;

(2)CCD 输出与 CDS 输入间的连线应尽量短,这样有利于其间的接地保护。对所有供电管脚必须接退耦电容;

(3)CCD 信号经过视频处理电路处理后,信号质量得到了很大改善,满足系统指标要求。

参考文献:

- [1] 王庆有. CCD 应用技术[M]. 天津:天津大学出版社,2000.
- [2] 许秀贞,李自田,薛利军. CCD 噪声分析及处理技术[J]. 红外与激光工程,2004,33(4):343-346.
- [3] 佟高峰,阮锦,郝志航. CCD 图像传感器降噪技术的研究[J]. 光学精密工程,2000,8(2):140-145.
- [4] 刘国媛,李露瑶,张伯珩,等. CDS 器件在 CCD 视频信号处理中的应用[J]. 光子学报,2000,29(1):82-85.
- [5] 王世峰,赵馨,佟高峰,等. CCD 输出信号处理电路的研究[J]. 红外与激光工程,2007,36:311-313.
- [6] 焦斌亮,王利刚,常丹华. CCD 降噪技术的理论分析[J]. 菏泽师专学报,2002,24(4):8-11.
- [7] 黄美玲,张伯珩,边川平,等. 相关双采样技术在航天相机中的应用研究[J]. 传感器技术,2005,24(8):31-33.
- [8] Philips Semiconductors Corporation. TDA8783 40 Msps 10-bit Analog-to-Digital Interface for CCD Cameras[R]. Data Sheet, 2002.

(上接第 273 页)

3 结论

基于标准 CMOS 技术的创新面型传感器具有更高的灵活性、并可容易地集成到各类系统环境中,它具有更加优越的系统集成、更低功率的要求、更加灵活的图像捕获。本文在分析 DAISALSA IA_G3 驱动时序关系的基础上提出了 CMOS 寄存器配置时序发生器的设计方案,并且实现了开窗口等功能。FPGA 器件较其它器件具有延时小、设计简单、调试灵活等优点,且由其构成的驱动时序发生器工作稳定可靠、体积小,为自行研制 CMOS 摄像机实用化提供了条件。

参考文献:

- [1] 邢茹佳,张伯珩,等. 基于 CMOS 图像传感器 IBIS-A-1300 的时

序设计. 科学技术与工程[J]. 2006,6(21):3422-3426.

- [2] 古林,胡晓东,罗长洲,等. 基于 CPLD 的线阵 CCD 光积分时间的自适应调节[J]. 光子学报,2002,31(12):1533-1537.
- [3] 陈敏思,姚素英,赵毅强,等. 高帧频大动态范围 CMOS 图像传感器时序控制电路的设计与实现[J]. 电子学报,2004,(11):1923-1924.
- [4] 王庆有. 图像传感器应用技术[M]. 北京:电子工业出版社,2003:207-242.
- [5] 田雁,曹剑中,等. 基于 VHDL 技术实现视频采集处理器的控制[J]. 光子学报,2006,35(8):1276-1279.
- [6] 侯泊亨,顾新. VHDL 硬件描述语言与数字逻辑电路设计(修订版)[M]. 西安:西安电子科技大学出版社,2003:124-185.
- [7] 高国龙. 事件驱动随机存取开窗口 CCD 成像系统[J]. 红外,2004,3(5):45.
- [8] 刘晓明,田雁,等. 基于 DSP 和 FPGA 的视频处理系统设计及实现[J]. 激光与红外,2007,37(12):1329-1330.

基于FPGA的CMOS图像传感器IA_G3驱动电路的研究

作者: 范铁道, 田雁, 曹剑中, 陈庆辉, 唐利舜, [FAN Tie-dao](#), [TIAN Yan](#), [CAO Jian-zhong](#), [CHEN Qing-hui](#), [TANG Li-nao](#)

作者单位: 范铁道, 陈庆辉, [FAN Tie-dao](#), [CHEN Qing-hui](#) (中国科学院西安光学精密机械研究所, 西安, 710119; 中国科学院研究生院, 北京, 100039), 田雁, 曹剑中, 唐利舜, [TIAN Yan](#), [CAO Jian-zhong](#), [TANG Li-nao](#) (中国科学院西安光学精密机械研究所, 西安, 710119)

刊名: [电子器件](#) **ISTIC**

英文刊名: [CHINESE JOURNAL OF ELECTRON DEVICES](#)

年, 卷(期): 2009, 32(2)

被引用次数: 0次

参考文献(8条)

1. 邢茹佳, 张伯珩 基于CMOS图像传感器IBIS-A-1300的时序设计[期刊论文]-[科学技术与工程](#) 2006(21)
2. 古林, 胡晓东, 罗长洲 基于CPLD的线阵CCD光积分时间的自适应调节[期刊论文]-[光子学报](#) 2002(12)
3. 陈敏思, 姚素英, 赵毅强 高帧频大动态范围CMOS图像传感器时序控制电路的设计与实现[期刊论文]-[电子学报](#) 2004(11)
4. 王庆有 [图像传感器应用技术](#) 2003
5. 田雁, 曹剑中 基于VHDI. 技术实现视频采集处理器的控制[期刊论文]-[光子学报](#) 2006(08)
6. 侯泊亨, 顾新 [VHDI. 硬件描述语言与数字逻辑电路设计](#) 2003
7. 高国龙 事件驱动随机存取窗口CCD成像系统[期刊论文]-[红外](#) 2004(05)
8. 刘晓明, 田雁 基于DsP和FPGA的视频处理系统设计及其实现 2007(12)

本文链接: http://d.g.wanfangdata.com.cn/Periodical_dzqj200902009.aspx

授权使用: 陕西理工学院(sxlgxy), 授权号: 5178eb70-d677-4245-b2c3-9df20112bb7f

下载时间: 2010年9月15日