

# 基于 FPGA 的多通道高速 CMOS 图像采集系统

孙春风, 袁峰, 丁振良

SUN Chun-feng, YUAN Feng, DING Zhen-liang

哈尔滨工业大学 自动化测试与控制系, 哈尔滨 150001

Department of Automation Measurement and Control, Harbin Institute of Technology, Harbin 150001, China

E-mail: amysun01@sina.com

SUN Chun-feng, YUAN Feng, DING Zhen-liang. Design of multi-channels high-speed CMOS image acquisition system based on FPGA. Computer Engineering and Applications, 2008, 44(21): 46-48.

**Abstract:** This paper researches a design project of CMOS image sensor data acquisition system based on FPGA chip. The system uses the module structure design, LVDS and ping-pang store technologies, and ensures the real-time performance of data acquisition and transmission. It introduces the operating principles and realization methods of image acquisition, data transition, sequential control and data deserializing modules. The experiment certificates the system realizes image acquisition, transmission and memory to 590 MPixels/s data size, and makes for the design and realization of the subsequent circuit greatly.

**Key words:** FPGA; image acquisition; data transition; sequential control

**摘 要:** 基于图像采集系统高速、大容量的特点, 提出了一种以 FPGA 芯片为核心处理器件的 CMOS 图像传感器数据采集系统的设计方案。系统将模块化结构设计、LVDS 与乒乓存储等多项技术应用于设计过程中, 保证了数据采集和传输的实时性。详细介绍了图像采集、数据传输、时序控制和数据解串等模块的工作原理及实现方法。实际应用证明, 该系统实现了对数据量达 590 MPixels/s 的图像序列的数据采集、传输和存储, 大大方便了后续图像处理电路的设计与实现。

**关键词:** FPGA; 图像采集; 数据传输; 时序控制

DOI: 10.3778/j.issn.1002-8331.2008.21.012 文章编号: 1002-8331(2008)21-0046-03 文献标识码: A 中图分类号: TP274

## 1 引言

近年来, 越来越多的高速图像采集系统采用 CMOS 图像传感器作为图像采集器件。随着集成电路设计技术和工艺水平的提高, CMOS 图像传感器像素单元的数量和采集速度不断增大, 单位时间内图像传感器采集的图像数据量成倍的增加, 因此对于整个高速图像采集系统的数据传输、控制和处理等都提出了更高的要求<sup>[1]</sup>。目前情况下, 传统的单通道数据传输方式和单片机实现的系统控制和处理功能已经远远无法满足高速图像采集系统的设计要求, 必须采用新的数据传输方式和设计方法来实现图像采集、传输和存储功能。

本文设计了一种以 FPGA 芯片为核心处理器件的多通道高速 CMOS 图像采集系统, 将 LVDS 技术和乒乓技术应用于图像数据传输和存储过程中, 大大提高了整个系统的图像采集速度和实时性。

## 2 CMOS 图像采集系统的系统结构

多通道高速 CMOS 图像采集系统设计的主要目的是对空间快速运动目标进行实时的图像采集、数据传输和存储, 以便

于后续的计算机或图像处理系统进行图像分析、目标提取等进一步处理。针对被测目标高速运动的特点, 系统选用 Fillfactory 公司的 LUPA1300 型高速 CMOS 图像传感器作为图像采集器件。全分辨率下图像传感器采集的数据量可达 590 MPixels/s, 输出的离散模拟像素数据需要经过多通道高速 A/D 转换器转换才能成为存储和处理单元能够存储和处理的离散数字信号。高速数据传输过程中, 采用 LVDS 技术进行通道合并, 以较宽的传输频带进行数据传输, 可以大大提高整个系统的集成度和可靠性。同时, 系统采用两片大容量的 SDRAM 以乒乓操作的方式进行数据存储, 保证能够实时地接收图像传感器产生的图像数据和实时地向后续的图像处理系统和计算机传送图像数据。

图 1 所示为整个多通道高速 CMOS 图像采集系统的整体结构框图。其中, LUPA1300 型 CMOS 图像传感器输出的 16 路并行离散模拟信号经过差分放大器, 由单端信号转化为差分信号, 再经过高速 A/D 转换器转换, 成为 16 路 LVDS 信号输入 FPGA 芯片。FPGA 将串行差分数据转换成为并行数据, 以乒乓操作的方式分别存入 2 片大容量的 SDRAM 中, 保证了图像数据的实时接收, 使 FPGA 在进行数据处理和传输过程中不至于

基金项目: 国家质检总局青年科技基金(the Natural Science Foundation for Young Scientists of General Administration of Quality Supervision, Inspection and Quarantine, China under Grant No.Q01-07)。

作者简介: 孙春风(1976-), 女, 博士, 主要研究方向: 高速视觉测量、图像处理; 袁峰(1963-), 男, 教授, 博士生导师, 主要研究方向: 光电检测技术、惯性导航测试技术; 丁振良(1941-), 男, 教授, 博士生导师, 主要研究方向: 传感器与传感系统、自动化测试与精密计量。

收稿日期: 2008-01-28 修回日期: 2008-03-07

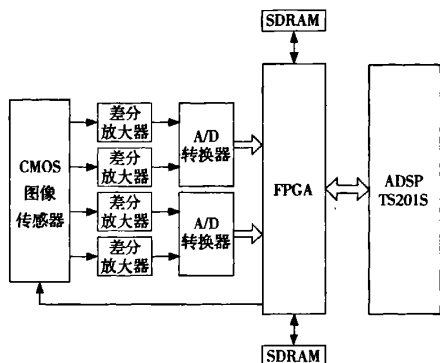


图1 多通道高速 CMOS 图像采集系统结构

出现数据丢失的情况。同时,FPGA 还要提供 CMOS 图像传感器的驱动、时序控制和地址加载等功能。FPGA 与 ADSP TS201S 之间通过链路口(Link Port)和并行总线/簇总线(Cluster Bus)进行数据通信。

### 3 FPGA 的图像采集逻辑电路设计

FPGA 作为多通道高速 CMOS 图像采集系统的核心器件,主要负责整个系统各个器件之间的通讯和逻辑控制功能。图2所示为 FPGA 的逻辑电路结构图。串行的数字图像数据经过串行数据解串模块转化成为并行图像数据,再通过输入 FIFO,以乒乓控制的方式存入 SDRAM 中。当 ADSP TS201S 需要时,图像数据通过输出 FIFO 和接口模块输出。图像传感器时序控制模块主要是提供图像传感器工作所需的各种时序和驱动信号。SPI 接口模块将传感器扫描的初始地址发送给传感器的内部寄存器。A/D 时钟控制模块主要是控制 A/D 转换器和差分放大器的时钟,使 A/D 转换器和差分放大器的转换速率与图像传感器的采集速率同步。

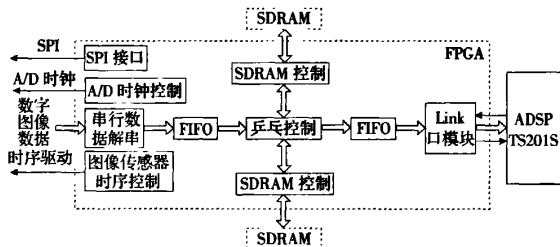


图2 FPGA 逻辑电路结构

#### 3.1 图像传感器时序控制模块

CMOS 图像传感器的时序主要包括两个部分:第一部分是与像素阵列有关的时序,即对积分时间的控制、同步式开关模式以及对每个像素单元内部的存储单元的像素信息的采样。另一部分是像素读取时序,包括同步信号、线选信号和控制行消隐时间信号。

图3是与像素阵列有关信号的时序图,图中所示的信号均为由 FPGA 产生的图像传感器外部信号,其中 Reset\_ds(复位)只在双斜率情况下才使用。像素阵列的时序是直接的,帧读取以前,光电二极管的信息需要存储到像素单元内部的存储单元内。通过图像传感器内部的 Vmemory(存储电压)信号的预充电和采样来实现。Vmemory 信号由 FPGA 产生的 Mem\_HL(外部

存储)信号来控制。Precharge(预充电)对存储单元设置一个参考电压,Sample(采样)是将光电二极管的信息存储到存储单元。Mem\_HL 信号的使用可以减少信号在像素内的损耗,同时预充电和采样的有效信号必须在 Mem\_HL 信号的低电平期间。在 Mem\_HL 信号再次处于高电平之后,开始像素阵列的读取。表1列出像素阵列的典型时序。

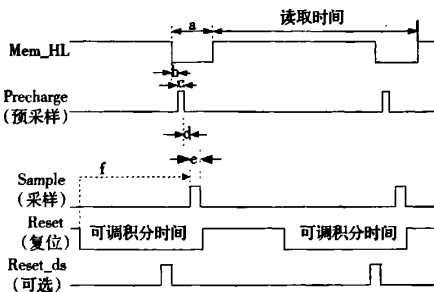


图3 与像素阵列有关信号的时序

表1 像素阵列的典型时序

符号	名称	值
a	存储时间	>5 $\mu$ s
b	存储开始与预充电时间间隔	>200 ns
c	预充电时间	>500 ns
d	预充电与采样时间间隔	>400 ns
e	采样时间	>3.9 $\mu$ s
f	积分时间	>2 $\mu$ s

一旦光电二极管的信息存储到每个像素的存储单元,所有的 1 280×1 024 像素阵列需要在 2 ms 以内读取(2 ms-帧结构开销时间=1 995  $\mu$ s)。另外,由 X 和 Y 同步脉冲控制下载的起始地址和终止地址,可以读取整帧图像中的一部分。读取过程本身也是直接的,由 sync\_Y 和 Clock\_Y 信号实现线选。选中一条新线以后,在线信息稳定以前需要一个行消隐时间。在行消隐时间结束以后,数据分成 16 组输出,sync\_X 和 Clock\_X 可以实现分组功能。图4所示为 Y 向移位寄存器和 X 向读取时间的时序图。表2列出像素阵列读取的典型时序。

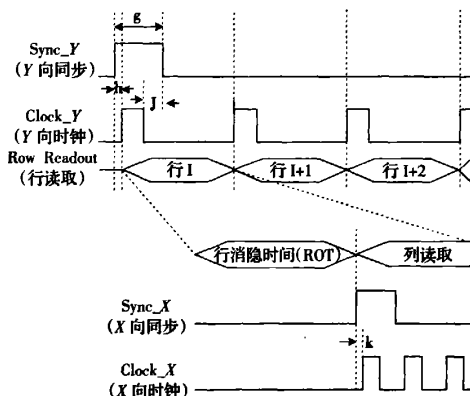


图4 像素阵列的读取时序

由于行结构开销时间(ROT)在时间上是一种损失,因此 FPGA 通过采样保持的方法来尽可能地减少。图像传感器的时序控制模块通过 Pre\_col,Norow\_sel 和 Sh\_col 三个信号来控制

表2 像素阵列读取的典型时序

符号	名称	值
g	Y 向同步	>100 ns
h	Y 向同步与 Y 向时钟时间间隔	>50 ns
j	Y 向时钟与 Y 向同步时间间隔	>50 ns
k	X 向同步与 X 向时钟时间间隔	>50 ns

行结构开销时间,其中,Sh\_col 信号的保持时间等于 ROT,而且 Sh\_col 信号保持时间越短,ROT 越短。

### 3.2 串并行接口(SPI)模块

串并行接口主要用于将 X 和 Y 地址上载到 X 和 Y 地址寄存器。上载的地址是开窗的起始点,需要通过相应的同步脉冲信号上传到移位寄存器中。图像传感器的 SPI 接口由 16 路基本单元并行连接组成,通过共用的下载使能信号(Load\_address)、地址(address)和时钟信号(Clock\_spi)形成完整的可上传地址组。Load\_address 信号的上升沿将已上传的地址送到图像传感器地址寄存器中。图 5 所示为 SPI 接口输入信号的时序图。X 地址为 6 位,Y 地址为 10 位,A1 与 Y 地址的最低有效位相对应,A16 与 X 地址的最高位相对应。由于 CMOS 图像传感器的初始地址配置和 A/D 转换器都是采用特殊的 3 线 SPI,因此本设计过程中,采用近似的方法,即可完成所需要的设计。

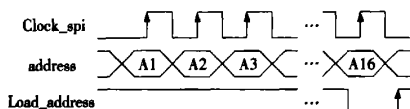


图5 SPI接口输入信号时序

### 3.3 串行数据解串模块

目前,新型的 FPGA 器件大多支持 LVDS 电平,因此采用 LVDS 方式的 A/D 转换器输出数据可以大大提高整个系统的速度,并减小 PCB 的面积。大量的串行数据进入 FPGA 以后需要将其转化成并行数据,以便于数据的存储和读取。串并转换电路主要是将数据依次存入串行移位寄存器中,然后并行输出。图 6 所示为串行转换电路的工作原理。

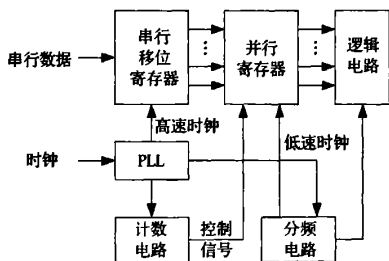


图6 串行转换电路工作原理

串并转换电路由一个串行的移位寄存器和一个并行的移位寄存器构成,其高速时钟通过锁相环 PLL 提供,PLL 产生的高速时钟再通过分频电路得到 16 分频的低速时钟。串行移位寄存器在 PLL 产生的时钟的控制下,依次将接收到的数据存放在串行移位寄存器中,然后在计数电路产生的控制信号的作用下,将数据存入并行寄存器。并行寄存器在低速时钟的控制下将数据送入后续的逻辑电路。由于数据、同步信号以及时钟信号从 A/D 转换器传到 FPGA 接口的时候会产生 90° 的相移,

即使在设计中数据信号和时钟信号线在 PCB 上保证严格的等距离,也会产生不同程度的相移,因此在解串模块设计过程中,采用一种自动相位调整的数字时钟管理单元(DCM)来保证相位的同步。

### 3.4 乒乓操作控制

乒乓操作是一种用于数据流控制的处理技巧。典型的乒乓操作方法如图 7 所示。乒乓操作的处理流程:输入数据流通过输入数据选择单元等时地将数据流分配到两个数据缓冲区。在第一个缓冲周期,将输入的数据流缓存到数据缓冲模块 1;在第 2 个缓冲周期,通过输入数据选择单元的切换,将输入的数据流缓存到数据缓冲模块 2,同时,将数据缓冲模块 1 缓存的第 1 个周期的数据通过输出数据选择单元的选择,送到运算处理单元进行处理。在第 3 个缓冲周期,再次切换数据的进入与输出缓冲模块。如此循环,周而复始<sup>[9]</sup>。本文设计的乒乓切换控制模块中,数据由输入区域的控制信号写入,再由输出区域的控制信号将数据读出。也就是说,读写指针的变化由不同的时钟信号控制,而空满标志要由比较读写指针来实现。因此,对 FIFO 空或满的判断是跨时钟域的。为了解决跨时钟域信号传输的亚稳态问题,系统采用同步器的方法,即异步空满信号产生后,异步满信号同步到写时钟域,异步空信号同步到读时钟域,并向外部输出同步空满信号<sup>[9]</sup>。

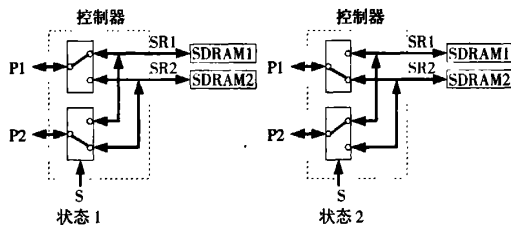


图7 乒乓操作示意图

### 3.5 与 ADSP TS201S 的接口模块

FPGA 与 ADI 公司的 TigerSHARC 系列 ADSP TS201S 芯片可以通过链路口(Link Port)和并行总线/簇总线(Cluster Bus)进行数据的传输和通信控制<sup>[6]</sup>。由于 ADSP TS201S 芯片的链路口通信有自己的通信协议,因此本文的 FPGA 接口模块只需要按照链路口的通信协议设计,就可以实现 ADSP TS201S 与 FPGA 的通信和数据传输。

ADSP TS201S 片上有 4 个独立的双向链路口,在发送数据的同时可从对方接收数据。本文设计的接口模块链路口数据传输采用 4 位传输模式,用 LxCLKOUTT/N、LxACKI、LxCLK-INP/N 和 LxACKO 信号来控制数据传输,LxBCMPI 和 LxBCMPO 用于描述块传输是否完成。链路口通信协议采用通用规则(如图 8):

- (1)第一个数据总在链路口时钟的上升沿发送;
- (2)最后的数据总在链路口时钟的下降沿发送;
- (3)当链路口停止时 LxCLKOUTP 为低;
- (4)每次传输最少为 4 个字。

FPGA 设计的接收链路口逻辑电路和发送链路口逻辑电路都由两部分组成:接收/接收缓冲模块和发送缓冲/发送模块。接收模块是用来与 ADSP TS201S 链路口发送通道进行接口和数据拆包处理,发送模块是用来与 ADSP TS201S 链路口接收通道进行连接和数据打包处理。接收缓冲/发送缓冲模块分别

(下转 105 页)

表2 约简结果、执行时间和差别矩阵蒸发率比较

数据集	实例数	条件个数	算法 A			算法 B			算法 2		
			约简结果	执行时间/s		约简结果	执行时间/s	$N_{2A}/\%$	约简结果	执行时间/s	$N_{2A}/\%$
表 1	10	4	3	0.031 250		4	0.015 625	62.5	3	0.015 625	81.3
Iris	150	4	4	0.015 625		4	0.015 625	64.2	4	0.015 625	96.2
Tic-tac-toe	958	9	8	0.625 000		8	0.265 625	70.0	8	0.015 625	88.4
Chess end-game	3 196	36	29	26.437 500		29	32.781 250	43.9	29	11.468 750	70.0
mushroom	8 124	22	4	95.031 250		5	33.390 625	65.9	4	6.328 125	99.4

算法 B 中差别矩阵对算法 A 中差别矩阵的蒸发率,  $N_{2A}$  表示算法 2 中差别矩阵对算法 A 中差别矩阵的蒸发率。从表 2 可以看出, 算法 2 约简后条件属性数比算法 A 和算法 B 约简后条件属性数更少, 运行时间更短。同时, 差别矩阵包含的元素更少。实验结果与前面分析相符合, 验证了算法 2 的正确性和高效性。

## 6 结论

本文研究了基于差别矩阵属性约简算法计算效率问题, 设计了计数排序算法, 提高了计算 U/C 等价类效率, 其时间复杂度降为  $O(|CI||U|)$ 。针对差别矩阵中存在空集元素, 提出了改进的差别矩阵定义, 并采用快速求核算法计算出核属性和出现频率最多的属性来进一步降低差别矩阵大小。实验结果表明该算法是一个高效的算法。作者下一步将研究无核的决策表如何提高属性约简效率。

## 参考文献:

[1] Pawlak Z. Rough sets[J]. International Journal of Computer and Information Science, 1982, 11(5): 341-356.

- [2] 刘少辉, 盛秋霞, 吴斌, 等. Rough 集高效算法研究[J]. 计算机学报, 2003, 26(5): 524-529.
- [3] 徐章艳, 刘作鹏, 杨炳儒, 等. 一个复杂度为  $\max(O(|CI||U|), O(|CPI||U|))$  的快速属性约简算法[J]. 计算机学报, 2006, 29(3): 391-399.
- [4] Hu X H, Cerecone N. Learning in relational databases: a rough set approach[J]. International Journal of Computational Intelligence, 1995, 11(2): 323-338.
- [5] Wang Jue, Wang Ju. Reduction algorithms based on discernibility matrix: the ordered attributes method[J]. Journal of Computer Science and Technology, 2001, 16(6): 489-504.
- [6] 叶东毅, 陈昭炯. 一个新的二进制可辨识矩阵及其核的计算[J]. 小型微型计算机系统, 2004, 25(6): 965-967.
- [7] 杨明. 一种基于改进差别矩阵的核增量式更新算法[J]. 计算机学报, 2006, 29(3): 407-413.
- [8] 高学东, 丁军. 基于简化差别矩阵的属性约简算法[J]. 系统工程理论与实践, 2006(6): 101-107.
- [9] 周江卫, 冯博琴, 刘洋. 一种新的快速求核算法[J]. 西安交通大学学报, 2007, 41(6): 688-691.
- [10] 王珏, 王任, 苗夺谦, 等. 基于 Rough Set 理论的“数据浓缩”[J]. 计算机学报, 1998, 21(5): 393-400.

(上接 48 页)

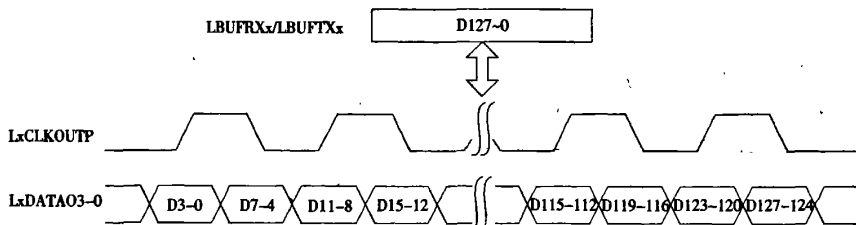


图8 4位模式链路口通信协议

用来配合接收模块和发送模块作为传输时的数据缓冲区, 并且实现与系统中其他接口或者 FPGA 中其他模块的接口的数据传输功能。

## 4 结论

本文设计了一种以 FPGA 芯片为核心处理器件的多通道高速 CMOS 图像采集系统, 实现了对全分辨率下帧频高达 450 帧/s 的 1 280×1 024 像素阵列的高速图像采集、数据传输和存储。LVDS 技术和乒乓操作方式在数据传输和存储过程中的应用大大提高了整个系统的可靠性和集成度, 降低了噪声对于整个系统数据传输过程的影响。同时, 通过 FPGA 芯片实现的整个系统的时序控制、数据转换和存储功能, 具有较高的系统可

重构性。系统已经应用于某高速视觉测量系统中, 实际应用证明, 具有良好的数据采集和传输能力, 能够实现对象空间高速运动目标的实时图像采集、传输和存储功能。

## 参考文献:

- [1] 尚玉全, 曾云, 滕涛, 等. CMOS 图像传感器及其研究[J]. 半导体技术, 2004, 29(5): 19-24.
- [2] 周如辉. 实时视频处理系统的乒乓缓存控制器设计[J]. 单片机与嵌入式系统应用, 2006(7): 25-27.
- [3] 王智, 罗新民. 基于乒乓操作的异步 FIFO 设计及 VHDL 实现[J]. 电子工程师, 2005, 31(6): 13-16.
- [4] 甘旭军, 李平康, 杜秀霞. 多 DSP 并列高速信号处理器的设计与实现[J]. 仪器仪表学报, 2002, 23(3): 574-576.

# 基于FPGA的多通道高速CMOS图像采集系统

作者: [孙春风](#), [袁峰](#), [丁振良](#), [SUN Chun-feng](#), [YUAN Feng](#), [DING Zhen-liang](#)  
作者单位: [哈尔滨工业大学, 自动化测试与控制系, 哈尔滨, 150001](#)  
刊名: [计算机工程与应用](#) [ISTIC](#) [PKU](#)  
英文刊名: [COMPUTER ENGINEERING AND APPLICATIONS](#)  
年, 卷(期): 2008, 44(21)  
被引用次数: 1次

## 参考文献(4条)

1. 尚玉全, 曾云, 滕涛 [CMOS图像传感器及其研究](#) [期刊论文] - [半导体技术](#) 2004 (05)
2. 周如辉 [实时视频处理系统的乒乓缓存控制器设计](#) [期刊论文] - [单片机与嵌入式系统应用](#) 2006 (07)
3. 王智, 罗新民 [基于乒乓操作的异步FIFO设计及VHDL实现](#) [期刊论文] - [电子工程师](#) 2005 (06)
4. 甘旭军, 李平康, 杜秀霞 [多DSP并列高速信号处理器的设计与实现](#) [期刊论文] - [仪器仪表学报](#) 2002 (03)

## 相似文献(10条)

1. 学位论文 [佟大鹏](#) [基于FPGA和PCI接口的图像采集压缩卡设计](#) 2007

随着数字图像处理的应用领域不断扩大, 实时处理技术成为研究的热点。VLSI技术的迅猛发展为数字图像实时处理技术提供了硬件基础。其中FPGA(现场可编程门阵列)的特点使其在图像采集和处理方面的应用显得更加经济、灵活、方便。

本文设计了一种以FPGA为工作核心, 并实现了PCI接口的图像采集压缩系统。整个系统采用了自顶向下的设计方案, 先把系统分成了三大块, 即图像采集、PCI接口和图像压缩, 然后分别设计各个大模块中的子模块。

首先, 利用FPGA对专用视频转换器SAA7111A进行控制, 因为SAA7111A是采用I<sup>2</sup>C总线控制的, 本系统利用VHDL语言的描述在FPGA芯片中模拟了I<sup>2</sup>C总线模块, 从而完成了对SAA7111A的控制, 并通过设计图像采集模块、读/写数据模块、总线管理模块等, 实现把标准的模拟视频信号转换成数字视频信号并采集的功能。

其次, 在了解PCI规范的前提下, 深入地分析了PCI时序和地址配置空间等, 设计了简化逻辑的状态机, 并用VHDL硬件描述语言设计了程序, 完成了简化逻辑的PCI接口设计在FPGA芯片内部的实现, 达到了一33MHz、32位数据宽度、支持猝发传输的PCI从设备模块的接口功能, 与传统的使用PCI专用接口芯片来实现的PCI接口比较来看, 更加节约了系统的逻辑资源, 降低了成本, 增加了设计的灵活性。

再次, 设计了WINDOWS下对PCI接口的驱动程序。驱动程序可以选择不同的方法来完成, 当然每个方法都有自己的特点, 对几种主要设计驱动程序的方法作以比较之后, 本文选择了使用DRIVER WORKS工具来完成。通过对配置空间的设计、系统端口和内存映射的设计、中断服务的设计等, 用VC++语言编写了驱动程序。

最后, 考虑到增加系统的实用性和完备性, 还填加设计了图像的压缩部分。这部分需要完成的工作是在上述系统完成后, 再额外地把采集来的视频数据通过另一路数据通道按照一定的格式压缩后存储到硬盘中。本系统中, 这部分设计是利用Altera公司提供的IP核来完成压缩的, 同时还用VHDL语言在FPGA上设计了IDE硬盘接口, 使压缩后的数据存储到硬盘中。

2. 期刊论文 [孙成志](#), [解梅](#), [傅海东](#), [Sun Chengzhi](#), [Xie Mei](#), [Fu Haidong](#) [基于FPGA的图像采集模块设计](#) - [单片机与嵌入式系统应用](#) 2008, "" (11)

介绍一种通用的高速前端图像采集模块。该模块主要由视频解码芯片SAA7113H和FPGA组成, 图像数据通过模拟摄像机获取图像, 经过SAA7113H转换成数字图像信号后, 由FPGA对图像采集进行控制。在图像采集的过程中, 采用状态机的方式对FPGA内部的2个RAM块进行乒乓操作来采集图像数据。编写FPGA程序, 并进行相关仿真及实际调试操作。结果证明, 该采集模块具有很好的可行性及稳定性。此模块不需要外部存储器, 能够运用在各种图像处理系统的前端。

3. 学位论文 [龚涛](#) [基于FPGA的图像采集处理系统](#) 2005

纺织行业中的布匹疵点检测过程目前仍然通过人工检测的方式完成, 为了实现该环节的自动化, 必须实现对布匹图像的采集。本文讨论的基于FPGA的图像采集处理系统实现了对布匹图像的采集和预处理。完成的工作包括: 系统总体方案设计、硬件设计、FPGA实现逻辑、图像处理算法的FPGA实现以及算法的改进。本文首先分析了图像采集处理系统的现状, 比较FPGA、DSP和ASIC三种芯片作为图像采集处理系统核心芯片的优缺点, 结合项目背景和需求, 提出基于FPGA的图像采集处理系统的整体方案。该方案中各个外围接口的控制逻辑、芯片控制逻辑、算法处理模块均由FPGA实现, 与上位机之间的通讯通过PCI总线完成。本文在介绍图像采集处理卡的硬件结构及FPGA实现的各个功能和接口模块的基础上, 详细讨论了图像采集处理系统中硬件设备和各个实现方案的选择包括摄像头的选择、帧缓存实现方案的选择、PCI总线接口实现的选择、FPGA芯片的选择及FPGA配置方案的选择等问题。系统中FPGA实现各种外围逻辑控制和图像预处理算法, FPGA的内部逻辑设计和算法实现是本文讨论的重点。大量外围芯片功能集中在单个FPGA芯片中, 提高了系统的集成度和可靠性, 在此基础上进一步对系统优化。分析系统中数据流的特点, 通过FPGA实现优化的数据读写过程, 提高数据读写速率。本文最后对常见图像处理算法做出分析, 包括图像的滤波与边缘检测等处理方法, 得出预处理中卷积算法是重复使用较多的算法, 接下来提出几种FPGA实现卷积算法的方案, 讨论FPGA实现卷积算法方案上的改进。使得系统的图像处理速度得到提高, 从而提高整个系统的性能。

4. 期刊论文 [王理想](#), [田西柱](#) [一种DSP+FPGA机制的警用执法实时图像采集存储系统设计](#) - [警察技术](#) 2009, "" (6)

基于当前警察系统在执法中遇到的问题, 设计了一种由DSP芯片和FPGA芯片组成的实时图像采集存储系统。文章首先阐述了系统的整体设计思想, 然后介绍了系统的硬件组成及电路的连接以及图像采集和存储实现的过程。

5. 学位论文 [郑容](#) [基于FPGA的图像采集与预处理系统设计](#) 2009

汽车工业的发展给人们带来很大便利的同时, 也给交通系统带来了巨大的压力。其日趋明显的危害使人们更加关注汽车安全性问题。本文作为基于视觉的汽车自动防撞系统的前端图像采集与预处理部分, 在解决汽车安全性问题上具有十分重要的意义。

本文比较了计算机、DSP、ASIC和FPGA在嵌入式实时系统中的应用, 分析FPGA在图像实时性处理方面的优势, 研究FPGA设计上的灵活性、软硬件的可编程性、良好的集成性等特点, 分析FPGA的设计流程及开发环境。结合实时图像处理数据量大的特点, 确定FPGA作为系统的核心芯片。

本系统主要由图像采集、图像存储、图像处理和实时显示等模块组成。图像采集部分采用模拟CCD图像传感器作为视频的输入, 由视频AD芯片SAA7113完成模拟到数字信号的转换, FPGA完成对SAA7113的配置以及有效亮度信号的提取。由于图像采集模块获取的图像数据量十分可观, 因此本系统采用一块32MB的SDRAM完成数据的存储。并在FPGA中实现了一个简化的SDRAM控制器, 用以完成对SDRAM的初始化、定时刷新、连续读写等功能。图像处理模块实现中值滤波和边缘检测两种算法, 在这两种算法的硬件实现中采用了流水线处理技术, 显著提高了处理速度。实时显示模块将经过处理后的图像数据送至DA芯片, 并产生出VGA时序, 通过VGA显示器即可实时观察图像处理后的效果。

另外, 为了方便调试和程序设计, 还在FPGA内部生成一个Nios II内核及一些相关组件, 包括两个双向PIO、Flash控制器等。其中两个双向PIO用来模

拟I2C总线, 完成对SAA7113的配置, Flash控制器用于与外部Flash芯片连接。

本文重点在于系统硬件和接口模块设计。在硬件设计中, 器件选型和PCB设计是难点; 在接口模块中, 图像采集与存储是难点; 在图像算法方面, 本文更注重其硬件实现过程。目前基于设计目标所开发出来的电路板已通过调试, 并能实时显示处理后的图像。

## 6. 期刊论文 郑容. 朱宏辉. ZHENG Rong, ZHU Honghui 基于FPGA的图像采集及VGA显示 -交通信息与安全2009, 27(4)

根据汽车自动防撞系统前端图像采集模块对实时性处理要求高的特点, 提出了1种基于FPGA的图像采集及VGA显示系统的设计方案。系统中FPGA主要完成对AD芯片的配置, 从数字图像信号中提取时序信息和亮度信号, 实现去隔行操作以及产生标准的VGA时序等。实验表明, 该方案在满足图像质量要求的同时, 较好地兼顾了实时性需求。

## 7. 学位论文 吴泽勇 基于FPGA技术的图像采集设备运动控制研究 2006

随着计算机技术的发展, 特别是计算机运行速度的提高, 图像处理在工程技术许多领域的应用越来越广泛。岩心扫描仪主要用于现场采集岩心的数字图像信息, 为油、气井的钻探提供基础资料。岩心扫描仪主要由机架、图像采集系统和运动控制系统组成。传统岩心扫描仪的运动控制系统包括图像采集装置(面阵感光元件或线阵感光元件)的直线运动控制和岩心的回转运动控制两部分。传统岩心扫描仪的运动控制系统由计算机、计算机接口、数控系统、减速装置、滚珠丝杆等组成。由于传动链长, 运动控制复杂, 导致扫描仪的体积大、重量重、运动精度低, 不利于“便携”操作。基于光栅定位的便携式扫描仪充分发挥光栅位置检测的优势, 采用“运动以手动操作为主, 计算机被动检测控制”的原理, 取消了包括数控系统、减速装置和滚珠丝杆在内的硬件装置, 在保证图像质量的前提下, 大幅度减小了扫描仪的重量, 降低了生产成本, 实现了便携功能。本课题主要研究基于被动运动控制扫描仪的运动原理和实现方法。

由于扫描仪的运动控制原理由主动控制变为被动控制, 其技术关键是提高信号采集的速度。现场可编程门阵列(Field Programmable Gate Array, FPGA)是20世纪80年代出现的可编程逻辑器件。FPGA将半定制的门阵列电路的优点和可编程逻辑器件的用户可编程特性结合在一起, 将大量的门电路集成在一起, 设计的电子产品体积小、集成度和可靠性高, 具有用户可编程特性, 可以大大缩短设计周期。FPGA最大的优点是程序设计灵活, 集成度高, 数据处理速度快, 为实现扫描仪被动检测的运动控制提供了硬件条件。

扫描仪摄像头的水平移动由手动完成。FPGA实时检测光栅信号, 将光栅信号的处理集成到系统控制板上, 将经过滤波整形后的信号直接送入FPGA芯片, 由FPGA完成细分、辨向、位置、速度的测算等工作, 通过内部的快速运算, 在适当位置预先向扫描头发出拍照指令, 准确控制摄像头在预先载入的目标位置上拍照。图片数据传输完成后开始下一次拍照。使用自主编制的图像处理软件将序列图片剪裁、拼接成整幅岩心图片。岩心的转动由微型无刷直流电机驱动。无刷直流电机具有动态响应性能好、速度转矩比大的特点。使用同一个FPGA芯片对电机进行PID(Proportional, Integral, and Deftvative Contr01)调节及逻辑控制, 能很好实现无刷直流电机速度及位置伺服控制。

根据自上而下分层设计和模块化设计的思想, 采用原理图(Schematic)输入和硬件描述语言(Very-High-Speed Integrated Circuit Hardware DescriptionLallguage, VHDL)编程相结合的方法, 对FPGA芯片进行编程, 并完成运动控制的硬件结构设计。原理图输入能够快速实现逻辑真值表, 能够方便地将设计人员熟悉的模拟逻辑电路快速转移到:FPGA内部。VHDL硬件描述语言能支持硬件的设计、验证、综合和测试, 既可以描述电路具体组成的结构, 又可以描述电路功能。最后通过原理性实验证明运动控制原理和运动控制软件设计的正确性。

本文提出的基于FPGA技术的被动检测控制原理不仅可以用于岩心图像扫描仪的运动控制, 还可应用于大画面图像的高保真采集、图像定位、逆向工程等其他工程领域, 具有重要的理论意义和实用价值。

## 8. 期刊论文 李成. 贺洋. LI Cheng, HE Yang 基于FPGA的图像采集模块的设计 -电子设计工程2009, 17(3)

针对传统的PCI图像采集卡的弊端, 采用OV7620和Cyclone系列FPGA设计了适用于便携式嵌入式系统的图像采集模块。该模块采用“乒乓模式”设计思想, 具有8 Mbit的高速缓存空间, 并利用嵌入式逻辑分析仪对原始图像数据的采集和缓存。系统实现图像原始数据的采集和缓存, 保证图像数据的连续和完整性, 该系统外部接口电路简单, 便于使用和移植, 具有体积小、功耗低、速度快等优点, 可应用于便携式设备的图像采集。

## 9. 学位论文 杨遂军 基于FPGA的高速图像采集技术研究 2004

在现代测量和检测领域, 基于图像法的自动检测系统得到了越来越广泛的应用。图像采集卡作为图像法获取信息的重要手段和基础器件, 能够实现图像信息的采集、处理和视觉功能的扩展, 是图像法测量和图像信息获取系统中的关键技术单元之一。该文在对国内外图像采集和处理技术的应用现状和发展趋势进行了系统分析的基础上, 针对高速图像采集时存在的模数转换速率高、数据量大、运算复杂等问题, 采用了现场可编程门阵列器件(Field Programmable Gate Array, FPGA)和数字信号处理器(Digital Signal Processor, DSP), 实现了图像的高速采集和处理。具体研究内容和方法如下: 首先, 对标准视频信号格式进行深入分析, 设计了基于高速A/D和FPGA的图像采集卡, 其中, 模数转换器速率为40MSPS, FPGA的工作频率为70MHz, 并针对影响高速图像采集的若干因素, 提出了改善措施和方法; 其次, 设计了视频放大电路和视频分离电路, 对视频信号进行预处理, 运用锁相环设计了同步信号发生器电路, 解决了系统的同步问题; 在行、场同步信号、A/D转换器和帧存储体之间的固有逻辑关系的基础上, 采用硬件描述语言编制了图像采样、存储控制程序; 再次, 选用了5000系列的低功耗数字信号处理器, 设计了图像处理电路; 并以图像的边缘检测为例, 采用Sobel算子实现了图像的边缘检测; 最后, 对高速电路板的布局和抗干扰技术进行了详尽的分析, 讨论了高速电路板设计应遵循的一些基本要求; 并对整个系统进行调试、实验, 对硬件电路和图像处理的结果予以验证; 综上所述, 该课题采用FPGA和DSP完成了高速图像采集卡的研制, 对相关的图像采集技术进行了有益的探索, 并为高速图像采集卡各项功能的进一步扩展奠定了基础。

## 10. 期刊论文 郑百源. 程远增. 任锁柱. ZHENG BaiYuan. CHENG Yuan Zeng, REN Suo Zhu 基于FPGA和TMS320DM642的

### CCD图像采集和处理系统硬件设计 -微型机与应用2009, 28(12)

为能高速、有效、实时采集CCD视频图像, 提出了一种实时视频图像采集和处理系统设计方案。重点介绍其硬件设计原理、关键电路的设计, 其主要功能是从CCD摄像头输出的模拟视频信号中提取实时图像, 数字化后送入处理器作后期图像处理和分析。

## 引证文献(1条)

### 1. 杨伟程. 李鹏 CMOS相机控制及图像数据传输系统设计[期刊论文]-电子设计工程 2009(4)

本文链接: [http://d.g.wanfangdata.com.cn/Periodical\\_jsjgcyyy200821012.aspx](http://d.g.wanfangdata.com.cn/Periodical_jsjgcyyy200821012.aspx)

授权使用: 陕西理工学院(sxlgxy), 授权号: aac67632-e9e2-4c2f-a8aa-9df2010b73c9

下载时间: 2010年9月15日