

# 基于 FPGA 的多功能图像目标发生器的设计与实现

The designing and implementation of mulity function image generator based on FPGA

(1. 中科院长春光学精密机械与物理研究所;2. 北京中国科学院研究生院)李敏洁<sup>1,2</sup> 魏仲慧<sup>1</sup> 何昕<sup>1</sup>

Li, Minjie Wei, Zhonghui He, Xin

**摘要:**本文介绍了一种基于 FPGA 的图像目标发生器的设计方法,介绍了它的设计原理、硬件电路结构、各功能的实现方法。该图像发生器能产生灰度阶图像、静态目标图像和运动目标图像,用来对图像采集系统进行评估。

**关键词:**FPGA; VHDL 语言; 图像目标发生器; 灰度阶图像; 静态目标图像; 运动目标图像

中图分类号:TN431.2;TN47

文献标识码:A

文章编号:1008-0570(2005)12-2-0126-02

**Abstract:**A mulity function image generator based on FPGA is provided. This includes it's method of designing, principle, hard ware circuit framework and all of it's functions. The image generator can generate grey levels image, static target image and dynamic target image. The image generator can be used to evaluate image gather system.

**Key words:** FPGA; VHDL language; image generator; grey levels image static target image; dynamic target image

## 引言

在 CCD 图像采集中,需要对图像采集系统的性能进行评估,而由于 CCD 相机的研制时间长,研制成本高,并且不易于控制,因此,研制出开发周期短、易于控制的图像目标发生器成为评估图像采集系统中很重要的一步。

图像目标发生器的设计主要是根据数字图像的知识,利用 FPGA 的大容量、高集成度、数据稳定等优点来设计图像数据流,实现 CCD 相机的大部分功能。

该图像目标发生器利用可编程逻辑器件的优良性能,采用 VHDL 语言编程,并且在流行的 FPGA 芯片上实现,它能产生灰度阶图像、静态目标图像和运动目标图像。在静态目标图像和运动目标图像中,背景区域和目标区域的对比度反差很大。输出的图像的像素采用 12 位灰度级表示,产生的图像大小是 2K×1K。

## 1 设计原理

在图像信号的生成中,最重要的是时序关系,主要的信号有:像素时钟、帧信号、行信号和数据信号。以 6×6 大小的图像为例,它们和像素数据构成的时序关系如下。在图 1 中,帧信号(frame)包括 6 个行(line)有效信号,同时行信号又包括 6 个有效的时钟信号,

这样便可以生成简单的 6×6 大小的图像。利用这个原理,便可以生成 2K×1K 大小的图像。

图 1 图像时序关系

## 2 硬件设计描述

整个系统的结构框图如图 2 所示。

在图 2 中,工作模式选择用来决定系统是工作在灰度阶图像、静态目标图像还是运动目标图像的模式;FPGA 选用 Xilinx 公司的 XC2S200,该芯片的最高工作频率为 200MHz,集成系统门为 20 万门,5292 个逻辑单元,用来产生所有的图像数据信号;该图像目标发生器的接口选用两种方式:LVDS 接口和 Camera Link 接口,其中 LVDS 接口芯片是美国国家半导体公司的 DS90C031, Camera Link 接口芯片是该公司的 DS90CR283。

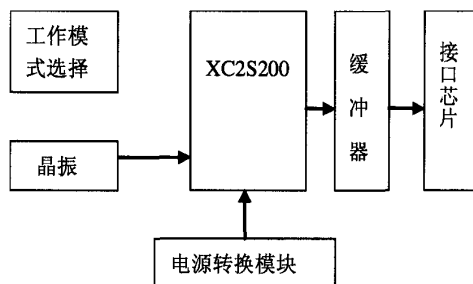


图 2 硬件结构框图

## 3 图像数据的设计

该设计采用模块化设计方法,先用 VHDL 生成底层模块:灰度阶图像产生模块、静态目标图像产生模块和运动目标图像产生模块等,然后利用原理图输入法将各底层模块调入顶层中,构成整个图像目标发生器,最后的图像目标发生器的顶层原理图(略可向作者索取)。

图像目标发生器主要由以下几个模块组成:

### 1) 时钟计数模块

该模块是一个模 2147 计数器,在对时钟计数的过程中计数器计到 2047,就会产生一个低电平,表明产生一行图像,低电平维持 100 个时钟周期,即行消隐期是 100 个时钟周期。

李敏洁:硕士研究生

中国自控网: <http://www.autocontrol.com.cn>

- 126 - 360 元/年 邮局订号:82-946  
万方数据

电话:010-62132436, 62192616(T/F)

《变频器与软启动器应用 200 例》

## 2) 行计数模块

行计数模块是一个模 1123 计数器。对行信号计数的过程中, 计到 1023, 输出一个低电平, 说明产生一帧完整的图像, 该低电平维持 50 个行周期, 即场消隐期是 50 个行周期。

## 3) 灰度阶图像产生模块

当  $m < 3:0 = "0000"$  时, 图像目标发生器工作在灰度阶图像输出的模式下。灰度阶图像即图像像素的灰度值逐次加 1, 加至最大 ( $2^{12}$ ), 再返回至 0, 然后逐次循环。

## 4) 静态目标图像产生模块

当  $m < 3:0 = "0001"$  时, 图像目标发生器工作在产生静态目标图像模式下。

静态目标图像产生模块的输入主要是行计数器模块和时钟计数模块的输出, 输出主要是图像灰度值数据。静态目标图像采用时钟计数模块和行计数模块产生的地址(行数和列数)来界定每一目标的大小, 每一个图像目标块的大小是  $100 \times 100$ , 在该区域内, 图像灰度值全为 1, 在该区域外为背景区域, 图像灰度值全为 0。

## 5) 图像帧数判断模块

图像帧数判断模块主要是依据本设计的要求设计的一个模 11 计数器, 保证 11 幅图像循环出现。图像帧数判断模块的主要输入信号是图像的帧信号, 帧信号是一幅完整图像的标志, 当检测到帧信号的高电平跳变沿, 说明开始一帧新的图像数据。

## 6) 运动目标图像产生模块

运动目标图像产生模块以图像帧判断模块模块、时钟计数模块、行计数模块的输出做为输入, 其中, 时钟计数模块和行计数模块的输出产生列地址和行地址, 图像帧数判断模块的输出可以保证 11 帧图像循环出现, 每一帧图像的目标区域都不相同, 这样便可以产生运动目标图像。在每一帧图像中, 由时钟计数器和行计数器产生的地址来界定目标区域的范围, 在该区域内, 像素灰度值全为 1, 为目标区域, 在该区域外, 像素灰度值全为 0, 为背景区域。输出是 12 位图像灰度值数据。该模块产生的目标区域大小是  $100 \times 50$ 。

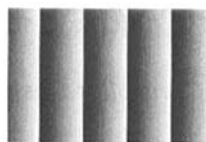
最后, 我们用原理图输入法将上述生成的模块调入顶层原理图编辑器中, 最后完整的图像目标发生器如上面的图所示(略)。

## 结论

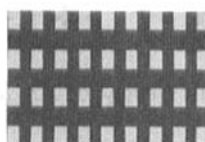
将本图像目标发生器和 CL160 图像采集卡相连, 在上位机采集得到灰度阶图像、静态图像和第一、第三帧动态图像如图 3 所示。

基于 FPGA 的图像目标发生器具有结构简单, 开发周期短, 数据稳定等优点, 能迅速投入实际应用之中。该图像发生器具有 CCD 相机常用的 LVDS 和 Camera Link 接口, 能和很多常用的具有这两种接口的图像采集卡连接, 具有很大的通用性, 只需要修改部

分时序就可以满足其他的需要, 具有很好的可移植性。



a 灰度阶图像



b 静态图像

c 第一帧动态图像

d 第三帧动态图像

图 3 上位机采集到的图像(部分)

在实际的图像采集系统的评估中, 利用该目标发生器验证了图像采集系统并不存在丢帧、丢点等现象, 在图像存储中, 还通过该目标发生器来检测存储速度是否能满足要求, 在实际应用中, 发现由于数据传输速率大, 发现存储速度不能满足要求, 后通过改进存储器存储区组织来满足存储速度的要求。

## 参考资料

- [1] Spartan-II 2.5V FPGA Family: Complete Data Sheet. Xilinx 2003
- [2] 刘艳澄、李桂菊、冯晓勇. 高速数字式摄像机的控制与数据流远距离传输的研究[J]. 长春理工大学学报, 2004, 27(2): 22-25.
- [3] 潘松、王国栋. VHDL 实用教程[M]. 成都: 电子科技大学出版社, 2000.

作者简介: 李敏洁 (1981.1-), 男, 汉族, 河南商丘人, 在读硕士研究生, 机械电子工程专业, 主要从事数字图像存储技术的研究。E-mail: leeminjie@yahoo.com.cn; 魏仲慧 (1961.8-), 女, 汉族, 吉林长春人, 研究员, 硕士生导师, 主要从事数字图像存储技术和数字图像处理等方面的研究工作。

**Author brief introduction:** Li, Minjie (1981.1-) male, Han, ShangQiu He Nan Province, master of mechanics & electronics engineering, Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences. Engaging in the technique of memory of digital image. Wei, Zhonghui (1961.8-) female, Han, ChangChun JiLin province, boffin, Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences. Now engaging in the domain of digital image processing and technique of memory of digital image.

(130033 吉林长春中科院长春光学精密机械与物理研究所) 李敏洁 魏仲慧 何昕

(100039 北京中国科学院研究生院) 李敏洁

(ChangChun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences) Li, Minjie Wei, Zhonghui He, Xin

联系地址:

(130033 长春市经济开发区营口路 20 号长春光机所硕士楼 422 房间) 李敏洁

(投稿日期: 2005.5.27) (修稿日期: 2005.6.6)

# 基于FPGA的多功能图像目标发生器的设计与实现

作者: 李敏洁, 魏仲慧, 何昕, Li, Minjie, Wei, Zhonghui, He, Xin

作者单位: 李敏洁, Li, Minjie (130033, 吉林长春中科院长春光学精密机械与物理研究所; 100039, 北京中国科学院研究生院), 魏仲慧, 何昕, Wei, Zhonghui, He, Xin (130033, 吉林长春中科院长春光学精密机械与物理研究所)

刊名: 微计算机信息 

英文刊名: CONTROL & AUTOMATION

年, 卷(期): 2005, "" (35)

被引用次数: 2次

## 参考文献(3条)

1. Sparran- II 2.5V FPGA Family: Complete Data Sheet. Xilinx 2003
2. 刘艳滢, 李桂菊, 冯晓勇 高速数字式摄像机的控制与数据流远距离传输的研究[期刊论文]-长春理工大学学报 2004 (02)
3. 潘松, 王国栋 VHDL实用教程 2000

## 相似文献(10条)

1. 期刊论文 张庆玲 基于FPGA汉字显示的VHDL语言实现 -陕西科技大学学报(自然科学版) 2004, 22 (2)  
介绍了VHDL语言编程和16\*16点阵的基本概念, 并结合实例介绍了用FPGA实现汉字显示的设计思路和设计要点, 给出了16\*16点阵的VHDL语言描述方法, 在实际运行时状态稳定、良好.
2. 学位论文 宋泽明 基于VHDL语言的单片机设计 2004  
伴随着集成电路(IC)技术的发展, 电子设计自动化(EDA)逐渐成为重要的设计手段, 已经广泛应用于模拟与数字电路系统等许多领域. 电子设计自动化是一种实现电子系统或电子产品自动化设计的技术, 它与电子技术、微电子技术的发展密切相关, 它吸收了计算机科学领域的大多数最新研究成果, 以高性能的计算机作为工作平台, 促进了工程发展. EDA技术的发展始于70年代, 至今经历了三个阶段. 电子线路的CAD(计算机辅助设计)是EDA发展的初级阶段, 80年代初期, 形成了CAE(计算机辅助工程), 也就是所谓的EDA技术中级阶段. 90年代出现了以自动综合器和硬件描述语言为基础, 全面支持电子设计自动化的ESDA(电子系统设计自动化), 即高级EDA阶段, 也就是目前常说的EDA. 使用EDA技术设计的结果既可以用FPGA/CPLD来实施验证, 也可以直接做成专用集成电路(ASIC). EDA的一个重要特征就是使用硬件描述语言(HDL)来完成的设计文件, 诞生于1982年的VHDL语言是经IEEE确认的标准硬件描述语言, 在电子设计领域受到了广泛的接受. 该文首先综述了EDA技术和PLD器件的发展概况; 然后对MCS8051单片机的原理进行介绍和分析; 接着介绍使用FPGA进行开发设计的优点以及VHDL语言和MAXPLUS软件的特点, 也介绍了该文的设计方案; 接下来介绍使用EDA技术, 用VHDL语言完成了8051单片机的设计工作; 最后介绍了EDA技术的前沿发展趋势及系统开发中的几点体会. 该文的难点在于CPU和数模转换器的设计, 主要体现在算术逻辑单元ALU算术运算的算法实现和控制单元的状态机的设计; 以及数模转换器的 $\Sigma-\Delta$ 调制方法的实现. 通过如上的算法实现, 可以看出VHDL语言在算法级的设计上具有很多的优势和特点.
3. 会议论文 沈三民, 刘文怡, 张文栋, 杨倩 基于CPLD/FPGA和VHDL语言的遥测PCM码解调 2007  
遥测PCM码通常用422接口和运放两种方式输出. 本文分别给出了这两种方式输出的PCM码的解调方法, 用422接口电路接收信号, 用CPLD/FPGA和VHDL语言来实现PCM码的解调, 运放输出的PCM码解调的核心是副帧同步. 编码
4. 期刊论文 孙振华, 唐征兵 基于FPGA控制的LED汉字滚动显示器设计 -现代电子技术2010, "" (13)  
实现了基于FPGA硬件及VHDL语言设计的LED点阵汉字滚动显示, 可通过按键选择, 控制其滚动方式: 左移或者右移及上移或者下移等. 阐述了LED点阵显示汉字的原理, 给出了点阵汉字滚动显示控制器的原理图、部分VHDL源程序及时序仿真图并进行了详细的分析, 提出了系统扩展成实现16\*16点阵汉字滚动的改动思路.
5. 期刊论文 赵泓扬, ZHAO Hong-yang 基于FPGA的数据采集系统的设计 -常州工学院学报2009, 22 (1)  
介绍了以FPGA为核心控制模块的数据采集系统. 设计中采用自上而下的方法, 将FPGA分为几个模块, 并论述各模块的功能和 Design 方法. FPGA模块采用VHDL语言进行仿真. 整个系统可以实现8路最大工作频率为5 MHz语音信号的采集.
6. 期刊论文 鲍建周, 赵瑞, 王芳, 张欣 用VHDL语言实现高速视频图像处理 -中国现代教育装备2008, "" (12)  
高速视频图像的帧频一般为50帧/秒, 单帧图像文件的数据量本身就很大, 再加上针对图像像素的处理计算, 通常情况下一秒钟内很难完成对50帧图像的处理工作. 本文研究了图像处理的高速算法, 用VHDL语言设计编程并在FPGA器件上实现. 钢轨图像的仿真实验验证该技术满足实时性要求.
7. 学位论文 王冬冬 基于FPGA的浮点运算器设计 2009  
随着电子工业应用领域需求的增长, 要实现复杂程度较高的数字电子系统, 对数据处理能力提出越来越高的要求. 定点运算已经很难满足高性能数字系统的需要, 而浮点数相对于定点数, 具有表述范围宽, 有效精度高等优点, 在航空航天、遥感、机器人技术以及涉及指数运算和信号处理等领域有着广泛的应用. 对浮点运算的要求主要体现在两个方面: 一是速度, 即如何快速有效的完成浮点运算; 二是精度, 即浮点运算能够提供多少位的有效数字.  
计算机性价比的提高以及可编程逻辑器件的出现, 对传统的数字电子系统设计方法进行了变革. FPGA(Field Programmable Gate Array, 现场可编程门阵列)让设计师通过设计芯片来实现电子系统的功能, 将传统的器件选用及电路板设计工作放在芯片设计中进行. FPGA可以完成极其复杂的时序与组合逻辑电路功能, 适用于高速、高密度, 如运算器、数字滤波器、二维卷积器等具有复杂算法的逻辑单元和信号处理单元的逻辑设计领域.  
鉴于FPGA技术的特点和浮点运算的广泛应用, 本文基于FPGA将浮点运算结合实际情况设计一个触摸式浮点计算器, 主要目的是通过VHDL语言编程来实现浮点数的加减、乘除和开方等基本运算功能.  
(1) 给出系统的整体框架设计和各模块的实现, 包括芯片的选择、各模块之间的时序以及控制、每个运算模块详细的工作原理和算法设计流程;  
(2) 通过VHDL语言编程来实现浮点数的加减、乘除和开方等基本运算功能;  
(3) 在Xilinx ISE环境下, 对系统的主要模块进行开发设计及功能仿真, 验证了基于FPGA的浮点运算.
8. 期刊论文 杜志传, 郑建立, Du Zhichuan, ZHENG Jianli 基于CPLD/FPGA的VHDL语言电路优化设计 -现代电子技术 2010, 33 (3)

VHDL电路的优化目标是充分利用CPLD/FPGA芯片的内部资源,使设计文件能适应到一定规模的CPLD/FPGA芯片中,并提高系统的工作速度和降低系统成本.分析VHDL语言的特点,并从设计思想、语句运用和描述方法等方面对电路进行优化,提出了利用串行化设计思想和外扩E2PROM的方法对VHDL电路进行优化,通过对比实验,验证了这两种方法能有效减少程序占用的宏单元(Macro Cell)。

## 9. 学位论文 [胡科](#) [基于FPGA的VHDL计算机组成实验平台的设计与实现](#) 2006

《计算机组成原理》是计算机系的一门核心课程。但是它涉及的知识面非常广,内容包括中央处理器、指令系统、存储系统、总线和输入输出系统等方面,学生在学习该课程时,普遍觉得内容抽象难于理解。但借助于该计算机组成原理实验系统,学生通过实验环节,可以进一步融会贯通学习内容,掌握计算机各模块的工作原理,相互关系的来龙去脉。

为了增强实验系统的功能,提高系统的灵活性,降低实验成本,我们采用FPGA芯片技术来彻底更新现有的计算机组成原理实验平台。该技术可根据用户要求为芯片加载由VHDL语言所编写出的不同的硬件逻辑,FPGA芯片具有重复编程能力,使得系统内硬件的功能可以像软件一样被编程,这种称为“软”硬件的全新系统设计概念,使实验系统具有极强的灵活性和适应性。它不仅使该系统性能的改进和扩充变得十分简易和方便,而且使学生自己设计不同的实验变为可能。计算机组成原理实验的最终目的是让学生能够设计CPU,但首先,学生必须知道CPU的各个功能部件是如何工作,以及相互之间是如何配合构成CPU的。因此,我们必须先设计出一个教学用的以FPGA芯片为核心的硬件平台,然后在此基础上开发出VHDL部件库及主要逻辑功能,并设计出一套实验。

本文重点研究了基于FPGA芯片的VHDL硬件系统,由于VHDL的高标准化和硬件描述能力,现代CPU的主要功能如计算,存储,I/O操作等均可由VHDL来实现。同时设计实验内容,包括时序电路的组成及控制原理实验、八位运算器的组成及复合运算实验、存储器实验、数据通路实验、浮点运算器实验、多流水线处理器实验等,这些实验形成一个相互关联的系统。每个实验先由教师讲解原理及原理图,学生根据教师提供的原理图,自己用MAX+PLUSII完成电路输入,学生实验实际上是编写VHDL,不需要写得复杂,只要能调用接口,然后将程序烧入平台,这样既不会让学生花太多的时间在画电路图上,又能让学生更好的理解每个部件的工作原理和工作过程。

论文首先研究分析了FPGA硬件实验平台,即实验系统的硬件组成。系统采用FPGA-XC4010EPC84,62256CPLD以及其他外围芯片(例如74LS244,74LS275)组成。根据不同的实验要求,规划不同实验控制逻辑。用户可选择不同的实验逻辑,通过把实验逻辑下载到FPGA芯片中构成自己的实验平台。

其次,论文详细的阐述了VHDL模块化设计,如何运用VHDL技术来依次实现CPU的各个功能部件。VHDL语言作为一种国际化的硬件描述语言,自1987年获得IEEE批准以来,经过了1993年和2001年两次修改,至今已被众多的国际知名电子设计自动化(EDA)工具研发商所采用,并随同EDA设计工具一起广泛地进入了数字系统设计与研发领域,目前已成为电子业界普遍接受的一种硬件设计技术。再次,论文针对实验平台中遇到的较为棘手的多流水线等问题,也进行了深入的阐述和剖析。学生需要什么样的实验条件,实验内容及步骤才能了解当今CPU所采用的核心技术,才能掌握CPU的设计,运行原理。另外,本文的背景是需要学生熟悉基本的VHDL知识或技能,因为实验是在编写VHDL代码的前提下完成的。

本文在基于实验室的环境下,基本上较为完整的实现了一个基于FPGA的实验平台方案。在此基础上,进行了部分功能的测试和部分性能方面的分析。本文的研究,为FPGA在实际系统中的应用提供研究思路和参考方案。论文的研究结果将对FPGA与VHDL标准的进一步发展具有重要的理论和现实意义。

## 10. 期刊论文 [张鹏](#)、[李曼义](#)、[ZHANG Li](#)、[LI Man-yi](#) [基于FPGA和VHDL的LED点阵汉字滚动显示设计](#) - [信息技术](#)

2009, 33 (12)

主要研究基于FPGA和VHDL的LED点阵汉字滚动显示.首先描述了基于现场可编程门阵列(FPGA)的硬件电路,以及点阵显示汉字的原理;然后研究了在单个8×8 LED发光二极管点阵上滚动显示多汉字的原理;最后给出了描述其功能的VHDL语言程序设计方法.通过编程、调试、仿真、下载正确地实现了汉字滚动显示扫描结果,其硬件系统的实验验证也获得了与软件模拟仿真结论相吻合的结果。

### 引证文献(2条)

1. [魏仲慧](#)、[张文新](#)、[何昕](#) [微小位移量检测系统设计](#) [期刊论文] - [微计算机信息](#) 2008 (11)
2. [张鹏](#)、[高世杰](#)、[李增](#) [基于USB接口的采集系统在镀膜中的应用](#) [期刊论文] - [微计算机信息](#) 2007 (29)

本文链接: [http://d.g.wanfangdata.com.cn/Periodical\\_wjsjxx200535046.aspx](http://d.g.wanfangdata.com.cn/Periodical_wjsjxx200535046.aspx)

授权使用: 陕西理工学院(sxlgxy), 授权号: 67a4eb93-ed97-4f09-8b1a-9df20110afe2

下载时间: 2010年9月15日