

FY-4 闪电成像仪实时事件处理器 (RTEP)的 FPGA 设计研究

陈 伟

(国防科技大学,长沙 410073)

鲍书龙

(北京空间机电研究所,北京 100076)

摘 要 闪电是中尺度,特别是中- γ 尺度天气系统研究的有力工具。闪电成像仪主要利用 4 种方法组合来实现闪电信号的增强与探测。这 4 种方法是:光谱滤波、空间滤波、时间滤波、帧—帧背景去除。实时事件处理器(RTEP)是实现帧—帧背景去除的最为有效的手段,它是提取闪电信号的重要途径。实时事件处理器是一个实时数字信号处理系统,在 2 ms 的时间内要完成 12 bit 量化的 512x512 个像素的信号数据处理,探测出闪电信号。文章论述了实时事件处理器 RTEP 的必要性,实现原理,以及 FPGA 实现方案。

关键词 闪电成像仪 实时事件处理器(RTEP) 闪电信号 FPGA

中图分类号: V474 文献标识码: A 文章编号:1009-8518(2005)03-0031-07

Design of RTEP with FPGA

Chen Wei

(National University of Defense Technology, Changsha 410073)

Bao Shulong

(Beijing Institute of Space Mechanics & Electricity, Beijing 100076)

Abstract Lightning Mapping Sensor(LMS) is an optical detect instrument on the FY-4 platform designed to acquire and investigate lightning around China and the nearby regions. LMS achieves the goal to increase lightning signal and detect the lightning by combination of four means. RTEP is the efficient means to carry out frame-frame background wipe off. It is an important means to acquire lightning signal. RTEP is an real time digital signal process system. RTEP finishes processing 12bit signals of 512×512 pixels within 2ms, and detects lighting signals. This article discuss characteristic of lighting signals, the cecessity of RTEP, theory of RTEP, and design of RTEP with FPGA.

Key Words LMS RTEP Lightning Signal FPGA

1 序言

闪电与产生强降雨的雷暴气象现象有着密切的联系,通过对闪电的观测可以对雷雨的分布、变化、

定位以及规模大小的确定等有非常大的帮助。闪电与强对流有密切的联系,El Nino 与 La Nina 等全球强对流周期性天气现象与闪电发生的频次的周期性也有密切的关系,通过对闪电发生频次的统计,对 El Nino 与 La Nina 分析及预报也有很大的帮助。由于森林火灾,火山喷发等可引起闪电发生频次的增加,因此通过对闪电的探测,还可以对森林火灾、火

收稿日期:2005-05-16

山喷发等进行监视。

风云四号闪电成像仪是一个基于地球静止轨道高度对中国大陆及其周边领域的闪电进行全天候连续不断地观测的光学探测仪器。闪电成像仪与一般成像系统的主要差别在于:大视场像方远心光路望远成像系统、窄带干涉滤光片、高速镶嵌式焦平面阵列、高速焦平面信号处理电路、实时事件处理器等,主要利用光谱滤波、空间滤波、时间滤波、帧-帧背景去除4种方法组合来实现闪电信号的增强与探测。

实时事件处理器是实现帧-帧背景去除的最为有效的手段,它是提取闪电信号的重要手段。实时事件处理器就是在对背景信号进行评估的基础上,逐元对焦平面输出信号进行背景信号去除,并与闪电阈值发生器产生的闪电阈值进行比较,对于超过阈值的该元信号,即触发后续处理电路,通过时钟电路标记该元的位置,并且将该信号进行数字化,并进入格式化编排。实时事件处理器包括闪电信号检出处理器、闪电信号阈值确定器、事件选择器、闪电信号编码器、参考背景信号处理器等部分,其中闪电信号检出处理器包括背景信号评估器、背景信号去除器、闪电信号识别器等部分。

2 实时事件处理器(RTEP)的实现原理

为了把SNR随事件脉冲宽度变化而产生的较大变化减到最低限度,选择 $T_i \gg TL$ (T_i 是CCD的积分时间, TL 是闪电单一脉冲持续时间),推荐的倍数 >5 。初步分析指出,希望保持在 $2 \sim 4\text{ms}$ 的积分时间,我们选取的积分时间是 2ms 。如果采用 $512 \times 512 = 262,144$ 像元、16个端口输出的CCD,则读出速率为 8.192MHz 。

从焦面输出的数据达到 1.31072×10^8 元/秒量级,通过12bit量化,其数据率就达到了 $1.572864 \times 10^9 \text{ bit/s}$,闪电事件发生的平均速率为10事件/s,最大速率可达1000事件/s。处理如此高的数据速率,产生包括事件的位置、时间和强度的纪录,同时又要保持高的灵敏度和小于10%的虚警率,这远远超出了卫星可传输的数据率要求,因此必须在星上进行数据的处理,对卫星界面提供约150Kbps的数据流。这些严格的约束条件,要求设计一种新的数据处理系统,即实时事件处理器(RTEP),以处理转换焦平面的信号。

万方数据

实时事件处理器(RTEP)最重要的任务是信号检出,即从强烈的、但缓慢变化的背景中探测弱闪电信号,而且对视场中的所有像元都能进行独立的处理,输出闪电事件出现的位置、闪电事件出现的时间和闪电的强度。

实时事件处理器(RTEP)包括闪电信号检出处理器、闪电信号阈值确定器、事件选择器、闪电信号编码器、参考背景信号处理器等部分,以上各部分都采用数字信号处理方法。实时事件处理器(RTEP)的原理框图如图1:

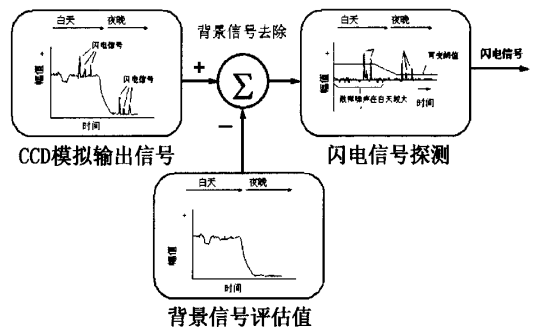


图1 实时事件处理器(RTEP)的原理框图

背景是前 n 帧($n \approx 7$)背景的加权平均。背景信号评估器(背景信号的加权平均)、背景信号去除器和闪电信号识别器相结合,执行时域低通滤波器的功能。焦平面信号离开焦面后送进缓冲器,然后该信号乘上一个增益因子(B)并加上像像素的前 n 帧的背景的 $(1-B)^n$ 倍,从而得到最新的背景评估值。得到的背景评估值和对应的焦平面输出信号被送到背景信号去除器、事件选择器和闪电信号识别器,从而判断出闪电信号。

3 实时事件处理器(RTEP)的设计与实现

信号处理的实质就是对信号进行变换,目的是获取信号中包含的有用信息。数字信号处理就是利用数字的方法对信号进行变换,以获取有用的信息。本方案的闪电信号探测就是利用数字信号处理的方法从广阔的背景信号中提取闪电信号,从而达到对闪电的探测。

实时事件处理器(RTEP)是一个实时数字信号处理系统,要求在 2ms 的时间内要完成12bit量化的 512×512 个像素的信号数据处理,探测出闪电信号。

3.1 利用FPGA实现实时事件处理器(RTEP)

用FPGA实现实时事件处理器(RTEP)就是利用硬件FPGA(现场可编程门阵列,Field Programmable Gate Array)的高速数据读写、数据处理能力来实现闪电信号检出处理器、闪电信号阈值确定器、事件选择器、闪电信号编码器、参考背景信号处理器等部分。

闪电信号检出处理器包括背景信号评估器、背景信号去除器、闪电信号识别器等部分,利用FPGA实现闪电信号检出处理器是利用实时数字信号处理

的方法实现闪电信号的探测。

用FPGA实现闪电信号检出处理器的基础是数字滤波器,主要是利用一有限精度算法实现离散时间线性非时变系统,以完成对信号进行滤波处理等功能。

实时事件处理器(RTEP)的核心部分是闪电信号检出处理器。闪电信号检出处理器包括背景信号评估器、背景信号去除器、闪电信号识别器等部分。实时事件处理器(RTEP)的框图见图2。

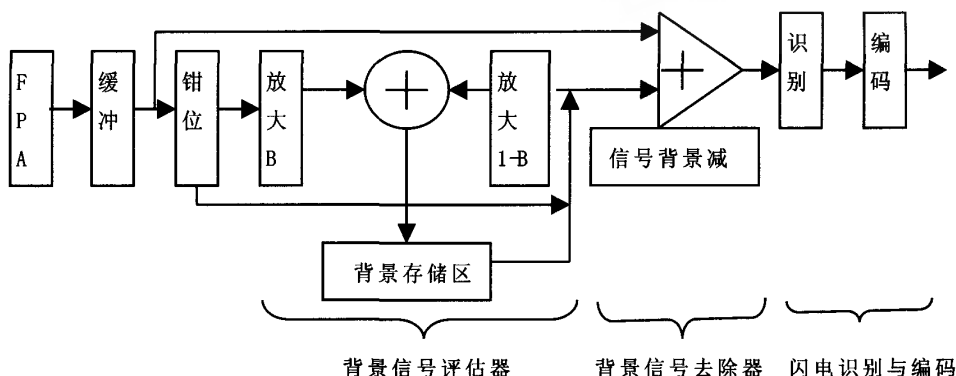


图2 实时事件处理器(RTEP)框图

背景评估值的计算公式为:

$$y1 = b(0)x(0) + b(1)x(1) + b(2)x(2) + b(3)x(3) + b(4)x(4) + b(5)x(5) + b(6)x(6) + bx(input)$$

$$y-coeff = b(0) + b(1) + b(2) + b(3) + b(4) + b(5) + b(6) + b$$

$$y = y1 / y-coeff$$

其中:

$$b(0) = 1 - B; b(1) = (1 - B)^2$$

$$b(2) = (1 - B)^3; b(3) = (1 - B)^4;$$

$$b(4) = (1 - B)^5; b(5) = (1 - B)^6;$$

$$b(6) = (1 - B)^7; b = B$$

$x(0)$ 是最新一帧的背景值; $x(1)$ 是之前第2帧的背景值; $x(2)$ 是之前第3帧的背景值; $x(3)$ 是之前第4帧的背景值; $x(4)$ 是之前第5帧的背景值; $x(5)$ 是之前第6帧的背景值; $x(6)$ 是之前第7帧的背景值; $x(input)$ 是从焦平面的输出的背景+信号;

数字滤波器分为有限冲击响应(FIR)数字滤波器和无限冲击响应(IIR)数字滤波器。背景信号评估和背景信号去除器构成的滤波器的输入输出关系为:

$$y1 = b(0)x(0) + b(1)x(1) + b(2)x(2) + b(3)$$

$$x(3) + b(4)x(4) + b(5)x(5) + b(6)x(6) + bx(input)$$

$$y-coeff = b(0) + b(1) + b(2) + b(3) + b(4) + b(5) + b(6) + b$$

$$y_b = y1 / y-coeff$$

$$y = x(input) - y_b$$

实际上它是一个卷积运算方程,简化后为:

$$y_b = h(0)x(0) + h(1)x(1) + h(2)x(2) + h(3)x(3) + h(4)x(4) + h(5)x(5) + h(6)x(6) + h(7)x(input)$$

$$y = x(input) - y_b$$

其中

$$h(0) = b(0) / (b(0) + b(1) + b(2) + b(3) + b(4) + b(5) + b(6) + b)$$

$$h(1) = b(1) / (b(0) + b(1) + b(2) + b(3) + b(4) + b(5) + b(6) + b)$$

$$h(2) = b(2) / (b(0) + b(1) + b(2) + b(3) + b(4) + b(5) + b(6) + b)$$

$$h(3) = b(3) / (b(0) + b(1) + b(2) + b(3) + b(4) + b(5) + b(6) + b)$$

$$h(4) = b(4) / (b(0) + b(1) + b(2) + b(3) + b$$

$$(4) + b(5) + b(6) + b)$$

$$h(5) = b(5) / (b(0) + b(1) + b(2) + b(3) + b$$

$$(4) + b(5) + b(6) + b)$$

$$h(6) = b(6) / (b(0) + b(1) + b(2) + b(3) + b$$

$$(4) + b(5) + b(6) + b)$$

$$h(7) = b / (b(0) + b(1) + b(2) + b(3) + b(4)$$

$$+ b(5) + b(6) + b)$$

根据上式,可以看出数字滤波器涉及到大量的卷积运算,利用查找表结构实现的乘累加数字滤波器的卷积运算。

为了避免使用硬件实现数字滤波器的卷积运算时占用大量的资源,可以充分利用 FPGA 的查找表结构,将卷积运算转换为查找表移位求和来实现。下面以一个简单的卷积运算为例说明硬件实现结构。对于式:

$$y = h(0)x(0) + h(1)x(1) + h(2)x(2) + h(3)x$$

(3)

假设 x 和 h 都是无符号整型二进制数,宽度为两位,取值如下:

$$h(0) = 01, h(1) = 11, h(2) = 10, h(3) = 11$$

$$x(0) = 11, x(1) = 00, x(2) = 10, x(3) = 01$$

乘法运算如图 3

被乘数 $h(n) \rightarrow$	01	11	10	11
乘数 $x(n) \rightarrow x$	11	00	10	01
中间数据 $p1(n) \rightarrow$	01	00	00	11
中间数据 $p2(n) \rightarrow +$	01	00	10	00
结果 $y \rightarrow$	011	000	100	011
	= 1010			

图 3 卷积运算过程

由图 3 卷积运算的实现,可以看到运算纵向和横向分别实现。中间数据 $p1(n)$ 中的 4 个数实际上是乘数 $x(n)$ 的最低位比特与 $h(n)$ 相乘的结果,并且该值不是 0 就是 $h(n)$ 。这是因为二进制的取值只有 0 和 1。进一步考虑,中间数据 $p1$ 和 $p2$ 的值,即“100”和“011”是由不同的 $h(n)$ 之和构成,而对 $h(n)$ 的选择是由乘数 $x(n)$ 的相同为的比特决定的。如图 3 中 $x(n)$ 的最低位为 1001,即 $p1$ 的值是 $h(0) + h(3)$;高位为 1010,则 $p2$ 的值是 $h(0) + h(2)$ 。因此利用 FPGA 的查找表(LUT)结构,与先将 $h(n)$ 的各种组合(在本例中从 0000 到 1111 共 16 种)存入查找表,则上例中的原需 4 次乘法和 3 次加法的卷积运算转化为 1 次加法运算。图 4 显示了用查找表实现该例的结构。

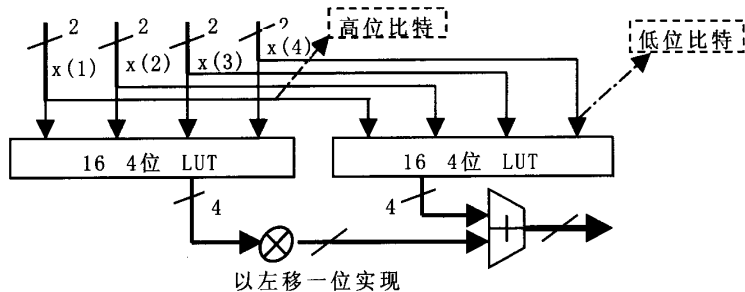


图 4 查找表实现卷积运算的结构

用查找表实现卷积运算时,有并行和串行两种结构。图 4 所示的是并行结构,其中两个 LUT 是完全相同的。在并行结构中,LUT 的数量由 $x(n)$ 的数据宽度决定。一位对应一个 LUT,这样就能够使速度达到最大,但占用的资源也相当可观。而串行结构中,只需要一个 LUT, $x(n)$ 的每位比特串行查表,并利用累加器累加得出最后结果。显然串行结构比并行结构占用的资源小得多,但代价是处理速度降低。

闪电成像仪系统要求数据宽度为 12bit,探测率为 90%,因此帧一帧相减需要采用的背景帧数为 7 帧的时候效果最佳,因此需要 7 个背景存储器,用以

存放当前帧以前的 7 帧背景信号;同时还有一个来自焦平面 CCD 的最新数据存储器和一个处理结果输出存储器;焦平面 CCD 器件是 512x512 的面阵 CCD,速率是 500 帧/s,分 16 个端口读出,每端口的数据速率是 16384 元/s,可见速度比较高,因此采用全局并行方案实现背景信号的评估,再用一个减法器实现背景信号减的操作。

因为数据宽度是 12bit,必须采用 12 个并行 LUT,采用同时从 7 个背景存储器和一个输入数据存储器中读取数据后进行同时处理。用查找表实现该滤波器的结构如图 5:

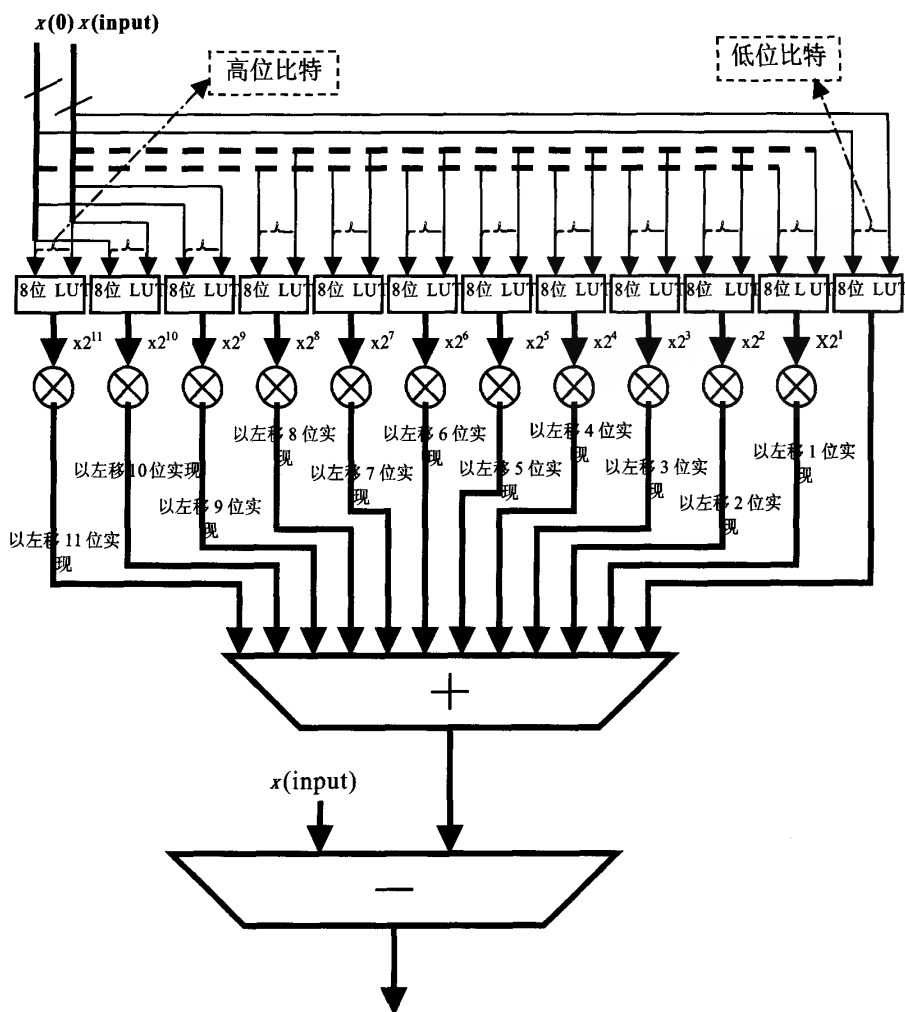


图5 查找表实现背景评估与背景信号减的卷积运算的结构

12 个并行 LUT 是 8 个输入信号的系数的各种组合的数据表,称为抽头系数模块,抽头系数模块将抽头系数的各种组合固化在 ROM 中。它的地址输入端接收并入模块的串行输出,然后查表得到卷积的中间数据,并将这些数据输出到移位相加模块。

因为 $b = 0.125$, $B = 1/7$, $b(0) = (1 - B)$, $b(1) = (1 - B)^2$, $b(2) = (1 - B)^3$, $b(3) = (1 - B)^4$, $b(4) = (1 - B)^5$, $b(5) = (1 - B)^6$, $b(6) = (1 - B)^7$ 。

所以 $b = 0.125$, $B = 0.142857$, $b(0) = 0.857413$,

$b(1) = 0.734694$, $b(2) = 0.629738$, $b(3) = 0.539775$,

$b(4) = 0.462664$, $b(5) = 0.396569$, $b(6) = 0.339917$ 。

$$b + b(0) + b(1) + b(2) + b(3) + b(4) + b(5) + b(6) = 4.085370。$$

根据前面简化的公式可以得到:

$$h(0) = 0.209874, h(1) = 0.179835, h(2) = 0.154145,$$

$$h(3) = 0.132124, h(4) = 0.113249, h(5) = 0.097071,$$

$$h(6) = 0.083203, h(7) = 0.030597。$$

采用 16 进制,精度为 15 位,则表示为:

$$h(0) = 35BA \text{ H}, h(1) = 2E09 \text{ H},$$

$$h(2) = 2776 \text{ H}, h(3) = 21D2 \text{ H},$$

$$h(4) = 1CFE \text{ H}, h(5) = 18D9 \text{ H},$$

$$h(6) = 154C \text{ H}, h(7) = 07D5 \text{ H}。$$

实时事件处理器(RTEP)的数据宽度为 12bit,抽头系数组合如下:

地址: 数值 组合

00 : 0000

01 : 35ba $h(0)$

02 : 2e09 $h(1)$

03 : 63c3 $h(0) + h(1)$

04 : 2776 $h(2)$

05 : 5d30 $h(0) + h(2)$

06 : 557f $h(1) + h(2)$

07 : 8b39 $h(0) + h(1) + h(2)$

其它的组合与上面的类似。

地址: 数值 组合

08 : 21d2 $h(3)$

09 : 578c $h(0) + h(3)$

0A : 4fdb $h(1) + h(3)$

0B : 8595 $h(0) + h(1) + h(3)$

0C : 4948 $h(2) + h(3)$

0D : 7f02 $h(0) + h(2) + h(3)$

0E : 7751 $h(1) + h(2) + h(3)$

0F : ad0b $h(0) + h(1) + h(2) + h(3)$

利用实时数字信号处理的方法实现闪电信号的探测。

3.2 利用 FPGA 实现闪电信号检出处理器的系统设计

闪电信号检出处理器包括编码时间读取器、背景信号评估器、背景信号去除器、闪电信号阈值确定器、事件选择器、闪电信号识别器、闪电信号编码器等部门,利用 FPGA 实现闪电信号检出处理器就是

用 FPGA 实现它的基础是数字滤波器,主要是利用一有限精度算法实现离散时间线性非时变系统,以完成对信号进行滤波处理等功能。

数字滤波器的两层的层次图与滤波器内部各模块之间的关系如图 6。

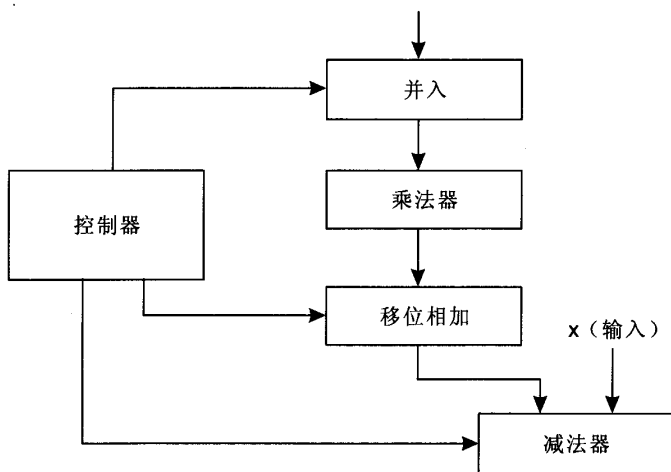


图6 滤波器内部各模块之间的关系图

下面按照自上而下的顺序对各模块进行介绍。

(1) 并入模块

并入模块将同时输入的数据转换位查找表的串行地址,提供给抽头系数模块。由若干个单通道并入子模块组成多通道数据的并入转换。单通道并入子模块将并行数据转换串行数据,该模块应将并行数据宽度参数化,以便能够适应不同数据宽度的需要。闪电信号探测要求的数据宽度为 12bit,因此在单通道并入模块中设置为数据宽度参数为 12bit。

(2) 乘法器模块

乘法器模块的功能是把闪电信号与背景信号和它们的系数相乘,实现闪电背景信号评估的乘累加

数字滤波器的卷积运算,从而实现闪电信号检出处理器的背景信号评估器功能,这是利用 FPGA 实现闪电信号检出处理器的关键部件之一。

乘法器模块的时限可以利用查找表结构实现的乘累加数字滤波器的卷积运算来实现。

(3) 移位相加模块

移位相加模块通过将中间数据移位相加而实现两个数相乘的功能。乘积的结果不仅与符号位有关,而且与被乘数、乘数以及所要求的乘积的数据宽度、小数点后的数据精度有关,乘积结果的整数部分可以根据对乘积大小的估计设置为一定宽度。小数部分的宽度可根据精度的要求进行取舍。这要求模

块能够对被乘数、乘数和乘积的数据宽度、精度等参数进行设置,以适应不同的需要。

(4)减法器模块

减法器模块能够把卷积运算的结果和相对应的输入数据进行减法运算,完成背景信号减的操作,从而达到滤除背景的目的,完成闪电信号提取的功能,并把相减的结果缓存后送入后继的比较器进行比较。

(5)控制器模块

上述各模块各自能够完成一定的功能,如并入转换、抽头系数的选择、移位相加、减法运算等,但是当它们按一定的形式结合在一起形成滤波器功能时,需要一系列的控制信号对上述各模块进行精确的控制。控制模块在接收到 FPA 的输出数据后,依次产生背景信号读取信号、并入转换的装入信号、移位相加的装入信号、加减控制信号和滤波结果输出信号等各种控制信号,使上述各个模块按照一定的时序进行操作,最终完成滤波功能。

参考文献

- 1 刘凌,胡永生(译). 数字信号处理的 FPGA 实现. 北京:清华大学出版社,2003.1
- 2 褚振勇,翁木云. FPGA 设计及应用. 西安:西安电子科技大学出版社,2002.7
- 3 王士元. C 高级实用程序设计. 北京:清华大学出版社,2000.3
- 4 边计年,薛宏熙(译). VHDL 设计电子线路. 北京:清华大学出版社,2000.8
- 5 Altera Corporation. "Manual," Max + PlussII Getting Started (1995)
- 6 Actel. "PREP Benchmarks Confirm Cost Effectiveness of Field-Programmable Gate Arrays," in Actel - Seminar
- 7 Synopsys, Inc.. FPGA Express VHDL Reference Manual. 1997. 11
- 8 NASA Contractor Report. Lightning Mapping Sensor Study. 1983. 9
- 9 蒋璇,藏春华. 数字系统设计与 PLD 应用技术. 北京:电子工业出版社,2001.2
- 10 赵雅兴. FPGA 原理、设计与应用. 天津:天津大学出版社,2000.10
- 11 沈嗣昌,蒋璇,藏春华. 数字系统设计基础(第二版). 北京:航空工业出版社,1996
- 12 王世一. 数字信号处理. 北京:北京工业学院出版社,1998
- 13 韩心志. 地球同步(轨道)环境卫星闪电绘图遥感器研究. 哈尔滨:哈尔滨工业大学,2001.2
- 14 韩心志. 闪电成像仪技术指标分析论证研究. 哈尔滨:哈尔滨工业大学航天学院,2003.6

作者简介:陈伟,女,1971 年生。1994 年毕业于北京理工大学,高级工程师,副主任设计师,在读硕士。

鲍书龙,男,1979 年生,2002 年毕业于南京理工大学,副主任研究员。

作者: 陈伟, 鲍书龙, [Chen Wei](#), [Bao Shulong](#)
作者单位: 陈伟, [Chen Wei](#) (国防科技大学, 长沙, 410073), 鲍书龙, [Bao Shulong](#) (北京空间机电研究所, 北京, 100076)
刊名: [航天返回与遥感](#)
英文刊名: [SPACECRAFT RECOVERY & REMOTE SENSING](#)
年, 卷(期): 2005, 26(3)
被引用次数: 0次

参考文献(14条)

1. 刘凌, 胡永生 [数字信号处理的FPGA实现](#) 2003
2. 褚振勇, 翁木云 [FPGA设计及应用](#) 2002
3. 王士元 [C高级实用程序设计](#) 2000
4. 边计年, 薛宏熙 [VHDL设计电子线路](#) 2000
5. Altera Corporation ["Manual," Max + PlussII Getting Started](#) 1995
6. Actel ["PREP Benchmarks Confirm Cost Effectiveness of FieldProgrammable Gate Arrays](#)
7. Synopsys, Inc [FPGA Express VHDL Reference Manual](#) 1997
8. NASA Contractor Report. [Lightning Mapping Sensor Study](#) 1983
9. 蒋璇, 藏春华 [数字系统设计与PLD应用技术](#) 2001
10. 赵雅兴 [FPGA原理、设计与应用](#) 2000
11. 沈嗣昌, 蒋璇, 藏春华 [数字系统设计基础](#) 1996
12. 王世一 [数字信号处理](#) 1998
13. 韩心志 [地球同步\(轨道\)环境卫星闪电绘图遥感器研究](#) 2001
14. 韩心志 [闪电成像仪技术指标分析论证研究](#) 2003

相似文献(1条)

1. 学位论文 陈伟 [闪电成像仪实时事件处理器\(RTEP\)的研究](#) 2005

本文主要论述了风云四号闪电成像仪实时事件处理器(RTEP)的必要性、实现原理和DSP+FPGA方案的实现及其具体设计。首先论述了闪电的特性、大面阵CCD输出的闪电信号的特征及数据处理的要求, 结合国外闪电观测仪器的经验, 阐述了RTEP是闪电成像仪的关键技术之一, 是闪电成像仪必不可少的组成部分。然后论述了RTEP的实现原理, 完成了在各项技术指标的约束下, 用DSP+FPGA的方案实现RTEP的可行性分析。重点论述了实时事件处理器(RTEP)的DSP+FPGA方案的实现及其具体设计。用DSP+FPGA实现实时事件处理器(RTEP)是利用硬件FPGA的高速数据读写、数据处理能力来实现闪电的背景信号评估、背景信号去除、阈值选择、事件选择、闪电事件的判断等; 同时利用DSP的数字数据的处理能力来实现对闪电信号的整合与编码等功能。利用FPGA实现闪电信号检出处理器就是利用实时数字信号处理的方法实现闪电信号的探测。其基础是数字滤波器, 主要是利用一有限精度算法实现离散时间线性非时变系统, 以完成对信号进行滤波处理等功能。对FPGA硬件实现上述功能的算法主要有三种方法进行了对比, 选择利用查找表结构实现的乘累加数字滤波器的卷积运算。整合编码DSP通过将背景数据与闪电数据进行合理的编码, 降低对数据传输速率的要求。

本文链接: http://d.g.wanfangdata.com.cn/Periodical_hthfhyg200503007.aspx

授权使用: 陕西理工学院(sxlgxy), 授权号: 081787b4-a274-4be5-93f2-9df500a114dc

下载时间: 2010年9月18日