文章编号:1671-637 X (2007)05-0175-04

基于 FPGA 的全帧 CCD 驱动设计

王华伟1,2, 刘 波1, 曹剑中1, 孙 磊1,2、 车 碳1,2,3

(1.中国科学院西安光学精密机械研究所,西安 710068; 2.中国科学院研究生院,北京 100039; 3.中国人民解放军西安通信学院,西安 710106)

摘 要:以加拿大 Dalsa 公司的全帧 CCD 图像传感器 FTF4027M 为例,在研究了全帧 CCD 结构和驱动时序的基础上,提出了基于现场可编程逻辑门阵列(FPGA)的驱动脉冲设计方法。选用 FPGA 作为硬件设计平台,使用 VHDL 语言对驱动时序发生器进行了硬件描述,采用 Quartus II 5.0 对所设计的驱动时序发生器进行了仿真,针对 Altera 公司的 FPGA 器件 EP1C3T144C8 进行了适配。实验结果表明,设计的驱动电路可以满足其全帧 CCD 的各项驱动要求并且具有设计灵活、硬件调试简单的优点。

关 键 词: 图像传感器; 信号处理; 驱动; CCD; 现场可编程逻辑门阵列; VHDL

中图分类号: V271.4; TN7

文献标识码: A

Design on driving circuit based on FPGA technology for full frame CCD

WANG Hua-wei^{1,2}, LIU Bo¹, CAO Jian-zhong¹, SUN Lei^{1,2}, CHE Rong^{1,2,3}
(1. Xi' an Institute of Optics and Precision Mechanism of CAS, Xi' an 710068, China; 2. Graduate School of the Chinese Academy of Sciences, Beijing 100039, China; 3. Xi' an Communications Institute of PIA, Xi' an 710106, China)

Abstract: Taking full frame CCD image sensor FTF4027M produced by Dalsa as example, we studied the principle and driver schedule of full frame CCD device, and put forward a FPGA technology based method for design of the full frame CCD drivers. FPGA was used as the hardware design platform, driving schedule generator has been described with VHDL. The designed generator has successfully fulfilled system simulation with Quartus II 5.0 and fitted in EP1C3T144C8 made by Altera. Result of experiment showed that the designed generator can meet the demand of the full frame CCD.

Key words: image sensor; signal processing; driving; CCD; FPGA; VHDL

0 引言

1970年,美国贝尔实验室的 W.S. Boyle 和 G.E. Smith 提出了 CCD(电荷耦合器件)的概念,30 多年来,CCD 技术得到了较快的发展。凭借其体积小、重量轻、分辨率高、灵敏度高、可靠性好等优点,目前已广泛应用于影像传感、信号处理及工业检测等领域^[1-2]。然而,由于不同厂家,甚至是同一厂家的不同型号的 CCD 芯片所需的驱动电路各不相同,而可

靠、稳定的驱动电路是保证 CCD 正确发挥其功能的 先决条件,CCD 驱动电路的设计一直是 CCD 应用系 统设计的一个难点,这给使用者带来了很大的麻烦, 也严重制约着 CCD 的广泛应用。

传统的 CCD 驱动电路设计方法主要有单片机驱动法、IC 驱动方法等,这些设计方法存在缺乏灵活性、硬件调试难度大、可移植性差等缺点^[3-5]。本文采用 FPGA(现场可编程逻辑门阵列)设计了全帧CCD 图像传感器 FTF4027M 的驱动,该设计方法简单、灵活、可靠、稳定。

1 FTF4027M 结构和工作时序分析

1.1 FTF4027M 简介

CCD 分为线阵 CCD 和面阵 CCD,线阵 CCD 所需驱动时钟较少,驱动电路设计相对简单,面阵 CCD 需要的驱动时钟较多,时序复杂,驱动电路设计难度也相对较大。面阵 CCD 又分为行间转移 CCD、帧转移 CCD、全顿CCD,三者各有优缺点^[2]。全顿 CCD 元件感光范围内没有移位寄存器,因而单位像素上的感光二极管也就可以做得更大,因而也就得到更好的动态范围,噪声表现和分辨率。FTF4027M 就是一款高分辨率全顿 CCD芯片,其有效像素高达 1 100 万(4 008×2 672),靶面尺寸36.1 mm×24.0 mm,像元尺寸9 μm×9 μm,水平移位寄存器转移频率可达到 25 MHz。另外,其还具有 100%的光学填充因子、高分辨率、宽动态范围、强大的抗晕功能和低噪声性能等优点^[6]。

1.2 FTF4027M 结构

FTF4027M 的内部结构如图 1 所示。

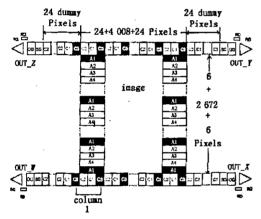


图 1 FTF4027M 结构

该芯片主要有3部分构成。第1部分是光敏 区,也即光积分区,就是图1中间最大的那一部分。 第2和第3部分分别是位于光敏区上部和下部的两 个水平移位输出寄存器,水平移位输出寄存器将光 积分生成的电荷水平转移到 4 个角的输出放大器, 输出放大器将光生电荷转化为电压信号放大并转移 出 CCD。光敏区每行有 4 056 个像素,其中有效像素 有 4 008 个,有效像素区域的左右两侧各有 24 个黑 像素;每列有2684个像素,其中有效像素2672个。 有效像索区域的上下各有6个黑像素。每个像素均 采用四电极结构(A1、A2、A3、A4)。该款 CCD 最大 的优点是可以将光敏区分成对称的 TV、X、Y、Z4 个 象限,4个象限的光积分电荷可以分别通过位于4 个角的OUT_W、OUT X、OUT Y、OUT Z4 个输 出端同时输出,输出速度是单端输出的4倍,可以应 用于对帧频要求较高的场合。

1.3 FTF4027M 工作时序分析

全帧 CCD 器件 FTF4027M 分辨率高,没有专门的存储区,水平输出可采用多端输出,所以时序较为复杂。本文仅以其在某款航空相机中的工作方式(从 OUT_W 单端输出,水平输出频率 25 MHz)为例来分析其工作时序。

图 2~图 5^[6]是 FTF4027M 的工作时序图。由于本款 CCD 属于全帧 CCD,为了得到 100%无污染点图像,需要加机械快门,CCD 光积分时快门打开,CCD 进行电荷转移时快门关闭。图 2 中的 Trig 即为快门控制信号,在某款航空数码相机中由机载计算机提供。CR 信号为 CCD 光敏区电荷复位信号,其作用就是在开始积分前将 CCD 光敏区的残留电荷清除。SSC 是内部协调信号,其作用是控制 CCD 垂直转移(光敏区的电荷转移到水平输出寄存器)和水平转移(将光敏区转移到水平输出寄存器中的电荷输出)交替协调进行。光敏区每个像素采用四相机构,A1~A4为每个像素的四相交叠控制时钟。水平读出寄存器采用三相结构,C1~C3为其三相控交叠控制时钟。RG 为输出放大器的复位信号,SG 为像元合并控制信号。

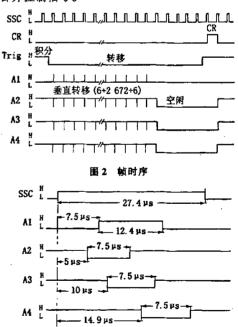


图 3 垂直转移时钟相位关系

CCD 完成一幅图片的拍摄共经历 3 个阶段。第一阶段为积分阶段,如图 2 所示,Trig 置高,机械快门打开,CR 信号保持高电平大约一个行周期以便清除光敏区的残留电荷,CR 变为低电平后光积分开

始,A2、A3、A4 保持高电平,代表图像信息的光积分电荷在 A2、A3、A4 电极形成势阱里积累,积分阶段 A1 保持低电平将相邻的像元隔离。

第二阶段为转移阶段,光积分结束后,Trig 置 低,机械快门关闭,电荷转移开始。转移过程分两个 步骤交替进行,第一步为垂直转移(SSC 为高电平), 光敏区的光积分电荷在 A1, A2, A3, A4 的控制下往 下转移一行,最下面的一行转移到水平输出寄存器 中。为了保证转移效率,A1、A2、A3、A4 定时关系要 求严格,如图 3 所示。第二步为水平转移输出(SSC 为低电平),如图 4 所示,光敏区的电荷往下转移一 行后,A1 保持低电平,隔离每个像素,并将光敏区和 水平输出寄存器隔离,水平移位输出寄存器在 C1、 C2、C3 的控制下将由光敏区转移来的电荷通过输出 放大器輸出、輸出顺序为24个嘅元、24个黑像素、 4 008个有效像素, C1、C2、C3、RG、SG 也具有严格的 相位关系,如图 5 所示。垂直转移和水平转移在 SSC 的协调下交替进行,完成整个光敏区积分电荷 的输出。

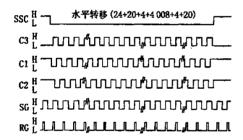


图 4 水平转移时序

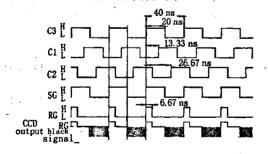


图 5 水平转移时钟相位关系

第三个阶段为空闲阶段,电荷转移结束后就进 人空闲阶段,等待下一幅图像拍摄命令,空闲阶段 A1、A2、A3、A4 均置为低电平,以防止产生暗电流。

2 FTF4027M 驱动设计

CCD 的驱动电路主要包括两部分:时序发生器

电路和电压偏置及功率放大电路。电压及功率放大电路有许多成熟的电路可供参考,设计相对简单,所以本文重点介绍时序发生器的设计。基于 FPGA 的驱动设计方法主要分为两个步骤。第一步主要是时序逻辑描述和软件仿真,逻辑描述的方法主要有两种:语言描述和原理图描述,本设计采用硬件描述语言 VHDL 描述 CCD 驱动时序逻辑,利用 Altera 公司的 Quartus II 5.0 进行编译、综合、时序波形仿真。第二步是硬件电路的设计,主要是 FPGA 外围电路的设计。

2.1 CCD 驱动时序的 VHDL 语言描述和软件仿 方⁽⁷⁾

设计采用自上至下、模块化的设计方法.用 VHDL语言进行硬件描述,选用 Altera 公司的低成本 FPGA 器件 EP1C3T144C8, 开发环境选用 Quartus [[5.0进行逻辑综合、软件仿真和硬件适配。整个系统 分为如图 6 所示的 5 个模块。时钟管理模块将外部 的时钟输入转变成系统所需要的时钟,由于水平驱 动时钟的频率与其他信号差别较大,如果采用单时 钟,会造成资源的浪费,所以时钟管理模块利用 EP1C3T144C8 自带的锁相环将外部时钟转化为高频 时钟(150 M)和低频时钟(20 M)分别给其他模块提 供时钟基准。电荷复位和转移控制模块接受 Trig 信 号产生 CR 信号对 CCD 残留电荷复位并产生同步信 号 SSC 以启动水平转移、垂直转移、行场同步时序发 生模块。水平转移、垂直转移时序发生模块在 SSC 信号和 Trig 信号的控制下,根据精确的定时时钟产 生具有严格相位关系和占空比的驱动时序。行场同 步模块受 SSC 的控制产生行场同步信号。

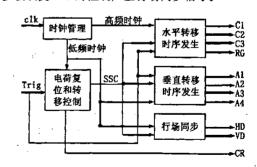


图 6 驱动时序发生器结构图

设计主要分为两步,第一步是确定每个模块的输入输出,对每个模块分别用 VHDL语言描述,然后再对每个模块分别进行编译、逻辑综合、时序分析和时序波形仿真。 Quartus II 5.0 是一个功能很强大的CPLD/FPCA 开发工具,利用它不但能够验证设计逻

辑的正确与否,而且其时序仿真结果与实际结果十 分接近。

第二步是新建一个工程,将设计无误的各个模块按照预先定义接口利用 VHDL 中的 COMPONENT 语句连接起来,并将各个模块的 VHDL 文件添加到该工程中,然后对该工程进行全程编译,并进行时序波形仿真,仿真结果如图 7 所示,其中 clk 为系统输入时钟(25 MHz),HD、VD 为行场同步信号。由于篇幅所限,不能列出全部 VHDL 代码,仅给出系统实体定义部分代码如下:

library iece; use ieee. std _ logic _ 1164. all; use ieee. std _ logic _ unsigned. all;

entity coddriver is

port(clk, Trig: in std _ logic;

C1, C2, C3, RG, A1, A2, A3, A4, CR, HD, VD; out std _ log-ie);

end coddrivera

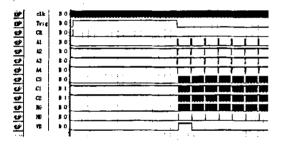


图 7 驱动时序仿真波形

2.2 硬件设计

本设计用一片 FPGA 实现了 CCD 驱动时序发生 器,FPGA 芯片洗用的是 Altera 公司的 CYCLONE 系 列的 Ep1c3t144, 它集成了 2 910 个逻辑单元, 1 个锁 相环和 59 904 bits RAM, 可以满足要求^[8]。硬件电 路设计较为简单,主要是 FPGA 电源设计和配置电 路设计,电源主要分为3组:L/O供电电源 VCCIO、 内核电源 VCCINT、模拟 PLL 电源 VCC PLL。 EPIC3T144 的内核电压 VCCINT 比较低, 只有 1.5 V,本设计用 AM1117 1.5 V 作为 VCCINT 稳压芯 片。CYCLONE 系列 FPGA 支持多种 L/O 标准,如单 端标准、差分标准、伪差分标准等,本系统采用3.3 V LVTTL 单端标准, VCCIO 输入 3.3 V, 本设计用 AM1117_3.3 V作为 VCCIO 稳压芯片。Altera FPGA 中的 PLL 是模拟电路实现的,其对电源噪声比较敏 感,所以要对 VCC PLL(1.5 V)进行隔离,电源隔离 的方法有很多[9],本系统的电平调节电路大部分是

靠模拟电路实现的,所以,本系统单独做了一个模拟电源平面,把 VCC_PLL 接到独立的模拟电源平面。由于 CYCLONE 系列 FPCA 是基于 SRAM 结构的,每次上电时都要重新配置,所以要有专门的配置电路。本系统选用串行配置芯片 EPCS1 采用主动配置方式组成配置电路,同时使用 JTAG 配置方式以方便调试。主动配置和 JTAG 配置的电路可以在 CYCLONE 的数据手册里查到,这里不再赘述。

3 结论

用 CYCLONE 系列 FPGA,在 QUARTUS II 5.0 开发环境下采用 VHDL语言输入的方法开发设计出了高分辨率全帧 CCD FTF4027M 的驱动电路。该驱动电路设计流程简单,开发周期短、硬件设计调试简单、改动灵活,目前硬件设计调试已经完成,驱动器输出信号可以满足 FTF4027M 的驱动时序的要求。虽然 FTF4027M 只是面阵 CCD 的一种(全帧 CCD),但是该设计方法具有通用性,不但可以用于面阵 CCD,也可以用于线阵 CCD,是一种 CCD 驱动开发的通用方法。

参考文献:

- [1] 张月,马云.基于 DSP 的 CCD 天文图像处理系统[J].电 光与控制,2005,12(4):47-50.
- [2] 王庆有, CCD 应用技术[M]. 北京: 电子工业出版社, 2003
- [3] 张金凤,王海涌.用 CPLD 实现线阵 CCD 的驱动[J]. 测 控学报,2005,24(5):76-78.
- [4] 张勇,唐本奇.基于 CPLD 的 CCD 通用驱动电路设计方法[J].核电子学与探测技术,2005,25(2):214-217.
- [5] 虞益挺,饶伏波.一种新型 CCD 驱动电路设计方法[J]. 传感技术学报,2005,18(2):388-390.
- [6] Anon. FTF4027M full-frame CCD image sensor data sheet
 [Z]. Canada; Dalsa, 2004; 2-8.
- [7] 李洁, 车秀博. 可编程逻辑器件的 VHDL 设计技术及其 在航空火控电子设备中的应用[J]. 电光与控制,2000,7 (2):46-52.
- [8] Anon. Cyclone device handbook[2]. America: Altera, 2005; 270-320.
- [9] 吴继华,王城.Altera FPGA/CPLD设计(高级篇)[M].北京:人民邮电出版社,2005.
- [10] Anon. Configuration handbook, volume 1[Z]. America: Altera, 2005:585-650.

基于FPGA的全帧CCD驱动设计



作者: 王华伟, 刘波, 曹剑中, 孙磊, 车嵘, WANG Hua-wei, LIU Bo, CAO Jian-zhong,

SUN Lei, CHE Rong

作者单位: 王华伟, 孙磊, WANG Hua-wei, SUN Lei (中国科学院西安光学精密机械研究所, 西安, 710068; 中

国科学院研究生院, 北京, 100039), 刘波, 曹剑中, LIU Bo, CAO Jian-zhong (中国科学院西安光学精密机械研究所, 西安, 710068), 车嵘, CHE Rong (中国科学院西安光学精密机械研究所, 西安, 710068; 中国科学院研究生院, 北京, 100039; 中国人民解放军西安通信学院, 西安

, 710106)

刊名: 电光与控制 ISTIC PKU

英文刊名: ELECTRONICS OPTICS & CONTROL

年, 卷(期): 2007, 14(5)

被引用次数: 5次

参考文献(10条)

1. 张月. 马云 基于DSP的CCD天文图像处理系统[期刊论文]-电光与控制 2005(04)

- 2. 王庆有 CCD应用技术 2003
- 3. 张金凤. 王海涌 用CPLD实现线阵CCD的驱动[期刊论文]-飞行器测控学报 2005 (05)
- 4. 张勇. 唐本奇 基于CPLD的CCD通用驱动电路设计方法[期刊论文]-核电子学与探测技术 2005 (02)
- 5. 虞益挺. 饶伏波 一种新型CCD驱动电路设计方法[期刊论文]-传感技术学报 2005(02)
- 6. Anon FTF4027M full-frame CCD image sensor data sheet 2004
- 7. 李洁. 车秀博 可编程逻辑器件的VHDL设计技术及其在航空火控电子设备中的应用 2000 (02)
- 8. Anon Cyclone device handbook 2005
- 9. 吴继华. 王城 Altera FPGA/CPLD设计(高级篇) 2005
- 10. Anon Configuration handbook 2005

相似文献(10条)

1. 学位论文 李晓晨 CMOS图像传感器系统中的列并行高速ADC的研究设计 2007

在当今时代,信息爆炸,人们对信息的渴望是随时随地的。因此随着科学技术的不断进步,便携式数码产品以其体积小,功耗低,易于携带等优点拥有着当前以及未来广阔的市场。在视频技术领域,CMOS图像传感器以其具有功耗低、摄像系统尺寸小、可将信号处理电路与像素采集阵列集成在一个芯片上等优点,正在逐步成为传统的CCD图像传感器的替代品。CMOS图像传感器的未来发展方向是大动态范围、高分辨率、高灵敏度、微型化和多功能化。这就给CMOS图像传感器系统的设计提出了更高的要求,特别是随着工艺水平的不断提高,尺寸的不断缩小,模拟电路设计所面临的挑战就越来越大。模数转换器是模拟世界和数字世界的接口,是模拟电路设计中重要的部分。因此找到适合于CMOS图像传感器系统的模数转换器显得尤为重要。

本文主要从CMOS图像传感器系统对模数转换器的需求出发,论述了列并行处理结构的模数转换器的特点和应用以及设计方法。考虑到列并行处理结构在数据处理速度上的优势,模数转换器的精度和数据吞吐量就成为了设计的主要考虑因素。本文中分别介绍了两种列并行结构的模数转换器: Single-slope ADC和Cyclic ADC,系统阐述了两种ADC设计中的关键问题。对于Single-slope ADC的功能结构,斜坡发生器的实现方式及设计方法,比较器的失调,滤波器的选择和读出电路都做了比较详尽的论述;对于Cyclic ADC的理论说明,结构选择,电路实现都做了比较详细的描述,特别是提出了一种CMOS图像传感器的重要噪声——列FPN的消除方法,在很大程度上减少了列FPN噪声对图像质量的严重干扰,有着比较好的实际效果。

该设计是基于0.18um工艺的基础上,通过仿真验证。Single-slope ADC在50MS/s的数据吞吐量下,实现了10 bit的高精度和仅有10mw左右的低功耗。Cyclic ADC同样实现了10 bit的精度要求,并且在速度上比Single-slope ADC有了很大的提高,完成一次AD转换只需要2us的时间,这样使得图像传感器的帧频几乎是采用Single-slope ADC结构的图像传感器的6倍,而只消耗0.5mw左右的功耗,给图像传感器性能的进一步提高创造了可能。总之两种ADC各自有着自身的特点和应用环境,是两种重要的列并行模数转换器。

2. 期刊论文 严求真. 金向平. 周梅芳. YAN Qiuzhen. JIN Xiangping. ZHOU Meifang CMOS图像传感器片上系统及其在

手机上的应用 -现代电子技术2007, 30(14)

带相机功能的手机越来越流行并逐渐成为手机的标准配置. CMOS图像传感器因其在低成本、图像效果好、低功耗、集成度高等方面的优势, 在手机市场上逐渐成为主流. 随着功能与集成度的提高, 片上系统与单芯片方案已经成为一个趋势. 介绍CMOS图像传感器片上系统的架构与原理、图像信号处理模块, 然后给出他在手机系统上的应用与软件实现.

3. 学位论文 倪景华 提高CMOS图像传感器灵敏度的工艺优化方法 2008

随着集成电路制造工艺技术的发展和集成电路设计水平的不断提高,基于CMOS集成电路工艺技术制造的CMOS图像传感器由于其自身的优势,目前在诸多领域中得到了广泛的应用,如数码电子产品、视频电子邮件、医疗设备、保安监控、可视通信、眼膜识别、工业视频监控、视觉玩具等社会生活和工业生产的方方面面,特别是数码产品例如数码相机、照相手机的图像传感器应用方面,市场前景广阔,所以对CMOS图像传感器的研究与开发有非常高的市场价值。

本文首先简要介绍了CMOS图像传感器的研究背景、发展历程及其发展趋势,并比较了CMOS图像传感器和CCD图像传感器的优缺点。

随后研究了CMOS图像传感器的系统结构和作用、CMOS图像传感器的芯片组成部分和功能、及采用4T技术CMOS图像传感器像素的工作原理及其图像信号的处理流程。然后从半导体的光学基本性质出发,讨论了光电效应的基本概念,分析了影响CMOS图像传感器的灵敏度的相关因素,如量子效率和光学效率,并运用光学模拟软件对不同CMOS图像传感器介质层结构进行了光学模拟分析,比较了不同厚度的介质层对光的透射率的影响,感光区介质层厚度的减薄,可以大大提高CMOS图像传感器的光学灵敏度。在此基础上,根据CMOS图像传感器的结构特点,从CMOS图像传感器的制造工艺方面出发,提出并

4. 期刊论文 朱天成. 姚素英. 李斌桥. Zhu Tiancheng. Yao Suying. Li Binqiao 用于CMOS图像传感器的9位10MS/s低

功耗流水线ADC -半导体学报2007, 28(12)

提出了一个用于CMOS图像传感器的9位10MS/s、低功耗流水线ADC. 为降低功耗,该设计通过采用低功耗、宽摆幅的带有增益增强结构的放大器以及将所有单元共用偏置电路的技术来实现。共用偏置技术需要仔细的版图设计和在电路中加入大的去耦合电容来实现。此外,设计中也采用电容阵列DAC来降低功耗,同时,为了增大信号处理范围,设计中还采用低阈值电压的MOS管,该ADC采用4M-1P的0.18µm CMOS工艺设计制造.对芯片的测试结果表明该设计的功耗(仅为7mW、相对其他设计是相当低的,该ADC已经应用于30万像素图像传感器系统中、该系统已经流片、测试.

5. 学位论文 蔡巧明 CMOS图像传感器像素设计优化 2005

随着近几年数字消费市场的快速发展,CMOS图像传感器的需求量越来越大,大规模应用于手机摄像头,数码相机,电脑摄像头,光电鼠标,汽车电子,医疗电子等,在很多方面的性能以及适用性都赶上甚至超过CCD。与CCD相比,CMOS图像传感器由于其低成本,易制造(通用于一般的CMOS制造工艺),低功耗,集成度高(可在同一芯片中实现A/D转换,信号处理,自动增益控制,精密放大和存储功能)等明显的优势而越来越有取而代之的趋势。但目前市面上的CMOS图像传感器跟CCD图像传感器相比,在灵敏度,信噪比方面还略有不足。

本论文针对CMOS图像传感器的信号处理流程,分别在像素的物理结构,电学结构方面进行了像素的优化以提高图像传感器的性能,并根据优化结果设计了一个VGA格式的CIS像素单元。

6. 期刊论文 刘贵喜. 極万海. LIU Gui-xi. YANG Wan-hai 新型接触式图像传感器信号处理技术 -光电子・激光

接触式图像传感器(CIS)是一种新型图像传感器。由于CIS头比CCD部件更紧凑,因此可使制成的产品体积更小.本文阐述了CIS的特点、基本结构和信号处理技术;介绍了自行研制的CIS信号处理系统,并给出了一组CIS信号实测波形.

7. 学位论文 林为才 CMOS图像传感器在变形测角仪中的应用研究 2003

变形测角仪是一种应用光学成像测微原理工作的高精度测试仪器,它可以被用于校正飞行器的机架和导弹发射架,检测火箭发射器的姿态。随着科学技术的不断发展,对测角仪也提出了更高的精度要求,传统的测角仪受到测量原理误差以及人为因素的影响,很难有较大突破,因此,探索一种有较高测量精度的测角仪势在必行。CMOS图像传感器在草芯片内集成了A/D转换、信号处理、自动增益控制、精密放大和存储等功能、减小了系统复杂性。此外,还具有成品率高、单电源、低工作电压(3~5V)、低工耗、可对局部像元编程随机访问等优点。现在CMOS图像传感器的一些参数性能指标已达到或超过CCD的标准,所以光电转换的任务就由CMOS图像传感器杂乐进。DSP技术带来了数字信号处理领域的一场革命,随着DSP芯片速度的不断提高,各种高速数字信号处理越来越方便,并为实现系统的实时性提供了有力的支持。本文研究了用CMOS作为接收器件,用CPLD电路和DSP芯片进行系统流程控制和数据处理的二维变形测角仪的系统原理,设计了数据采集、处理的硬件软件,并进行了实验。

8. 学位论文 王粒子 CMOS光电探测器暗电流削减技术研究和相关电路设计 2007

随着半导体技术和市场的持续发展,数码相机及摄像机等器材中,CMOS主动像素传感器Active Pixel Sensor(APS)正在越来越广泛的得到应用。与传统的CCD器件相比较,APS图像传感器由于其低成本,易制造(通用于一般的CMOS制造工艺),低功耗,集成度高(可在同一芯片中实现A/D转换,信号处理,自动增益控制,精密放大和存储功能)等明显的优势而越来越有取而代之的趋势。

但是现在所报道的CMOS图像传感器的暗电流与CCD图像传感器相比仍高出一个数量级。暗电流会降低光电二极管的电容大小,从而降低器件对光线的 灵敏度和信号动态范围;暗电流会随着位置和时间变化,从而使输出信号产生随空间和时间的波动。随空间波动的暗电流是固定模式噪声的组成部分 ,而随时间波动的暗电流则是随机噪声的一个来源;暗电流还会增加器件的功耗。

本论文针对CMOS图像传感器的信号处理流程,分别在像素内部的电路结构,外围电路,及制造工艺等方面进行了优化以降低图像传感器的暗电流,并根据优化结果进行了流片,取得了实验数据。

在感光二极管电路结构方面,引入并优化了CSD结构减少了STI复合中心引入的暗电流,引入并优化PIN结构减少了硅晶体表面复合中心引入的暗电流 ,优化了有源区的形状减少了由应力产生的暗电流;

在像素内的晶体管上,加大了T1和T2的宽长比(W/L),降低了及晶体管的阈值电压,从而降低了一部分暗电流;

在像素制造工艺上,通过调整PDW, PC, PIN, CSD等数道离子注入的掺杂浓度和深度,使PN结产生的暗电流降到了最低;

通过对连接通孔的蚀刻工艺的优化,降低了蚀刻的深度,减少了由蚀刻造成的晶格缺陷所带来的暗电流;

同时,采用了对像素区域进行SAB遮盖的方法,避免了硅化物工艺带来的重金属污染,从而降低了暗电流。

9. 期刊论文 田启川. 潘泉. 赵春晖. 张洪才 采用CCD图像传感器的测温方法及实验研究 -自动化技术与应用

2004, 23(1)

2000, 11(6)

利用CCD进行温度测量是目前研究较多的测量方法,但是在实际应用中,其测量原理比较复杂,通过它的原理进行温度测量实现起来有一定困难.为此许多科技人员致力于这方面的研究.本文中提出了一种新的方法—基色相减测温,通过对彩色图像中的R、G、B值进行一种简单的减法运算,建立温度测量公式,采用该方法在实验室对黑体炉温度进行了实验研究.结果表明,基色相减测温方法简单、有效.

10. 学位论文 张书迁 高性能CMOS图像传感器控制系统及关键技术研究 2007

随着技术的不断更新,CMOS图像传感器在噪声消除、暗电流消减以及光敏性增强等方面都有了长足的进步,它代表了图像采集领域中最先进的成像技术,具有极其广泛的应用前景。实现CMOS图像传感器内核、控制系统和图像信号处理器的单片集成,以获得更小的芯片面积、更高的稳定性和更低的功耗,是CMOS图像传感器发展的一个重要方向。本文以CMOS图像传感器为基础,主要对稳定、高效的控制系统和完善的图像信号处理功能进行研究、设计和验证,为进一步开展单片传感系统的研究提供了良好的基础。具体研究成果有:

- 1. 实现了专用化设计的I2C总线和SDRAM控制器以及同步化设计的USB控制器,保证了系统的稳定运行并提供了高效的数据传输能力。
- 2. 对通用SRAM控制器的接口采用同步化设计并增加了可编程能力,降低了设计开发难度,缩短了系统开发周期。
- 3. 提出一种片上低功耗实时运动检测算法,通过图像的等间隔采样和两位比较,将运算量降低到了传统算法的2.5%。同时,算法实现了检测位和阈值的自适应调节以及检测精度的可编程化。实验结果表明,该算法检测精度高,对光线适应能力强,并具有低功耗、抗噪声的特性。
- 4. 采用基于3×3邻域的拉普拉斯锐化滤波算法完成图像的边缘锐化。通过优化内部运算单元时序,使输出图像序列仅仅延迟一行的数据输入时间,提高了系统性能。实验结果表明,该算法能够实时处理并获得边缘清晰的视频图像。

引证文献(5条)

- 1. 刘鑫. 李成贵. 孟召宗 飞行参数实时采集系统的设计与实现[期刊论文]-电光与控制 2010(4)
- 2. 武奕楠. 江洁. 张广军 动态CCD星敏感器驱动成像系统设计与实现[期刊论文]-电子测量技术 2009(12)
- 3. 佟刚. 曹永刚. 陈涛 基于MSP430+FPGA的IRIG-B码时统设计[期刊论文]-电光与控制 2009(5)
- 4. 刘凯. 刘波. 曹剑中. 王华伟. 崔巍 基于CPLD的全帧型CCD图像传感器驱动系统设计[期刊论文] 现代电子技术

5. 王洪涛. 罗长洲. 王渝. 赵述芳 智能APS控制器的设计与实现[期刊论文]-电光与控制 2009(3)

本文链接: http://d.g.wanfangdata.com.cn/Periodical_dgykz200705043.aspx

授权使用: 陝西理工学院(sxlgxy), 授权号: a424c060-0c67-44dc-b460-9df5009f6036

下载时间: 2010年9月18日