

一种基于 FPGA 的实时图像转换控制器设计

张旭, 王彬

(哈尔滨工业大学 通信技术研究所, 黑龙江 哈尔滨 150001)

摘要: 介绍了 XGA 标准, 设计了一种基于 FPGA 的 XGA 标准图像实时控制器, 它将 PAL 制式的电视信号转换成 XGA 格式的信号。重点讨论了图像数据的结构转换过程及控制器的内部结构。

关键词: XGA FPGA 双端口 RAM 图像转换控制器

FPGA-based design of a real-time image conversion controller

ZHANG Xu, WANG Bin

(Communication Research Center, Harbin Institute of Technology, Harbin 150001, China)

Abstract: This paper introduces the XGA standard, and then presents the design of an XGA standard image real-time controller based on FPGA, which converts the TV signal from PAL to XGA format. Then the conversion process of the image format is discussed. The inner structures of the controller are described in separate models.

Key words: XGA; FPGA; DPRAM; image conversion controller

可编程逻辑器件 FPGA 由于具有开发简单、静态可重复编程和动态在系统编程的特点, 已经成为当今应用最广泛的可编程专用集成电路(ASIC)。而 XGA(eXtended Graphics Adapter)显示器因其输出信息量大、输出形式多样等特点已经成为目前大多数设计的常用输出设备, 在 FPGA 的设计中可以使用很少的资源, 就能产生 XGA 各种控制信号。

1 VGA 原理和 XGA 标准

计算机显示器的显示有许多标准, 常见的有 VGA、SVGA、XGA 等。常见的彩色显示器一般由阴极射线管(CRT)构成, 彩色是由 R、G、B 三基色组成, 用逐行扫描的方式进行图像显示。阴极射线枪发出电子束打在涂有荧光粉的荧光屏上, 产生 R、G、B 三基色, 合成一个彩色像素。扫描时从屏幕的左上方开始, 从左到右、从上到下进行扫描。每扫完一行, 电子束回到屏幕的左边第一行的起始位置。在这期间, CRT 对电子束进行消隐, 每行结束时, 用行同步信号进行行同步; 扫描完所有行, 用场同步信号进行场同步, 并使行扫描回到屏幕的左上方, 同时进行场消隐, 预备下一场的扫描。对于普通的 VGA(Video Graphics Adapter

(Array))显示器, 其引出线共有五种信号: 三基色信号(R、G、B); 行同步信号(HS); 场同步信号(VS)。

对于 VGA 显示器的这五种信号的时序驱动要严格遵循“VGA 工业标准”, 本设计中采用 1024×768@60Hz 的 XGA 标准。图 1 是 XGA 行扫描、场扫描的时序图, 表 1、表 2 分别为行扫描、场扫描的时序要求。

设计 XGA 显示控制主要注意两个问题: 一个是时序驱动, 这是完成设计的关键, 时序稍有偏差, 显示必然

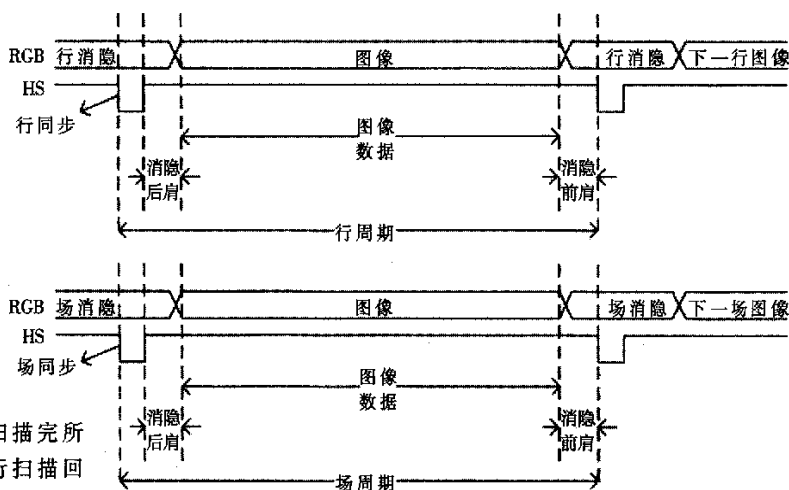


图 1 XGA 行扫描、列扫描时序示意图

表 1 行扫描时序要求

	行消隐前肩	行同步信号	行消隐后肩	图像	行周期
时间(像素)	24	136	160	1024	1344

表 2 场扫描时序要求

	场消隐前肩	场同步信号	场消隐后肩	图像	场周期
时间(行)	3	6	29	768	806

不正常,甚至会损坏彩色显示器;另一个是 XGA 信号的电平驱动(XGA 信号的驱动电平是模拟信号)。

2 控制器的设计

2.1 控制器原理

本设计的数据源是 PAL 制式的电视信号,数据格式为 YUV(4:2:2)格式。本设计以 FPGA 为平台,将原始的电视信号数据转换为 RGB 格式的视频信号,并使图像的分辨率由 720×576 提高到 1024×768,达到 XGA 标准。设计可分为 FIFO 模块、双端口 RAM 控制模块、图像结构转换模块和色空间转换模块。设计选取的双端口 RAM 必须能存储两帧以上图像,以保证完成缓冲。当双端口 RAM 从一端写满一帧图像数据后,在写满下一帧数据前,开始从另一端读取第一帧数据;第二帧写满后再读取第二帧,直到第一帧的数据被第三帧数据完全覆盖,不断重复此过程。图像结构转换模块和色空间转换模块将 PAL 制式(分辨率 720×576,场频 50Hz,隔行扫描)的电视信号转换为 XGA(分辨率 1024×768,帧频 60Hz,逐行扫描)标准的视频信号。

2.2 硬件实现

本设计中 FPGA 采用了 Actel 公司的 APA150 芯片。该 FPGA 芯片具有 150 000 个系统门,逻辑单元为 6144 个,内嵌 36KB 的双端口 SRAM 的 2 个锁相环 PLL 内核,最大支持 242 个用户 I/O(I/O 电压有 3.3V 和 2.5V 两种可供选择),支持 3.3V、32bit、50MHz 的 PCI 总线,系统时钟最高为 32MHz。双端口 RAM 采用赛普拉斯半导体公司(Cypress Semiconductor Corp.)的 CYD18S72V 双端口 RAM,该芯片容量为 256K×72bit,其硬件框图如图 2 所示。

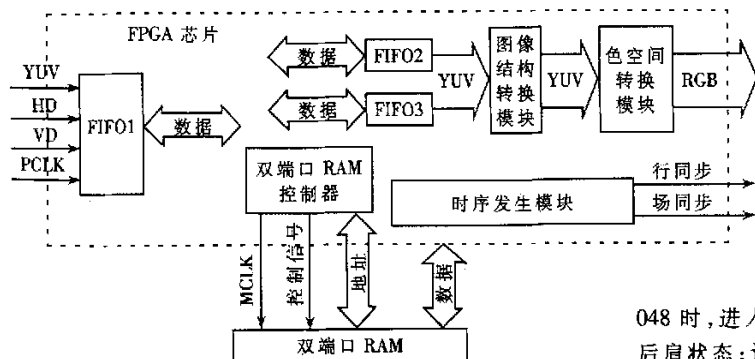


图 2 硬件框图

2.3 双端口 RAM 控制模块

2.3.1 双端口 RAM 简介

双端口 RAM 作为一种特殊类型的 RAM,在一些高

速数据采集与处理系统中得到了广泛应用。它具有两个独立的端口,各自均有一套相应的数据总线、地址总线和控制总线,允许两个端口独立、异步地对存储器中的任何存储单元进行存取操作。当两个端口同时对存储器中的同一单元进行存取操作时,可以由其内部仲裁逻辑决定优先权。

2.3.2 双端口 RAM 的控制

当两个端口对双端口 RAM 存取时,一般存在四种情况:(1)两个端口同时对不同地址单元读写数据;(2)两个端口同时对同一地址单元读出数据;(3)两个端口同时对同一地址单元写入数据;(4)两个端口同时读写同一地址单元,一个写入数据,另一个读出数据。

在(1)、(2)两种情况下,两个端口的存取不会出现错误,(3)、(4)种情况时会出现竞争现象。为避免因竞争而导致的通信错误,可采取“BUSY”功能输出或通过特殊的软件处理方法来解决。在本设计中,双端口 RAM 仅用来作为数据缓冲,一个端口输入,另一个端口输出,只要避免出现第四种情况即可。在实现时,将双端口 RAM 分成两个工作区,每个工作区可以存储一帧的图像数据。当输入端口输入的数据写满工作区 1 后,在写满工作区 2 前,通过程序控制输出端口反复从工作区 1 中读取数据;当工作区 2 写满后,在输入端口的数据重新写入工作区 1、工作区 1 写满前,通过程序控制输出端口反复从工作区 2 中读取数据。多次重复上述过程,可以实现对图像数据的无差错存取。

在存储时,要将电视信号的一个奇场和一个偶场的行像素数据交错存储,这样就实现了由隔行到逐行扫描的结构转换。本设计中采用的双端口 RAM 为 256K×72bit 的存储器,而 YUV 数据格式为每个像素 16bit 数据,每行 720 个有效像素,每行像素占用 160 个地址,因此每帧图像占 92 160 个地址。

2.4 时序产生器模块

视频定时产生器产生正确显示图像所必需的同步信号——行同步信号、场同步信号。利用 FPGA 内部时钟锁相环倍频后的 65MHz 的主时钟,来产生符合 XGA 标准的视频信号,其分辨率为 1024×768、帧频为 60Hz。

行同步过程的时间以像素节拍为单位进行测量,用一个计数器控制。计数器对输出的像素进行计数,复位后从 0 开始,此时图像显示处于有效状态;计到 1024 时,开始进入行消隐前肩状态;计到 1 048 时,进入行同步状态;计到 1 148 时,进入行消隐后肩状态;计到 1 343 后,在下个像素节拍到来时计数器清零,重新进入图像显示有效状态。

场同步过程的时间以行节拍为单位进行测量,也用一个计数器控制。计数器对输出的行进行计数,复位后从 0 开始,此时图像显示处于有效状态;计到 768 时,

开始入场消隐前肩状态;计数到 771 时,入场同步状态;计数到 777 时,入场消隐后肩状态;计数到 805 后,在下个像素节拍到来时计时器清零,重新进入图像显示有效状态。

2.5 FIFO 模块

FIFO1(先入先出)是深度为 1024、宽度为 16 位的异步 FIFO,写时钟为 YUV 信号的输入时钟 PCLK,读时钟为时钟发生器产生的主时钟 MCLK。当输入的原始数据的行、场同步信号都有效时,该 FIFO 的写使能有效;当写地址计数器数到一半或计满时,触发读使能信号,使读使能信号在后面的 360 个读时钟周期内一直有效。由于读时钟频率大于写时钟频率,所以不会产生数据写满溢出的现象。

FIFO2、FIFO 的设计与 FIFO1 类似,为深度为 1024 宽度为 16 位的异步 FIFO,写时钟为主时钟。FIFO2、FIFO3 在主时钟的同步下交替按行接收从双端口 RAM 中读出的数据,当快写满时停止从双端口 RAM 中读数据,同时 FIFO 的写使能信号无效,读使能信号有效。当快读空时,触发写使能信号,继续读取数据。

2.6 图像结构转换模块

该模块要完成分辨率的转换,以及帧频的转换。

2.6.1 分辨率的转换

原始信号的分辨率为 720×576,目标分辨率为 1024×768。转换的方案是:首先将原始信号做 3:4 的放大,使像素点数变为 960×768,再将每行的两侧各补充 32 个 0,这样既达到了 1024×768 的分辨率要求,算法也比较简单。考虑到一般只注意图像中间部分,对四周不是很关心,因此,在放大图像四周补 0 的做法不会影响图像的效果。

水平方向插值采用三次样条插值,垂直方向插值采用相邻两行内插算法,内插函数采用 bisigmoidal^[3]函数:

$$h(\Delta y) = \frac{1}{(1 + e^{-a(\Delta y - 0.5)})} \quad (1)$$

式中, a 是调节曲线特性的常数, Δy 是函数输入变量。采用临近两点 $y(n+1)$ 和 $y(n)$ 进行插值的公式如下:

$$y'(n) = y(n+1) \times K + y(n) \times (1-K) \\ = y(n) + K \times [y(n+1) - y(n)] \quad (2)$$

式中, $K = h(\Delta y)$ 。

为了避免非线性插值系数给电路设计带来的复杂性,将内插系数存储于查找表中,根据内插点与临近点的相对位置找到对应系数。

分辨率转换部分的框图如图 3 所示。

在插值时,首先将第一行数据输入 FIFO2,第二行输入 FIFO3,两个 FIFO 交替将数据输入垂直插值器,垂直插值器按行输出垂直插值后形成的行数据,输入到水平插值器。FIFO 共输入 3 行后,FIFO 停止向垂直插值器一个节拍,垂直插值器将输出 4 行像素数据;水平插值器每读取 3 个像素数据时停止一个节拍,从而根据不同插值系数和临近点数据插出 4 个值,从而完成 3:4 的放

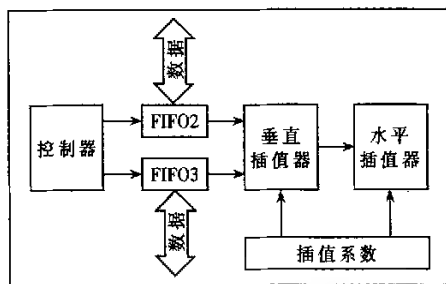


图 3 分辨率转换部分的框图

大。在输出放大后的行数据时,在行的左端和右端各添加 32 个零点,这样就完成了分辨率的转换。

2.6.2 帧频的转换

PAL 制式每秒奇偶共 50 场,经过双端口 RAM 的存储后整理为每秒 25 帧,要转换为能够满足每秒 60 帧要求的视频信号,最简单的办法就是复制帧。在本设计中,上一小节中转换分辨率后的数据传递给色空间转换模块的同时,存入一个存储器中,在下一帧数据处理完成前,将存储器中的数据再次传输指定的次数,从而完成帧频的转换。帧频比为 5:12,所以每 5 帧做一次频率放大,第一帧、第三帧传输 3 次,其余各帧传输 2 次。

2.7 色空间转换模块

该模块接收到的信号是 YUV(4:2:2)格式的信号,是 16 位数据线,而要将它转换成的 RGB 信号是 24 根数据线,就需要先将每个像素点上丢失的色差信号补回来,即 16 根数据线加宽到 24 根。格式转换过程如图 4 所示。

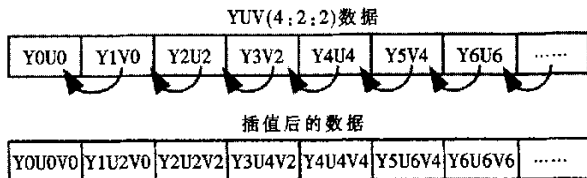


图 4 格式转换过程

接下来要完成的是由 YUV 到 RGB 的色空间转换,转换公式如下^[6]:

$$Y = 0.299R + 0.587G + 0.114B \\ U = -0.147R - 0.289G + 0.436B = 0.492(B - Y) \quad (3)$$

$$V = 0.615R - 0.515G - 0.1B = 0.877(R - Y)$$

由此可得式(4):

$$R = Y + 1.140V \\ G = Y - 0.394U - 0.581V \\ B = Y + 2.032U \quad (4)$$

在计算时必须把它们都转换成整数,所以在程序中利用位移寄存器,让它们左移 11 位,计算后即可得到 RGB 数据。

采用 FPGA 技术设计的 VGA 图像控制器,大大减少了电路板的尺寸,充分应用了 FPGA 快速并行处理数据

(下转第 71 页)

3 实验结果及分析

实验所设置的环境为:Microsoft Windows XP Professional, Intel pentium4, cpu2.26GHz, 内存 225MB, Matlab7.0。图像分割的效果如图 2 所示,分割时的参数设置及运行时间如表 1 所示。

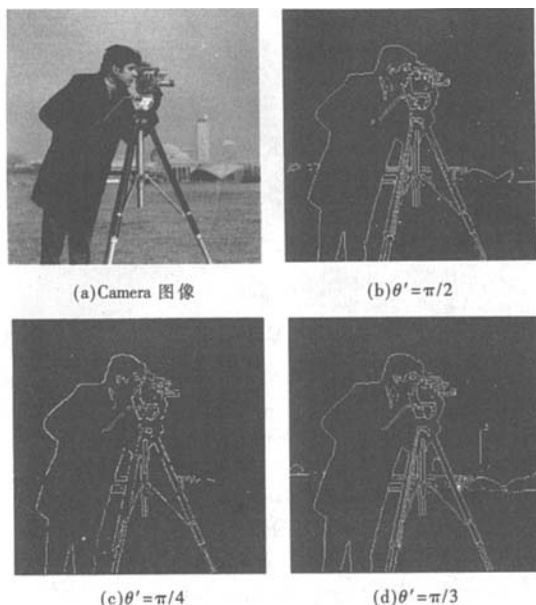


图 2 不同动态分割点下的图像分割效果

表 1 动态参数 θ' 与分割处理的关系

分割点特征参数 θ'	阈值特征矢量 T	类间方差 $\sigma^2(T)$	执行时间(s)
$\pi/2$	(302, 65, 38)	67.32	56.65
$\pi/4$	(286, 78, 37)	56.98	68.32
$\pi/3$	(290, 37, 65)	78.86	52.17

在实验进行中,考虑到多种因素(如进程与线程总数对 cpu 占用率的影响,实际可用物理内存等)的影响,为计算方便,本文中的像素特征矢量的各分量均取为整数。表 1 中的每行数据分别对应一种分割情况。从表中的数据可见,分割点 θ' 动态取值时,阈值特征矢量 T 作了相应的动态调整。在特征空间中按公式(3)对特征点进行归类后,目标和背景两类间的类间方差有较为明显

(上接第 68 页)

的特性(这是其他控制器所不可比拟的),在产生同步信号的同时送出像素数据,同时增加了系统的可靠性和设计灵活性。解决了嵌入式系统实时图像显示的问题,节约了成本,扩展了应用范围。

参考文献

- [1] 李国刚,余俊,凌朝东.基于 FPGA 的 VGA 图形控制器的实现方法.信息技术,2006,(7).
- [2] 方湘艳,韩威.基于 FPGA 技术的异步双端口 RAM 设计

的差别,表中的数据 displays: $\theta'=\pi/3$ 时的类间方差最大。因此,此时目标和背景间的类间距离最大,在此分割点下的分割效果应当最好。三者的算法执行时间是较为接近的,无明显区分。

对分割效果分析可知,分割点 θ' 动态取值时,所得到的图像分割效果有着较显著的差别。 $\theta'=\pi/3$ 时分割的效果最好,图像中的许多边缘细节部分都能够被较好地识别,表现在图像中人物及背景中的建筑物体能够形成较明显的边缘轮廓连线。 $\theta'=\pi/4$ 时分割的效果则较为模糊,原因在于分割点 θ' 取值较小,对目标区域中的像素的判定不准确,反映在特征空间中,目标区域中像素对应的特征矢量与阈值特征矢量夹角过小,丢失了较多的目标像素。 $\theta'=\pi/2$ 时分割的效果相对 $\theta'=\pi/3$ 时较弱些,但也能够较好地分离出人物及部分建筑物体,形成较清晰的物体边缘轮廓连线。

本文提出了一种基于空间特征矢量的图像分割方法,对图像的分割效果较好。在所构建的空间中,特征点能够更好地反映出其与图像中像素点之间的关系。进一步分析还可发现,在三维空间中,当背景与目标区域中的像素点以不同形式的云团出现时,单纯从矢量夹角的关系去分析目标与背景的关系,已不再适用。可考虑从两区域中心点与原点所构成的几何形状出发,将两类分离出来,这一步将是今后值得细致研究的问题。

参考文献

- [1] 姚敏.数字图像处理[M].北京,机械工业出版社,2006:150-200.
- [2] 邢延超,谈正.基于多阈值融合的图像分割[J].计算机学报,2004,27(2):252-256.
- [3] 郭斯羽,张煦芳.一种基于模型的自适应阈值分割算法[J].浙江大学学报:工学版,2005,39(12):1950-1953;1964.
- [4] 薛莉,杨杰,刘惠.基于多特征的模 C 均值聚类的图像分割[J].影像技术,2006,1(1):34-35.
- [5] 刘怀,黄建新.彩色图像的矢量阈值自适应分割算法[J].南京师大学报:工程技术版,2006,6(2):18-22.
- [6] 王茜茜,彭中,刘莉.一种基于自适应阈值的图像分割算法[J].北京理工大学学报,2003,23(4):521-524.

(收稿日期:2007-04-29)

与实现.中国集成电路,2005,(1).

- [3] 吴蓬勃,张启民,王朝阳,等.基于 FPGA 的 VGA 图像控制器设计.东北电力大学学报,2006,(8).
- [4] 潘松,黄继业.EDA 技术与 VHDL.北京:清华大学出版社,2005.
- [5] LEE J.Design of a scan format converter using the bisigmoidal interpolation[J].IEEE Trans Consumer Electronics,1998,44(3):1115-1120.
- [6] Xilinx Inc.Colour space conversion.XAPP637[Z],2002.

(收稿日期:2007-04-21)

一种基于FPGA的实时图像转换控制器设计

作者: 张旭, 王彬, ZHANG Xu, WANG Bin
作者单位: 哈尔滨工业大学, 通信技术研究, 黑龙江, 哈尔滨, 150001
刊名: 电子技术应用 ISTIC PKU
英文刊名: APPLICATION OF ELECTRONIC TECHNIQUE
年, 卷(期): 2007, 33(10)
被引用次数: 1次

参考文献(6条)

1. 李国刚, 余俊, 凌朝东. 基于PGA的VGA图形控制器的实现方法[期刊论文]-信息技术 2006(07)
2. 方湘艳, 韩威. 基于FPGA技术的异步双端口RAM设计与实现[期刊论文]-中国集成电路 2005(01)
3. 吴蓬勃, 张启民, 王朝阳. 基于FPGA的VGA图像控制器设计[期刊论文]-东北电力大学学报 2006(08)
4. 潘松, 黄继业. EDA技术与VHDL 2005
5. LEE J. Design of a scan format converter using the bisigmoidal interpolation 1998(03)
6. Xilinx Inc. Colour space conversion. XAPP637 2002

相似文献(10条)

1. 期刊论文 蔡希昌, 翟林培, 周九飞, 王德江, CAI Xi-chang, ZAI Ling-pei, ZHOU Jiu-fei, WANG De-jiang 基于FPGA的非XGA标准图像显示控制器的设计-液晶与显示2008, 23(3)

针对实际应用中许多相机输出的图像数据格式不符合XGA标准, 无法直接进行显示, 介绍了一种对该类图像进行标准XGA格式转化的显示控制器. 在分析计算的基础上实现对相机的合理控制, 使相机的输出行频与XGA标准一致. 对于CCD的输出数据通过采用缓冲和时钟切换的技术方法将其转化为符合VGA时序的图像数据. 按照VGA标准时序将图像数据输出, 从而实现XGA显示. 该显示控制器基于FPGA实现, 其关键技术在于利用FPGA内部的FIFO实现CCD数据的二级缓冲和时钟变换. 一级缓冲为大容量双时钟FIFO, 实现时钟的切换和数据的深度缓冲; 二级缓冲为单时钟FIFO, 其容量为1行, 作为行显示缓冲. 该显示控制器同时利用FPGA实现XGA所需的行场同步信号及控制CCD的外行同步信号. 文中的非XGA标准图像显示控制器具有实现灵活, 时序稳定的优点, 可作为其他相类似图像显示的参考.

2. 外文会议 Cheng Yongqiang Implementation of Bilinear CFA Interpolation and VGA Display Controller Based on FPGA

In this paper, the hardware implementation of Color Filter Array (CFA) bilinear interpolation algorithm and the design of high resolution display controller are introduced. The image raw 8-bit data from Bayer pattern image sensors are sent to Field Programmable Gate Array (FPGA). Its frame frequency is 7.5Hz in XGA resolution. Firstly, the raw data is converted to RGB5:6:5 format 16-bit data by the CFA bilinear interpolation module. Then the display controller module utilizes two SDRAMs as frame memory and it speeds the frame frequency up to 60Hz. At the same time, it generates the synchronization signals of XGA format. So the image data captured by the image sensors can be displayed in the VGA monitor. The whole design is described in VHDL and is implemented with Xilinx company Spartan-IIIE series FPGA XC2S300E-6-PQ208.

3. 期刊论文 刘东, 吕国强, 方勇, 韩少飞, LIU Dong, LV Guo-qiang, FANG Yong, HAN Shao-fei 一种动态LED背光控制方案及其FPGA实现-现代显示2010, ""(4)

针对分辨率为XGA(1,024×768像素)的液晶面板, 利用FPGA技术实现高亮度白光LED背光源的动态控制. 以FPGA作为主控芯片, 获取调节LED背光源的控制信号, 并采用乒乓操作协调两组SDRAM以完成对视频信号的实时读写, 在保证显示效果的基础上, 通过动态调节LED的亮度来达到节能降耗的目的. 该方案电路结构简单、设计灵活性强, 适当改进后可适用于更大尺寸的LED背光源.

4. 外文会议 Zhang Gang Real-time High-definition Image Display Controller Based on FPGA

The goal of this research is designing a display controller for embedded processing TMS320DM270 of TI Company. This display controller not only controls two pieces of SDRAM which regarded as frame memories but also produces time sequence of XGA display format, promotes the frequency of RGB565 format image data, and then realizes the display of XGA@60HZ. The design adopts as VHDL language and implemented based on FPGA XC2S300E-6-PQ-208-C of XILINX Company.

5. 外文会议 Zhang Gang Real-time High-definition Image Display Controller Based on FPGA

The goal of this research is designing a display controller for embedded processing TMS320DM270 of TI Company. This display controller not only controls two pieces of SDRAM which regarded as frame memories but also produces time sequence of XGA display format, promotes the frequency of RGB565 format image data, and then realizes the display of XGA@60HZ. The design adopts as VHDL language and implemented based on FPGA XC2S300E-6-PQ-208-C of XILINX Company.

6. 外文期刊 Srinivasan, S Design and FPGA implementation of an MPEG based video scalar with reduced on-chip memory utilization

A new algorithm and a novel architecture suitable for FPGA/ASIC implementation of a video scalar is presented in this paper. The scheme proposed here results in enormous savings of memory normally required, without compromising on the image quality. In the present work, SVGA compatible video sequence is scaled up to XGA format. The up scaling operation for a video sequence is carried out by scaling up the image input, followed by down scaling and filtering. The FPGA implementation of the proposed video-scaling algorithm is capable of processing high-resolution, color pictures of sizes of up to 1024 x 768 pixels at the real time video rate of 30 frames/s. The video scalar is capable of scaling down XGA format to SVGA format as well. The design has been realized by RTL

compliant Verilog coding, and fits into a single chip with a gate count utilization of two million gates. For lower resolution pictures, the mapped device can be scaled down. The present FPGA implementation compares favorably with another ASIC implementation. Also, an MPEG-2 codec implementation is presented for use in applications, where the video scalar and codec may be used to reduce transmission bit rate. Transmission of high resolution pictures of XGA format and above, even after effecting compression, demand very high serial channel bandwidth requirement, far exceeding the prescribed maximum by MPEG-2 standards. This can be circumvented by down scaling and then effecting compression before transmission, trading off for a little image quality, as presented in this paper. (c) 2004 Elsevier B.V. All rights reserved.

7. 学位论文 [赵慧波 用于平板显示器的图像缩放引擎的设计与研究](#) 2005

定标器是应用于平板显示系统中的图像缩放芯片,它解决图像输入和输出分辨率不匹配的矛盾,完成图像的缩放处理。本文在研究平板显示技术理论与实现以及定标器在平板显示系统中作用的基础上,采用由上至下(TOP-DOWN)的设计方法,给出了该图像缩放引擎芯片的前端设计和FPGA验证实现。该缩放芯片可以实现对不同分辨率输入图像的缩放处理,然后固定分辨率输出到平板显示屏上显示,同时本设计也可以以IPcore的形式应用于相关的图像处理系统。本文从定标器的结构和算法研究入手,详细介绍全新的结构设计,算法选择,VLSI设计实现和FPGA验证实现。定标器的核心部分是缩放内核,内核的关键在于算法,因此本文分别研究BilinearInterpolation算法和BicubicInterpolation算法,比较两种算法中那个可以降低硬件电路实现的复杂度,节省芯片资源和降低芯片成本,同时也可以满足图像质量的要求,经过对比研究,最后采用双线性插值算法实现缩放引擎。在电路实现上,采用倒置型滤波器的流水线结构实现对像素数据的水平和垂直缩放处理,这样不仅可以稳定地实现数据处理过程,同时还可以通过精简乘法器和加法器来降低芯片成本,提高电路处理速度,实现0.5至4倍的缩放比。对于VGA(640×480)、SVGA(800×600)、XGA(1024×768)以及SXGA(1280×1024)模式的输入信号,该结构和算法均能以帧同步的方式将输入图像缩放至XGA模式显示。在图像增强处理(后端处理)的设计时,考虑到算法和结构的不足,采用了锐化处理、对比度/亮度增强、伽马校正和抖动处理来对缩放后图像质量进行有效补偿。同时在设计中,尽量采用模块复用的设计思想,达到较为规整的电路结构,节省了电路面积。本设计用VerilogHDL实现了该图像缩放引擎,使用EDA工具进行了逻辑仿真和验证,并用FPGA芯片来进行方案验证,详细介绍了FPGA测试环境的搭建和测试。通过逻辑验证和系统仿真,该图像缩放芯片满足预期的功能要求,对于不同分辨率的输入图像,均可以在液晶显示屏上得到稳定清晰的XGA模式显示图像。

8. 外文会议 [Ruoduan Sun Design of Drivers for tiny LCD reticule image generator used for optical measurement](#)

Replacing some optical vitreous reticules with digital reticule images generated by high-resolution tiny Liquid Crystal Device (LCD) can avoid repeating operations of installing, adjusting and focusing optical vitreous reticules during optical multi-parameter measurement. In this way, optical multi-parameter measurement's efficiency and precision can be enhanced obviously. For this brainchild, we designed an instrument with hardware by utilizing Field Programmable Gate Array (FPGA) The FPGA's main function is to fulfill a XGA signal driving circuit. This circuit generates 'horizontal synchronization signal', 'field synchronization signal' and 'video signal' which can drive the tiny LCD. At the same time, designing device driver programs such as external SRAM memory under embedded Linux operation system is another most important job in software aspect for the apparatus This apparatus makes high-resolution and high-capacity digital reticule images displaying on tiny LCD accurately and rapidly, This paper mainly introduces the design method and process of 'standard XGA signals driver circuit' and 'device driver programs under embedded Linux'.

9. 外文会议 [Ruoduan Sun Design of Drivers for tiny LCD reticule image generator used for optical measurement](#)

Replacing some optical vitreous reticules with digital reticule images generated by high-resolution tiny Liquid Crystal Device (LCD) can avoid repeating operations of installing, adjusting and focusing optical vitreous reticules during optical multi-parameter measurement. In this way, optical multi-parameter measurement's efficiency and precision can be enhanced obviously. For this brainchild, we designed an instrument with hardware by utilizing Field Programmable Gate Array (FPGA). The FPGA's main function is to fulfill a XGA signal driving circuit. This circuit generates 'horizontal synchronization signal', 'field synchronization signal' and 'video signal' which can drive the tiny LCD. At the same time, designing device driver programs such as external SRAM memory under embedded Linux operation system is another most important job in software aspect for the apparatus. This apparatus makes high-resolution and high-capacity digital reticule images displaying on tiny LCD accurately and rapidly. This paper mainly introduces the design method and process of 'standard XGA signals driver circuit' and 'device driver programs under embedded Linux'.

10. 期刊论文 [郭凡. 赵峰. 陈少磊. 周坚锋. GUO Fan. HAO Feng. CHEN Shao-lei. ZHOU Jian-feng 一种基于FPGA的加速图形发生器的设计](#)-航空电子技术2008, 39(4)

介绍了一种采用FPGA芯片构建硬件加速器的图形发生器的设计.在24位色模式下该图形发生器可支持最高分辨率为SXGA(1280×1024),实际应用和试验表明,在XGA(1024×768)分辨率和24位色模式下可完成场景复杂度1.5以内的二维图形实时生成,并能满足高可靠性和苛刻环境使用要求.

引证文献(1条)

1. [覃永新. 陈文辉. 章帆 实时视频数据采集的FPGA实现](#)[期刊论文]-[电子技术应用](#) 2009(9)

本文链接: http://d.g.wanfangdata.com.cn/Periodical_dzjsyy200710022.aspx

授权使用: 陕西理工学院(sxlgxy), 授权号: b858eee4-ddc2-44d7-a126-9df2010afa8b

下载时间: 2010年9月15日