

多分辨率图像实时采集系统的 FPGA 逻辑设计

北京航空航天大学计算机系数字媒体室(100083) 刘德良 姚春莲 李 炜 葛宝珊

北京航空航天大学自动化科学与电气工程学院(100083) 刁修民

TV91 B

摘 要: 提出了一种基于 FPGA 的实时、多分辨率图像采集系统的控制逻辑设计方案;并对其中的图像数据预处理和帧存乒乓刷新机制这两个关键技术进行了阐述;为了验证图像采集系统在整个图像处理系统中所起的作用,还对图像压缩系统的帧率进行了比较实验。实验结果表明,设计并实现的图像采集系统不仅运行稳定,而且显著提高了图像处理系统的整体性能。

关键词: FPGA 图像采集 图像压缩

随着数字多媒体技术的不断发展,数字图像处理技术被广泛应用于可视电话、电视会议、监控系统等各种民用、商业及工业生产领域中。但在这些数字图像处理系统中,一个突出的问题就是数据量庞大,特别是在图像帧率及分辨率要求比较高的场合下,仅用专用的视频压缩芯片(Video ASIC)、专用的视频信号处理器(Video DSP)或通用的高性能数字信号处理芯片(DSP),均无法获得令人满意的效果。为此,人们提出了多种解决方案,其中比较有代表性的方案有以下两种:

一是在中央控制器的调度下,两片或多片图像处理主芯片并行对图像进行处理。

二是整个图像处理系统由图像采集系统和图像压缩系统组成,其中图像采集系统负责接收原始的图像数据并对其进行一定的预处理;图像压缩系统负责接收图像采集系统预处理后的数据并进行压缩。

本文将基于第二种方案,分析其中图像采集系统的控制逻辑设计思路;并结合图像压缩算法的需求,着重介绍图像数据预处理的控制流程及实现方法;最后通过实验,对预处理前后图像处理系统的效率进行比较分析。

1 图像采集系统的结构及工作原理

本文以高性能、高集成度、低功耗系列 FPGA 作为核心部件,利用 FPGA 的在系统可编程以及控制逻辑实现方式灵活等特点,设计出图像采集系统。该系统能够满足多分辨率灰度和彩色图像的实时压缩处理要求,其硬件结构如图 1 所示,主要包括 A/D 转换部分、帧存部分和核心控制部分。下面分别对这三个部分进行介绍。

1.1 A/D 转换部分

A/D 转换部分即图 1 中的视频解码器,用来完成模拟视频信号到数字信号的转换,产生复合的 YUV 数据流,并送入采集系统的 FPGA 中。

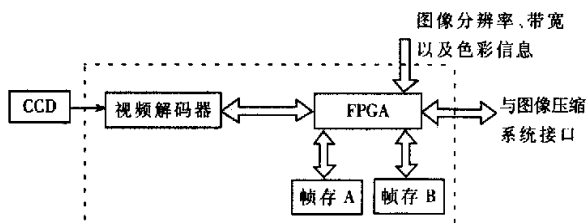


图 1 图像采集系统硬件结构图

(接上页)

速存储器的读写操作时序进行编程,或是延迟量不够,或是两个信号的先后次序弄反了,数据可能根本没有写进去,读出的数据当然是错的。在严格按照其说明书的时序进行编程控制后,数据的读写擦除操作完全正常。

在播放录音数据时,曾出现声音跳变不连续的问题,经分析发现原因在于地址定位时出错。因为对闪存存储器操作时每次读写都是一帧数据,而编解码时一次操作的数据为 20/24 个字节,两者长度不一样,需要进行转换操作。

LCD 开始调试时没有信息显示。经分析发现原因在于工作周期。本系统中 ADSP-2181 处理器的机器周期

为 30ns,经设定最大的等待周期为 7 机器周期后也才有 240ns,而 LCD 的工作使能脉宽至少要 300ns。因此在硬件上增加了一单稳延迟电路,这样便解决了此问题。

参考文献

- 1 杨行峻,迟惠生,语音信号数字处理,北京:电子工业出版社,1995
- 2 ITU-T DRAFT G.723[z].INTERNATIONAL TELECOMMUNICATION UNION,1995
- 3 DSP Microcomputer ADSP-2181[z]. USA: ANALOG DEVICES Inc., 1997
- 4 Flash Memory Data Book[z]. Korea: SAMSUNG, 1998

(收稿日期:2002-08-27)

《电子技术应用》2003 年第 3 期

本刊投稿邮箱:eta@ncse.com.cn 69

A/D 转换部分所选用的视频解码器是 Philips 公司的视频 A/D 芯片 SAA7111A_4, 它不仅具有自动场频检测特性, 而且其场同步参考信号 VREF、行同步参考信号 HREF、奇偶场标志信号 RTS0、像素时钟信号 LLC2 均可从芯片的输出管脚直接得到, 从而简化了时钟锁相与同步功能模块的设计, 使整个系统的性能和稳定性均有所提高, 同时减少了整个系统的功耗^[2]。

1.2 帧存部分

帧存部分采用双帧存结构, 包括图 1 中的帧存 A 与帧存 B, 每个帧存由两片 IDT71V424 SRAM 构成, 能够存放 720×576 分辨率的一帧 YUV 图像数据。由于采用了乒乓机制, 这种结构能够使图像数据的采集与压缩并行, 从而提高图像的压缩帧率。

1.3 核心控制部分

采集系统的核心控制部分即图 1 中的 FPGA。首先对 A/D 转换部分的输出数据流进行一定的预处理; 其次将预处理后的数据在帧存乒乓、刷新机制的控制下写入适当帧存中; 最后完成与图像压缩系统的接口控制, 即适时将帧存的控制权转交给图像压缩系统, 由图像压缩系统将帧存中的数据读出后释放帧存的控制权。另外本部分还负责接收用户输入的图像分辨率、色彩以及相应压缩码流传输信道的带宽等控制信息, 并在这些信息发生变化时用中断的方式通知图像压缩系统。

核心控制部分所选用的 FPGA 为 Xilinx 公司的 Virtex-100E 系列, 它具有 10 万等效系统门, 系统时钟频率可达 240MHz, 用户可用的 I/O 管脚有 196 个, 核电压为 1.8V, 峰值功耗较低^[3]。

1.3.1 图像采集系统控制逻辑功能框图

图像采集系统控制逻辑框图如图 2 所示。①作为采集系统核心控制逻辑的主控模块, 用来调用②~⑥各子功能模块。子功能模块②是整个控制逻辑执行的起点, 它根据 I²C 协议来配置视频解码器, 并且只有 I²C 配置过程结束后, 才能启动其它子功能模块的运行。子功能模块③用于完成图像采集系统与图像压缩系统的交互。子功能模块④~⑥用于完成图像采集、预处理、存储控制等功能。下边分别介绍各子模块的设计思想。

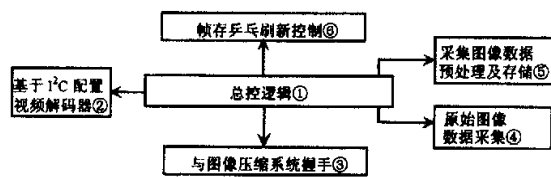


图2 采集系统控制逻辑框图

1.3.2 基于 I²C 配置视频解码器

视频解码器的初始化配置是由 FPGA 通过 I²C 总线完成的, 主要包括对视频解码器的工作模式、输出行场同步参考信号的时序关系以及输出数字信号的格式等

进行的设置。

1.3.3 与图像压缩系统握手

为了确保图像压缩系统与图像采集系统的同步, 需要在 FPGA 中实现两者之间的握手机制, 主要是接收图像压缩系统请求帧存控制权和释放帧存控制权的信号, 并根据 FPGA 内部逻辑的当前运行状态进行响应。

1.3.4 原始图像数据采集

在一帧图像数据的采集过程中, 最重要的就是对一帧图像数据开始和结束时刻的判断。在仔细研究了 SAA7111A_4 所提供的同步信号 (奇偶场标识信号 RTS0、场同步参考信号 VREF、行同步参考信号 HREF) 的时序关系的基础上, 用状态机实现了对采集过程起止点的精确控制。图 3 所示为一帧图像采集期间三个同步信号的时序示意图。



图3 视频同步信号时序关系示意图

RTS0 信号的上升沿标识一帧新图像的起点, VREF 信号为高电平对应图像场正程扫描时的有效像素行期间, 在有效像素行期间, HREF 信号为高电平对应像素的有效采样时间。基于这三个信号确定一帧图像采集过程起止点的流程如下:

- ① 若检测到 RTS0 信号的电平为低, 转到②;
- ② 若检测到 RTS0 信号的电平为高, 转到③, 同时开始一帧新图像的采集;
- ③ 若检测到 VREF 信号的电平为高, 转到④;
- ④ 若检测到 VREF 信号的电平为低, 则表明 352×288 分辨率模式下的一帧图像采集过程结束或 720×576 分辨率模式下的第一场图像采集过程结束, 转到⑤, 否则在 HREF 信号的电平为高期间进行有效的图像数据采集;
- ⑤ 若检测到 VREF 信号的电平为高, 转到⑥;
- ⑥ 若检测到 VREF 信号的电平为低, 则表明 720×576 分辨率模式下第二场图像采集过程结束, 转到①, 否则在 HREF 信号的电平为高期间进行有效的图像数据采集。

1.3.5 采集图像数据的预处理及存储

图像压缩系统所需要的输入图像数据流是按照宏块—SLICE—图像的分层结构组织的, 如图 4 所示 (以 720×576 分辨率为例)。而在图像采集系统中, A/D 转换后的输出数据流结构如图 5 所示。因此, 必须对图 5 所示的数据流进行相应的预处理, 图像压缩系统才能够直接从图像采集系统中得到所需要的数据格式, 从而提高整个图像处理系统的性能。

按照图 4 所示的分层结构, 图像数据在帧存中以 SLICE 为单位顺序存储, 其中 SLICE 的尺寸既要考虑图像压缩系统中图像压缩算法的要求, 又要考虑与图像分辨率有着密切的关系。图 6 所示为图像数据在帧存中的

《电子技术应用》2003 年第 3 期

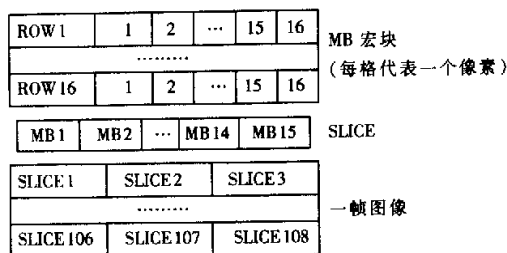


图4 图像压缩系统所需输入数据流结构

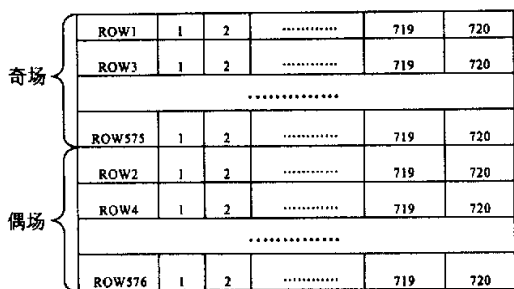


图5 图像采集系统A/D转换后的输出数据流结构

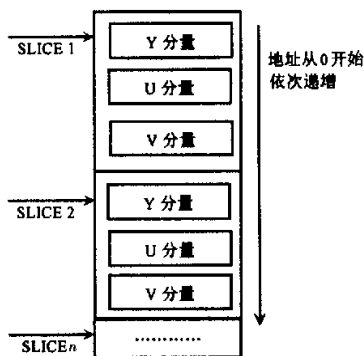


图6 图像数据在帧存中的存储结构

存储结构。下面主要以720×576分辨率下的图像为例讨论数据存储地址的计算。

由A/D转换输出数据格式与图像压缩系统输入数据格式间的对应关系可知，一帧图像中的任意像素可以用分层寻址方式准确定位，并据此产生此像素所对应的三个分量的帧存存储地址值。首先，从一帧图像的第一行开始，每连续的16行作为一个像素块，称为行块，一帧720×576分辨率的图像可划分为36个行块；其次，每一个行块又在水平方向上平均分为3段，每段称为一个列组，每个列组的宽度为水平方向上连续的240个像素，高度为垂直方向上连续的16行。720×576图像像素分层寻址示意图如图7所示。Y、U、V三个分量在帧存中的存储地址产生过程如下：首先确定像素所属行块在一帧图像中的偏移量及像素所属列组在行块中的偏移量，即确定行块序号和列组序号；然后确定像素在所属

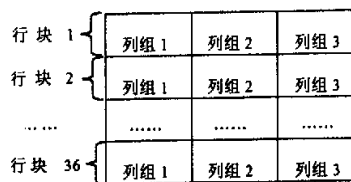


图7 720×576图像像素分层寻址示意图

列组中水平方向上和垂直方向上的偏移量；最后根据上述4个偏移量计数器的值即可产生此像素所对应的三个分量的帧存存储地址值。

在720×576分辨率下，一帧图像中任一像素的Y、U、V分量对应的帧存地址计算公式如下：

$$y_addr = (C-1) \times 8640 + (E-1) \times 2880 + (D-1) \times 120 + (F-2) / 2$$

$$u_addr = (C-1) \times 8640 + (E-1) \times 2880 + ((D-1) / 2) \times 60 + (F-3) / 4 + 1920$$

$$v_addr = (C-1) \times 8640 + (E-1) \times 2880 + ((D-1) / 2) \times 60 + (F-4) / 4 + 2400$$

式中，y_addr、u_addr、v_addr分别对应Y、U、V三个分量的帧存存储地址；C表示行块序号，取值范围为1~36；D表示在列组中垂直方向上的偏移量，取值范围为1~16；E表示列组序号，取值范围为1~3；F表示在列组中水平方向上的偏移量，取值范围为1~240。

上述地址计算公式在FPGA中实现时，考虑到各乘积项常数(8640、2880等)所对应的二进制数中“1”较少，可将各乘积运算转化为移位与加法运算的组合，并将加法操作分组超前进位^[4]方式实现。

1.3.6 帧存乒乓刷新控制机制

两组帧存的读写通过乒乓机制来管理。为确保在任何时刻，最多只有一个帧存处于图像压缩系统的控制下，设置了一个读互斥锁；同样，最多有一个帧存可接收预处理后的数据，因此又设置了一个写互斥锁。

因为图像压缩系统的压缩帧率在720×576分辨率下小于25帧/秒，为了保证图像压缩系统每次从采集系统所得到的一帧图像数据是最近由FPGA预处理过的，使得图像延时较小，设计了双帧存刷新机制^[5]。

在系统初始状态，帧存A处于等待写状态，帧存B处于读结束状态。采集过程开始，两个帧存的状态转换控制流程完全相同。下边以帧存A为例介绍基于读写互斥锁的帧存控制机制。帧存乒乓刷新控制机制如图8所示，其设计思想如下：

①采集过程未开始，帧存A处于等待写状态，并获得写互斥锁；

②收到一帧新图像的开始信号，采集过程开始，帧存A进入可写状态，接收图像数据；

③一帧图像的采集过程结束后，帧存A进入写结束状态，并释放写互斥锁；

④在写结束状态下，若此时帧存B拥有读互斥锁，

表 1 图像采集系统对整个图像处理系统的性能影响

图像分辨率	720×576				352×288			
	有		无		有		无	
采集系统的预处理			提高百分比				提高百分比	
灰度图像压缩帧率(帧/秒)	13	8	62.5%		25	25	0%	
彩色图像压缩帧率(帧/秒)	10	6	66.7%		25	22	12%	

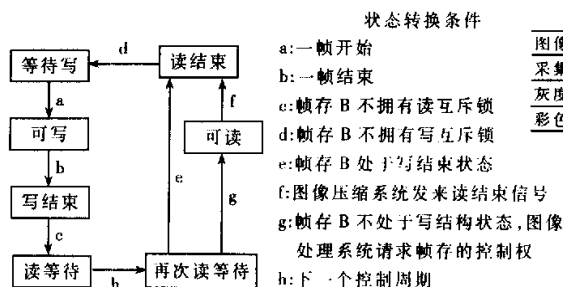


图 8 帧存乒乓、刷新控制机制(以帧存 A 为例)

则帧存 A 保持写结束状态,否则帧存 A 获得读互斥锁,进入读等待状态,并在下一个控制周期切换到再次读等待状态;

⑤ 帧存 A 在再次读等待状态下,如果帧存 B 处于写结束状态,则帧存 A 释放读互斥锁,进入读结束状态,否则若图像压缩系统请求帧存的控制权,则帧存 A 进入可读状态,并处于图像压缩系统的控制下,若以上两个条件均不满足,则帧存 A 保持再次读等待状态;

⑥ 在可读状态下,若图像压缩系统请求 FPGA 回收帧存控制权,则帧存 A 进入读结束状态,并释放读互斥锁;

⑦ 在读结束状态下,若帧存 B 拥有写互斥锁,则帧存 A 保持读结束状态,否则帧存 A 进入等待写状态,并获得写互斥锁。

2 FPGA 逻辑设计中的常见问题讨论

在 FPGA 内部,由于 LLC2 时钟驱动的逻辑非常多,布线寻径优化的选择余地小,从而导致它到达每个逻辑模块驱动端的时间有一定的差异。在极端情况下这一差异(Skew)会非常大,并导致逻辑执行时的时序错误。因此在基于 FPGA 进行逻辑设计时,尽管各逻辑模块及模块间的通信信号基本上都是由 LLC2 驱动的,但模块间的通信信号与通信的接收方模块应视为异步,并按异步逻辑的思路实现模块间的通信机制^[6-7]。

另外本设计中 LLC2 的时钟频率达 13.5MHz,且 FPGA 内部逻辑资源的使用率已经超过了 70%。为了确保控制逻辑在 FPGA 中的稳定运行,需要对设计进行精心的时序仿真,提高仿真程序的测试覆盖率,并对实现(Implementation)过程中生成的静态时序分析报告仔细研究,确定设计中的时序关键路径,采用先修改设计、分割关键路径,后加限制条件的方式,尽量减少关键路径的个数、降低关键路径的延时。

在对设计进行仿真验证的过程中,要尽量将所发现毛刺的发生条件找出,并用修改源设计的方法将其去除。

3 实验结果

为了验证图像采集系统的作用,进行了对比实验,实验结果如表 1 所示。

在两种分辨率下,经过图像采集系统的预处理,图

像压缩系统的帧率有不同程度的提高,尤其是在 720×576 分辨率下,帧率的提高超过了 60%。这主要是由于图像采集系统预处理机制的采用,使得图像压缩系统能够与图像采集系统并行工作,在很大程度上减少了图像压缩系统的等待执行时间,从而提高了图像压缩系统的压缩帧率。从表 1 中可以看到,在 352×288 分辨率下,整个系统的性能提高不大(甚至没有变化)。这是因为在此分辨率下,图像数据量较小,仅靠图像压缩系统的处理能力即可达到实时效果,所以图像采集系统预处理机制的采用无法进一步提高整个系统的性能。

当然,本采集系统还存在改进的余地^[8],具体来说有以下两点:

① 基于 FPGA 实现的图像预处理操作若具有图像增强、去噪等功能,并对图像的场/帧变换进行一定的处理,会使图像采集系统的输出图像质量得到很大的提高。

② 帧存乒乓刷新机制在实用中还有一定的局限性,图像的主观延迟效果不是很理想,而且有时会使图像压缩系统的读数据请求不能立即得到响应。考虑到系统的性价比,如果用一片高密度的 SDRAM 作为存储器,并且将它物理上分为三个帧存,通过这三个帧存之间的乒乓机制,相信采集系统所输出的图像在主观效果上会优于本文所采用的双帧存结构。

参考文献

- 沙吉乐,曲兴华,关红彦.基于 FPGA 技术的新型高速图像采集.电子技术应用,2000;26(9)
- Ricardo Zebulum, Adrian Stoica, Didier Keymeulen. Experiments on the Evolution of Digital to Analog Converters. IEEE, 2001;5:2321~2331
- The Programmable Logic Data Book. Xilinx Company, 2001
- 蒋小龙.算术逻辑器件设计.可编程逻辑器件中文网站, 2001.7.5(www.FPGA.com.cn)
- 潘志扬,潘俊民.基于双内存的图形采集卡的设计.电子技术应用,2000;26(11)
- 樊昌信.数字专用集成电路设计.北京:人民邮电出版社, 1993
- 齐怀印,卢锦.高级逻辑器件与设计.北京:电子工业出版社, 1996
- DongLai Xu, Said Boussakta, John P Bentley. AN FPGA-BASED LOW-COST FRAME GRABBER FOR IMAGE PROCESSING APPLICATIONS. IEEE, 2000;1:333~336

(收稿日期:2002-09-07)

多分辨率图像实时采集系统的FPGA逻辑设计

作者: [刘德良](#), [姚春莲](#), [李炜](#), [葛宝珊](#), [刁修民](#)

作者单位: [刘德良,姚春莲,李炜,葛宝珊\(北京航空航天大学计算机系数字媒体室,100083\)](#), [刁修民\(北京航空航天大学自动化科学与电气工程学院,100083\)](#)

刊名: [电子技术应用](#) **ISTIC** **PKU**

英文刊名: [APPLICATION OF ELECTRONIC TECHNIQUE](#)

年,卷(期): 2003, 29(3)

被引用次数: 26次

参考文献(8条)

1. 沙吉乐, 曲兴华, 关红彦. [基于FPGA技术的新型高速图像采集](#) [期刊论文]-[电子技术应用](#) 2000 (09)
2. Ricardo Zebulum, Adrian Stoica, Didier Keymeulen. [Experiments on the Evolution of Digital to Analog Converters](#) 2001
3. [The Programmable Logic Data Book](#) 2001
4. 蒋小龙. [算术逻辑部件设计](#) 2001
5. 潘志扬, 潘俊民. [基于双内存的图形采集卡的设计](#) [期刊论文]-[电子技术应用](#) 2000 (11)
6. 樊昌信. [数字专用集成电路设计](#) 1993
7. 齐怀印, 卢锦. [高级逻辑器件与设计](#) 1996
8. Donglai Xu, Said Boussakta, John P Bentley. [AN FPGA BASED LOW-COST FRAME GRABBER FOR IMAGE PROCESSING APPLICATIONS](#) 2000

相似文献(10条)

1. 学位论文 佟大鹏. [基于FPGA和PCI接口的图像采集压缩卡设计](#) 2007

随着数字图像处理的应用领域不断扩大, 实时处理技术成为研究的热点。VLSI技术的迅猛发展为数字图像实时处理技术提供了硬件基础。其中FPGA(现场可编程门阵列)的特点使其在图像采集和处理方面的应用显得更加经济、灵活、方便。

本文设计了一种以FPGA为工作核心, 并实现了PCI接口的图像采集压缩系统。整个系统采用了自顶向下的设计方案, 先把系统分成了三大块, 即图像采集、PCI接口和图像压缩, 然后分别设计各个大模块中的子模块。

首先, 利用FPGA对专用视频转换器SAA7111A进行控制, 因为SAA7111A是采用I²C总线控制的, 本系统利用VHDL语言的描述在FPGA芯片中模拟了I²C总线模块, 从而完成了对SAA7111A的控制, 并通过设计图像采集模块、读/写数据模块、总线管理模块等, 实现把标准的模拟视频信号转换成数字视频信号并采集的功能。

其次, 在了解PCI规范的前提下, 深入地分析了PCI时序和地址配置空间等, 设计了简化逻辑的状态机, 并用VHDL硬件描述语言设计了程序, 完成了简化逻辑的PCI接口设计在FPGA芯片内部的实现, 达到了一33MHz、32位数据宽度、支持猝发传输的PCI从设备模块的接口功能, 与传统的使用PCI专用接口芯片来实现的PCI接口比较来看, 更加节约了系统的逻辑资源, 降低了成本, 增加了设计的灵活性。

再次, 设计了WINDOWS下对PCI接口的驱动程序。驱动程序可以选择不同的方法来完成, 当然每个方法都有自己的特点, 对几种主要设计驱动程序的方法作以比较之后, 本文选择了使用DRIVER WORKS工具来完成。通过对配置空间的设计、系统端口和内存映射的设计、中断服务的设计等, 用VC++语言编写了驱动程序。

最后, 考虑到增加系统的实用性和完备性, 还填加设计了图像的压缩部分。这部分需要完成的工作是在上述系统完成后, 再额外地把采集来的视频数据通过另一路数据通道按照一定的格式压缩后存储到硬盘中。本系统中, 这部分设计是利用Altera公司提供的IP核来完成压缩的, 同时还用VHDL语言在FPGA上设计了IDE硬盘接口, 使压缩后的数据存储到硬盘中。

2. 期刊论文 孙成志, 解梅, 傅海东, Sun Chengzhi, Xie Mei, Fu Haidong. [基于FPGA的图像采集模块设计-单片机与嵌入式系统应用](#) 2008, "" (11)

介绍一种通用的高速前端图像采集模块。该模块主要由视频解码芯片SAA7113H和FPGA组成, 图像数据通过模拟摄像机获取图像, 经过SAA7113H转换成数字图像信号后, 由FPGA对图像采集进行控制。在图像采集的过程中, 采用状态机的方式对FPGA内部的2个RAM块进行乒乓操作来采集图像数据。编写FPGA程序, 并进行相关仿真及实际调试操作。结果证明, 该采集模块具有很好的可行性及稳定性。此模块不需要外部存储器, 能够运用在各种图像处理系统的前端。

3. 学位论文 龚涛. [基于FPGA的图像采集处理系统](#) 2005

纺织行业中的布匹疵点检测过程目前仍然通过人工检测的方式进行, 为了实现该环节的自动化, 必须实现对布匹图像的采集。本文讨论的基于FPGA的图像采集处理系统实现了对布匹图像的采集和预处理。完成的工作包括: 系统总体方案设计、硬件设计、FPGA实现逻辑、图像处理算法的FPGA实现以及算法的改进。本文首先分析了图像采集处理系统的现状, 比较FPGA、DSP和ASIC三种芯片作为图像采集处理系统核心芯片的优缺点, 结合项目背景和需求, 提出基于FPGA的图像采集处理系统的整体方案。该方案中各个外围接口的控制逻辑、芯片控制逻辑、算法处理模块均由FPGA实现, 与上位机之间的通讯通过PCI总线完成。本文在介绍图像采集处理卡的硬件结构及FPGA实现的各个功能和接口模块的基础上, 详细讨论了图像采集处理系统中硬件设备和各个实现方案的选择包括摄像头的选择、帧缓存实现方案的选择、PCI总线接口实现的选择、FPGA芯片的选择及FPGA配置方案的选择等问题。系统中FPGA实现各种外围逻辑控制和图像预处理算法, FPGA的内部逻辑设计和算法实现是本文讨论的重点。大量外围芯片功能集中在单个FPGA芯片中, 提高了系统的集成度和可靠性, 在此基础上进一步对系统优化。分析系统中数据流的特点, 通过FPGA实现优化的数据读写过程, 提高数据读写速率。本文最后对常见图像预处理算法做出分析, 包括图像的滤波与边缘检测等处理方法, 得出预处理中卷积算法是重复使用较多的算法, 接下来提出几种FPGA实现卷积算法的方案, 讨论FPGA实现卷积算法方案上的改进。使得系统的图像处理速度得到提高, 从而提高整个系统的性能。

4. 期刊论文 王理想, 田西柱. [一种DSP+FPGA机制的警用执法实时图像采集存储系统设计-警察技术](#) 2009, "" (6)

基于当前警察系统在执法中遇到的问题,设计了一种由DSP芯片和FPGA芯片组成的实时图像采集存储系统.文章首先阐述了系统的整体设计思想,然后介绍了系统的硬件组成及电路的连接以及图像采集和存储实现的过程.

5. 学位论文 [郑容 基于FPGA的图像采集与预处理系统设计](#) 2009

汽车工业的发展给人们带来很大便利的同时,也给交通系统带来了巨大的压力。其日趋明显的危害使人们更加关注汽车安全问题。本文作为基于视觉的汽车自动防撞系统的前端图像采集与预处理部分,在解决汽车安全性问题上具有十分重要的意义。

本文比较了计算机、DSP、ASIC和FPGA在嵌入式实时系统中的应用,分析FPGA在图像实时性处理方面的优势,研究FPGA设计上的灵活性、软硬件的可编程性、良好的集成性等特点,分析FPGA的设计流程及开发环境。结合实时图像处理数据量大的特点,确定FPGA作为系统的核心芯片。

本系统主要由图像采集、图像存储、图像处理和实时显示等模块组成。图像采集部分采用模拟CCD图像传感器作为视频的输入,由视频AD芯片SAA7113完成模拟到数字信号的转换,FPGA完成对SAA7113的配置以及有效亮度信号的提取。由于图像采集模块获取的图像数据量十分可观,因此本系统采用一块32MB的SDRAM完成数据的存储。并在FPGA中实现了一个简化的SDRAM控制器,用以完成对SDRAM的初始化、定时刷新、连续读写等功能。图像处理模块实现中值滤波和边缘检测两种算法,在这两种算法的硬件实现中采用了流水线处理技术,显著提高了处理速度。实时显示模块将经过处理后的图像数据送至DA芯片,并产生出VGA时序,通过VGA显示器即可实时观察图像处理后的效果。

另外,为了方便调试和程序设计,还在FPGA内部生成一个NiosII内核及一些相关组件,包括两个双向PIO、Flash控制器等。其中两个双向PIO用来模拟I2C总线,完成对SAA7113的配置,Flash控制器用于与外部Flash芯片连接。

本文重点在于系统硬件和接口模块设计。在硬件设计中,器件选型和PCB设计是难点;在接口模块中,图像采集与存储是难点;在图像算法方面,本文更注重其硬件实现过程。目前基于设计目标所开发出来的电路板已通过调试,并能实时显示处理后的图像。

6. 期刊论文 [郑容.朱宏辉.ZHENG Rong,ZHU Honghui 基于FPGA的图像采集及VGA显示](#) -[交通信息与安全](#)2009, 27 (4)

根据汽车自动防撞系统前端图像采集模块对实时性处理要求高的特点,提出了1种基于FPGA的图像采集及VGA显示系统的设计方案.系统中FPGA主要完成对AD芯片的配置,从数字图像信号中提取时序信息和亮度信号,实现去隔行操作以及产生标准的VGA时序等.实验表明,该方案在满足图像质量要求的同时,较好地兼顾了实时性需求.

7. 学位论文 [吴泽勇 基于FPGA技术的图像采集设备运动控制研究](#) 2006

随着计算机技术的发展,特别是计算机运行速度的提高,图像处理在工程技术许多领域的应用越来越广泛。岩心扫描仪主要用于现场采集岩心的数字图像信息,为油、气井的钻探提供基础资料。岩心扫描仪主要由机架、图像采集系统和运动控制系统组成。传统岩心扫描仪的运动控制系统包括图像采集装置(面阵感光元件或线阵感光元件)的直线运动控制和岩心的回转运动控制两部分。传统岩心扫描仪的运动控制系统由计算机、计算机接口、数控系统、减速装置、滚珠丝杆等组成。由于传动链长,运动控制复杂,导致扫描体的体积大、重量重、运动精度低,不利于“便携”操作。基于光栅定位的便携式扫描仪充分发挥光栅位置检测的优势,采用“运动以手动操作为主,计算机被动检测控制”的原理,取消了包括数控系统、减速装置和滚珠丝杆在内的硬件装置,在保证图像质量的前提下,大幅度减小了扫描仪的重量,降低了生产成本,实现了便携功能。本课题主要研究基于被动运动控制扫描仪的运动原理和实现方法。

由于扫描仪的运动控制原理由主动控制变为被动控制,其技术关键是提高信号采集的速度。现场可编程门阵列(Field Programmable Gate Array, FPGA)是20世纪80年代出现的可编程逻辑器件。FPGA将半定制的门阵列电路的优点和可编程逻辑器件的用户可编程特性结合在一起,将大量的门电路集成在一起,设计的电子产品体积小、集成度和可靠性高,具有用户可编程特性,可以大大缩短设计周期。FPGA最大的优点是程序设计灵活,集成度高,数据处理速度快,为实现扫描仪被动检测的运动控制提供了硬件条件。

扫描仪摄像头的水平移动由手动完成。FPGA实时检测光栅信号,将光栅信号的处理集成到系统控制板上,将经过滤波整形后的信号直接送入FPGA芯片,由FPGA完成细分、辨向,位置、速度的测算等工作,通过内部的快速运算,在适当位置预先向扫描头发出拍照指令,准确控制摄像头在预先载入的目标位置上拍照。图片数据传送完成后开始下一次拍照。使用自主编制的图像处理软件将序列图片剪裁、拼接成整幅岩心图片。岩心的转动由微型无刷直流电机驱动。无刷直流电机具有动态响应性好、速度转矩比大的特点。使用同一个FPGA芯片对电机进行PID(Proportional, Integral, and Deftative Contr01)调节及逻辑控制,能很好实现无刷直流电机速度及位置伺服控制。

根据自上而下分层设计和模块化设计思想,采用输入图(Schematic)输入和硬件描述语言(Very-High-Speed Integrated Circuit Hardware DescriptionLallguage, VHDL)编程相结合的方法,对FPGA芯片进行编程,并完成运动控制的硬件结构设计。原理图输入能够快速实现逻辑真值表,能够方便地将设计人员熟悉的模拟逻辑电路快速转移到FPGA内部。VHDL硬件描述语言能支持硬件的设计、验证、综合和测试,既可以描述电路具体组成的结构,又可以描述电路功能。最后通过原理性实验证明运动控制原理和运动控制软硬件设计的正确性。

本文提出的基于FPGA技术的被动检测控制原理不仅可以用于岩心图像扫描仪的运动控制,还可应用于大幅面图像的高保真采集、图像定位、逆向工程等其他工程领域,具有重要的理论意义和实用价值。

8. 期刊论文 [李成.贺洋.LI Cheng,HE Yang 基于FPGA的图像采集模块的设计](#) -[电子设计工程](#)2009, 17 (3)

针对传统的PCI图像采集卡的弊端,采用OV7620和Cyclone系列FPGA设计了适用于便携式嵌入式系统的图像采集模块.该模块采用“乒乓模式”设计思想,具有8 Mbit的高速缓存空间,并利用嵌入式逻辑分析仪对原始图像数据的采集和缓存.系统实现图像原始数据的采集和缓存,保证图像数据的连续和完整性,该系统外部接口电路简单,便于使用和移植,具有体积小、功耗低、速度快等优点,可应用于便携式设备的图像采集.

9. 学位论文 [杨遂军 基于FPGA的高速图像采集技术研究](#) 2004

在现代测量和检测领域,基于图像法的自动检测系统得到了越来越广泛的应用.图像采集卡作为图像法获取信息的重要手段和基础器件,能够实现图像信息的采集、处理和视觉功能的扩展,是图像法测量和图像信息获取系统中的关键技术单元之一.该文在对国内外图像采集和处理技术的应用现状和发展趋势进行了系统分析的基础上,针对高速图像采集时存在的模数转换速率高、数据量大、运算复杂等问题,采用了现场可编程门阵列器件(Field Programmable Gate Array, FPGA)和数字信号处理器(Digital Signal Processor, DSP),实现了图像的高速采集和处理.具体研究内容和方法如下:首先,对标准视频信号格式进行深入分析,设计了基于高速A/D和FPGA的图像采集卡,其中,模数转换器速率为40MSPS, FPGA的工作频率为70MHz,并针对影响高速图像采集的若干因素,提出了改善措施和方法;其次,设计了视频放大电路和视频分离电路,对视频信号进行预处理,运用锁相环设计了同步信号发生器电路,解决了系统的同步问题;在行、场同步信号、A/D转换器和帧存储体之间的固有逻辑关系的基础上,采用硬件描述语言编制了图像采样、存储控制程序;再次,选用了5000系列的低功耗数字信号处理器,设计了图像处理电路;并以图像的边缘检测为例,采用Sobel算子实现了图像的边缘检测;最后,对高速电路板的布局和抗干扰技术进行了详尽的分析,讨论了高速电路板设计应遵循的一些基本要求;并对整个系统进行调试、实验,对硬件电路和图像处理的结果予以验证;综上所述,该课题采用FPGA和DSP完成了高速图像采集卡的研制,对相关的图像采集技术进行了有益的探索,并为高速图像采集卡各项功能的进一步扩展奠定了基础.

10. 学位论文 [阮照军 基于FPGA的图像采集与远程传输](#) 2009

油气田井口监控存在现场环境恶劣、维护困难,现有设备功耗大、无法实现远程监控等问题,本课题设计了基于FPGA为核心的图像采集、处理与远程传输系统。

本文主要研究内容包括以下部分:
图像采集部分实现视频信号的A/D转换。选用PHILIPS公司的SAA7115视频解码芯片,在FPGA上设计虚拟I2C总线配置其内部寄存器,将PAL制式、500×582像素的图像信号解码为ITU-656格式的数字视频信号。

外部存储部分完成数字图像信号的存储。选用IS61LV51216AL SRAM存储器和HY57V641620HG SDRAM存储器,其存储容量分别为512K×16bit和4M×16bit,满足了图像的存储要求。

压缩编码部分利用JPEG标准压缩算法实现数字图像信息的压缩。采用离散余弦变换和哈夫曼编码方法,在保证图像监控需要的条件下,压缩比达20:18,满足了远程传输的需要。

无线传输部分采用短波/超短波方式进行图像数据的无线远程传输。选用230MHz数传电台ND250A,其最高传输速率可达19.2Kbps,误码率≤10⁻⁷。VGA显示部分可实现本地视频监控。选用视频编码芯片ADV7123,完成数字图像信息到RGB信号的D/A转换,在本地CRT显示器上显示监控图像。

实验表明,本系统经过远程传输后显示频率可以达到3.5帧/分钟,传输距离可达上百公里,满足现场监控要求。

1. 王鲲鹏. [基于FPGA的视频滤波处理系统](#)[期刊论文]-[电脑知识与技术](#) 2009(12)
2. 单巍. [基于FPGA的视频信号采集系统的硬件设计](#)[期刊论文]-[淮北煤炭师范学院学报\(自然科学版\)](#) 2008(4)
3. 石磊, 罗鹏飞, 侯文杰. [基于FPGA的B超数字图像实时采集系统](#)[期刊论文]-[现代电子技术](#) 2008(4)
4. 石磊, 罗鹏飞. [新型嵌入式数字B超图像处理系统设计和实现](#)[期刊论文]-[科技信息\(学术版\)](#) 2007(24)
5. 林志琦, 张修谦, 富丽, 藏景峰. [基于TMS320F2812和CPLD的200万像素数字图像采集系统接口的设计](#)[期刊论文]-[长春理工大学学报\(自然科学版\)](#) 2007(2)
6. 刘佐濂, 何清平, 林展. [一种高分辨率视频转换系统的设计](#)[期刊论文]-[现代电子技术](#) 2006(3)
7. 刘佐濂, 何清平, 林展. [一种非标准视频至标准视频转换系统的设计](#)[期刊论文]-[广州大学学报\(自然科学版\)](#) 2006(2)
8. 王建平, 季学锋, 穆道明. [基于DSP的多路音/视频采集处理系统设计](#)[期刊论文]-[国外电子元器件](#) 2006(6)
9. 周如辉. [实时视频处理系统的乒乓缓存控制器设计](#)[期刊论文]-[单片机与嵌入式系统应用](#) 2006(7)
10. 李智. [港口多点无线图像监控系统的研究与实现](#)[学位论文]硕士 2006
11. 季学锋. [一种基于DSPs的多路音/视频采集处理系统的设计](#)[学位论文]硕士 2006
12. 彭飞. [拼接式等离子显示器VGA接口电路与驱动控制电路的研究与实现](#)[学位论文]硕士 2006
13. 高小强, 张晓林, 刘荣科. [基于Avalon总线的通用图像处理器的设计](#)[期刊论文]-[遥测遥控](#) 2005(6)
14. 刘超, 钱光弟. [用FPGA实现嵌入式视频图像信号实时采集](#)[期刊论文]-[实验科学与技术](#) 2005(2)
15. 来跃深, 尚雅层, 宋方林, 刘方, 陈晓. [用追赶法实现光栅-笔划兼容扫描](#)[期刊论文]-[电子技术应用](#) 2005(11)
16. 高尔龙. [基于DSP的嵌入式视频采集处理系统设计与实现](#)[学位论文]硕士 2005
17. 张贝. [基于嵌入式系统的网络视频监控系统前端研究](#)[学位论文]硕士 2005
18. 房斌. [高分辨率图像采集与叠加卡的设计与实现](#)[学位论文]硕士 2005
19. 黄永恒. [基于DSP的红外图像的实时压缩](#)[学位论文]硕士 2005
20. 晋兆虎. [信道编解码与交织解交织技术及应用](#)[学位论文]硕士 2005
21. 刘剑冰, 江冰. [电视图像中值滤波的硬件实现](#)[期刊论文]-[河海大学常州分校学报](#) 2004(2)
22. 郝志成. [图像采集系统及其小波域快速PCT去噪算法](#)[学位论文]硕士 2004
23. 娄景艺. [图像采集与预处理系统的设计与实现](#)[学位论文]硕士 2004
24. 史剑锋. [用DSP实现视频图像压缩与解压缩](#)[学位论文]硕士 2004
25. 邵炳清. [基于嵌入式Linux的数字图像采集系统研究](#)[学位论文]硕士 2004
26. 彭宣戈, 肖英, 朱兵, 冷明. [河流泥沙图像获取装置的研制](#)[期刊论文]-[井冈山大学学报\(自然科学版\)](#) 2010(1)

本文链接: http://d.g.wanfangdata.com.cn/Periodical_dzjsyy200303023.aspx

授权使用: 陕西理工学院(sxlgxy), 授权号: a57c7104-6250-49ce-8f59-9df2010787d4

下载时间: 2010年9月15日