

一种机载高分辨率图像实时压缩系统的设计*

田静安,毕笃彦,李权合

(空军工程大学 工程学院,陕西 西安 710038)

摘要: 为解决机载高分辨率图像的实时压缩问题,提出了一个基于 FPGA+PowerPC 的高分辨率图像实时压缩系统的设计方案。本系统主控采用 PowerPC 处理器,压缩芯片采用 ADV202,用 FPGA 实现图像数据流程中各个环节控制,最终输出数据为高性能的静止图像压缩标准 JPEG2000 格式。

关键词: 高分辨率图像;ADV202;FPGA;PowerPC;JPEG2000

中图分类号: TP391

文献标识码: A

Design of airborne real-time compression system for high resolution image

TIAN Jing An, BI Du Yan, LI Quan He

(Engineering College, Air Force Engineering University, Xi'an 710038, China)

Abstract: To achieve airborne real-time compression of high-resolution image, a novel design for high resolution image's compression is proposed in this paper and the design is based on FPGA and PowerPC. ADV202, whose output data format is JPEG2000, is selected as the compression chip. PowerPC is used as the computer and FPGA is used as the control machine of the image signal.

Key words: high resolution image; ADV202; FPGA; PowerPC; JPEG2000

随着多媒体技术的快速发展对数字图像的分辨率和处理速度提出了越来越高的要求。本文基于 FPGA+PowerPC 架构,设计出一种机载高分辨率图像实时压缩系统,可以实现对输入的高分辨率(4 008×5 344)图像的实时压缩,适合在各种复杂环境下工作,可应用于各种航拍、监控和侦察系统。

1 系统组成及工作原理

本系统是航空数码相机压缩存储系统的子系统,大系统主要由图像预处理模块、压缩模块和存储模块构成,本文主要针对压缩模块进行了设计。由于系统 CCD 输入图像分辨率较高,一幅完整图像数据的大小为 4 008×5 344×12 bit,约 33 MB,这样庞大的数据量对压缩系统的缓存和处理速度提出了很高的要求。根据系统任务要求,压缩系统属于机载系统,对 CCD 输入的图像完成 2 种功能。一种是每隔 3 幅图像抽取一幅进行有损压缩并通过载机传回地面实时显示;另一种是对图像进行无损压缩并直接存入电子盘中。综合以上考虑,本系

统选用 Freescale 公司 Power PC 处理器 MPC8245 作为主控 CPU, Analog Devices 公司图形图像编解码芯片 ADV202 作为压缩芯片, Xilinx 公司 XC2V1000-6FG456 作为各接口的逻辑控制,选用 2 片 SDRAM 进行乒乓方式交叉缓存。

如图 1 所示,本系统工作信号流程如下:图像数据经过 CCD 接口,由 FPGA 采集,暂时缓存在 SDRAM 中,然后由 FPGA 逻辑输入到 ADV202 的视频接口,经过

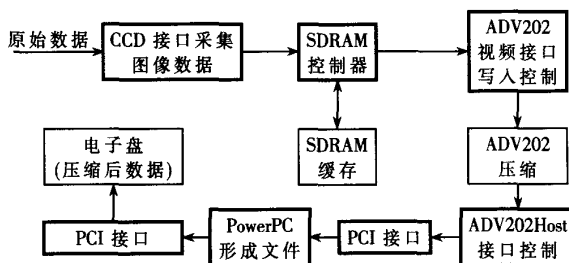


图 1 系统信号流程图

* 基金项目:国防重点实验室:9140c610301080c6106

ADV202 压缩后,由 PowerPC 经过 PCI 总线读取,形成文件,存入电子盘。

在图 1 中,做为缓存的 SDRAM 有 2 片,每个缓存一幅图像,交叉缓存。ADV202 也有 2 片,分别进行有损压缩和无损压缩。图中粗边框的功能模块由 FPGA 逻辑完成。

2 系统硬件设计

本系统基于 FPGA+PowerPC 架构设计,PowerPC 是本系统的核心,FPGA 完成图像数据流程中各个环节控制,ADV202 完成图像压缩功能。系统具体电路由 CPU 控制电路、电压转换电路、存储器电路、中断控制电路、控制逻辑电路、时钟电路、复位电路、JTAG 调试接口以及看门狗电路等组成,如图 2 所示。

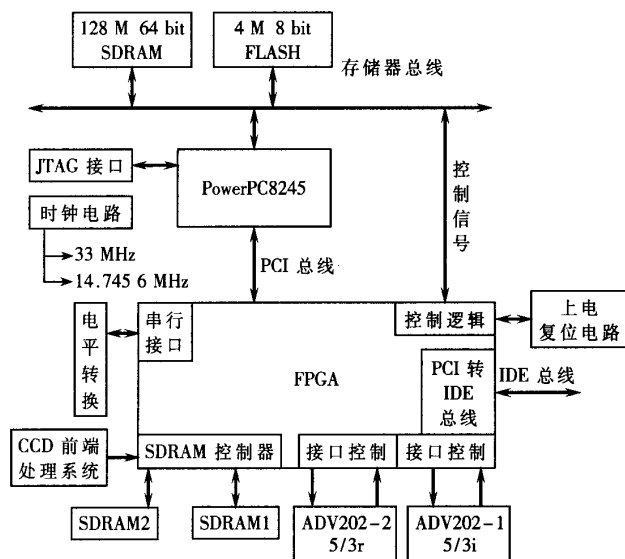


图 2 系统结构框图

2.1 主控 CPU 单元

本系统主控采用 PowerPC 处理器。PowerPC 体系结构规范发布于 1993 年,芯片由 IBM、Apple 和 Motorola 公司开发成功,并制造出基于 PowerPC 的多处理器计算机。PowerPC 体系结构是 RISC 体系结构的一个示例,它采用了超标量架构,从内存检索数据、在寄存器中进行操作,然后将其存储回内存,几乎没有指令(除了装入和存储)是直接操作内存的,可伸缩性好、方便灵活,非常适合用于机载系统。

本设计采用 Freescale 公司的 MPC8245 处理器。MPC8245 是主频 333 MHz 的速度增强型集成主处理器。该处理器设计基于 PowerPC 架构,全功能的嵌入式 PowerPC 603e 内核将高性能 32 bit 处理器与浮点、存储器管理、分支预测单元、16 KB 数据及 16 KB 指令缓存集成在一起,其他片上特

性还包括高性能存储控制器、中断控制器、DMA 控制器、PC 接口及 16550 兼容 DUART,同时还为 PCI 及存储器配备了内置时钟发生逻辑,因而无需使用外部时钟发生器,降低了系统的组成开销、简化了电路板的设计、降低了功耗并加快了开发调试时间。

2.2 时钟电路

系统主控 CPU 模块上时钟有 14.745 6 MHz 和 33 MHz。33 MHz 时钟输入到 MPC8245 上,MPC8245 产生 5 路 33 MHz 同步时钟供 PCI 设备使用,同时 MPC8245 内部实现时钟锁相环电路,经 MPC8245 中的 DLL 产生 4 路同步时钟时钟供 SDRAM 使用,14.745 6 MHz 时钟提供给串行接口芯片使用。

2.3 ADV202 压缩单元

本系统压缩功能主要由 ADV202 完成。ADV202 对外有 2 种总线接口:与处理器 (Host) 进行交换数据的 HDATA 总线以及和视频设备交换数据的 VDATA 总线。在本应用中数据只经过 VDATA 输入进行压缩,然后被主机读走,为了简化逻辑,可以把 VDATA 设计成单向传输。图 3 为 ADV202 的电路设计。

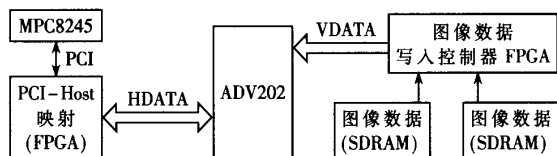


图 3 ADV202 电路设计

ADV202 是一个基于小波转换(Wavelet-based)的图像数据压缩/解压的集成芯片,符合 JPEG2000(J2K)—ISO/IEC15444-1 的压缩标准,其内部主要由像素接口、小波变换引擎、熵编解码器、嵌入式处理器、存储系统系统和内部 DMA 引擎等组成,如图 4 所示。

本系统输入分辨率为 4 008×5 344 的静止图像,ADV202 可以工作在 2 种模式^[1]:一种是通过 VDATA 总线输入的 Raw Pixel 模式,一种是通过 HDATA 总线输入的 HIPI 模式。本系统选用通过 VDATA 总线输入的 Raw Pixel 模式。同时,对一幅图像数据的输入,ADV202 也不是完全无限制的,它能处理的最大图片为 1 MB,由于本系统输入的图像远远大于 1 MB,因此必须对图像进行分

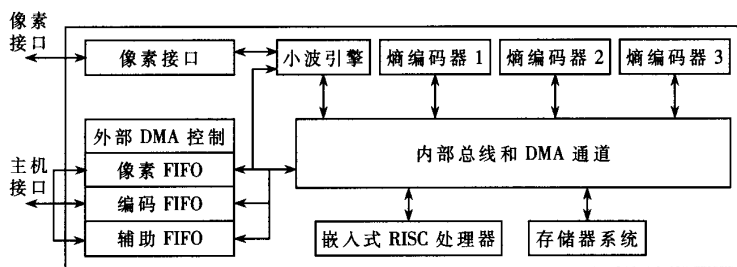


图 4 ADV202 结构框图

块处理^[3]。本系统采取的策略是将一幅分辨率为 $4\,008 \times 5\,344$ 的图像分成了44块分辨率为 $512 \times 1\,024$ 的块图像,大小不足 $512 \times 1\,024$ 的块图像通过补0进行扩展,此分块和补0操作通过软件对ADV202进行初始化时完成。在这种策略模式下,ADV202的编码压缩过程如下:待压缩图像经VDATA接口送入小波引擎,每个图块在小波引擎中进行最高达6级的5/3小波变换得到若干子带,然后通过内部存储器把得到的小波系数交给编码器编码,最终得到ADV202的JPEG2000压缩码流。压缩后的JPEG2000码流存入码FIFO中通过普通读写方式或DMA方式经主机接口输出,码FIFO起到一个内部高速总线和外部主机接口之间的缓冲作用。在整个过程中,内部总线及DMA引擎提供了存储器之间的高带宽传输及各功能模块和存储器之间的高性能传输^[2]。

3 系统 FPGA 逻辑功能实现

系统FPGA的主要功能是完成图像数据流程中各个环节控制,同时为PowerPC和外界通信扩展异步、同步串口,提供存储器访问的基本周期控制等。

3.1 SDRAM 控制器设计

SDRAM控制器的主要功能是对外接收处理CCD接口的写入数据,完成ADV202接口的读取请求;对内产生SDRAM控制时序,刷新、充电,正确完成外部读写请求。图5是SDRAM控制器的设计。

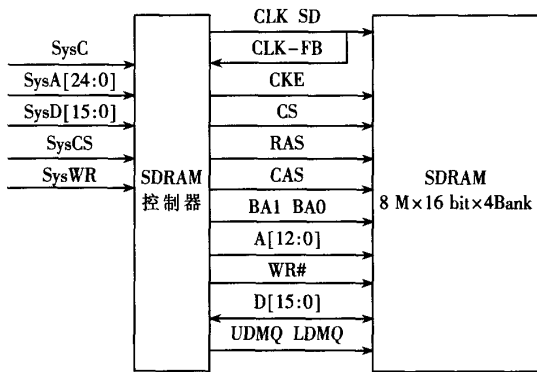


图5 SDRAM 控制器

SDRAM是一个分时复用地址线,将片选、行选、列选、写使能等控制信号按一定组合形成命令的动态存储器。所有信号都在SDRAM同步时钟上升沿采集锁存。SysCLK是系统时钟为33 MHz,CLK_SD是SDRAM时钟为133 MHz,CS表示SDRAM的片选,完成乒乓交叉缓存,RAS表示行地址选通,当RAS为低时,在时钟上升沿锁存行地址、CAS表示列地址选通,当CAS为低时,在时钟上升沿锁存列地址、WE表示写使能和行充电,在CAS、WE有效时开始锁存数据,SA[24:0]表示SDRAM线性地址、SD[15:0]表示所读取SDRAM数据。

3.2 ADV202 接口控制器设计

FPGA和ADV202的接口同时包括了HDATA和VDATA。HDATA的最终控制权属于PowerPC,它通过PCI总线访问ADV202的HDATA,下载ADV202工作固件(Firmware),进行图像压缩模式的初始化。在PowerPC访问ADV202时,FPGA必须提供PCI接口和HDATA接口转换。在VDATA接口一边,FPGA一方面要从SDRAM中读出图像数据,另一方面将它写入VDATA总线。图6、图7分别是ADV202主机Host接口和视频接口设计。

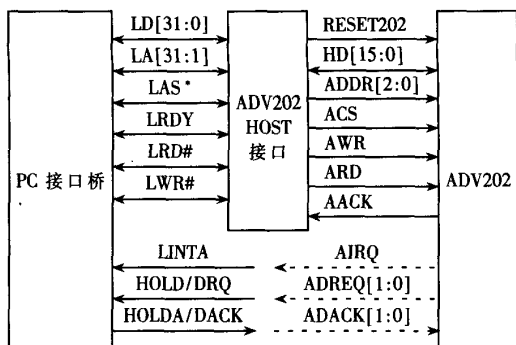


图6 ADV202 Host 接口

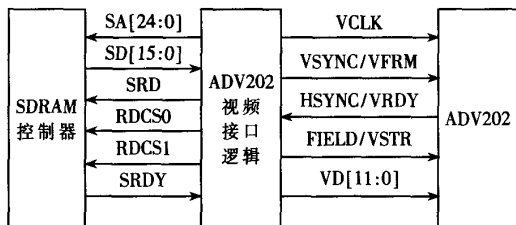


图7 ADV202 视频接口

采用VHDL语言编写FPGA程序^[4],图8为FPGA将待压缩数据写入ADV202的时序仿真。mclk是系统时钟,reset_n为系统复位信号(低电平有效),CPU向FPGA发出的写指令为dreq0_n,读指令为dreq1_n(读写指令均为低电平有效)。dack1_n和dack0_n分别是FPGA发送给ADV202进行读、写控制的信号(低电平有效),压缩过程中每次顺序送入ADV202芯片16组待压缩数据,压缩结果先暂存在ADV202芯片内部16个直接寄存器里,等寄存器用完再由CPU发出读信号,将压缩过的数据依次读出,然后再进行下一轮压缩。Count用于记录使用中的寄存器个数。DMA_wr用于标记压缩进度。

4 系统主要软件设计

系统开始工作前,要确保加载了正确的固件,在FPGA主控程序中通过4个步骤来实现。(1)向外部中断使能寄存器中写入0X0400来屏蔽软件中断0位;(2)等待到中断引脚IRQ被拉低;(3)检查外部中断标记寄存

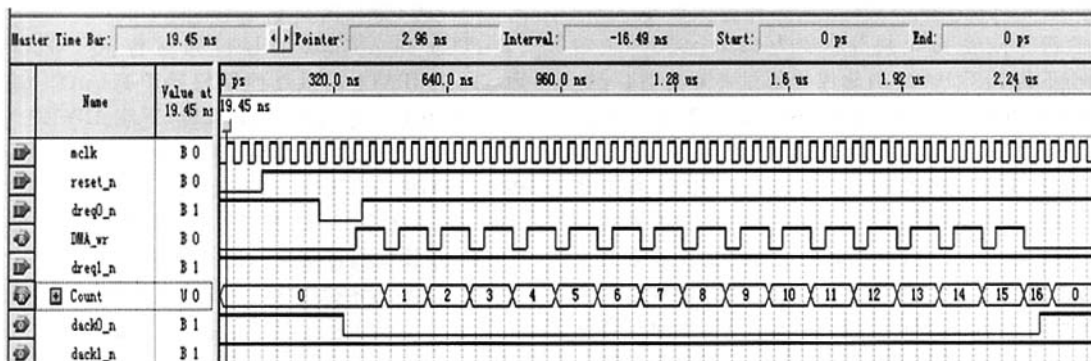


图8 FPGA 将待压缩数据写入 ADV202 的时序仿真

器的 EIRQFLAG 位是否被设置;
(4)从软件标记寄存器中读应用标识, 如果读到的是 0XFF82, 则说明固件加载正确, 系统可以开始工作。

ADV202 的工作模式是在初始化固件中通过写寄存器的状态字设定的。根据系统功能要求, 系统用一片 ADV202 进行无损压缩, WKERNEL/QUANT 参数设为 1, 另外一片 ADV202 进行有损压缩, WKERNEL/QUANT 参数设为 2。具体的初始化流程和寄存器状态字设定如图 9。

经系统软硬件调试, 系统的有损压缩速率达到了 20 Mb/s, 压缩后的图像数据经过 RS-422 接口发送到载机飞机数据总线上, 经数据链传送到地面中心站, 可以实时获取战场信息和目标变化数字影像信息; 无损压缩的数据实时存储在 IDE 硬盘中, 待回到地面后进行处理。基于 FPGA+PowerPC 的嵌入式高分辨率实时压缩系统, 可工作于各种复杂的环境条件下, 非常适合机载环境, 在其他图像侦察和监控领域也有广泛应用。

参考文献

- [1] ADV202-JPEG2000 Video Codec(Rev.B)[EB]. Analog Devices, Inc, 2006(1).
- [2] ADV202 JPF02000 Video Processor User's Guide(Revision3.4)[EB]. Analog Devices, Inc. 04, 2006(10).
- [3] Getting Started with the ADV202(Rev 2.5)[EB]. Analog Devices, Inc. 2006(9).
- [4] 孟庆海, 张洲. VHDL 基础及经典实例开发[M]. 西安: 西安

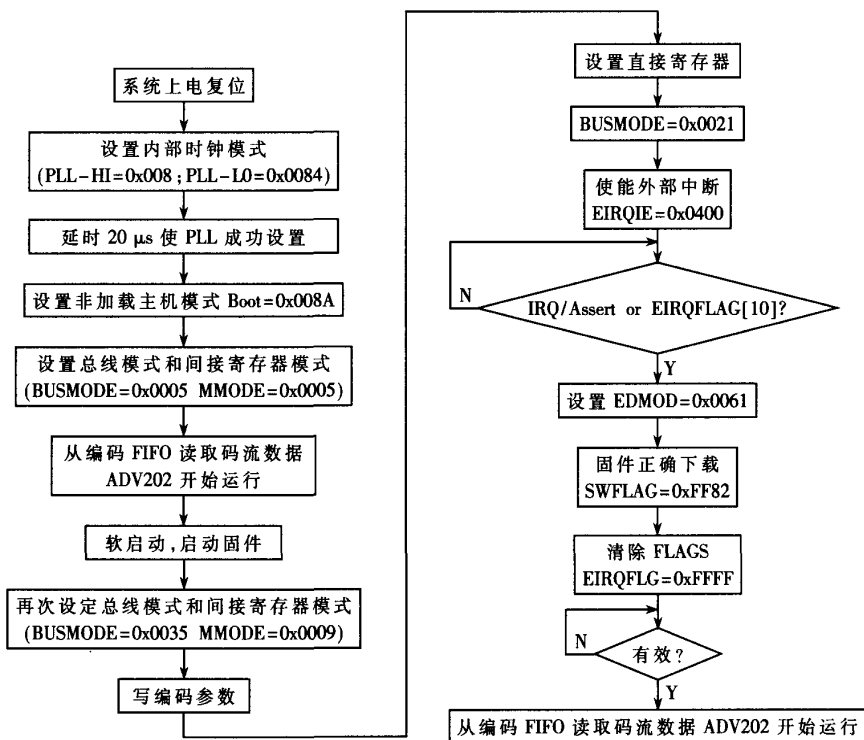


图9 ADV202 Raw pixel 模式流程

交通大学出版社, 2008.

- [5] 潘松, 黄继业. EDA 技术与 VHDL[M]. 北京: 清华大学出版社, 2007.

(收稿日期: 2009-09-14)

作者简介:

田静安, 男, 1980 年生, 在读研究生, 主要研究方向: 图像压缩、图像增强。

毕笃彦, 男, 1962 年生, 教授、博士生导师, 主要研究方向: 计算机视觉、模式识别、视频压缩。

李权合, 男, 1985 年生, 在读研究生, 主要研究方向: 图像增强。

一种机载高分辨率图像实时压缩系统的设计

作者: [田静安](#), [毕笃彦](#), [李权合](#), [TIAN Jing An](#), [BI Du Yan](#), [LI Quan He](#)
作者单位: [空军工程大学工程学院, 陕西, 西安, 710038](#)
刊名: [电子技术应用](#) 
英文刊名: [APPLICATION OF ELECTRONIC TECHNIQUE](#)
年, 卷(期): 2010, 36(2)
被引用次数: 0次

参考文献(5条)

1. [ADV202-JPEG2000 Video Codec\(Rev.B\)](#) 2006
2. [ADV202 JPF02000 Video Processor User's Guide\(Revision3.4\)](#) 2006
3. [Getting Started with the ADV202\(Rev 2.5\)](#) 2006
4. [孟庆海, 张洲](#) [VHDL基础及经典实例开发](#) 2008
5. [潘松, 黄继业](#) [EDA技术与VHDL](#) 2007

本文链接: http://d.g.wanfangdata.com.cn/Periodical_dzjsyy201002025.aspx

授权使用: 陕西理工学院(sxlgxy), 授权号: c6e985c1-c604-47ad-b415-9df201098fd3

下载时间: 2010年9月15日