

紫外 CCD 敏感器头部电路系统的研究^{*}

龚德铸 贾锦忠 刘 洋

(中国空间技术研究院北京控制工程研究所 北京 100080)

摘 要 介绍了我国探月工程之嫦娥一号卫星的紫外 CCD 敏感器系统的 CCD 电路的软硬件的开发研究。紫外 CCD 敏感器由光学结构、CCD 及处理线路、数据处理单元及其软件组成。入射光经光学系统后,照射在 CCD 敏感元件,经视频处理电路处理后形成数字图像信号。数字图像信号保存在数据存储器中,由数据处理器进行分析处理。计算得到月球的中心并转换为探测器对月姿态角,其中紫外 CCD 敏感器头部电路包括 CCD 电路、时序电路、驱动电路、视频处理电路和电源电路。核心器件 CCD 采用 E2V 公司的 CCD48-20 芯片,文中重点介绍该 CCD 的时序、驱动和 Smear 等难点问题。

关键词 CCD; FPGA; 时序驱动; 相关采样; 紫外 CCD 敏感器; Smear

中图法分类号 V 448

Research of Circuit System in CCD Ultraviolet Sensor for Probing Moon

GONG Dezhu JIA Jinzhong LIU Yang

(Beijing Control Project Academy, China Academy of Space Technology, Beijing 100080)

Abstract The research and development of CCD circuit, including both hardware and software are introduced in this paper. This circuit will be employed in the Ultraviolet Sensor (UVS) system of CE1 satellite, which is one of Chinese projects of detecting the moon. UV CCD sensor is made of optical structures, CCD and its processing circuit, Data Process Unit (DPU) and its software. The light of incidence goes into CCD, reflected by ichnographic mirror and thrilling through lens, and is transformed to digital signal by video processing circuit. The digital image signal is stored in data memory, and is analyzed by DPU. The calculated moon center is transformed to the attitude angle of detector to moon finally. UVS CCD circuit system includes CCD circuit, timing circuit, driver circuit, video process circuit and power circuit. The key device (CCD) is CCD48-20 from E2V company. It is detailedly introduced about CCD's timing and driving, smear problem, and so on.

Key words CCD, FPGA, Timing driver, SH, UVS, Smear

^{*} 探月工程“嫦娥一号”项目资助

2005-01-10 收到原稿, 2005-10-15 收到修定稿

1 引言

我国月球探测工程已经启动，嫦娥一号作为首颗探测卫星预计在 2007 年发射。紫外 CCD 传感器系统和陀螺配合使用作为环月卫星姿态测量的第一方案。

从航天器到月球中心的连线与月球表面的交点称为星下点，星下点与紫外 CCD 传感器的连线称为当地垂线。紫外 CCD 传感器的功能是在航天器本体坐标系中测出当地垂线的方位，从而得到俯仰和滚动姿态信息，对绕月飞行任务的实现起到至关重要的作用。

国外对紫外 CCD 传感器的研究，开展时间并不很长，从试验方式与试验结果看，虽然目前尚未形成实用产品，但飞行试验中完成了紫外 3 轴姿态传感器的概念验证，表明这一方案可行。为跟踪国际

先进科技发展动态，我所从 1997 年开始紫外 CCD 传感器项目的研究，解决了原理试验和部分技术难点，目前正在开展应用研制。

作为紫外 CCD 传感器的核心器件，CCD 的性能主要包括：量子效率、输出响应度、电荷转移效率、峰值电压、动态范围、光学范围、读出噪声和最大读出频率等。宇航级紫外 CCD，以其特殊的响应光波段、高效的背照射式制造工艺、较高的量子效率、灵活高速的输出方式及抗晕特性等优异品质被广泛用于宇航探测，已成为航天紫外 CCD 传感器必不可少的核心器件。

2 紫外 CCD 传感器的整体组成

紫外 CCD 传感器组成如图 1 所示。

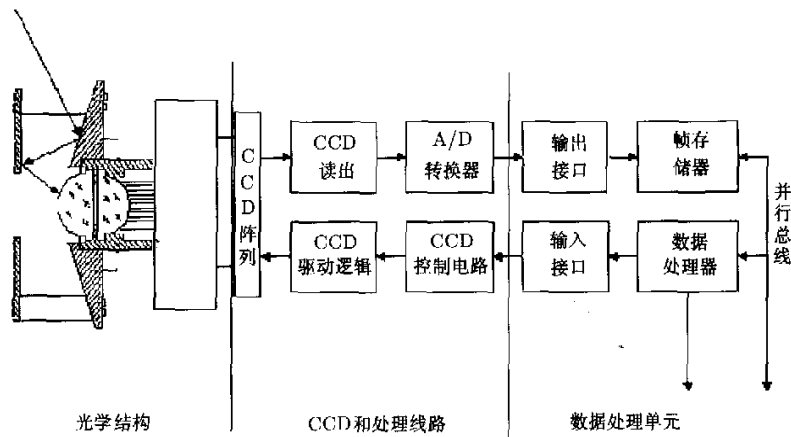


图 1 紫外 CCD 传感器的整体结构
Fig.1 Whole configuration of sensor

紫外 CCD 传感器由光学结构、CCD 及处理线路、数据处理单元及其软件组成。

入射光经光学系统后在 CCD 成像，最终转换成数字图像信号，供数据处理单元 (DPU) 处理计算。

紫外 CCD 传感器的一个工作周期如下。

(1) DPU 先设置工作参数 (光积分时间和增益倍数)，通过 DSP 把工作参数发给 CCD 头部电路系统，再由头部完成设置。

(2) DSP 发出启动信号 start 给头部，使 CCD 开始一帧信号的光积分，积分结束后，图像经头部电路处理转换为 DSP 可处理的数字图像数据，存在共享存储器中，头部 CCD 电路发出结束信号 end。

DSP 收到信号 end 后，访问共享存储器中的数据。

(3) 由 DSP 对图像数据进行处理，最终完成姿态测量，并通过 422 接口向 GNCC 传送姿态数据。

3 紫外 CCD 传感器电路系统组成

紫外 CCD 传感器电路系统包括 CCD 电路、时序电路、驱动电路、视频处理电路和电源电路。

系统设计的重点是解决 CCD 芯片的驱动和视频处理。采用 E2V 公司的 CCD48-20 芯片作为探测器，FPGA 产生 CCD 时序和控制信号，时序经驱

动电路形成 CCD 驱动信号, 紫外波段的月球图像成像于 CCD 的光敏面上, 转换成视频信号, 在视频处理电路中利用 CCD 的哑元 (dummy) 和有效信号作差动放大、二级放大、相关采样和保持, 然后

输入 8 位双路的 A/D 进行模数转换并锁存, 最后在同步时钟的控制下存入 DPU 的图像存储器中, 供数据处理单元进行处理计算。具体工作原理如图 2 所示。

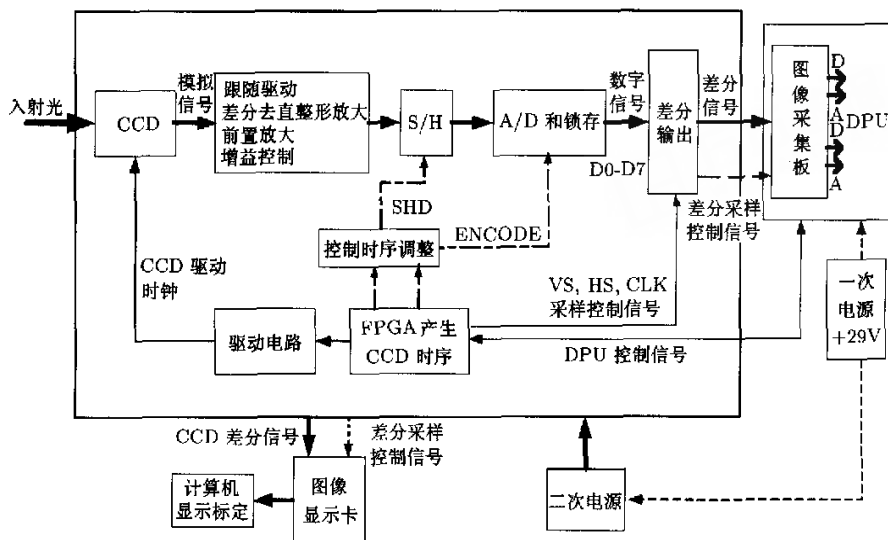


图 2 系统工作原理框图

Fig.2 Principle chart of system

3.1 CCD 的选型及其工作模式

CCD 芯片选用 E2V 公司的 CCD48-20, 为背光照射帧转移面阵 CCD, 量子效率高, 电荷转移效率高 (并行 99.999 9%, 串行 99.999 3%), 输出响应度 2mV/e^- , 峰值电压 $90\text{ke}^-/\text{pixel}$, 暗信号 (在 293K) $20\text{ke}^-/\text{pixel-s}$, 且光谱范围为 $200\text{--}1100\text{nm}$, 比普通 CCD 有更好的紫外波段光学响应, 动态范围 (10MHz 输出) $2500:1$, 满足月球探测卫星的要求。有效像元数: 1024×1024 , 像元读出频率最高为 10MHz , 在紫外 CCD 传感器中将降额使用为 4.1667MHz 。

CCD 的输出方式是灵活的, 可设置为单路或双路输出, 甚至设置每路输出的像元数。目前方案设计为双路输出, 每路 536 个像元, 有效像元 512 个。

3.2 CCD 时序及控制电路

CCD48-20 没有专用的时序芯片, 需要用户用 FPGA 生成。现场可编程逻辑器件 (FPGA) 以其高度集成、灵活、方便的特点, 在电路设计中运用越来越广泛。设计中采用 Altera 公司的现场可编程逻辑器件 EPF10K20 TC144-4, 时钟频率为 25MHz 。并配置 JTAG 接口, 可在调试中对时序进行修改。还

采用了 EPC2LC20 的 PROM 作存储器, 通过硬件描述语言 (VHDL) 在集成开发环境 MAX PLUS II 下完成逻辑设计; 编译后, 通过 JTAG 接口下载到电路板上的 PROM 中。上电后 PROM 中的指令程序自动加载入 FPGA 产生 CCD 时序和控制时序。

考虑到程序的反复修改, 采用 Altera 的 EPF10K20, 最终将采用 Actel 反熔丝技术的 FPGA, 脚到脚延时为 6.3ns , 解决了 CCD 对延时敏感和抗辐照问题。

3.2.1 时序设计难点

CCD 时序的设计除了根据 CCD 本身要求定制之外, 还应结合光学结构设计, 成像物特点和后端数据处理要求而定。

就本 CCD 而言, 时序之间的精确间隔是难点之一 (间隔要求在 40ns 左右)。做到精确间隔有三种方法, 一是提高基准时钟精度, 使其周期小于等于 40ns ; 二是在 FPGA 中设计延时触发器, 但延时效果与 FPGA 特性有关, 就 EPF10K20 而言大约每级延时为 6ns ; 三是在 FPGA 的外围时序输出后设计可调的硬件延时。结合自身特点使用提高基准时钟精度 (25MHz) 的方法, 巧妙设计时序可调范围实

现时序之间的精确间隔。

由于目前对月球的目标特性并不十分清楚，同时太阳干扰将严重影响 CCD 成像，即成像物特点不很明确，所以 CCD 的动态设置（启动，积分时间，增益调整）是必须的。由 CCD48-20 的特性所致，该 CCD 的动态设置也是难点之一，尤其是积分时间的动态设计。为了完成对积分时间的调整，首先将前一帧不需要但已经积分的电荷倾倒掉，再根据 DPU 的要求设置积分时间并积分，最后才是真正所需的积分电荷转移。将不需要的电荷倾倒掉，需要设计与正常转移时序不同的时序，根据电荷物理转移理念设计成像区时钟、存储区时钟和寄存器输出

时钟，并结合倾倒通道引脚（CCD BD 引脚）进行设计。

此外，由于视频信号频率为 4.166 7 MHz，使 CCD 的输出波形和稳定性明显变差，如何保证进入视频采样前的信号具有较好品质也是提高系统精度的关键。我们充分利用了 CCD 芯片提供的哑元信号，使哑元与 CCD 信号差分大大减少高频干扰，去除了暗电平，保证采样前的较好品质。另外，差分电路也去除了视频信号中的直流分量。表 1 描述了具体时序。

时序仿真结果如图 3 和图 4 所示。

表 1 CCD 时序
Table 1 CCD timing

描 述	符 号	正常值 /V	作 用
CCD 成像区时钟	I1, I2, I3	12	帧转移、导出电荷
CCD 存储区时钟	S1, S2, S3	12	帧转移、导出电荷、行转移
CCD 左路寄存器输出时钟	R1L, R2L, R3L	12	左路帧转移、行输出
CCD 右路寄存器输出时钟	R1R, R2R, R3R	12	右路帧转移、行输出
CCD 左路复位时钟	RL	12	左路行输出单元复位
CCD 右路复位时钟	RR	12	右路行输出单元复位
CCD 结束信号	END	3.8	CCD 一帧输出结束
DPU 启动信号	START	3.8	CCD 新的一帧积分开始
DPU 积分时间控制信号	1.TIME0/1/2/3	3.8	调整 CCD 的积分时间
DPU 增益控制信号	GC.BIT0/1/2	3.8	调整信号放大增益
场同步时钟	FS(VS)	3.8	CCD 向 DPU 和图像显示卡传送数据的场定位时钟
行同步时钟	HS(LS)	3.8	CCD 向 DPU 和图像显示卡传送数据的行定位时钟
输出时钟	CLK(HCLK)	3.8	CCD 向 DPU 和图像显示卡传送数据的像元定位时钟
视频处理控制信号	SH	5	采样时钟
视频处理控制信号	ENCODE	5	A/D 转换时钟

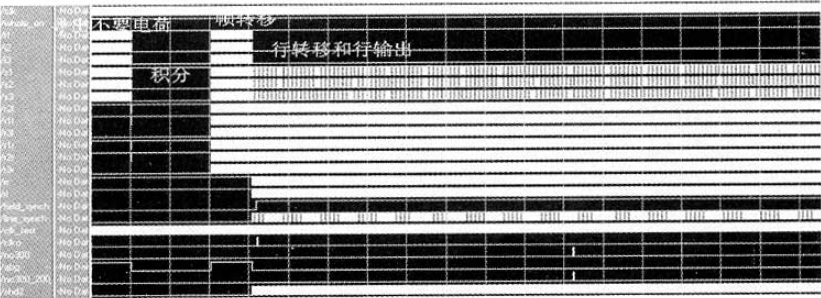


图 3 时序总图

Fig.3 Chief chart of timing

3.2.2 时序电路硬件

上电后 PROM 的数据自动加载入 FPGA, 3 ms 后自动启动 FPGA 正常工作, 产生各种 CCD 时序和控制信号. 收到 DPU 控制信号 start 后, FPGA

复位开始新的一帧积分并输出, 该帧输出结束, end 信号变低.

时序电路原理如图 5.

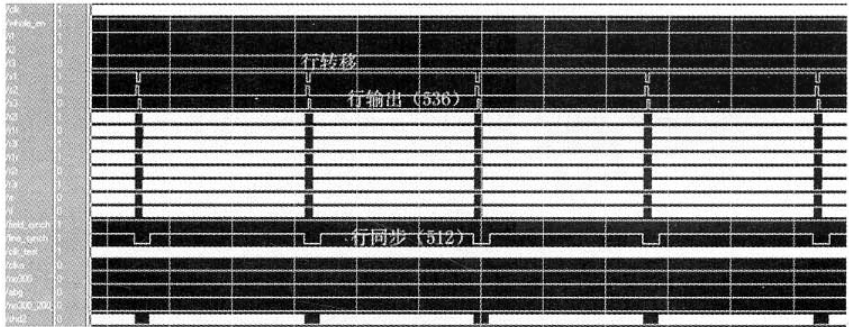


图 4 行转移和输出
Fig.4 Line transfer and line output

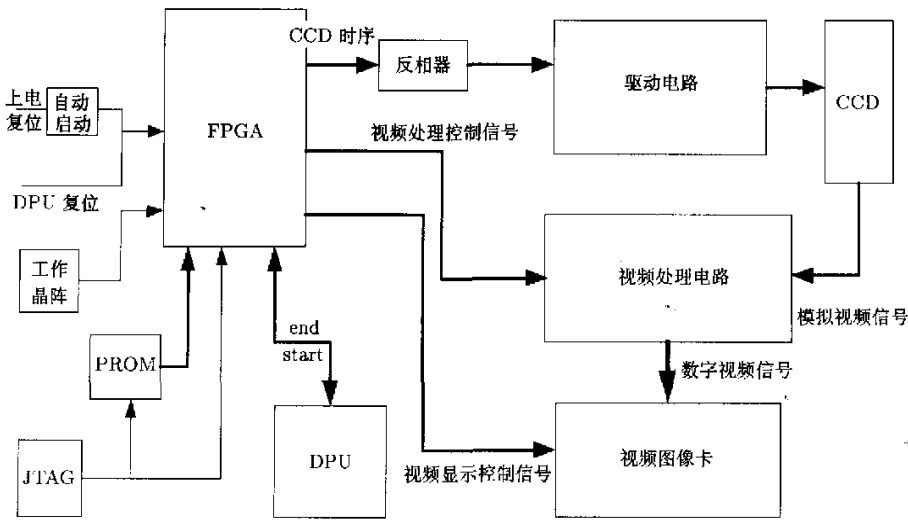


图 5 时序电路原理框图
Fig.5 Principle chart of timing circuit

3.2.3 时序信号的 VHDL 语言编程

用 VHDL 编制 CCD 时钟驱动信号、DPU 积分控制信号和视频处理控制信号, 在集成开发环境 MAXPLUS II 中编译, 通过 JTAG 口下载到 FPGA 和 PROM 中. 下面给出实现 CCD 系统时序部分 VHDL 语言设计和时序仿真结果. VHDL 语言编程基本上分为两个部分: 实体说明和结构体定义. 实体说明部分定义端口, 结构体中实现逻辑设计. 程序如下.

```
LIBRARY ieee; -- 包括的库
USE ieee.std_logic_1164.all;
USE ieee.std_logic_unsigned.all;

ENTITY UVS IS -- 实体说明部分
PORT -- 端口
(CLK: in STD_LOGIC; -- 输入时钟
whole_EN: in STD_LOGIC; -- 上电启动
I1, I2, I3: out STD_LOGIC; -- 成像时钟
S1, S2, S3: out STD_LOGIC; -- 存储时钟
```

R2L, R1L, R3L: out STD_LOGIC;
- 左路输出时钟
R1R, R2R, R3R: out STD_LOGIC;
- 右路输出时钟
RR, RL: out STD_LOGIC;
- 输出复位时钟
field_synch: out STD_LOGIC;
- 场同步
line_synch: out STD_LOGIC;
- 行同步
HCLK: out STD_LOGIC;
- 采样时钟
DG: out STD_LOGIC;
- 导出电荷时钟
shd: out STD_LOGIC;
- 视频处理时钟
start, end: IN STD_LOGIC;
- DPU 开始/结束时钟
ltime0, ltime1, ltime2, ltime3: in
STD_LOGIC;
- 积分调节

GC_BIT0, GC_BIT 1, GC_BIT 2: in
STD_LOGIC); - 增益调节
ARCHITECTURE UVS_AR OF UVS IS;
- 结构体实现部分
main: process (whole_en, clk);
end UVS_AR;
FPGA 时序设计总流程见图 6.

3.2.4 CCD 的 Smear 问题及其解决

Smear 一般分为帧传输 CCD 型、行间传输 CCD 型、MOS-XY 型和 CID 型. CCD48-20 属于帧传输 CCD 型, 是由于入射光太强, 在帧转移时产生的不希望的信号, 形状为贯穿 CCD 的亮条带. 如图 7 所示. 除去 Smear 的最好方法是另加机械快门, 像普通相机一样在不积分时隔断光源, 但将使

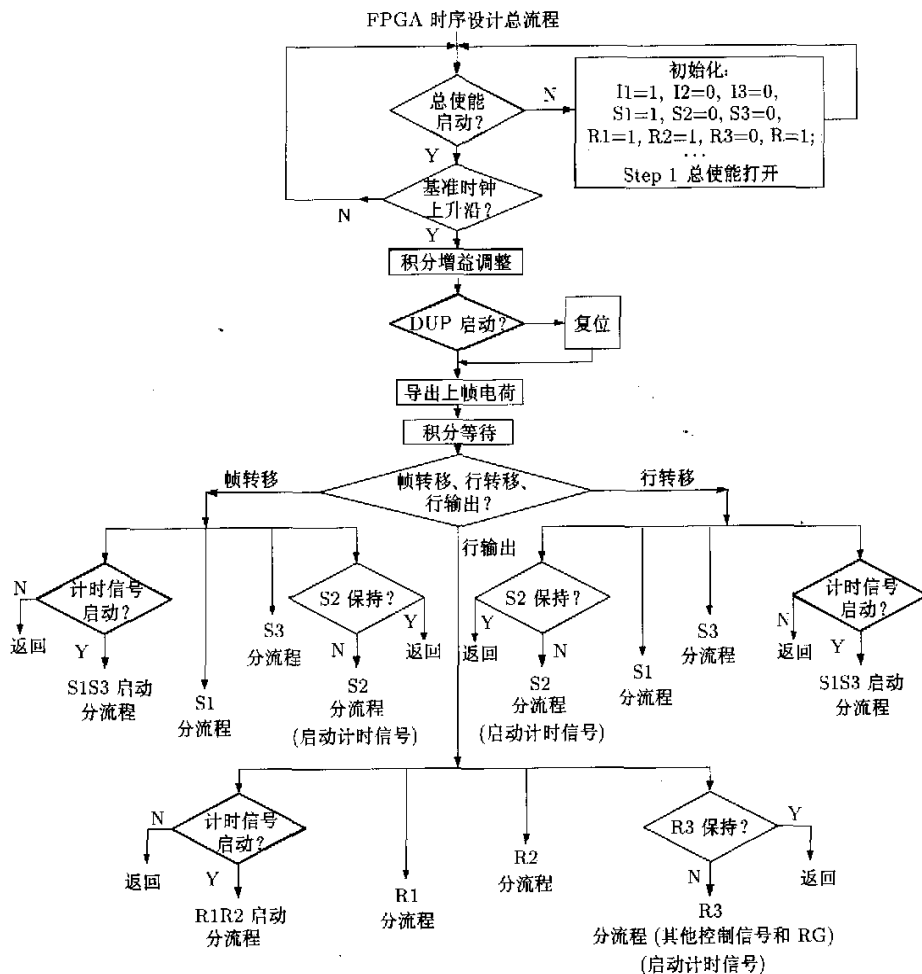


图 6 FPGA 时序设计总流程

Fig.6 Flow chart of FPGA timing design

体积增大、难度增加且可靠性降低, 所以未采用。

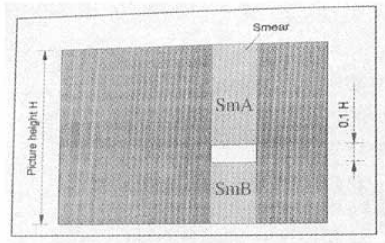


图 7 Smear

Fig.7 Smear

由于每帧图像积分前均应先将前一帧不需要的电荷倒掉, 所以该设计中的 Smear 不像一般的 Smear 为 SmA 和 SmB 两部分, 而仅有 SmA, 如图 8 所示 (图像输出上下颠倒, 光强约为 0.7 太阳常数).

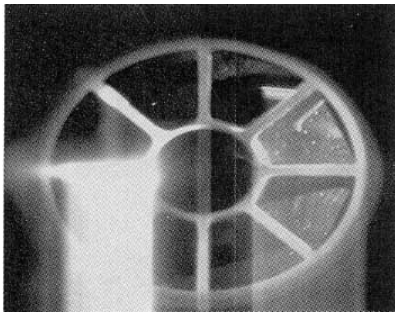


图 8 SmA

Fig.8 SmA

为了除去 SmA, 设计如下. 从图 8 中可以看出, Smear 几乎与饱和点同为饱和输出, 即 100% 满量程输出, 通过 Smear 公式 (T_{tr} 为帧转移时间, T_{int} 为曝光时间, OET 为过量曝光倍数),

$$S = \frac{1}{10} \frac{T_{tr}}{T_{int}} \text{OET}.$$

已知 $T_{tr} = 5 \text{ ms}$ 和 $T_{int} = 10 \text{ ms}$, 可得出

$$S = \frac{1}{10} \frac{5}{10} \text{OET}_1 = 100\%,$$

$$\text{OET}_1 = 20(\text{倍}).$$

接着通过调整透镜使入射光减弱为原来的 $1/100$, 同时将积分时间从 10 ms 调整为 500 ms , 此时计算

OET_2 为

$$\frac{10 \times 1}{500 \times (1/100)} = \frac{20}{(\text{OET}_2)}$$

$$\Rightarrow \text{OET}_2 = 10(\text{倍}).$$

现在积分时间为 500 ms , 帧传输时间为 5 ms , 过量曝光倍数 10 倍, 饱和点 HL 认为 100%, 但 Smear 被消弱为

$$\text{HL} = 100\%,$$

$$S = 10 \times \frac{1}{10} \frac{5}{500} = 1\% \quad (\text{第 1 帧}).$$

再将积分时间从 500 ms 变为 5 ms , 这时 Smear 为

$$\text{HL} = 10 \times \frac{1}{100} \times 100\% = 10\%,$$

$$S = 10\% \times \frac{1}{10} \frac{5}{5} = 1\% \quad (\text{第 2 帧}).$$

将用第 1 帧的饱和图像减去第 2 帧的 Smear 图像, 从而除去 Smear 得到

$$\text{HL} = 90\%,$$

$$S \approx 0.$$

虽然有用信号损失约 10%, 但 Smear 基本消除。

3.3 驱动电路

驱动电路的功能是将 FPGA 提供的时序信号转换成驱动 CCD 所需的幅值信号, 功率输出驱动 CCD 工作。

驱动电路一般有两种方案, 一种是使用 DA 产生 CCD 所需的各种基础电压, 经由不同时序控制的模拟开关后, 再经运放驱动到最终电压值, 从而形成幅值波形都满足 CCD 的驱动时序, 工作原理如图 9 所示。

但这种方法仅适合频率较低的信号, 不能满足目前 4 MHz 的驱动频率, 而且比较复杂, 不易控制。另一种是 CCD 时序直接经驱动芯片输出驱动 CCD 的方法, 目前采样这种方案, 驱动芯片采用成熟芯片 DS0026。

CCD 所需众多驱动信号的幅值为 $8-15 \text{ V}$, 电压由电源板上的 DC-DC 电源模块直接产生 15 V , 由于电压经驱动电路有损失, 最终驱动信号的幅值约为 13 V 。FPGA 提供的时序信号先进入反相器, 再经加载了驱动电压的时序驱动芯片, 最后得到 CCD 驱动信号。时序信号的相位和频率在时序电路中保证, 驱动电路只进行幅值变换并增加驱动能力。工作原理如图 10 所示。

3.4 视频处理电路

一般来说，CCD 的视频处理电路都要采用相关双采样 (CDS)，以此去除直流。

把带直流偏置的信号分为两种：在一个周期内有效信号多和少。如图 11(a) 少信号所示，一个周期内仅有 3 个信号，隔直后在 0 电平上仅有 0.009 V，信号基本能保持；多信号情况如图 11(b) 所示，一个周期内有 800 个信号，隔直后在 0 电平上就有 2.4 V，严重失真，必须采用 CDS；CDS 的作用就是对信号取差值并重新置零，如图 11(c) 所示信号经隔直电容后再经 CDS 就可真正去掉直流保持信号原样。

紫外 CCD 敏感器的 CCD 输出信号属于图 (b) 一类，一般来说应该采用 CDS，但之所以没有采用是利用了与信号具有同样直流偏置和暗电平的 CCD 哑元信号，让其与视频信号差分达到去直流消除暗电平并基本保持原信号的方法。这样大大减少了电路的复杂度，提高了电路的整体可靠性。

图 12(a) 说明，CCD 光照实际信号相当于 CCD 输出信号与复位电平的差值，理论上只要分别在信号与复位电平处各采样一次，然后相减便得到信号的值。然而，实际上信号与暗电平并不是理想的水平线，存在低频起伏噪声。为了降低噪声的影响，通常分别在信号与暗电平处多次采样求平均，这样对硬件和数据处理软件的要求都很高。紫外 CCD 敏感器的 CCD 有其特殊的哑元信号，将 CCD 信号与

其哑元差分放大可去掉直流电平，同时消除噪声以达到整形放大作用。

图 12(b) 表明，CDS 原理是认为在 CCD 信号和复位电平上同时存在相同的暗电流，也就是说，在复位和 CCD 信号上存在相同的相关变化。S1 对复位电平取样，S2 对 CCD 信号取样，这样在一个信号周期中可以进行一个差分处理来获得正确稳定的信号。所以 CDS 是通过两次高度相关的采样把复位电平的起伏消去。

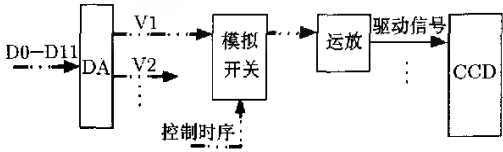


图 9 最初驱动方案原理框图
Fig.9 Principle chart of initial driver project

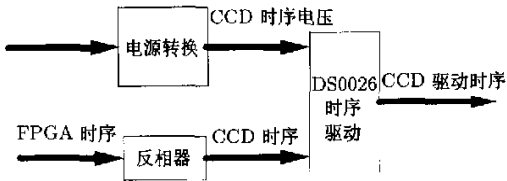


图 10 驱动电路原理框图
Fig.10 Principle chart of driver circuit

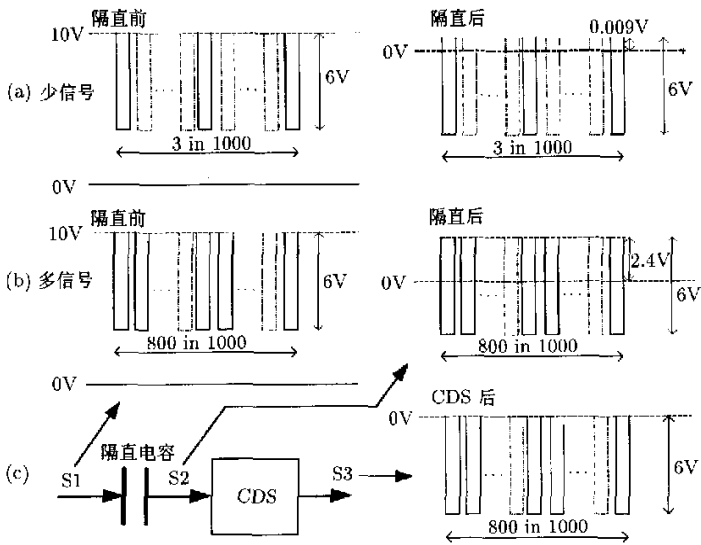


图 11 CDS 示意图
Fig.11 CDS sketch map

CCD 哑元差分与前面提到的 CDS 具有同样功能,但在电路设计上则简单易行.

视频处理电路将对 CCD 输出的模拟视频信号进行去直流消除暗电平处理,进行采样和增益调整,并经 A/D 转换,生成数字视频信号,供数据处理单元进行处理计算.工作原理如图 13 所示.

紫外波段的月球图像成像于 CCD 的光敏面上,转换成模拟视频信号. CCD48-20 双路输出,像元读出频率 4.166 7 MHz. 两路视频信号分别先要经过一级跟随驱动,同时跟随器也可对 CCD 输出端进行保护.接着 CCD 信号和哑元差分去暗电流和直流,然后再将信号进行二次放大,使信号幅值达到 A/D 转换的正常幅值.放大后的信号进入相关采样,并经保持电路最后送入 A/D 转换. A/D 选用 AD9058,它是独立的双路 8 位模数转换器,转换频率可达 50 MHz. A/D 转换器受控制中心的控制,将两路模拟电压转换成数字视频信号锁存,存入 DPU 的图像存储器中,也可送视频显示卡显示.

3.5 二次电源电路

紫外 CCD 传感器采用星上一次电源 +29 V,变换出各种工作电压,以及 CCD 的特殊工作电压和各种偏置电压.紫外 CCD 传感器所需电压种类繁多,在电源板上不仅由电源模块直接产生,还有经稳压器和驱动产生.由于紫外 CCD 传感器属于高频信号处理系统,所以电源注意减少差分 and 共模干扰,合理的地线划分和走势,减小信号串扰.

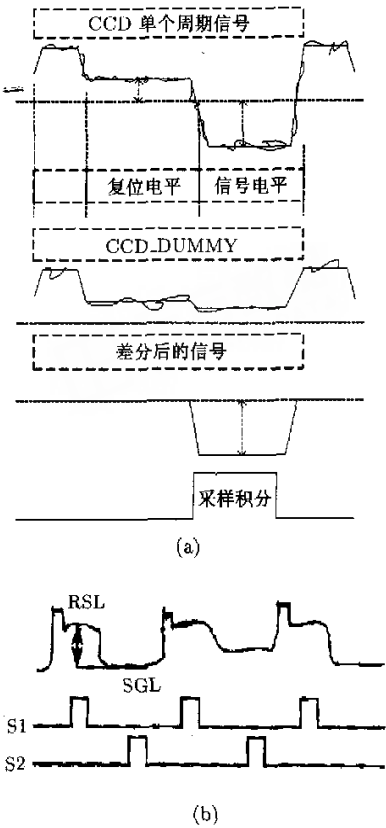


图 12 CCD 哑元差分与 CDS
Fig.12 CCD dummy difference and CDS

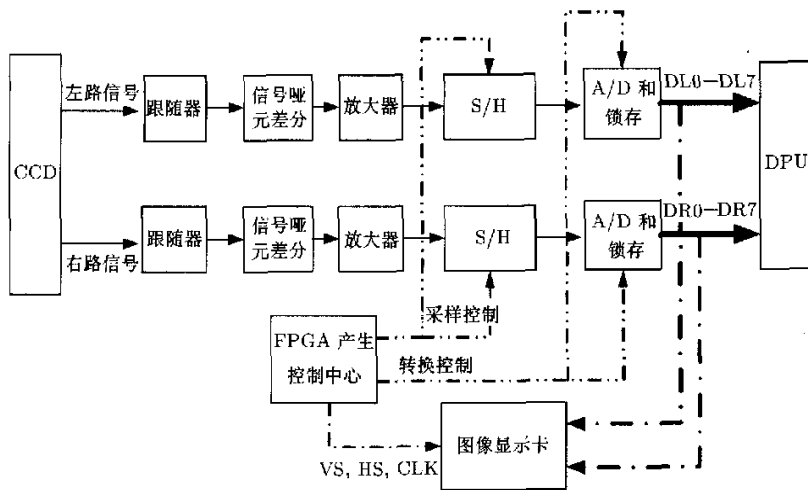


图 13 视频信号处理电路原理
Fig.13 Principle chart of video signal processing circuit

二次电源对一次电源和其自身的保护关系到探头的安全,为此,在二次电源的输入端设置了由保险丝构成的过流保护电路,可在二次电源出现输入短路故障时,及时切断与一次电源的联系,保证一次电源不受影响.在变换器内部均有过流保护电路,当负载出现过流或短路故障时,减小输出电压并限制输出电流达到过流保护的目,保护二次电源的安全.由于二次电源使用的电源模块为发热器件,为了保证器件的使用安全,除了降额使用外,还采用散热通道(散热片和机壳)为其散热,保证良好的工作环境.

3.6 电磁兼容性设计

电磁兼容性的优劣直接影响紫外 CCD 敏感器的成像质量和信噪比,电路板上电路器件的配置、布局、布线走向、线径粗细都将对整机的电磁兼容性造成影响.因此在设计时将 CCD 及前放置于一个机箱内与其他电路隔离,两块电源分别装两个机箱内屏蔽,以免对其他电路造成影响,这样的设计与组装安排,可有效地避免不同电路间的相互影响,达到相互之间的兼容.

在电路方面主要从以下几方面考虑电磁兼容性设计.

(1) 注意提高头部电路和 DPU 及采集卡之间数据传输的驱动能力和抗干扰能力.

(2) 采用多层印制电路板,电源和地分列一层,减少电路板各信号间的干扰.

(3) 每个器件的电源和地都在最近距离加去耦电容,抑制了电压波动,减少器件噪声.

(4) 对印制板进行了合理地划分并大面积铺地,对表面两层高频信号的传输噪声起到抑制作用.

(5) PCB 板进行合理元件布局,尽量缩短信号的传输距离,同时将数字电路、模拟电路及噪声源合理分开,减少信号耦合串扰.

(6) 对重要信号和敏感信号的传递过程中有专门的抗干扰设计、保护设计和驱动加强设计.

4 结论与展望

完成了从 CCD 芯片到紫外 CCD 敏感器系统的软硬件研制,初步测试,效果良好,对于发展紫外 CCD 敏感器做出有意义的探索和研究.但对最终的上天产品,该设计还有许多值得深入研究的问题,将在以后的工作中逐步完善.图 14 是紫外 CCD 敏感器的成像拼接效果图.

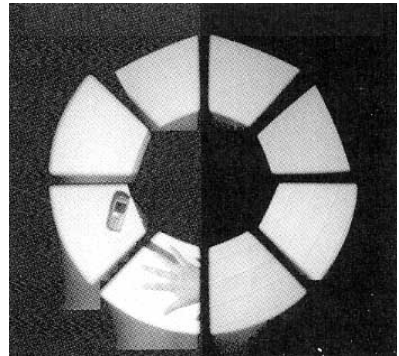


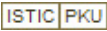
图 14 成像拼接效果图

Fig.14 Imaging compound picture

参考文献

- [1] Theuwissen A J P. Solid-State Imaging with Charge-coupled Devices. Kluwer Academic Publishers
- [2] Wang Qingyou. CCD Application Technology. Tianjin: Tianjing University Press, 1993. in Chinese (王庆有. CCD 应用技术. 天津: 天津大学出版社, 1993)
- [3] Cai Wengui. CCD Technology and Application. Beijing: Publishing House of Electronic Industries, 1992. in Chinese (蔡文贵. CCD 技术及应用. 北京: 电子工业出版社, 1992)
- [4] Tu Shancheng. Satellite Attitude Dynamic and Control. 3rd eds. Beijing: China Astronautic Publishing House, 2003. in Chinese (屠善澄. 卫星姿态动力学与控制 (第 3 版). 北京: 中国宇航出版社, 2003)

紫外CCD敏感器头部电路系统的研究

作者: [龚德铸](#), [贾锦忠](#), [刘洋](#), [GONG Dezhu](#), [JIA Jinzhong](#), [LIU Yang](#)
 作者单位: [中国空间技术研究院北京控制工程研究所](#), 北京, 100080
 刊名: [空间科学学报](#) 
 英文刊名: [CHINESE JOURNAL OF SPACE SCIENCE](#)
 年, 卷(期): 2006, 26(2)
 被引用次数: 2次

参考文献(4条)

1. Theuwissen AJ P [Solid-State Imaging with Chargecoupled Devices](#)
2. 王庆有 [CCD应用技术](#) 1993
3. 蔡文贵 [CCD技术及应用](#) 1992
4. 屠善澄 [卫星姿态动力学与控制](#) 2003

相似文献(10条)

1. 期刊论文 [李娜](#), [丁亚林](#), [冷雪](#), [周九飞](#), [郑飞](#), [LI Na](#), [DING Ya-lin](#), [LENG Xue](#), [ZHOU Jiu-fei](#), [ZHENG Fei](#) [线阵CCD相机模拟器的分析与设计-液晶与显示](#)2009, 24(6)

为降低某线阵CCD相机因屡次调试而被损坏的风险,对相机的特性和时序进行了分析,设计了一种基于现场可编程门阵列(FPGA)的CCD相机模拟器.整个系统以FPGA作为核心器件,在FPGA内部开辟一片ROM,里面存放一幅标准图像的灰度值,在像素时钟的下降沿输出灰度值,并对像素时钟进行计数,产生外加分行同步信号和行有效信号.仿真结果显示,此线阵CCD相机模拟器模拟过程符合实际相机的输出时序要求.模拟器的设计缩短了工程上的调试时间,为后期的采集和存储等处理提供了保证.

2. 期刊论文 [常丽](#), [李健强](#), [CHANG Li](#), [LI Jian-qiang](#) [基于CCD和FPGA的光栅位移测量系统-仪表技术与传感器](#) 2010, ""(5)

介绍了一种基于CCD和FPGA的光栅位移测量技术,建立了光栅位移测量系统.系统由线阵CCD采集光栅莫尔条纹,将检测到的莫尔条纹通过A/D转换器输入FPGA处理器,FPGA处理器对采集到的莫尔条纹信号进行处理,利用FFT变换求取信号相位的变化,再根据相位的变化求出位移值.文中详细介绍了工作原理的推导过程、CCD驱动控制、信号预处理以及FFT变换在FPGA中的设计实现.实验验证该系统抗干扰能力强,对光栅信号质量要求不高,能达到较高的细分数,并且系统集成度高,开发成本低,运行稳定.

3. 期刊论文 [基于ARM和FPGA的CCD信号采集系统设计-南京林业大学学报\(自然科学版\)](#) 2009, 33(5)

为了构建数码相机CCD单元的驱动及输出信号的高速采集、存储、传输和处理系统,应用FPGA完成CCD驱动和FIFO模块的设计.采用ARM为主控制器来完成对CCD单元、高速A/D单元、FIFO模块、高速存储单元和USB通讯的整体控制,构成了高速的数据采集、存储、传输和处理系统,实现了CCD图像信号的高速采集存储.经过上位机的图像处理测试平台,验证了基于ARM和FPGA的CCD信号采集系统设计的正确性和稳定性.

4. 期刊论文 [李余](#), [刘金国](#), [张明宇](#), [宋丹](#), [庞德德](#), [LI Yu](#), [LIU Jin-guo](#), [ZHANG Ming-yu](#), [SONG Dan](#), [PANG Shuang-de](#) [基于FPGA的行间转移面阵CCD驱动电路设计-微计算机信息](#)2009, 25(14)

针对Kodak公司的前照明行间转移型面阵CCD KAI-0340,对其驱动要求进行详细的分析,设计满足CCD所需偏置电压的供电模块;搭建CCD时序脉冲驱动器电路;利用Xilinx公司的可编程逻辑器件XC2S150来设计CCD的驱动时序.实验表明,设计的CCD驱动电路可以满足CCD KAI-0340的各项驱动要求.

5. 期刊论文 [商小川](#), [周辉](#), [张星祥](#), [任建岳](#) [基于FPGA的大面阵CCD高帧频驱动电路设计-液晶与显示](#)2009, 24(5)

介绍了Da1sa公司的33M像素大面阵CCD的内部结构,着重分析了该款CCD的驱动时序.针对大面阵CCD图像传感器帧频较低的缺点,设计了基于现场可编程逻辑门阵列的驱动电路,改进了CCD芯片的偏置电压电路,提出了4路同时输出以提高帧频的电路设计方法,最高帧频可达2.7帧/s,相比单端输出时的0.7帧/s提高了约4倍.选用FPGA作为核心器件,使用VHDL语言设计驱动时序,在ISE和Modelsim环境下对所设计的驱动时序发生器进行仿真实验.实验结果表明,所设计的驱动电路能够满足大面阵CCD高帧频应用.

6. 期刊论文 [宋军民](#), [王亚非](#), [周鹰](#), [SONG Junmin](#), [WANG Yafei](#), [ZHOU Ying](#) [基于FPGA和USB 2.0的高速CCD声光信号采集系统-现代电子技术](#)2009, 32(16)

设计一个基于FPGA和USB 2.0接口控制芯片的高速线阵CCD声光信号采集系统.FPGA是硬件电路系统的核心,主要完成线阵CCD时序脉冲的产生.专用A/D芯片的采样控制以及FIFO缓存数据的片内配置,并通过USB 2.0接口与上位机实现通信.讨论并开发了USB 2.0接口控制芯片的固件程序、USB驱动程序及上位机应用程序.实验结果表明,系统达到了设计要求,可广泛应用于相关领域的信号检测.

7. 期刊论文 [谷林](#), [胡晓东](#), [陈良益](#), [曾志雄](#) [基于FPGA的线阵CCD亚像素边缘检测片上系统-光子学报](#)2004, 33(5)

为提高线阵CCD边缘检测系统的精度、速度、集成度,以及系统的可靠性,提出一种集成于单片FPGA、全数字化的亚像素边缘检测系统.根据图像边缘灰度梯度的阶跃特性,通过边缘自动检测算法确定出经过高斯滤波处理的CCD图像的像素级边界,在此基础上应用多项式插值算法对图像边缘位置进行亚像素细分,实现亚像素边缘检测.以FPGA作为系统的处理核心及数字电路硬件载体,利用VHDL语言以及MAX+plus II软件对系统进行模块化设计,设计出集成于单片FPGA的线阵CCD亚像素边缘检测系统.系统仿真和测试表明,所设计的片上系统具有高精度、高速度、高集成度、高可靠性的特点.

8. 期刊论文 [庄聪聪](#), [王大明](#), [Zhuang Congcong](#), [Wang Daming](#) [基于ARM7与FPGA架构的面阵CCD图像采集系统的设计-科技广场](#)2010, ""(1)

针对用于铁路、公路等行业移动检测的面阵CCD图像采集系统对于小型化与低功耗的需求,设计了一种基于ARM7与FPGA架构的面阵CCD图像采集系统.本文介绍了系统设计的基本原理,并着重阐述了图像A/D转换单元、图像缓冲单元、图像处理单元等系统主要组成部分的软、硬件设计.本系统利用FPGA控制视频信号的采集、ARM7微控制器作为图像处理单元,并利用μC/OS-II实时操作系统对多任务进行管理,系统扩展灵活,满足小型化与低功耗的要求.

9. 期刊论文 [李敏杰, 李云飞, 司国良, 郭永飞, LI Ming-jie, LI Yun-fei, SI Guo-liang, GUO Yong-fei](#) [基于FPGA的一种长线阵CCD驱动时序电路设计](#) - [光学技术](#) 2006, 32 (z1)

驱动时序电路的设计是CCD应用的关键技术, 在分析ATMEL公司的TH7834C型长线阵CCD器件驱动时序关系的基础上, 设计了TH7834C的驱动时序电路. 选用现场可编程门阵列(FPGA)作为硬件设计平台, 使用VHDL语言对驱动时序电路进行了硬件描述, 采用EDA软件对所设计的驱动时序进行了功能仿真, 针对ALTERA公司的现场可编程门阵列EPF10K30RC240-3进行了适配. 工程实践结果表明, 所设计的驱动时序电路不仅可以满足TH7834C型CCD的驱动要求, 而且该驱动电路结构简单、功耗小、成本低、抗干扰能力强, 具有较高的实用价值, 适用于其它型号的CCD.

10. 期刊论文 [曹小涛, 胡君, 王栋](#) [基于FPGA的空间光学遥感器CCD信号检测系统设计](#) - [液晶与显示](#) 2009, 24 (5)

为了精确监视空间光学遥感器多光谱TDI CCD 控制单元的工作状态, 测试其性能和可靠性, 提出了基于FPGA的一种新型CCD信号检测系统. 该系统利用FPGA对48路控制CCD驱动信号和31路直流偏置信号进行并行实时逻辑分析及检测, 同时, 经由RS232串行通讯接口传输到上位机, 输出检测结果. FPGA内部集成了A/D控制模块、逻辑判断模块和UART模块. 实验结果表明, 该方法可实时准确监视TDI CCD 控制单元的工作状态, 适用于空间光学遥感多光谱TDI CCD的检测需要.

引证文献(2条)

1. [宋凝芳, 张俊敏, 郑伊茜, 金靖, 潘雄](#) [基于脉冲星导航系统的X射线探测器](#) [期刊论文] - [中国惯性技术学报](#) 2008 (6)

2. [KONG Qing-shan, 宋克非, WANG Shu-rong](#) [基于FPGA的面阵CCD驱动电路的设计](#) [期刊论文] - [微计算机信息](#)

2008 (23)

本文链接: http://d.g.wanfangdata.com.cn/Periodical_kjxxb200602009.aspx

授权使用: 陕西理工学院(sxlgxy), 授权号: e2cf26af-2fb1-46c4-ae28-9df500a0f8d1

下载时间: 2010年9月18日