

基于 FPGA 的高分辨率实时监控图像缩放设计

胡小龙, 冯 彬

(中南大学 信息科学与工程学院, 湖南 长沙 410075, E-mail: xinke013@163.com)

摘 要: 介绍了一种基于图像的双三次线性插值缩放算法的设计方法, 并通过 FPGA 验证了设计的可行性。重点讨论了视频缩放的插值算法, 对两种实现方法在硬件资源利用率及实施效率方面进行了比较并论证了块状插值实现方法的优越性。最终设计实现了高分辨率实时视频图像的缩放。

关 键 词: 图像缩放; 现场可编程门阵列; 双三次插值

中图分类号: TP331.2; TP752.1 **文献标识码:** A

1 引 言

实时视频图像的监控现在已在很多领域得到应用^[1]。近年来, 现场可编程门阵列(Field Programmable Gate Array, FPGA)在实时图像处理中的应用越来越多。一些 FPGA 器件不仅提供了丰富的逻辑资源, 还提供了硬件乘法器和大量的片上存储器, 为实现高性能的高效率数字信号处理功能提供了方便, 而在 FPGA 设计过程中需要对 FPGA 的优化设计加以考虑^[2]。

图像插值是图像处理的一个基本问题^[3]。计算机图像处理、图像渲染、医用图像的重构都需要使用到图像插值^[4,5]。常用的图像插值方法包括最近临插值、双线性插值、双三次插值^[6-8]以及 B 样条插值等^[9]。

本文介绍了一种基于图像的双三次线性插值缩放算法的设计方法, 并通过 FPGA 验证了设计的可行性, 实现了高分辨率实时视频图像的缩放。

2 双三次线性图像缩放算法原理及 FPGA 设计

2.1 算法原理

三次插值的名称来自于其计算时最高次幂为三次。在数值分析中, 插值算法可以表示为:

$$f(x) = \sum_{k=0}^{n-1} h(x) \times S_k \quad (1)$$

其中, $h(x)$ 为插值系数, S_k 为第 k 个原函数的值。

不同的插值算法根据所取像素点个数不同有不同的算法思想。插值图像的每一个像素点 $g(i, j)$ 都可以在原始图像中找到一个 $n \times n$ 大小的对应邻域。输出像素 $g(i, j)$ 可以通过对其原始图像中对应邻域进行二维卷积运算得到。

双三次线性插值的核心在于求得插值系数 h , 所采用的数学模型如下:

$$h(x) = \{a|x|^3 + b|x|^2 + c|x| + d\}, \quad x \in (m, n) \quad (2)$$

算法采用 4×4 大小领域进行计算, 每得到一个输出像素点灰度值都需要取输入图像 $4 \times 4 = 16$ 个像素点的灰度值。常用的差值系数 h 的数学模型为:

$$h(x) = \begin{cases} 1 - 2|x|^2 + |x|^3, & 0 \leq |x| < 1 \\ 4 - 8|x| + 5|x|^2 + |x|^3, & 1 \leq |x| < 2 \\ 0, & \text{其他} \end{cases} \quad (3)$$

图 1 为算法实现示意图, 已知 f 代表原始图像像素点灰度值, F 代表插值像素灰度点。

事实上, 由于二维卷积模板在 x 和 y 方向可以分离, 因此二维卷积运算也可以进一步分解为 2 次一维卷积来实现, 即: 对 4×4 邻域中的图像数据首先沿行的方向进行逐行的一维卷积, 卷积的结果再沿列的方向进行一次一维卷积以得到最终的输出像素值, 如图 2 所示。

双三次插值的最大计算量在于对于每个输出像素点都需要计算其水平和垂直方向的 h 值,

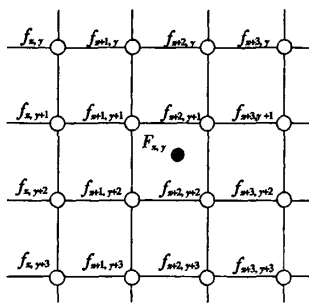


图 1 算法实现示意图
Fig.1 Algorithm diagram

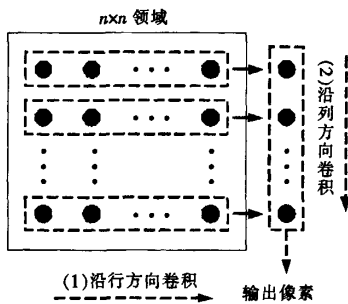


图 2 二维卷积实现示意图
Fig.2 Two-dimensional convolution diagram

h 值的计算涉及到大量的乘方和乘法运算,会占用大量的系统资源,而点逼近算法则在一定程度上简化了计算 h 的过程。点逼近算法将 $[0,1]$ 空间分成若干等份,这里是 8 份,即 8 个区间: $[0,1/8),[1/8,2/8),[2/8,3/8),[3/8,4/8),[4/8,5/8),[5/8,6/8),[6/8,7/8),[7/8,1)$ 。落在某一区间的所有点采用同一 h 值。 h 值的计算对每幅输出图像计算一次,只计算 $0,1/8,2/8,3/8,4/8,5/8,6/8,7/8$ 这 8 个位置的值。将计算得到的值存

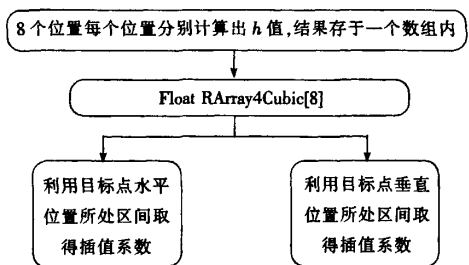


图 3 双三次插值系数计算过程
Fig.3 Calculation of bicubic interpolation coefficient

储于数组 RArray4Cubic 内。图 3 为 h 值计算过程的流程图。

2.2 FPGA 设计

实时监控每秒传输 50 帧 $1\,280\times1\,024$ 分辨率的图像,为了能够满足系统要求选用 Xilinx 公司的 Virtex4 系列 XC4VLX100 的 FPGA 芯片实现实时缩放。图 4 是系统硬件总体结构图。控制模块用来实现输入输出数据控制,并且根据接收到的缩放倍数数据调整插值计算模块工作。

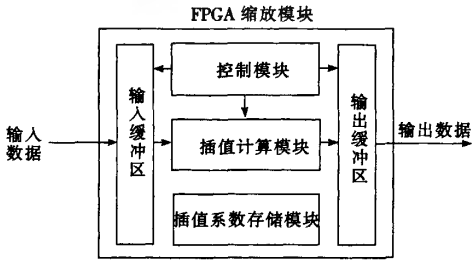


图 4 系统硬件设计图
Fig.4 Diagram of system hardware design

要实现每秒传输 50 帧 $1\,280\times1\,024$ 分辨率的图像,FPGA 内部存储空间尚不能达到要求,需要外部存储器,并且需要设计存储控制器。

3 两种实现方法的比较研究

在 FPGA 设计中,更少地消耗 FPGA 内部逻辑资源数量和在 FPGA 上稳定运行时所能达到的更高频率是一对矛盾,也就是面积和速度的矛盾。为了在充分利用系统资源的同时尽量提高系统的综合频率,要求在设计中能够对二者进行综合评价。

与面积和速度相对应,本文采用的双三次图像插值算法在 FPGA 上采用了如下的两种实现方法:

(1)带状插值

将目标图像像素一次一行进行计算(图 5)。所要计算的像素点需要的源像素不进行存储,而通过与存储器的通信完成。这种与存储器的频繁通信需要大量的握手信息,要实现图像实时显示需要设计一个比较长的流水线。这种实现方法每次只需要存储计算目标像素点的 16 个原始像素点,节约了片上的 Block RAM 资源,是一种以速度换取面积的算法思想。

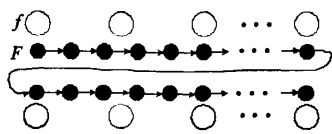


图 5 带状插值实现示意图
Fig. 5 Band interpolation diagram

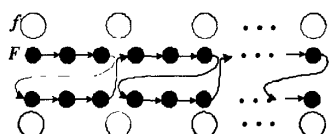


图 6 块状插值实现示意图
Fig. 6 Block interpolation diagram

(2)块状插值

将目标图像像素分块进行计算(图 6)。一次性尽可能多地读入原始像素点存在 FPGA 片上 RAM 资源中,可以避免与存储器的频繁通信。由于算法是以 4 行为一组进行插值点的计算,因而在 FPGA 内部开辟一部分空间来存储 4 行原始图像的像素点。根据算法可知,算出一个插值点需要 16 个原始像素点,而若以 16 个原始像素点为一个单位块,计算出所有在块内的插值点则可以最大限度地减少与外部存储器的通信,从而有利于系统的实时监控。这是一种以面积换取速度的算法思想。

一个设计消耗的 FPGA 内部逻辑资源的数量,可以用消耗的触发器和查找表的个数或者是等效逻辑门数来衡量。表 1 指出了在一路实时视频图像情况下两种实现方法系统资源占用情况。由表 1 可以看出,块状插值比带状插值多占用了 3~4 倍的系统资源。经过综合测试,两种方法均可以很好地完成 1 280×1 024 分辨率下 50 帧/s 的图像进行实时的放大缩小工作。对于多路的实时视频图像缩放来说,带状插值会由于频繁与外部存储器通信而影响系统的实时效果,而块状插值相对于带状插值进行多路视频图像的缩放受到系统资源限制则更加明显。

表 1 两种实现方法系统资源占用比较表

Table 1 Comparison of the system resources occupied realized by tow methods

系统资源	可使用(个)	带状插值使用(个)	带状插值利用率(%)	块状插值使用(个)	块状插值利用率(%)
Slice	49 152	829	1.7	3 617	7.3
触发器	98 304	738	0.8	2 792	2.8
4 输入 LUT	98 304	1 665	1.7	6 736	6.8
DSP48	96	24	25	30	62

4 实验结果

实验中使用一片 Xilinx 公司的 Virtex4 系列 XC4VLX100 的 FPGA 芯片。4 片 2M×4bank×32 bit 的 hy5duDDR,用来进行 4 路视频信号的帧缓存;一片 AD9888 进行视频信号采集;一片 ADV7401

将处理后数字视频信号转化为 VGA 信号在显示器上显示。实验流畅地实现了视频信号的缩放处理。其实际效果如图 7,8,9 所示。



图 7 原始图像
Fig. 7 Original image

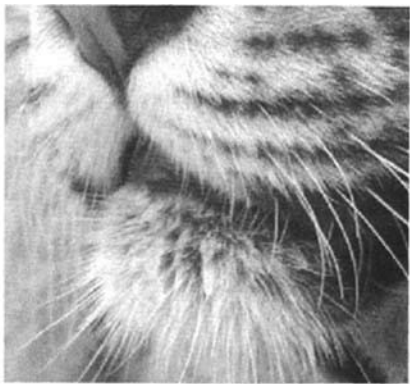


图 8 放大 2.25 倍后的图像
Fig. 8 Enlarged 2.25 times image



图9 缩小0.25倍后的图像

Fig.8 Narrowed 0.25 times image

5 结 论

介绍了基于FPGA实现双三次插值的模块,

经过测试,模块能够对 $1\,280 \times 1\,024$ 的实时视频图像进行60帧/s的实时缩放。由于系统采用了具有很强的扩展性和重构性的器件FPGA实现,系统功能可根据需要在不改变硬件设计的基础上进行调整,增加了方案的灵活性和系统的适应能力,具有很好的应用前景,随着高性能FPGA的深入应用,可以设计更为复杂的插值算法,从而进一步提高图像缩放的实际效果。

参 考 文 献:

- [1] 张广拓. 嵌入式网络视频监控系统的研究与设计[D]. 哈尔滨:哈尔滨工程大学,2007.
- [2] Ian Kuon, Jonathan Rose. Area and delay trade-offs in the circuit and architecture design of FPGAs [C]// *Proceedings of the 16th International ACM/SIGDA Symposium on Field Programmable Gate Arrays*, New York:ACM, 2008:149-158.
- [3] Castleman Kenneth R. 数字图像处理 [M]. 朱志刚,林学闾,林定机,译. 北京:电子工业出版社,1998.
- [4] Acharya Tinku, Tsai Ping-Sing. *Computational Foundations of Image Interpolation Algorithms* [M]. New York: ACM Ubiquity, 2007:1-17.
- [5] Raanan Fattal. Image up sampling via imposed edge statistics [J]. *ACM Transactions on Graphics*, 2007, 26(3):1-7.
- [6] 张辉,胡广书. 基于二维卷积的图像插值实时硬件实现 [J]. 清华大学学报(自然科学版), 2007, 47(6):33-36.
- [7] 张阿珍,刘政林,邹雪城,等. 基于双三次插值算法的图像缩放引擎的设计 [J]. 微电子学与计算机, 2007, 24(1):49-51.
- [8] Keys Robert G. Cubic convolution interpolation for digital image process [J]. *IEEE Trans. on ASSP*, 1981, 29(6):1153-1160.
- [9] Park Stephen K, Schowengerdt Robert A. Image reconstruction by parametric cubic convolution [C]//*Computer Vision, Graphics, and Image Processing*, Amsterdam:Elsevier, 1983:258-272.

Design on FPGA Based High-Resolution and Real-time Monitoring Image Zooming

HU Xiao-long, FENG Bin

(School of Information Science and Engineering, Central South University, Changsha 410075, China, E-mail: xinke013@163.com)

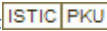
Abstract

An interpolation algorithm used in image zooming was introduced and a real-time monitoring image zooming based on FPGA was presented. The algorithm was discussed. Both of the implementations were compared to verify in hardware resource utilization and efficiency, and demonstrated the superiority of the block interpolation. The system is proved to be stable when it is applied to the monitoring image zooming with real-time and high-resolution.

Key words: image zooming; FPGA; bicubic interpolation

作者简介:胡小龙(1969—),男,湖南常德人,博士,副教授,研究方向为嵌入式系统、计算机网络。

基于FPGA的高分辨实时监控图像缩放设计

作者: 胡小龙, 冯彬, HU Xiao-long, FENG Bin
作者单位: 中南大学, 信息科学与工程学院, 湖南, 长沙, 410075
刊名: 液晶与显示 
英文刊名: CHINESE JOURNAL OF LIQUID CRYSTALS AND DISPLAYS
年, 卷(期): 2009, 24(6)
被引用次数: 0次

参考文献(9条)

1. 张广拓 嵌入式网络视频监控系统的研究与设计[期刊论文]-哈尔滨:哈尔滨工程大学 2007
2. Ian Kuon, Jonathan Rose Area and delay trade-offs in the circuit and architecture design of FPGAs [期刊论文]-New York:ACM 2008
3. Castleman Kenneth R. 朱志刚, 林学闯, 林定机 数字图像处理[期刊论文]-北京:电子工业出版社 1998
4. Acharya Tinku, Tsai Ping-Sing Computational Foundations of Image Interpolation Algorithms[期刊论文]-New York:ACM Ubiquity 2007
5. Raanan Fattal Image up sampling via imposed edge statistics[期刊论文]-ACM Transactions on Graphics 2007(03)
6. 张辉, 胡广书 基于二维卷积的图像插值实时硬件实现[期刊论文]-清华大学学报(自然科学版) 2007(06)
7. 张阿珍, 刘政林, 邹雪城 基于双三次插值算法的图像缩放引擎的设计[期刊论文]-微电子学与计算机 2007(01)
8. Keys Robert G Cubic convolution interpolation for digital image process[期刊论文]-IEEE Transactions on Acoustics, Speech and Signal Processing 1981(06)
9. Park Stephen K, Schowengerdt Robert A Image reconstruction by parametric cubic convolution[期刊论文]-Amsterdam:Elsevier Science 1983

相似文献(9条)

1. 期刊论文 田利波, 王瑞光, TIAN Li-bo, WANG Rui-guang 基于移动窗口的图像缩放算法 -电视技术2007, 31(8)
针对传统双线性插值法在缩小时需要预缩放, 硬件实现复杂, 成本高, 提出了改进的基于移动窗口的缩放算法, 其实现简单, 成本低, 用Matlab前期仿真表明缩放效果好. 并对LED屏的“比例缩放”工程问题, 详介了FPGA设计过程, 给出了后期验证方案.
2. 期刊论文 罗蓬, LUO Peng 多画面处理器的设计与实现 -计算机工程2009, 35(14)
提出一种基于现场可编程门阵列的多画面处理器设计方法. 该系统由视频输入模块、视频矩阵模块、A/D转换模块、视频信号处理模块、视频输出模块和控制模块组成. 针对多画面处理的特点, 给出信号调理、图像缩放、画面分割等关键技术的实现方法. 实际应用证明该系统具有较好的显示效果.
3. 期刊论文 刘政林, 赵慧波, 邹雪城 用于平板显示器的图像缩放引擎设计及FPGA实现 -电视技术2005, “”(z1)
介绍基于双线性插值算法定标器的结构设计, 采用Virtex2系列FPGA芯片设计实现了缩放引擎, 并构建测试环境对定标器进行了逻辑功能验证和测试, 验证结果表明满足设计要求.
4. 学位论文 祝中秋 视频后处理算法研究及硬件实现 2009
随着新型显示设备、新的电视广播格式和各类多媒体设备的发展, 市场需要高质量的视频处理技术显示各种信号. 视频后处理技术就是通过图像缩放、去隔行等各种视频格式转换, 以及图像增强处理, 进一步提高观赏的效果.
本文主要针对后处理芯片中的关键技术—缩放和图像增强进行了深入研究. 首先论文介绍了视频图像进行缩放的必要性, 回顾了学术界的经典图像缩放技术, 在比较最近邻域法、双线性插值、矩形窗缩放法、双三次插值等经典缩放技术优缺点的基础上给出双立方插值图像缩放的改进方案: 改进的图像缩放引擎在保持双三次插值算法缩放效果的同时, 简化了硬件结构. 采用上海宏力(GSMC) 0.15 μm CMOS工艺库, 用DC综合评估得到缩放模块占用芯片面积为0.39mm², 最高工作频率为156MHz.
其次讨论了亮度峰值(Luminance Peaking), 数字亮度瞬态增强(DLTI), 色度瞬态增强(DCTI), 黑/白电平延伸(BLW/WLE), 亮度、色调、对比度和饱和度, 以及自动对比度、色度调整等视频图像增强技术及其硬件实现方法; 并在传统算法的基础上对亮度峰值、数字亮度瞬态增强、自动对比度进行了算法改进. 首先在亮度峰值中为了改善峰值质量, 需要有效保护轮廓并灵活调节核化门限, 为此改进coring模块, 使之能更好的保护图像不被过度处理. 其次在DLTI中, 利用提取亮度信息的高频部分来控制校正信号的幅度, 可以得到更好的勾边处理效果. 最后在调整图像对比度的处理中, 利用直方图统计生成亮度调整曲线来改变图像亮度, 并引入色度信息辅助修正直方图的拉伸曲线, 调整图像对比度, 进一步改善图像效果; 通过与线性拉伸相比, 本算法在不增加硬件复杂度的基础上, 处理效果上得到较明显的提升.
最后简单介绍了FPGA硬件验证平台, 以及仿真验证结果分析. 软件仿真及FPGA测试显示, 论文所述的算法改进提高了图像质量, 显示效果良好.
5. 期刊论文 焦猷, 张辉, 胡广书, JIAO Jian, ZHANG Hui, HU Guangshu 基于FPGA的数字X线图像的实时缩放模块 -北京生物医学工程2007, 26(2)
本文介绍了一个自行设计的数字化X射线影像实时处理系统中实现图像实时缩放的子系统. 重点分析了缩放涉及的插值算法, 设计并实现了基于FPGA的三次插值的模块, 系统最终实现了对高显示分辨率和帧率下的X线图像的实时缩放.

6. 期刊论文 [蔡泽锋, 闻晓晨, 郑学仁, CAI Ze-feng, LV Xiao-cheng, ZHENG Xue-ren](#) [基于行列不同插值算法的图像缩](#)

[放引擎的设计 -液晶与显示](#)2009, 24 (4)

为了降低定标器的硬件复杂度并提高液晶显示图像的质量, 提出了一种行列采用不同插值算法的图像缩放引擎设计方法. 在论述四点三次卷积插值算法和线性插值算法基础上, 提出了行列不同计算点数的缩放引擎系统架构. 在该架构中, 水平缩放采用四点三次卷积插值算法, 而垂直缩放采用优化的两点线性插值算法. 相比双三次插值算法的实现, 减少了9个乘法器的使用, 明显节省了实现电路的硬件开销. 另外, 详细论述了放大单元及相应的滤波器的设计, 并将设计结果综合下载到现场可编程门阵列 (FPGA) 芯片. FPGA验证结果表明, 该设计切实可行.

7. 期刊论文 [刘政林, 邹雪城, 向祖权, 肖建平, 赵慧波, 李仕杰, LIU Zheng-lin, ZOU Xue-cheng, XIANG Zhu-quan,](#)

[XIAO Jian-ping, ZHAO Hui-bo, LI Shi-jie](#) [定标器的设计与实现 -电子学报](#)2006, 34 (1)

定标器 (Scaler) 是广泛应用于平板显示器系统中的图像缩放引擎, 它将不同分辨率的输入图像经缩放后以固定的分辨率输出到平板显示器上. 本文首先在分析定标器系统结构的基础上提出了三个时序约束条件, 并推导了相应的公式, 当满足这三个约束条件时, 定标器中的FIFO和行缓冲区不会上溢或下溢, 显示帧与输入帧同步, 很好地解决了定标器的时序问题. 随后介绍了基于双线性插值算法的图像缩放引擎设计, 然后用FPGA实现该缩放引擎, 并构建测试环境对整个定标器进行逻辑功能验证, 最后给出验证的结果.

8. 期刊论文 [张辉, 夏明新, 焦麒, 胡广书, ZHANG Hui, XIA Ming-Xin, JIAO Jian, HU Guang-Shu](#) [基于FPGA的实时X线医](#)

[学图像处理系统 -中国生物医学工程学报](#)2008, 27 (1)

X线图像的实时处理要求系统具有强大的运算能力和数据吞吐能力. 本研究介绍了一套基于FPGA的图像处理系统, 可以对输入的X线图像进行多种实时处理, 包括回归滤波、数字减影、基于 7×7 模板的图像增强以及基于双三次插值的图像缩放等, 并生成多种接口的显示图像. 该系统可以应用于透视和血管减影造影等多种场合. 由于采用高度集成的FPGA器件, 整个系统功能强大, 结构小巧紧凑. 实验结果表明, 系统工作稳定, 可以初步满足临床应用要求.

9. 学位论文 [李杰明](#) [基于FPGA的数字图像旋转引擎设计](#) 2009

数字图像旋转和缩放, 是数字图像处理中对图像信号相对显示几何位置和大小变换的技术, 广泛应用于电子消旋系统、数码相框、医学显示系统、投影显示系统等产品. 本文将设计一种基于FPGA的图像旋转引擎, 它能实现图像的旋转和缩放功能, 并能满足上述应用场合的实时性的要求.

图像旋转的算法包括两方面: 坐标旋转算法和图像插值算法. 坐标旋转算法的实现电路是图像旋转引擎的设计重点和难点. 坐标旋转算法中包括了 \sin 、 \cos 的计算, 而 \sin 、 \cos 属于超越函数, 无法在电路上直接实现. 本文在研究各种间接实现坐标旋转算法的电路方案的基础上, 对现有的CORDIC坐标算法电路作了两点改进. 其一是提出增加两个K因子乘法器以实现图像的缩放功能. 与传统的CORDIC算法电路相比, 改进后的电路仅用两个乘法器就解决CORDIC算法的K去模问题, 并增加了图像缩放功能. 其二是电路采用流水线结构. 与传统的迭代结构的电路相比, 流水线结构的电路有较高运算速度, 能满足实时图像处理的速度要求.

图像插值电路是图像旋转引擎的另一设计重点. 常用的图像插值算法包括最近邻域插值、双线性插值、双三次插值. 本文采用主观评价和PSNR客观评价相结合的方法对三种算法的图像质量进行了比较. 在此基础上, 比较了三种插值算法电路实现复杂度. 结果表明, 双线性插值算法有较优的图像质量和较低的电路规模. 因此采用双线性插值算法设计了插值器电路.

图像旋转引擎的另一个设计难点是图像的帧存储. 通常的图像处理系统都采用DDRSDRAM作为数据存储器. 由于图像旋转对帧存数据的读取是不连续的, DDR SDRAM存储器在读取图像数据的时候要频繁地切换行地址. 这使得存储器的读操作效率低下. 本文提出一种分区间帧存结构, 大大减少了读取数据时DDR SDRAM的行切换次数, 提高了存储器的读操作效率, 使数据的读取速度能满足处理速度的要求.

设计以Altera Cyclone II EP2C35F672C8为目标器件, 对算法的实现电路进行功能和时序仿真. 仿真结果表明, 算法电路有较高的转换精度和较高的运算速度, 其中坐标转换模块的时钟频率达到130MHz, 信号处理模块的时钟频率达到140MHz. 最后, 在FPGA硬件平台上对数字图像旋转引擎进行了整体验证. 图像的输入信号取自PC机的VGA信号接口, 处理后的图像输出液晶显示器的VGA信号接口. 验证的结果显示, 数字图像旋转引擎所处理的图像清晰稳定, 能设定旋转角度、旋转方向和缩放比例, 实现自如流畅的动态画面旋转和缩放.

本文链接: http://d.g.wanfangdata.com.cn/Periodical_yjyxs200906023.aspx

授权使用: 陕西理工学院(sxlgxy), 授权号: d4b2723a-398d-4b83-859b-9df20109109f

下载时间: 2010年9月15日