

# 基于坐标逻辑的形态图像处理器的硬件实现

张波 张焕春 经亚枝

(南京航空航天大学自动化学院, 江苏南京 210016)

**摘要:** 在阐述坐标逻辑运算的基础上, 论述了基于坐标逻辑形态学硬件实现的图像处理系统. 该系统采用 DSP + FPGA 的框架结构, 利用 FPGA 的可重构特性将其中一片 FPGA 作为协处理器可以实现不同的图像处理功能. 将坐标逻辑和传统形态学硬件实现的形态图像处理器在处理效果和速度两个方面作了比较. 算法在 FPGA 芯片上的高速实现特征使数学形态学在图像实时处理领域的应用成为可能.

**关键词:** 图像处理器; 坐标逻辑; 可重构; 协处理器; DSP; FPGA

**中图分类号:** TN941.1 **文献标识码:** A **文章编号:** 1671-4512(2004)06-0052-03

## A hardware realization of morphological image processor based on coordinate logic

Zhang Bo Zhang Huanchun Jing Yazhi

**Abstract:** The basis of a coordinate logic operations (CLO) was introduced and an image processing system with coordinate logic implemented by hardware presented. The system was composed of DSP and FPGA. One FPGA as coprocessor may implement different functions due to its re-configurable characteristic. The image processors realized by coordinate logic and standard morphology were compared in effect and speed. The algorithm was implemented and its speed was very high. It makes possible that mathematical morphology is applicable in real time image processing.

**Key words:** image processor; coordinate logic; re-configurable; coprocessor; DSP; FPGA

**Zhang Bo** Dr.; College of Automation Eng., Nanjing Univ. of Aeronautics & Astronautics, Nanjing 210016, China.

逻辑运算<sup>[1]</sup>在二值图像中已成功应用, 坐标逻辑把逻辑运算的概念扩展到灰度图像中, 坐标逻辑与数学形态学<sup>[2]</sup>有着密切联系, 灰度形态学运算要求出极大值和极小值, 而坐标逻辑运算总没有任何排序运算. 坐标逻辑膨胀和坐标逻辑腐蚀运算结果可能会落在初始的输入集合之外. 本文在 DSP + FPGA 的形态学图像处理系统基础上研究基于坐标逻辑的形态协处理器的设计.

### 1 形态学图像处理系统

在本系统设计中, 引入硬件协处理器概念方案. 传统的协处理器都是定制的 ASIC (Application Specific Integrated Circuit), 由于昂贵的设计

代价和过长的设计周期, 使 ASIC 应用到常规的数字电路中是不可行的. FPGA 是一种动态可编程的器件, 它一般基于 SRAM (Static Random Access Memory), 从外置存储器中导入不同的配置后, FPGA 的功能随即改变, 是一种可在线编程的器件. 全部重构时间一般为几个 ms 到几十 ms, 而部分重构配置时间可达到 ns 级. 用 FPGA 取代 ASIC 具有设计周期短、可重构和扩展性好等优点, 从而大大地提高了硬件处理的灵活性.

系统基于 DSP + FPGA 构架, 如图 1 所示. 图中主处理器采用 AD 公司的 ADSP21060 芯片<sup>[3,4]</sup>. AMLCD 采用 Korry 公司的 KDM710 全彩色液晶显示模块, 该模块为 600 × 600 分辨率彩色液晶显示模块, 24 位数字 RGB 输入. 两个帧存

收稿日期: 2003-09-16.

作者简介: 张波 (1977-), 男, 博士; 南京, 南京航空航天大学自动化学院 (210016).

E-mail: huanzb@163.com

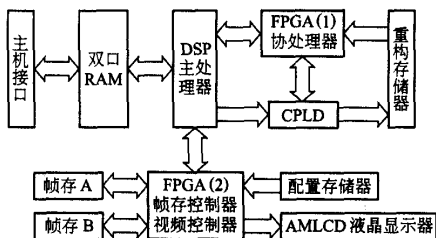


图1 形态图像处理系统原理框图

A和B采用ISSI公司的61LV5128高速异步静态RAM(读写速度可达10ns). 系统采用两个帧存轮流切换操作的方法: 当DSP向其中一个帧存写像素时, 由FPGA构成的帧存控制器将另一个帧存中的像素顺序读出送给AMLCD, 反之亦然. 系统通过IDT公司的70V24双口RAM接收主机的处理信息. 系统中采用了两块大门数FPGA: FPGA(1)<sup>①</sup>(Xilinx VirtexII X2V1000)是具有100万个系统门的FPGA, 作为协处理器; FPGA(2)<sup>②</sup>帧存控制器和视频控制器由Xilinx公司的Spartan II芯片XC2S150(15万个系统门)实现.

## 2 形态图像协处理器的设计

图2为3×3任意结构元素的可重构协处理器

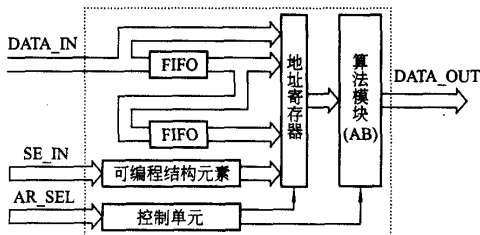


图2 协处理器单元

顺序形态运算单元. 通常的视频照相机将图像数据以一连串的数据流DATA\_IN(如逐行)来传送. 一整帧图像只有等到最后一行图像传送完并且图像完全重组后, 才能开始处理. 而且, 采集到的图像数据通常存储在RAM中以供DSP或其他微处理器随机访问处理. 因此, 这种处理过程将导致在图像获取期间产生空闲时间以及在控制逻辑和RAM上的开销很大. 图2所示的处理单元结构可以有效解决这种矛盾, 单元中的各组成部分的主要作用如下.

FIFO: 图像行延迟锁存, 使图像数据串行输出变为多行(三行)并行输出, 它决定了结构元素

(窗口)的宽度尺寸.

地址寄存器AR: 图像像素延迟及存储, 使图像像素并行输出, 它决定了结构元素(窗口)的高度尺寸.

算法模块AB: 坐标逻辑运算的执行模块, 它可以设计为一个表格存储器, 也可用与或门逻辑来快速实现(如图3).

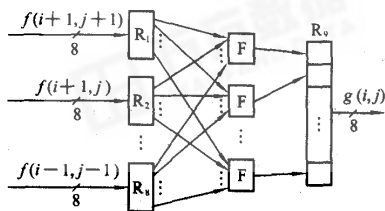


图3 坐标逻辑运算单元示意图

可编程结构元素: 根据SE\_IN配置任意结构元素的形状.

控制单元: 由算法选择信号AR\_SEL可重构算法模块的功能从而控制图像输出DATA\_OUT, 还可控制算法模块的执行机制.

动态可编程的结构元素通过使用附加的控制逻辑控制单个元素的开闭来实现. 结构元素中每一个动态可编程像素必须与一个附加的控制信号相连接, 这个控制信号将控制着结构元素中与之连接的像素的开与闭. 在膨胀运算中控制信号SE\_IN与各自的像素信号是用与门连接在一起的. 结构元素中的像素通过在其控制信号上加逻辑“1”被开放, 加逻辑“0”被关闭.

算法模块的设计是形态图像协处理器的核心部分. 在此提出了两种方法: 一种是设计一张表格存储器, 由3×3窗口形成的9位二进制数据表示唯一的一个表格存储器地址, 表格存储器的内容就是位平面的输出; 另一种方法就是用与或门逻辑来代替表格存储器. 由逻辑膨胀或腐蚀输出的定义可知: 如果F为AND门, 输出就是腐蚀运算结果; 如果F为OR门就执行了膨胀操作. 图3为3×3结构元素的坐标逻辑运算示意图, 256灰度级的像素由8位数据线表示, 锁存器R<sub>i</sub>存储窗口内各像素的不同位s<sub>i0</sub>, s<sub>i1</sub>, ..., s<sub>i9</sub> (i=1, 2, ..., 8).

## 3 硬件实现效果比较

形态图像协处理器设计已经用VHDL语言在Xilinx公司的FPGA系列芯片上成功实现了.

① Xilinx Inc. Virtex-II platform FPGA handbook. San Jose, California: Xilinx Inc., 2001.

② Xilinx Inc. Spartan-II 2.5V FPGA family: functional description. San Jose, California: Xilinx Inc., 2001.

对于 512 像素宽的图像,延迟线 FIFO 可使用 Xilinx Virtex II FPGA 中的 Block-RAM 来实现,而且分别用不同形状的结构元素实现了上述功能.动态可编程结构元素尺寸从  $3 \times 3$  到  $31 \times 31$  不等.在基于坐标逻辑的形态图像处理实现的同时,也在同一 FPGA 和相同时钟下实现了传统的形态膨胀和腐蚀算子,并将二者在视觉效果和处理速度上进行了比较.

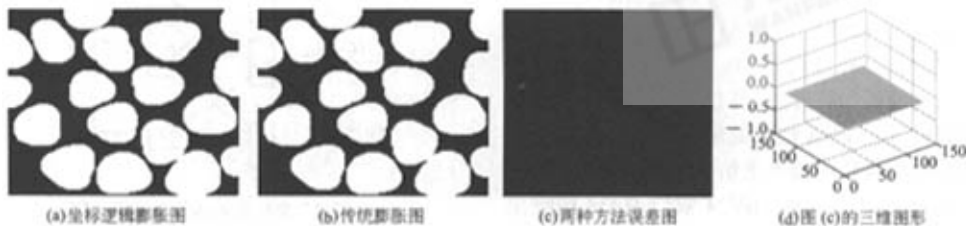


图 4 二值图像的两种方法硬件实现效果比较



图 5 灰值图像的两种方法硬件实现效果比较

(如图 4(d)),即两种方法处理后的图像效果完全一致,然而它们的处理速度却有着较大差别;对于灰值图像,由它们的误差图的三维显示(如图 5(d))可知,坐标逻辑膨胀和传统形态学的膨胀后的图像相似,差别不大.腐蚀算子亦然.但是,坐标逻辑实现的形态学算子速度上有着很大的优势.

### 3.2 硬件处理速度比较

对于上述  $512 \times 512$  的两幅图片,采用  $3 \times 3$  的矩形结构元素,同一种方法的膨胀和腐蚀这两个最基本的形态学算子执行时间相同.在主频为 800 MHz 奔腾 III 处理器上,两种方法经过优化后,最快执行时间为 100 ms,完全不能满足实时处理的需要;而在外部时钟为 40 MHz,通过内部 DLL 技术倍频实现内部时钟为 80 MHz 的 FPGA 上,传统形态算子(膨胀或腐蚀)图像处理时间为 2.6 ms,可基于坐标逻辑运算实现的形态算子的图像处理时间仅为 1.4 ms.可见,基于坐标逻辑的形态算子硬件实现的速度比传统形态学算子的实现提高了近两倍,当然可以胜任形态图像实时处理的各种任务,如形态滤波、边缘提取和图像分割等形态学算法,并且其输出的处理图像效果很好.

### 3.1 硬件处理效果比较

本文以 blob 二值图像和 lena 灰值图像为处理对象,将坐标逻辑实现的形态学算法和传统数学形态学方法进行了比较.用  $3 \times 3$  的矩形结构元素对其分别进行坐标逻辑变换和传统形态变换处理.由于图片篇幅所限,图 4 和图 5 只列出了二值和灰值图像膨胀算子的比较情况.实验证明,对于二值图像,它们的误差图的三维显示都为零平面

实验证明,基于坐标逻辑的形态学近似算法在合理的硬件上实现是可行的,而且运算速度比传统形态学算子快,易于并行处理.由于坐标逻辑运算把信号分解为多个可以并行处理的二进制信号,因此二值图像的坐标逻辑运算与传统的形态学运算是完全一致的,但是灰值图像的运算结果有少许差别,有待进一步改进.

### 参 考 文 献

- [1] Mertzios B G, Tsirikolias K. Coordinate logic filters and their applications in image processing and pattern recognition. *Circuit Systems and Signal Processing*, 1998, 17(4): 517~538
- [2] Serra J. *Image analysis and mathematical morphology*. New York: Academic Press, 1982.
- [3] 苏 涛,吴顺君,廖晓群.高性能数字信号处理器与高速实时信号处理.西安:西安电子科技大学出版社,1999.
- [4] 曾 涛,李 耽,龙 腾.高速实时数字信号处理器 SHARC 的原理及其应用.北京:北京理工大学出版社,2000.

# 基于坐标逻辑的形态图像处理器的硬件实现

作者: [张波](#), [张焕春](#), [经亚枝](#)  
作者单位: [南京航空航天大学, 自动化学院, 江苏, 南京, 210016](#)  
刊名: [华中科技大学学报\(自然科学版\)](#) [ISTIC](#) [EI](#) [PKU](#)  
英文刊名: [JOURNAL OF HUAZHONG UNIVERSITY OF SCIENCE AND TECHNOLOGY \(NATURE SCIENCE EDITION\)](#)  
年, 卷(期): 2004, 32(6)  
被引用次数: 0次

## 参考文献(4条)

1. [Mertzios B G, Tsirikolias K](#) [Coordinate logic filters and their applications in image processing and pattern recognition](#) 1998(04)
2. [Serra J](#) [Image analysis and mathematical morphology](#) 1982
3. [苏涛](#), [吴顺君](#), [廖晓群](#) [高性能数字信号处理器与高速实时信号处理](#) 1999
4. [曾涛](#), [李眈](#), [龙腾](#) [高速实时数字信号处理器SHARC的原理及其应用](#) 2000

本文链接: [http://d.g.wanfangdata.com.cn/Periodical\\_hzlgdxxb200406019.aspx](http://d.g.wanfangdata.com.cn/Periodical_hzlgdxxb200406019.aspx)

授权使用: 陕西理工学院(sxlgxy), 授权号: 57dcc3b4-22ba-48c5-8835-9df201115acc

下载时间: 2010年9月15日