

基于 FPGA 的数字 X 线图像的实时缩放模块

焦戡 张辉 胡广书

摘要 本文介绍了一个自行设计的数字化 X 射线影像实时处理系统中实现图像实时缩放的子系统。重点分析了缩放涉及的插值算法,设计并实现了基于 FPGA 的三次插值的模块,系统最终实现了对高显示分辨率和帧率下的 X 线图像的实时缩放。

关键词 图像缩放;现场可编程门阵列;双三次插值

中图分类号 R318.04

文献标识码 A

文章编号 1002-3208(2007)02-0140-04

A real-time image zooming module based on FPGA for X-ray imaging JIAO Jian, ZHANG Hui, HU Guangshu
Department of Biomedical Engineering, Tsinghua University, Beijing 100084

[Abstract] The paper presented a real-time image zooming sub-system based on FPGA for x-ray imaging and discussed the interpolation methods used in image zooming. Then a module for bicubic interpolation based on FPGA was designed and implemented. The system is proved to be stable when it is applied to the X-ray images with high resolution and frame rate zooming.

[Key words] image zooming;FPGA;bicubic interpolation

数字化 X 线影像技术在临床中的应用日益广泛。与传统的 X 线影像技术相比,数字化技术可以提供丰富的图像后处理功能。图像的缩放是图像处理的一个基本功能,在数字化 X 线影像技术中也有着广泛的应用。例如一幅 X 线图像中的某个局部包含着医生最为关注的病理信息,就需要对该局部图像进行放大显示。无论是图像的放大或缩小,由于目标图像与原图像像素之间不再存在一对一的映射关系,所以需要采用插值的方法生成目标图像。

现有的数字 X 线图像处理系统一般采用计算机软件的形式来实现图像的缩放操作。受计算机处理能力的限制,这些操作往往是离线的处理,无法达到实时的要求。近年来,现场可编程门阵列(field programmable gate array, FPGA)在实时图像处理中的应用越来越广泛。一些 FPGA 器件不仅提供了丰富的逻辑资源,还提供了硬件乘法器和大量的片上存储器,为实现高性能的高效率数字信号处理功能提供了方便。

本文介绍了一种基于 FPGA 的实时图像缩放模块,可以在线完成对 1024×1024 的数字 X 线图像实

时(30 帧/s)缩放操作。

1 双三次插值算法

对图像进行插值就是从离散的数据重构出连续的二维图像信号,然后再对其进行重新采样得到插值后的图像。重构的过程可以表示为相邻的原始图像数据与某一个连续二维重建滤波器的卷积。各种插值方法之所以不同,主要就是滤波函数不同。通常情况下,滤波函数都具有二维可分离的特点。因此,实际的图像插值运算可以进一步分解为两次一维的插值操作。

上述插值过程可以通过式(1)和式(2)表示。

$$I'(x, y) = \sum_n \sum_m I(m, n) \varphi_{2D} \left(\frac{x}{T_x} - m, \frac{y}{T_y} - n \right) \quad (1)$$

$$\begin{aligned} I'(i, j) &= I'(x, y) \Big|_{x=iT'_x, y=jT'_y} \\ &= \sum_n \sum_m I(m, n) \varphi_{2D} \left(\frac{iT'_x}{T_x} - m, \frac{jT'_y}{T_y} - n \right) \\ &= \sum_n \sum_m I(m, n) \varphi_{2D} (i\alpha_x - m, j\alpha_y - n) \quad (2) \end{aligned}$$

式中, $I(m, n)$ 是原始图像; $I'(i, j)$ 是插值得到的图像; $\varphi_{2D}(x, y)$ 是插值函数; $\alpha_x = T'_x/T_x$ 和 $\alpha_y = T'_y/T_y$ 分别代表插值图像与原始图像在 x 和 y 方向上采样周期的比值。

基金项目: 裕元医学科学研究基金资助项目

作者单位: 清华大学生物医学工程系(北京 100084)

作者简介: 焦戡(1982—),男,硕士研究生

由于插值函数 $\varphi_{2D}(x, y)$ 在 x 和 y 方向具有可分离性, 因此:

$$\begin{aligned} I'(i, j) &= \sum_n \sum_m I(m, n) \varphi(i\alpha_x - m) \varphi(j\alpha_y - n) \\ &= \sum_n \varphi(j\alpha_y - n) \sum_m I(m, n) \varphi(i\alpha_x - m) \\ &= \sum_n \varphi(i\alpha_x - m) \sum_m I(m, n) \varphi(j\alpha_y - m) \quad (3) \end{aligned}$$

式(3)意味着可以先计算沿 x (或 y) 方向的一维信号插值, 然后再将插值的结果沿着 y (或 x) 方向进行插值, 从而得到最终的结果。

分段局部多项式由一组多项式组成, 每个多项式有一个像素宽。其一维形式如式(4)所示。其中 $\lfloor s \rfloor$ 为小于 s 的最大整数, n 为每个多项式的系数个数, $n-1$ 为最高次数, m 为邻域点数, $k_{i,j}$ 为方程的系数。

$$\varphi_m(s) = \begin{cases} \sum_{j=0}^{n-1} k_{i,j} s^j & \begin{cases} i \leq s \leq i+1 \\ i = \lfloor s \rfloor \\ m \text{ 为偶数} \\ |s| < \frac{m}{2} \end{cases} \quad \text{或} \\ 0 & \text{其它} \end{cases}$$

$$\varphi_m(s) = \begin{cases} \sum_{j=0}^{n-1} k_{i,j} s^j & \begin{cases} i - \frac{1}{2} \leq s \leq i + \frac{1}{2} \\ i = \left\lfloor s + \frac{1}{2} \right\rfloor \\ m \text{ 为偶数} \\ |s| < \frac{m}{2} \end{cases} \\ 0 & \text{其它} \end{cases} \quad (4)$$

分段局部多项式由于形式简单, 因而作为插值函数在图像插值中得到了广泛的应用。例如常用的最近邻插值和双线性插值, 实际上就分别是次数为 0 和次数为 1 的分段局部多项式插值。低次数方法虽然实现简单, 但是会造成图像模糊, 为了获得更高的图像质量, 人们通常会使用更高阶次的多项式进行插值。其中, 双三次插值 (Bicubic) 是广泛使用的方法之一, 它利用三次多项式来进行插值, 与低阶次方法相比, 在没有明显增加计算量的情况下, 可以取得较大的图像插值质量的提升。

人们一般利用重建函数的约束条件来确定分段局部多项式方程的系数 $k_{i,j}$, 约束条件由 m 个邻域点上的次的 $n-1$ 分段多项式确定。对于双三次插值, $n=4$ 即分段多项式最高次数为 3, 则分段局部多项式方程的系数 m 由邻域点数确定。

如果选取插值邻域大小为 2×2 , 即用邻近的 4 个像素插值得到目标像素值, 此时常用插值系数数学表达式如式(5)所示:

$$\varphi(x) = \begin{cases} 2|x|^3 - 3|x|^2 + 1 & 0 \leq |x| \leq 1 \\ 0 & \text{else} \end{cases} \quad (5)$$

如果选取插值邻域大小为 4×4 , 即用邻近的 16 个像素插值得到目标像素值, 此时常用插值系数数学表达式如式(6)所示:

$$\varphi(x) = \begin{cases} \frac{3}{2}|x|^3 - \frac{5}{2}|x|^2 + 1 & 0 \leq |x| < 1 \\ -\frac{1}{2}|x|^3 + \frac{5}{2}|x|^2 - 4|x| + 2 & 1 \leq |x| < 2 \\ 0 & \text{else} \end{cases} \quad (6)$$

在硬件上实现双三次插值的实时处理会受到诸多条件的限制。一般说来, 算法的效果越好, 占用的硬件资源也越多, 也越不容易保证实时处理, 选择插值方法时应平衡插值实际效果和占用资源两方面因素综合考虑, 选择最合适的一种。所以折衷考虑, 选用 2×2 邻域内的双三次插值方法实现对 X 线图像实时缩放。

2 基于FPGA数字X线图像实时缩放实现

2.1 系统设计

如果每秒传输 30 帧 1024×1024 分辨率的 X 线图像, 则每个像素的平均传输时间大约为 30ns, 为了达到实时处理, 选用 Xilinx 公司的 Spartan-3 系列 XC3S1000 的 FPGA 芯片实现实时缩放。系统总体结构如图 1 所示, 控制单元控制输入缓冲的更新, 并根据主机设定的放大倍数生成对应的系数, 原始图像数据经插值模块处理后的结果放入输出缓冲, 继续进行后续处理。

FPGA 内部的存储空间有限, 而且其它功能模块还要分享有限的片内存储空间, 所以要权衡考虑如何既方便计算又节约资源, 从而选取合理的缓冲方案。例如对于 2×2 邻域的双三次插值的图像缩放, 由于每计算一个目标图像像素值, 需要使用原图像相邻两行的四个像素, 这使人很自然想到将读入原图像的两行数据放入缓冲区, 计算出利用这两行数据能插值出的所有目标图像像素, 然后更新其中一行再进行计算。同时开辟的输出缓冲的行数, 应该等

于最大放大倍数向正无穷方向的取整结果,例如本系统实现 2 倍以内缩放,则需开辟两行的输出缓冲。

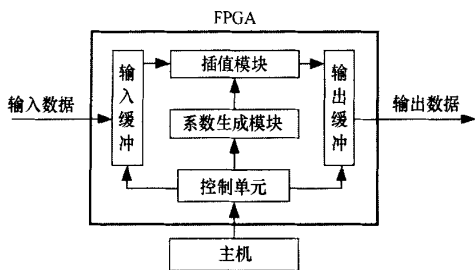


图 1 X 射线图像实时缩放系统框图

Fig 1 Block diagram of a real-time zooming system for digital X-ray imaging

2.2 处理模式

在系统时钟和图像数据流量即图像大小及帧率都已确定的情况下,对 X 线图像能否达到实时缩放取决于处理模式和插值算法流水线结构的设计。

通常人们对图像放大时总是将目标像素逆映射回原始图像,然后从输入缓冲内读出若干需要使用的原始像素进行插值,在这种处理模式下每帧处理时间与放大后的图像大小有关,放大倍数越大即图像结果越大则处理时间越长,所以对于高分辨率高帧率的图像要想达到实时处理就需要很高的系统时钟。例如 1024×1024 的图像放大 2 倍至 2048×2048 大小时,在 100MHz 的系统时钟下使用这种每周期计算出一个目标像素的方式处理一帧图像,所需时间大约为 40ms,无法达到 30 帧/s 的实时处理速度。

因此,提出按原始像素顺序计算的处理模式。即将当前相邻四个原始像素能插值出的所有目标像素一并计算出来并存入输出缓存,下一周期更新输入缓冲的四个原始图像像素再进行插值计算,重复上述过程直至依据当前缓冲区能计算出的目标图像全部处理完毕并更新输入缓冲。这样在 100MHz 系统时钟下处理一帧 1024×1024 大小的图像,大约需要 10ms 的时间,即使加上读入和存储的时间也完全能满足 30 帧/s 的实时处理的需求。在这种处理模式下,可以想象 2 倍以内的缩放,最复杂的情况是根据从输入缓冲读入的当前四个原始图像像素经插值运算得到四个目标图像像素,如图 2 所示。其中 A、B、C、D 是原始图像中相邻四个像素,E、F、G、H 是插值得到的四个目标像素, x_1 、 x_2 、 x_3 、 x_4 、 y_1 、 y_2 、 y_3 、 y_4 分别是四个目标像素点到原始图像相邻点在

x 和 y 轴方向上的距离。

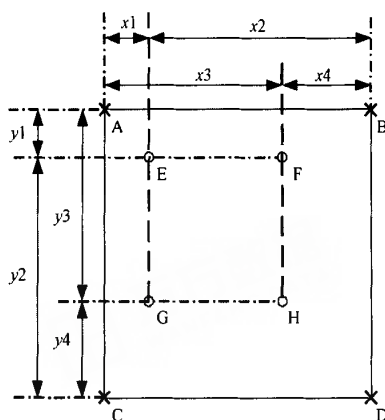


图 2 双三次插值邻域,由原始像素 A、B、C、D 获得目标像素 E、F、G、H

Fig 2 Bicubic interpolation neighborhood, The goal is to infer the values from the 2×2 pixels neighborhood

2.3 双三次插值 (bicubic) 的实现

对于图 2 所示的由相邻四个原始像素计算四个目标像素的情况,设计如图 3 所示的结构实现双三次插值。

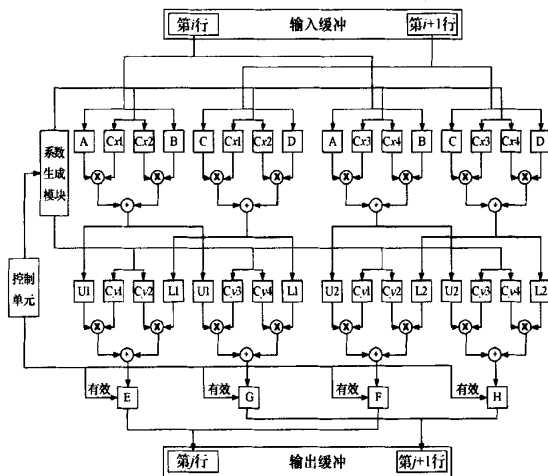


图 3 2×2 邻域双三次插值框图

Fig 3 Block diagram of bicubic interpolation from the 2×2 pixels neighborhood

为了由原始像素点 A、B、C、D 双三次插值得到目标像素点 E、F、G、H,分为以下步骤完成:① 首先从两行读入缓冲中分别读出相邻四个原始像素点 A、B、C、D,同时由系数生成模块根据目标像素与原始像素在 x 轴方向的距离 x_1 、 x_2 、 x_3 、 x_4 生成相应的

在 x 轴方向上的系数 C_{x1} 、 C_{x2} 、 C_{x3} 、 C_{x4} ;② x 轴方向的系数与相应原始像素值相乘;③ 每个目标像素点在 x 轴方向的相应乘积结果相加,得 $U1$ 、 $L1$ 、 $U2$ 、 $L2$,同时由系数生成模块根据目标像素与原始像素在 y 轴方向的距离 $y1$ 、 $y2$ 、 $y3$ 、 $y4$ 生成相应的在 y 轴方向上的系数 C_{y1} 、 C_{y2} 、 C_{y3} 、 C_{y4} ;④ y 轴方向的系数与对应 $U1$ 、 $L1$ 、 $U2$ 、 $L2$ 相乘;⑤ 乘积结果相加即得插值后的目标像素值;⑥ 2 倍以内的缩放,由四个相邻原始像素有可能插值出目标像素的数目可能不足四个,所以由控制单元判断哪个输出结果是有有效输出,并存入输出缓冲。

可见,双三次插值的计算被分为 x 和 y 两个方向进行,包括读取、计算、存储在内的操作肯定需要若干个时钟周期才能完成,因此为了保证缩放的实时性,我们需要采用多级流水线结构的工作方式插值得到目标图像,其结构如图 4 所示。

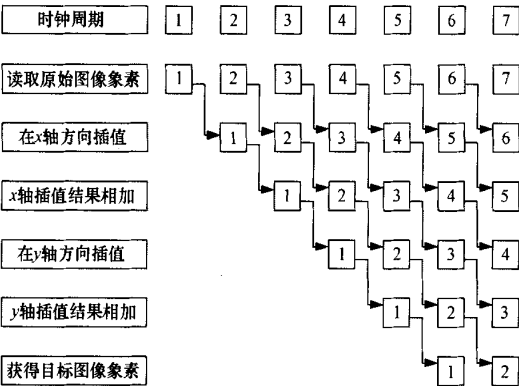


图 4 2×2 邻域双三次插值流水线结构图
Fig 4 Pipeline scheme of bicubic interpolation from the 2×2 pixels neighborhood

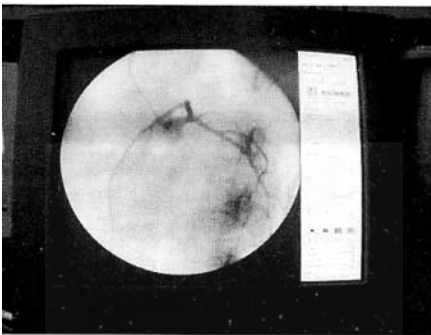
整个双三次插值过程分为六个环节,每个环节同时并行处理而不是等上一个插值结果计算完毕才开始下一个像素的计算,从而提高处理速度。

另外,由于插值过程中逆映射到原始图像的目标像素点与周围四个相邻的原始像素间的权重是 $0 \sim 1$ 之间的小数,而 FPGA 并不直接支持浮点数的运算。所以为了方便起见,设定放大倍数为 2 的整数次幂,这样在做插值运算时的乘法,可以通过移位完成,避免浮点运算。

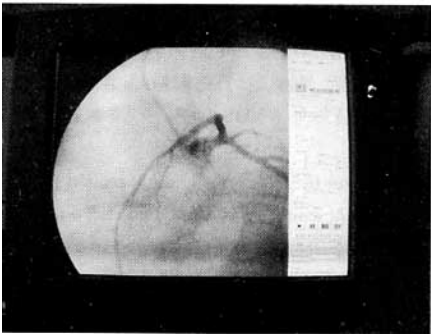
3 结果

将上述系统在 Xilinx 公司的 Spartan-3 系列 XC3S1000 的 FPGA 芯片予以实现,以双三次插值实现

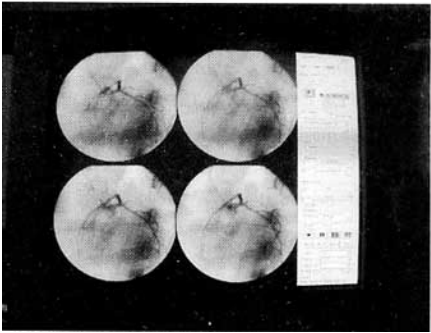
2 倍以内缩放为例,系统资源占用数目如表 1 所示。



(a) 1024×1024 的原始 X 线图像



(b) 放大 4/3 倍的结果



(c) 缩小 1/2 的结果

图 5 X 线图像的缩放处理结果

Fig 5 The result of the X-ray image zooming

表 1 资源占用表(XC3S1000)

Table1 Resource utilization of target device(XC3S1000)			
系统资源	已使用/个	可供使用/个	利用率
触发器	425	15360	2%
四输入 LUT	1028	15360	6%
高速块 RAM	8	24	33%
18×18 乘法器	16	24	66%

复合方法。

(3) 在 $\text{pH} = 2.4 \sim 3.0$ 的 0.5% 的乳酸溶液中, 温度为 55°C 的加速降解的条件下, 降解结果是 CS 的相对分子质量为 42 万、CPP 的粒径为 $50\mu\text{m}$ 、脱乙酰度 75.56% 时, 所得复合材料的降解速率最快。

(4) 在 $\text{pH} = 7.4$ 的 TRIS 缓冲溶液中, (37 ± 1) $^\circ\text{C}$ 的常规降解的条件下, CS 降解速度最快, CPP 降解速度最慢, 复合材料的降解速度适中。在 CS/CPP 复合材料中, 随着 CS 含量的增加, 复合材料的降解速率加快, 与 CS 复合可以加快 CPP 的降解。所以, CPP 和 CS 复合可以增加 CPP 的降解速率; 改变 CS 与 CPP 的配比, 可以控制复合材料的降解速率。

参考文献

- [1] Doblare M, Garcia JM, Gomez MJ. Modelling bone tissue fracture and healing: a review. *Engineering Fracture Mechanics*, 2004, 71: 1809 - 1840
- [2] Jiang YB, Zhao J, Rosen C, et al. Perspectives on bone mechanical properties and adaptive response to mechanical challenge. *Journal of Clinical Densitometry*, 1999, 2: 423 - 433
- [3] Tezuk K, Wada Y, Takahashi A, et al. A stress-adaptive bone remodeling model based on reaction-diffusion system. *Bone*, 2003, 32: S197 - S197
- [4] 张利, 李玉宝, 魏杰, 等. 纳米羟基磷灰石/壳聚糖复合骨修

复合材料的共沉淀法制备及其性能表征. *功能材料*, 2005, 36(3): 441 - 444

- [5] Meenan BJ, Mecleroe C, Akay M. *J Mater Sci*, 2000, 11: 48
- [6] Masanori K, Soichiro I, Shizuko I, et al. *Biomaterials*, 2001, 22: 1705
- [7] Wang XJ, Li YB. Development of biomimetic nano-hydroxyapatite/poly(hexamethylene adipamide) composites. *Biomaterials*, 2002, 23: 4787 - 4791
- [8] 田丰, 成国祥, 刘长军, 等. 骨组织损伤修复生物医用材料的研究进展. *医疗卫生装备*, 2005, 26(2): 22 - 25
- [9] Zhang W, Liao SS, Cui FZ, et al. hierarchical self-assembly of nano-fibrils in mineralized. *Chemistry of Materials*, 2003, 15: 3221 - 3226
- [10] Liao SS, Zhang W, Cui FZ, et al. Hierarchically biomimetic bone-scaffold materials: Nano-HA/Collagen/PLA composite. *Biomedical Materials Research*, 2004, 2: 158 - 165
- [11] Liao SS, Cui FZ. In vitro and in vivo degradation of the mineralized collagen based composite scaffold: nHAC / PLA. *Tissue Engineering*, 2004, 10: 73 - 80
- [12] 何东保, 石毅, 梁红波, 等. 壳聚糖-海藻酸钠协同相互作用及其凝胶化的研究. *武汉大学学报(理学版)*, 2002, 48(2): 193 - 196
- [13] 张立彦, 曾庆孝, 李作为. 溶菌酶降解壳聚糖条件的研究. *功能高分子学报*, 2004, 17(3): 391 - 395

(2006-08-01 收稿, 2006-09-17 修回)

(上接第 143 页)

经过测试, 系统可以对 1024×1024 分辨率下 30 帧/s 的 X 线图像进行实时的双三次插值的放大和缩小, 其实际效果图如图 5 所示, 图中使用的医用显示器型号为 Philips FIMI MD0709BRM。

4 结论

本文介绍了基于 FPGA 实现双三次插值的模块, 经过测试, 模块能够对 1024×1024 的 X 线图像进行 30 帧/s 的实时缩放。由于系统采用了具有很强的扩展性和重构性的器件 FPGA 实现, 系统功能可根据需要在不改变硬件设计的基础上进行调整, 增加了方案的灵活性和系统的适应能力, 可推广到其它医学影像系统中, 具有很好的应用前景。随着高性能 FPGA 深入应用, 可以方便设计更为复杂的插值算法, 从而进一步提高图像缩放的实际效果。

参考文献

- [1] Xilinx Spartan-3 FPGA Family: Complete Data Sheet. Xilinx Advance Product Specification. March. 2004
- [2] Gribbon KT, Bailey DG. A Novel Approach to Real-time Bilinear Interpolation. *Proceedings of the Second IEEE International Workshop on Electronic Design. Test and Applications (DELTA'04)*
- [3] Marco Aurelio Nuno-Maganda, Miguel O. Arias Estrada. Real-Time FPGA-Based Architecture for Bicubic Interpolation: An Application for Digital Image Scaling. *Proceedings of the 2005 International Conference on Reconfigurable Computing and FPGAs. ReConFig 2005*
- [4] Einar Maeland. On the Comparison of Interpolation Methods. *IEEE Transactions On Medical Imaging*, 1988, 1(3): 213 - 216
- [5] 王岳环, 彭晓. 基于 FPGA 的数字图像实时放大设计. *计算机工程与应用*, 2005, 41(8): 108 - 110
- [6] 李开宇, 张焕春, 经亚枝. 基于 FPGA 动态可重构的高速、高质量的图像放大. *中国图形图像学报*, 2005, 10(1): 69 - 74

(2006-04-05 收稿)

基于FPGA的数字X线图像的实时缩放模块

作者: 焦骥, 张辉, 胡广书, JIAO Jian, ZHANG Hui, HU Guangshu
作者单位: 清华大学生物医学工程系, 北京, 100084
刊名: 北京生物医学工程 **ISTIC**
英文刊名: BEIJING BIOMEDICAL ENGINEERING
年, 卷(期): 2007, 26(2)
被引用次数: 1次

参考文献(6条)

1. Xilinx Spatan-3 FPGA Family: Complete Data Sheet. Xilinx Advance Product Specification 2004
2. Gribbon KT, Bailey DG A Novel Approach to Real-time Bilinear Interpolation
3. Marco Aurelio, Nuno-Maganda, Miguel O Arias Estrada. RealTime FPGA-Based Architecture for Bicubic Interpolation: An Application for Digital Image Scaling 2005
4. Einar Maeland On the Comparison of Interpolation Methods 1988(03)
5. 王岳环, 彭晓 基于FPGA的数字图像实时放大设计[期刊论文]-计算机工程与应用 2005(08)
6. 李开宇, 张焕春, 经亚枝 基于FPGA动态可重构的高速、高质量的图像放大[期刊论文]-中国图象图形学报 2005(01)

相似文献(9条)

1. 期刊论文 胡小龙, 冯彬, HU Xiao-long, FENG Bin 基于FPGA的高分辨率实时监控图像缩放设计 -液晶与显示 2009, 24(6)

介绍了一种基于图像的双三次线性插值缩放算法的设计方法, 并通过FPGA验证了设计的可行性. 重点讨论了视频缩放的插值算法, 对两种实现方法在硬件资源利用率及实施效率方面进行了比较并论证了块状插值实现方法的优越性. 最终设计实现了高分辨率实时视频图像的缩放.

2. 期刊论文 田利波, 王瑞光, TIAN Li-bo, WANG Rui-guang 基于移动窗口的图像缩放算法 -电视技术2007, 31(8)
针对传统双线性插值法在缩小时需要预缩放, 硬件实现复杂, 成本高, 提出了改进的基于移动窗口的缩放算法, 其实现简单, 成本低. 用Matlab前期仿真表明缩放效果好. 并对LED屏的“比例缩放”工程问题, 详介了FPGA设计过程, 给出了后期验证方案.

3. 期刊论文 罗蓬, LUO Peng 多画面处理器的设计与实现 -计算机工程2009, 35(14)

提出一种基于现场可编程门阵列的多画面处理器设计方法. 该系统由视频输入模块、视频矩阵模块、A/D转换模块、视频信号处理模块、视频输出模块和控制模块组成. 针对多画面处理的特点, 给出信号调理、图像缩放、画面分割等关键技术的实现方法. 实际应用证明该系统具有较好的显示效果.

4. 期刊论文 刘政林, 赵慧波, 邹雪城 用于平板显示器的图像缩放引擎设计及FPGA实现 -电视技术2005, ""(z1)

介绍基于双线性插值算法定标器的结构设计, 采用Virtex2系列FPGA芯片设计实现了缩放引擎, 并构建测试环境对定标器进行了逻辑功能验证和测试, 验证结果表明满足设计要求.

5. 学位论文 祝中秋 视频后处理算法研究及硬件实现 2009

随着新型显示设备、新的电视广播格式和各类多媒体设备的发展, 市场需要高质量的视频处理技术显示各种信号. 视频后处理技术就是通过图像缩放、去隔行等各种视频格式转换, 以及图像增强处理, 进一步提高观赏的效果.

本文主要针对后处理芯片中的关键技术—缩放和图像增强进行了深入研究. 首先论文介绍了视频图像进行缩放的必要性, 回顾了学术界的经典图像缩放技术, 在比较最近邻域法、双线性插值、矩形窗缩放法、双三次插值等经典缩放技术优缺点的基础上给出双立方插值图像缩放的改进方案: 改进的图像缩放引擎在保持双三次插值算法缩放效果的同时, 简化了硬件结构. 采用上海宏力(GSMC) 0.15 μm CMOS工艺库, 用DC综合评估得到缩放模块占用芯片面积为0.39mm², 最高工作频率为156MHz.

其次讨论了亮度峰值(Luminance Peaking), 数字亮度瞬态增强(DLTI), 色度瞬态增强(DCTI), 黑/白电平延伸(BLW/WLE), 亮度、色调、对比度和饱和度, 以及自动对比度、色度调整等视频图像增强技术及其硬件实现方法; 并在传统算法的基础上对亮度峰值、数字亮度瞬态增强、自动对比度进行了算法改进. 首先在亮度峰值中为了改善峰值质量, 需要有效保护轮廓并灵活调节核化门限, 为此改进coring模块, 使之能更好的保护图像不被过度处理. 其次在DLTI中, 利用提取亮度信息的高频部分来控制校正信号的幅度, 可以得到更好的勾边处理效果. 最后在调整图像对比度的处理中, 利用直方图统计生成亮度调整曲线来改变图像亮度, 并引入色度信息辅助修正直方图的拉伸曲线, 调整图像对比度, 进一步改善图像效果; 通过与线性拉伸相比, 本算法在不增加硬件复杂度的基础上, 处理效果上得到较明显的提升.

最后简单介绍了FPGA硬件验证平台, 以及仿真验证结果分析. 软件仿真及FPGA测试显示, 论文所述的算法改进提高了图像质量, 显示效果良好.

6. 期刊论文 蔡泽锋, 闫晓晨, 郑学仁, CAI Ze-feng, LV Xiao-cheng, ZHENG Xue-ren 基于行列不同插值算法的图像缩放引擎的设计 -液晶与显示2009, 24(4)

为了降低定标器的硬件复杂度并提高液晶显示图像的质量, 提出了一种行列采用不同插值算法的图像缩放引擎设计方法. 在论述四点三次卷积插值算法和线性插值算法基础上, 提出了行列不同计算点数的缩放引擎系统架构. 在该架构中, 水平缩放采用四点三次卷积插值算法, 而垂直缩放采用优化的两点线性插值算法. 相比双三次插值算法的实现, 减少了9个乘法器的使用, 明显节省了实现电路的硬件开销. 另外, 详细论述了放大单元及相应的滤波器的设计, 并将设计结果综合下载到现场可编程门阵列(FPGA)芯片. FPGA验证结果表明, 该设计切实可行.

7. 期刊论文 刘政林, 邹雪城, 向祖权, 肖建平, 赵慧波, 李仕杰, LIU Zheng-lin, ZOU Xue-cheng, XIANG Zhu-quan,

XIAO Jian-ping, ZHAO Hui-bo, LI Shi-jie 定标器的设计与实现 -电子学报2006, 34(1)

定标器(Scaler)是广泛应用于平板显示器系统中的图像缩放引擎, 它将不同分辨率的输入图像经缩放后以固定的分辨率输出到平板显示器上. 本文首

先在分析定标器系统结构的基础上提出了三个时序约束条件,并推导了相应的公式,当满足这三个约束条件时,定标器中的FIFO和行缓冲区不会上溢或下溢,显示帧与输入帧同步,很好地解决了定标器的时序问题.随后介绍了基于双线性插值算法的图像缩放引擎设计,然后用FPGA实现该缩放引擎,并构建测试环境对整个定标器进行逻辑功能验证,最后给出验证的结果.

8. 期刊论文 [张辉](#). [夏明新](#). [焦熊](#). [胡广书](#). [ZHANG Hui](#). [XIA Ming-Xin](#). [JIAO Jian](#). [HU Guang-Shu](#) [基于FPGA的实时X线医学图像处理系统](#) -中国生物医学工程学报2008, 27 (1)

X线图像的实时处理要求系统具有强大的运算能力和数据吞吐能力.本研究介绍了一套基于FPGA的图像处理系统,可以对输入的X线图像进行多种实时处理,包括回归滤波、数字减影、基于 7×7 模板的图像增强以及基于双三次插值的图像缩放等,并生成多种接口的显示图像.该系统可以应用于透视和血管减影造影等多种场合.由于采用高度集成的FPGA器件,整个系统功能强大,结构小巧紧凑.实验结果表明,系统工作稳定,可以初步满足临床应用要求.

9. 学位论文 [李杰明](#) [基于FPGA的数字图像旋转引擎设计](#) 2009

数字图像旋转和缩放,是数字图像处理中对图像信号相对显示几何位置和大小变换的技术,广泛应用于电子消旋系统、数码相框、医学显示系统、投影显示系统等产品.本文将设计一种基于FPGA的图像旋转引擎,它能实现图像的旋转和缩放功能,并能满足上述应用场合的实时性的要求.

图像旋转的算法包括两方面:坐标旋转算法和图像插值算法.坐标旋转算法的实现电路是图像旋转引擎的设计重点和难点.坐标旋转算法中包括了 \sin 、 \cos 的计算,而 \sin 、 \cos 属于超越函数,无法在电路上直接实现.本文在研究各种间接实现坐标旋转算法的电路方案的基础上,对现有的CORDIC坐标算法电路作了两点改进.其一是提出增加两个K因子乘法器以实现图像的缩放功能.与传统的CORDIC算法电路相比,改进后的电路仅用两个乘法器就解决CORDIC算法的K去模问题,并增加了图像缩放功能.其二是电路采用流水线结构.与传统的迭代结构的电路相比,流水线结构的电路有较高运算速度,能满足实时图像处理的速度要求.

图像插值电路是图像旋转引擎的另一设计重点.常用的图像插值算法包括最近邻域插值、双线性插值、双三次插值.本文采用主观评介和PSNR客观评介相结合的方法对三种算法的图像质量进行了比较.在此基础上,比较了三种插值算法电路实现复杂度.结果表明,双线性插值算法有较优的图像质量和较低的电路规模.因此采用双线性插值算法设计了插值器电路.

图像旋转引擎的另一个设计难点是图像的帧存储.通常的图像处理系统都采用DDRSDRAM作为数据存储.由于图像旋转对帧存数据的读取是不连续的,DDR SDRAM存储器在读取图像数据的时候要频繁地切换行地址.这使得存储器的读操作效率低下.本文提出一种分区间帧存结构,大大减少了读取数据时DDR SDRAM的行切换次数,提高了存储器的读操作效率,使数据的读取速度能满足处理速度的要求.

设计以Altera Cyclone II EP2C35F672C8为目标器件,对算法的实现电路进行功能和时序仿真.仿真结果表明,算法电路有较高的转换精度和较高的运算速度,其中坐标转换模块的时钟频率达到130MHz,信号处理模块的时钟频率达到140MHz.最后,在FPGA硬件平台上对数字图像旋转引擎进行了整体验证.图像的输入信号取自PC机的VGA信号接口,处理后的图像输出液晶显示器的VGA信号接口.验证的结果显示,数字图像旋转引擎所处理的图像清晰稳定,能设定旋转角度、旋转方向和缩放比例,实现自如流畅的动态画面旋转和缩放.

引证文献(1条)

1. [李同宇](#). [任文平](#). [贾赞](#) [基于FPGA的图像裁剪电路的设计与实现](#)[期刊论文]-[电子技术](#) 2010 (1)

本文链接: http://d.g.wanfangdata.com.cn/Periodical_bjswyxcg200702008.aspx

授权使用: 陕西理工学院(sxlgxy), 授权号: 42fbdacc-4dea-4ddc-90c4-9df201141e1f

下载时间: 2010年9月15日