

合肥工业大学
博士学位论文
面向特种LCD图像处理方法与FPGA实现研究
姓名：盛磊
申请学位级别：博士
专业：精密仪器及机械
指导教师：徐科军
20050601

面向特种 LCD 图像处理方法与 FPGA 实现研究

摘 要

随着数字化作战模式的发展,在机载、舰载、装甲车辆等军用装备中将越来越多地要求使用轻、薄和节能的液晶显示器(LCD),因此,LCD在军事领域将有巨大的应用前景。但是,军用LCD在性能方面有一些特殊的要求,例如工作温度范围、对比度、夜视兼容和抗阳光等。而目前通用的商用LCD显示控制板存在着工作温度范围窄($0^{\circ}\text{C}\sim 40^{\circ}\text{C}$)、亮度和对比度调节范围过小的缺点,不适用于高低温($-40^{\circ}\text{C}\sim 65^{\circ}\text{C}$)和特殊光照条件(过亮/过暗)的作战环境。所以,几乎全部军用特种LCD都是由商用LCD“加固”而成。采用加热加固的方法会使LCD的功耗增加、可靠性降低和体积变大,而且加固后的LCD功能单一、系统兼容性差。

为此,本文研究特种LCD的图像处理方法和FPGA实现方案,并研制出基于FPGA的若干实际应用系统,有效地解决目前存在的问题。本文主要研究内容为:

(1)给出一种基于彩色空间变换的色彩调整方法,在YCrCb空间内实现亮度和色度分离,避免了RGB空间两者同时变化造成偏色和失真的现象,并在FPGA内采用流水线结构改进3阶矩阵运算的逻辑结构,节省出2/3的逻辑资源,提高了模块的最高运行速度;提出一种基于图像均值的直方图扩展对比度调整算法,它是以一帧图像的灰度均值为中心进行直方图扩展,具有灰度自适应性,效果优于现有的方法;采用基于6点的LCD Gamma校正法,在Gamma曲线的每个小分段内分别进行拟合,提高彩色还原的准确性,加快了校正速度,并在FPGA内利用双端口RAM设计出具有可编程特性的LCD Gamma校正模块。

(2)研究利用FPGA实现图像实时缩放处理的方法,选择能够满足特种LCD要求的双线性插值法作为研究对象,实时计算插值系数 dx 和 dy ,并采用流水线结构进行插值计算,仅使用FPGA中的3个双端口RAM来缓冲图像数据,没有外扩大容量帧存储器,降低了成本,提高特种LCD的系统兼容性。

(3)设计一种针对特种LCD更为简捷、有效的隔行转逐行扫描的实现方案,即利用图像实时缩放的方法,把一场图像缩放到LCD的分辨率,实现复合视频图像在LCD的“全屏”显示,改善现有特种LCD在显示隔行扫描的复合视频信号时,遇到图像信息丢失或显示效果不佳的问题。

(4)设计出一种基于字符和位图的数字OSD控制核,合理使用分布式RAM和块RAM两种逻辑资源来存储字符和位图信息,OSD图像由数字逻辑自动合成,编程简单灵活,使特种LCD的参数调整更加方便。

(5)研制成功基于FPGA的特种LCD显示控制板,能显示三种分辨率 640×480 , 800×600 , 1024×768 的图像信号;支持宽范围的亮度、对比度、显示位置等参数的实时调整,

并提供全功能的透明 OSD 菜单进行指示。通过 $-40^{\circ}\text{C} \sim 65^{\circ}\text{C}$ 的环境温度试验与性能测试,表明其性能和系统兼容性等都优于现有系统,达到军用 LCD 要求。

(6) 研制成功基于 FPGA 的特种 LCD 图像调节板,用于对某型号机载特种 LCD 进行改造,增加宽范围的亮度、对比度、图像显示位置的实时调整功能,提供无信号输入检测与 OSD 指示功能,提高图像显示的性能,通过了环境温度试验与性能测试,并已装机。

(7) 研制成功基于 DSP 和 FPGA 的图像采集显示板,实现了对全分辨率复合视频信号进行 25 帧/秒的实时采集和显示,在 DSP 内使用“三帧”轮换的图像数据缓冲方法提高了系统的实时处理能力,使之能够完成一定复杂度的实时图像处理。

关键词: 特种 LCD FPGA 图像处理 图像缩放 隔行转逐行 在屏幕显示

Research on Image Processing Method and FPGA Implementation of Special LCD

ABSTRACT

With the development of digital warfare mode, Liquid Crystal Display (LCD) will be widely used in the military equipments, such as the aircraft-borne, ship-borne and armored-vehicles because it is light, thin and low power. But there are some special performance requirements in the military application of LCD, for example, the operating ambient temperature range, the contrast controlling, the night-vision compatible and sunlight readable. The controlling board of commercial LCD, however, is not suitable for operating in the military fields ($-40^{\circ}\text{C}\sim 60^{\circ}\text{C}$ and the special illumination condition), because it can only operate in $0^{\circ}\text{C}\sim 40^{\circ}\text{C}$, and the adjustable range of brightness and contrast ratio is very narrow. Therefore, now nearly all of military special LCD comes from the rugged commercial LCD. By using "rugged" technology, not only the power dissipation is increased, the reliability is reduced and the volume is enlarged, but also functions of rugged LCD are single, and system compatibility is limited.

Therefore, this paper mainly studies the image processing methods for the special LCD and implementation with FPGA, and successfully designs several actual application systems based on FPGA to solve current problems effectively. The main research work of this paper is as follows:

(1) A color adjustment method based on color space conversion is presented, then color-distorted phenomenon could be avoided, because brightness and chroma are separated into different components in YCrCb, but they both change at the same time in RGB. And the logic architecture of 3×3 Matrix operation is improved by using pipeline, so that $2/3$ logical resources are reserved in FPGA and the maximum running frequency of this module is enhanced. A contrast adjustment method based on median histogram stretching is presented, which stretches histogram at the middle of image gray-scale, so it is gray-scale adaptive and is better than conventional methods. A programmable LCD gamma correction module is designed in FPGA with double-port RAM, which applies a method based on six calibration points, and corrects gray-scale in each segments of gamma curve, then image color restores accurately.

(2) The image scaling method using FPGA is studied. Bilinear interpolation algorithm is satisfied with special LCD, and then is implemented in FPGA. Interpolation coefficient "dx" and "dy" are computed real-time, interpolation computation is archived by using pipeline, and only three line buffers are used to store image data in stead of expanding large capacity frame memory, so the cost is reduced and system compatibility is improved.

(3) A simple, direct and effective de-interlacing method is discussed, which applies image scaling algorithm to scale one field (odd or even) image to the resolution of LCD. So the image of PAL/NTSC video could display full-screen in LCD, and the functions of existing special LCD are

improved in information-losing and display effect not-well.

(4) A digital OSD controller based on character and bitmap is designed. Two kinds of logical resources, "Distributed RAM" and "Block RAM", store reasonably character and bitmap information. OSD image is composed automatically by digital logic in FPGA, and programming method is simple and flexible, so that parameter adjustment of special LCD is more convenient.

(5) A special LCD controlling board based on FPGA is developed successfully, it can display three kinds of resolution, 640*480, 800*600, 1024*768, and can adjust brightness, contrast, position and other parameters, meanwhile provides the full functions transparent OSD menu. This board passes $-40^{\circ}\text{C} \sim 65^{\circ}\text{C}$ temperature and performance experiment, the results show that it is better than existing system in performance, functions, system compatibility, and achieves Military LCD standard.

(6) An image adjustment board of special LCD based on FPGA is developed successfully, which is used to update certain model aircraft-borne special LCD, and already passes by the performance test and the temperature experiment, and has been installed in equipment. In order to improve the performance of image display, this board adds the wide range adjustment of brightness, contrast, and position, and also provides no signal detecting and OSD menu indication.

(7) An image capture and display board based on DSP and FPGA is developed successfully, which has the real-time ability to capture and display full resolution composite video signal in 25 Frame/Second. A triple buffering scheme in DSP enhances the real-time processing ability of this system, and makes it achieve certain complex real-time image processing.

Key words: Special LCD FPGA Image Processing Image Scaling
De-interlacing On Screen Display

合 肥 工 业 大 学

本论文经答辩委员会全体委员审查,确认符合合肥工
业大学博士学位论文质量要求。

答辩委员会签名(工作单位、职称)

主席: 叶皓宇 中国地质大学 教授

委员: 费世泰 合肥工业大学 教授
王强 合肥工业大学 教授
俞立 安徽大学 教授
俞强 合肥工业大学 教授

导师:

同行专家评议人组成名单

叶声华	院士博导教授	仪器仪表	天津大学
叶中付	博导教授	电子信息	中国科技大学
俞本立	博导教授	仪器仪表	安徽大学
宋执环	博导教授	自动化	浙江大学
王化祥	博导教授	自动化	天津大学
葛运建	博导教授	自动化	中科院智能所
余晓芬	博导教授	仪器仪表	合肥工业大学
王群京	博导教授	电气工程	合肥工业大学

同行评阅专家名单

费业泰	博导教授	仪器仪表	合肥工业大学
陈军宁	博导教授	电子信息	安徽大学

答辩委员会名单

叶中付	博导教授	电子信息	中国科技大学
俞本立	博导教授	仪器仪表	安徽大学
费业泰	博导教授	仪器仪表	合肥工业大学
余晓芬	博导教授	仪器仪表	合肥工业大学
王群京	博导教授	电气工程	合肥工业大学

答辩委员会主席

叶中付	博导教授	电子信息	中国科技大学
-----	------	------	--------

插图清单

图 1.1 国外先进战飞机座舱图	2
图 2.1 RGB 彩色空间立方体	9
图 2.2 不变换空间色彩调整方法的逻辑结构	10
图 2.3 YCrCb 与 RGB 空间的转换关系	11
图 2.4 FPGA 实现彩色调整的信号处理流程	12
图 2.5 行为级描述的 R'G'B'到 Y'CrCb 的变换	12
图 2.6 已有改进方法的 FPGA 实现逻辑结构	13
图 2.7 流水线改进的 FPGA 实现逻辑结构	14
图 2.8 对比度的直方图滑动法原理示意图	16
图 2.9 采用直方图滑动法的对比度调整结果	16
图 2.10 R 分量的直方图	17
图 2.11 图像均值法的原理示意图	18
图 2.12 采用不同方法调整 Lena 图像对比度的结果 (Gain=1.85)	19
图 2.13 采用不同方法调整 Lena 图像对比度的直方图 (Gain=1.85)	19
图 2.14 FPGA 实现图像均值法对比度调整的串行逻辑结构	21
图 2.15 在 FPGA 中计算 Middle 的逻辑结构图	22
图 2.16 视频和计算机图形系统的 Gamma 校正步骤	23
图 2.17 LCD 的 Gamma 曲线与校正方法示意图	24
图 2.18 基于双端口 RAM 的 Gamma 校正逻辑结构	25
图 3.1 图像的双线性插值计算模型	28
图 3.2 利用 3 种不同插值方法对文字放大 1.35 倍	29
图 3.3 利用 3 种不同插值算法对 Lena 图像放大 1.35 倍	29
图 3.4 利用 FPGA 实现双线性插值的三个功能模块	30
图 3.5 采用 SAA6721 构成的 LCD 显示控制板框图	31
图 3.6 采用 FIFOs 的图像缩放模块框图	31
图 3.7 三个双端口 RAM 的逻辑关系图	32
图 3.8 三个双端口 RAM 的工作模式转换状态图	33
图 3.9 从 2 个双端口 RAM 中同时取出四个相邻像素点的示意图	33
图 3.10 像素点输出配置图	34
图 3.11 浮点数的表示方法	35
图 3.12 运算系数生成与逻辑结构	36
图 3.13 插值计算单元的逻辑结构	37
图 3.14 双线性图像缩放模块逻辑结构与互联关系图	38
图 3.15 图像数据缓冲模块仿真波形	39

图 3.16 双线性插值计算模块仿真波形图.....	40
图 3.17 运算系数生成与逻辑控制时序仿真图.....	40
图 4.1 隔行向逐行变换	42
图 4.2 场内滤波	43
图 4.3 去隔行的两场滤波	44
图 4.4 隔行 PAL/NTSC 在逐行 LCD 显示的处理流程	45
图 4.5 基于图像缩放的去隔行方法	45
图 5.1 数字 OSD 控制核功能模块图	47
图 5.2 基于字符的 OSD 模块存储器映射关系图	48
图 5.3 基于位图的 OSD 模块存储器映射关系图	49
图 5.4 OSD 图像合成逻辑关系图	50
图 5.5 字符编码定义	50
图 5.6 实现 SPI 协议的状态转移图	51
图 5.7 OSD_WRAM 的访问地址生成逻辑仿真时序图	52
图 5.8 OSD 图像合成模块信号时序图(实拍)	53
图 5.9 叠加 OSD 图像的专用 LCD 测试图片 (实拍)	53
图 6.1 特种 LCD 显示控制板系统组成	55
图 6.2 功能模块与信号处理流程图	56
图 6.3 FPGA 内部 LCD 显示控制逻辑框图	56
图 6.4 图像水平移动时序图	57
图 6.5 信号自动检测原理	57
图 6.6 特种 LCD 显示控制板	60
图 6.7 NOKIA 专用 LCD 的综合测试图像 (实拍)	60
图 6.8 采用了特种 LCD 显示控制板的 LCD 显示器	60
图 6.9 特种 LCD 图像调节板与原 LCD 显示系统的关系	61
图 6.10 特种 LCD 图像调节板系统组成框图	61
图 6.11 ENAB 信号的处理	62
图 6.12 特种 LCD 图像图像调节板	63
图 6.13 系统硬件组成及原理框图	64
图 6.14 软件处理系统程序构架	66
图 6.15 数据显示模块时序仿真图	67
图 6.16 ADV7177 mode2 的奇、偶场转换时序图	68
图 6.17 一个完整的 I ² C 传送过程	69
图 6.18 I ² C 控制核总体结构框图	70
图 6.19 I ² C 总线命令状态转移图	71
图 6.20 I ² C 总线时序状态转移图	72

图 6.21 I ² C 总线信号 SCL 和 SDA 时序状态划分图	73
图 6.22 布局布线后仿真结果图	74
图 6.23 视频设备驱动程序 (DDP) 流程图	75
图 6.24 显示中断事件与 EDMA 传输逻辑关系图	76
图 6.25 EDMA 传输机制与帧存的调度	77
图 6.26 基于 DSP 和 FPGA 的图像采集显示板	77
图 6.27 HPI630D 实测 EMIF 接口信号时序关系图	78

表格清单

表 1.1 军用显示器类型分类	3
表 3.1 双线性插值图像缩放模块的逻辑资源使用情况	39
表 5.1 数字 OSD 控制核所占逻辑资源	52
表 6.1 I ² C 总线的读、写操作过程	70
表 6.2 I ² C_top 模块内部寄存器	71

独 创 性 声 明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。据我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得合肥工业大学或其他教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

学位论文作者签名：

签字日期： 年 月 日

学位论文版权使用授权书

本学位论文作者完全了解 合肥工业大学 有关保留、使用学位论文的规定，有权保留并向国家有关部门或机构送交论文的复印件和磁盘，允许论文被查阅和借阅。本人授权 合肥工业大学 可以将学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

(保密的学位论文在解密后适用本授权书)

学位论文作者签名：

导师签名：

签字日期： 年 月 日

签字日期： 年 月 日

学位论文作者毕业去向：

工作单位：合肥工业大学 电话：0551-2901412, 13855102062 EMAIL: shenglei02@163.com

通讯地址：合肥工业大学自动化所 DSP 实验室

邮编：230009

致 谢

本学位论文工作是在我的导师徐科军教授的悉心指导下完成的。徐老师丰富的理论知识、远见的学术洞察力、敏锐的学术思想、严谨的治学态度和执着敬业的精神使我受益匪浅，这段宝贵的学习经历令我终身难忘。几年来，导师给予我参加多个课题的机会，使我的科研和学术水平得到了提高。在此，谨向恩师致以最真诚的敬意和最衷心的感谢。

感谢我的父母和妻子夏凌，在我学习期间给予极大的支持和精神上的鼓励。特别是在宝宝出生后，他们为了让我有更多的时间专心完成学业，付出了更多的辛劳，在此，我要向他们表达我深深的谢意和感激之情。

感谢学院和系里的各位老师，在我学习期间给予的教诲与帮助，特别感谢费业泰教授、余晓芬院长在论文写作方面对我的指导。

感谢和我一起学习探讨问题的同窗好友：梁发云博士、苏海涛博士、尹永生博士，大家在学习和生活中相互帮助，共同提高。

感谢实验室的同学们，他们是赵明、陈智渊、倪伟、袁波，王肖芬、黄云志、张瀚、任好、周阳、梅楠楠等，我们大家在一起学习，共同完成科研项目，讨论问题，分享思路，创造了一个良好的学术和研究的氛围，使我在作课题期间得到很多帮助。

盛磊

2005年6月

第一章 绪论

1.1 课题研究的目的与意义

图像处理技术是现代信息技术的重要组成部分,而图像显示设备是信息装备的重要器件,在军用与民用科学技术中具有广泛的应用,特别是在现代战争的作战指挥、武器控制及信息处理系统等武器装备中,更是不可缺少的重要技术。例如,飞行器座舱中的飞行员通过显示器可以获得关于超视距战术势态、本机状况、火控状态和导航等诸多信息。

目前的显示设备可分为阴极射线管(CRT)和平板显示(FPD)两大类。CRT经过几十年的发展,在技术上已经相当成熟,与平板显示器相比,在色彩、价格等方面占有优势。但是,从技术和市场发展趋势来看,平板显示器具有迅速增长的势头。平板显示器一般有液晶显示器(LCD)、等离子体显示器(PDP)、场效应显示器(FED)、光致发光显示器(PL-LCD)和激光平板显示器(POD)。而LCD又分为扭曲向列型液晶显示器(TN-LCD)和超扭曲向列型液晶显示器(STN-LCD)以及90年代新发展起来的薄膜晶体管液晶显示器(TFT-LCD)。

LCD通过改变电场中液晶分子的排列来调制来自背光灯的光强,从而达到显示信息的目的;通过在像素上加滤色片来实现彩色显示。它具有以下突出的优点^[1]:

- (1) 低电压(3~5V)、微功耗(工作电流仅为 $\mu\text{A}/\text{cm}^2$ 量级);
- (2) 易于实现彩色化;
- (3) 工作时电磁辐射极微弱;
- (4) 体积小、厚度薄,显示画面为纯粹的平面;
- (5) 重量轻。

当然,LCD也存在一些不足,具体包括^[2]:

- (1) 被动型显示,本身不发光,在黑暗环境下必须配置外光源或背景光源;
- (2) 视角较小;
- (3) 亮度、响应速度、对比度较差;
- (4) 多数产品工作温度范围不够宽。

随着数字化作战模式的发展,在未来的机载、舰载、装甲车辆等军用装备中将越来越多地使用高清晰度、多窗口和彩色大屏幕等显示高新技术,为作战人员提供文字、图像信息的容量将越来越大,接受信息的作战人员的范围将越来越广,直至包括作战前沿的单兵也将装备相应的显示器件。因此,对显示设备的要求也就越来越趋于轻、薄和节能,LCD在军事应用场合必将具有巨大的潜力。

尽管LCD在平面度、重量、体积、构型等方面较之CRT具有优良的性能,但LCD在军用领域中的使用还是受到一些限制。单从技术的角度看,这是因为LCD存在一定的不足并且尚未克服。例如,LCD的工作温度范围窄($0^{\circ}\text{C}\sim 40^{\circ}\text{C}$),LCD在显示亮度、对比度、色彩等方面都还不能达到主流的CRT显示器的需求;有些产品的响应时间在50ms以上,

拖尾现象严重,仅适合对图像移动性能要求不高的场合;极低的成品率导致其高昂的价格,这些局限性限制了早期 LCD 推广和使用。

LCD 问世之时,就引起了军方的关注,最早使用 LCD 的是美国的海军航空飞行器^[1]。1983~1987 财政年度,美国投资为其海军研制的“轻型模块显示系统(LMDS)”开创了有源矩阵液晶显示器进入军用显示器件行列的先河,并装备于 F/A-18 “大黄蜂”、F-14D 战机^[2]。这种 LCD 的尺寸为 5×5 英寸,具有辉度高、对比度高、色调浓而不刺眼、较优化的视角等特点,可显示全彩色的战术数据、全部动作录像和高分辨率 FLIR(前视红外)图像^[3]。90 年代以后,美国新研发的军用飞机清一色地采用了 LCD 作为飞行指示终端,而且还着手为大量的改进型飞机改装 LCD。LCD 在军用航空器中的应用正迅速推广,美军甚至打算在今后的作战平台上将不再采用 CRT 而全部使用 LCD。图 1.1 就是国外先进战机座舱,采用了多个 LCD 作为显示器。

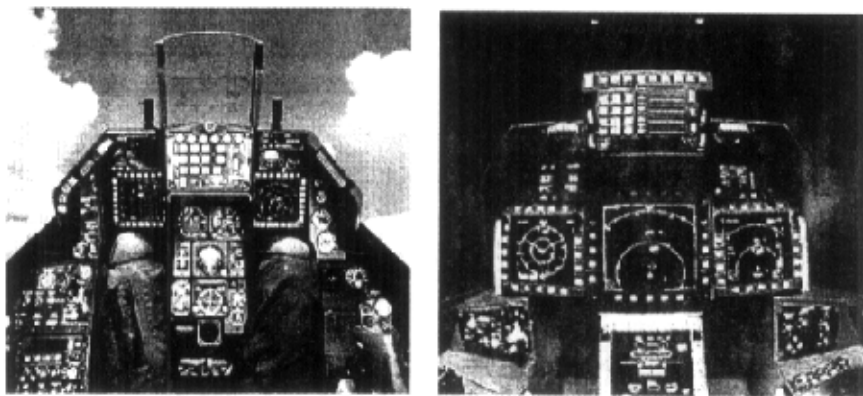


图 1.1 国外先进战机座舱图

随着新世纪之初的第五代液晶面板制造技术的成熟, LCD 的响应速度、亮度、对比度、视角等诸多性能都有很大的提高。但是, LCD 显示器整机工作温度范围窄的缺点并没有得到改变。主要是由于核心的 LCD 显示控制芯片(LCD Controller, LCD 控制器)等集成电路(IC)只有商业级的产品。

值得一提的是,军用机载 LCD 与其他军用航空电子一样,由于要求苛刻,而且使用量少,面临产品元件来源枯竭的困境,迫使航空电子显示系统制造厂商和军方等用户纷纷采用开放系统结构和商用成品 LCD,直接或加以改造后用于客机、军用运输机,甚至高性能作战飞机^[4]。包括美国在内的世界各国军方,目前所采用的 LCD 都是购进普通的商用薄膜晶体管液晶显示器——TFT-LCD,然后根据军方用户的要求,有针对性地对其性能加以改善,使其满足军方对显示器性能提出的具体要求^[5]。经过这种处理的 LCD 称作加固型液晶显示器(Rugged LCD),而这种工艺则称作“加固”^[6]工艺。“加固”主要是通过对商用 LCD 的改造,使其在显示尺寸、工作温度、振动、冲击、亮度、夜视等方面达到军品级的要求。

加固 LCD 的结构可以分解为四个模块,即: LCD 模块、背光模块、接口电路、辅助电

路^[1]。其中 LCD 模块包含防反射滤光片、防眩滤光片、EMI(电磁干扰)前置玻璃、前偏振片、液晶盒(含 TFT 基片、基片彩色滤光片、补偿膜、垫片、液晶)、后偏振片、加热器。背光模块包含 NVG(或 IR 或 UV)滤光片、亮度增强膜(BEF)、漫透射片、背光灯。接口电路包括 TFT 扫描驱动接口、信号转换和显示控制接口。辅助电路包括温度控制电路、热管理电路、背光驱动电路、背光调光电路等等。概括起来,加固工作主要是针对这四个模块,根据不同的应用场合,按不同的要求进行加固,因此,对 LCD 的加固总是从使用的角度入手,进行必要的、有针对性的加固。

按照军用 LCD 的构成、复杂程度,及其所属类型(如表 1.1 所示),可以将 LCD 加固工艺分为许多层次,不同层次的加固工艺,对人员素质、设备投入、材料来源等有不同的要求。军用机载 LCD(又称航空级加固型 LCD)通常要达到全加固型 c 类的标准,即工作温度范围是-40℃~65℃。

表 1.1 军用显示器类型分类

类型说明		工作温度(℃)	贮存运输温度(℃)
军用普通型	a 类	15~35	40~55
	b 类	0~40	
初级加固型	a 类	5~40	
	b 类		
加固型	a 类	15~50	-50~65
	b 类		
	c 类	-15~55	
	d 类	0~40	
	e 类	-20~40	
全加固型	a 类	40~50	55~75
	b 类		
	c 类	-40~65	
	d 类	-55~70	

西方主要从事 LCD 加固的公司有:美国的 ACA(Astronautical Corporation of America)、OIS(Optical Imaging Systems Inc.)、Lockhead、Kaiser、RCA、APC(American Panel Company)、dPix(Planner 与 Serox 合作公司)、Rockwell、Barco、Planner、Korry 等公司,加拿大的 Honeywell、Litton 公司,法国的 Thomson、Sextant 公司等^[2]。它们主要以军用显示器的研究、开发工作为主,通过对商用 LCD 的改造,包括更换偏振片、添加加热器、添加反射滤光片、更换背光组件、更换驱动电路和必要的电子元器件,使其在工作温度、显示尺寸、亮度、振动、冲击、夜视等方面达到军品级的要求。而商用 LCD 与军用 LCD 最大区别就是工作温度范围窄,亮度和对比度调整范围窄,不能很好地适应在“高温”、“低温”、“过明”、“过暗”等特殊工作环境使用的要求,这主要是受商用 LCD 采用商业级 LCD 显示控

制芯片的限制。

由于只有国外少数几家大公司拥有设计和生产专用 LCD 显示控制芯片的相关技术,例如 PHILIPS 半导体、GENESIS、PIXELSWORK 等公司,但他们只生产和出售商业级芯片。这使得国外和国内的军用特种 LCD 研制都不能直接买到适合军品标准的 LCD 显示控制芯片。

目前,国内外已有的一种加固工艺是采用辅助加热装置,使 LCD 显示控制板一直处于 0°C 以上的环境中,由于辅助电路和加热装置的引入,增加了系统总功耗,降低了系统可靠性,并且没有解决亮度 and 对比度调整范围窄的问题。

为了解决这个问题,国外的军用飞机,如“苏-30”,它的多功能 LCD 显示系统中采用了高密度可编程逻辑器件 FPGA (Field Programmable Gate Array, 现场可编程门阵列),实现 LCD 显示控制功能,取代商用 LCD 控制器,以满足军品的要求。这是因为 FPGA 可以根据实际应用的需要,自主、灵活地设计其逻辑功能,而且有工业级 ($-40^{\circ}\text{C}\sim+100^{\circ}\text{C}$) 和军品级 ($-55^{\circ}\text{C}\sim-125^{\circ}\text{C}$) 的 FPGA 芯片,所以非常适合在工业、军事等领域中使用。

随着我国军事现代化的进程,军事装备中的图形图像显示系统也迫切要求采用符合军品标准的体积小、重量轻、功耗低的 LCD 显示系统。但是,我国的 TFT-LCD、STN-LCD 等显示控制芯片完全采用进口芯片,极大地限制了特种 LCD 显示应用产品的研制。为了满足高低温要求,军用特种 LCD 一般是采用辅助加热的方法,对商用 LCD 进行改造。对于要求较高的机载显示系统,已有采用 FPGA 进行设计的 LCD 显示系统,但是其 LCD 显示控制板的功能相对单一,系统兼容性不强,例如,当不同分辨率的信号输入时,要通过更换 FPGA 程序,才能正常显示图像。

要有效地解决上述问题,进一步改善和提高军用显示装备质量,势必要研制出能可靠工作于 $-40^{\circ}\text{C}\sim 65^{\circ}\text{C}$ 、亮度、对比度调整范围大、功能丰富、系统兼容性强的特种 LCD 显示控制板。一方面,随着 FPGA 内部嵌入式的存储器资源容量不断增加,速度等级 (Speed Grade) 不断提高,使得运用 FPGA 设计出高性能的 LCD 控制器成为可能;另一方面,由于 FPGA 是可编程器件,即便选用工业级 FPGA ($-40^{\circ}\text{C}\sim+100^{\circ}\text{C}$),也只能保证在允许的温度范围内不发生物理性损坏,其内部的数字逻辑系统确定它最终能否可靠工作于 $-40^{\circ}\text{C}\sim 65^{\circ}\text{C}$ 。再则,虽然专用 LCD 控制器功能较强,在图像处理方面已经做了许多工作,但并没有披露具体方法与实现的细节,而且它们没有针对 LCD 在特殊环境中遇到的实际情况做相应的处理。

为此,我们进行了面向特种 LCD 图像处理方法和 FPGA 实现的相关技术研究。本课题在重视方法研究的同时,更注重如何应用和实现。首先,研究与 LCD 显示相关的图像处理方法,并对特殊应用作出有针对性的改进,这不仅对提高和改善军用 LCD 性能有重要意义,而且对民用设备也很有意义;其次,研究如何用 FPGA 更有效地实现图像处理算法及相关时序处理逻辑,已研制出的实际电路系统,可以广泛用于军事、工业领域的小批量特种 LCD 产品中,因此具有很强的实用价值。

1.2 特种 LCD 的关键技术

特种 LCD 的使用环境比较复杂,对于图像显示和色彩调整能力就提出了比商用 LCD 更高的要求;而且,现有的特种 LCD 系统只能显示单一分辨率和逐行扫描的图像,而且没有提供显示器必备的 OSD (On Screen Display, 在屏幕显示) 菜单功能,因此,其功能相对单一,系统兼容性不强。为了解决这些问题,增加功能,提高兼容性,就必须处理好如下四个关键问题。

1.2.1 图像色彩调整

图像及图形显示系统的最重要特性之一就是能够准确显示图像的色彩,并能调整亮度和对比度。然而,几乎所有的 LCD 在没有经过适当的校准时,都不能很好地显示原始输入图像的色彩信息^[9],必须进行图像色彩调整。但是,图像色彩的调整要受到诸如 LCD 工作环境的光线强度、显示图像信号的亮度、对比度特性、LCD 面板的 Gamma 特性等多种因素的影响。对特种 LCD 而言,要求在色彩、亮度、对比度等方面比商用 LCD 具有更宽的调整范围,上述因素的影响表现得更为明显,因此调整起来难度更大。

现有的在 RGB 空间进行色彩调整方法,因为 RGB 不能与亮度、色调及饱和度直接建立的联系^[9],导致亮度和色彩同时变化,图像容易出现偏色;现有的对比度调整方法不能适应更宽的调整范围,使图像出现失真;此外, LCD Gamma 与计算机图形系统 Gamma 系数为 2.2 的曲线之间有较大差别,特别是 R、G、B 三个分量的 Gamma 特性不一致^[9],给准确还原色彩增加了难度。为此,我们需要研究一些更为有效的图像色彩调整方法用于特种 LCD,来解决目前技术上存在的问题,同时还要研究如何用 FPGA 来实现,使这些问题得到真正的解决。

1.2.2 图像实时缩放

显示器的输入源图像的分辨率有多种(例如:VGA,SVGA,XGA,SXGA),但是数字显示设备 LCD 的物理分辨率却是固定的^[10]。因此,当分辨率不一致时,必须对原始图像进行图像缩放(Image Scaling),生成与目标 LCD 分辨率一致的图像,并要使之与目标 LCD 的扫描时序一致,才能正常显示。关于图像缩放算法已经提出了很多^[11],算法从简到繁,由时空重采样到变换域的处理方法,大都将研究重点放在如何提高图像质量上。

商用 LCD 控制器中大都包含此功能模块,但不能用于高低温环境中,也没有披露使用方法和技术细节。目前,国内已有的基于 FPGA 的军用特种 LCD 中都没有这种功能。

那么,为了在特种 LCD 中加入图像缩放处理功能,需要考虑如下 2 个关键问题:1) 算法的复杂度,因为在使用 FPGA 实现时,复杂算法必然有比较复杂的逻辑结构,且占用较多的逻辑资源,这会使得算法模块的最高运行速度下降。特别是在 0℃ 以下的低温环境中,算法模块的性能会随 FPGA 性能下降而进一步下降,将导致算法模块不能正常工作。2) 算法的运行速度,因为在 LCD 中必须能够对输入图像进行实时缩放处理,支持多种常用分辨

率图像之间的自由缩放。

为此,我们分析研究不同算法重建图像的质量、算法的复杂度、运行速度,选择一种在这三个因素之间取得平衡的算法,并用 FPGA 去实现它。此外,研究如何使用尽量少的存储器资源来实现缩放算法,以降低硬件系统成本,也是十分必要的^[9]。

1.2.3 隔行转逐行

隔行扫描方式是电视系统中使用的一种扫描方法,它把一帧图像分成奇场和偶场,每次只扫描一场图像。以 PAL 制复合视频信号为例,场频是 50Hz,一帧图像分辨率为 720×576 ,一场的分辨率为 720×288 。由于电视图像刷新率很低,只有 25 帧/秒,因此在 CRT 上进行显示时,有明显的闪烁现象。人们采用倍扫(100Hz)的方式来解决闪烁问题,但还是不很理想。然而 LCD 最突出的优点就是不闪烁,在特种 LCD 上显示 PAL 或 NTSC 制复合视频信号已成为发展的趋势。但是 LCD 面板采用逐行扫描方式,不能直接显示隔行扫描的信号。

解决这个问题的途径就是把隔行信号转换为逐行信号,即去隔行(De-interlacing)。关于实现去隔行的算法^[9,10,11]已经研究了多年,但是主要针对目标显示器为 CRT 或计算机上视频处理软件,它们本质上是把 2 场(Field)图像合成为 1 帧(Frame)图像,例如, PAL 制数字视频一场分辨率为 720×288 ,合成一帧后的分辨率为 720×576 ,与分辨率为 640×480 、 800×600 、水平垂直比例为 4:3 的 LCD 不相同。

目前国内已有的特种 LCD 解决这个问题的方法有两种:1)当选用 640×480 小于图像分辨率的 LCD 时,则从图像中取出与 LCD 分辨率相同的像素点,多余的则丢失;2)当选用 800×600 大于图像分辨率的 LCD 时,将图像显示在 LCD 的左上角, LCD 屏上多余的像素点是黑屏。

然而这两种方法都不能实现图像在 LCD 的“满屏”显示,导致图像信息的丢失,或是显示效果不佳。商用高档 LCD 控制器可以实现复合视频的满屏显示,但无法获得具体资料。

因此, LCD 的去隔行处理方法有其特殊性,用 FPGA 实现面向特种 LCD 的隔行转逐行的具体方法是一个值得深入研究的关键技术之一。

1.2.4 在屏幕显示

在屏幕显示的英文为 On Screen Display (OSD),它是视频显示设备中必备功能之一。通过 OSD 菜单中图文信息的指示,我们可以准确获得显示器当前的工作状态,并能够方便地对显示器的各种参数进行调整。视频显示设备的屏幕显示电路^[12,13,14]是用于显示模拟视频信号的显示系统中。而 LCD 面板接收的是数字视频信号,显示数据与 LCD 的物理像素点一一对应,就需要一种支持数字信号的 OSD 显示菜单生成方法。国外大公司(PHILIPS 半导体, PIXELSWORK 等)推出集成有 OSD 控制单元的专用 LCD 显示控制芯片。但是,这些专用芯片的工作温度范围非常有限($\geq 0^\circ\text{C}$),不能满足工业和军事等领域的对工作温度($-40^\circ\text{C} \sim 65^\circ\text{C}$)的特殊需要。另外, OSD 单元作为这些专用芯片的模块之一,芯片数据

手册中只提供用户软件编程的相关信息,并未披露具体的技术细节。

参考文献[3]介绍的 OSD 系统包括一组 OSD 存储器存储块序列,每块包含表示 OSD 的数据和指向下一块的指针。这些块由 OSD 发生器按顺序地从 OSD 存储器中检索,并且从 OSD 表示数据中生成 OSD 图像表示信号。由于它们在 OSD 显示菜单的不同区域中,所以采用链表目录结构,这样在编程时就需要计算和指定下一块的指针。又因为是直接从 OSD 存储器中检索出 OSD 数据,就相当于 OSD 图像的每个像素点数据都要由单片机写入存储器中,所以增加了编程的工作量和复杂度。

在现有的基于 FPGA 的特种 LCD 内却没有 OSD 功能,因此在设计特种 LCD 控制器的过程中,必然要涉及到如何用数字逻辑设计并实现面向 LCD 的数字 OSD 控制核的问题。

1.3 课题来源与本文的主要内容

本课题来源于国家特种显示工程技术研究中心提出的三个项目“军用液晶显示平板接口卡技术研究”、“数字视频信号调节控制板设计”及“DSP 彩色视频处理系统研究”。

本学位论文的主要研究工作是围绕着面向特种 LCD 图像处理方法中的各项关键技术,以及如何用 FPGA 来实现这些处理方法而展开的,最终使用这些研究结果研制出基于 FPGA 面向特种 LCD 的若干实际应用系统。具体的包括以下几方面的研究内容:

(1) 本文首先讨论 LCD 图像色彩调整的相关问题。由于是在特种环境中使用 LCD,要求包括亮度、对比度、色度在内有更宽的调整范围,现有的一些调整方法不再适用,容易出现偏色、失真、还原色彩不准确等问题,因此,必须从原理方面进行深入研究,包括色彩调整方法、对比度调整方法、LCD Gamma 校正等问题,进一步探讨在 FPGA 中实现这些方法的数字逻辑结构,并进行适当的改进,提高逻辑模块的实际性能。

(2) 目前基于 FPGA 的军用特种 LCD 没有图像缩放的功能,系统兼容性不强,给实际使用带来不便。本文针对如何在 FPGA 内实现图像实时缩放的问题进行深入研究。通过计算机仿真,比较几种经典算法在各方面的性能,选取了一种能够满足特种 LCD 要求的算法,并专门设计出一种可以用 FPGA 完成实时缩放任务的算法逻辑结构,从而提高特种 LCD 的系统兼容性。

(3) 为了改善现有特种 LCD 在显示隔行扫描的复合视频信号时,遇到图像信息丢失,或显示效果不佳的问题,本文在分析和比较现有几种去隔行算法的原理及用 FPGA 实现的处理流程后,发现要想实现图像在 LCD “满屏”显示,现有的方案存在着处理流程和逻辑结构复杂的问题,不利于提高基于 FPGA 的特种 LCD 控制器的实际性能,因此,本文将设计一种针对特种 LCD、更为简捷、有效的去隔行实现方案。

(4) 由于 OSD 是各种显示器必备的一种功能,而现有的基于 FPGA 的特种 LCD 里却没有此功能,这给特种 LCD 的使用、参数调整等带来不便。为了解决这个问题,本文要设计一种结构合理、功能强大、编程简单、灵活的数字 OSD 控制核,为特种 LCD 控制器增加这个必备功能。

(5) 研制基于 FPGA 的特种 LCD 显示控制板,目标是在性能、功能、系统兼容性等

方面都优于现有的特种 LCD。要求在 $-40^{\circ}\text{C}\sim 65^{\circ}\text{C}$ 的温度范围稳定工作,自动识别、调整并显示三种分辨率(640×480 , 800×600 , 1024×768)、四种刷新率(56Hz, 60Hz, 72Hz, 75Hz)的图像信号;支持对图像的亮度、对比度、色度、水平垂直位置、频率、相位等参数进行实时调整,并在调整时提供全功能的 OSD 菜单进行指示;能检测无信号输入状态,并进行指示;具有驱动 TTL 和 LVDS 两种 LCD 面板的能力。

(6) 研制基于 FPGA 的特种 LCD 图像调节板,目的是对某型号机载特种 LCD 进行改造,提高图像显示的性能,增加对图像的亮度、对比度和图像显示位置的调整功能,并提供无信号输入检测与指示功能。图像的调整要求提供两种方式:1) 通过旋转电位器;2) 通过 R-485 总线。当然,它也必须可靠工作于 $-40^{\circ}\text{C}\sim 65^{\circ}\text{C}$ 。

(7) 研制基于 DSP 和 FPGA 的图像采集显示板,实现的难点在于该系统要求对全分辨率复合视频信号进行实时处理,即要求能够实时采集 PAL/NTSC 制摄像头输出的模拟复合视频信号,把数字化的视频信号提供给具有较强运算处理能力 DSP,使之能够完成一定复杂度的实时图像处理,并能将处理图像数据输出,在显示器上进行实时显示。其中图像信号的采集、缓冲、送显示,夺及其它控制逻辑都要在 FPGA 中实现。

第二章 图像色彩调整方法与 FPGA 实现

LCD 经过了最近几年的发展,在很多方面克服了自身技术的不足^[1]。但是对于特种 LCD 而言,因其工作环境特殊的光照条件及显示图像信号的特殊性,把现有的色彩调整方法应用于特种 LCD 时,遇到一些新问题:在 RGB 彩色空间内进行色彩调整的方法容易导致偏色现象;常用的几种基于直方图扩展的对比度调整方法在增大对比度调整范围后,容易使图像色彩出现失真;传统的 Gamma 校正等方法容易造成色彩还原不准确。本章拟对这三个问题进行深入研究,以寻求合理的解决办法,并为之设计出相应的数字逻辑结构,在 FPGA 中实现这些方法。

2.1 色彩调整原理与方法

色彩是人类视觉系统受到来自外界的某种波长光线刺激后产生的一种感觉,是主观的^[2]。例如,在人眼和大脑中把波长为 680nm 的光线翻译为红色。但是我们却不能准确测定什么是红色,只能测量这种光线的波长。在各种图像处理和显示设备中,色彩信息总是以某种彩色空间来表达,通常是三分量的彩色空间,例如,计算机图形系统中常使用 RGB(红绿蓝);视频系统中常用 YUV、YIQ 和 YCrCb(亮度、红色差、蓝色差);彩色打印机中常用 CMYK(青,紫,黄,黑)。所有的彩色空间都可以由图像在 RGB 彩色空间中信息演变而来。RGB 空间的红、绿、蓝是三种主要添加色(独立分量混合在一起形成目标色),可以用三维的笛卡尔坐标系统来表示,如图 2.1 所示。其中的立方体对角线上的 R、G、B 三个分量的值相等,表示明暗变化的灰度线。图 2.1 中所包含的 RGB 值域范围是 100%幅值和 100%饱和度,8 个顶点对应测试彩色信号条(Test Color Bar)的 8 个标准色。

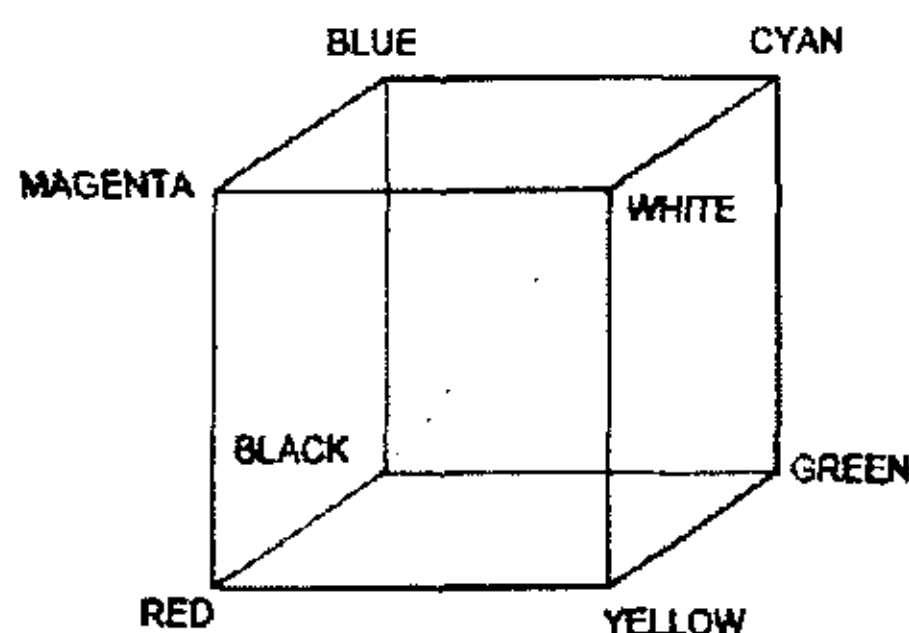


图 2.1 RGB 彩色空间立方体

对一幅彩色图像进行调整时,常用到如下概念:亮度、对比度、色度,色调及饱和度。亮度(Brightness)是人对光的强度的感受,它是一个主观的量,这是由 CIE (Commission Internationale de L' Eclairage) 根据一个区域发出光的多少来定义的可视属性^[3]。对比度(Contrast)在显示系统中指的是一幅图像中明暗区域最亮的白和最暗的黑之间不同亮度层

级的比例^[1]，差异范围越大代表对比越大，差异范围越小代表对比越小，亮度和对比有些相似，都是用来表示一幅图像中明暗区域的相互关系，不同的是亮度主要用来表示明暗色调间的平衡，也就是明暗色调间的强度，而对比度决定的则是明暗层次的数目^[2]。色度（Chroma）指得是色彩的纯度，也叫饱和度或彩度，如大红就比玫红红的更纯，大红的色度要高^[3]。色调（Hue）不是指颜色的性质，是对一幅图像的整体评价，一幅图像虽然用了多种颜色，但总体有一种色调，是偏兰或偏红，是偏暖或偏冷等等^[4]。饱和度（Saturation）是表示色彩的浓淡程度或深浅程度，当单色光呈现最浓或最深的颜色时，它们的饱和度都是 100%，复合色饱和度取决于复合色中主要颜色所占的比例，把饱和度降低为 0 时，则会变成一个灰度图像^[5]。

2.1.1 现有不变换空间的调整方法

彩色 TFT-LCD 显示器接收的是 RGB 信号，对图像进行包括亮度、对比度、色度等的进行调整时，现有的方法是直接对 R、G、B 三个分量进行调整，即不变换空间的调整方法，通过改变 RGB 各分量的偏置(OFFSET)和增益(GAIN)来达到调整亮度、对比度和色度的目的，FPGA 的实现结构如图 2.2 所示。

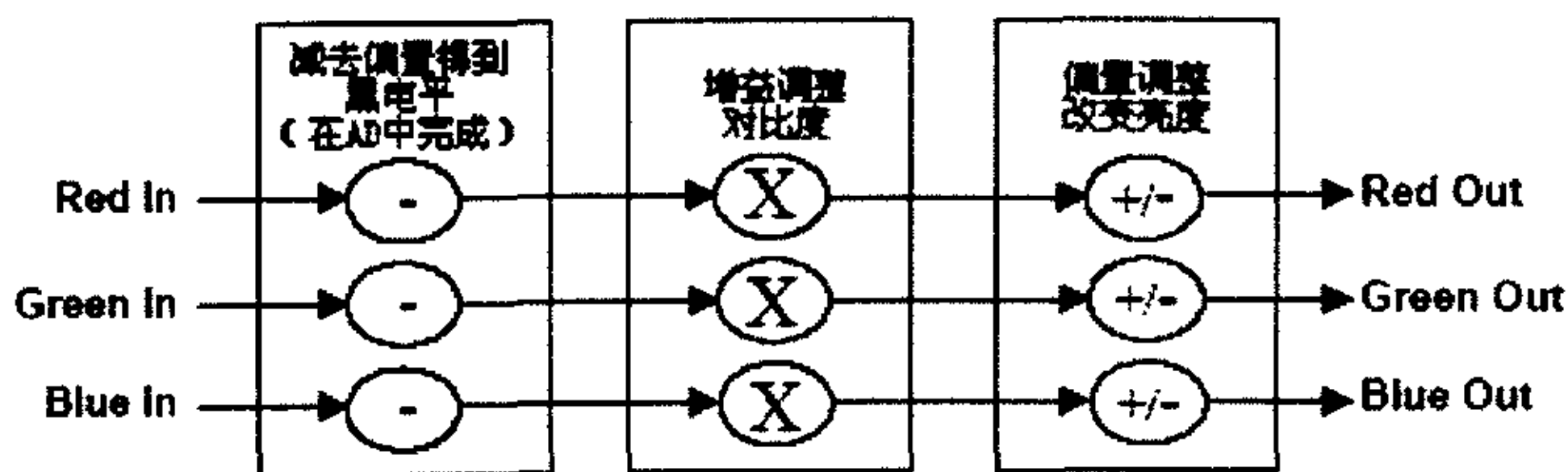


图 2.2 不变换空间色彩调整方法的逻辑结构

目前在 LCD 中改变亮度的方法有两种：

一种是改变背光来调整显示器的亮度，此种方法使用较多，它是通过提高 LCD 面板的光通过率，或增加背景灯光的亮度，即增加灯管数量，而非真正的图像亮度，但在特种 LCD 中也需要这种方法来辅助亮度的调整；

另一种是通过调整偏置改变图像亮度，如图 2.2 所示，对于用 6 位或 8 位二进制表示的数字分量信号，在用 FPGA 实现亮度调整时，OFFSET 是以 2 的补码形式存储于一个参数寄存器中，使用三个有符号的二进制加法器完成各分量的偏置调整。当“同时”改变 RGB 三个分量的 OFFSET 时，就会改变图像整体的亮度；可是当“单独”改变 RGB 三个分量的 OFFSET 时，将分别改变三基色的强度，从而改变图像的彩色。

但是由于 RGB 彩色空间不符合人们对色彩的认知，即不能与色调、饱和度及亮度之间建立一致的联系，因此当单独改变这三个分量时，图像色彩和整体亮度同时发生变化，因为特种 LCD 要求更宽的调整范围，所以改变十分明显，当某个分量出现上溢，或下溢时，很容易造成色彩失真，图像出现偏色的现象。在笔者研制基于 FPGA 的特种 LCD 显示控制

板之初，正是采用了这种相对简单的不变换空间的方法，并出现了这种现象。为了解决一个问题，我们采用了基于彩色空间变换的调整方法。

2.1.2 基于彩色空间变换的调整方法

我们将 RGB 信号转换到符合 ITU-R BT.601 标准 (CCIR 601) YCrCb 彩色空间，并在 YCrCb 空间中进行图像色彩调整。这是因为 YCrCb 把图像的亮度与色度分离到不同的分量中，Y 代表亮度，通常使用 Luma 来表示亮度 Y，不是用 Brightness，这是由于在式(2.1)中“Y”是通过 RGB 输入信号来创建的，方法是将 R、G、B 三个分量特定部分按照一定比例叠加到一起，而不是按照 1:1:1 组合出的亮度 (Brightness)；色差信号 Cr 和 Cb 表示图像的色度，描述了图像的另两个方面——色调及饱和度，用于指定像素点的颜色。因此在对 Y、Cr、Cb 进行增益和偏置调整时，就可以有效避免应用“不变换空间调整法”出现的亮度与色度同时发生变化带来的偏色和失真现象。

具体地，单独调整 Cr 或 Cb 的偏置时，可以实现对图像色调的调整，实现图像色调偏红或偏蓝；同时改变 CrCb 增益时，将改变图像的饱和度，此时，CrCb 要以 80H 为中心点来调整增益，当增益逐于 0 时，饱和度也逐于 0，图像色彩逐渐变浅，最终变成一幅灰度图像，反之，增益加大时，饱和度增加，图像色彩加浓。

为了在 FPGA 内实现这种图像色彩调整方法，必须进行两次彩色空间变换。那么，RGB 与 YCrCb 相互变换方程组为式(2.1)和式(2.2)所示，其中各分量上的撇号表示它是已经过 Gamma 校正的信号。

$$\begin{aligned} Y' &= 16 + (0.257R' + 0.504G' + 0.098B') \\ Cr &= 128 + (0.439R' - 0.368G' - 0.071B') \\ Cb &= 128 + (-0.148R' - 0.291G' + 0.439B') \end{aligned} \quad (2.1)$$

$$\begin{aligned} R' &= 1.164(Y' - 16) + 1.596(Cr - 128) \\ G' &= 1.164(Y' - 16) - 0.813(Cr - 128) - 0.392(Cb - 128) \\ B' &= 1.164(Y' - 16) + 2.017(Cb - 128) \end{aligned} \quad (2.2)$$

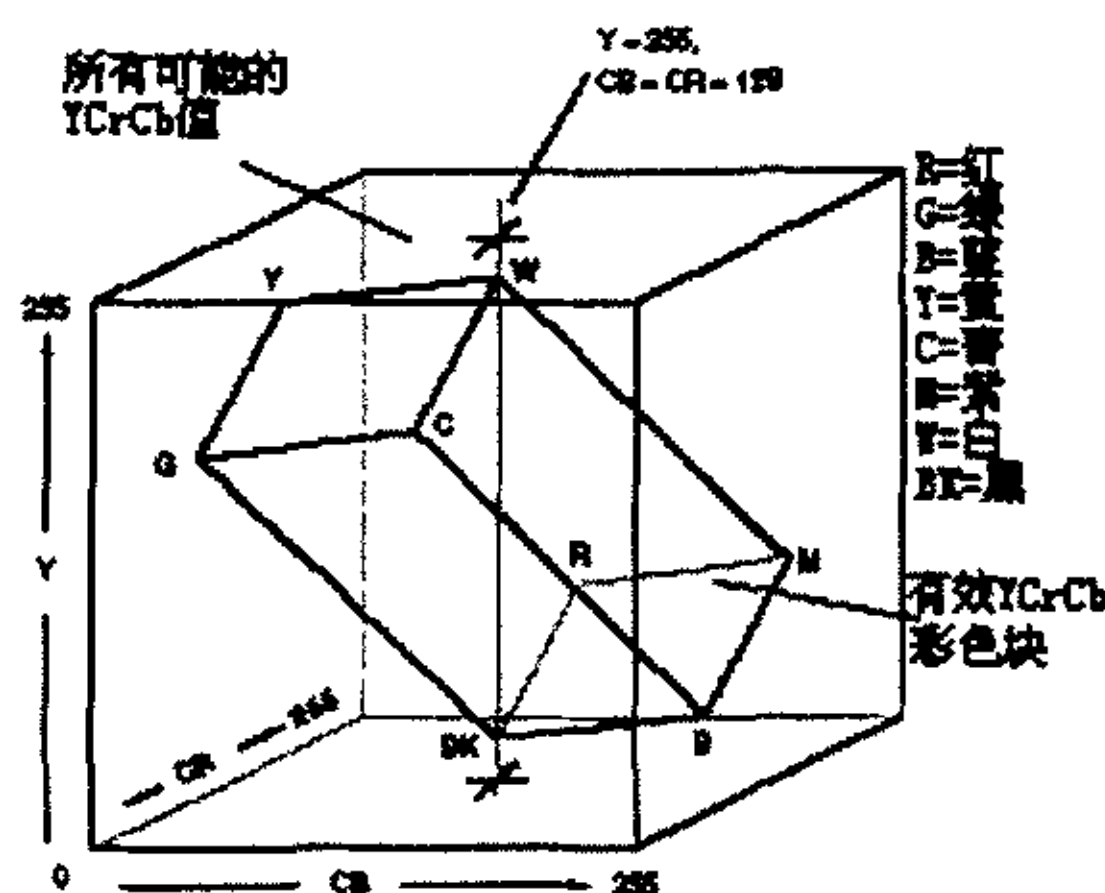


图 2.3 YCrCb 与 RGB 空间的转换关系

利用三维坐标系来表示两个空间的关系如图 2.3 所示,可以看出 RGB 空间是位于 YCrCb 空间内部的,那么反过来理解,就是只有位于 RGB 空间内的 YCrCb 值才能组合出有效的颜色, Y 的值域范围是 16~235; Cr 和 Cb 的值域是 16~240, 补码表示的 128 (80H) 对应实际的 0。当一幅图像所有像素点的 Cr 和 Cb 都等于 128 时,即为大立方体中心垂直线,它与图 2.1 中的对角线是重合的,当图像随 Y 变化,表现为灰度图。下面讨论如何在 FPGA 利用数字逻辑实现彩色空间变换。

2.1.3 彩色空间变换的 FPGA 实现方法

在 FPGA 中用数字逻辑来实现 2.1.2 节所述基于彩色空间变换的调整方法时,在增益和偏置调整方法不变的情况下,需要增加另外两个彩色空间变换模块: RGB→YCrCb, YCrCb→RGB。信号处理流程如图 2.4 所示。

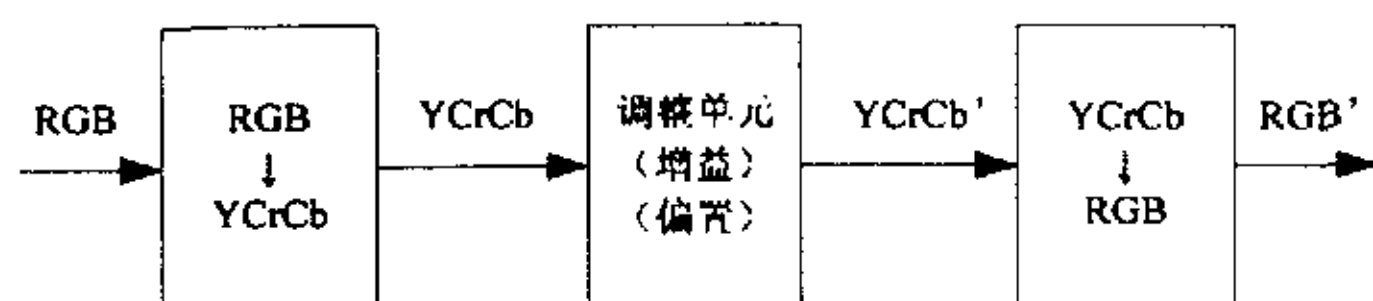


图 2.4 FPGA 实现彩色调整的信号处理流程

由于彩色空间变换是一个 3×3 阶的矩阵运算,通常一组变换需要进行 9 次乘法和 6 次的加减法,那么两个彩色空间变换模块就需要使用 18 个乘法器和 12 个加减器资源,对于逻辑资源相对有限的 FPGA 来说是非常耗费资源的,而且影响性能。下面首先介绍在 FPGA 内实现矩阵运算的基础——乘法器的三种方法,再对彩色空间变换的 3 阶矩阵运算的 FPGA 逻辑结构使用流水线结构来改进,以提高该模块的性能。

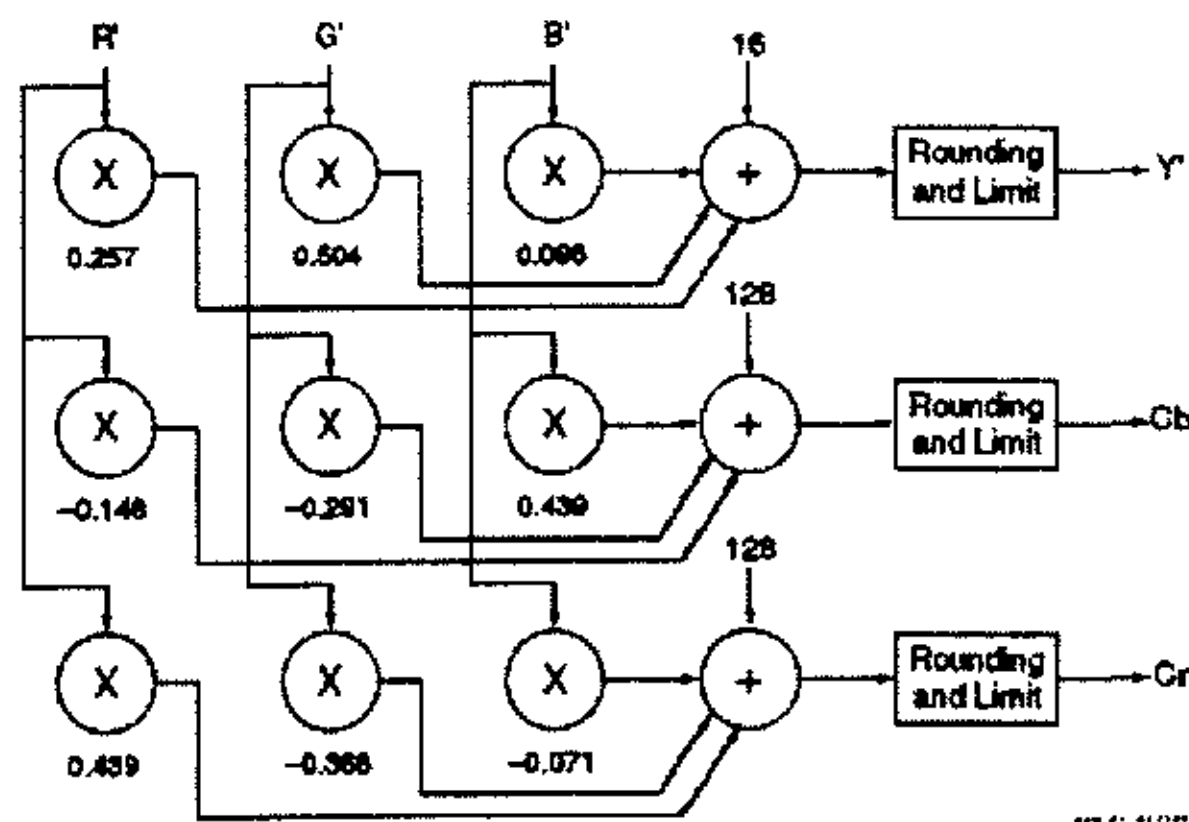


图 2.5 行为级描述的 R'G'B'到 Y'CrCb 的变换

2.1.3.1 乘法运算的 FPGA 实现方法

乘法运算在 FPGA 内实现方法有如下三种：

(1) 用 HDL (硬件描述语言 Hardware Describe Language) 对乘法运算进行“行为级”扫描 (如图 2.5 所示), HDL 编译器将其综合到 FPGA 的门级逻辑资源 (Silicon Target) 之

中, 这是相当耗资源, 而且过多逻辑乘法器 (非嵌入式的硬件乘法核) 的使用会大大降低整个数字逻辑系统支持的最高运行频率。最高运行频率的高低将直接影响在 FPGA 内实现的 LCD 显示控制逻辑功能能否支持更高分辨率的图像处理和显示。

(2) 采用 FPGA 内嵌入的 Block+RAM/ROM 存储器资源, 利用查找表 (Look-Up Table, LUT) 来实现与系数相乘的运算, 也将占用 FPGA 中本来就十分宝贵的存储器资源, 同时大量存储器的使用也将降低整个数字逻辑模块的最高运行频率;

(3) 使用高端 FPGA 中才有的嵌入式硬件乘法器核 (Embedded Multiplier), 虽可以有效提高最高运行频率, 但使得成本增加很多。

由于在一个完成的 LCD 控制器中还有很多乘法运算, 仅彩色空间变换一处就用去 18 个乘法器的确有些浪费, 因此必须改进彩色空间变换的 FPGA 实现方法。

2.1.3.2 已有的改进方法

针对 R'G'B' 到 Y'CrCb 变换, 可以通过改进变换的计算公式。首先把 R'G'B' 按方程组 (2.3) 变换到 YPrPb 空间, 根据 ITU-R BT.601 标准中的定义重写模拟信号 Y 的计算公式, 并把两个模拟信号色差信号乘以尺度变换因子 0.713 和 0.564, 得到 PrPb 信号, 再按照 ITU-R BT.601 定义的数字视频标准把 YPrPb 转换到 Y'CrCb 空间^[24]。

$$\begin{aligned} Y &= 0.299(R'-G') + G' + 0.114(B'-G') \\ P_r &= 0.713(R'-Y) \\ P_b &= 0.564(B'-Y) \end{aligned} \quad (2.3)$$

$$\begin{aligned} Y' &= 219 * Y + 16 \\ Cr &= 224 * P_r + 128 \\ Cb &= 224 * P_b + 128 \end{aligned} \quad (2.4)$$

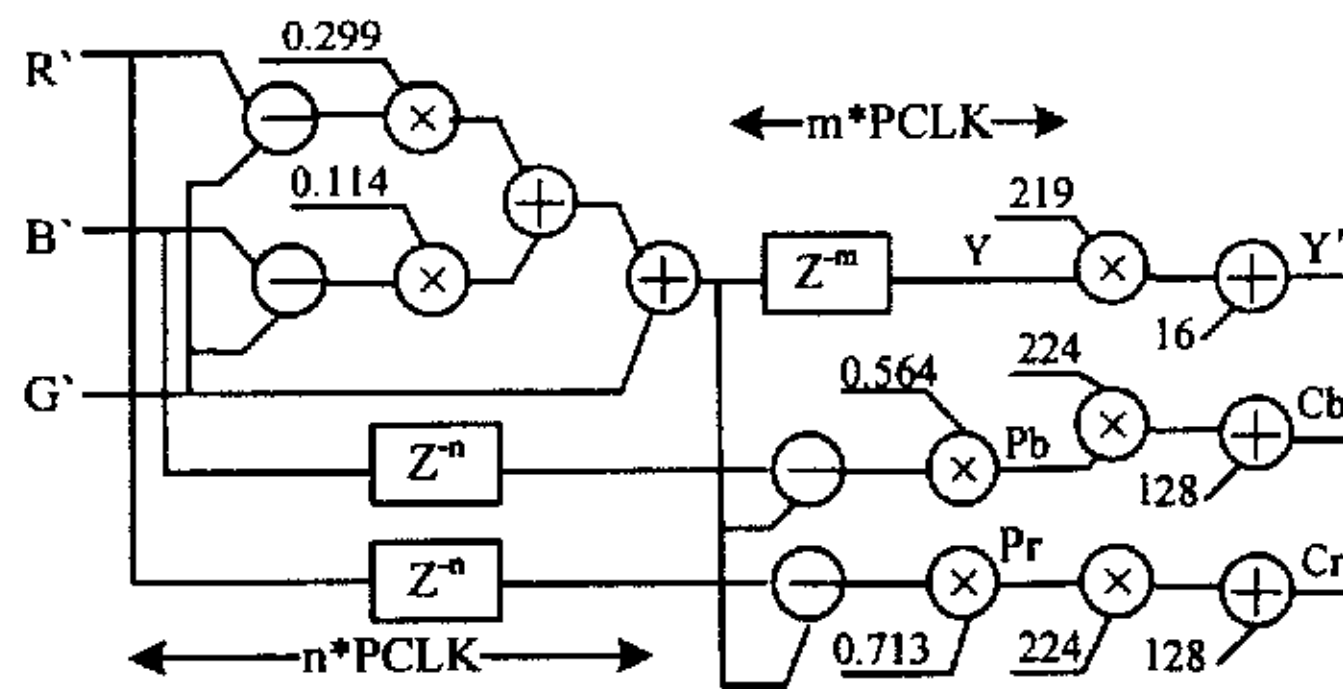


图 2.6 已有改进方法的 FPGA 实现逻辑结构

由此, 按改进的方程组 (2.3) 和 (2.4) 画出的数字逻辑实现结构如图 2.6 所示, 其中共需要使用 7 个乘法器, 5 个加法器, 4 个减法器, 共要增加 $m+2*n$ 个流水线延迟单元, 其中, m 最小为 2, n 最小为 4。该方法从 R'G'B' 到 Y'CrCb 空间的转换原理进行了改进, 从而减少占用逻辑, 但其只对符合 ITU-R BT.601 的数字视频信号 R'G'B' 到 Y'CrCb 转换有效, 而无法将其推广到 Y'CrCb 到 R'G'B' 的逆变换, 或是应用于非 ITU-R BT.601 标准数字视频信

号的场合，不具一般性。由于图像色彩调整模块中既包括 RGB 到 YCrCb，又包括 YCrCb 到 RGB 信号的转换，因此不能完全采用上述改进的方法。

2.1.3.3 逻辑结构的改进方法

结合 FPGA 器件自身的特点，我们针对实现彩色空间变换的数字逻辑结构进行改进。在 FPGA 中用数字逻辑实现浮点运算的彩色空间变换时，为满足精度和浮点要求，公式(2.1)改写为：

$$\begin{aligned} Y' &= (1/256) * [(4096 + 129 * G) + (66 * R + 25 * B)] \\ Cr &= (1/256) * [(32768 + 112 * R) - (94 * G + 18 * B)] \\ Cb &= (1/256) * [(32768 + 112 * B) - (38 * R + 74 * G)] \end{aligned} \quad (2.5)$$

分析式(2.1)、(2.2)和(2.5)，除了偏置量和运算系数不同外，它们的共同特点是第一个方程都可以用 3 次乘法和 3 次累加完成运算，一共进行 3 次这样重复的运算过程。因此，我们采用流水线结构，“时分复用”同一套运算单元，以 3 倍或 4 倍像素时钟频率的 3*PCLK (4*PCLK) 速度进行运算。这样既节省运算单元，又可以在一个像素时钟周期内完成运算，从而达到优化逻辑结构的目的。式(2.5)中的“(1/256)*”，在 FPGA 中可以用“截短”的方法来实现。

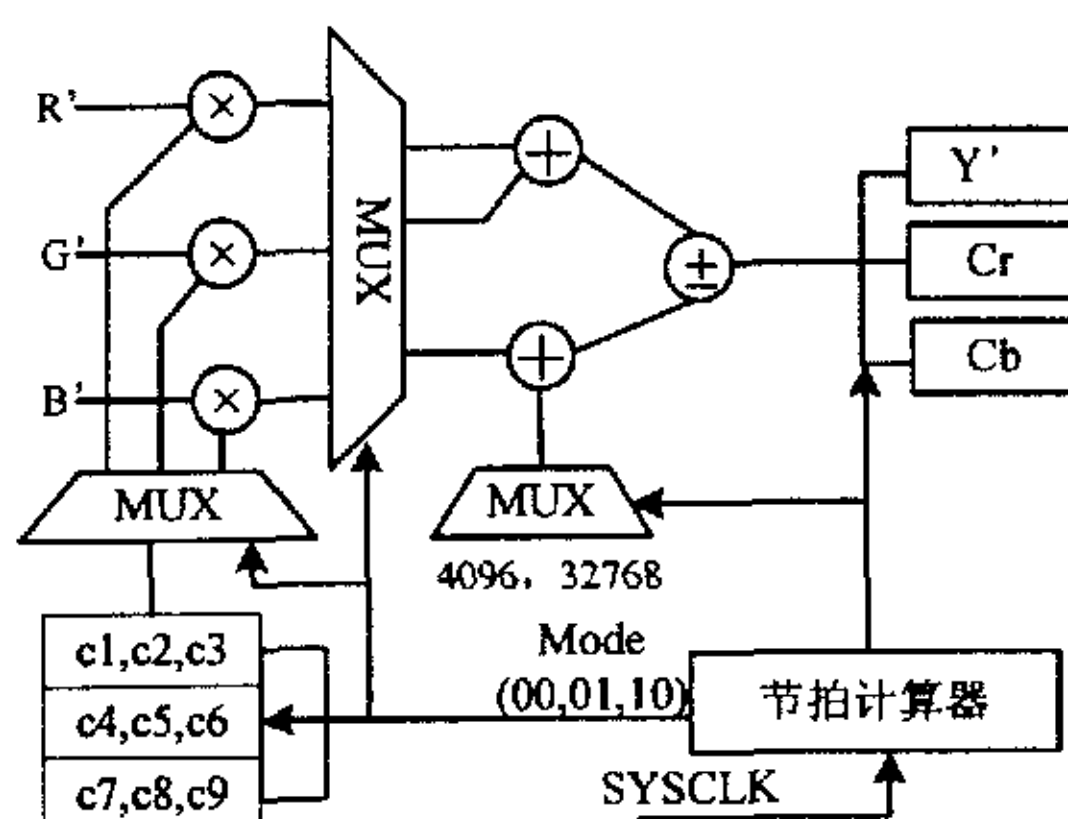


图 2.7 流水线改进的 FPGA 实现逻辑结构

改进后的彩色空间变换的逻辑结构如图 2.7 所示，定义数字视频信号的时钟频率 PCLK 的 3 倍频或 4 倍频为系统时钟频率 SYSCLK。在 XILINX 公司 FPGA 内部的可以采用数字时钟锁相逻辑（DLL）生成 4 倍频时钟，或是使用数字时钟管理器（DCM）产生 3 倍频。

图 2.7 中 3 个乘法器并列，以 SYSCLK 的频率执行，3 组运算系数(c1, c2, c3; c4, c5, c6; c7, c8, c9)存储在 Distributed RAM 中。用 SYSCLK 时钟驱动一个 2bits 节拍计算器，生成模式码 Mode (00,01,10)，选通 3 个多路选通器（MUX），指派当前时刻参与运算的系数和数据的流向。采用改进的逻辑结构后，仅使用 3 个乘法器、3 个加减法器、3 个多路选通器和 1 个 2bits 计算器。

2.1.4 仿真实验结果

采用 XILINX 的 FPGA SPARTAN2E 实现图 2.7 所示逻辑结构, 在 XILINX ISE6.2 集成开发环境中, 对逻辑代码进行综合, 其最大运行时钟为 177MHz, 远高于直接实现法的最大时钟频率 80MHz。177/3=59MHz, 可以满足 1024*768*60Hz 信号驱动 LCD 屏的速度要求。若采用奇偶像素点分离的 LCD 面板, 像素点时钟频率降为 1/2PCLK, 那么, 1280*1024*60Hz 视频信号的频率为 108MHz, 108/2=54MHz, 小于 59MHz, 因此, 可以满足分辨率为 1280*1024 的 LCD 视频信号处理的要求。

2.2 对比度调整的方法

特种 LCD 的使用环境、和它所显示图像的本身常出现“过亮”、“过暗”的特种情况, 而此时图像显示的效果就会变得很差。当图像对比度得到改善时, 图像的质量将被改善, 获得更清晰的图像^[10]。另外, 人们的视觉对于对比度是十分敏感的。因此, 我们可以通过修改图像的直方图 (Histogram) 来改善图像质量^[11]。在 LCD 显示器中改变对比度有两种方法:

(1) LCD 面板的对比度, 定义是屏幕上同一点最亮时 (白色) 与最暗时 (黑色) 的亮度的比值, 高的对比度意味着相对较高的亮度和呈现颜色的艳丽程度, 实际是由 LCD 背光及 LCD 面板的光学等特性决定, 一旦确定后, 就不可调。

(2) 图像本身的对比度, 体现出图像颜色从亮色到暗色的分布情况^[12], 反映图像在灰度等级上的过渡特性。关于图像对比度的调整, 又可称为对比度增强。

一般, 数字图像的对比度调整通过如下几种方法来实现: 使用查找表 (Lookup Table); 直方图滑动 (Histogram sliding); 直方图扩展 (Histogram Stretching), 存在着图像自适应性不强和失效的问题。还有一类对比度增强算法^[13]是对生物医学图像 (核磁共振和 B 超等) 中一些已知的特殊信息进行增强, 不适用于对未知信息的任意图像进行对比度增强处理, 而且其算法复杂, 不能进行实时处理, 因此不能用于显示器。

下面首先介绍上述三种适合于显示器使用的对比度调整方法的基本原理, 然后, 给出我们所设计的一种基于图像均值的直方图扩展对比度调整方法及其 FPGA 实现的方法。

2.2.1 现有的调整方法^[14]

2.2.1.1 查找表法

用查找表 (LUT) 来实现数字对比度调整时, 输入像素点的值作为 LUT 的访问地址, 而 LUT 地址单元的内容就是像素点的新值。这种方法可以用式(2.6)来表示^[15]。

$$NewPixel = DATA[Add(InputPixel)] \quad (2.6)$$

把 InputPixel 作为 LUT 的访问地址, 查出新数据。在 FPGA 内完成这种方法时, 需要用存储器资源来设计 LUT, 一旦 LUT 中的值确定后, 对比度调整的效果就确定下来, 无法根据

不同的特殊应用环境和特殊图像信号，及时做出自动调整，因此存在局限性。

2.2.1.2 直方图滑动法

它是改变输入与输出像素点的比例关系，用灰阶—亮度坐标系表示直方图滑动法原理如图 2.8 所示，图中的三条曲线*从下到上表示的图像对比度逐渐增加的关系，那么，像素点的新值按式(2.7)计算得到：

$$NewPixel = InputPixel \times Gain \quad (2.7)$$

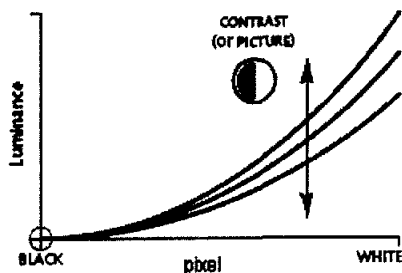


图 2.8 对比度的直方图滑动法原理示意图³⁵

输出的 $NewPixel$ 等于输入 $InputPixel$ 乘以一个增益 $Gain$ ，当 $Gain=1.5$ 时，对测试灰度条进行对比度调整，结果如图 2.9 所示。它虽然实现了图像中亮的部分更亮，但却没有把暗的部分变得更暗，直方图仅仅往更亮的一边滑动，所以，对比度调整效果不佳。但是由于该方法易于硬件实现，仍然是目前使用最广泛的方法之一。例如，LCD 专用视频 AD 的模拟通道采用这种方法调整模拟信号的增益³⁶。



图 2.9 采用直方图滑动法的对比度调整结果

2.2.1.3 最大最小值法

这是一种典型的改善对比度的方法，目的是适用于那些对比度中心在直方图中心的图像。像素点的新值按式(2.8)计算³⁷。

$$NewPixel = \frac{InputPixel - LowPixel}{HighPixel - LowPixel} \times 255 \times Gain \quad (2.8)$$

但在用数字逻辑电路实现时，最大值 ($HighPixel$) 和最小值 ($LowPixel$) 的选取无法正确体现出直方图中心所处的真实位置，比如，一幅图像中 R 信号的直方图如图 2.10，显

* 采用“曲线”是因为对于绝大多数显示器（包括 CRT 和 LCD），图像像素点的灰阶（某一个分量的幅值）和它在显示屏上实际表现出的亮度明暗(Luminance)之间是一种非线性关系，被称为显示器的 Gamma 特性。

然其最大值是 255，最小值是 0，那么，式(2.8)就变成式(2.9)，即输出等于输入乘以 Gain，等同于直方图滑动法，没有预期的调整目的。

$$NewPixel = \frac{InputPixel - 0}{255 - 0} \times 255 \times Gain = InputPixel \times Gain \quad (2.9)$$

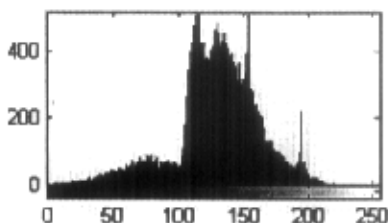


图 2.10 R 分量的直方图

2.2.2 基于图像均值的直方图扩展法

2.2.2.1 基于图像均值的调整法

为了有效解决上述三种方法的不足，使对比度调整具有自适应性，我们提出一种基于图像均值的直方图扩展调整法，并用 FPGA 实现。新像素点的计算公式如式(2.10)所示。

$$NewPixel = (InputPixel - Middle) * Gain + Middle \quad (2.10)$$

因为选取整幅图像灰度的图像均值进行计算，可以随着不同图像灰度变化及时进行调整，具有自适应性。式(2.10)中的灰度均值 Middle 按式(2.11)计算，其中，Rx 和 Ry 分别是图像的水平与垂直分辨率。

$$Middle = \frac{\sum_{n=1}^{Rx \times Ry} InputPixel}{Rx \times Ry} \quad (2.11)$$

那么，利用灰阶—亮度坐标系表示均值法的原理如图 2.11 所示。其中 P_{Middle} 点为亮度的图像均值点，原始曲线 Line1 以 P_{Middle} 为中心（相当于减去 Middle），逆时针旋转（相当于乘以增益 Gain），得到 Line2（用虚线表示）；Line2 向 Y 垂直坐标轴 Luminance 的正方向移动 Middle（相当于加 Middle），得到曲线 Line3（用粗实线表示）。可以看出 Line3 与原曲线 Line1 相比，对比度全面增加。应该注意到，Line3 的反向延长线与水平坐标轴交于新的 O' 点，在 O' 点得到新的 Y' 轴，与原 Y 轴的水平距离为偏置量 Offset，这就是说明在调整对比度的同时，图像的整体亮度也得到了提升，因而使图像具有更艳丽的色彩，而这正是特种 LCD 在特殊使用环境中使用时希望具有的性能。

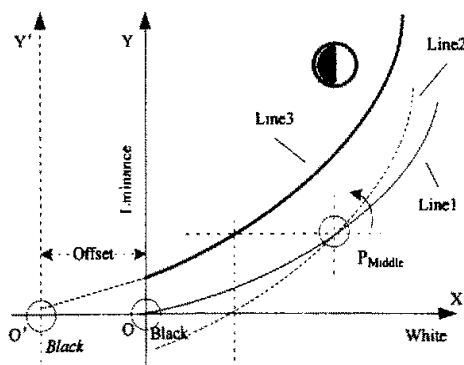


图 2.11 图像均值法的原理示意图

2.2.2.2 仿真实验

为了验证图像均值法对实际图像进行对比度调整的实际效果与性能,并与直方图滑动法和最大最小值法进行比较,选取 MATLAB 中的典型图片“Lena”进行处理。图 2.12 中 a 为原始图像,对比度调整所使用的增益 $\text{Gain}=1.85$,其中 b, c, d 为处理后的图像,而图 2.13 的 a, b, c, d 则为对应图像的直方图。图 2.12 中 d 图的效果最好,原图像中“亮”的部分更亮,“暗”的部分更暗;而 b 图和 c 图像则是整体变亮。产生这些不同效果的原因,可以由图 2.13 中对应的直方图反映出来。采用滑动法的直方图 b 整体向右,即更“亮”方向移动;采用最大最小值法时, $\text{HighPixel}=236$, $\text{LowPixel}=10$,直方图 c 仍然仅是向“亮”方向移动,这两种方法的缺点是都没有对原图像中“暗”的部分进行很好地处理,不能很好地表现图像中“暗”处的细节,而这正是 LCD 显示器中需要提升的重要特性。在采用均值法的 d 图中,直方图被有效地、均匀地向“亮”和“暗”两个方向扩展,使得“暗”处细节得以体现,比较图 2.12 中 Lena 帽子的“帽檐”和“鼻梁”部分可以清楚地看出这种效果,在图 2.13-d 图“帽檐”和“鼻梁”的轮廓十分清楚,而在 b 和 c 图几乎分辨不出,效果还不如原始图像。

在图 2.14 中,采用滑动法 $\text{Gain}=0.5$ 来调整原图,降低原图的对比度,得到图 2.14-c,图 2.15 是对应的直方图,从图 2.15-b 可以看出它的直方图向一左偏移。针对图 2.14-c,分别采用最大最小值法和均值直方图扩展法, $\text{Gain}=3$,进行反算,增加图 2.14-c 的对比度。图 2.14-b 的直方图 2.15-b 向右滑动,图像整体变白;图 2.14-d 采用均值法,它的直方图 2.15 以均值点为中心向左右两扩展,实现了对比度的增强,改善了显示效果,进一步的证明了均值法优于最大最小值法和滑动法,具有灰度的自适应性。



图 2.12 采用不同方法调整 Lena 图像对比度的结果 (Gain=1.85)

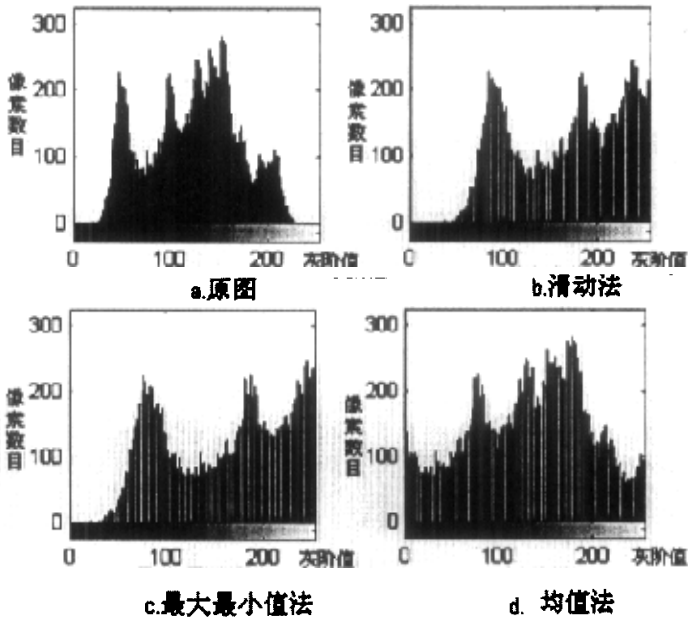
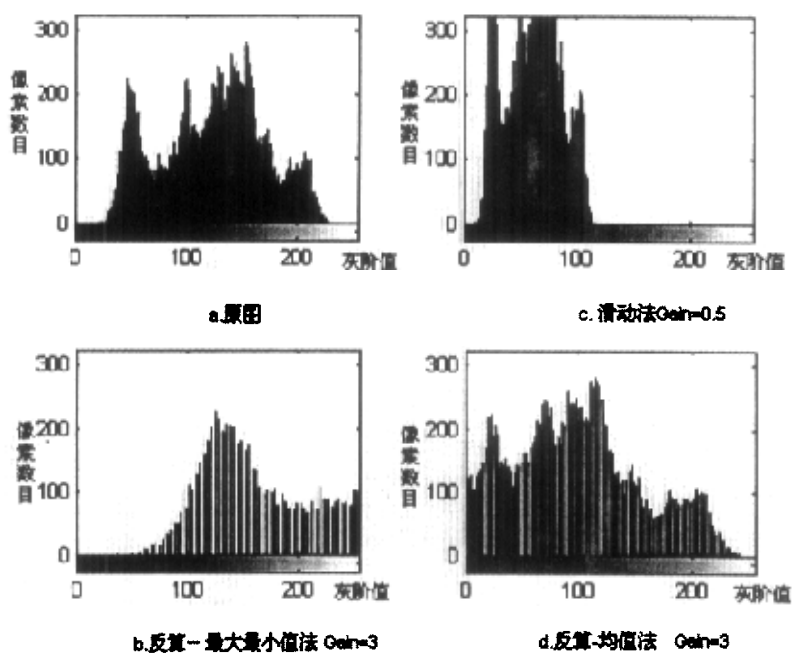


图 2.13 采用不同方法调整 Lena 图像对比度的直方图 (Gain=1.85)



a.原图 c.滑动法Gain=0.5
b.反算-最大最小值法Gain=3 d.反算-均值法 Gain=3

图 2.14 利用反算的方法来检测和比较算法的有效性



a.原图 c.滑动法Gain=0.5
b.反算-最大最小值法 Gain=3 d.反算-均值法 Gain=3

图 2.15 上图对应的直方图

2.2.2.3 图像均值法的 FPGA 实现方法

用于 FPGA 实现图像均值法,就是要用数字逻辑关系来实现式(2.10)和式(2.11)。式(2.10)是由一个减法器,级联一个乘法器,再做一次加法运算来实现。因此可以直接采用串行流水的方式完成主要运算任务,逻辑结构如图 2.16 所示,整个运算只要 4~5 个时钟周期就可以完成。

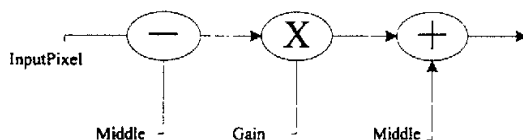


图 2.16 FPGA 实现图像均值法对比度调整的串行逻辑结构

要完成上述运算,必须先得到 Middle——图像的灰度均值。以 RGB 信号为例,一个像素点有三个分量,分别计算各分量的图像均值。式(2.11)的分子是一个累加和运算,共要进行 $R_x \times R_y$ 次,以 1024×768 分辨率的图像为例,共要进行 786432 次,在 FPGA 用一个循环加法器实现。

接下来“累加和”要除以一个 2 的非整数次幂的大整数,即分母部分,实质上是一个“浮点”运算。我们注意到分母中这个反映计算机系统图像分辨率的大整数(例如 $640 \times 480, 800 \times 600, 1024 \times 768$)总可以分解为 2 的整数次幂与一个系数的乘积:

$$\frac{1}{R_x \times R_y} = \frac{1}{2^n \times K} \quad (n=1,2,\dots) \quad (2.12)$$

那么, $1 \div 2^n$ 就可以用截短(Truncate)低端的 n 位二进制数来实现。 $1 \div K$ 是一个小数,我们采用二进制数扩展的方法实现该浮点算法。以 1024×768 为例,扩展的原理与计算推导步骤如式(2.13)所示。

$$\frac{1}{R_x \times R_y} = \frac{1}{1024 \times 768} = \frac{1}{2^{10} \times 2^8 \times 3} = \frac{1}{2^{18} \times 3} = \frac{85.33}{2^{18} \times 256} \approx \frac{85}{2^{26}} \quad (2.13)$$

其中第三步得到一个不能再分解的小数 $1/3$, 此时就可以根据计算精度的要求做二进制扩展了,在式(2.13)中分母部分扩展了 8 位二进制,分子填入新常量 85.33, 去掉尾部小数得 85。

下面考虑像素点采用 8 位二进制表示的最极端情况——图像中所有像素点灰阶值都为 255 时——存在的绝对误差 E 和相对误差 E_r 相当小,不影响对比度的处理。

$$E = \frac{85.33 - 85}{2^{26}} \times \sum_{n=1}^{1024 \times 768} 255 = 0.32871 \quad (2.14)$$

$$E_r = \frac{E}{2^8} = \frac{0.32871}{256} = 0.00128 = 0.128\% \quad (2.15)$$

由于连续视频流中的每一帧图像是总是按照水平、垂直扫描顺序一个一个像素点进入到对比度处理模块,要想计算出当前这一帧图像的 Middle,就要存储一帧图像。与在 MATLAB 环境下的算法仿真不同,在用 FPGA 的数字逻辑实际处理时,不用也没有必要增

加帧存储器。我们使用前一帧的 Middle 做当前帧的对比度调整, 由于图像的连续性, 并不影响效果。最终用 $R_x \times R_y$ 次的累加、一次乘法和一次截短低 26 位后实现 Middle 的计算, 逻辑结构如图 2.17 所示。整个对比度调整模块的数字逻辑控制时序是由水平同步信号 HS、垂直同步信号 VS, 及像素点时钟频率 PixelCLK 来完成。

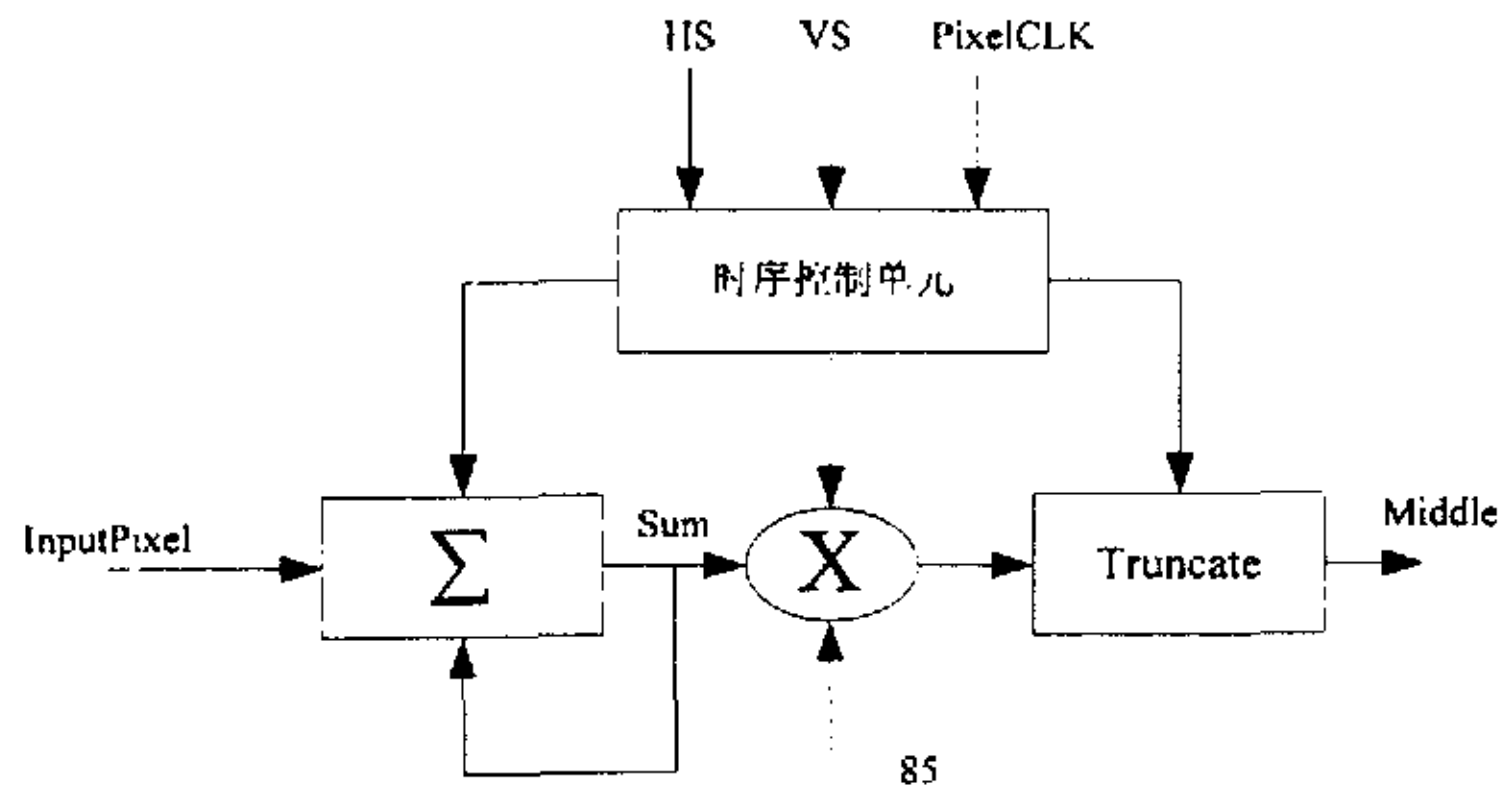


图 2.17 在 FPGA 中计算 Middle 的逻辑结构图

2.3 Gamma 校正

显示器的色彩还原曲线 (Tone reproduction curves, TRCs) 被称 Gamma 函数 (Gamma functions)。在摄影、视频和计算机图形系统中, 图像像素点的灰阶值与它重建的实际表现出的亮度明暗 (Luminance) 之间是一种非线性的关系。Gamma 与物理、视觉感受、摄影、视频等因素有关^[37], 但不管形成的原因是什么, 现在人们用函数曲线拟合的方法来测定它, 并采用一些措施使色彩能够最终得到线性的还原。在显示系统中, 正确进行 Gamma 校正对真实地还原色彩是十分必要的。通常, Gamma 曲线是幂函数, 在图 2.8 和图 2.11 中的曲线正是显示器 Gamma 特性的表现。

2.3.1 Gamma 校正的基本原理

不同系统有不同的 Gamma 系数, 例如: NTSC 制的 Gamma 系数为 2.2, PAL 制 Gamma 系数为 2.8, CRT 的 Gamma 系数为 2.4^[6]。那么, Gamma 系数为 $2.2 \approx 1/0.45$ 的 Gamma 曲线可以用下面的式(2.16)和式(2.17)来分段拟合, 其中, $R'G'B'$ 是经过 Gamma 校正的归一化信号, RGB 信号也被归一化到 $0 \sim 1$ ^[6]:

$$\begin{aligned}
 & \text{for}(R', G', B') < 0.0812 \\
 & R = R' / 4.5; \\
 & G = G' / 4.5; \\
 & B = B' / 4.5;
 \end{aligned} \tag{2.16}$$

$$\text{for}(R', G', B') \geq 0.0812$$

$$R = ((R' + 0.099) / 1.099)^{1/0.45}$$

$$G = ((G' + 0.099) / 1.099)^{1/0.45}$$

$$B = ((B' + 0.099) / 1.099)^{1/0.45}$$

(2.17)

为了补偿这种显示器色彩还原的非线性关系, 在视频处理设备中, 预先将原本“线性”的 RGB 做了所谓的“Gamma 预校正”(见图 2.18 中的参数为 0.45 的两个预校正函数), 转换成与显示器的 Gamma 特性相反的非线性的 R'G'B' 信号, 预校正函数用式(2.18)和式(2.19)分段拟合。由于这一正一反两条曲线基本相似, 补偿了非线性特性, 就完成了 Gamma 校正。一般普通的 CRT 在正确地设置亮度和对比度, 色温 5300K 时, 不需要再进行更精确校准, 就可以很好地还原 Windows 标准 RGB (sRGB) 信号的色彩。

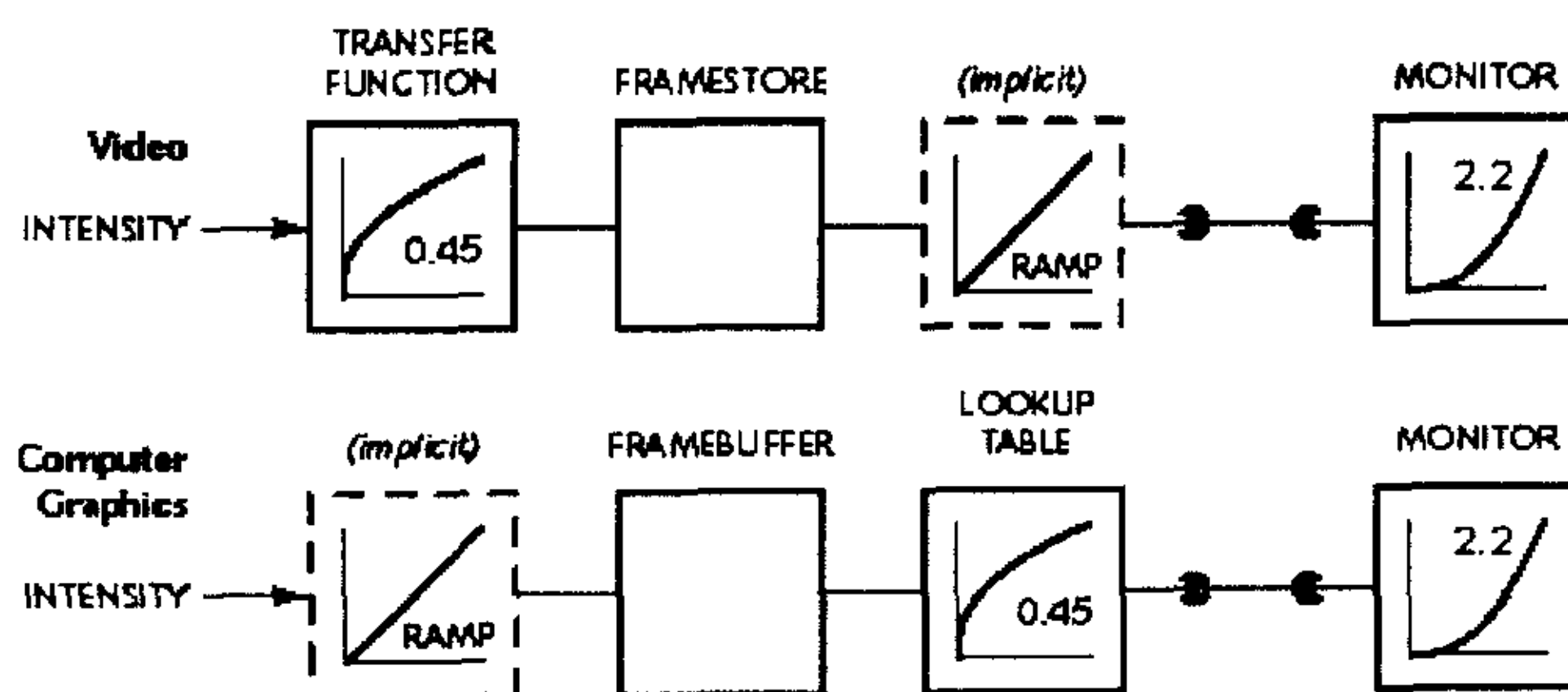


图 2.18 视频和计算机图形系统的 Gamma 校正步骤

$$\text{for}(R, G, B) < 0.018$$

$$R' = 4.5R;$$

$$G' = 4.5G;$$

$$B' = 4.5B;$$

(2.18)

$$\text{for}(R, G, B) \geq 0.018$$

$$R' = 1.099R^{0.45} - 0.099$$

$$G' = 1.099G^{0.45} - 0.099$$

$$B' = 1.099B^{0.45} - 0.099$$

(2.19)

虽然 PAL 和 SECAM 标准的 Gamma 系数为 2.8, 但通常都使用 (1/0.45), 因此, 式(2.18)和式(2.19)也适用于 PAL 和 SECAM 标准。

2.3.2 基于 6 点的 LCD Gamma 校正

一个中等质量的 18"LCD 的 Gamma 曲线如图 2.19 所示, 有 Red, Green, Blue 三条 Gamma 曲线, 它们是 LCD 的固有特性, 不是随机的。x 轴的输入图像灰度值, 没有中心化, 其范围是 0~255; y 轴是归一化光线强度。由于它们与 Gamma 系数为 2.2 的曲线差别很大,

因此,不能直接用式(2.16)和式(2.17)来校正,而且 RGB 三个通道的 Gamma 曲线也各不相同,这给 LCD Gamma 校正增加了难度。由于现在的视频和计算机图形产生系统仍然沿用图 2.18 的 Gamma 系数为 2.2 的 Gamma 预校正方法,当把 LCD 与这些系统相连时,色彩就不会得到准确还原。因此,在 LCD 控制器中,就必须对非线性的 R'G'B'信号按照 LCD 的 Gamma 曲线再进行一次专门的 Gamma 校正,来校准 LCD 显示的图像色彩。

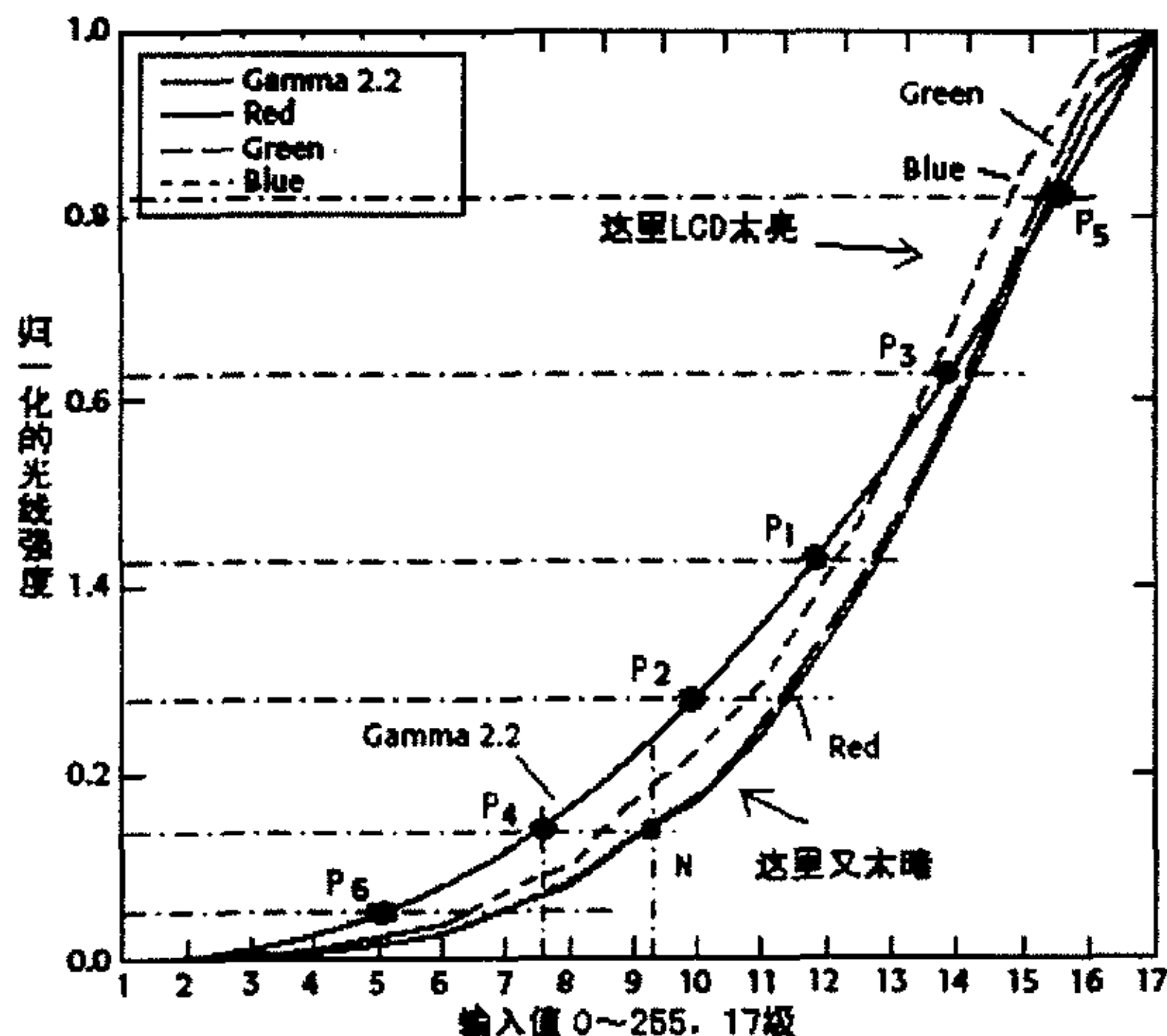


图 2.19 LCD 的 Gamma 曲线与校正方法示意图

2.3.2.1 校正步骤

为能够准确、快速地校准,我们采取如下方法,即:在图 2.19 的 Gamma2.2 曲线上取 6 个点,从而可以在 7 段曲线内分段进行曲线拟合。以 P4 点校正 Red 通道的曲线为例来说明 LCD Gamma 校正的实施步骤:

- (1) 在 P4 点做一条水平直线,并交 Red 曲线于 N 点;
- (2) 输入值范围 0~255 被分为 17 级,那么水平轴上共有 16 段,每段大小就为 16;
- (3) 读出 P4 点的输入值约为 7.6 级,实际输入值为 $(7.6-1) \times 16 = 105.6 \approx 106$;
- (4) 读出 N 点的输入值约为 9.3 级,目标像素点值为 $(9.3-1) \times 16 = 132.8 \approx 133$;
- (5) 在彩色查找表 (Color-LUT, CLUT) 的第 106 地址单元,填入 133,完成输入值 106→133 的 Gamma 校正。

这说明:当输入 Red 值 106 时,在 LCD 上希望产生的光线强度 (Luminance) 应为 Gamma2.2 曲线上 P4 点光线强度,但实际是当输入值为 133 时,Red 通道 Gamma 曲线上 N 点产生了与 P4 点相同的光线强度,故采用上述方法可以完成 Gamma 校正。另外,由于在

按 6 点法划分 7 个小段内的校正值具有相同的变化趋势,因此在准确校正关键点后,可以快速地完成分段的校正,因而加快校正速度。

2.3.2.2 FPGA 实现 Gamma 校正的方法

在 FPGA 内实现 LCD Gamma 校正时,我们为三个通道各设计一个大小为 256×8 位 CLUT,并用 FPGA 内的 Block-RAM 存储器资源来实现。由于不同品牌、不同型号 LCD 面板的 Gamma 特性还存在一定的差异,为提高 LCD 控制器的可编程性和系统兼容性,CLUT 被设计为双端口 RAM 的逻辑结构,并预设了初值,如图 2.20 所示。这样在当 LCD 控制器驱动具有不同 Gamma 特性的 LCD 面板时,可以由单片机更改 FPGA 中 CLUT 的实际内容,做出及时调整,得到更好的显示效果。

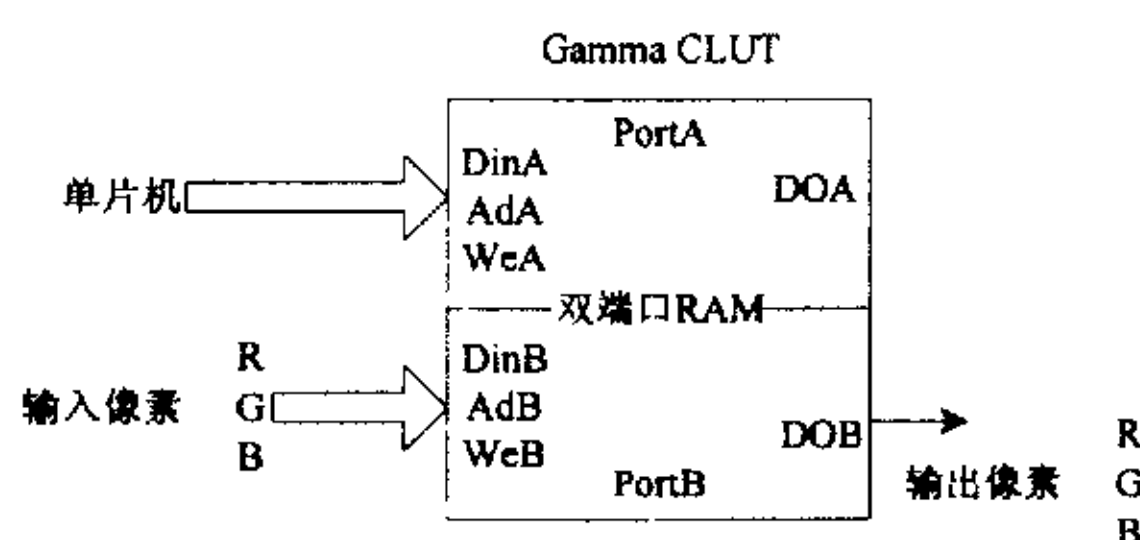


图 2.20 基于双端口 RAM 的 Gamma 校正逻辑结构

2.4 本章小结

本章针对特种 LCD 在工作环境和显示图像方面的特殊要求,首先分析了图像色彩调整的不变换彩色空间 (RGB) 方法因色彩和亮度同时发生变化,而使图像发生偏色和失真问题,给出了我们采用的基于彩色空间变换的调整方法,即把 RGB 转化到 YCrCb 空间,从而可以把亮度 (Y) 和色度 (CrCb) 分开调整,有效地解决同时变化带来偏色问题。在用 FPGA 实现这种调整方法时,我们采用了流水线结构,对其中消耗逻辑资源较多的 3×3 矩阵运算的数字逻辑实现结构进行了优化,节省出 $2/3$ 的逻辑资源,并提高了模块的最高运行速度。

最后,为了能准确还原图像色彩,本章讨论了 LCD 中 Gamma 校正的相关原理,给出一种基于 6 个关键点的可以加快校正速度的实施方法和具体步骤,并在 FPGA 内设计出一种采用“双端口”RAM 结构的可编程 CLUT,用于实现用户自定义特性的 LCD Gamma 校正。

第三章 图像缩放算法与 FPGA 实现

由于 LCD 的物理分辨率是固定的, 只能接收与之分辨率相同的图像信号, 而 PC 机输出图像的分辨率有多种, 往往与 LCD 不同, 比如当输入图像分辨率为 800×600 , LCD 面板分辨率为 1024×768 时, 就必须进行图像缩放。在水平和垂直两个方面各有一个缩放因子: 水平缩放因子 $SC_X=0.78125$, 垂直缩放因子 $SC_Y=0.78125$, 此时 $SC_X=SC_Y$, 这是因为它们的水平与垂直分辨率的比例都是 4: 3, 当比例不同的图像输入时, 缩放因子就不再相同了。

与在软件环境下对一幅固定图像进行缩放不同, 应用于 LCD 中的图像缩放处理模块有特殊的要求, 即 LCD 要求能够对视频流进行实时图像缩放处理。影响实时处理的因素有两方面: (1) 缩放算法本身的复杂程度, 决定它有没有实时处理的能力; (2) 实现图像算法的数字逻辑结构, 决定数字逻辑模块能否完成实时缩放。

本章将围绕这两个因素进行讨论。在介绍一般图像缩放算法基本原理的基础上, 选取经典的、具有实时处理能力的双线性插值 (Bi-linear) 算法作为主要研究对象。然后, 着重讨论如何在 FPGA 内使用数字逻辑实现该算法, 并能动态地 (缩放因子可以随时任意指定) 改变输入图像的分辨率, 使之与目标 LCD 面板的物理分辨率一致。

3.1 图像缩放算法

3.1.1 基本原理与分析

图像缩放, 也称图像重采样 (Image Resample)、图像分辨率转换和尺度变换 (Scaling)。在数字图像处理中, 图像缩放算法是一个必不可少的工具。图像缩放的思路为: 选择一种连续模型(函数) 来拟合图像(离散模型), 求得连续模型参数并用所期望的采样率对该连续模型进行重采样, 得到缩放图像。

通常, 重采样被分为两个子处理过程: 重建 (Reconstruction) 和采样 (Sampling)。前者从离散图像数据中创建一个连续函数, 后者通过采样图像创建一幅新的图像。从离散数据中重建一个分段连续函数通常被认为是输入数据与重建核函数的线性混合。对于单位距离的采样, 表示为:

$$f(x) = \sum_{i=-\infty}^{+\infty} f_i h(x-i) \quad (3.1)$$

其中, f_i 是采样值, $h(s)$ 是重建核函数。

参考文献[39]分析了各阶次插值算法的复杂度, 得出结论: 一般情况下, 从重采样函数阶数 $(n-1)$, 函数中与目标像素点邻近的像素点个数 m , 那么, 重建函数是 $n \times m$ 个系数的

方程, 通常 $n=m$ 。这就说明阶次越高的算法, 复杂度越高, 运算量越大。

重建核函数核是影响最终图像质量的一个主要因素, 文献[31, 39, 40, 42, 43, 44, 45]已提出并分析了许多不同的重建核函数, 而且大部分研究的重点也都放在图像质量方面, 但算法的处理速度也是一个重要问题, 特别是在要求实时处理的应用场合, 因此必须在(运算)速度和(图像)质量之间取得一种平衡或折中(Trade-off) [39]。

最简单的方法是零阶采样保持的最近邻域法(nearest-neighbor), 它从原图像中取出与目标点距离最近的像素点。它具有很好的高频响应, 但却因混叠而使图像质量下降。使用最为广泛的方法是双线性(Bilinear)插值。双线性插值函数是一阶采样-保持器, 输出像素点是根据采样点的位置线性的变化。更为复杂的方法是双立方(Bicubic) [40]。双线性和双立方算法有低通滤波的作用, 导致图像模糊, 高频响应不太好。最近, 又提出了很多其它的方法, 例如, 多项式插值(Polynomial) [41]、自适应(Adaptive) [42]和相关特性(Correlative property) [43], 但这些算法相对复杂, 不适合用数字逻辑来实现。还有一类算法, 它们把缩放因子固定为 2^n 整数, 因而也不能用于缩放因子是小数的 LCD 显示分辨率调整中 [44]。

一种图像缩放模型的好坏主要取决于以下两个因素: 模型的再现能力和模型的复杂度。模型的再现能力决定了模型能在何种精度上拟合图像; 而模型的复杂程度则决定了模型的可操作性, 一般而言, 两者是不可兼得的 [45]。参考文献 [42] 把缩放算法分为 5 大类, 指出: 只有两类算法(转换核函数在整幅图像中固定的传统插值法和使边缘信息的自适应插值法)可以被用于有低复杂度和低存储容量等限制条件的应用场合, 而且在实现视频信号实时缩放的应用中, 因 FPGA 内的逻辑资源相对有限, 算法的“复杂度”和“存储器资源”的使用情况是影响 FPGA 能否完成实时处理的另两个重要因素。

相比之下, 在 FPGA 中实现图像的实时动态缩放, 双线性插值算法可以在各方面取得一个较好地折中。下面将介绍基于双线性插值法的图像缩放原理。

3.1.2 双线性插值法

图像缩放的双线性插值法属于 2 维的 1 阶采样-保持器, 即 2 维 1 阶线性插值法。那么, 1 维 1 阶线性插值核函数为:

$$h(x) = 1 - x \quad (3.2)$$

可以得到 2 维 1 阶插值核函数为

$$h(x, y) = (1 - x)(1 - y) \quad (3.3)$$

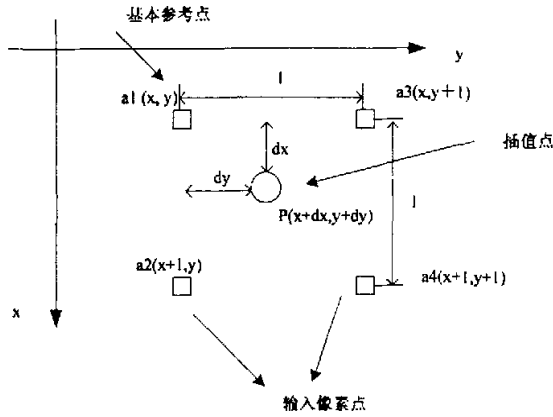


图 3.1 图像的双线性插值计算模型

使用该插值函数对 2 维图像进行重采样是基于图 3.1 的图像双线性插值计算模型中所示 5 个像素点的分布关系而进行的。假设原始图像的四个像素点为 a_1 、 a_2 、 a_3 、 a_4 ，水平和垂直两个方向点距为单位长度 1。四点坐标分别为 $a_1(x, y)$ 、 $a_2(x+1, y)$ 、 $a_3(x, y+1)$ 、 $a_4(x+1, y+1)$ ，目标像素点的坐标为 $P(x+dx, y+dy)$ ， dx 、 dy 分别是目标像素点与原始图像中邻近点的水平或垂直坐标方向上的两个增量。那么，采用双线性插值法得到目标插值像素点 P 的灰度值为：

$$P(x+dx, y+dy) = (1-d_x)(1-d_y)a_1 + d_x(1-d_y)a_2 + (1-d_x)d_ya_3 + d_xd_ya_4 \quad (3.4)$$

式(3.4)中像素点所乘的系数是按照式(3.3)插值核函数来计算出来的。

考虑以 FPGA 来实现式(3.4)的插值运算时，一共需要 8 个乘法器、2 个减法器 and 4 个加法器，占用了较多的逻辑资源，我们把它改写为：

$$\begin{aligned} P(x+dx, y+dy) &= a_1 + d_x(a_2 - a_1) + d_y(a_3 - a_1) + d_xd_y(a_1 - a_2 - a_3 + a_4) \\ &= a_1 + (a_2 - a_1) \times d_x \\ &\quad + (a_3 - a_1) \times d_y \\ &\quad + [(a_4 - a_3) \\ &\quad - (a_2 - a_1)] \times d_xd_y \end{aligned} \quad (3.5)$$

此时，式(3.5)中只要进行 4 次乘法、3 次加法和 4 次减法，注意到 $(a_2 - a_1)$ 出现了两次。因此与式(3.4)相比，节省了 4 次乘法运算，即 4 个乘法器的资源。

我们利用最近邻域法、双线性法和双立方方法 3 种不同的方法分别对分辨率为 68×136 ，边缘特性明显的文字图像（图 3.2-a）和分辨率为 160×160 ，灰度连续性较好的 Lena 图像（图 3.3-a），进行 1.35 放大的处理，分别得到放大的、分辨率为 91×183 、 216×216 的文字和 Lena 图像。通过比较可以看出 0 阶的最近邻域法最差，3 阶的双立方方法最好，1 阶的双线性法的效果居中，但是所得到图像的效果是完全可以被接受的。

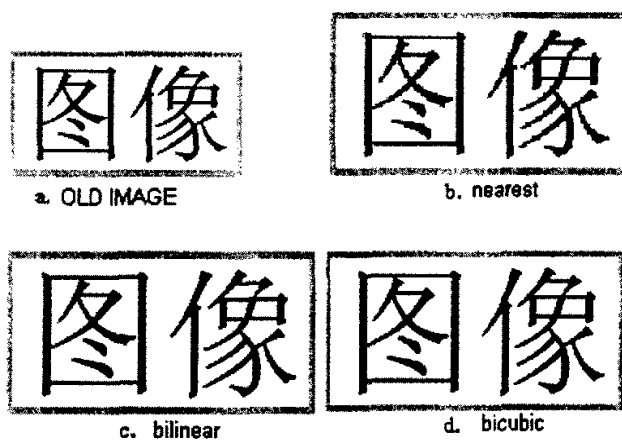


图 3.2 利用 3 种不同插值方法对文字放大 1.35 倍

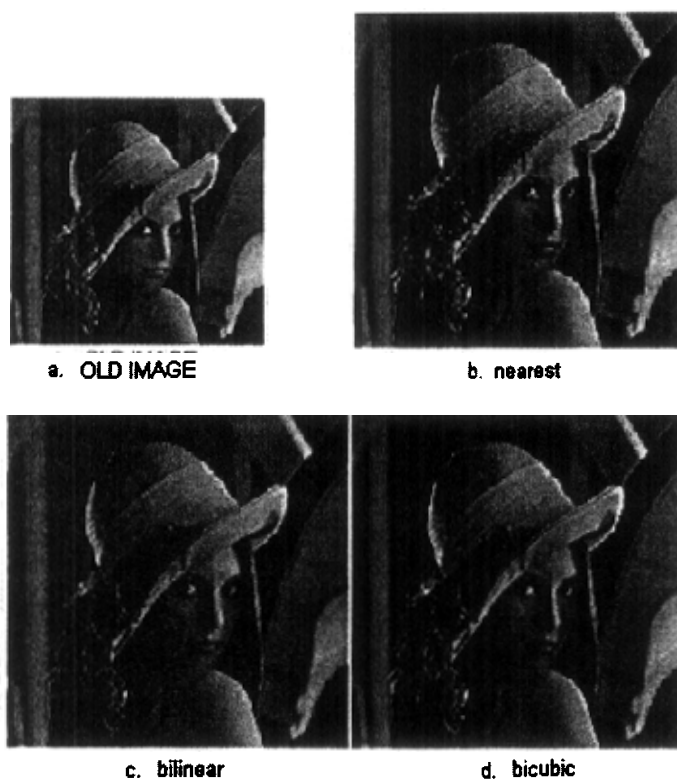


图 3.3 利用 3 种不同插值算法对 Lena 图像放大 1.35 倍

3.2 FPGA 实现方法

利用 FPGA 来实现双线性插值法的目的是：对输入的与目标 LCD 面板物理分辨率不同的连续图像信号进行实时动态缩放处理，使它们的分辨率相同。根据式(3.5)，要能“实时”地完成双线性插值，需要处理好以下三个主要功能：

(1) 采用何种图像数据的存储结构，为式(3.5)插值运算提供像素点数据，即：保证能及时取得目标像素点周围邻近的四个像素点 a_1, a_2, a_3, a_4 的灰度值；

(2) 实时的计算出式(3.5)中运算所需要的插值系数： $dx, dy, dx \times dy$ ；

(3) 设计出一个具有流水线特性的插值计算单元，在时序节拍方面，协调好参与计算的像素点数据和插值系数，使它们有效地完成插值运算。

“动态”是指当输入图像分辨率改变，引起缩放因子发生变化时，FPGA 内的数字逻辑能够及时根据新的缩放因子，按照图像时序扫描的顺序，实时地计算出式(3.5)中每一次插值运算所使用的系数 $dx, dy, dx \times dy$ 。而不是只能计算几种固定的缩放比例，或是把运算系数预先存储在系数存储器里的等方法。这样可以节省系数存储器资源，并且可以支持不同的输入分辨率图像和多种目标 LCD 分辨率，提高该算法模块的兼容性。

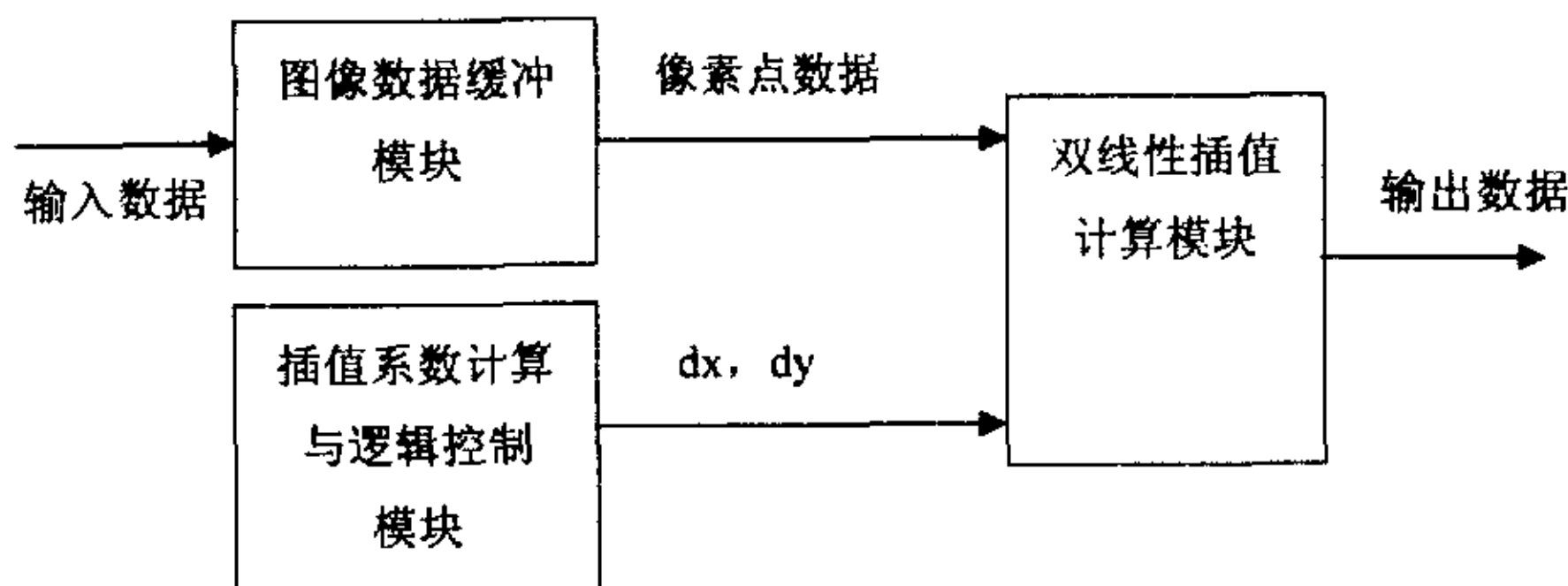


图 3.4 利用 FPGA 实现双线性插值的三个功能模块

3.2.1 运算数据准备

3.2.1.1 数字图像缓冲技术

由于数字视频信号的数据量非常大（一幅图像 $1024 \times 768 \times 3$ 字节 = 2.304M 字节）、传输带宽（2.304M 字节 $\times 60\text{Hz} = 138.24\text{M}$ 字节/秒）要求特别高，用硬件系统进行实时数字图像处理算法时，如何为运算及时准确提供图像数据，即图像数据的“缓冲存储机制”，是一个非常关键的问题。

一般的数字图像处理系统中，都采用“大容量”高速存储器存储至少两帧图像数据，利用“Ping-Pang”轮换的机制，在需要使用一帧内像素点数据时，可以及时从一个存储器读得，与此同时连续的图像数据被存储到另一个存储器中。当然，如果算法需要用到前后几帧图像，那么就需要扩展几个帧存储器。

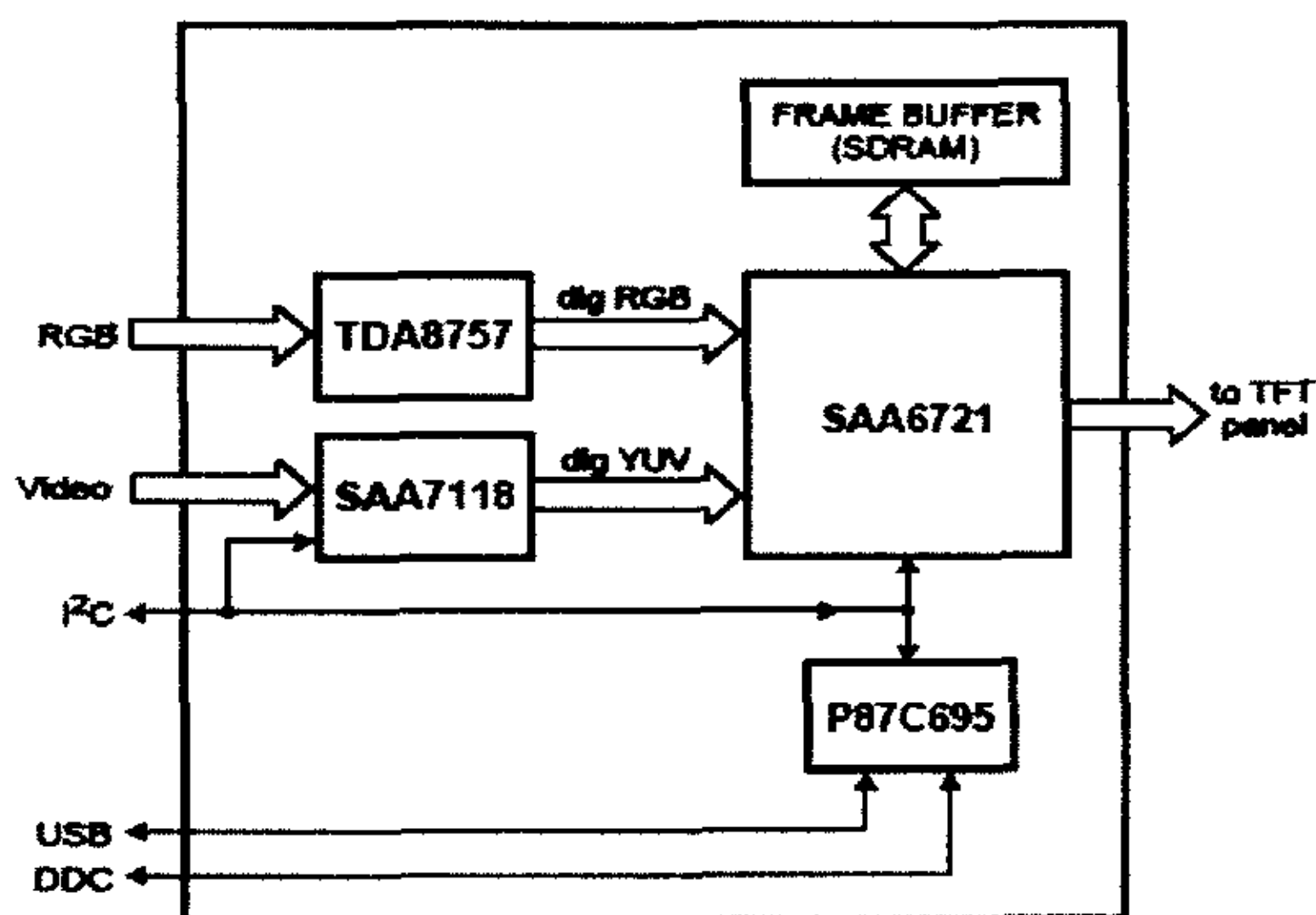


图 3.5 采用 SAA6721 构成的 LCD 显示控制板框图

由外国大公司生产的 LCD 控制器，也常采用片外扩展大容量同步动态存储器(SDRAM)进行图像处理的方案。例如，使用 PHILIPS Semiconductor 公司的 SAA6712 和 SAA6721(A) 两种 TFT-LCD 控制器(TFT-Display Controller)组成的 LCD 显示控制板中，就要扩展 SDRAM 做为帧缓冲器，系统框图如图 3.5 所示。

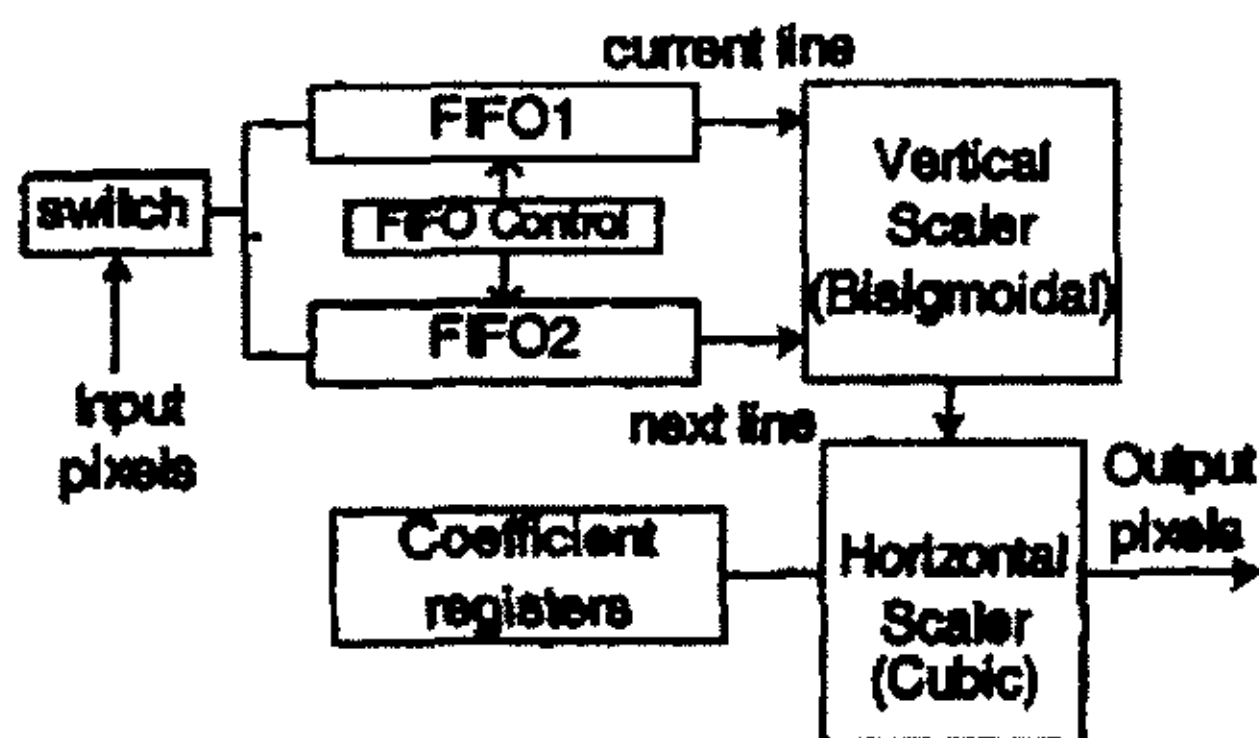


图 3.6 采用 FIFOs 的图像缩放模块框图

随着 LCD 控制器设计的技术发展，人们想采用一种新的逻辑结构，省去帧存储器，降低成本。最近出现了只使用多个“行缓冲器”参与图像缩放算法的数字逻辑实现方案^[10]。缩放算法模块的结构框图^[10]如图 3.6 所示，使用了两个 FIFO（先进先出缓冲器）来缓冲前后两行数据，但运算过程所使用的系数还是存储于系数寄存器里。

3.2.1.2 基于双端口 RAM 的图像缓冲

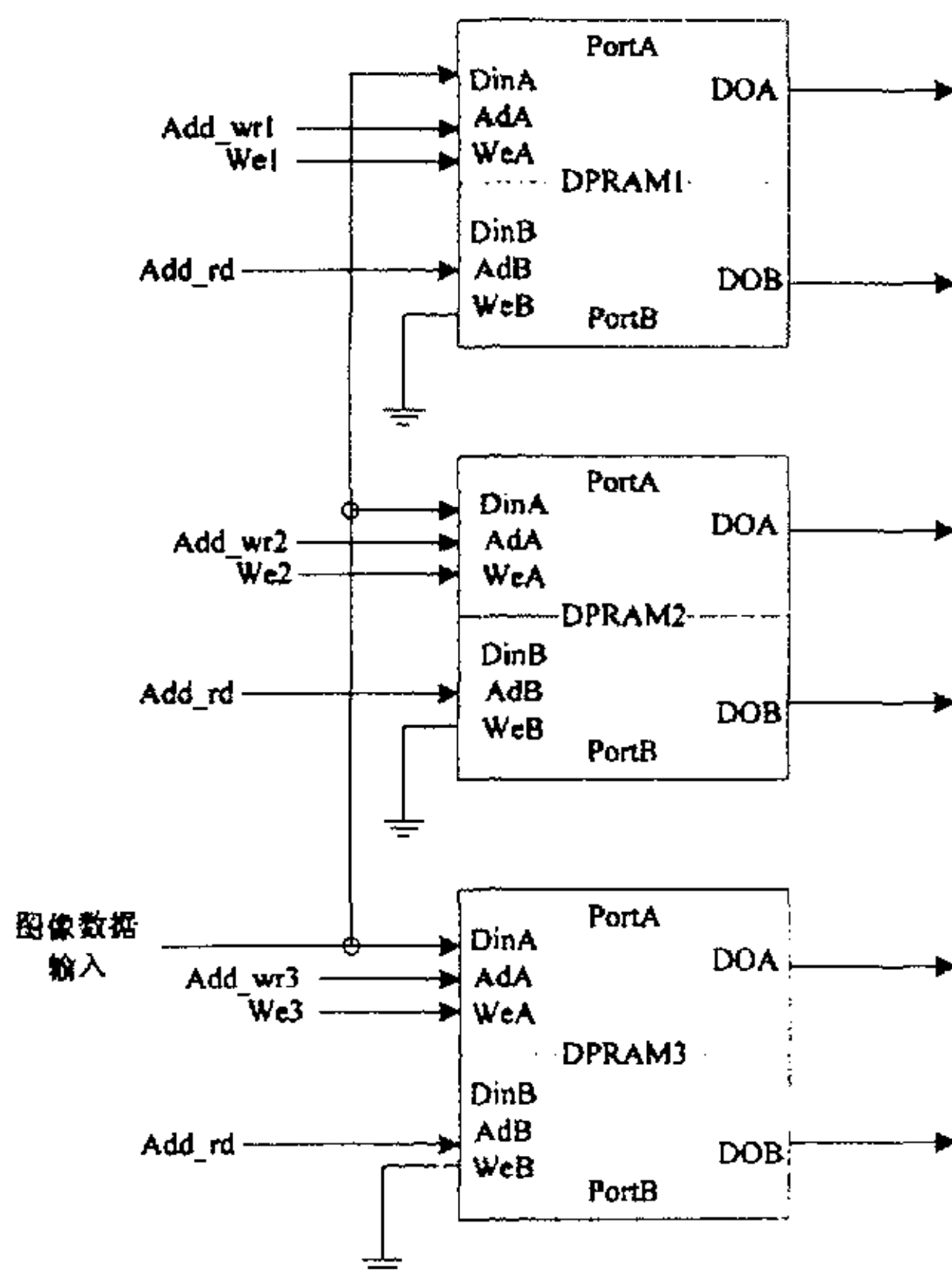


图 3.7 三个双端口 RAM 的逻辑关系图

为了提高系统的集成度，节约 FPGA 内部逻辑资源的消耗和降低成本，并参考文献 [30]，我们采用三个行缓冲器（Line Buffer，能够存储一行数据的存储器）来缓冲图像数据，并使用双端口 RAM 来实现行缓冲器的设计方案。

由于在 XILINX 的 SPARTAN2E 系列 FPGA 的内部包含有较多的嵌入式 Block SelectRAM+ 资源 [32]，利用该逻辑资源可以为每一彩色通道设计出一组三个双端口 RAM（DPRAM）的图像数据缓冲阵列。具体的逻辑结构图如图 3.7 所示。一个 DPRAM 包括两套读写控制端口 PortA、PortB，分别有数据输入口 DinA、DinB，地址输入口 AdA、AdB，读写控制信号 WeA、WeB，数据输出口 DoA、DoB。一个 DPRAM 存储空间设计为 $1024 \times 8\text{bits}$ ，正好是 SelectRAM+ 单元的大小（4096bits）的两倍，占用 2 块 SelectRAM+，这样，三个 DPRAM 就共占用 6 块 SelectRAM+。

由于我们使用双线性插值算法，它总是取出目标像素点上下两行、前后两列（见图 3.1）——共四个像素的数据参加运算。我们采用如下策略来取得这 4 个数据：

用 1 个双端口 RAM（如 DPRAM1）来实时存储输入的图像数据，处于“写入”状态，当作数据缓冲器；而另外 2 个 DPRAM2 和 DPRAM3 中已经存贮有前 2 行数据，提供给插值计算单元，处于“运算”状态。在图像行同步（HS）扫描时序的控制下 3 个 DPRAM 转

换工作模式。在图 3.7 中, 三个 DPRAM 的 PortA “复用” 为图像数据输入和输出, 而 PortB 的读写使用 “WeB” 信号恒等于 “0” 电平, 即 PortB 只作读端口使用。

3 个 DPRAM 的工作模式转换是采用一个四状态的状态机来实现控制的, 包括: 复位状态 SRESET, 和三个 DPRAM 的写状态 SDPRAM1_WR、SDPRAM2_WR、SDPRAM3_WR, 状态转移图如图 3.8 所示。在一个 DPRAM 处于写入状态时, 另外两个 DPRAM 作为行数据存储器。

当 DPRAM 处于 “写入” 状态时, 在像素点时钟频率 (PCLK) 和水平同步 (HS)、垂直 (VS) 同步的控制下, 由图像采集行地址发生器 (LINE_CNT) 生成 DPRAM 的写入地址 (ADD_wrx), 把数据总线上对应的图像数据写入 DPRAM 中。

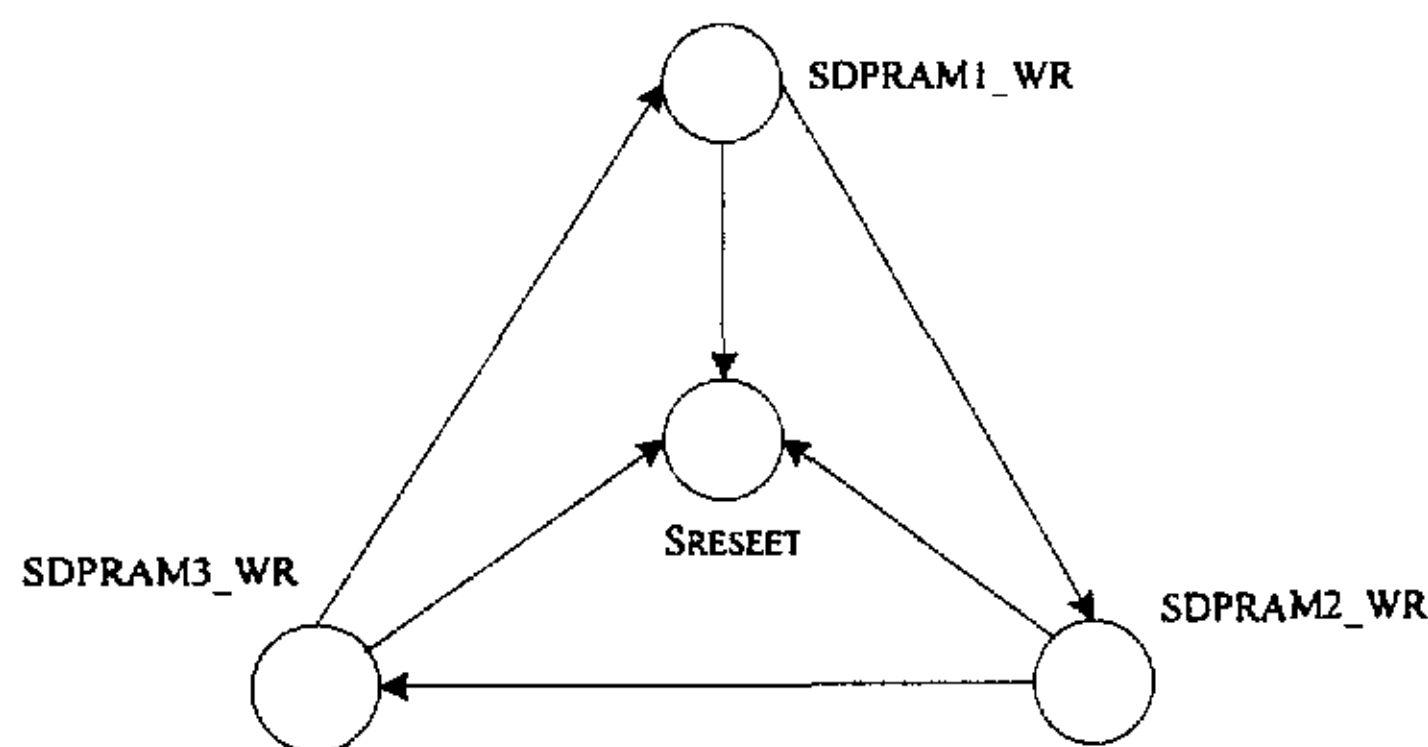


图 3.8 三个双端口 RAM 的工作模式转换状态图

当另外两个 DPRAM 处于 “运算” 状态时, 需要能够同时输出 “四个相邻” 像素点的数据到插值计算模块。由于每个 DPRAM 有两个地址访问口 AdA 和 AdB, 因此, 当把两个端口的访问地址设置相差一个单元时, 即可以同时从数据输出端口 DoA 和 DoB 输出一行内相邻的前后 2 个数据。

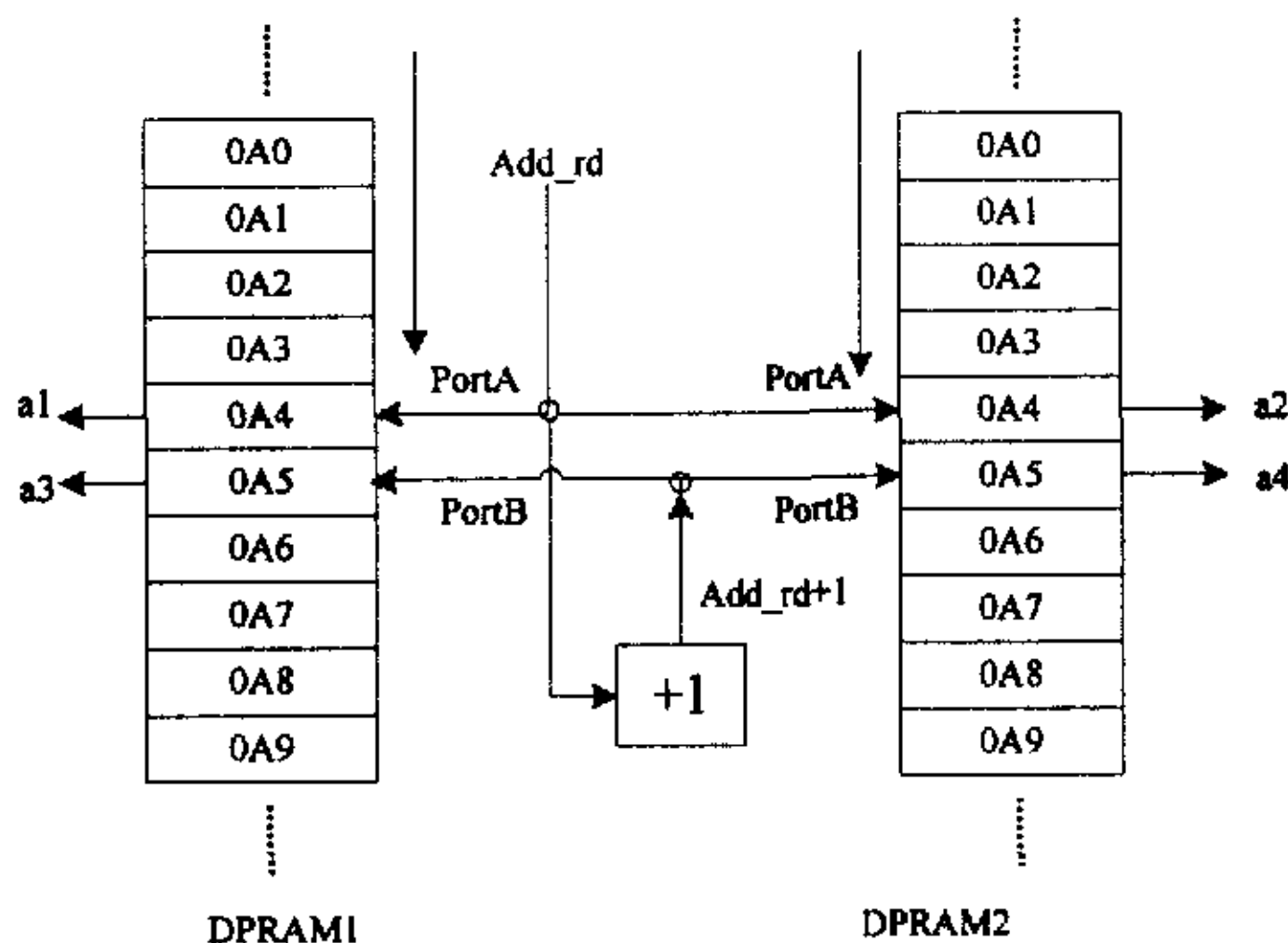


图 3.9 从 2 个双端口 RAM 中同时取出四个相邻像素点的示意图

如图 3.9 所示, 当访问 PortA 的地址为:

$$AdA \leq Add_rd; \quad (3.6)$$

访问 PortB 的地址取为:

$$AdB \leq Add_rd + 1; \quad (3.7)$$

此时, 就可以实现在 DPRAM1 的 DoA 和 DoB 输出 a1、a3, 同时在 DPRAM2 的 DoA 和 DoB 输出 a2、a4。

在每个时钟同期图 3.7 中 3 个 DPRAM 共有 6 个输出数据, 只有 4 个输出有效, 我们利用图 3.8 中的 4 个状态来区分不同的有效输出组合。在三个有效状态里, 使用多路选择器 (MUX) 来配置最终输出到插值计算单元的 4 个输出信号量 a1out, a2out, a3out, a4out。根据第 4 步 DPRAM 的+1 的访问地址, 知道 PortA 总是输出 4 个像素点中的前 2 个, 而 PortB 口总是输出后 2 个地址高的数据。这样就可以把 6 个输出分为高、低两组, 将问题简化为 3 个量正确取出 2 个, 使用一个 2bits 的选择量 Sel, 正好是 4 个状态, “00”对应 SReset, “01”、“10”、“11”分别选择两组输出, 如图 3.10 所示。

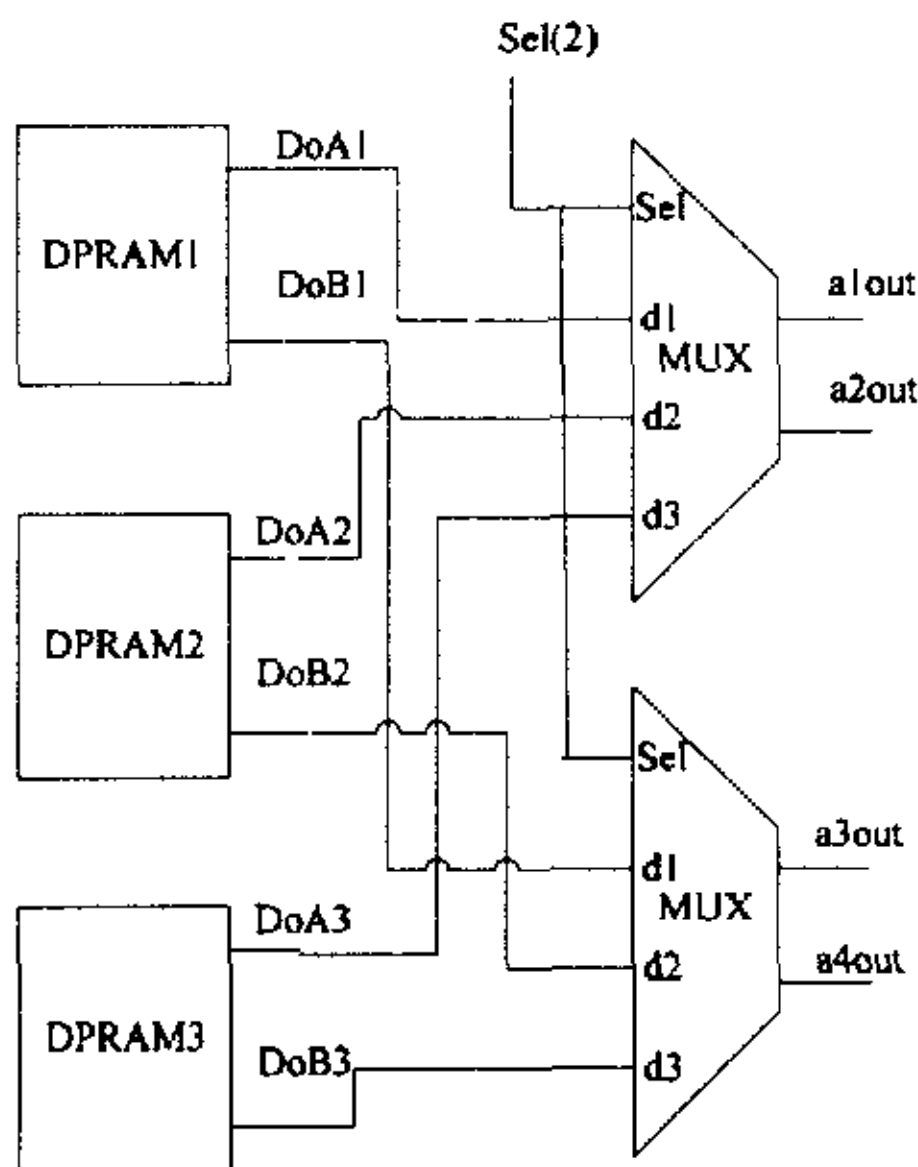


图 3.10 像素点输出配置图

至此, 通过上述 5 步就可以为插值计算单元准备好运算数据。下面, 将介绍如何动态的生成插值计算时所需要的插值系数。

3.2.2 运算系数生成与逻辑控制

根据优化过的双线性插值计算公式(3.5), 有两个运算系数 dx 和 dy 需要准确及时的求出, 而且只有当生成的系数在时序节拍上与图像数据存储、插值计算单元的时序配合一致时, 才能有效地完成整幅图像的双线性插值运算。因此, 在生成系数的同时, 必须能够给出系数在原图像中对应邻近像素点的坐标信息, 即在 DPRAM 中的存储地址, 以便数据准备单元可以同步地取出参与运算的 4 个图像数据。

如果把分辨率为 640×480 的图像转化为 800×600 的图像，就需要放大 1.25 倍，则缩放因子为：

$$sc = 1/1.25 = 0.8 \quad (3.8)$$

当 1024×768 的图像转化为 640×480 ，缩小图像为 0.625 倍时，缩放因子为：

$$sc = 1/0.625 = 1.6 \quad (3.9)$$

此时，缩放因子 sc 的物理意义是：对于以单位长度“1”来表示相邻两个像素点的距离的模型进行缩放时，以 sc 为间隔形成的一个新采样格栅，重新对原图像在水平和垂直两个方向上进行重采样，新图像的像素点距离为 sc 。若在水平和垂直两个方向上的缩放比例不一致时，缩放因子也就不相同，分别定义为 sc_x 和 sc_y 。那么，计算新图像中坐标为 (n, m) 的像素点时，系数 dx 和 dy 的计算式如下：

$$\begin{aligned} d_x &= n \times sc_x - \lfloor n \times sc_x \rfloor \\ &= \sum_i^n sc_x - \left\lfloor \sum_i^n sc_x \right\rfloor \end{aligned} \quad (3.10)$$

$$\begin{aligned} d_y &= m \times sc_y - \lfloor m \times sc_y \rfloor \\ &= \sum_j^m sc_y - \left\lfloor \sum_j^m sc_y \right\rfloor \end{aligned} \quad (3.11)$$

我们将式(3.10)和式(3.11)中的乘法运算改用累加的递推运算来实现，更适合于进行逐个像素点运算。在 FPGA 中数字逻辑来实现上述运算时，需要处理好以下几个问题：

(1) 浮点数表示法

因为实际进行 XGA、SVGA、VGA、PAL、NTSC 制这几种常用视频信号的图像缩放时，缩放因子 sc 的值域范围为 $0.3 \sim 3.2$ ，用 2 位二进制表示时，为 $00B \sim 11B$ 。为了保证计算精度，在 FPGA 内我们采用二进制位数的方法表示浮点数，把 2 位二进制扩展到 8 位，保持原数据的值域范围高 2 位二进制表示整数部分，用低 6 位表示小数位。以 640×480 放大到 1024×768 为例， $sc_x = 0.625$ ， $sc_y = 0.625$ ，那么有

$$\begin{aligned} sc_x &= 0.625 \times (111111B) \\ &= 0.625 \times 64 \\ &= 40 \\ &= 00101000B(uFix_8_6) \end{aligned} \quad (3.12)$$

记作 $uFix_8_6$ 的意思为：无符号定点数 8 位二进制，其中 6 为小数扩展的位数。

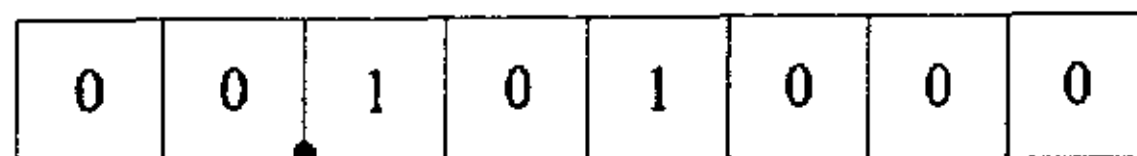


图 3.11 浮点数的表示方法

两个 $uFix_8_6$ 相加，得到：

$$uFix_8_6 + uFix_8_6 = uFix_9_6 \quad (3.13)$$

即小数位不变, 总位数加 1。由于在我们所设计的模块中, 根据几种分辨率之间可能出现的缩放比例关系, 把水平方向 sc_x 的累加器输出设计为 $uFix_16_6$ 位, 方向 sc_y 的累加器输出设计为 $uFix_15_6$ 位, 如图 3.12 所示。

(2) 计算插值系数

在我们采用上述的浮点数表示法后, dx 和 dy 就是变成累加和的小数部分, 恰好可以直接截取 $uFix_16_6$ 和 $uFix_15_6$ 的低 6 位 (LSB) 得到 dx 和 dy 系数, 而不用完成(3.10)(3.11)两式中减去“下取整”的运算。当然在表示方法上, 这两个系数是已经被扩展的数, 因此要记为 $uFix_6_6$, 说明 6 位都是小数。

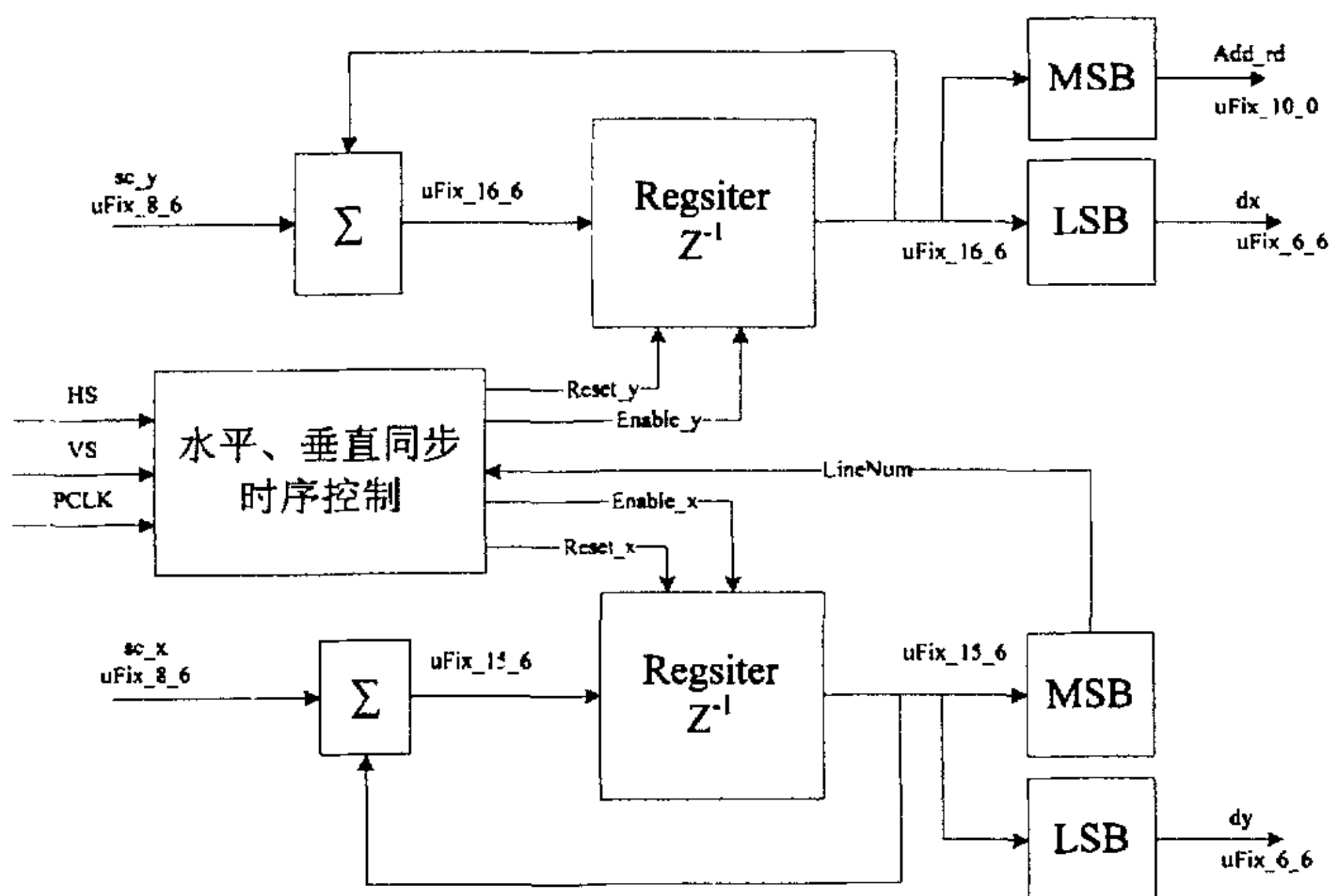


图 3.12 运算系数生成与逻辑结构

此时, $uFix_16_6$ 整数部分的高 10 位 (MSB) $uFix_10_0$ 正是数据准备单元中访问 DPRAM 要用到访问地址 Add_rd , 它与生成的系数是完成对应的。 $uFix_15_6$ 整数部分的高 9 位 (MSB) $uFix_9_0$ 将被送入水平、垂直同步时序控制模块, 与 HS、VS 一起确定控制信号的生成。

用 FPGA 内数字逻辑完成浮点运算时, 我们必须时刻记住每个浮点数表示为二进制码的小数位在哪位上, 这一点与用定点 DSP 完成浮点运算有相似之处。

3.2.3 双线性插值计算

当我们得到相邻 4 点的图像数据和运算系数后, 就可以进行插值运算了。按照公式(3.5)我们设计了一种具有流水线特性的运算逻辑结构, 如图 3.13 所示。(3.5)式中小括号“()”内的两个像素点相减的算式可以在同一时钟内完成, 在同一时钟内还可以进行 $dx \times dy$ 运算。

其中, 在设计时乘法器、加法器和减法器, 分别加了若干“Pipeline”延时 (Latency),

比如乘法器在使用 XILINX 的“CORE Generator”辅助生成时,可以指定 1—4 个不等的延迟时钟个数。当某个运算步骤输出数据与其它运算的输出值在某个时钟不能同步达到下一个运算器时,我们在数据线上插入延时单元,使它们能达到同步,而且适当增加乘法器和加法器等的流水线延时,有利于增加整个双线性插值运算模块支持的最大运行频率,提高整体性能。

插值计算模块的逻辑结构模块如图 3.13 所示,使用了 4 个乘法、4 个减法器、3 个加法器。为保持时序上同步, a_1 经过 3 个时钟周期的延时后,参与到一次加法运算;系数 $dx \times dy$ 也经过 1 个时钟周期的延时,等待像素点之间的减法完成后,同步进入乘法器。

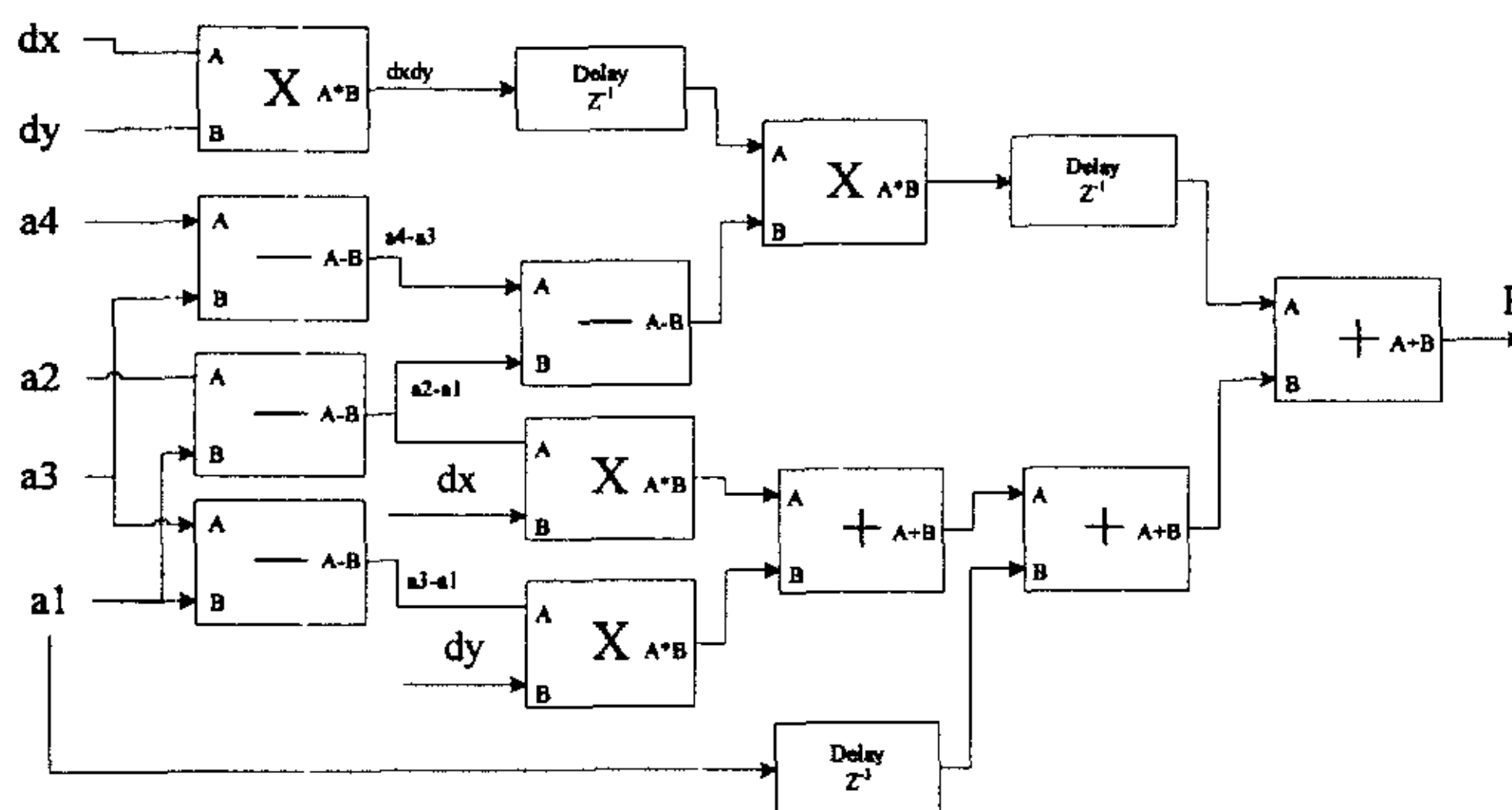


图 3.13 插值计算单元的逻辑结构

3.2.4 关于系统时钟频率的分析

除了上述逻辑功能的 FPGA 实现方法的问题外,还有一个关于系统时钟频率如何处理的重要问题。它直接影响到最后整个逻辑功能能否对图像完成实时处理,需要特别注意。

在整个缩放模块的输入和输出端口有两个时钟信号,分别是输入图像的像素点频率与输出图像像素点频率,它们不相等。特别是在放大时,输出图像分辨率大于原始图像,相应的输出时钟频率也高于原始图像的像素点频率——这就是说要在一个较少的时间段内完成插值运算,并输出更多的像素点——只有通过提高缩放模块内的系统主时钟频率来解决这个问题。

因此,系统就包含 3 种不同的时钟频率:原像素点频率 clk_{in} 、输出像素点频率 clk_{out} 和系统主时钟频率 clk_{sys} 。在缩小分辨率时, clk_{sys} 取 clk_{in} 即可满足实时处理的要求。当放大图像时,通过研究与比较,总结出一个基本规律:

$$\frac{\text{主时钟频率}}{\text{原像素点频率}} \geq \text{缩放倍数} \quad (3.14)$$

正如“3.2.2 节 1)点”所指出的:缩放因子 sc 的值域范围是 0.3~3.2,那么,记缩放倍数为

K , 则 $K=1/sc$, 一定有 $K<4$ 倍。在时序仿真时, 为了更清楚地说明问题, 我们取 clk_{in} 的 4 倍频 clk_4 作为主时钟频率, 但在实际设计 LCD 的图像缩放模块时, 由于放大倍数一般不超过 2 倍, 因此, 取 2 倍频就可以满足要求。

3.3 测试和性能分析

3.3.1 总体性能

在双线性插值图像缩放算法的上述三个独立功能模块设计完成后, 在 XILINX 公司提供的可编程逻辑器件集成开发环境 XILINX ISE6.3i SP3 中进行 VHDL 编译, 目标 FPGA 芯片选为 SPARTAN2E 系列的 XC2S300E-6pq208i。通过 XILINX ECS 查看编译后, 生成的模块互联关系如图 3.14 所示, 包括我们所讨论的三个子功能模块。

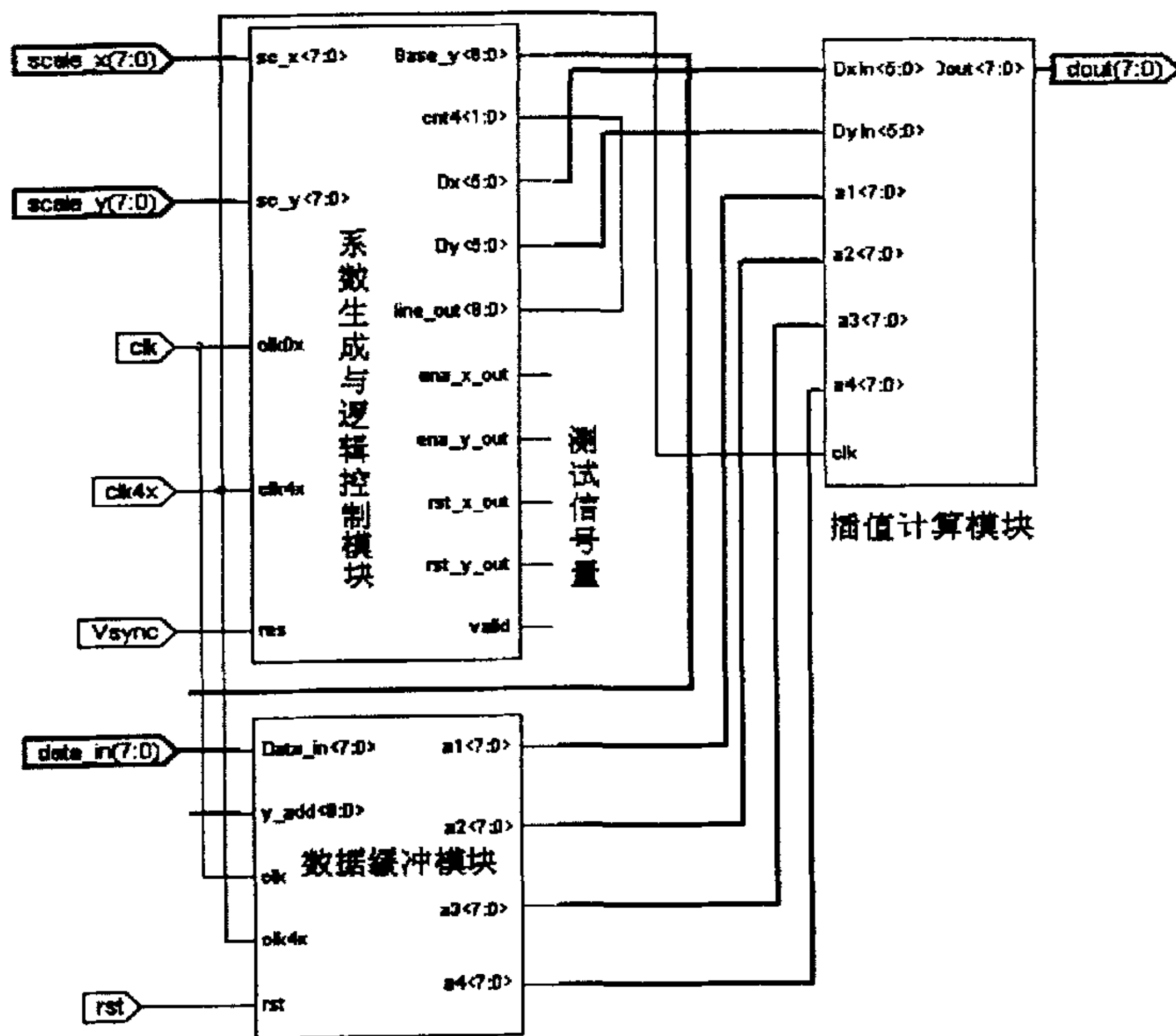


图 3.14 双线性图像缩放模块逻辑结构与互联关系图

采用 VHDL 描述全部图像缩放功能, 为了便于说明问题和看清楚时序波形, 我们从 R、G、B 三个通道中取出一个通道进行测试和性能分析。经过 ISE-XST 编译和综合, 得到占用 FPGA 逻辑资源的总体情况如下表 3.1 所示。

表 3.1 双线性插值图像缩放模块的逻辑资源使用情况

逻辑资源类型	总数	使用数	比例
Slices	3072	250	8%
Slice Flip Flops	6144	355	5%
4 input LUTs	6144	300	4%
BRAMs	16	6	37%
GCLK	4	2	50%
最大时钟频率 (Maximum Frequency)	83.285MHz (XC2S300E-6pq208i)		

从表 3.1 可以看出图像缩放模块使用了较少的逻辑资源,而且综合得到整个模块所支持的最大时钟频率 (Maximum Frequency) 为 83.285MHz,它大于 XGA (1024×768×60Hz) 的像素时钟频率 65MHz,因此最大可以支持分辨率低的 VGA、SVGA、PAL、NTSC 制图像放大到 XGA。

3.3.2 各子模块仿真测试

我们分别对三个模块进行时序和功能仿真,验证设计正确与否,并测试性能。VHDL 语言的时序与功能仿真环境选择 Mentor Graphics 公司的 Modelsim SE PLUS 5.8。

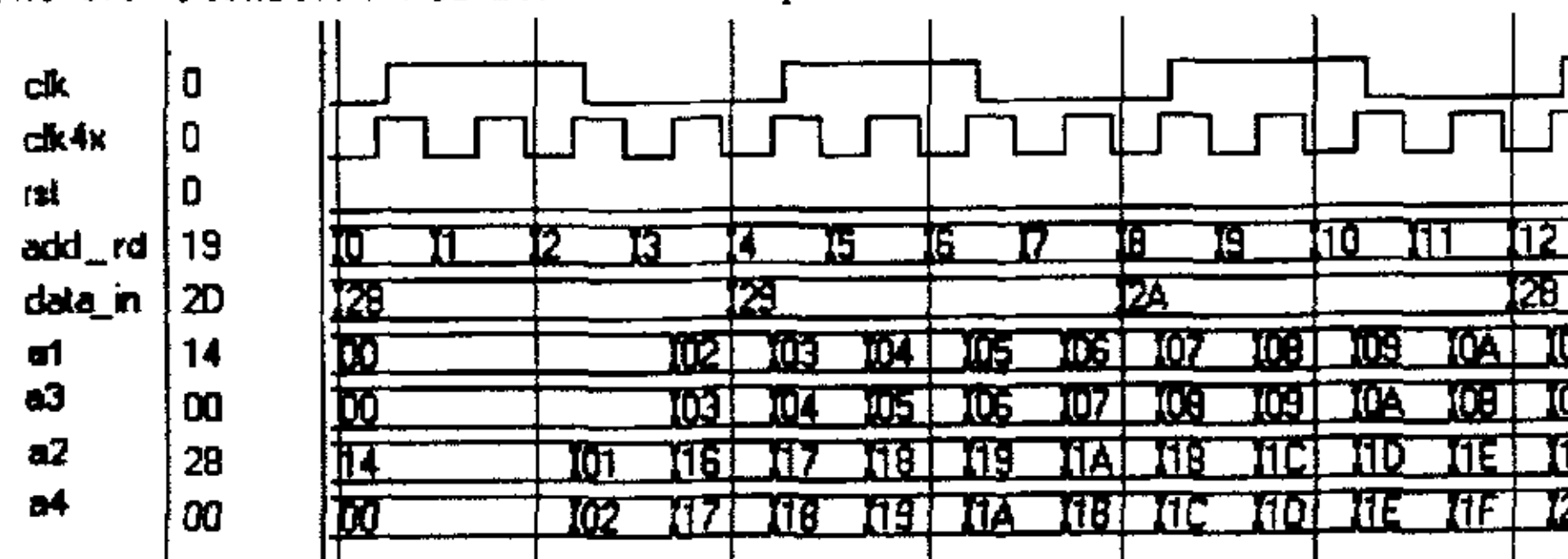


图 3.15 图像数据缓冲模块仿真波形

图 3.15 是图像数据缓冲模块的仿真波形,其中的 clk4 是输入像素点 clk 的 4 倍频, add_rd 是访问 DPRAM 的地址,在 clk4x 的同步下,从 2 个 DPRAM 中输出 4 个相邻像素点数据 a1,a2,a3,a4。从时序图中,可以看到在同一时刻 a1,a3 输出一行内相邻的前后两个数据; a2, a4 输出另一行内相邻的前后两个数据。这说明已经实现了数据缓冲模块能够为插值计算模块同时准备好 4 个相邻像素点数据的设计目标。

图 3.16 双线性插值计算模块仿真波形图中 dxin 和 dyin 是输入的插值计算系数,每一列图像数据 a1, a2, a3, a4 输入后,经过了 5 个 clk 上升沿触发,输出一个 dout 数据,这与“3.2.3 双线性插值计算”一节关于流水线延迟时钟周期的分析一致。如图中第一列数据 a1=40H, a2=7BH, a3=80H, a4=7AH, 经过双线性插值后,得到 dout=75H。

时动态图像缩放算法的设计方案、设计要点及对一些难点问题的解决方法,从总体的逻辑结构到具体实现细节,做了全面分析。其最大特点是仅采用 FPGA 内片的嵌入式 Block RAM 存储器资源构成图像缓冲器,而且只采用了三个行缓冲器来缓冲图像数据,没有在 FPGA 片外扩展大容量帧存储器,从而大大节省逻辑资源,降低系统成本,提高 LCD 控制器的集成度和总体性能。

第四章 隔行转逐行扫描方法与 FPGA 实现

面向 LCD 的去隔行处理有其特殊性,它不仅要把输入的隔行扫描视频信号转换为逐行扫描的方式,还要把逐行扫描的图像再次变换成与目标 LCD 面板具有相同分辨率的图像。这与传统的针对 PAL 和 NTSC 制视频信号单一的去隔行算法是不同的,究其根本原因是数字化的 PAL 和 NTSC 制视频信号的分辨率与 LCD 面板的物理分辨率不能兼容。

本章将首先介绍有关去隔行的基本原理和方法,再介绍我们所采用的基于图像缩放 LCD 去隔行方法及其 FPGA 实现。

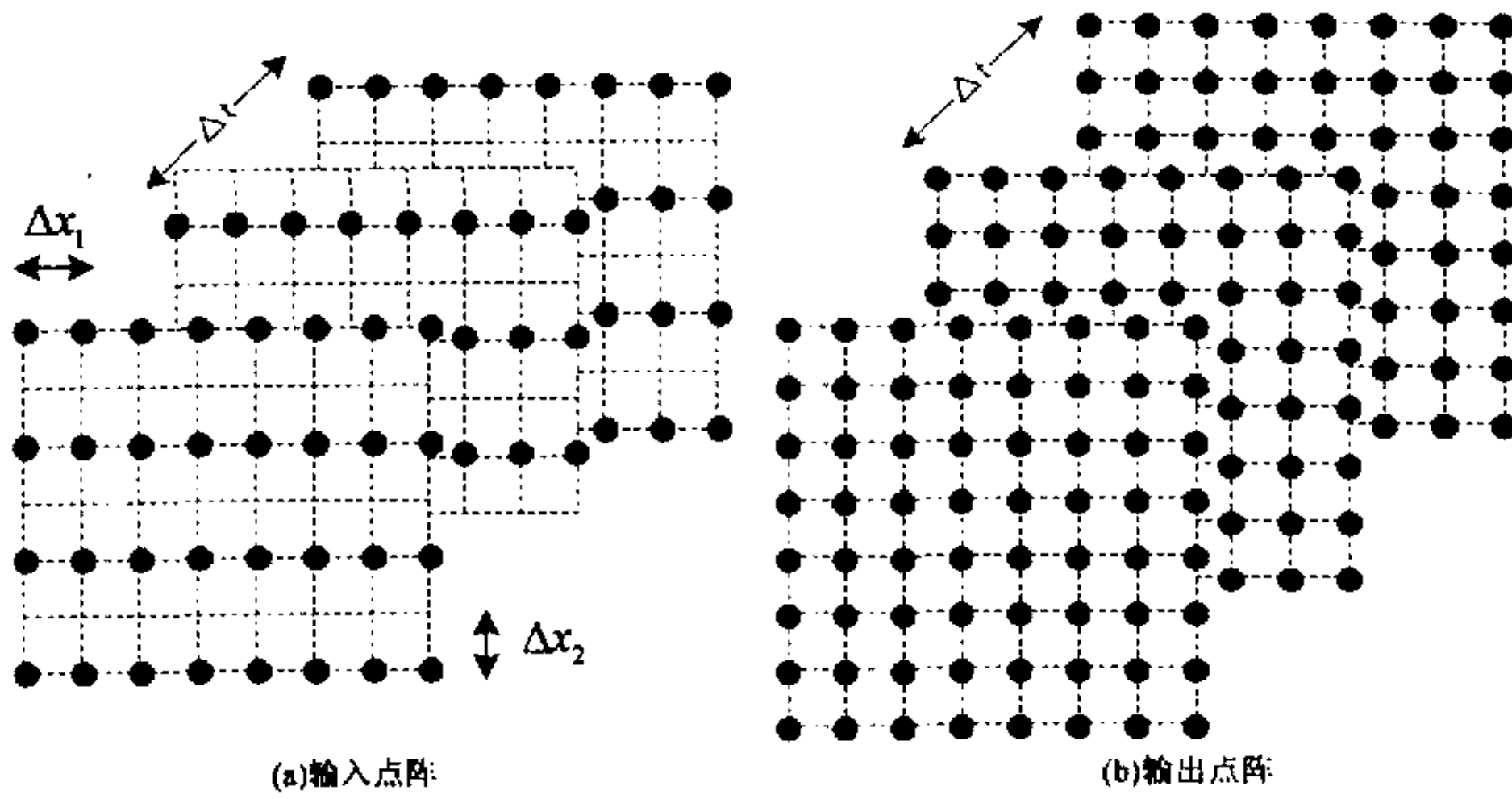


图 4.1 隔行向逐行变换

4.1 去隔行变换原理^[50-55]

去隔行涉及到一个隔行采样栅格(Interlaced Sampling Grid)向一个逐行栅格(Progressive Grid)转换,它们分别表示在图 4.1 (a) 和 (b) 中。对应于输入和输出栅格的采样矩阵分别为:

$$V_m = \begin{pmatrix} \Delta x_1 & 0 & 0 \\ 0 & 2\Delta x_2 & \Delta x_2 \\ 0 & 0 & \Delta t \end{pmatrix} \quad (4.1)$$

$$V_{out} = \begin{pmatrix} \Delta x_1 & 0 & 0 \\ 0 & \Delta x_2 & 0 \\ 0 & 0 & \Delta t \end{pmatrix} \quad (4.2)$$

须注意：行列式 $|\det V_m| = 2|\det V_{out}|$ ，因而我们有一个因子为 2 的时空插入问题。插入可以通过填入零，以及随之而来的理想低通滤波来实现。

将数字图像由一种标准变换到另一种标准的工作称之为标准变换。它包括帧/场 (frame/feild) 速率下行/上行 (down/up) 变换，以及隔行/去隔行 (interlacing/ de-interlacing)。“去隔行”和“帧/场速率上行变换”两者均基于相同的采样结构变换原理。标准的上行变换算法可以分为帧内变换 (滤波) 和帧间变换 (滤波)。帧内滤波是仅需要单一帧存储的算法。对于去隔行的空间插入方法是帧内滤波的特例。帧内去隔行技术在单个帧内使用行加倍 (行复制)，行平均或者更复杂的非线性空间插入方法。

4.1.1 场内去隔行法

用 $s(x_1, x_2, t_i)$, $i=e,o$ 分别表示 t 时刻的偶数或奇场。当 x_2 取奇数值时, $s(x_1, x_2, t_e)$ 为零; 当 x_2 取偶数值时, $s(x_1, x_2, t_o)$ 为零。表示在 (x_2, t) 坐标上一个隔行视频的两个帧投影; 此间, 每个圆圈表示图像的一条完整行的横截面。实心圆圈表示可用的行, 而空的圆圈表示被插入的行。

假设每场的第一行的索引 (Index) 为零, 则行复制算法可以表示为

$$s(x_1, x_2, t_e) = s(x_1, x_2 - 1, t_e) \quad x_2 = 2k+1 \quad (4.3)$$

以及

$$s(x_1, x_2, t_o) = s(x_1, x_2 + 1, t_o) \quad x_2 = 2k \quad (4.4)$$

行平均算法为

$$s(x_1, x_2, t_i) = \frac{1}{2} [s(x_1, x_2 - 1, t_i) + s(x_1, x_2 + 1, t_i)], \quad i = e, o \quad (4.5)$$

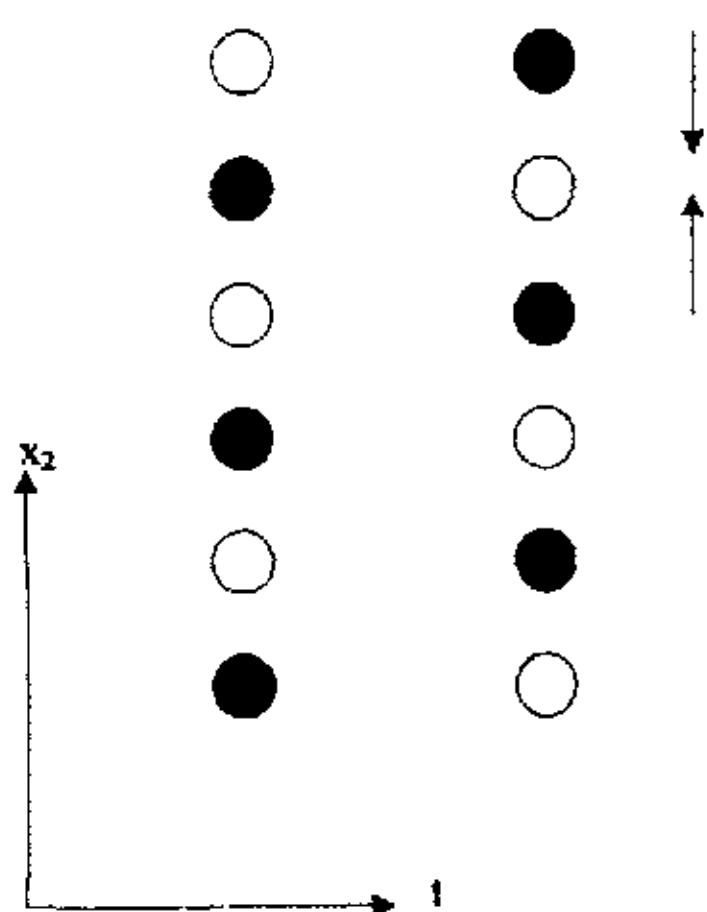


图 4.2 场内滤波

行复制算法会引起锯齿状沿, 而行平均算法会引起不希望有的沿模糊。为了克服这此问题, Isnardi^[11], Martinez^[12]以及 Lim^[13]提出了沿自适应 (edge-adaptive) 空间插入方法。

可以定义一个沿自适应等值线 (contour) 插入滤波器为

$$s(x_1, x_2, t_i) = \frac{1}{2} [s(x_1 - d/2, x_2 - 1, t_i) + s(x_1 + d/2, x_2 + 1, t_i)], \quad i = e, o \quad (4.6)$$

其中, d 表示在两个连续的偶数或奇数行之间的水平位移, 可以通过下面的关系式^[50]来确定:

$$d/2 \frac{\partial s(x_1, x_2, t_0)}{\partial x_1} + \frac{\partial s(x_1, x_2, t_0)}{\partial x_2} = 0, \quad (4.7)$$

这个滤波器寻找基本上属于同一图像结构的两个相邻行中的两个像素, 即在沿的同一边上对它们取平均。

帧内滤波方法可以简单地通过硬件实现, 需要存储一场, 或若干行图像数据。但它不能很好地适应静态区域中的去隔行, 其中的空间平均通常会引起图像的细节的模糊, 因而需要讨论帧间滤波。

4.1.2 帧间滤波去隔行

最简单的帧间去隔行算法可以通过合并偶场和奇场来实现, 也就是: 拷贝先前场中的所有采样值 (如图 4.3 中水平方向的箭头所示)。这样产生的帧被称为组合帧 (Composite frame)。组合帧在对静态图像区域中提供很好的结果, 但它却会产生一串运动虚像。

为了在运动和静态两种区域均获得很好的性能, 我们可以考虑运动自适应帧间滤波器, 它基于一种运动检测函数, 在“合并 (Merging)”和“帧内插入 (interframe interpolation)”两者之间切换^[51], 或者是将它们线性合成 (linearly blend)^[52]。有两个例子: 三点加权平均滤波器和三点中间滤波器 (three-point median filter)⁵⁵。三点加权的加权系数由运动估计函数得出。三点中间滤波器的插入函数为:

$$s(x_1, x_2, t_i) = \text{Med}\{s(x_1 - d/2, x_2 - 1, t_i), \quad (4.8)$$

$$s(x_1 + d/2, x_2 + 1, t_i), s(x_1, x_2, t_i - 1)\},$$

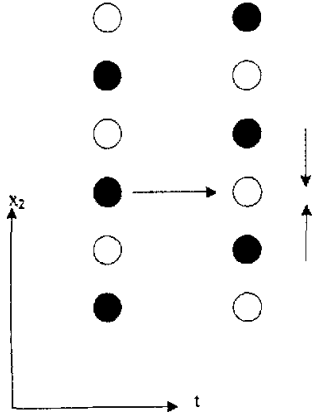


图 4.3 去隔行的两场滤波

与加权平均法相比, 中间滤波是有吸引力的, 这是因为它在计算上的简易性和它的沿保护

特性。但不论是哪一种帧间滤波算法，在用数字逻辑电路来实现时，至少要存储 2 帧图像（4 场）。

4.2 面向 LCD 的去隔行处理流程

在上面的两小节中，我们分析了关于去隔行的一些基本原理和方法。无论是帧内滤波，还是帧间滤波，由于它们只是单纯地对图像垂直方向的分辨率进行整数倍（2 倍）的放大变换，并没有涉及小数倍变换（fraction）和水平方向上的分辨率的改变。如果要把隔行的 PAL、NTSC 制电视信号转换为逐行扫描方式在 CRT 上显示时，通过调整电子束的偏转，就可以实现满屏显示，因此，上述算法完全可以使用，并能很好的解决问题。

但是，我们的设计目标是把隔行的 PAL、NTSC 制数字图像在逐行扫描的 LCD 上满屏显示，这些算法还不能完全解决问题，因为在去隔行后，逐行新图像的分辨率与 LCD 面板的分辨率还是不相同，需要再经过一次常规的图像缩放变换，才能送 LCD 面板显示，它的处理流程如图 4.4 所示。

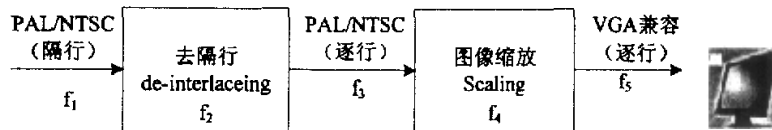


图 4.4 隔行 PAL/NTSC 在逐行 LCD 显示的处理流程

若采用上述处理流程，用 FPGA 实现 PAL、NTSC 信号在 LCD 上的满屏显示时，由于需要处理两种算法，会使整个算法逻辑结构过于复杂，而且另一方面，由于不同算法模块的处理时钟频率要求不一样，会使 FPGA 内的系统级时钟信号的总数多过，达到 5 个，即便是让图 4.4 中的 $f_2=f_3$ ，再加上整个 LCD 显示控制逻辑中其它逻辑模块的时钟信号，总数也会超过 FPGA 内全局时钟资源（XILINX FPGA 内部只有 4 个时钟信号）的数目，虽然 ISE 的编译器仍能采用非时钟资源来替换，但会使时钟信号的布线延迟增加、时钟沿的斜率和信号完整性受到影响，导致总体性能下降，使其不能够在 -40℃ 的环境中稳定工作。

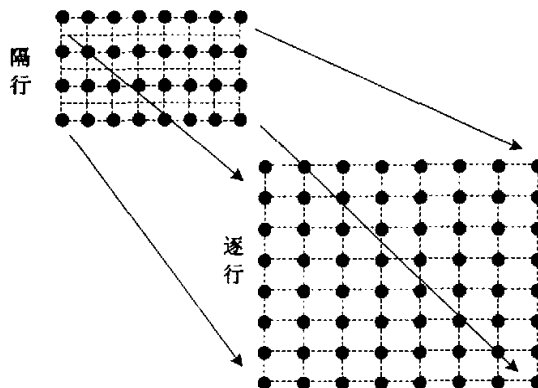


图 4.5 基于图像缩放的去隔行方法

4.3 基于图像缩放的去隔行实现方案

我们为了避开上述问题,并降低设计复杂度,运用第 3 章所述的基于双线性插值算法的图像缩放一次性地完成去隔行和图像缩放的任务,把 PAL、NTSC 制信号中单独的奇场,或偶场图像看成一幅独立的图像,直接变换到与 LCD 相同的分辨率。

从原理上分析,我们使用的这种基于图像缩放的去隔行法,如图 4.5 所示,属于帧内滤波类去隔行算法,但却采用了帧间滤波的加权平均法,其中的权值就是双线性插值的系数。所获得的图像质量在静止图像和动态图像两情况下,都是介于帧内滤波和帧间滤波两类去隔行方法之间。但在用 FPGA 的逻辑实现算法时,由于可以减少一个算法模块,节省逻辑资源,从而降低了成本,因此,性价比有所改善。

具体的原理及实现方法,见第 3 章所述的内容,此处不再详述。需要指出的是,按 CCIR601 标准数字化的 PAL、NTSC 制彩色视频信号的整帧图像分辨率分别为 720×576 , 720×480 , 而一场图像的分辨率在垂直方向降低了一半,为 720×288 , 720×240 ; 而目标 LCD 的分辨率为 800×600 和 1024×768 。当用图像缩放算法来完成去隔行时,以分辨率为 1024×768 的 LCD 为例,在水平方向上的放大倍数为 1.42 倍,但垂直方向的放大倍数 PAL 制为 2.66 倍,NTSC 制时则为 3.2 倍,那么图像缩放模块的主时钟频率就必须取 4 倍频。由于 PAL、NTSC 制数字视频的采样频率为 13.5MHz,那么

$$clk4 = 13.5MHz \times 4 = 54MHz < 83.285MHz \quad (4.9)$$

小于图像缩放模块的最大运行频率,因此,可以用我们所设计的图像缩放模块来完成面向 LCD 的去隔行任务。需要指出的是,采用这种方案后,由于在垂直方向上的放大倍数(2.66 和 3.2 倍)都高于水平方向(1.42 倍),因此图像的垂直方向不如水平方向清楚。

4.4 本章小结

本章对两类去隔行算法的基本原理进行分析,比较算法对运动和静态图像的产生的不同效果,着重讨论算法性能、硬件实现的复杂度和算法实现时存储器资源的使用情况。指出单纯的去隔行算法不能完全解决面向 LCD 的隔行扫描转逐行扫描的问题。因此,针对 LCD 显示,提出采用基于图像缩放的去隔行实现方案,并从原理和可行性两方面分析了该方案的性能和特点,说明该方案不仅简化了 FPGA 内 LCD 显示控制逻辑,改善总体性能,而且提高了性价比,是一种实用的解决方案。

第五章 数字 OSD 控制核的 FPGA 实现

针对特种 LCD 的需要,我们提出一种“数字 OSD 控制核”的设计方案,在一片 Xilinx 的 FPGA 上来实现包括 OSD 控制核在内的全部 LCD 驱动逻辑,并已成功应用于一个军用特种 LCD 显示系统中,通过了工作温度 $-40^{\circ}\text{C}\sim 65^{\circ}\text{C}$ 全范围内性能测试,取得较好的显示效果^[1]。本章将介绍其设计方案、内部两种存储器资源的组织结构、OSD 图像合成模块以及与 MCU 的并、串接口,给出测试和实验结果。

5.1 数字 OSD 控制核总体设计方案

数字 OSD 控制核是 LCD 显示驱动电路的功能模块之一,需要与其它逻辑功能协同工作,要能与不同分辨率的视频信号进行叠加,符合视频行、场扫描时序,与 LCD 面板的工作时序一致。它是一个用户可编程的模块,用户必须能够用 MCU 程序设置整个 OSD 窗口的图像信息。考虑到这些要求,我们在 OSD 控制核内部划分了 5 个功能模块:(1)基于字符的 OSD 图像模块;(2)基于可变位图大小的 OSD 图像模块;(3)MCU 接口模块,包括并行的扩展存储器接口和串行 SPI 接口两种;(4)输出 OSD 图像色彩与特性合成模块;(5)OSD 管理逻辑模块。其互连关系如图 5.1 所示。

控制核的主要工作流程为:用户通过 MCU 接口模块提供的串并两种方式之一,设置控制核内的控制寄存器、属性参数寄存器,读取控制核的当前工作状态,设定 OSD 窗口存储器(OSD_WRAM)和位图存储器(BMP_RAM)的显示信息;OSD 图像模块将根据 OSD 控制核的控制参数和显示窗口的属性参数,生成包含字符和位图的 OSD 图像数据编码流(OSD_DCODE);利用 OSD_DCODE 及当前显示像素点的属性参数,合成最终的数字 RGB $3\times 8\text{bits}$ 的彩色 OSD 图像数据流,同时 OSD 管理模块输出 OSD_ACTIVE 信号,用于指示当前 OSD 图像数据有效,以便与视频图像数据进行合成。

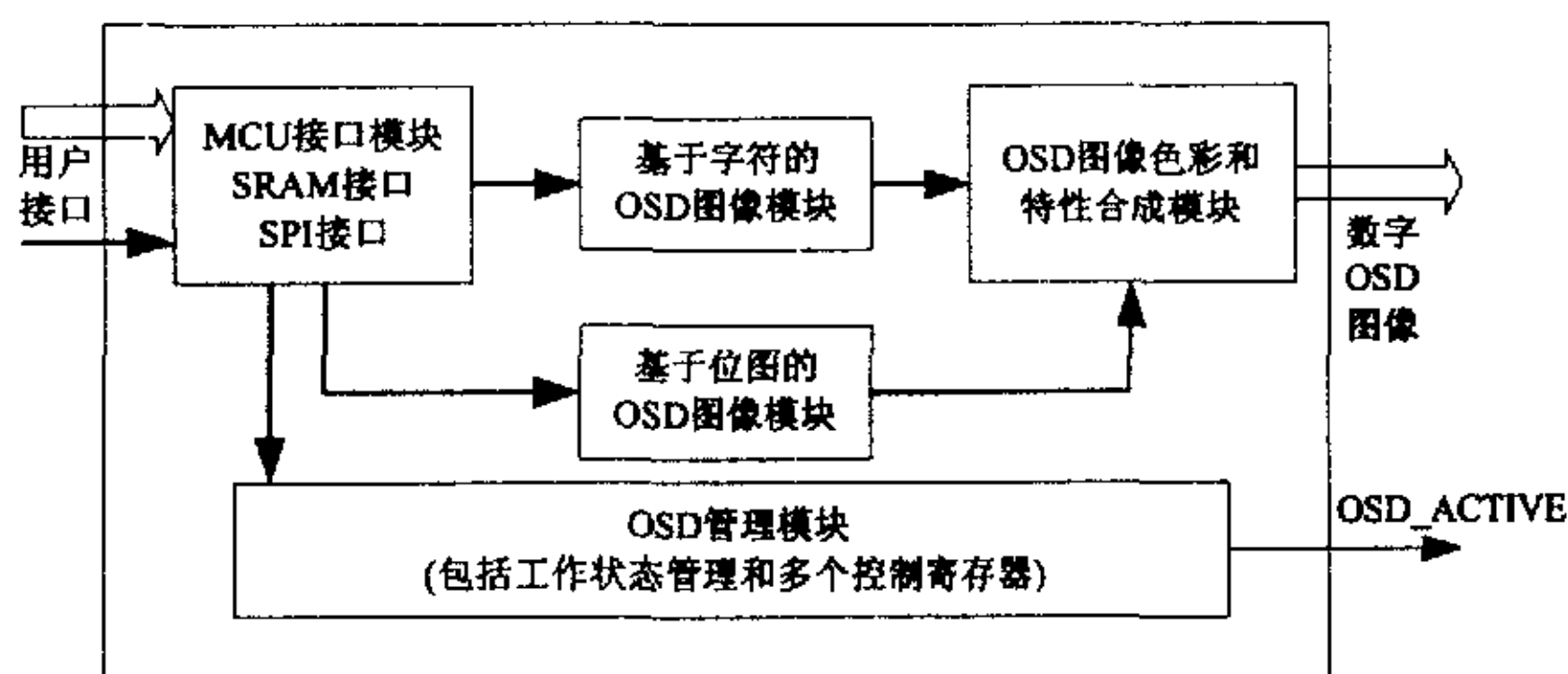


图 5.1 数字 OSD 控制核功能模块图

在时序上,该 OSD 控制核的工作频率范围是 $25\text{MHz}\sim 65\text{MHz}$, OSD 图像的刷新频率为 $56\text{Hz}\sim 75\text{Hz}$, 行扫描频率为 $31\text{KHz}\sim 48\text{KHz}$ 。为了把生成的 OSD 图像叠入到原始视频

图像中, OSD 控制核的工作时序要与 LCD 面板的水平、垂直扫描时序相一致, 使生成的 OSD 图像数据的有效区域位于 ENAB 信号高电平内部^[1]。在时序性能方面, 通过优化 VHDL 设计的逻辑代码, 使综合出的数字逻辑在 FPGA 中的最高运行速度尽量高于 65MHz, 实际综合结果为 85MHz, 留出了足够的时钟延时余量, 使得在 -40℃ 时, 仍然能够可靠工作。

OSD 图像是由固定和可变的两种图像元素组成。基本的字符、图标等是以图库的形式存储在 RAM 或 ROM 中, 那么在设计数字 OSD 控制核时, 存储器资源的使用与配置方法, 以及 OSD 图像的合成方法是整个设计的关键, 下面将详细讨论。

5.2 FPGA 各逻辑子模块设计

5.2.1 存储器组织结构设计

数字 OSD 控制核的设计目标是生成用户自定义的 OSD 数字图像, 并使之能够与数字化的、高速的原始视频图像数据流进行混合, 形成新的数字图像, 然而, 由于视频图像不停地在刷新, OSD 图像要在时序扫描到它所在区域和对应像素点时, 准备好像素点的 RGB 值, 而这些数据是以存储器形式来组织的。注意, 那里并不是简单地以图像的方式存储在存储器中。基于字符和基于位图的两个 OSD 图像生成模块分别采用了不同的存储器配置方案。

5.2.1.1 基于字符模块中的存储器配置

在基于字符的 OSD 模块中, 配置两个存储器: 一个称为 OSD 窗口 RAM(OSD_WRAM), 一个称为 OSD 字体 ROM(OSD_TROM)^[2], 它们都嵌入在 FPGA 中, 分别占 FPGA 的 Distribute RAM 和 Block+RAM 逻辑资源^[3]。

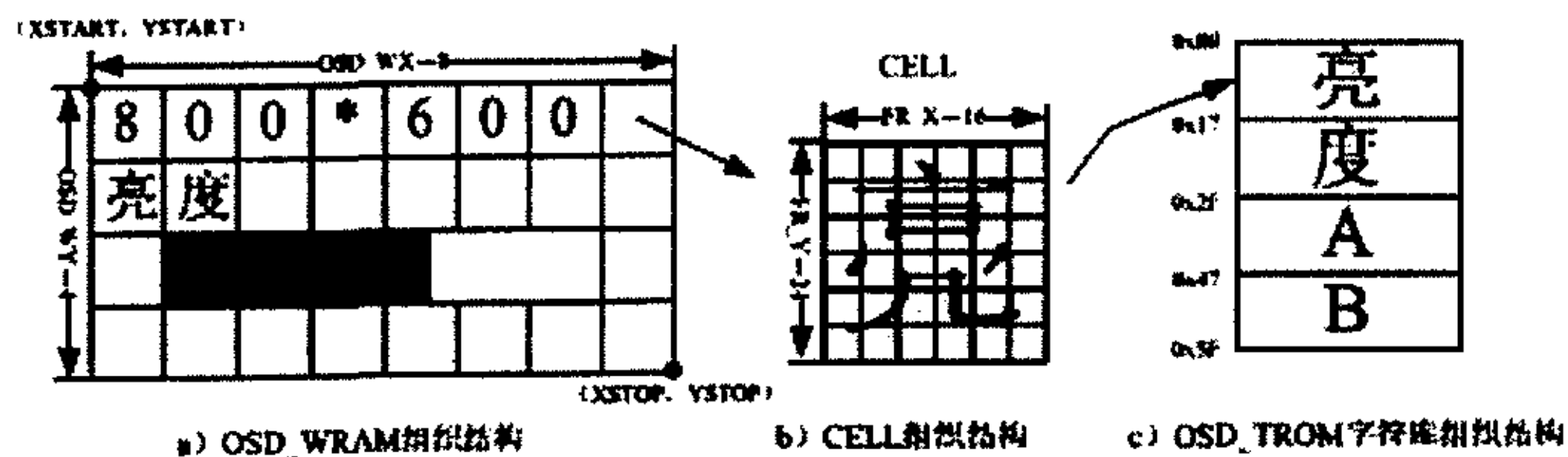


图 5.2 基于字符的 OSD 模块存储器映射关系图

具体的存储器组织结构如图 5.2 所示, 图 a) 中 OSD_WRAM 是用户可以通过 MCU 并串两种接口来设置的双端口静态 SRAM, 共有 256 个地址单元, 每个地址单元是 16bits, 用于存储显示字符编码及字符属性。OSD 窗口被划分为若干行列, 构成一个矩形的显示窗口, OSD 窗口的宽、高和显示位置 (起始点 X,Y 坐标) 由 4 个参数寄存器 (OSD_XSTART, OSD_YSTART, OSD_WX 和 OSD_WY) 进行控制^[4], 终点位置由内部逻辑计算得到, 并且进行超出边界检测, 防止因单片机编程误操作出现图像紊乱。图 5.2 为 4 行*8 列, 每个

字符单元被称为 CELL, 由一定像素分辨率的点阵组成, 如图 b)所示 CELL 的分辨率为 $24 \times 16 \text{ pixels}$, 每个像素点占 1bit 的 RAM 位。为方便存取, 将一行共 16 个像素点组成一个存储单元, 那么一个 CELL 就是由 24 个 16bits 的存储单元构成, 占用 24 个 ROM 地址, 把所有的预置字符顺序地存储在 OSD_TROM 中, 便有如图 c)所示的字符库结构。

5.2.1.2 基于位图模块中的存储器配置

在基于位图的 OSD 模块中, 包含一个双端口的位图 RAM (BMP_RAM), 组织结构如图 5.3 所示。在垂直方向上, 它对应着 4 行图像扫描的像素点数据; 根据 LCD 面板水平分辨率, OSD_PX 配置为不同的长度, 但为了方便设计, 与字符的宽度保持一致, 必须是 16 的整数倍, 最大为 1024, 这样 BMP_RAM 总共只占用 XILINX FPGA 的一个 Block+RAM (4Kbits) 资源。如果把每 1 位扩展为 4 位, 可以实现 16 种不同的彩色图形。整个 OSD 图像在垂直方向上, 每 4 行被划分为一个独立的区域, 在显示时序扫描到 OSD 图像显示区域内某一行前, 用户需要通过 MCU 接口提前更新 BMP_RAM 的内容。以这种方式合成的 OSD 图像, 可以实现用户自定义位图, 比较基于字符方式中的通过用户定义字符库来增加显示信息方法, 可以实现更丰富的自定义图像图形信息。

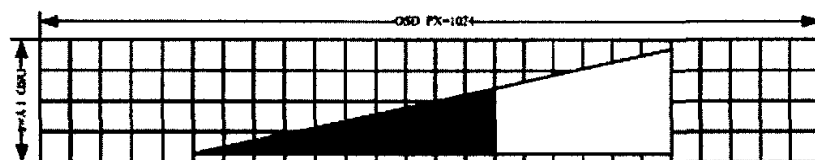


图 5.3 基于位图的 OSD 模块存储器映射关系图

5.2.2 图像生成模块的设计

确定 OSD 控制核的存储器组织结构后, 利用这些存储器资源, 就可以合成所需要的 OSD 图像。合成 OSD 图像是由 OSD 窗口扫描检测逻辑来实现, 包括一系列的 OSD 图像合成逻辑控制功能。其中, 从 OSDW_RAM 中显示字符编码的存储地址 (逻辑地址), 得到最后在 LCD 屏上显示的某个 OSD 像素点在 OSDT_ROM 中实际对应的物理地址, 这之间的地址转换逻辑是 OSD 图像合成的关键。图 5.4 是基于字符的 OSD 图像合成逻辑关系图, 除包括上述 2 个存储器 OSDW_RAM、OSDT_ROM, 及 MCU 接口模块外, 主要有 2 个扫描时序计算逻辑单元、4 个比较器和字库 ROM 访问地址计算单元。

模块中采用了类似于 386 系列微处理器的地址转换逻辑, 首先根据 OSD 窗口的属性寄存器设置值和 OSD 窗口内扫描时序, 把 OSD_WRAM 中的逻辑地址转换为 OSDT_ROM 中所访问字符的页地址 (CELL 单元的首地址), 再根据 CELL 内扫描时序, 得到显示像素点所在物理地址 (包括行地址与列地址)。

以像素为单位的 CELL 内扫描时序计算单元是在一个字符内部, 按像素点时钟频率 DCLK (最大 65MHz, 对应 $1024 \times 768 \times 60 \text{ Hz}$ 的视频信号) 计算出即将显示像素点所对应的

坐标；以字符为单位的 OSD 窗口内扫描时序计算单元是按 DCLK/FR_X 的分频时钟计算出即将显示哪个字符；而它们分别被两个比较器 1,2,3,4 的输出信号控制，最终得到访问双端口 OSDW_RAM B 端口的逻辑地址 (OSDW_AD) 和读写控制信号 RD、OE，从而由 OSDW_RAM 的 B 端口输出 OSD 显示图像中对应坐标区域的字符编码数据 (OSDW_DATA)。

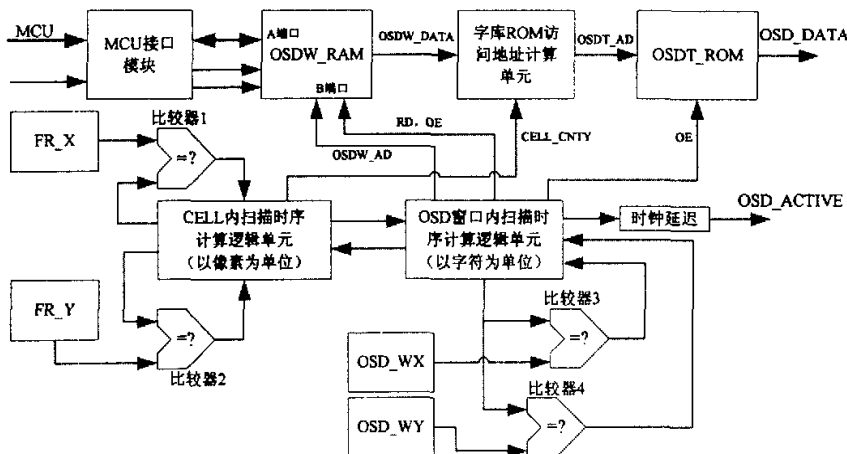


图 5.4 OSD 图像合成逻辑关系图

OSDW_DATA 是用户通过 MCU 接口写入 OSDW_RAM 的 16 位字符编码信息^[59]，其定义如下图 5.5 所示，它的包含三个字段：1) 字符索引码 char_code，8bits，一共可以编码检索预先存放在 OSDT_ROM 字库中的 256 个固定字符，包括英文字母大小写、数字、固定图标、和常用汉字；2) 前景色 frontcolor，4bits，定义 16 种颜色；3) 背景色 backcolor，4bits，对应 16 种颜色。采用这个色彩属性就可以实现“热点”图标，指示当前的工作点。

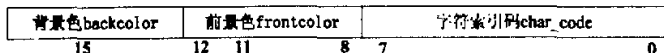


图 5.5 字符编码定义

字库 ROM 访问地址计算单元利用 OSDW_DATA 的字符索引码字段 char_code 和字符内扫描参数 celly_cnto，按下面的式(4.10)，先计算出当前显示图像像素点在 OSDT_ROM 的页地址，再加上 celly_cnto 得到物理地址 OSDT_AD，同时按照时序关系给出对应的 OSD 有效信号 OSD_ACTIVE 信号。图 5.4 中的时钟延迟单元是补偿计算和存储器访问过程中的流水线延迟，使最终输出的 OSD 图像数据 OSD_DATA 与 OSD_ACTIVE 同步。

$$OSDT_AD = charcode * FR_X + celly_cnto \quad (4.10)$$

OSD_DATA 和字符编码定义中的两个字段（背景色和前景色）一起进入图 5.1 的“OSD 图像色彩与特性合成模块”，由其中的色彩查找表 (CLUT)^[60]，合成最终输出到 LCD 的数字 RGB 3*8bits 的视频图像数据流。此外，通过把 OSD 图像数据与原图像进行 bit 连接(&)，实现“透明 OSD”图像的显示效果。根据时序控制寄存器的设置，调整 OSD 控制核的时钟

频率在水平扫描方向为原频率的二分频，并在垂直扫描方向上，采用数据复重的方法，实现 OSD 显示图像的放大二倍。

5.2.3 用户 MCU 接口的设计

为提高 OSD 控制核与用户 MCU 的兼容性，并方便用户 MCU 的硬件接口和软件程序设计，MCU 接口模块提供并行、串行两种接口逻辑控制单元：

(1) 与 MCS51 系列单片机的 P0、P2 口，按照其外围扩展存储器的数据和地址总线接口方式来通讯。P0 口复用为 8 位数据总线和低 8 位地址总线，P2 口为高 8 位地址总线。MCU 接口逻辑模块进行地址译码，8 位数据到 16 位寄存器或 16 位 RAM 的转换。MCU 通过一条 MOVX 指令可以直接访问控制核内 8 位寄存器，两条 MOVX 指令（可以不连续）对相邻的两个地址即可完成对一个 16 位寄存器的访问，两条连续的 MOVX 指令对两个相邻的地址进行操作即可完成对一个 16 位 RAM 单元的访问。

(2) 采用四线的 SPI 串行通讯接口协议，与包括 MSP430，MC551 等类型单片机进行串行通讯^[15]。SPI 接口逻辑单元内部串行通讯协议是由一个状态机 (State Machine) 来实现，状态转移图如图 5.6 所示。SPI 接口逻辑的输入端口包括四根信号线：SCK（串口时钟），CE（使能信号），DI（数据输入），DO（数据输出）。

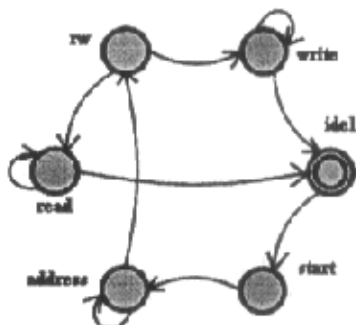


图 5.6 实现 SPI 协议的状态转移图

状态机包括 6 个状态：IDEL（空闲状态），START（开始），ADDRESS（输入地址状态），RW（读写判断位），READ（读状态），WRITE（写状态）。在接收到访问地址后的下一位是读写命令判断位，决定接下来是读数据，还是写数据。完成读写命令，必须再进入一次 IDEL 状态一个时钟周期后，才能重新进入 START 状态。

5.3 测试与分析

数字 OSD 控制核的全部逻辑功能都采用 VHDL 语言来描述，在 XILINX 的集成开发环境 ISE6.2 中进行逻辑综合和器件适配。选定目标 FPGA 为 XC2S300E，对 OSD 控制核的 VHDL 源代码进行逻辑综合，所使用逻辑资源情况如表 5.1 所示。从表中可以看出，所使用的 Slices 等逻辑资源并不多，13 块 BRAM 存储器资源中的 12 个 BRAM 为字符库，可存

储 128 个 24*16 的字符或图标，可变位图使用一个 BRAM 4096bits。2 个时钟资源为：主时钟 `osd_clk` 和 SPI 串口时钟 `spi_clk`。

表 5.1 数字 OSD 控制核所占逻辑资源

逻辑资源	总数	使用数	占用比
Slices	3072	887	28%
Slice Flip Flops	6144	337	5%
4 input LUTs:	6144	1095	17%
BRAMs	16	13	43%
GCLKs	4	2	75%

数字 OSD 控制核实际应用于特种 LCD 显示控制板，把 OSD 控制核与系统中的其它 LCD 显示控制逻辑集成在一起，下载到 FPGA 中，与板上的视频 AD 和单片机一起协同工作。利用 ModelSim5.8c 对 OSD 图像合成的 VHDL 逻辑代码进行时序布线布局后 VHDL 模型仿真（Simulate Post- Place & Route VHDL Model），图 5.7 中 `datack` 是数字化后视频图像的时钟频率，`osd_active` 信号在高电平有效期间指示访问地址 `OSDW_AD` 为有效地址，图中的两段有效地址（“06,07,08,09,0A,0B”和“0C,0D,0E,0F,10,11”）分别对应 OSD 显示图像的第二、三行字符存储在 `OSDW_RAM` 中的实际地址。`celly_cnto` 为扫描时序计算逻辑单元的输出信号，说明扫描到当前字符的第几行，作为计算 `OSDT_ROM` 访问地址的参数之一（见式 1）。

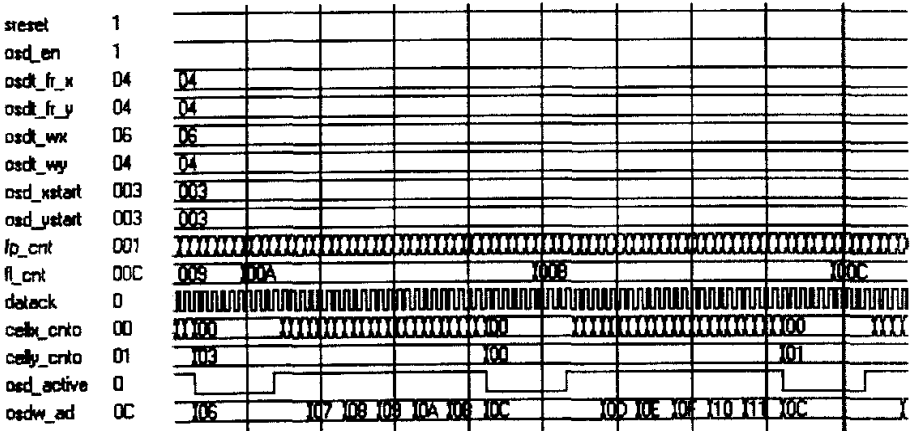


图 5.7 OSD_WRAM 的访问地址生成逻辑仿真时序图

在调试时，使用惠普 HP1630D 逻辑分析仪观察 OSD 控制核中各个信号的时序与状态。图 5.8 是从逻辑分析仪上实际拍摄的一张反映 OSD 图像合成模块的重要时序图，此时，HP1630D 工作在“单帧自动跟踪”模式下。从图中可以看出，只在 `OSD_ACTIVE` 信号高电平有效期间，才生成访问 `OSDT_ROM` 的物理地址（`OSDT_AD`），按照该地址寻址字库后，输出所需的 OSD 数据（`OSDT_DATA`）。由于逻辑分析仪不方便测试所有总线信号，因此在测试时只拍摄了两个数据总线中对应总线的第 3 和第 6 根信号线的波形图。

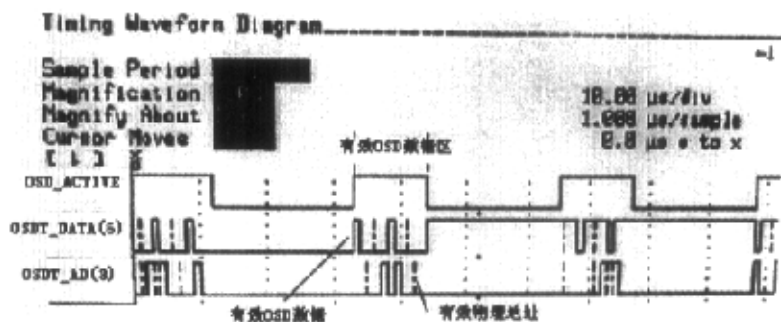


图 5.8 OSD 图像合成模块信号时序图(实拍)

数字 OSD 控制核随着整个 LCD 显示控制板一起在国家特种显示工程研究中心进行了环境温度试验, 采用 KSON 仪器(庆声科技)公司 THS-D7C-150-LN2 型恒温恒湿箱, 针对三种不同的分辨率各做 20 个循环的性能测试, 每个循环 2 小时, 工作温度范围为 $-40^{\circ}\text{C} \sim 65^{\circ}\text{C}$ 。测试结果表明, 系统工作稳定, 源图像及 OSD 菜单同时结合时显示效果很好, 菜单操作灵活。图 5.9 为在 $640 \times 480 \times 60\text{Hz}$ 时, 使用 NOKIA 公司的 LCD 专用图像图形测试软件“Ntest”产生的 LCD 综合测试图像, 中间部分为叠加的透明的 OSD 菜单。

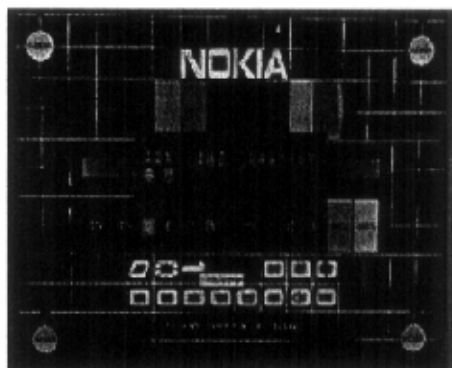


图 5.9 叠加 OSD 图像的专用 LCD 测试图片 (实拍)

5.4 本章小结

本章介绍了一种用于特种 LCD 控制器之中的数字 OSD 控制核设计方案以及内部逻辑的具体实现方法, 其特点是将基于字符与基于位图的设计方案融合在一起, 具有良好的图像显示效果和系统的兼容性, 且使用逻辑资源较少, 有效地解决了商业级专用 LCD 控制器无法在特殊场合应用的问题。由于图像合成逻辑自动进行存储器资源间的访问地址逻辑转换, 使得单片机软件编程者不需要考虑内部逻辑关系, 只要直接设置或更改几个参数寄存器、OSDW_RAM 或 BMP_RAM 中的属性变量即可, 从而简化了用户的编程。

第六章 基于 FPGA 的应用系统研制

本章将介绍我们研制的 3 个基于 FPGA 实际应用系统的设计方案和关键问题的解决方法。它们分别是特种 LCD 显示控制板、特种 LCD 图像调节板、图像采集显示板，核心处理部分都在 FPGA 中完成。3 个系统的研制各有特点，下面逐一介绍。


6.1 特种 LCD 显示控制板

由于目前正在使用的特种 LCD 显示控制板大都是选用成熟的商用 LCD 显示控制板，通过“辅助加热”的加固工艺来满足工作温度要求，没有解决在室外野战环境中遇到的亮度、对比度调节范围过窄的问题，而且因为增加了温控电路，使系统功耗增加，可靠性下降。虽然，已有某研究所采用 FPGA 设计出一种特种 LCD 显示控制板，但是该控制板只能支持单一分辨率图像的显示，不能对图像水平/垂直显示位置、频率、相位等 LCD 显示器必备的参数进行实时调整，也没有 OSD 菜单指示等功能，系统兼容性不强，功能简单。

为此，我们研制一种系统兼容性强、功能丰富的特种 LCD 显示控制板。在性能方面，要求能够显示 640×480 ， 800×600 ， 1024×768 三种分辨率，56Hz，60Hz，72Hz，75Hz 四种刷新率的视频信号，具有自动检测、自动调整屏幕显示的能力；提供宽范围的亮度、对比度调整功能，并能实时调整图像显示位置、频率、相位等参数；提供全功能 OSD 菜单指示，包括无信号输入状态检测与处理；可靠工作于 $-40^{\circ}\text{C} \sim 65^{\circ}\text{C}$ 的温度范围内。其中的关键技术包括：多分辨率图像显示；增加调节范围后，准确有效地调整对比度；图像色彩还原；实时调整图像位置；全功能的 OSD 菜单。

在器件方面，虽然我们选择工业级 FPGA 芯片，但对于“可编程”的 FPGA 来说，只能保证芯片本身在 -40°C 时不发生物理性损坏，却不保证片内的数字逻辑能可靠运行在 -40°C ，因为随着温度的降低，FPGA 内部信号延时会加大，导致数字逻辑电路出现非法状态，而我们通常是在常温下调试 FPGA，只有在低温试验时，才能检验出逻辑功能能否满足要求，因此，设计时要特别考虑逻辑优化的问题，保证留有足够信号延时余量。正如引言中所述，外国大公司并未公开 LCD 控制器内部的技术细节，无法参考，因此要解决这些技术难点。

6.1.1 系统组成和处理流程

为了实现上述技术要求，并参考现有国外商用高端 LCD 显示控制板的结构设计，确定本系统的总体结构由五大部分组成，包括：视频解码部分（AD9883A）、逻辑功能实现部分（FPGA）、接口驱动部分（LVDS/TTL）、系统管理控制部分（MCU）和系统电源供应。其中，FPGA 负责完成数字图像信号处理与所有的时序控制逻辑。系统组成框图如图 6.1 所示。

当 PC 的模拟 RGB 信号输入到控制板上 AD9883A 模拟接口后，为了能在数字 LCD 面

板上清晰地显示出来, 整个 LCD 显示控制板要包括一系列必要功能模块来进行图像信号的处理, 如图 6.2 所示, 信号

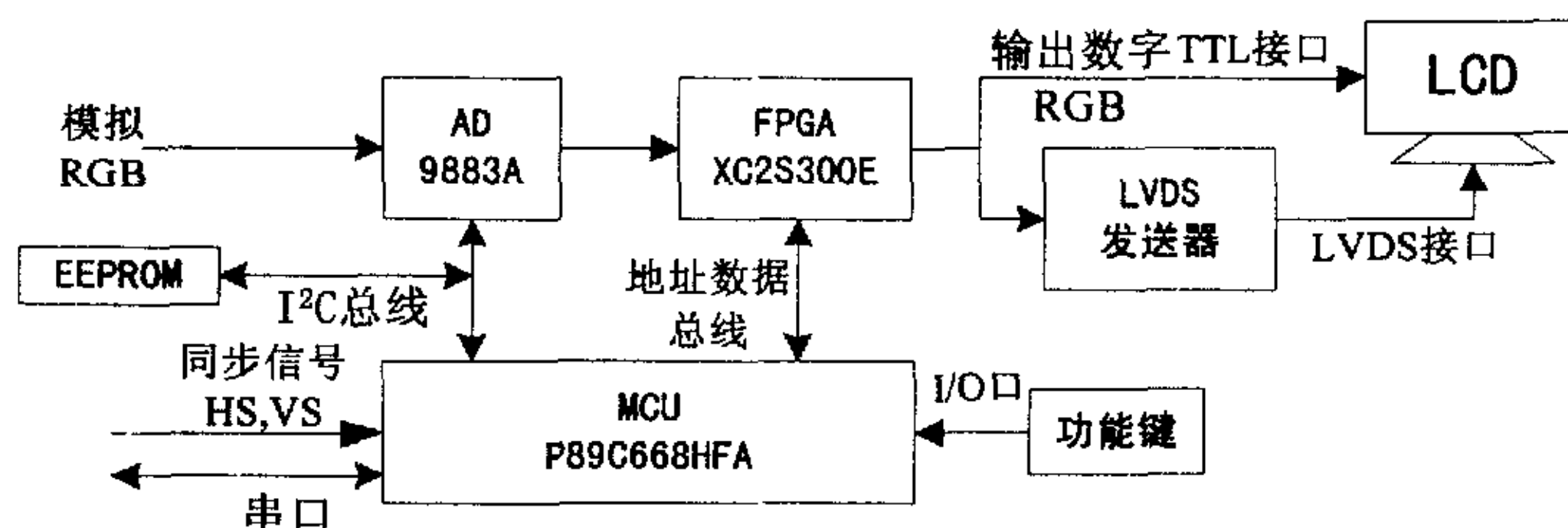


图 6.1 特种 LCD 显示控制板系统组成

处理流程如下:

(1) LCD 面板只能接收并显示数字图像信号, 为能显示模拟视频信号, 需要使用模数转换器 (A/D Converter) 把模拟信号转换为数字信号^[6]。模拟 RGB 信号数字化包括三路 ADC, 由于视频信号的电平范围为 0.5~1V, 为了使三个通道的采样基准电平相同, 通过设置 AD9883A 准确箝位黑电平 (Black level) 十分关键, 直接影响数字画面的彩色质量。

(2) 利用 HS 和 VS 经过锁相环电路 (PLL) 得到与图像分辨率相应的像素点时钟频率信号 DATAK, 作为数字视频信号处理系统的时钟频率。

(3) 由于输入图像的彩色位宽可能与目标 LCD 不同, 存在非线性畸变等因素, 需要对图像进行彩色处理, 比如利用第 2 章所述方法调整图像的亮度、色度和对比度, 利用查找表 (CLUT) 结构实现 LCD gamma 校正功能。

(4) 由于 LCD 屏的物理分辨率是固定的, 那么当输入信号实际分辨率与之不符时, 就要对图像进行实时的缩放处理, 经过缩放的图像会出现纹理或边缘模糊的现象, 因此要进行锐化或平滑等图像处理。

(5) 作为显示器还有一个必备的功能, 就是要提供 OSD 显示, 为显示器工作状态提供直观的指示, OSD 控制核的设计见第 5 章, OSD 图像的合成工作由 FPGA 硬件逻辑完成, 单片机只要设定所要显示的字符编码即可。

(6) 系统中单片机通过检测输入同步信号的行频和场频, 判断信号属性, 设置 FPGA 跳到相应的工作状态时, 实现自动调整功能, 并把设置参数保存到 EEPROM 中, 在系统掉电后, 能正常恢复设置值。

(7) 由于目前 1024*768 的 LCD 屏大都是 LVDS 接口, 因此在输出端, 使用 LVDS 发送器 (SENDER) 把 FPGA 输出的 TTL 电平转换为 LVDS 接口方式, 以满足高频数字视频信号的长线传输要求。

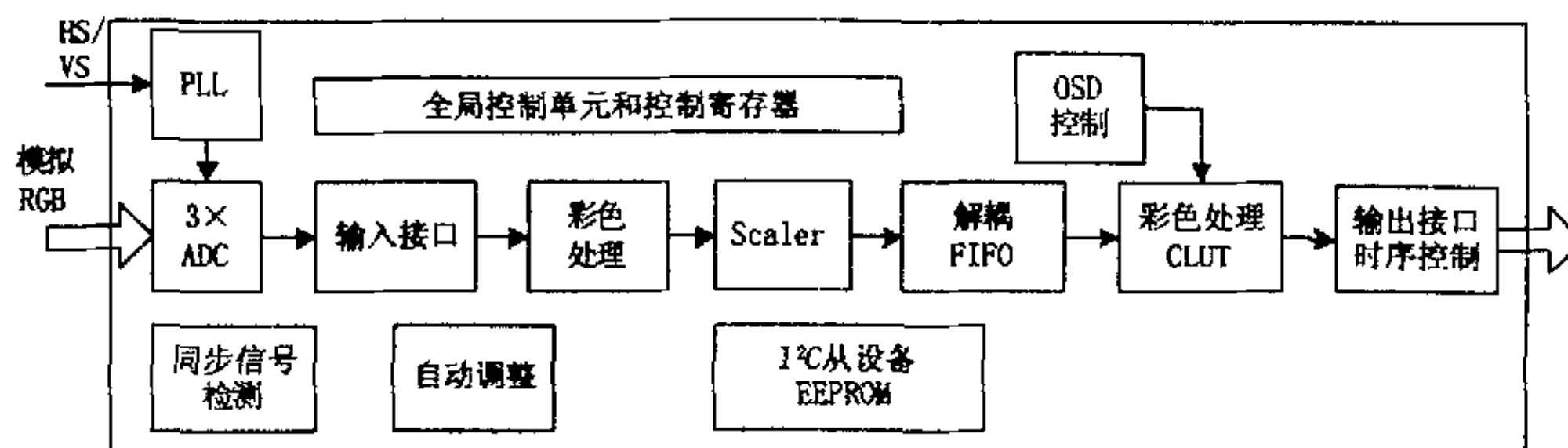


图 6.2 功能模块与信号处理流程图

6.1.2 LCD 显示控制逻辑设计

FPGA 中 LCD 显示控制逻辑主要完成的任务包括：把 AD9883A 输出的同步信号转换成符合目标 LCD 极性的同步时序信号；完成对 AD9883A 输出的 24 位数字 RGB 信号进行亮度、对比度、色度、Gamma 校正等图像处理，并使图像数据符合 LCD 面板的时序要求；根据不同分辨率、不同场频的信号，产生 LCD 的使能信号（ENAB）；实现图像水平和垂直两个方向上的移动；在“无信号输入”时，产生 LCD 所需的同步信号、使能信号及数字 RGB 信号；实现与单片机的 P0 和 P2 的总线方式接口，接收单片机对 FPGA 内部的寄存器及 RAM 的读写访问；实现 OSD 显示功能。FPGA 内部的逻辑框图如图 6.3 所示。

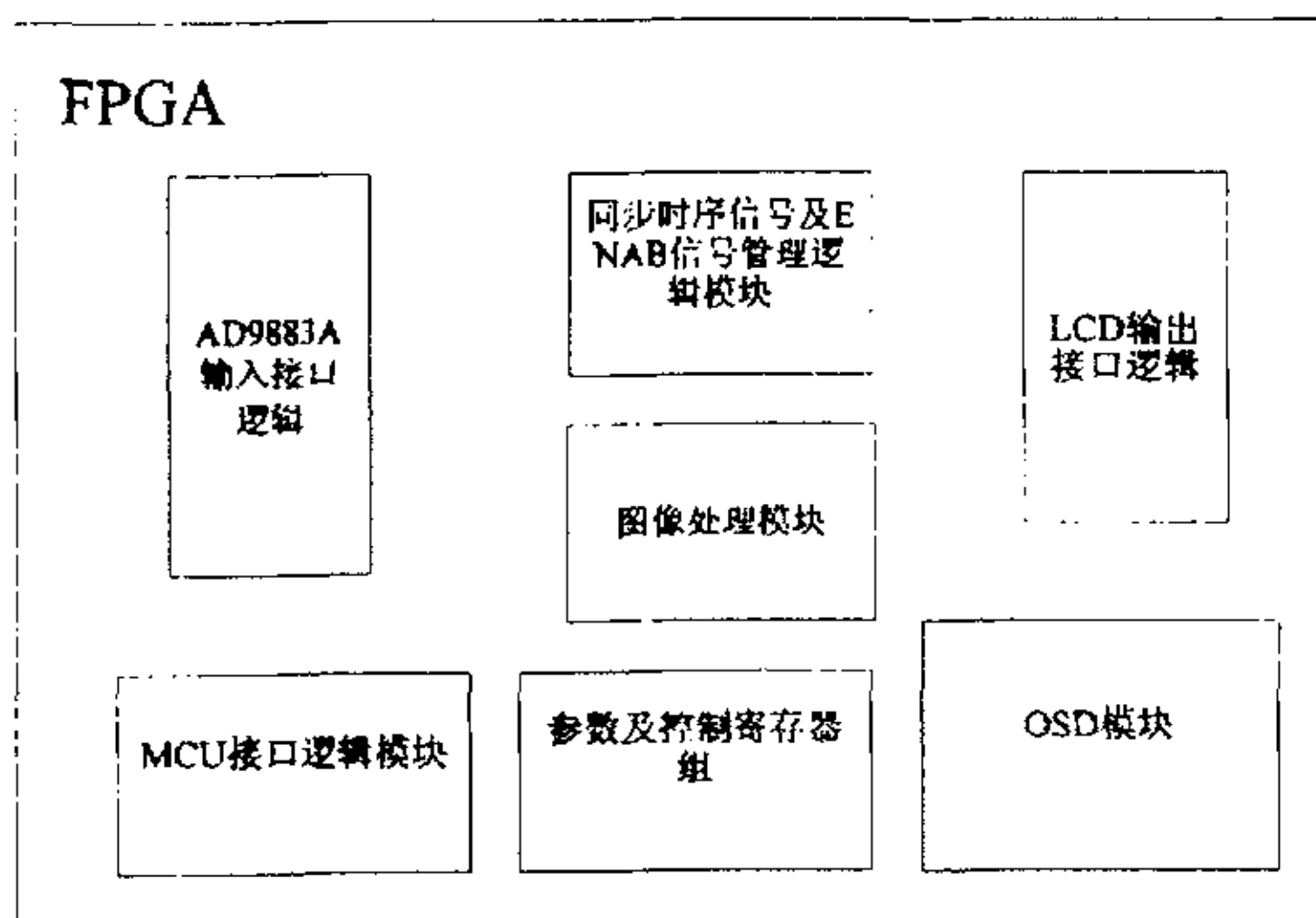


图 6.3 FPGA 内部 LCD 显示控制逻辑框图

6.1.2.1 图像位置调整

图像的位置移动分为水平和垂直两个方向。从原理上分析，图像向右、向左、向下、向上的移动都可以通过数据与同步信号的相对延时来实现，但事实上并不能这样做，更准确地说，在特种 LCD 中不能使用这种方法。我们先后用了两种基于延时逻辑的位置调整方法：1) 普通的寄存器延时法；2) 选用 XILINX FPGA 内特有的延时单元 SRL16 来产生延时信号。做低温环境试验时，发现由于 FPGA 内部过多的延时逻辑存在，当温度低于 0℃ 后，

随着温度下降, FPGA 芯片性能也不断下降, 逻辑信号 (特别是 VS 信号) 的延时加大, 并在传输线路上累加, 导致出现非法逻辑状态, 破坏同步信号和数据, 最终使图像在低温时出现不规则抖动现象。

为此, 我们设计出如图 6.4 所示的时序关系, 设置三个计数器 (pcnt, enab_cnt, HSoutcnt) 来完成图像移动。由于固定位数的计数器引入, 使得在低温环境时, 信号延时不能因传播而累加, 从而解决了这个问题。

FPGA 根据单片机设置 AD9883A 输出 HSin 信号脉冲宽度的改变量, 调整位移时序参数, 即 3 个计数器的边界值, 实现图中的时序关系。当输出的 ENAB 和 HSout 信号相对于输入 HSin 信号位置发生位移时, 即产生图像水平移动。

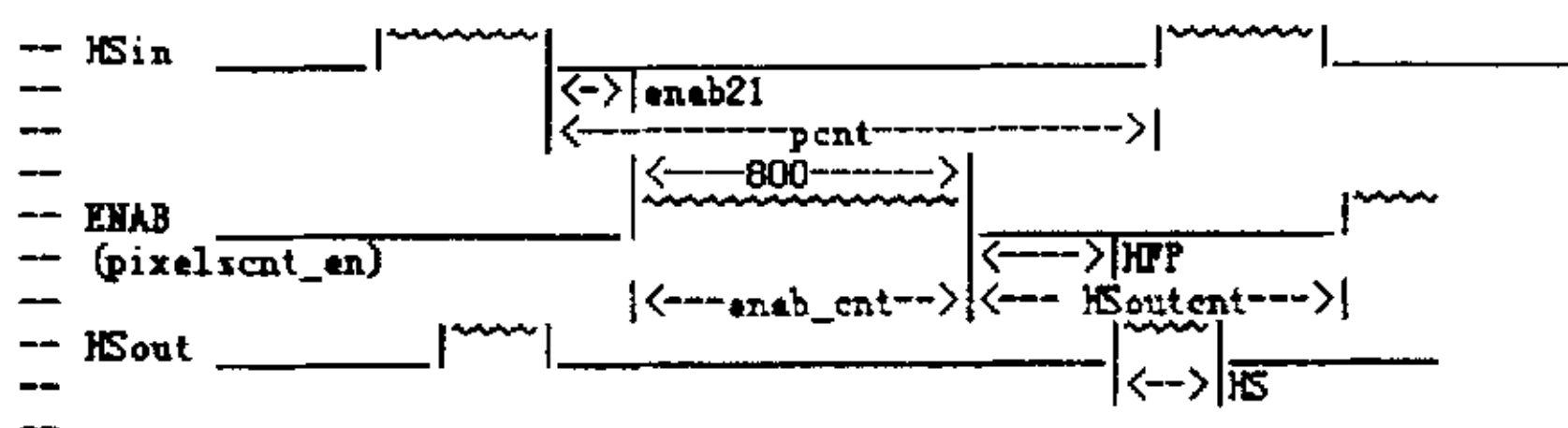


图 6.4 图像水平移动时序图

与水平移动相比, 垂直方向的移动要麻烦一些, 这是因为: 1) 不同分辨率的 LCD 面板对信号垂直同步的处理方式不同; 2) 垂直同步信号周期过长, 计数器的位数也会增加, 也会导致性能下降。采用与水平移动类似的原理, 利用 HSin 信号上升沿的变化, 并减少计数器的位数, 提高模块的最大运行速度, 即根据输入的 VSin, 利用两个计数器, 生成输出信号 VSout。当 VSout 与 VSin 在时序上相差一行时, 图像则在垂直方向上移动一行。在分辨率为 1024×768 时, 由于 LCD 面板只接收 ENAB 信号作为时序同步信号, 此时, 仅需要产生 ENAB 信号实现图像的垂直位移。

6.1.2.2 信号自动检测

当有信号输入到 LCD 显示控制板时, 必须检测图像分辨率和同步信号极性等信息。准确快速地检测, 对稳定 FPGA 工作状态十分重要。我们注意到由 AD 输出的标准视频信号在有效数据段之外是黑电平, 即全“00H”。通过准确检测 HS、VS 和图像数据流中的全“00H”和非“00H”信息, 就可以检测出分辨率信息, 如图 6.5 中 RGB 全“00H”的部分。

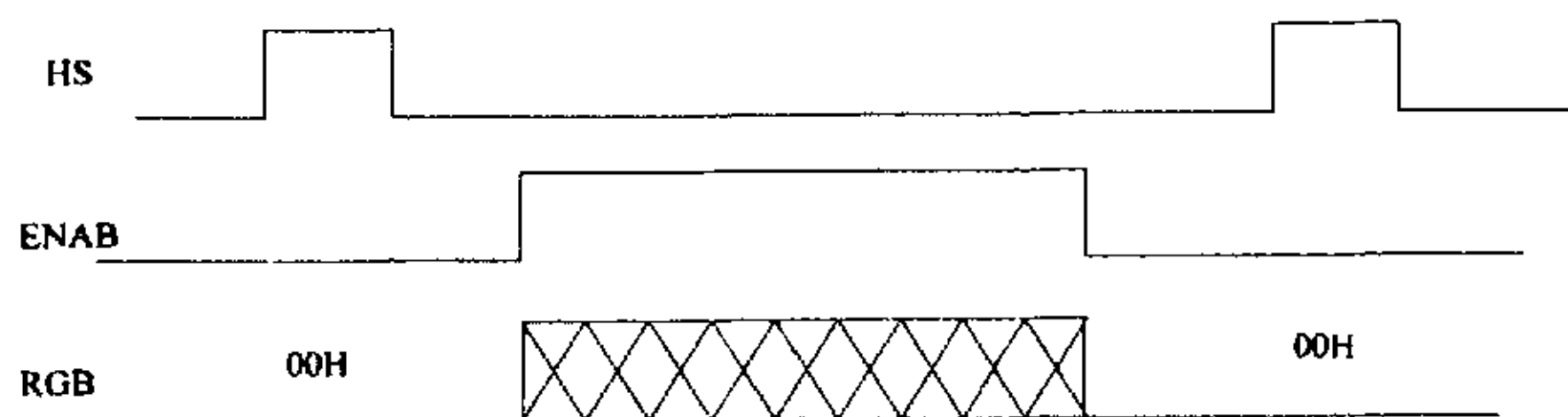


图 6.5 信号自动检测原理

信号极性是通过检测两个同步脉冲的宽度与所对应电平的关系,例如,如图 6.5 中 HS='1'时脉冲宽度小于 HS='0'的宽度,可以判断出是正极性的 HS。

由于整个 LCD 控制器的时序逻辑处理是我们自行设计,通过设置不同的时序参数,可以支持一些特殊的非标准图像信号(例如,方的图像信号 680×680)的自动检测和显示。

6.1.2.3 MCS-51 接口

MCS-51 系列单片机的 P0,P2 口是外围扩展存储器的复用地址和数据总线,它的操作时序请参见 51 系列单片机的书目。在这里,与读写有关的信号为 ALE、nWR、nRD、及 P0 和 P2 口,它们可以寻址 16 位 64K 的地址,存储器数据宽度为 8 位。该模块处理的功能包括:

(1) FPGA 内有一个双端口 RAM 256*16bits——OSDW_RAM,作为 OSD 窗口的字符单元(CELL)存储器,指示 OSD 窗口某个位置上要显示的是什么字符。OSDW_RAM 写入任务是由单片机通过总线接口方式编程,利用外部存储器寻址指令:

MOVX @R0,A,

OSDW_RAM 内单元的内容也可以由单片机利用外部存储器寻址指令:

MOVX A,@R0

但是,相应单元内写入与读出的字符编码信息是一个 16 位的数据(如图 5.5),而单片机只有 8 位数据线,为采用前后相邻的两次 8 位数据读写,合并成一个 16 位数据后再存入 16 位的 OSDW_RAM 中。

(2) ALE='1',地址 P0_IN<224,即 RAM 的访问地址小于 224 时,单片机的读写操作是对 OSDW_RAM 模块进行的。而留下后 32 个地址单元作为 FPGA 的控制寄存器地址,这样把控制寄存器与 OSDW_RAM 混合编址,便于单片机编程。

(3) 在读写操作时,利用 ALE 的下降沿锁存 P0,P2 口上的访问存储器地址,利用 nWR 的低电平有效期间锁存 P0 口上 8 位数据;利用 nRD 的低电平有效期间输出 8 位数据到 P0 口上。

6.1.2.4 无信号检测

由于无信号输入时,AD9883A 会自动停止输出像素时钟和同步信号,而 LCD 在没有时钟和同步信号输入时,LCD 面板的扫描驱动电路处于电平浮空状态,屏幕会出现“花屏”现象。为了防止这种现象出现,通过检测同步信号确定有无信号输入。当检测出无信号状态时,FPGA 工作模式切换到无信号输入模式,此时要单独产生一组时钟信号、同步信号、使能信号和数字 RGB 图像信号,使 LCD 面板的扫描驱动电路仍处于稳定的工作状态,避免“花屏”。为了与通用显示器的使用习惯保持一致,在无信号输入时,通过 OSD 控制核叠加“无信号输入”等 OSD 字幕在图像上。

由于目标 LCD 面板有 3 种不同的分辨率,在设计该模块时,设置了几种工作模式,产生的可编程的同步时序和图像数据,以适应 3 种 LCD 面板。

6.1.3 调试步骤与测试结果

在整个系统的调试过程中,采用循序渐进的方法,从最基本的功能开始,一步一步地调试,逐步增加新的功能模块,这样可以分解调试中出现的问题,方便进行错误定位,提高调试速度和效率。总的调试步骤是:

- (1) 测试整个 PCB 板的电源系统;
- (2) 检查各芯片是否正常工作,包括 AD9883A 是否启动, FPGA 能否正常加载程序,单片机是否工作,特别是上电复位的检查;
- (3) 单片机能否与 AD9883A 正常通讯;
- (4) FPGA 能否独立驱动 LCD 屏,并在逐步在 FPGA 的程序中增加新的功能模块,一个一个的逐个增加和验证,改正错误,并反复测试;
- (5) 单片机与 FPGA 正常通讯;
- (6) 修改 FPGA 的程序,逐步将原先的一些固定设置值,改由单片机设置,使 FPGA 中的 LCD 控制逻辑变成一种可编程的模块,增加 LCD 控制逻辑的兼容性;
- (7) 编写并优化单片机程序,使整个系统功能不断丰富;
- (8) 完成基本的功能调试后,通过不断地使用,来发现系统中存在的一些 BUG,并找出相应的问题,消除 BUG,从而使系统不断完善。

特种 LCD 显示控制板^[9]在国家特种显示工程研究中心进行环境温度试验。采用 KSON 仪器(庆声科技)公司 THS-D7C-150-LN2 型恒温恒湿箱,针对三种不同分辨率图像(640×480, 800×600, 1024×768)各做 20 个循环的性能测试,每个循环 2 小时,工作温度范围为-40℃~65℃。具体试验步骤如下:

- (1) 常温下控制板上电,检测控制板能否正常;
- (2) 关机掉电后,放入恒温恒湿箱内,开始降温,约半个小时后降温到-40℃;
- (3) 在-40℃保存半小时后,再上电,检测能否正常开机,并检测能否正常显示各种标准测试图片;
- (4) 检测完后,保持控制板处理工作状态,并开始升温,用约一个小时的时间升至+65℃;
- (5) 在此过程中,查看控制板能否正常;
- (6) 再次降温,循环测试。

该特种 LCD 显示控制板已经通过上述环境温度测试,并已经通过验收。图 6.6 就是我们研制成功的特种 LCD 显示控制板;图 6.7 为使用 NOKIA 专用 LCD 测试程序产生的综合测试图像,通过控制板处理后,在 LCD 上显示的结果。如图 6.7 所示,位于图像中部,沿着水平方向 R、G、B 三个彩色过渡条的色彩变化均匀、左右对称;黑白灰阶信号的阶梯变化分明;彩色条的色彩还原性较好,测试高频干扰的摩尔纹图标清晰;图 6.8 为采用了特种 LCD 显示控制板的 LCD 显示器全貌,屏幕中所显示的图像上还叠加了透明 OSD 菜单。

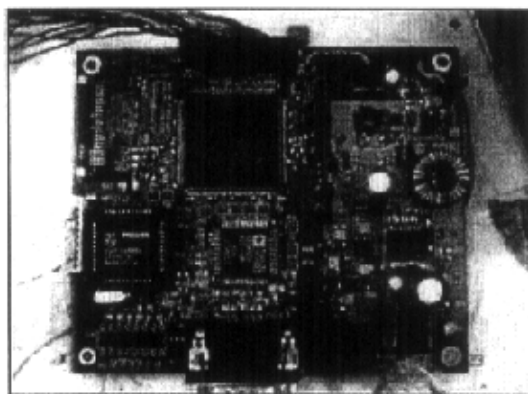


图 6.6 特种 LCD 显示控制板

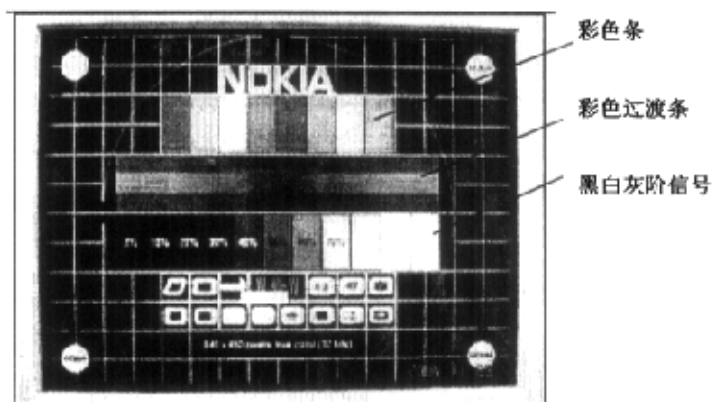


图 6.7 NOKIA 专用 LCD 的综合测试图像（实拍）

图 6.8 采用了特种 LCD 显示控制板的 LCD 显示器
(图像上叠加透明的 OSD 菜单)

6.2 特种 LCD 图像调节板

原装备于某型号飞机上的机载特种 LCD 显示系统不具有亮度、对比度、色度、图像水平/垂直显示位置等图像调整功能。为此,我们采用 FPGA 研制特种 LCD 图像调节板,对该 LCD 显示系统进行改造,增加上述图像调节功能。最终,LCD 图像调节板将被夹在图像发生板和采用 LVDS 接口的 LCD 面板之间,如图 6.9 所示,它们之间采用插件相连。

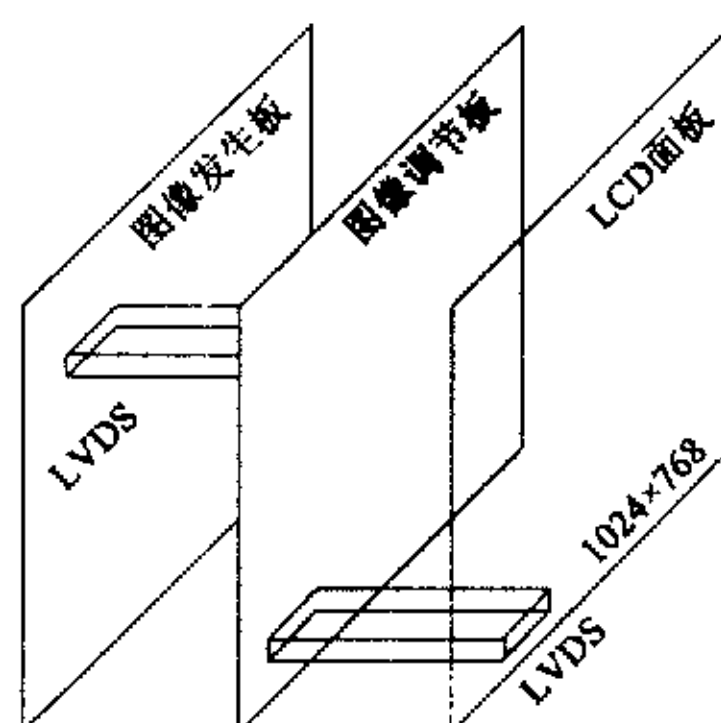


图 6.9 特种 LCD 图像调节板与原 LCD 显示系统的关系

6.2.1 系统组成和工作流程

为了实现通过旋转电位器和 R-485 总线两种方式对图像的亮度、对比度、水平/垂直显示位置等参数进行调整,图像调节板由 FPGA、MSP430 单片机、LVDS 接收器, LVDS 发送器、旋转电位器和 R-485 芯片等部分组成,系统组成如图 6.10 所示。

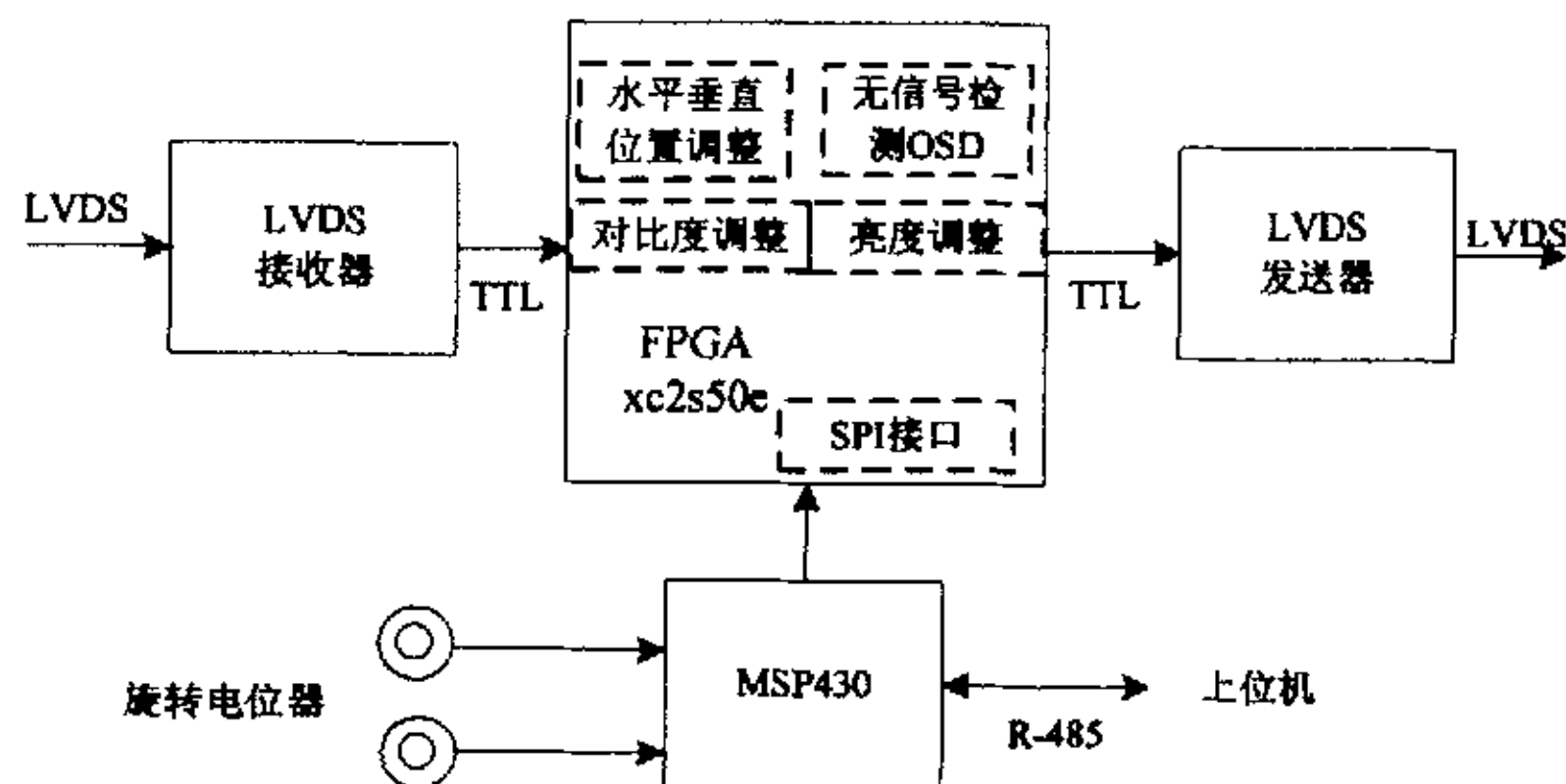


图 6.10 特种 LCD 图像调节板系统组成框图

由于 MSP430 片内集成有 AD 模块和串口通讯模块,因此可以实现旋转电位器输出电位检测和 R-485 通讯功能。MSP430 与 FPGA 的通讯采用 4 线制的 SPI 接口,我们定义了 4 位地址和 8 位数据的 SPI 通讯协议:输入的 LVDS 差分信号通过 TI 公司的 LCD 专用 LVDS 接收器(sn65lvds86a)完成 LVDS 到 TTL 的解码功能,输出端则采用 NS 公司 LCD 专用 LVDS

发送器 (ds90c363) 把 TTL 转换成 LVDS 信号输出; FPGA 内部的数字逻辑模块完成图像的调节与信号时序控制。

工作流程是: 系统上电, FPGA 和 MSP430 完成程序自引导后, FPGA 检测有无信号输入, 而 MSP430 检测 R-485 总线的异步串口通讯命令字和旋转电位器, 通过 SPI 接口写入 FPGA 内的控制寄存器; 若为无信号输入状态, 则启动无信号检测 OSD 模块, 利用独立时钟源, 产生与 LCD 面板相兼容的同步时序使能信号 ENAB、图像数据与 OSD 信息; 若为有信号输入状态, 则将图像数据采集到 FPGA 内部, 依次经过亮度、对比度、水平、垂直位置的调整, 最后输出 TTL 电平到 LVDS 发送器上。

6.2.2 子模块设计

为了完成相应的功能, 在 FPGA 内部配置了 5 个子模块: 亮度调整模块、对比度调整模块、图像位置调整模块、无信号检测 OSD 模块和 SPI 接口模块, 如图 6.10 所示。其中, 亮度和对比度调整采用了第 2 章中的调整方法, 这里只介绍另三个子模块的设计方法。

6.2.2.1 图像位置调整

调节板的图像位置调整与上面介绍的特种 LCD 显示控制板不同, 这是因为它接收的是 LVDS 接口输出分辨率为 1024×768 的图像信号, 按 LCD 面板的时序规范, 图像发生板只提供了一个 ENAB 做为同步信号 (见 6.1.2.1 节的内容), 没有 HS 和 VS, 给图像位置调整带来一定的困难。如果不能找到时序调整的参考点, 那么在采用 6.1.2.1 节的方法移动图像时, 会因计数器的位数太大, 使逻辑模块支持的最高运行速度明显下降, 而且还无法实现垂直向上移动图像。为了解决这个问题, 我们采取了以下措施:

(1) 将输入的 ENAB 延时一个时钟周期, 得到 ENAB_L1 信号, 通过比较 ENAB 和 ENAB_L1 两信号在时序出现的一次不同步的时刻来找到 ENAB 信号变化的上升沿, 这样就获得了一个重要的时序参考点, 如图 6.11 所示。

(2) 注意到 ENAB 信号在时序上会周期出现一个较长的低电压时间段, 检测出这个低电平时间段的出现时刻, 就可以准确确定图像数据流中的某一个数据的行坐标。

此时再利用 6.1.2.1 节的方法移动图像时, 就十分容易了。

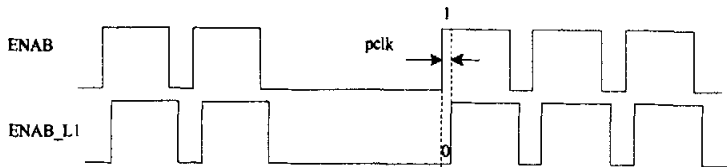


图 6.11 ENAB 信号的处理

6.2.2.2 无信号输入检测和 OSD 信号发生

对于只有一个同步使能信号 ENAB 输入的图像信号, 无信号的检测工作也只有检测

ENAB 信号。但是,这里特殊的就是,当没有图像信号输入到调节板时,不仅仅是 ENAB 信号没有了,而且图像的像素点时钟信号 $pclk$ 也没有了。我们采用一个独立的时钟源来检测 ENAB,那么当发现 ENAB 信号没有了的时候,就可以用这个独立时钟源来驱动 OSD 图像叠加到无信号处理模块自行产生的背景图像上。

6.2.2.3 SPI 接口设计

由于 MSP430 不具有 MCS-51 的扩展存储器接口 P0,P2 口,不能使用 6.1.2.3 节所设计的 MCS-51 接口模块。因此,采用四线的 SPI 串行通讯接口协议,与 MSP430 进行串行通讯。具体参见 5.2.3 节第 2 点所设计的 SPI 接口模块的设计方法。通常的 SPI 接口数字信号是由 8 位地址和 8 位数据组成,但是,由于图像产生板的串口通讯协议定义了 4 位地址和 6 位数据,因此对 SPI 模块的读写地址和数据的位数进行了相应的调整。

6.2.3 调试与实验

调试的过程分为三个步骤:

- (1) FPGA 内部数字逻辑的调试;
- (2) MSP430 的软件调试;
- (3) 把 FPGA 和 MSP430 组合在一起,进行联调。

该特种 LCD 图像调节板(如图 6.12 所示)已经研制成功,在国家特种显示工程技术研究中心通过 $-40^{\circ}\text{C}\sim 65^{\circ}\text{C}$ 的环境温度实验和专用 LCD 图像测试软件的测试,并已装配到某型号飞机的机载 LCD 显示系统中,实现了对图像的调节功能,取得了较好的显示效果。

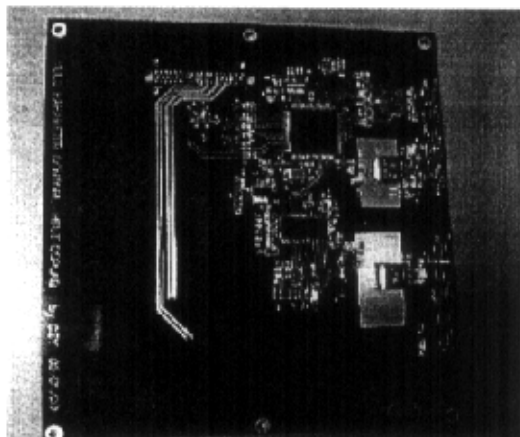


图 6.12 特种 LCD 图像调节板

6.3 图像采集显示板

随着基于图像处理的视觉测量理论及应用技术快速发展,从图像中快速获取目标物体

的三维尺寸、空间坐标信息的应用越来越多,其处理平台大都基于 PC 机,存在着体积大、便携性差、功耗大、成本高的缺点。研制小型便携、低功耗、低成本、可独立运行的视频信号处理平台,用于视觉测量领域,已经成为视觉测量的发展趋势。文献[1]中采用 AD 公司的浮点 DSP 芯片 ADSP-21020 为核心构成一个视觉处理系统,运算性能是 33.3MIPS (每秒百万条指令)和 66MFLOPS (每秒百万条浮点指令),当处理 8 位灰度图像,分辨率为 256×200 时,可以实现每秒 30 帧 NTSC 制视频图像处理,但是,该系统运算速度和图像分辨率都较低。文献[2]给出了两种以 C5x DSP 为核心的图像处理平台的设计方案,一种是单 DSP 芯片系统,受 C5x 的性能影响只能处理静态图像;另一种是多 DSP 芯片系统,运算能力增强,但系统构成复杂,并行算法不容易设计。文献[3]使用单片高速 DSP C6201、普通 AD 和 DA、视频时序控制芯片组成系统,也只能处理 8 位灰度信息,且分辨率固定,系统功能的可编程程度不高。

我们以 TI 公司高端 DSP C6x 系列和嵌入大容量 RAM 模块的高密度可编程逻辑器件 FPGA 为核心构建一个小型、低成本、低功耗、可独立运行的数字视频采集、处理和显示平台,充分发挥 DSP 运算能力强大和 FPGA 逻辑控制能力强的特点,解决了现有系统的局限性。该平台可用于空间机器人的手眼视觉处理系统,并提供操作场景的监控画面。此外还可用于数字图像叠加、数字视频合成等领域。本文着重介绍该平台的硬件、软件系统的设计,以及关键问题的解决方案。最后,给出该系统的实际测试结果,并与一些典型系统进行了性能比较。

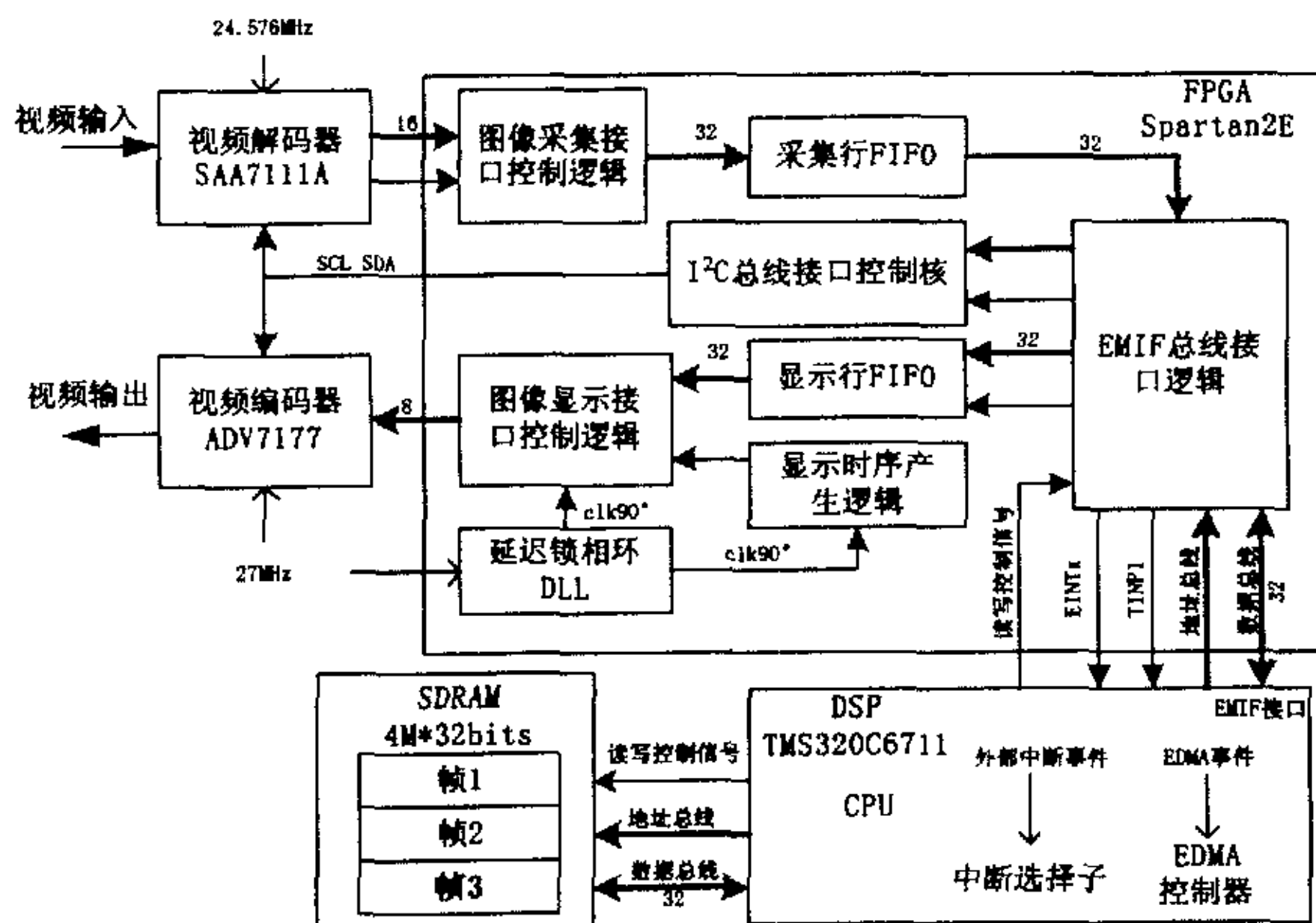


图 6.13 系统硬件组成及原理框图

6.3.1 系统总体方案

数字视频信号有数据量大、传输速度快、算法的运算量大的特点,其硬件处理系统应

具有大容量高速帧存储器、有高速数据缓冲能力和高速运算处理能力。以分辨率为 720×576 ，每秒传输 25 帧 YUV(4:2:2) 的视频为例，数据量高达 20 兆字节，如果以 8 位宽来传输，速度为 27MHz。下面分别介绍硬件、软件系统的设计方案，图 6.13 为系统组成框图。

6.3.1.1 硬件方案

数字视频信号处理系统运算量大，可选择 C6711 DSP 作为主处理器，这是由于 C6711 具有如下优良性能：

(1) C6711 主频为 150MHz~200MHz，8 条指令并行处理，运算速度为 900~1200MFLOPS（每秒百万条浮点指令），利用 C6711 的二级（L1 和 L2）Cache 机制可以实现算法程序的高速运行；

(2) C6711 的 EMIF（External Memory Interface，外围扩展存储器接口）提供与高速存储器 SDRAM 的无缝接口，使用它可以方便地与 133MHz 的 $1M \times 32\text{bits} \times 4\text{bank}$ SDRAM 组成大容量高速图像帧存储器。

视频信号同步时序处理的好坏直接影响采集和显示数据正确性及系统的可靠性。另外，由于视频采集、显示和 DSP 单元三者之间的时钟频率各不相同，因此需要用 FIFO 做时钟域的隔离，协调数据传输速度。众所周知，FPGA 具有灵活的数字逻辑控制能力，而且片内集成可编程 RAM 模块，因而选择在 FPGA 中，用 VHDL 设计同步时序控制逻辑、接口逻辑、高速 FIFO 等全部数字逻辑功能。

常用的模拟视频信号制式有 PAL、NTSC 制，为了使不同应用场合中算法处理的更方便，可以被数字化到不同的彩色空间中，如 RGB、YCrCb、YUV、YIQ 等。系统中选择专用视频解码器（DECODER）、视频编码器（ENCODER）完成制式选择、数字化、彩色空间转换、同步信号模式选择等工作，可以提高系统的可靠性，增强系统功能，加快设计进度，降低成本。这些优越的性能是文献[1]和文献[2]使用普通高速 A/D 和 D/A 所不具有的。但是有个新问题：专用视频处理芯片大都采用串行 I²C 总线协议设置内部的寄存器，而 C6711 没有 I²C 接口，如果用软件编程模拟低速（100KHz）的 I²C 总线协议，势必影响 EMIF 的高速性能。因此，仍然选择在 FPGA 中设计实现 EMIF 到 I²C 总线的接口转换逻辑，具体设计方法参见文献[3]。

基于上述分析，制定由“DSP”+“FPGA”+“专用视频解码器”+“专用视频编码器”+“帧存储器”构成视频采集、处理和显示系统的硬件设计方案。按功能分为如下模块：

- (1) 视频采集模块；
- (2) 视频显示模块；
- (3) 同步时序控制模块；
- (4) 接口逻辑控制模块；
- (5) DSP 模块。

数据处理流程为：PAL 或 NTSC 制模拟视频输入到 DECODER，由 DECODER 将其转

换为符合 ITU-R BT601 标准的 16bits 数字视频流后,送入 FPGA 的采集接口的 FIFO (CAP_FIFO) 进行数据缓冲,并生成中断信号请求 DSP 取走数据,之后数据通过 EMIF 接口写入到帧存储器 (SDRAM) 中,由 DSP 对其进行处理,处理完的数据仍放到 SDRAM 中。另一方面,由 FPGA 中显示时序产生逻辑生成行中断信号, DSP 响应中断后,由 EDMA 控制器把数据以 32bits 的宽度写入显示行 FIFO (DIS_FIFO),在显示同步时序的控制下,从 DIS_FIFO 中输出到显示接口,转换为符合 ITU-R BT 标准的 8bits 数字视频信号,最后送到 ENCODER 中,合成视频,并送显示。图 6.13 中标有总线宽度的粗线就是数字视频图像的数据流程。

6.3.1.2 软件方案

根据硬件方案,设计系统的软件框架及程序流程,程序用“C 语言+线性汇编”在 ccs2.2 环境中编写。为了完成视频的采集、图像处理和显示任务,软件框架分为三个层次(如图 6.14):

- (1) 外围设备驱动程序,包括对 DECODER、ENCODER、FPGA 的初始化;
- (2) 利用 C6000 芯片支持库 (CSL) 设置 C6711 内部寄存器,及用 DSP/BIOS 处理系统的实时多任务调度;
- (3) 算法及应用程序。

程序流程为:系统上电复位, DSP 和 FPGA 加载各自的程序后,程序开始执行。首先对 DSP 内部控制寄存器和 EMIF 接口上的外设进行初始化,确定 DSP 的工作状态;设置 DSP 的 EDMA 通道和中断事件;通过编程 FPGA 中 I²C 总线控制核,初始化 DECODER 和 ENCODER;使能 FPGA 内的数字逻辑功能、启动数据采集和显示;开中断;对采集到的数据进行处理。

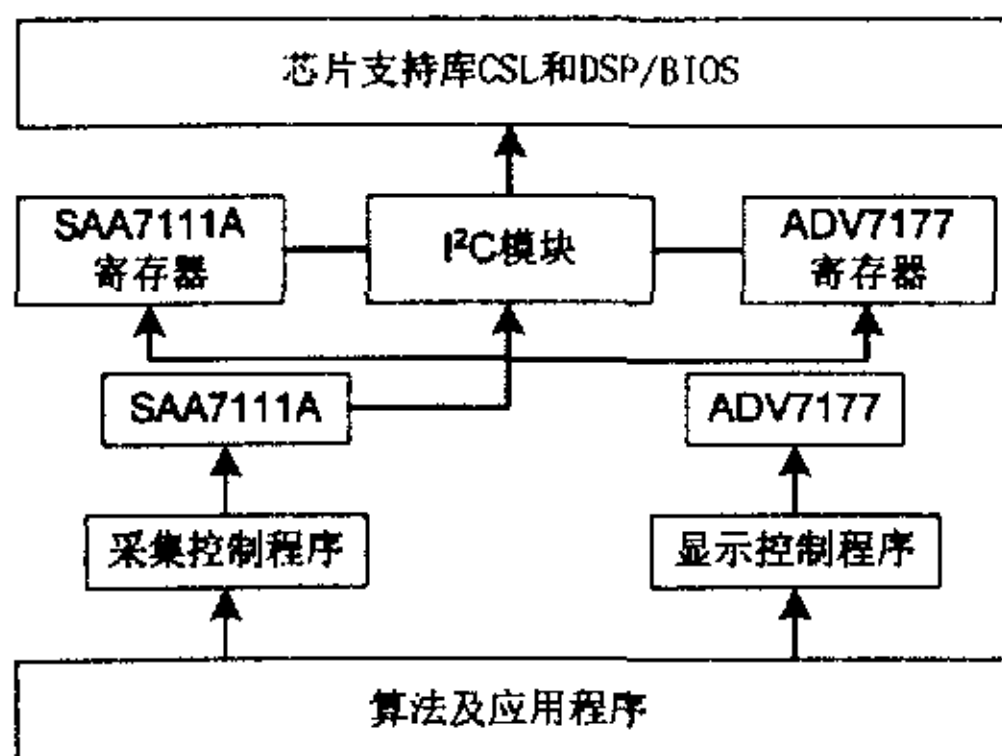


图 6.14 软件处理系统程序构架

6.3.2.2 同步时序控制模块

对于包含了采集和显示两项功能的系统，两通道之间的同步策略影响到能否连续地采集和显示。由于 SAA7111A 和 ADV7177 的时钟源分别为 24.576MHz 和 27MHz，不可能同相。因此，采集通道同步显示，或是显示通道同步采集的方法不能解决问题。系统中采用如下方法：采集和显示两通道之间没有时钟上的直接同步，在各自的时钟频率下独立工作；系统中配置三个帧存储区，使采集模块、图像处理应用程序、显示模块分别对其中一块进行操作，并由帧中断控制轮换读写存储区，实现连续地采集、处理和显示。

当采集行计数器 (LinePat) 计数到第 1 行，即 $\text{LinePat}=1 \text{ AND } \text{VREF}='0'$ 时复位 CAP_FIFO，最后一行已经被 DSP 取走，从而不会丢失最后一行数据；利用 VREF 作为帧中断信号，HREF 作为行中断，帧中断后的第一个行中断确定为第一次传输，保证“整帧、整行”采集。

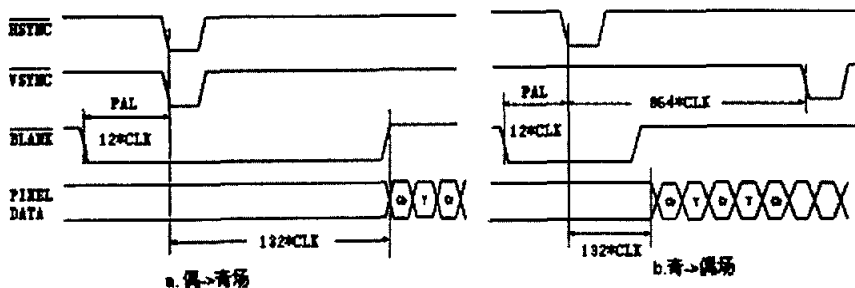


图 6.16 ADV7177 mode2 的奇、偶场转换时序图

ADV7177 工作在 mode2 从方式，所需行同步 HSYNC、场同步 VSYNC，及复合消隐 BLANK 都是在 FPGA 中产生，图 6.16 为 Mode2 从方式奇偶场转换时序关系图。注意到 VSYNC 信号在奇、偶场发生变化的像素节拍是不同的：在奇场时，第 1 行处，VSYNC 与 HSYNC 有相同的像素节拍常量，即同一节拍发生翻转；在偶场时，第 313 行处，即偶场的第 1 行处，VSYNC 的变化要迟后于 HSYNC。

6.3.2.3 EMIF 接口模块

C6711 的 CPU 通过 EMIF 接口与扩展存储器相连，EMIF 可直接与 SRAM、SDRAM 等相连。本系统中 C6711 扩展了两片 $1\text{M} \times 4 \text{ banks} \times 16\text{bits}$ 的 SDRAM，组成 $4\text{M} \times 32\text{bits}$ 的存储空间，映射于 CE0 空间。CAP_FIFO 的读端口和 DIS_FIFO 的写端口以 SRAM 方式映射到 CE1 空间。

6.3.2.4 I²C 接口控制核

I²C 总线是双向、两线、串行、多主控 (multi-master) 接口标准，并具有总线仲裁机制，非常适合在器件之间，进行近距离、非经常性的数据通讯。由于其硬件接口简单，I²C 总线的应用越来越广泛。在硬件系统设计中，实现 I²C 总线通讯协议主要有两种方法：

(1) 利用 MCU 对两根数据总线进行软件编程, 模拟 I²C 总线的 SCL 和 SDA 时序要求;

(2) 使用专用 I²C 总线控制器, 但受其主机 (Host) 接口方式的限制, 在有些场合应用不方便。

下面将介绍我们设计的一种能够与美国 TI 公司 32Bits 高速、高性能 TMS320C6000 系列 DSP 芯片接口的 I²C 总线控制器的设计方法, 它的核心部分为两个状态机的设计。配置到 Xilinx 公司的 FPGA 中, 与 TMS320C6000 时钟频率为 100MHz 的 EMIF (DSP 的外部存储器接口) 相连, 实现高速 DSP 器件对低速 I²C 总线器件的读写操作。该 I²C 控制器被用于一个基于 DSP 的实时视频图像处理系统中, 完成对视频编码器、视频解码器工作模式的设置。

SCL 和 SDA 分别为 I²C 总线的时钟线 and 数据线。对于 SCL 信号, 有 Master 和 Slave 之分, SCL 由 Master 来驱动; 对于 SDA 信号, 有发送方 (Transmitter) 和接收方 (Receiver) 之分, SDA 由 Transmitter 发出。一个完整的 I²C 传送过程 (如图 6.17 所示), 通常包括以下命令和状态: 启动命令 (Start); 7Bits Slave 地址 + 1Bit 读写 (R/W) 位 + 1Bit 确认位 (ACK); 8Bits 数据 + 1Bit ACK; 停止命令 (Stop)。

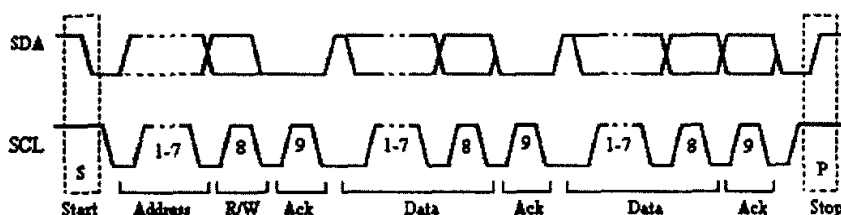


图 6.17 一个完整的 I²C 传送过程

Start 命令是在 SCL = '1' 时, Master 驱动 SDA 出现下降沿; 而 Stop 命令是当 SCL = '1' 时, Master 驱动 SDA 出现上升沿; 所有的 Slave 在检测到 Stop 命令后, 都将退出 I²C 总线工作状态。在进行数据通讯时, Master 驱动 SCL, 而由 Transmitter 驱动 SDA, 并要求在 SCL 为高电平时保持 SDA 不变。Receiver 接收到的数据后, 发出 Ack 位, 低电平表示接收数据有效。

目前支持 I²C 总线通讯协议的芯片, 大都有支持两种地址: 1) 从设备地址 (SLAVE ADDRESS, 8Bits)。用于选中芯片, 其中第 8 位是 R/W 位, 决定是对该芯片进行读或写操作; 2) 内部寄存器单元地址 (SUBADDRESS, 8Bits), 用于决定对内部的哪个寄存器单元进行操作。单字节的写/读操作过程如表 6.1 所示, 通常还支持地址单元连续的多字节顺序读写操作。在设计 I²C 控制器时, 必须要考虑到 I²C 控制器与主机 (Host, 就是前面提到的 TMS320C6000 系列 DSP) 的硬件接口连接关系, 以及能在 Host 中方便地通过软件编程实现这些操作过程, 并要设计一个相互通讯的机制。

表 6.1 I²C 总线的读、写操作过程

1) 写过程: (S: Start, Sr: Restart, P: Stop, -s: Slave, -m: Master, W: Write, R: Read)

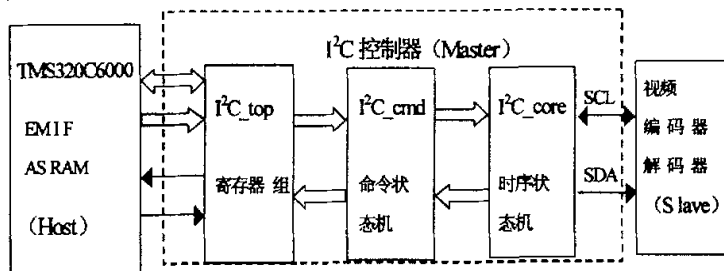
S	SLAVE ADDRESS W	ACK-S	SUBADDRESS	ACK-S	DATA (N BYTES)	ACK-S	P
---	-----------------	-------	------------	-------	----------------	-------	---

2) 读过程:

S	SLAVE ADDRESS W	ACK-S	SUBADDRESS	ACK-S			
Sr	SLAVE ADDRESS R	ACK-S	DATA (N BYTES)	ACK-M		P	

6.3.2.4.1 I²C 控制器

考虑到 I²C 总线通讯协议的时序关系 (图 6.17), 及芯片读/写操作过程 (表 6.1), I²C 控制器应该包括两个外围接口, 如图 6.18 所示。一是与 TMS320C6000 EMIF 的接口, 称为主机接口; 二是与 I²C 器件相连的 I²C 总线接口。在此系统中, TMS320C6000 被称为 I²C 控制器的主控方 (Host), 与 I²C 控制器的接口使用的是 EMIF 的 ASRAM 接口, 它向 I²C 控制器发出控制命令; I²C 控制器称为 I²C 总线的 Master, 实现 EMIF 的 ASRAM 接口向 I²C 总线接口的转化; I²C 器件 (视频编码器、视频解码器) 被称为 I²C 总线的 Slave。

图 6.18 I²C 控制核总体结构框图

I²C 控制器的设计采用自顶而下的方法, 分为三个模块: I²C_top 模块, I²C_cmd 模块, I²C_core 模块。总体结构框图如图 6.18 所示。I²C_top 模块是顶层管理模块, 管理与 EMIF 的接口。主要任务是接收 Host 发来的控制信号、命令及数据; 实现 I²C 控制器与 Host 的中断通讯方式; 提供当前 I²C 控制器的工作状态; 把 Host 发出的命令字信号送到 I²C_cmd 模块。

在其内部共设置了 6 个寄存器, 用于管理整个控制器的工作, 其中 5 个 8bits, 1 个 16bits。这些寄存器的名称、标号、位数、地址、操作方式, 以及寄存器内部设置的控制位及功能的具体情况详见表 6.2。寄存器的寻址使用 EMIF 接口地址总线的低三位 eadd[4..2] 和由高位地址译码得到的 I²C 控制器的芯片使能信号 nce。当 Host 发出的读、写命令完成后, I²C_top 会向 Host 发中断请求 eint, 让 Host 发出下一个命令到 CR, 或者从 RXR 中读数, 或者发送数据到 TXR。

6.3.2.4.2 状态机的描述

设计的核心工作是对 I²C 总线命令及时序的状态划分，在控制器内共设置了两个状态机：一个是命令状态机，一个时序状态机。其中，命令状态机用于管理总线上的命令状态，并实现 I²C 总线具体的读、写操作的命令状态转移过程（表 6.1）；时序状态机用于实现 I²C 总线上启动、停止、读、写、确认等命令的具体时序关系。这样就吧控制器从逻辑上分为两个状态机，来完成最终的总线命令与时序。

表 6.2 I²C_top 模块内部寄存器

寄存器	位数	地址	操作	控制位及功能
控制寄存器 CTR	8	000	只写	I ² C 控制器使能位 (core_en)，中断使能位 (ien)
命令寄存器 CR	8	001	只写	启动 (start_r)、读 (rd_r)、写 (wr_r)、停止 (stop_r)、Master 确认 (ack_r)、中断响应位 (i_ack_r)
状态寄存器 SR	8	010	只读	Slave 确认位 (rx_ack)、I ² C_core 模块忙位 (Core_busy)
发送寄存器 TXR	8	011	只写	寄存发送到 Slave 的数据
接收寄存器 RXR	8	100	只读	寄存从 Slave 读取的数据
时钟尺度寄存器 PRER	16	101	读写	寄存时钟尺度因子，对时钟信号 (eclk) 实现指定倍数分频，得到 SCL 和 SDA 的五个子状态相互转移的同步时钟使能信号 (eclk_en)

(1) 命令状态机

命令状态机是 I²C_cmd 模块的核心部分。该模块的主要功能有两个：一是把 I²C_top 模块发送命令信号 start, write, read, stop 四个命令信号转化成命令码，发往 I²C_core 模块。二是实现 Host 和 Slave 之间数据的串并转换。

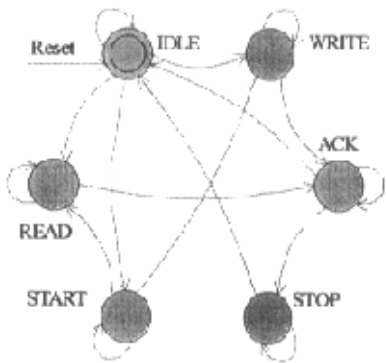


图 6.19 I²C 总线命令状态转移图

从 I²C 总线的通讯协议中可以看出 I²C 总线上的信号可以分为空闲 (IDLE)，启动 (START)，读 (READ)，写 (WRITE)，确认 (ACK) 和停止 (STOP) 等六种工作状态。

在 IDLE 时, SCL 和 SDA 都为高电平, Slave 不断检测 Start 命令的出现。I²C 控制器 (即 I²C 总线的 Master) 在接收到 Host 发送来的 Start 命令后, Master 进入 START 状态, 并根据 Read 和 Write 命令, 可以进入 READ 或 WRITE 状态。由于 Host 的读、写操作都是以字节进行的, 对应 8 个周期的 I²C 总线读/写操作, 故设置一个 8 节拍的计数器, 使得 READ 或 WRITE 状态能维持 8 个 SCL 周期。在完成字节读或写操作之后, 都将进入 ACK 状态。进入 ACK, 标志一个 Host 的读/写命令已经完成, 因此发送中断申请给 Host。在中断服务程序中, Host 查询状态寄存器后, 再发出下一个命令。这时 I²C 控制器, 或者是转移到 IDLE, 或者是转移到 STOP。命令状态转移关系如图 6.19 所示。

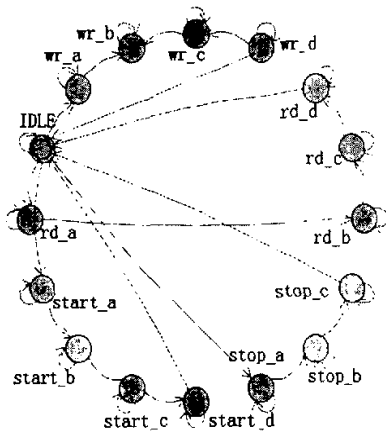
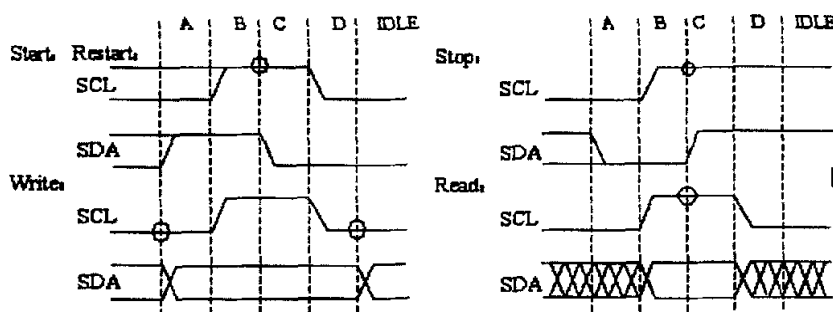


图 6.20 I²C 总线时序状态转移图

(2) 时序状态机

I²C_core 模块负责与视频编码器、解码器的 I²C 接口, 最终实现 I²C 总线信号 SCL 和 SDA 的启动、停止、读、写、确认等具体操作的时序关系。其功能的实现主要由时序状态机来完成的。根据 I²C 总线通讯协议中 SCL 和 SDA 之间的时序关系, 总线上包含两种命令 (Start/Restart, Stop) 和两种操作 (Write, Read), 时序关系如图 6.17 所示。Start 命令: 在 SCL 为高电平时, SDA 上出现一个下降沿; Stop 命令: 在 SCL 为高电平时, SDA 上出现一个上升沿; Write 操作: SDA 只能在 SCL 为低电平时变化, 在 SCL 为高电平时应保持不变; Read 操作: 只能在 SCL 为高电平时, 对 SDA 进行采样。

为了可靠地实现时序关系, 在时序上进一步把 SCL 划分为五个子状态 (A, B, C, D, IDLE), I²C 总线时序状态转移关系如图 6.20 所示, 状态划分如图 6.21 所示。其中, SCL 在 Start 命令的 A 状态时, 保持原有电平不变; 而在 B 状态时变为高电平, 这样就可以实现 Restart 命令。系统时钟信号 eclk 由时钟尺度因子分频, 得到的状态转移的同步时钟使能信号 (eclk_en)。在 eclk 和 eclk_en 的控制下进行状态转移, 最后都转移到空闲状态 (IDLE), 并保持最后一个状态时的信号电平。图 6.21 中标注了每个命令的关键时刻。

图 6.21 I²C 总线信号 SCL 和 SDA 时序状态划分图

6.3.2.4.3 研制中应注意的问题

(1) 有关命令的自动清除

当 Host 发出的读或写命令执行完了之后, I²C_top 将利用由 I²C_cmd 模块产生的命令完成确认信号 (cmd_done_ack) 使命令寄存器中的 Start、Stop、Write、Read 四个命令位自动被清除。这样做的好处是: 一是可以有效地防止命令的重复执行; 二是可以增加 Host 中软件编程的灵活性, 当一个命令完成后, 可以随时发出新命令, 有利于实现总线上数据的连续读/写操作。

(2) 中断信号的处理机制

I²C 控制器作为 I²C 总线的 Master, 只能在 Host 的控制下工作。它与 Host 的通讯方式采用中断机制。当一个读写命令完成后, Master 会向 Host 发出一个中断申请信号 Eint (上升沿有效)。在 Host 的中断服务程序中, 置位命令寄存器的中断响应确认位 (i_ack_r = '1'), 使 Master 清除其发出的中断申请信号 (Eint = '0')。而 i_ack_r 信号将在置位命令结束后的下一个时钟上升沿自动清除。这样, 可以允许 Master 发出下一个中断申请。

```
process (nReset, eclk)
```

```
begin
```

```
    if (nReset = '0') then
```

```
        int <= '0'; i_ack_r <= '0';
```

```
    elsif (eclk'event and eclk = '1') then
```

```
        if (nce = '0' and nAwe = '0') then
```

```
            if (core_en = '1' and eadd = "001") then--写入命令寄存器
```

```
                i_ack_r <= cr(7); --写入'1'
```

```
            end if;
```

```
        else
```

```
            i_ack_r <= '0'; --自动清除
```

```
        end if;
```

```
        int <= cmd_done_ack and ien;
```

```

end if;
Eint <= int and (not i_ack_r);
end process;

```

6.3.2.4.4 EDA 综合结果与结论

使用 Xilinx ISE 对 I²C 控制器的 VHDL 描述进行综合 (Synthesize) 和实现 (Implement), 目标器件采用 Xilinx 公司的高密度系统级 FPGA—Virtex 系列芯片 v50cs144-6。设计的总体等效门数 (Total equivalent gate count for design) 为 1844 门, 系统时钟的最大频率为 120.758MHz。

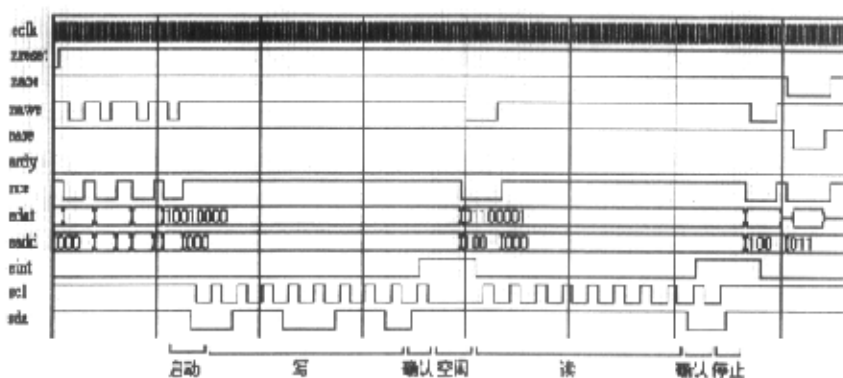


图 6.22 布局布线后仿真结果图

图 6.22 为使用 ModelsimXE5.6a 对在目标器件上布局布线后的 VHDL 模块进行仿真 (Simulate Post-Place & Route VHDL Module) 的结果。其中, edat 信号上 “10010000” 中的 ‘1’ 依次是启动和写命令; “01100001” 中的 ‘1’ 依次是停止、读、中断清除命令。从图中可以看出, 实现了从 TMS320C6000 EMIF 接口到 I²C 总线接口的转换功能, 并实现发中断申请 (eint= ‘1’) 和清除中断申请的功能, 完成了 I²C 总线通讯协议的启动, 写, 确认, 读, 确认, 停止操作的时序。

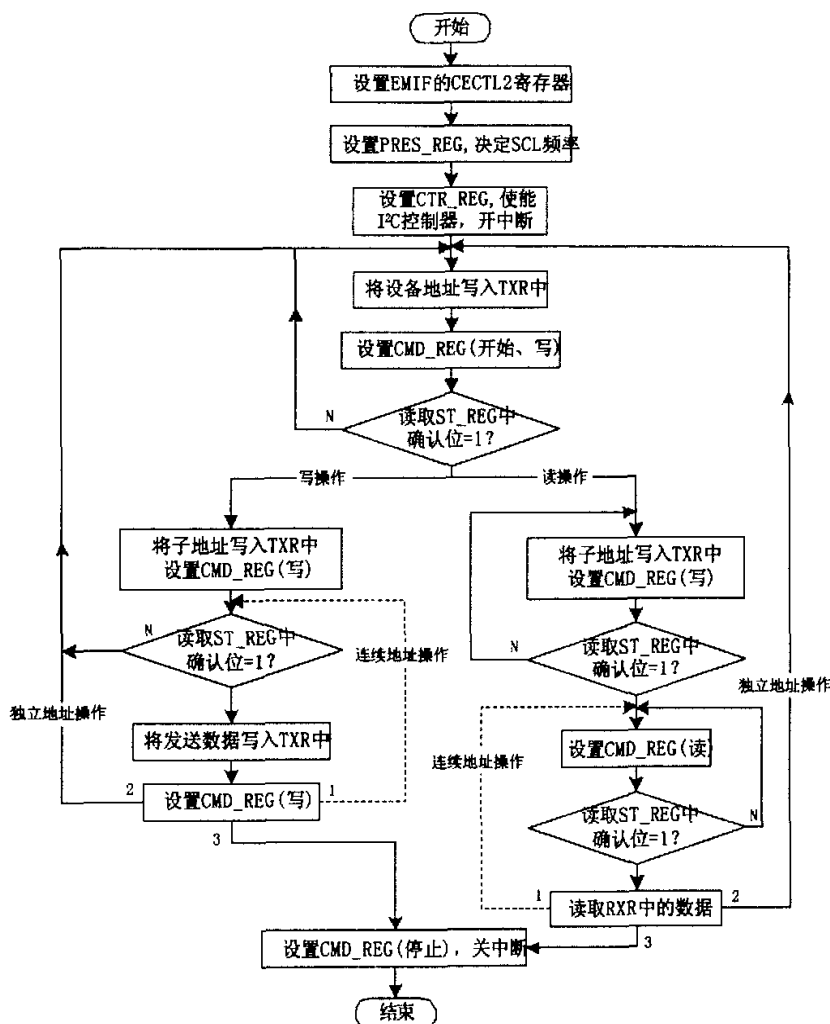


图 6.23 视频设备驱动程序 (DDP) 流程图

6.3.3 DSP 软件研制

6.3.3.1 设备驱动程序

驱动程序就是通过编程 I²C 控制核, 对视频设备 SAA7111A 和 ADV7177 进行初始化的程序。I²C 控制核采用中断方式与 DSP 通讯^[5], 包括控制寄存器、命令寄存器、状态寄存器、发送寄存器、接收寄存器、时钟尺度寄存器。图 6.23 为设备驱动程序 (DDP) 流程图。编程中, 首先需要对设备寻址, 再对设备内的寄存器 (子地址, SUBADDRESS) 寻址。可以用 I²C 总线的“连续地址操作模式”加速初始化过程。当一次“读操作”和“写操作”完

成后, 有 3 种选择:

- (1) 连续地址操作模式;
- (2) 独立地址操作模式;

(3) 发出停止命令, 并关闭 I²C 控制核的中断申请, 使 I²C 控制核处于无效状态, 结束 I²C 总线操作时序, 退出驱动程序。

6.3.3.2 显示中断事件与数据传输

系统共有五个中断事件: 采集行、场中断, 显示行、场中断, I²C 控制核中断, 而 EMIF 接口只有 4 个外部中断 EINTx。显示行中断可以用 BLANK 来产生, 但由于硬件中断资源不够用, 利用定时器 Timer1 对外部输入引脚 TINP1 计数产生定时器中断事件, 作为行中断触发数据传输。在程序中, 设置 Timer1 事件与 EDMA2 通道相关联。如图 6.24 所示, 当 BLANK='1' 时, 产生有 360 个脉冲。为了能得到第一行数据, FPGA 利用 Line 节拍和 Pixel 节拍产生一个虚拟的脉冲串, 产生第一个 Timer1 中断事件, 触发 EDMA 传输第一行数据到 DIS_FIFO 中, 并使 DIS_FIFO 总能提前于显示设备, 先得到要显示的下一行数据。最后一行无效数据将因 DIS_FIFO 被 VSYNC 的低电平复位而丢弃, 从而不会影响到下一场的最后一行有效数据的传输。每次 Timer1 中断事件后, 一行数据的传输时间为读 SDRAM 的 $3.6\mu\text{s}$ + 写 DIS_FIFO 的 $7.2\mu\text{s}$ = $10.8\mu\text{s}$, 而 BLANK 两个有效脉冲之间的低电平为 $10.7\mu\text{s}$, 这就是说明在下一行有效期到来之后, 数据已经大都放入 DIS_FIFO, 从而保证 ADV7177 可靠地得到显示数据。

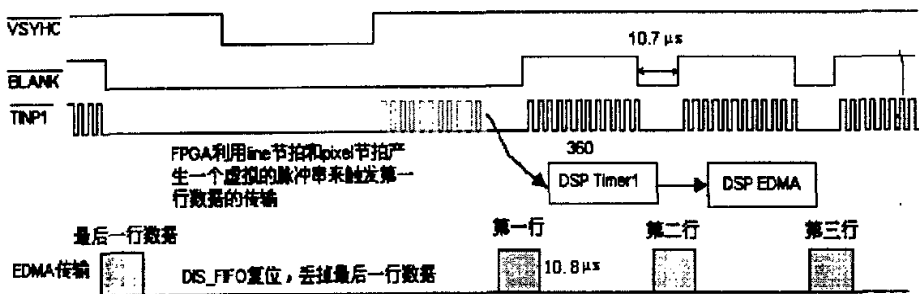


图 6.24 显示中断事件与 EDMA 传输逻辑关系图

6.3.3.3 帧存调度和 EDMA 事件链接

由于图像需要连续采集和连续显示, 同时还要提供一帧用于计算, 因此在 SDRAM 中设置了三个帧存储区, 帧存调度与 EDMA 事件链接传输机制原理如图 6.25 所示。利用 EDMA4 通道执行源地址固定, 目标地址索引加 1 的 2 维 EDMA 传输, 等到放满一帧数据以后, 利用 EDMA 通道的事件链接机制, 使 EDMA4 通道重新加载事件 N 的链接参数寄存器的参数, 开始接收新一帧来自 CAP_FIFO 的数据流, 并且将数据存入 SDRAM 的 Buffer2

中;等到放满后,重新加载事件 O 的链接参数,接收第三帧图像到 Buffer3 中,完成后,重新加载事件 P 的链接参数。如此循环,实现连续数据的采集,保证图像能以 25 帧/秒速率连续采集。同样在显示端,则利用 EDMA2 通道执行源地址索引加 1,固定地址固定的 2 维 EDMA 传输,从 SDRAM 的 Buffer1, Buffer2 和 Buffer3 中 Timer1 中断事件的触发下每次读取一行数据,写入 FPGA 中的显示 DIS_FIFO 中。利用 EDMA 的事件链接机制,在一帧传输完成后,EDMA2 的参数寄存器自动加载事件 Q、事件 R、事件 S 中的链接参数。实现显示数据的连接搬移,保证图像以 25 帧/秒的速度连续显示。

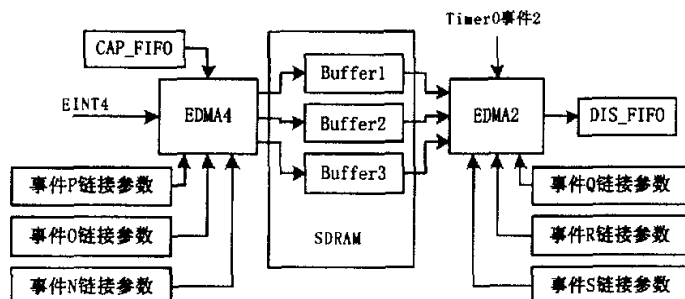


图 6.25 EDMA 传输机制与帧存的调度

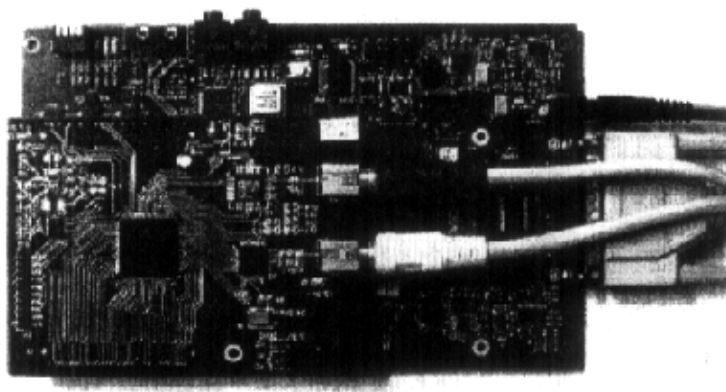


图 6.26 基于 DSP 和 FPGA 的图像采集显示板

6.3.4 实验结果

对采用上述方案设计出的实时视频处理硬件系统(如图 6.26 所示)进行实验:输入视频信号取自 PAL 制 CCD 摄像头,并输出视频到监视器,用逻辑分析仪(惠普 HP1630D)观察 C6711 EMIF 总线接口,测试系统性能及总线上数据传输的实际速率。图 6.27 是从逻辑分析仪上拍摄的两张反映系统性能的重要时序图。图 6.27-a 是用“glitch”方式,实时监测 C6711 EMIF 接口上的三个外部中断和 TINP1 信号在图像帧与帧之间的时序关系。EINT7 和 EINT5 分别为采集和显示通道的帧中断('0'表示奇场,'1'表示偶场),可以看出奇、偶

场的总周期为 40ms, 说明系统能够同时以 25 帧/秒采集和显示全分辨率、彩色 PAL 信号。

图 6.27-b 是在采集与显示两个方向同时进行 EDMA 数据传输时, EMIF 的数据总线复用及带宽占用状况。游标'o'和'x'的间隔为 $64\mu\text{s}$, 即 PAL 制的行频 15.6KHz。EINT4 和 TINP1 分别是用于触发采集和显示通道的行中断信号, 可以看到, 在 EINT4 的上升沿和 TINP1 脉冲串的下降沿分别触发了数据总线 Edata1 上一行数据的传输(数据区 1 和数据区 2), 没有出现总线共享的冲突, 而且其中的 TINP1 与数据区 2 之间的真实时序关系与图 6.24 所示设计原理是“一致”的。

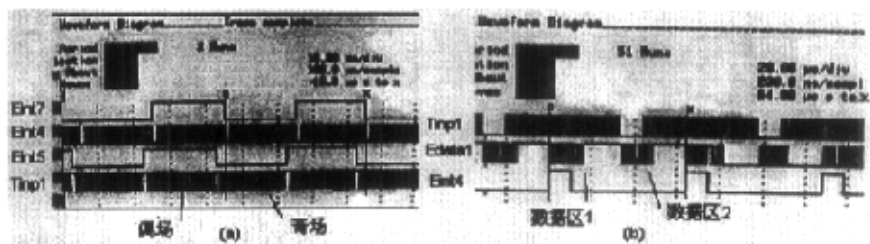


图 6.27 HP1630D 实测 EMIF 接口信号时序关系图

通过测试, 本系统的性能特点表现为:

(1) 将所有数字逻辑功能都集中到一片 FPGA 中, 减小系统体积, 提高系统的集成度, 优于文献[26]采用分离元件的方法;

(2) 图像输入缓冲仅用一个 CAP_FIFO, 实现了连续、实时采集, 优于文献[26]中视觉处理系统的采集卡(VFG, video frame grabber board)扩充四片大容量 FIFO 作为帧存, 不同于文献[26]外扩大量 SRAM 和文献[27]扩充 SDRAM 作为采集帧存的方案, 降低了成本;

(3) 系统中同时包括采集、显示和处理全分辨率(720×576 , 720×480)彩色 PAL 和 NTSC 制信号的能力, 好于文献[26]中只处理灰度信息、低分辨率图像和只能采集, 不显示的系统;

(4) 由于使用“三帧”轮换的方法, 使得采集与显示两方不需要严格地时序同步, 就能保证图像整帧采集和稳定连续地显示, 优于两帧“乒乓”交换存储的方法。

6.4 本章小结

在本章中, 我们先后分析了三种基于 FPGA 应用系统的设计思路, 研究了它们的系统组成, 给出各系统的设计方案, 重点讨论了研制中遇到的一些关键技术问题及其解决方法。

通过解决 FPGA 内的这些关键技术问题, 使得研制出的实际系统能可靠工作于 $-40 \sim 65^\circ\text{C}$ 的环境温度中, 达到了军用全加固型 LCD 的要求。由于系统中对于图像亮度和对比度的调整方法进行特别的处理, 使得与商用 LCD 相比, 具有更宽的调整范围, 能充分适应特殊应用场合对 LCD 显示图像的要求; 在图像移动的 FPGA 实现, 我们找出信号的时序参考点, 利用固定位数的计数器重新产生同步信号的方法限制了布线延时在逻辑之间传播, 有效地解决低温环境下, 因串行延时累计而导致 FPGA 内部逻辑状态错误的问题, 通过环境温度

试验得到的验证：所设计的信号自动检测与无信号处理模块充分地利用不同分辨率图像信号之间的共同点和不同点，有效地提高了系统的兼容性和智能性，加之整个 LCD 显示控制逻辑控制部分是我们自行设计，因此可以适应特殊的非标准图像信号的自动检测和显示，而这也是商用板无法解决的问题。

基于 FPGA 和 DSP 的图像采集显示板中充分发挥了硬件与软件协同工作的特点，将所有数字逻辑功能都集中到一片 FPGA 中，减小系统体积，提高系统的集成度，使用“三帧”轮换的图像数据缓冲方法提高了系统的实时处理全分辨率彩色图像能力。

此外，三个系统中分别设计了 MCS-51 扩展存储接口模块、SPI 接口模块、I²C 接口控制核，很好地适应了 FPGA 与不同应用场合中微控制器通讯的要求。

第七章 总结与展望

液晶显示器因具有轻薄、低功耗、不闪烁、无辐射、平面直角和画面显示不变形的特点,与传统的 CRT 相比在这些方面有明显的优势,特别适用依赖于图像图形信息的新军事装备之中,并受到高度关注。但 LCD 尚不能广泛地应用于特殊领域,是因为 LCD 存在一定的不足并且尚未克服。例如 LCD 的工作温度范围窄、色彩还原差、显示亮度低、对比度小。虽然目前商用 LCD 在色彩、亮度、对比度等方面有所改善,但它仍然无法满足军用特种显示器工作温度范围达到 $-40^{\circ}\text{C}\sim 65^{\circ}\text{C}$ 的高要求,这主要是由于 LCD 电路系统的核心部件——LCD 显示控制板只能工作于 0°C 以上,亮度、对比度的调整范围过窄,而现有的“加热加固”方法不能从根本上解决这些问题。在这一背景下,研究了面向特种 LCD 的图像处理方法,并成功研制出可完全独立工作于 $-40^{\circ}\text{C}\sim 65^{\circ}\text{C}$ 、亮度和对比度调整范围更大、基于 FPGA 的特种 LCD 显示控制板、特种 LCD 图像调节板及复合视频图像采集显示板。

作为基于 FPGA 的特种 LCD 显示控制板相关技术研究,本文从如何实现 LCD 控制器的功能入手,系统地研究了图像色彩调整,对比度增强,非线性 LCD Gamma 校正,实时图像缩放,隔行转逐行扫描等方法,以及 LCD 特有的数字 OSD 控制核的设计方法,深入讨论了如何用 FPGA 实现这些算法,并进行逻辑结构的优化,提高系统性能。基于本文研究内容的实际应用系统的成功研制有助于大大提高特种 LCD 整机可靠性。总结本文的研究工作,主要结论和创新点如下:

(1) 研究了 LCD 中图像色彩的调整方法,给出一种基于彩色空间变换的调整方法,即把图像由 RGB 空间转换到 YCrCb 空间,从而把亮度(Y)和色度(CrCb)信息分开调整,有效地解决在不变换彩色空间的调整方法中,因色彩和亮度同时发生变化,而出现的偏色和失真现象。在用 FPGA 实现这种调整方法时,对其中消耗逻辑资源较多的 3×3 矩阵运算的数字逻辑实现结构进行优化,设计出一种采用流水线结构,由倍频时钟驱动,分时复用同一组运算单元的逻辑结构,节省出 $2/3$ 的逻辑资源,并提高了模块的最高运行速度。

(2) 由于特种 LCD 经常工作于“过亮”和“过暗”的特殊环境中,几种常用的对比度调整方法不再适用。为了能清晰显示图像,我们提出一种基于图像均值直方图扩展的对比度调整方法,通过 MATLAB 仿真与其它几种方法进行了性能比较,该方法表现出具有图像灰度的自适应性,能更有效地调整对比度。我们进一步分析了使用 FPGA 实现图像均值法的具体方法,给出相关的逻辑结构。

(3) LCD 具有特殊的 Gamma 曲线,不能与采用 CRT Gamma 预校正的视频系统完全兼容,因而在色彩还原方面,表现出不一致性。为了精确还原图像色彩,给出一种基于 6 个关键点的能够加快校正速度的校正方法和具体实施步骤,并设计出一种采用“双端口”RAM 结构的 Gamma CLUT,可以支持用户自定义特性的 LCD Gamma 校正。

(4) 当图像信号的分辨率与 LCD 面板的物理分辨率不相同时,必须通过图像缩放算

法实时改变图像分辨率,使之与 LCD 一致,才能正常显示。我们选用双线性插值法,因为它在图像质量、运算速度、逻辑资源消耗等方面都取得较好的折中。为了在逻辑资源相对有限的 FPGA 内实现双线性插值算法,设计一种基于 3 个行存储器的数据缓冲机制,并实现插值系数实时算出,可支持任意小数倍的实时缩放。由于没有外扩大容量存储器,降低了硬件成本,提高系统的集成度。

(5) 为了把隔行扫描的 PAL/NTSC 制复合视频信号在逐行扫描的 LCD 上进行显示,我们研究了不同类型去隔行算法,发现它们只是把一场(奇或偶场)的垂直分辨率放大 2 倍(整数倍),合成一幅逐行扫描的图像。但是由于新图像的分辨率与 LCD 面板分辨率还是不相同,因此要再经过图像缩放才能“满屏”显示。而我们采用一种更为直接的方法,即跳过单纯的去隔行算法,由图像缩放模块直接对一场图像进行分辨率变换,得到与 LCD 分辨率相同的图像,实现“满屏”显示。该方法有效地降低 FPGA 内部算法逻辑的复杂性,而且新图像的质量应该介于帧内去隔行与帧间去隔行算法之间。

(6) 设计出一种基于字符和位图的数字 OSD 控制核,讨论了存储字符和位图信息的存储器组织结构,详细分析如何合成数字 OSD 图像,并与原图像进行叠加。该数字 OSD 控制核的特色是集成了字符和位图两种信息,并可以提供透明度可调的 OSD 图像。

(7) 研制成功 2 个基于 FPGA 面向特种 LCD 的应用系统(特种 LCD 显示控制板和特种 LCD 图像调节板)和 1 个基于 FPGA 和 DSP 的面向 PAL/NTSC 制复合视频信号的图像采集显示处理系统,说明本文所研究的面向特种 LCD 图像处理方法及 FPGA 实现方法通过了实际验证,特别是面向特种 LCD 的 2 个应用系统都已通过环境温度试验,对于提高特种 LCD 的性能及可靠性具有重要意义。

回顾本文所做的研究工作,围绕着特种 LCD 这个应用方向,还有一些关键问题可以进一步去深入研究:

(1) 从整个特种 LCD 显示系统功能的角度,不断丰富功能,比如:

- 实现各种特殊的正方形图像信号在 LCD 显示屏上正常显示;
- 将计算机图像和通过摄像头采集到复合视频信号在 LCD 屏幕上叠加显示;
- 为特种 LCD 提供全屏幕的多种背景图像信息(如地图)的自由叠加与切换;
- 为正方形的特种 LCD 提供字符与图像发生功能。

(2) 进一步提高和改善图像质量,加入一些算法模块,比如:

- 图像平滑,去除图像中的噪声;
- 图像锐化,改善图像中物体之间的边缘;
- 去抖动(Dithering),增加图像色彩的柔和性;
- 运动补偿,改善对图像中快速运动物体的显示效果。

攻读博士学位期间发表的论文

1. 盛磊, 徐科军, 基于 DSP 和 FPGA 的实时视频处理平台的设计与实现, 中国科技大学学报 2005 年第 5 期 (已录用)
2. 盛磊, 徐科军, 陈智渊, 赵明, 数字 OSD 控制核的设计与 FPGA 实现, 上海交通大学学报 2005 年 (已录用)
3. 盛磊, 徐科军, 基于状态机的 I²C 总线控制器的设计与实现, 单片机与嵌入式系统应用, 2004 年第 5 期
4. 盛磊, 徐科军, 赵明, 陈智渊, 液晶显示驱动板的设计与实现方法, 电视技术, 2005 年第 2 期
5. 盛磊, 徐科军, 一种彩色空间变换的 FPGA 实现方法, 2005 年中国仪器仪表学会第七届青年学术会议, 《仪器仪表学报》2005 年增刊 (已录用)。
6. 盛磊, 徐科军, 基于 CPLD 的离子色谱仪的设计与实现, 第三届全国信息获取与处理学术会议, 仪器仪表学报 2005 年第 7 期增刊 (已录用)
7. 陈智渊, 徐科军, 盛磊, MSP430 在数字视频信号参数控制板中的应用, 2005 年中国仪器仪表学会第七届青年学术会议, 《仪器仪表学报》2005 年增刊 (已录用)
8. 赵明, 徐科军, 盛磊, 陈智渊, 单片机在特殊液晶显示器驱动板中的应用, 第三届全国信息获取与处理学术会议, 仪器仪表学报 2005 年第 7 期增刊 (已录用)
9. 袁波, 徐科军, 盛磊, 基于 TMDXEVM642 的机器人视觉系统, 第三届全国信息获取与处理学术会议, 仪器仪表学报 2005 年第 7 期增刊 (已录用)
10. 盛磊, 徐科军, 面向特种 LCD 的图像色彩调整方法与 FPGA 实现, 2005.5 (已投稿)
11. 盛磊, 徐科军, 特种 LCD 控制器中实时图像缩放算法的 FPGA 实现, 2005.5 (已投稿)

参考文献

- [1] 陈跃, 王元庆, 液晶显示器及其军事应用现状与发展趋势, 国防技术知识, 2003 年 11 月 19 日, <http://www.gfjsjc.com.cn/quanwen/2002-3/zhuangbeifazhan1.htm>
- [2] 王元庆, 侯昌忠, 航空级加固型有源液晶显示器及其现状, <http://www.slkj.com/TECH-FILES/amlcd.htm>, <http://www.ye2000.com/gdxx/doc/20020228gd0304.htm>
- [3] 肖虹, 赛宝信息研究中心, 国外军用设备中应用的显示新技术, 2001 年 01 月, <http://www.gd.cetin.net.cn/jungong/list.asp?xuhao=54>.
- [4] 佚名, 摘自: 理论与战法, 战斗机驾驶舱显示/ 控制技术的发展, <http://www.china-airforce.org/llzf/jsc.htm>, 2004.7.3
- [5] Geoff Walker, Liquid Color™ and LCD Monitor Calibration, http://personalcomputing.portrait.com/us/products/lc_lcd_whitepaper.pdf, 2005.3
- [6] Keith Jack, Video Demystified (Third Edition), LLH Technology Publishing, Printed in the United States of America, ISBN 1-878707-95-7 (eBook), 2001
- [7] Chun-Ho Kim, Si-Mun Seong, Winscale: an image-scaling algorithm using an area pixel model, Circuits and Systems for Video Technology, IEEE Transactions on, VOL. 13, NO. 6, JUNE 2003, Pages: 549-553
- [8] Soon-Kak Kwon, Kang-Soo Seo, Jae-Kyoon Kim, A motion-adaptive de-interlacing method, Consumer Electronics, IEEE Transactions on, Volume 38, Issue 3, Aug 1992 Page(s):145 - 150
- [9] Changming Sun, De-interlacing of video images using a shortest path technique, Consumer Electronics, IEEE Transactions on, Volume 47, Issue 2, May 2001 Page(s):225 - 230
- [10] You-Young Jung, Seungjoon Yang, An effective de-interlacing technique using two types of motion information, Consumer Electronics, IEEE Transactions on, Volume 49, Issue 3, Aug. 2003 Page(s):493 - 498
- [11] Sugiyama, K, Nakamura H, A method of de-interlacing with motion compensated interpolation, Consumer Electronics, 1999. ICCE. International Conference on, 22-24 June 1999 Page(s):210 - 211
- [12] 田日镇, 视频显示设备的屏幕显示电路, [P], 中国专利, 公告号 1139334, 97.01.01
- [13] J .A.库佩尔, J .W.查纳.屏幕显示的链接目录结构, [P], 中国专利, 公告号 1197570, 1998
- [14] 阿伦·H·丁威迪 迈克尔·D·兰迪斯, 并行模式的屏幕显示系统, [P], 中国专利, 公告号 1194077, 98.09.23
- [15] IT168 评测室, 清水反应, 让 LCD 更精彩 Senseye 技术解析, <http://publish.it168.com/2004>

- /1122/20041122507401.shtml, 2004.11.22
- [16] Color - Wikipedia, the free encyclopedia, http://en.wikipedia.org/wiki/Color#Color_perception, 30 May 2005
- [17] Brightness - Wikipedia, the free encyclopedia, <http://en.wikipedia.org/wiki/Brightness>, 18 May 2005
- [18] Contrast - Wikipedia, the free encyclopedia, <http://en.wikipedia.org/wiki/Contrast>, 17 May 2005.
- [19] 亮度, 硅谷动力—eNet 学院, <http://www.enet.com.cn/eschool/includes/zhuanti/shuyu/info/6/01/2007.shtml>, 2005.3.16
- [20] 色度 - 维基百科, 自由的百科全书, <http://zh.wikipedia.org/wiki/%E8%89%B2%E5%BA%A6>, 2005.2.3
- [21] 色调 - 维基百科, 自由的百科全书, <http://zh.wikipedia.org/wiki/%E8%89%B2%E8%B0%83>, 2005.2.3
- [22] Saturation (color theory) - Wikipedia, the free encyclopedia, http://en.wikipedia.org/wiki/Saturation_%28color_theory%29, 19 Mar 2005
- [23] ITU-R Recommendation BT.601-2, Encoding Parameters of Digital Television for Studios (1982-1986-1990), [formerly CCIR Rec. 601-2] (Geneva: ITU, 1990)
- [24] Keith Jack, Video Demystified: A Handbook for the Digital Engineer, Third Edition (Eagle Rock, VA: LLH Technology Publishing, 2001) ISBN 1-878707-95-7
- [25] Charles Poynton, Frequently Asked Questions about Color (www.inforamp.net/~poynton, 12/30/1999) PDF document on the web
- [26] Charles Poynton, A Guided Tour of Color Space (www.inforamp.net/~poynton, 8/19/1997)PDF document on the web
- [27] Benoit Payette, Color Space Converter: R'G'B' to Y'CbCr, Xilinx application note, XAPP637(V1.0), 12 September, 2002
- [28] Andy Miller, Colour Space Conversion – Part 2, 2001/03/26(Xilinx TechXclusives – support.xilinx.com
- [29] M.A.Sid-Ahmed, Image Processing, McGrawHill, Page(s).83-98, 1995
- [30] C.Choi, et al., An image Processor for SXGA/UXGA FPG, AP-ASIC' 99, pp. 250-253,1999
- [31] Hee-Chul Kim, Byong-Heon Kwon, An image interpolator with image improvement for LCD controller , Consumer Electronics, IEEE Transactions on, pp: 263-271, Vol.47, No.2, MAY 2001
- [32] Cornelis M. van Bommel, Onno Wink, Blood pool contrast-enhanced MRA: improved arterial visualization in the steady state - MEDICAL IMAGING, IEEE Transactions on, VOL. 22, NO. 5, Page(s): 645-652, MAY 2003.
- [33] Koh, T.S.; Cheong, L.H., A physiologic model of capillary-tissue exchange for dynamic

- contrast-enhanced imaging of tumor microcirculation, Biomedical Engineering, IEEE Transactions on, Volume 50, Issue 2, Page(s):159–167, Feb. 2003.
- [34] Ro, R.J.; Forsberg, F.; Ji-Bin Liu; Monitoring angiogenesis in human melanoma xenografts using contrast-enhanced ultrasound, Biomedical Imaging: Macro to Nano, 2004. IEEE International Symposium on 15-18 Vol. 1, Page(s):520- 523, April 2004.
- [35] 110 MSPS/140 MSPS Analog Interface for Flat Panel Displays AD9883A, REV B. Analog Devices, Inc. All rights reserved. 2003
- [36] Charles Poynton, "BRIGHTNESS" and "CONTRAST" controls.pdf, http://www.poynton.com/notes/brightness_and_contrast/index.html, 2002-03-11
- [37] Charles Poynton, A Technical Introduction to Digital Video,chapter 6 Gamma,John Wiley & Sons,1999
- [38] Joseph Holmes, Emulating Correct CRT Color on LCDs with Liquid Color, October 30, 2002
- [39] Neil A. Dodgson, Quadratic Interpolation For Image Resampling - IEEE TRANSACTIONS ON IMAGE PROCESSING, VOL. 6, NO. 9, SEPTEMBER 1997,pp.1322-1326
- [40] H. S. Hou and H. C. Andrews, Cubic splines for image interpolation and digital filtering, IEEE Transaction on Acoustic, speech, signal processing, vol. ASSP-26, pp. 508–517, 1978.
- [41] S. Andrews, F. Harris, Polynomial approximations of interpolants, in Conf. Record 33rd Asilomar Conf. Signals, Systems, and Computers, vol.1, 1999, pp. 447–451.
- [42] Shezaf.N, Abramov-Segal.H, Adaptive low complexity algorithm for image zooming at fractional scaling ratio, Electrical and Electronic Engineers in Israel 2000, The 21st IEEE Convention of the 11-12 April 2000 pp:253 - 256
- [43] 吴均, 朱重光, 带锐度保持的斜投影 B2 样条图像缩放, 遥感学报, 第 6 卷第 2 期 2002 年 3 月, 108-112 页
- [44] Feng Tao, Xie Wen-Lu and Yang Lian-Xing, An architecture and implementation of image scaling conversion – IEEE ASIC, 2001. Proceedings 4th International Conference on Page(s):409 ~ 410, 23-25 Oct. 2001
- [45] Robert D. Turney and Chris H. Dick, Real Time Image Rotation and Resizing, Algorithms and Implementations, CORE SOLUTIONS GROUP, XILINX, INC. 2100 LOGIC DRIVE SAN JOSE, CA 95124-3450
- [46] Philips Semiconductors, SAA6713AH XGA analog input flat panel controller datasheet, 2004 Apr 05
- [47] Ralf Kreuger, Virtex-EM FIR Filter for Video Applications, XILINX Inc. Application Note:XAPP241 (v1.1) October 3, 2000
- [48] John F. Snow, Digital Video Test Pattern Generators, XILINX Inc. Application Note: XAPP248 (v1.0) January 7, 2002
- [49] Using Block SelectRAM+ Memory in Spartan-II FPGAs, XILINX Inc. Product Specification

- DS077-1 (v2.0) November 18, 2002
- [50] A.MURAT TEKALP (著), 崔之祐 (译), 数字视频处理, 第4章, 电子工业出版社, 北京, 1998.7, ISBN 7-5053-4776-4
- [51] M.A.Isnardi, Modeling the Television Process, Ph.D. Thesis, Mass. Inst. Of Tech., 1986
- [52] D.M.Martinez, Model-Based Motion Interpolation and its Application to Restoration and Interplation of Motion Pictures, Ph.D. Thesis, Inst.of Tech., 1986
- [53] J.S.Lim, Two-Dimensional Signal and Image Processing, Englewood Cliffs, NJ: Prentice Hall, 1990.
- [54] G.Schamel, Pre-and post-filtering of HDTV signals for sampling rate reduction and display up-conversion, IEEE Trans. Circuits and Syst. , vol. 34, pp.1432-1439, NOV.1987
- [55] L.Cafforio, F.Rocca, and S. Tubaro, Motion compensated image interpolation, IEEE Trans. Commuication, vol.COM-38, pp.215-222, Feb.1990
- [56] LQ121S1DG31 TFT-LCD Module specifications, Sharp Inc., Spec No. 12204A, June 10, 2002
- [57] 田明, 王群生, 实时有效的 OSD 系统结构的建立与分析, [J], 电视技术, 2003 年 9 期, 56-58 页
- [58] Xilinx Spartan-IIe product specification v2.0, November 18, 2002
- [59] 罗彬, 王宏远, 高清晰度电视接收机 OSD 功能的软件设计, [J], 电视技术, 2002 年 5 期, 73-75, 94 页
- [60] Genesis Microchip, gm2121 SXGA LCD Monitor Controller with Integrated Analog Interface and Dual LVDS Transmitter, December 2002
- [61] 夏继强, 周丽萍, 基于 FPGA 的串行总线扩展平台, [J], 微电子学与计算机, 2004 年 21 卷 9 期, 127-130 页
- [62] PC & VIDEO INTERFACE CONTROLLER FOR 1280 \times 1024, 1024 \times 768 RESOLUTIONS TFT LCD, Model: SVP-1280 INSTRUCTIONS, Revised: December, 2000 (SVP-1280.doc) © Digital View Ltd 1999, 2000, www.digitalview.com
- [63] PC & VIDEO INTERFACE CONTROLLER FOR TFT & PLASMA PANEL, Model: SV-1600 INSTRUCTIONS, 28 November, 2002 (SV-1600.doc) © Digital View Ltd 2002, www.digitalview.com
- [64] L.-M. Joshua, Flat panel display interface technologies, in Silicon Graphic, Mountain View, CA: Silicon Graphics, Inc., 1998
- [65] 盛磊, 徐科军, 液晶显示驱动板的设计与实现方法, 电视技术, 53-55 页, 2005.2
- [66] S. Asaad, M. Bishay , A low-cost, DSP-Based, Intelligent Vision System For Robotic Applications, IEEE International Conference on Robotics and Automation, Minneapolis Minnesota, April 1996, pp.1656-1661
- [67] 张雪松, 带有 DSP 芯片的新型实时数字图像处理系统, 光学技术, 1997.4

-
- 68] 迟泽英, 高速 DSP 视频图像数字处理电路几个关键问题的研究分析, 红外技术, 2001.2
- 69] 盛磊, 徐科军, 基于 VHDL 的 I2C 总线控制核设计, 单片机与嵌入式系统应用, 23-26 页, 2004.5
- 70] TMS320C6000 Imaging Developer's Kit (IDK) User's Guide, Texas Instruments, 9. 2001
- 71] SAA7111A Enhanced Video Input Processor (EVIP) Data sheet, HPILIPS Semiconductors, 1998, May 15
- 72] ADV7177/ADV7178 Integrated Digital CCIR-601 to PAL/NTSC Video Encoder Data Book, Analog Device, Inc. 2002

参考文献(73条)

- 1.参考文献
- 2.陈跃,王元庆 液晶显示器及其军事应用现状与发展趋势,国防技术知识 2003
- 3.王元庆,侯昌忠 航空级加固型有源液晶显示器及其现状
- 4.肖虹,赛宝信息研究中心 国外军用设备中应用的显示新技术 2001
- 5.佚名 理论与战法,战斗机驾驶舱显示/控制技术的发展 2004
- 6.GeoffWalker Liquid ColorTM and LCD Monitor Calibration 2005
- 7.Keith Jack Video Demystified 2001
- 8.Chun-Ho Kim,Si-Mun Seong Winscale:an image-scaling algorithm using an area pixel model,Circuits and Systems for Video Technology 2003(06)
- 9.Soon-Kak Kwon,Kang-Soo Seo,Jae-Kyoon Kim A motion-adaptive de-interlacing method,Consumer Electronics 1992(03)
- 10.Changming Sun De-interlacing of video images using a shortest path technique,Consumer Electronics 2001(02)
- 11.You-Young Jung,Seungjoon Yang An effective de-interlacing technique using two types of motion information 2003(03)
- 12.Sugiyama K,Nakamura H A method of de-interlacing with motion compensated interpolation,Consumer Electronics 1999
- 13.田日镇 视频显示设备的屏幕显示电路 1997
- 14.J A 库佩尔,J W 查纳 屏幕显示的链接目录结构 1998
- 15.阿伦·H·丁威迪,迈克尔·D·兰迪斯 并行模式的屏幕显示系统 1998
- 16.IT168评测室 清水反应,让LCD更精彩Senseeye技术解析 2004
- 17.Color - Wikipedia, the free encyclopedia 2005
- 18.Brightness-Wikipedia the free encyclopedia 2005
- 19.Contrast - Wikipedia, the free encyclopedia 2005
- 20.亮度 硅谷动力—eNet学院 2005
- 21.色度-维基百科,自由的百科全书 2005
- 22.色调-维基百科,自由的百科全书 2005
- 23.Saturation (color theory) - Wikipedia, the free encyclopedia 2005
- 24.ITU-R Recommendation BT.601-2.Encoding Parameters of Digital Television for Studios(1982-1986-1990),[formerly CCIR Rec.601-2 Geneva:ITU] 1990
- 25.Keith Jack,Video Demystified A Handbook for the Digital Engineer 2001
- 26.Charles Poynton Frequently Asked Questions about Color 1999
- 27.Charles Poynton A Guided Tour of Color Space 1997
- 28.Benoit Payette Color Space Converter:R'G'B' to Y'CbCr,Xilinx application note,XAPP637(V1.0) 2002
- 29.Andy Miller Colour Space Conversion - Part 2 2001
- 30.M A Sid-Ahmed Image Processing 1995
- 31.C Choi An image Processor for SXGA/UXGA FPG 1999
- 32.Hee-Chul Kim,Byong-Heon Kwon An image interpolator with image improvement for LCD controller,Consumer Electronics 2001(02)
- 33.Cornelis M,van Bommel,Onno Wink Blood pool contrast-enhanced MRA:improved arterial visualization in the steady state - MEDICAL IMAGING 2003(05)
- 34.Koh T S,Cheong L H A physiologic model of capillary-tissue exchange for dynamic contrast-enhanced imaging of tumor microcirculation 2003(02)
- 35.Ro R J,Forsberg F,Ji-Bin Liu Monitoring angiogenesis in human melanoma xenografts using contrast-enhanced ultrasound 2004
- 36.110 MSPS/140 MSPS Analog Interface for Flat Panel Displays AD9883A,REV B.Analog Devices,Inc.All rights reserved 2003
- 37.Charles Poynton BRIGHTNESS and CONTRAST 2002
- 38.Charles Poynton A Technical Introduction to Digital Video,chapter 6 Gamma 1999
- 39.Joseph Holmes Emulating Correct CRT Color on LCDs with Liquid Color 2002
- 40.Neil A Dodgson Quadratic Interpolation For Image Resampling 1997(09)
- 41.H S Hou,H C Andrews Cubic splines for image interpolation and digital filtering 1978
- 42.S Andrews,F Harris Polynomial approximations of interpolants 1999
- 43.Shezaf N,Abramov-Segal H Adaptive low complexity algorithm for image zooming at fractional scaling ratio 2000
- 44.吴均,朱重光 带锐度保持的斜投影B-样条图像缩放[期刊论文]-遥感学报 2002(2)
- 45.Feng Tao,Xie Wen-Lu,Yang Lian-Xing An architecture and implementation of image scaling conversion[会议论文] 2001
- 46.Robert D Turney,Chris H Dick Real Time Image Rotation and Resizing,Algorithms and Implementations
- 47.Philips Semiconductors SAA6713AH XGA analog input flat panel controller datasheet 2004
- 48.Ralf Kreuger Virtex-EM FIR Filter for Video Applications,XILINX Inc.Application Note:XAPP241 (v1.1) 2000
- 49.John F Snow Digital Video Test Pattern Generators Application Note:XAPP248 (v1.0) 2002
- 50.Using Block SelectRAM+ Memory in Spartan-II FPGAs,XILINX Inc.Product Specification DS077-1 (v2.0) 2002
- 51.A MURATTEKALP,崔之祐 数字视频处理 1998
- 52.M A Isnardi Modeling the Television Process 1986
- 53.D M Martinez Model-Based Motion Interpolation and its Application to Restoration and Interplation of Motion Pictures 1986
- 54.J S Lim Two-Dimensional Signal and Image Processing 1990
- 55.G Schamel Pre-and post-filtering of HDTV signals for sampling rate reduction and display up-conversion 1987
- 56.L Cafforio,F Rocca,S Tubaro Motion compensated image interpolation 1990
- 57.LQ 121S 1DG31 TFT-LCD Module specifications,[Sharp Inc.,Spec No.12204A,] 2002
- 58.田明,王群生 实时有效的OSD系统结构的建立与分析[期刊论文]-电视技术 2003(9)
- 59.Xilinx Spartan-IIe product specification v2.0 2002
- 60.罗彬,王宏远 高清晰度电视接收机OSD功能的软件设计[期刊论文]-电视技术 2002(5)
- 61.Genesis Microchip,gm2121 SXGA LCD Monitor Controller with Integrated Analog Interface and Dual LVDS Transmitter 2002
- 62.夏继强,周丽萍,满庆丰 基于FPGA的串行总线扩展平台[期刊论文]-微电子学与计算机 2004(9)
- 63.PC & VIDEO INTERFACE CONTROLLER FOR1280 × 1024,1024 × 768 RESOLUTIONS TFT LCD,Model:SV-1280 INSTRUCTIONS,Revised:December,2000 (SVP-1280.doc)(c) Digital View Ltd 1999 2000
- 64.PC & VIDEO INTERFACE CONTROLLER FOR TFT & PLASMA PANEL,Model:SV-1600 INSTRUCTIONS,28 November,2002 (SV-1600.doc) 2002
- 65.L -M Joshua Flat panel display interface technologies 1998
- 66.盛磊,徐科军,赵明,陈智渊 液晶显示驱动板的设计与实现[期刊论文]-电视技术 2005(2)
- 67.S Asaad,M Bishay A low-cost,DSP-Based,Intelligent Vision System For Robotic Applications 1996
- 68.张雪松 带有DSP芯片的新型实时数字图像处理系统 1997(04)
- 69.迟泽英,李坤宇,李武森,陈文建 高速DSP视频图像数字处理电路几个关键问题的研究分析[期刊论文]-红外技术 2001(2)
- 70.盛磊,徐科军 基于VHDL的I2C总线控制核设计[期刊论文]-单片机与嵌入式系统应用 2004(5)
- 71.TMS320C6000 Imaging Developer's Kit (IDK) User's Guide,Texas Instruments 2001
- 72.SAA7111A Enhanced Video Input Processor (EVIP) Data sheet,HPILIPS Semiconductors 1998
- 73.ADV7177/ADV7178 Integrated Digital CCIR-601 to PAL/NTSC Video Encoder Data Book 2002