

顺序形态图像处理器的硬件实现¹

张 波 张焕春 经亚枝

(南京航空航天大学自动化学院 南京 210016)

摘 要: 该文在阐述了灰度图像顺序形态变换的基础上,介绍了顺序形态变换硬件实现的图像处理系统。该系统采用 DSP+FPGA 的框架结构,利用 FPGA 的可重构特性将其中一片 FPGA 作为协处理器可以实现不同的图像处理功能。文中将软硬件实现的顺序形态图像处理图片在处理效果和速度两个方面作了比较。算法在 FPGA 芯片上的高速实现特征使数学形态学在图像实时处理领域的应用成为可能。

关键词: 顺序形态学, 图像处理器, 可重构, 协处理器, DSP, FPGA

中图分类号: TN911.73 **文献标识码:** A **文章编号:** 1009-5896(2004)12-1856-07

A Hardware Realization of Order Morphological Image Processor

Zhang Bo Zhang Huan-chun Jing Ya-zhi

(College of Automation Eng., Nanjing Univ. of Aeronautics & Astronautics,
Nanjing 210016, China)

Abstract Firstly, order morphological transformations on gray image are introduced in this paper, then an image processing system in which order morphological transformation is implemented by hardware is presented. The system is composed of Digital Signal Processor (DSP) and Field Programmable Gate Array (FPGA), one FPGA as coprocessor can implement different functions due to its re-configurable characteristic. The images processed by software and hardware realization are compared in effect and speed. The algorithm is implemented successfully and its speed is very high. It makes possible that mathematical morphology is applicable in real time image processing.

Key words Order morphology, Image processor, Re-configurable, Coprocessor, DSP, FPGA

1 引言

数学形态学是一种非线性图像处理和理论。随着数学形态学的发展,特别是“顺序统计学”思想的注入,促使数学形态学发展成为顺序形态学。目前,顺序形态滤波技术受到了人们的普遍重视,已广泛应用于信号、图像分析和处理等领域^[1,2]。复合顺序形态滤波是顺序形态滤波的推广,它概括了基本形态滤波和中值滤波,通常当滤波窗尺寸一定时,其滤波特性取决于百分位值的大小。在实际应用中,往往是根据信号和噪声的特性来选择百分位值^[3]。对于有脉冲噪声的图像,由于噪声出现在灰度值极大或极小的某些点,然而顺序形态学算子的运算,使用的是局部区域内的第 m 个最大或最小值,而不是 Crisp 形态学算子的最大或最小值,避开了噪声的干扰,从而提高了算子的抗干扰性。

然而顺序形态滤波器作为一种图像低层处理的非线性滤波器,在应用中遇到的最大问题就是运算负担重和实时处理速度低,这很大程度上影响了它的广泛应用。其主要原因是参加运算的数据量巨大,例如一幅单色图像需 256K byte(512×512×8 bit),对该幅图像进行处理时主要

¹ 2003-07-09 收到, 2004-01-20 改回

国家部级基金资助项目

运算有: 比较、加法、乘法以及其它的非线性运算。解决运算复杂和实时处理速度低的两个有效方法是: 第一, 寻找快速算法; 第二, 利用硬件实现这些算法。随着电子集成电路制造技术的飞速发展, 算法硬件化的进程已势不可挡。国外对数学形态学的算法与硬件结构实现的研究正如火如荼, 而国内在这方面的研究几乎是空白。本文将介绍顺序形态图像处理可以推广应用的算法基础和硬件实现方法。

2 顺序形态变换基础

灰值图像的顺序形态变换^[4]是图像 Minkowski 运算的拓广, 也是有限数据排序的应用。

定义 1 设数字图像 $f: Z^{(n)} \rightarrow Z, 0 \leq f(x) \leq M$; 结构元素 B 为 $Z^{(n)}$ 上的有限子集, 常包含原点, $0 < \mu(B) = k < +\infty$ (测度 $\mu(\bullet)$ 为点计数), $B = \{x_1, x_2, \dots, x_k\}$. $f(x)$ 在 B 上的 k 个值依次从小到大排列为:

$$f(x_1^*) \leq f(x_2^*) \leq \dots \leq f(x_k^*) \quad (1)$$

“*”表示排序后的顺序量, $f(x)$ 在 B 上的 d 阶顺序量定义为

$$\text{ord}\{d; f|B\} \triangleq f(x_d^*), \quad d = 1, 2, \dots, k \quad (2)$$

定义 2 数字图像 f 关于结构元素 B 的顺序形态变换 $f \oplus B, (p = 0, 1/(k-1), \dots, -1)$ 定义为图像 f 在 B_x 上的 $(k-1)p+1$ 阶顺序量 (令 $d = (k-1)p+1$), 即

$$(f \oplus B) = \text{ord}\{(k-1)p+1; f|B_x\}, \quad p = 0, 1/(k-1), \dots, 1 \quad (3)$$

其中 p 称为顺序形态变换的百分位。那么, 对应于百分位 $p = 0, 1/(k-1), \dots, 1, d = 1, 2, \dots, k$ (d 称为顺序形态变换的阶数)。

特别地, 当 $p = 0, 1/(k-1), \dots, 1, \forall x \in Z^{(n)}$,

$$(f \oplus B)(x) = \sup\{f(u) : u \in B_x\} = f \oplus B \quad (4)$$

$$(f \ominus B)(x) = \inf\{f(u) : u \in B_x\} = f \ominus B \quad (5)$$

其中, \oplus, \ominus 分别表示传统形态学膨胀和腐蚀算子。可见, 数字图像的顺序形态变换概括了数字图像的 Minkowski 和差运算, 也包括了二值图像形态变换。当 $M = 1$ 时, $f(x)$ 是取值为 0 或 1 的二值图像。

定义 3 数字图像的复合顺序形态变换

$$f(p, q)B \triangleq (f \oplus B_x) \oplus B, \quad (p, q = 0, 1/(k-1), \dots, 1) \quad (6)$$

并称之为图像 f 关于结构元素 B 的二重对称复合顺序形态变换。显然,

$$f(0, 1)B = f \circ B, f(1, 0)B = f \bullet B \quad (7)$$

$$f^c(p, q)B = [f(1-p, 1-q)B]^c \quad (8)$$

其中, “ \circ ”表示传统形态学开运算, 而 “ \bullet ”表示传统学形态闭运算。

定义 4 n 重复合顺序形态变换定义为

$$f \oplus^n B \triangleq (\dots((f \oplus B) \oplus B) \oplus \dots) \oplus B, \quad (n \text{ 次}) \quad (9)$$

特别地,

$$f \oplus^n B = f \oplus nB, \quad f \otimes^n B = f \otimes nB \tag{10}$$

3 顺序形态图像处理系统

顺序形态图像处理系统通常是包含多种算法的综合性系统。它的基本顺序形态变换算子属于底层图像处理,而它们的级联运算可以构成图像滤波、边缘检测、图像增强、图像分割、图像压缩和骨架提取等各种中级处理算法,而这些形形色色的算法又在图像识别(或模式识别)等高级处理中有广泛应用。

随着大规模可编程器件的发展,采用 DSP+FPGA 结构的信号处理系统显示出了其优越性,正逐步得到重视。与通用集成电路相比, FPGA 芯片具有体积小、重量轻、功耗低、可靠性高等几方面的优势。DSP+FPGA 结构最大的特点是结构灵活,有较强的通用性,适于模块化设计,从而能够提高算法的效率;同时其开发周期较短,系统宜于维护和扩展,适合于实时图像信息处理。实时图像信息处理系统中,底层的信号处理算法处理的数据量大,对处理速度的要求高,但运算结构相对比较简单,适于用 FPGA 进行硬件实现,这样能同时兼顾速度及灵活性。高层处理算法的特点是所处理的数据量较低层算法少,但算法的控制结构复杂,适于用运算速度快、寻址方式灵活、通信机制强大的 DSP 芯片来实现。

3.1 DSP+FPGA 图像处理系统结构简介

系统基于 DSP+FPGA 构架,如图 1 所示。图中主处理器采用 AD 公司的 ADSP21060 芯片^[5,6]。 AMLCD 采用 Korry 公司的 KDM710 全彩色液晶显示模块,该模块为 5×5 英寸、600×600 分辨率彩色液晶显示模块, 24 位数字 RGB 输入。两个帧存 A 和 B 采用 ISSI 公司的 61LV5128 高速异步静态 RAM(读写速度可达 10 ns)。系统采用两个帧存轮流切换操作的方法:当 DSP 向其中一个帧存写像素时,由 FPGA 构成的帧存控制器将另一个帧存中的像素顺序读出送给 AMLCD,反之亦然。系统通过 IDT 公司的 70V24 双口 RAM 接收主机的处理信息。系统中采用了两块大门数 FPGA: FPGA(1)^[7](Xilinx Virtex II XC2V1000)是一块具有 100 万个系统门的 FPGA,作为系统的协处理器;图中的 FPGA(2)^[8]帧存控制器和视频控制器由 Xilinx 公司的 SpartanII 芯片 XC2S150(15 万个系统门)实现。

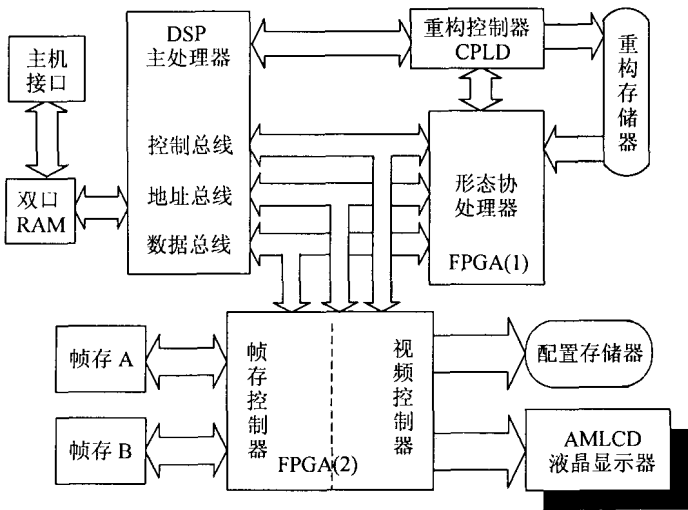


图 1 形态图像处理系统原理框图

3.2 形态图像协处理器的设计

在此着重介绍协处理器 FPGA(1) 中的逻辑设计。图 2 为 3×3 任意结构元素的可重构协处理器顺序形态运算单元。通常的视频照相机将图像数据以一连串的数据流 DATA_IN(如逐行) 传送数据。一整帧图像只有等到最后一行图像传送完并且图像完全重组后, 才能开始处理。而且, 采集到的图像数据通常存储在 RAM 中以供 DSP 或其它微处理器随机访问处理。因此, 这种处理过程将导致在图像获取期间产生空闲时间以及在控制逻辑和 RAM 上的开销很大。图 2 所示的处理单元结构可以有效解决这样的矛盾, 单元中的各组成部分的主要作用为: (1) FIFO: 图像行延迟锁存; (2) 寄存器组: 图像像素延迟及存储; (3) 可编程结构元素: 配置任意结构元素; (4) 判决单元: 邻域像素的比较排序算法执行单元; (5) 顺序寄存器组: 顺序存储邻域像素并输出 DATA_OUT; (6) 控制单元: 根据 RANK ORDER 信号控制图像输出阶数及排序算法的选择。

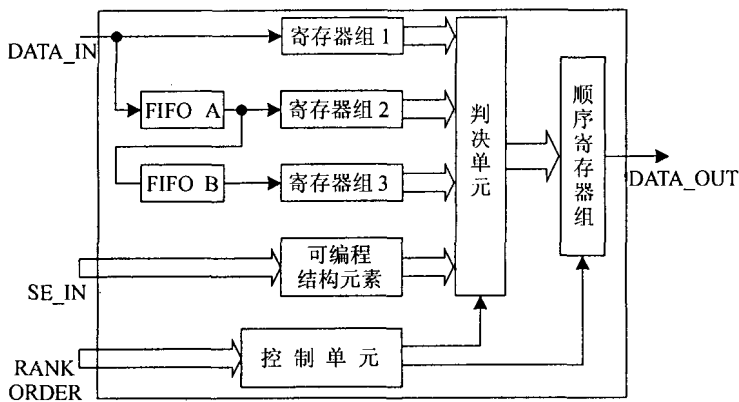


图 2 顺序形态运算单元

动态可编程的结构元素通过使用附加的控制逻辑控制单个元素的开闭来实现。结构元素中每个动态可编程像素必须与一个附加的控制信号相连接, 这个控制信号将控制着结构元素中与之连接的像素的开与闭。在膨胀运算中控制信号 SE_IN 与各自的像素信号是用“与”门连接在一起的。结构元素中的像素通过在其控制信号上加逻辑“1”被开放, 加逻辑“0”被关闭。

3.3 并行网络排序算法描述

并行网络排序算法的基本元件就是排序网络, 亦称为分类网络。判决单元的主要结构就是并行排序网络。它是由比较器和交换器组成的, 文中用图 3 表示这一比较交换电路。

以前关于最优排序的研究都集中在比较次数极小化上, 而很少或者根本不注意它所引起的任何数据移动或者可能需要的判定结构的复杂性。因为传统的排序算法都是在计算机上串行执行的, 也就是说在一个瞬间只能进行一个运算。那么, 排序算法中使用的比较次数的多少代表了算法执行的时间长短, 它们是成正比的线性关系。比如图 4 所示的传统冒泡排序算法, 它需要 15 步顺序比较运算才能实现排序功能。

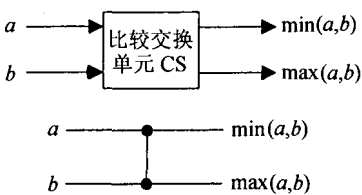


图 3 比较交换电路及符号表示

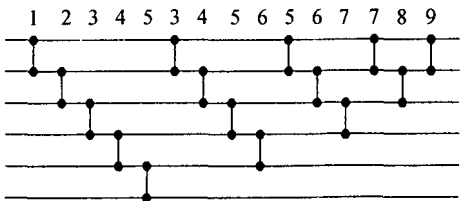


图 4 传统冒泡排序算法

本文介绍的并行网络排序算法采用的是一个排列成类似砖墙式的排序网络结构, 具有 $n(n-1)/2$ 个比较器 (证明略), 深度为 n 层。对于同一个 n 层网络, 结构可能有两种情况, 但是它们使用的比较器和延迟时间都是相同的, 也就是说它们的空间复杂度和时间复杂度是分别相同的。

这种并行网络排序算法实现过程类似于传统的“冒泡”排序法。以图 5 的 3×3 十字形结构元素为例, 阵列的每个排序单元比较两个数的大小, 大者往下降, 小者往上升。数的序列分成两个一组, 在排序单元的作用下, 每个状态中较大的数“沉”下去, 较小的数“冒”上来。整个排序网络同时又形成一种流水线作业方式, 每一列可作为流水线的一个子操作。每一列的比较单元有两个输入和两个输出, 上边的输出为输入数据中的小者。

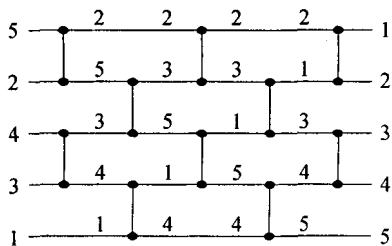


图 5 并行网络排序算法示意图

这种奇偶传递网络结构不一定具有极小数量的比较器, 也不一定具有极小的时间延迟, 但是这种排序网络在硬件中是比较容易实现的, 而且这种排序网络所需要的延迟时间就是 n , 可见它的时间复杂度仅为 $O(n)$ 。另外, 由于采用了流水线机制, 所以一个时钟周期就能产生一个像素输出。这在实际应用中是充足有余的。

硬件实现的排序网络不同于普通计算机上的传统排序算法, 因为比较运算可以并行地进行, 这样在充分利用硬件资源的基础上可以很大程度地提高排序算法的速度。网络排序算法是并行计算的成功应用。

4 硬件实现效果比较

形态图像协处理器设计已经用 VHDL 语言在 Xilinx 公司的 FPGA 系列芯片上成功实现。对于 512 像素宽的图象, 延迟线 FIFO 可使用 Xilinx Virtex II FPGA 中的 Block-RAM 来实现, 而且分别用不同形状的结构元素实现了上述功能。动态可编程结构元素尺寸从 3×3 到 31×31 不等。



图 6 Lena 原始图片

由于试验的输入数据是大量的图像数据, 所以在功能仿真时使用文本输入输出包集合 (TEXTIO)。试验中将图像输入数据转化为文本文件需要的格式, 再将处理后的结果读出, 并还原为图像数据格式, 用 Matlab 软件读出显示如图 7 所示。这种仿真方式代替了原先重复繁琐的手工输入进行功能和时序仿真, 可以令调试者一目了然, 迅速判断试验结果的正确与否, 再也不用为那些眼花缭乱的时序波形图而头疼。

4.1 软硬件处理效果比较

本文中以 Lena 图片 (如图 6) 为处理对象, 用 3×3 的矩形结构元素对其分别进行顺序形态变换阶数 $d = 1, \dots, 9$ (即 $p = 0, \dots, 1$) 的顺序形态处理。由于篇幅所限, 图 7 表示了膨胀和腐蚀的两个特例, 即 $p = 1$ 和 0 。实验证明, 对于不同百分位 p 的顺序形态变换, 软、硬件处理后的图像灰度误差皆为零 (其三维显示为零平面, 如图 7(e) 所示), 即软硬件处理后的图像效果完全一致, 然而它们的处理速度却有着天壤之别。

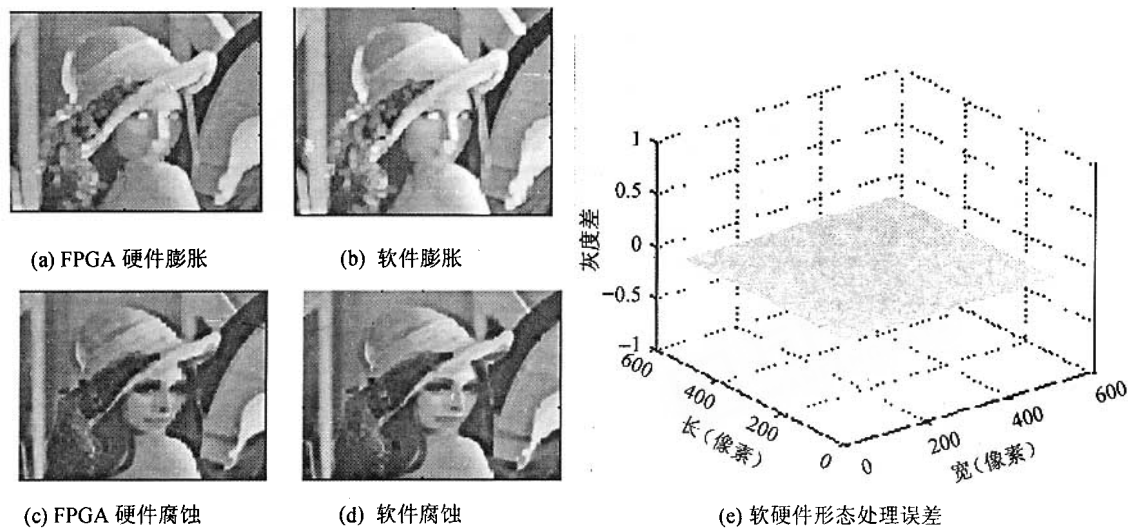


图 7 膨胀和腐蚀的软硬件实现效果比较

4.2 软硬件处理速度比较

对于 512×512 的 Lena 图片和 3×3 的矩形结构元素,膨胀和腐蚀这两个最基本的形态学算子执行时间相同。在主频为 800 MHz 奔腾Ⅲ处理器上,算法经过优化后,最快执行时间为 100 ms,完全不能满足实时处理的需要;而在外部时钟为 40 MHz,通过内部 DLL(Delay Locked Loop)技术倍频实现内部时钟为 80 MHz(允许的最高时钟频率为 108.085 MHz)的 FPGA 上图像处理时间却仅为 2.6 ms。可见,形态算子硬件实现的速度比软件实现提高了近两个数量级,而且完全可以胜任形态图像实时处理的各种任务,如形态滤波、边缘提取和图像分割等形态学算法。

作为形态学图像处理器的实验平台,该系统的资源条件特别是 FPGA 的系统门数应能充分满足各种图像处理的需求。本文介绍的顺序形态图像处理器设计中资源使用情况如表 1 所示(使用 FPGA Express3.7 综合器、ISE4.2i 布线工具)。

表 1 顺序形态图像处理器资源使用报告

Number of External IOBs	19 out of 172	11%
Number of LOCed External IOBs	0 out of 19	0%
Number of RAMB16s	2 out of 40	5%
Number of SLICEs	888 out of 5120	17%
Number of BUFGMUXs	1 out of 16	6%

5 结论

本文介绍的顺序形态图像处理系统已经成功实现,实验证明:本文介绍的顺序形态处理器的实现方法在合理的硬件上实现是可行的。这种硬件实现算法在程序稍加修改的情况下即可同时适合于传统二值和灰值数学形态学,只需将 VHDL 程序中的 generic 语句的信息传递参数作相应修改。硬件结构的高速实现特征使数学形态学在图像实时处理领域的应用成为可能。另外,顺序形态变换的硬件结构为软数学形态学在 FPGA 上的实现提供了一个参考模型,这也是本文进一步研究的方向。

参 考 文 献

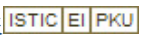
- [1] Serra J. Image Analysis and Mathematical Morphology. New York, Academic Press, 1982: 5-26.
- [2] Arce G R, Foster R E. Detail preserving ranked-order based filters for image processing. *IEEE Trans. on ASSP*, 1989, ASSP-37(1): 83-98.
- [3] 吴敏金. 二值序列的复合顺序滤波. 电子学报, 1986, 14(3): 76-81.
- [4] 吴敏金. 图象形态学. 上海: 上海科学技术文献出版社, 1991: 214-247.
- [5] 苏涛, 吴顺君, 廖晓群. 高性能数字信号处理器与高速实时信号处理. 西安: 西安电子科技大学出版社, 1999: 46-60.
- [6] 曾涛, 李耽, 龙腾. 高速实时数字信号处理器 SHARC 的原理及其应用. 北京: 北京理工大学出版社, 2000: 73-100.
- [7] Xilinx Inc. Virtex-II Platform FPGA Handbook. San Jose, California, Xilinx Inc., 2001: 330-335.
- [8] Xilinx Inc. Spartan-II 2.5V FPGA Family: Functional Description. San Jose, California, Xilinx Inc., 2001: 7-20.

张 波: 男, 1977 年生, 博士生, 研究领域为计算机图形图像处理和测控系统技术研究.

张焕春: 男, 1940 年生, 教授, 博士生导师, 研究领域为计算机测控、信号处理、开关磁阻电机等.

经亚枝: 女, 1942 年生, 副教授, 研究领域为计算机测控系统技术等.

顺序形态图像处理器的硬件实现

作者: [张波](#), [张焕春](#), [经亚枝](#)
作者单位: [南京航空航天大学自动化学院, 南京, 210016](#)
刊名: [电子与信息学报](#) 
英文刊名: [JOURNAL OF ELECTRONICS & INFORMATION TECHNOLOGY](#)
年, 卷(期): 2004, 26(12)
被引用次数: 0次

参考文献(6条)

1. 吴敏金 [二值序列的复合顺序滤波](#) [期刊论文] - [电子学报](#) 1986(03)
2. 吴敏金 [图象形态学](#) 1991
3. 苏涛, 吴顺君, 廖晓群 [高性能数字信号处理器与高速实时信号处理](#) 1999
4. 曾涛, 李昉, 龙腾 [高速实时数字信号处理器SHARC的原理及其应用](#) 2000
5. Xilinx Inc [Virtex-II Platform FPGA Handbook](#). San Jose 2001
6. Xilinx Inc [Spartan-II 2.5V FPGA Family: Functional Description](#) 2001

本文链接: http://d.g.wanfangdata.com.cn/Periodical_dzkxxk200412002.aspx

授权使用: 陕西理工学院(sxlgxy), 授权号: 14ac5b4f-0467-4f18-a1c0-9df2010ec86e

下载时间: 2010年9月15日