

一种图像动态范围压缩算法及其 FPGA 实现

唐崇武, 李会方, 王怡捷

TANG Chong-wu, LI Hui-fang, WANG Yi-jie

西北工业大学 电子信息学院, 西安 710072

Department of Electronics and Information, Northwestern Polytechnical University, Xi'an 710072, China

E-mail: t2801@163.com

TANG Chong-wu, LI Hui-fang, WANG Yi-jie. Nonlinear transform based dynamic range compression algorithm and its implementation on FPGA. Computer Engineering and Applications, 2010, 46(13): 59-61.

Abstract: DRC is a basic method of image enhancement which is applied in image recognition, video surveillance and so on. According to the applications, a DRC algorithm of image based on nonlinear transform is proposed. Aiming at the processing of an image, this algorithm based on FPGA is implemented, and the whole framework and arithmetic logic of the DRC system are given. Attention is paid to the issue of how to optimize FPGA's area and speed, and a pipeline control logic is proposed. Verilog HDL is used to describe the design, and then Ncverilog is used to assemble and simulate the code based on Linux. The simulation and implementation of this system are performed by Xilinx's FPGA design tool Synplify Pro 8.2.1. The results show the validity and feasibility of this design.

Key words: nonlinear transform; dynamic range compression; Field Programmable Gate Array (FPGA)

摘 要: 灰度动态范围压缩是一种基本的图像增强处理方法, 广泛应用于图像识别, 视频监控等领域中。结合这一应用, 提出了一种基于非线性变换的动态范围压缩算法, 并且以 FPGA 为基础, 针对一幅图像的处理进行硬件实现, 给出了硬件整体构架以及算法逻辑, 并针对 FPGA 速度与面积优化的问题, 完成了控制逻辑的流水线设计。最后采用 Verilog HDL 对设计进行了描述, 利用 Ncverilog 对模块进行了仿真, 给出了基于 Synplify Pro 8.2.1 的实现方案。结果表明, 该设计较好地实现了图像动态范围压缩, 其硬件实现构架是行之有效的。

关键词: 非线性变换; 动态范围压缩; 现场可编程门阵列

DOI: 10.3778/j.issn.1002-8331.2010.13.018 文章编号: 1002-8331(2010)13-0059-03 文献标识码: A 中图分类号: TP391.41

1 引言

真实世界的场景包含广泛的灰度范围。然而由于图像采集传感器的局限性以及通用图像显示设备只适合输出小动态范围灰度图像^[1], 使得图像呈现在眼前时, 往往会丢失较高或较低灰度范围的细节信息。因此, 对原始图像进行动态范围压缩 (Dynamic Range Compression, DRC), 就成为图像产生过程中的一个重要环节^[2], 并且成为图像后续处理, 包括对比度增强, 饱和度增强和噪声抑制等处理环节的基础。提出了一种基于非线性变换的局部动态范围压缩算法, 然后考虑到在实际应用中, 一幅图像的处理往往包含海量数据, 因此以逻辑和运算资源都相当丰富的 FPGA 为基础, 结合 Verilog HDL 描述进行了算法的硬件实现。

2 DRC 算法描述

2.1 DRC 算法简介

根据映射曲线的不同, 通常将图像动态范围压缩算法分为

线性变换和非线性变换, 又根据映射曲线的应用范围不同分为全局映射和局部映射。线性变换只能对图像灰度级简单地按比例压缩, 在高动态范围图像处理中效果不好; 全局映射不能充分考虑到图像特定区域以及特定灰度值范围的像素, 在处理时往往容易丢失细节, 对直方图为单峰分布或弱双峰分布图像改进效果好^[3], 但是对具有双峰直方图分布的图像改进效果不好。针对以上方法的缺点, 在非线性变换的基础上提出一种局部 DRC 算法, 该方法在处理高动态范围图像时, 有效地保持了图像的细节信息。

2.2 算法描述

提出的局部映射算法在处理某一像素点时, 使用以该像素点为中心的 5×5 搜索窗口所覆盖的像素点作为参考点, 并由该窗口 25 个像素的灰度均值来设计映射函数。在处理不同的像素点时, 所采用的映射函数会有所不同。

针对灰度级为 0~255 的图像, 所设计的映射函数为:

$$\text{norm_Y}'(i,j) = d \cdot \text{norm_Y}(i,j)^c - e \cdot \text{norm_Y}(i,j)^k \quad (1)$$

基金项目: 国家自然科学基金 (the National Natural Science Foundation of China under Grant No.60672184)。

作者简介: 唐崇武 (1984-), 男, 硕士生, 主要研究领域为微电子学与固体电子学; 李会方 (1962-), 男, 博士, 教授, 主要研究领域为数字信号处理, 数字图像处理和多媒体信息处理, 计算机应用; 王怡捷 (1986-), 女, 硕士生, 主要研究领域为微电子学与固体电子学。

收稿日期: 2009-10-13 修回日期: 2009-12-02

$$\text{其中 } \text{norm_}Y(i,j) = \begin{cases} \frac{Y(i,j)}{256} & M(i,j) \geq 32 \\ \frac{Y(i,j)+1}{256} & M(i,j) < 32 \end{cases} \quad (2)$$

式(1)中, $\text{norm_}Y(i,j)$ 是当前处理像素 $p(i,j)$ 的灰度值 $Y(i,j)$ 的归一化值, $M(i,j)$ 是以 $p(i,j)$ 为中心的 5×5 窗口所覆盖的 25 个像素点的灰度均值, 其计算方法如下:

$$M(i,j) = \frac{1}{25} \sum_{m=-2}^2 \sum_{n=-2}^2 Y(i+m, j+n) \quad (3)$$

由于图像中较暗的区域往往隐含有难以辨别的噪声, 同时为了增强较暗区域的细节, 因此在式(2)中, 当窗口均值小于 32 时, 用 $[Y(i,j)+1]/256$ 作为归一化灰度值。

在式(1)中, 增益系数 d , e 以及指数系数 c 同样由均值 $M(i,j)$ 得到。其中, 根据 $M(i,j)$ 的不同, c 均匀分布于 $[0.5, 2.5]$ 的范围内; d, e 由式(4)给出:

$$d = \begin{cases} 1.5 - \frac{M(i,j)-191}{256} & M(i,j) > 191 \\ 1.5 & M(i,j) \leq 191 \end{cases} \quad (4)$$

$$e = \begin{cases} 0.5 - \frac{M(i,j)-191}{256} & M(i,j) > 191 \\ 0.5 & M(i,j) \leq 191 \end{cases}$$

由上可知, 以幂函数变换为基础设计映射函数, 并且随着搜索窗口像素灰度均值的不同, 在图像不同区域所采用的映射函数也有所不同, 实现了局部映射。综上所述, 采用该算法进行图像 DRC 处理的一般步骤为:

- (1) 从原始图像中读取以待处理像素点为中心的 5×5 搜索窗口覆盖的 25 点灰度值;
- (2) 根据公式(3)计算窗口均值 $M(i,j)$;
- (3) 根据公式(1)、(2)确定当前映射函数;
- (4) 根据归一化值 $\text{norm_}Y(i,j)$ 和映射函数计算得到动态范围压缩后的归一化值 $\text{norm_}Y'(i,j)$, 在此基础上乘以 256, 得到最终的 DRC 输出。

3 基于 FPGA 的硬件实现

3.1 系统整体构架

实现方案选取 Xilinx 公司的 Virtex-4 族 XC4VLX15 系列 FPGA 芯片, 该芯片拥有 13 824 个 LE 单元, 48 个 18 Kb 的 RAM 存储块, 最大 RAM 存储块为 864 Kb, 此外还包括 128 个由一个 18×18 位乘法器、一个加法器和一个累加器构成的 XtremeDSP Slice 单元, 因此该系列芯片不仅逻辑资源丰富, 而且具有较强的运算能力, 完全适合应用于海量数据处理领域。DRC 系统整体构架如图 1 所示。

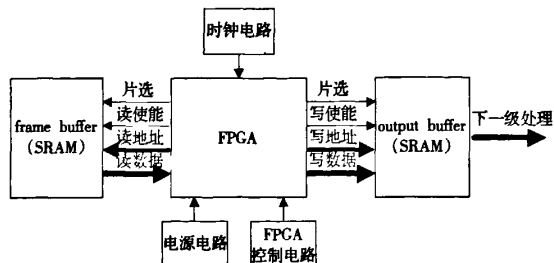


图1 DRC系统整体构架图

处理中, 原始图像按照 420 的 YUV 格式存储于外部帧缓存器, 处理结果写入输出帧缓存器, 供下一级处理。FPGA 通过

给出片选、读写使能、读写地址信号来控制数据的读写。对一幅图像的处理是从其左上角开始, 从帧缓存器读取数据, 并按行进行处理。在设计中, FPGA 与外部 SRAM 采用 32 bit 的数据总线进行通讯, 每次可以读取 4 个像素点的 8 bit 的灰度分量 Y , 因此设计中以 4 点处理作为流水线结构的基础。

3.2 基于硬件实现的算法逻辑

为了使算法易于硬件实现, 作出如下考虑:

3.2.1 图像边界的填充

在读取 5×5 窗口数据时, 需要注意的是图像边界处的像素点没有完整的 5×5 窗口, 因此在处理这些点时, 必须进行填充操作, 如图 2 所示。

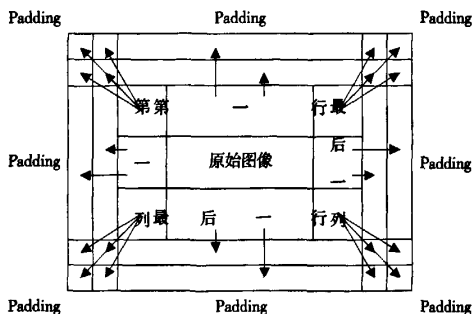


图2 图像边界填充方式

3.2.2 片内数据存储

一般的 DSP 处理采用数组来存储数据。但是在 FPGA 中定义数组非常消耗资源, 尤其是当数组成员的位宽很大时^[9]。因此, 在片内构建了一个局部存储器来存储数据。不同于由 RAM 构成的一般数组, 它是由寄存器单元搭建而成, 其存储单元与 SRAM 类似, 由两个反相器互相锁存来保持存储内容。由于需要存储的数据不是太多 (5×8 , 处理 4 个点需要的像素灰度值数), 因此采用由寄存器单元搭建的局部存储器 (local memory) 来存储数据不仅读写速度快, 而且不会过多地占用 FPGA 资源。

3.2.3 更新数据存储

为了实现处理的流水线操作, 需要在上一级处理的同时读取下一级处理数据 (5×4 : 准备下一级 4 点处理需要更新的像素灰度值数), 可以简单地用 20 个寄存器来存储这些数据, 并且在上一级处理结束时将这些数据更新到局部存储器中。

3.2.4 非线性变换计算

在运算中, 对式(1)进行如下变换:

$$\text{norm_}Y' = d \cdot \exp[c \cdot \log(\text{norm_}Y)] - e \cdot \exp[3c \cdot \log(\text{norm_}Y)] \quad (5)$$

由于灰度级为 0~255, 对于上式中的对数和指数运算可以构建 256 查找表 (LUT) 来完成; 系数 c 同样可以构造一个 256 查找表来得。

综上所述, 基于硬件实现的算法逻辑如图 3 所示。

3.3 控制逻辑及流水线设计

控制逻辑的流水线设计及其状态机转移图如图 4 所示。根据算法逻辑, 在时钟频率为 100 MHz 时, 可以在 3 个时钟周期内完成一个像素点的处理。为了最大限度地降低 FPGA 中乘法器和加法器等运算模块的消耗, 实现模块复用, 设计了图 4 所示 4 点处理流水线结构。

级间流水线结构的控制逻辑可以由状态机来实现。由于行首数据读取与行间更新数据读取有所不同, 故分为两个状态考虑。图中 state2 和 state3 占用 6 个周期, 正是 4 点处理需要的

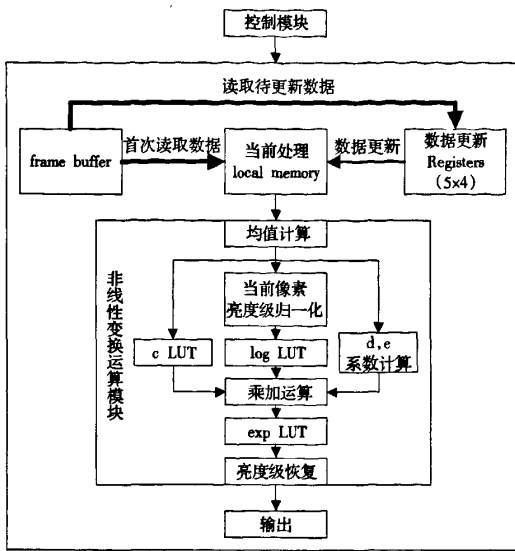


图3 基于硬件实现的算法逻辑

时间。由此实现了级间的不间断流水线处理。

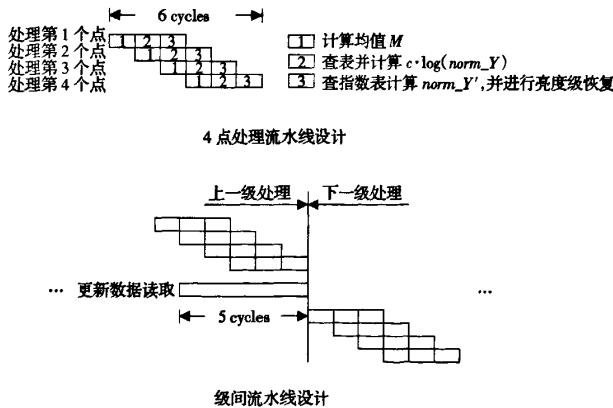


图4 4点处理流水线结构设计图

4 仿真结果

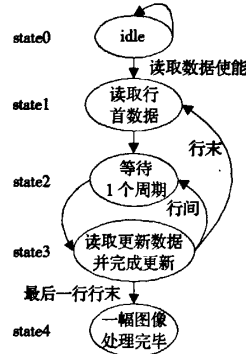
根据算法结构和控制逻辑,以处理一幅 640×480 图像为例,编写了图像 DRC 系统的 Verilog 程序,在 Linux 系统下应用 Ncverilog 编译后,在 Cadence 公司的 Novas Verdi 软件上进行了逻辑仿真。仿真波形如图 5 所示。

图中 $y_{00} \sim y_{47}$ 是处理当前 4 点的输入数据, DRC_y4 是处理结果。

利用 Synplify Pro 8.2.1, 设定约束频率为 100 MHz, 可以得到 DRC 系统的仿真时序, 如表 1 所示。从表 1 中可以看出, 系统延迟仅为 $-0.338 \mu s$, 在该约束频率下处理可行, 因此具有较高的处理速度。表 2 为该系统的资源利用情况, 从中可以看出, 除了由于构建 LUT 占用较多片内 RAM 资源(综合软件将其自动优化为 ROM)外, 系统对其他资源的利用率都不高, 因此达到了实现系统时 FPGA 面积和速度优化组合的目的。

5 结论

以 FPGA 硬件实现为目标, 提出了一种基于非线性变换的图像动态范围压缩算法。在设计硬件实现方案时, 通过流水线设计, 在最大限度节约 FPGA 资源的同时, 实现了高速处理。最



数据读取控制状态机

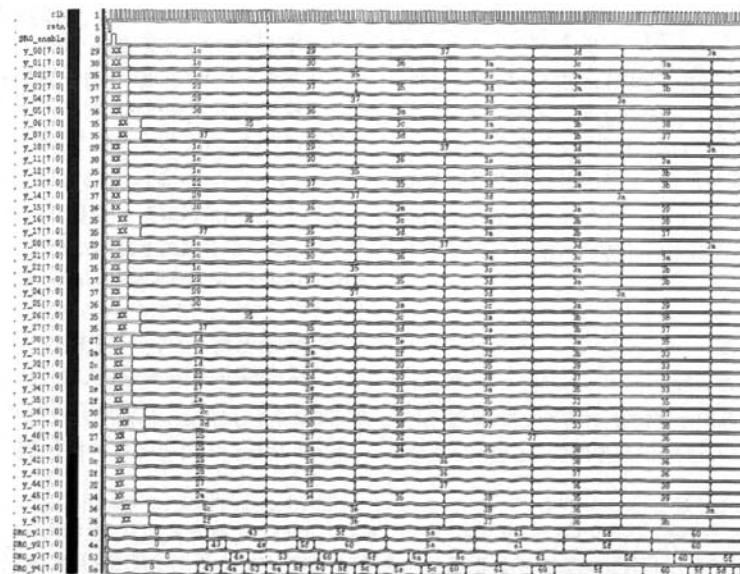


图5 仿真波形图

(下转 94 页)

```

}
else return( head) /* 结点是根,返回 */
}

```

4 结论

蠕虫扩散过程的形式化描述对于理解复杂的扩散过程相当重要。扩散过程也就是启动相应的自动机模型,对目标操作系统进行感染的过程,自动机理论为其提供了一种有效、直观的形式化描述手段。

智能性是蠕虫扩散的发展方向之一,在这方面作了有益的探讨。抽象出扩散的本质特征,并对其进行了形式化描述和可达性证明。在此基础上提出了一种权策略树的蠕虫扩散模型并给出扩散算法。该模型可以根据动态变化的权值,智能构建优化的策略子树,形成扩散方案实施扩散,从而较好解决了蠕虫扩散策略和环境之间如何相适应的问题。

参考文献:

- [1] Tidwell T, Larson R, Fitch K, et al. Modeling Internet attacks[C]// Proceedings of the 2001 IEEE Workshop on Information Assurance and Security. Oakland, CA: [s.n.], 2001.
- [2] Schneier B. Attack trees[J]. Dr Dobbs' Journal of Software Tools, 1999, 24: 21-29.
- [3] Kienzie D M, Elder M C. Recent worms: A survey and trends[C]// Proc of the ACM CCS Workshop on Rapid Malcode. Washington D C: [s.n.], 2003.
- [4] Gebhart G. Worm propagation and countermeasures[R]. SANS Institute, 2004.
- [5] Bishop M, Bailey A. Critical analysis of vulnerability taxonomies[D]. Department of Computer Science, University of California at Davis, 1996.
- [6] 周伟, 王丽娜, 张焕国. 一种基于攻击树的网络攻击系统[J]. 计算机工程与应用, 2006, 42(24): 125-128.
- [7] 蒋总礼, 姜守旭. 形式语言与自动机理论[M]. 北京: 清华大学出版社, 2003.

(上接 61 页)

表 1 仿真时序约束

起始时钟	要求频率	估计频率	要求周期	估计周期	延迟	时钟类型	时钟组
DRCCLK	100 MHz	96.7 MHz	10 μ s	10.338 μ s	-0.338 μ s	inferred	Inferred_clkgroup_0

表 2 系统资源利用情况

I/O 寄存器位	不包括 I/O 的寄存器位	RAM/ROM 使用	DSP48s	Global Clock Buffers	Total	LUTs
0	407(3%)	256x1 ROMs(ROM256x1):32	3 of 32(9%)	1 of 32(3%)	3 220(26%)	

后对算法进行了可综合的 RTL 级描述, 并利用软件实现了算法的仿真, 验证了其正确性, 为后续 FPGA 开发提供了准备条件。

参考文献:

- [1] 彭韬, 胡耀华, 李在铭. 在可编程图形硬件上实现图像高动态范围压缩[J]. 微机发展, 2005, 15(9): 154-158.
- [2] Mantiuk R, Daly S, Kerofsky L. Display adaptive tone mapping[J].

ACM Transactions on Graphics(TOG), 2008, 27(3).

- [3] Larson G W, Rushmeier H, Piatko C A. visibility matching tone reproduction operator for high dynamic range scenes[J]. IEEE Transactions on Visualization and Computer Graphics, 1997, 3(4): 291-306.
- [4] 贺明, 王新赛, 王旭东. 基于 FPGA 的实时图像直方图均衡增强设计[EB/OL]. Altera 中国大学生电子设计文章竞赛获奖作品刊登. (2006-04)[2009-09]. <http://www.altera.com.cn/education/univ/local/events/articles/winner-paper.html>.

(上接 79 页)

方案中由于引入了时间戳, 原始签密群在不需要第三方的帮助情况下, 能方便快捷地实现对代理签密权的安全撤销, 同时代理签密权撤销以前生成的合法签密仍能通过验证。

参考文献:

- [1] Mambo M, Usuda K, Okamoto E. Proxy signature: Delegation of the power to sign message[J]. IEICE Trans on Fundam, 1996, E79-A(9): 1338-1353.
- [2] Lee B, Kim H, Kim K. Strong proxy signature and its applications[C]// Proc of SCIS'01, Oiso, Japan, 2001: 603-608.
- [3] Shamir A. Identity-based cryptosystems and signature schemes[C]// LNCS 196: Proc of CRYPTO'84. Berlin, Germany: Springer-Verlag, 1984: 47-53.
- [4] Zheng Y. Digital signcryption or how to achieve cost(signature & encryption) < cost(signature) + cost(encryption)[C]// LNCS 1294: Proc of Advances in Cryptology Crypt'97. Berlin: Springer-Verlag, 1997:

165-179.

- [5] 庞辽军, 裴庆祺, 熊李成, 等. 基于 ID 的门限多重秘密共享方案[J]. 软件学报, 2008, 19(10): 2739-2745.
- [6] Gamage C, Leiwo J, Zheng Y. An efficient scheme for secure message transmission using proxy signcryption[C]// Proc of 22nd Australasian Computer Science Conference. Berlin: Springer-Verlag, 1999: 420-431.
- [7] Liu Jun-bao, Xiao Guo-zhen. Multi-proxy multi-signcryption scheme from pairings[EB/OL]. <http://arxiv.org/ftp/cs/papers/0509/0509030.pdf>.
- [8] Lal S, Singh T. New id-based multi-proxy multi-signcryption scheme from pairings[EB/OL]. <http://arxiv.org/ftp/cs/papers/0701/0701044.pdf>.
- [9] 于刚, 黄根助, 石雅男, 等. 一个前向安全的基于身份的多代理多签密方案[C]// 密码学进展—China Crypt'2007. 成都: 西南交通大学出版社, 2007: 178-183.
- [10] 禹勇, 杨波, 李发根, 等. 基于身份的可快速撤销代理权的代理签密方案[J]. 电子与信息学报, 2008, 30(3): 672-675.

一种图像动态范围压缩算法及其FPGA实现

作者: [唐崇武](#), [李会方](#), [王怡捷](#), [TANG Chong-wu](#), [LI Hui-fang](#), [WANG Yi-jie](#)
作者单位: [西北工业大学电子信息学院, 西安, 710072](#)
刊名: [计算机工程与应用](#) 
英文刊名: [COMPUTER ENGINEERING AND APPLICATIONS](#)
年, 卷(期): 2010, 46(13)
被引用次数: 0次

参考文献(4条)

1. [彭韬](#), [胡耀华](#), [李在铭](#) [在可编程图形硬件上实现图像高动态范围压缩](#) 2005(9)
2. [Mantink R](#), [Daly S](#), [Kerofsky L](#) [Display adaptive tone mapping](#) 2008(3)
3. [Larson G W](#), [Rushmeier H](#), [Piatko C](#) [A visibility matching tone reproduction operator for high dynamic range scene](#) 1997(4)
4. [贺明](#), [王新赛](#), [王旭东](#) [基于FPGA的实时图像直方图均衡增强设计](#) 2009

本文链接: http://d.g.wanfangdata.com.cn/Periodical_jsjgcyty201013018.aspx

授权使用: 陕西理工学院(sxlgxy), 授权号: b8017c5a-f188-48ca-91b1-9df20108d47a

下载时间: 2010年9月15日