

武汉理工大学

硕士学位论文

基于FPGA的玻璃缺陷图像采集预处理系统设计

姓名：严华宇

申请学位级别：硕士

专业：通信与信息系统

指导教师：李方敏

20070401

摘 要

玻璃在生产过程中,会产生各种各样的缺陷,比如:气泡、条纹和结石。这些缺陷都是在熔制过程中发生的。对于玻璃缺陷的允许程度,取决于该制品的用途。一般来说,不允许玻璃中有大量的明显的缺陷,否则会影响玻璃的外观质量,降低玻璃的透光性,机械强度和热稳定性,造成大量的废品和次品。

本文首先分析了玻璃缺陷采集处理系统的现状,比较 FPGA、DSP 和 ASIC 三种芯片作为图像采集处理系统核心芯片的优缺点,结合项目背景和需求,提出基于 FPGA 的图像采集处理系统的整体方案。该方案中各个外围接口的控制逻辑、芯片控制逻辑、算法处理模块均由 FPGA 实现。接着详细介绍了玻璃缺陷检测中图像预处理系统的设计方案,实现了具有前端视频采集、图像预处理功能的 FPGA 子系统。该系统采用 Altera 公司的 FPGA 芯片作为中央处理器,由图像采集模块、异步 FIFO 模块、图像帧存储控制模块、图像低级处理模块、通信接口模块和 FPGA 配置电路组成。其中图像传感器 OV9121 在 FPGA 控制下负责图像采集,两片 SDRAM 作为视频图像的缓存,采样控制和滤波算法在 FPGA 内部实现。

在本文中图像采集部分包括 OV9121 初始化模块、采样控制模块和 SDRAM 控制模块。初始化模块主要是根据设计要求,设定 OV9121 的工作模式、图像的分辨率、帧频等参数;采样控制模块主要提供 OV9121 采集图像需要的控制信号;SDRAM 控制模块主要负责缓存 OV9121 输出的图像数据,并将图像数据送 FPGA 滤波模块处理。

本文最后对常见图像预处理算法做出分析,包括图像的滤波与边缘检测等处理方法,得出预处理中卷积算法是重复使用较多的算法,最后来对卷积算法的 FPGA 实现进行了详细的说明,并讨论 FPGA 实现卷积算法方案上的改进,使得系统的图像处理速度得到提高,从而提高整个系统的性能。

关键字: FPGA; 玻璃缺陷检测; SDRAM; FIFO; 图像处理算法。

Abstract

All kinds of glass defect will occur during the melting production, such as airbladder, stria and concretion. The precision of glass depends on where and how the products are used. Generally speaking, lots of obvious glass defect are not allowed which will reduce appearance quality, transparence, mechanical intensity and heat stability, and can bring plenty of wasters.

Firstly, the current state of image collection and process systems were introduced, and then, the system's merits and demerits were compared separately which based on FPGA、DSP and ASIC ,considering the background and demands of the project, the whole architecture of image collection and process system were brought forward which based on FPGA. In system, control logic module of peripheral interface、chips control logic module and algorithms module are all implemented by FPGA. And then, the solution that image pre-processing system in image detection system was detailedly introduced and FPGA subsystem was implemented which had the function of image capture and image pre-processing. The system used Alters Corporation's FPGA as the central processor. It was composed of image capture module, asynchronous FIFO module, image frame storing control module, image low-level processing module, communication module and FPGA configuration circuit. OV9121 takes charge of image collection controlled by FPGA, and the two SDRAM are image buffer storage, image collection and filter module is realized in the FPGA.

The system consists of OV9121 initialization module, image collection control module, SDRAM control module. Initialization module configure OV9121's work mode, resolution, frame frequency which based on the system acquitment; Image collection control module provide control signal that OV9121 need when collecting image, SDRAM control module major answer for image data buffer and deliver these data to filter module.

At the end of this article, the familiar image preprocess algorithms are introduced, including filters and edge detection of the image, summarize that the

convolution algorithms is the most important algorithms of preprocess, finally, the convolution algorithms based on FPGA were introduced detailedly, then discuss optimization of scheme that FPGA realize the convolution algorithms, which cause the image process speed a big progress, and these improve the performance of the system.

Keywords: FPGA; Glass Defect Inspection; SDRAM; FIFO; Image processing arithmetic

独创性声明

本人声明，所呈交的论文是本人在导师指导下进行的研究工作及取得的研究成果。尽我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写的成果，也不包含为获得武汉理工大学或其它教育机构学位证书而使用过的材料。与我一起工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示了谢意。

签名：李华宇 日期：2017.5.20

关于论文使用授权的说明

本人完全了解武汉理工大学有关保留、使用学位论文的规定，即学校有权保留、送交论文的复印件，允许论文被查阅和借阅；学校可以公布论文的全部或部分内容，可以采用影印、缩印或其他复制手段保存论文。

（保密的论文在解密后应遵守此规定）

签名：李华宇 导师签名：李海 日期：2017.5.20

第1章 绪论

本章主要结合本文所要研究的内容，简要介绍了一下玻璃图像检测的有关概念、玻璃图像检测的国内外现状、以及本文所要做的主要工作。

1.1 研究背景

玻璃外观缺陷检测是玻璃质量检验的重要方面之一。在浮法玻璃的生产过程中会产生一些缺陷，如气泡、结石、裂纹、划痕、麻点^{[1][2]}以及表面形状尺寸偏差等。常见的玻璃缺陷主要有以下几种表现形式：

(1)气泡玻璃中的气体夹杂物，呈圆形、椭圆形和点状等。它是在玻璃融化过程中及玻璃成型过程中形成的；

(2)裂纹、划痕和磕碰它是玻璃在生产线上各工序的传输过程中因机械划伤、磕碰等原因造成的；

(3)结石玻璃中的固体物质，有原料结石、耐火材料结石、析晶结石等，较小的结石称砂粒；

(4)玻璃表面形状尺寸偏差玻璃尺寸不符合要求。

其中气泡在缺陷中出现的频率最高，其次是裂纹和结石。

目前国内生产厂家大多数采用人工检测方法，即将待检测的玻璃放在一个检测光源前，用人眼来观测玻璃，找出缺陷。该方法有如下缺点：

(1)容易受到人眼分辨能力和易疲劳等主观因素的影响；

(2)人工检测速度较慢，自动化程度很低，不能适应现代化大生产的要求，且工人劳动强度比较大，长时间的操作人眼势必会产生疲劳，直接影响到检测的准确性，无法保质保量地完成生产任务；

(3)检测数据的保存及查询不太方便。

国外已经开发出相应的玻璃缺陷检测设备，但是价格比较昂贵，且技术资料保密，售后维修的工作经常延迟，影响生产的正常进行，且维修费用过高。

国内目前也有少数几个厂家在进行玻璃制品在线检测设备的研制，但其开发出的产品仅相当于与国外八十年代的水平，设备体积庞大、难于调试、功能过于单一。

基于上述事实,本课题深入研究了玻璃缺陷检测的应用原理,力求设计出一套基于 FPGA 的自动化在线检测系统,并结合目前流行的数字图像处理技术对玻璃气泡和裂纹进行检测,为浮法玻璃生产线上的优化切割系统和玻璃等级打标装置提供详实的数据。在解决传统人工检测难题的同时,提高玻璃缺陷检测的准确性和自动化程度。

1.2 国内外研究现状及发展水平

国外在九十年代初就开始研制计算机视觉在线检测设备,他们凭借其雄厚的经济实力和不断成熟的技术为基础,至现在已经开发出多种玻璃在线检测机器。近些年来,由于建筑和汽车行业的高速增长,推动了相关玻璃的制造和使用行业的快速发展,对于玻璃的质量要求也是越来越高,因此国内外许多科研机构都在开展玻璃缺陷在线检测系统的研究,下面是其中的一些研究成果:

(1)德国 LASOR 公司浮法玻璃在线缺陷检测系统 LASOR 公司是第一家推出浮法玻璃激光检测设备^[3]的公司,其产品在世界浮法玻璃生产线上安装的数量最多。LASOR 公司近年又推出了新型的采用数字照相技术的浮法玻璃检测设备 2F1 装置。该检测系统采用先进的成像技术和智能光源,检测精度大大超过了激光检测系统,并且具有光学检测功能,可在同一台机器上实现对玻璃的斑点和玻筋的检测。2F1 系统可以检测的玻璃缺陷包括气泡、结石、锡点、玻筋等,它还可以对这些缺陷进行分类,以利于对玻璃质量的判别。所检测出的缺陷信息可以实时地显示在操作屏幕上,并可以多种图表形式向用户提供缺陷的统计信息,售价约 30 万欧元。

(2)丹麦制造的“结石检测器”。

(3)法国 SGCC 公司制造的 M1 型全自动多功能玻璃瓶罐在线检测机。

(4)国内研究开发的玻璃缺陷在线检测系统大多是参考了国外相关行业的设计结构,由长沙科创计算机集成有限公司研制的 CGT-D 玻璃缺陷在线自动检测系统能在线自动检测玻璃熔化和成型过程中形成的缺陷,如气泡、砂粒、结石、沾锡和光畸变点等,并能区分气泡和夹杂物。该系统首次采用了光学变换技术和特殊的光阵布置,对细小缺陷进行了充分放大,而对玻璃表面附着的灰尘、污渍因放大不足而被平滑掉。又由于采用数字图像处理技术有效地消除了背景干扰,实现了二维处理,可检测出小于 0.2 mm^2 的点状缺陷,对 $0.3\sim 0.5\text{ mm}^2$ 点状缺陷的准确率高达 90%以上。该系统对缺陷的最小分辨率和缺陷识别的准确率

都达到了国际先进水平^[5]。使用时,无需对被测玻璃带预先清洗和烘干,其价格为国外同类产品的四分之一,该系统荣获国家科学发明奖。

从上述的各种玻璃缺陷检测应用系统中可以看出,在浮法玻璃的外观质量缺陷检测中,国内外的研究机构均广泛的应用了图像处理技术。其中,国外在玻璃缺陷在线检测方面已经取得的成熟应用,为我们提供了宝贵的参考。

1.3 本文研究的主要内容

通过研究以上国内外的几种玻璃缺陷检测设备的工作原理,不难发现,从硬件设计的角度上来说,这些产品主要采用了 PC 机+视频采集压缩卡的方法。即:在外来芯片基础上开发视频采集压缩卡,或在现有的视频采集压缩卡上开发监控软件系统,然后组成监控系统。这些基于 PC 机的图像处理系统由 PC 机加上视频采集卡构成,在玻璃检测现场,由若干个摄像头(图像传感器)、照明光源与光学系统通过传输线路,汇接到终端机上,该终端可以是一台 PC 机,也可以是专用的工控机。除了处理各种信息和完成本地所要求的各种功能外,系统还可以利用视频采集压缩卡和通信接口卡,通过网络将信息传到一个或多个远程监控中心。基于 PC 机的视频处理系统终端功能较强,便于现场操作。但价格高昂,视频前端(如 CCD 等视频信号的采集、压缩、通讯)较为复杂,可靠性不高;PC 机也需专人管理,操作较为繁琐,系统维护和升级等相关售后服务的价格也很高。

从上面的叙述可以看出,虽然国内外已经有了不少成套的玻璃缺陷检测设
但还有许多需要改进的地方,本文的主要研究内容可以概括为以下几个方面:

(1)分析传统图像采集处理系统的特点,提出针对玻璃检测的基于 FPGA 的图像采集处理系统整体框架;

(2)为了解决目前基于 PC 机的玻璃缺陷检测系统存在的稳定性差,价格昂贵等问题,本文设计了一种基于现场可编程逻辑器件(FPGA)嵌入式视频采集处理系统,系统采用 Altera 公司的 Cyclone 芯片;

(3)FPGA 中实现的模块的总体结构及其功能,实现方法,特别介绍了针对系统中数据流特点设计的 SDRAM 控制器、FIFO 控制器;

(4)探讨了目前几种流行的数字图像处理技术在玻璃缺陷检测中的应用,对现有的图像算法做出分析后,主要讨论卷积运算 FPGA 的实现。

第 2 章 系统工作原理及可重构技术

2.1 玻璃缺陷检测原理

玻璃生产中，几乎 100% 的缺陷都会使光学特性出现吸收或偏移，当均匀光线以 0 入射角射入玻璃时，光线不会发生偏移，但是如果在玻璃中出现形变如砂或气泡，光线就会因为缺陷曲率而发生偏移；检测光学吸收或偏移特性，就可以确定缺陷大小和类型。在玻璃外观质量缺陷中，出现频率比较高的主要有气泡、结石和裂纹。因此我们的检测设计也是围绕着这几种缺陷展开。

由于玻璃是透明制品，无缺陷的玻璃样本质地均匀，表面光滑、洁净，图像整体灰度的均匀性较好，相邻像素点间的灰度值变化也较小。而存在气泡缺陷的玻璃，由于内部气泡是在压模过程中形成的，其内部是残留的空气，透射光在其边缘处发生折射，在灰度图像中气泡边缘处的灰度值低于周围背景的灰度值。表面缺陷(裂纹、划痕、破损等)是由外力造成的损伤，它使破损处光洁度降低，光线透射率下降，同时，在缺陷边缘也会发生光线的折射，使得在灰度图像中局部灰度值与其周围背景相比有较大变化，破损处边缘及内部各点的灰度值均低于背景灰度值。因此，基于玻璃缺陷的以上图像特征，利用图像处理技术识别玻璃缺陷是可行的。

根据被测对象的需要，很多系统要采集和处理的图像数据量很大，特别是大面积玻璃表面当要达到较大的分辨率时更是如此，系统采集的数据量将会相当大，整个检测系统构成以计算机为中心的网络控制系统，数据采集模块则为：视觉传感器、高速大数据吞吐量嵌入式处理系统、高速通讯模块等部分构成。

计算机是整个视觉检测系统的核心，计算机需要控制整个系统的各个模块的正常运行，同时还承担着视觉系统最后结果的运算和输出。视觉传感器则是整个系统信息的直接来源，获取最原始的图像数据。高速图像采集系统处理系统则由视频处理器、图像缓存、接口控制电路组成。它的主要功能则是完成图像数据的预处理并传递给后续的高级处理部件以完成较为高级的算法。

在本课题中选用的图像连续采样的采集方法势必导致在低级算法阶段会有极大的数据流，倘若完全依靠后续的计算机处理系统显然无法完成处理，因此

应用一个高速的嵌入式处理模块则能很好的完成低级算法部分，将计算机从低级处理的大量数据解脱出来，提高了系统的图像处理速度，使之能满足于现场实时的处理要求。

2.2 视频图像处理原理

视频信号包括模拟视频信号和数字视频信号。模拟视频信号有三种信号类型，复合视频信号是包含亮度信号、色差信号和所有同步信号的单一信号，分量视频信号是指每个基色分量作为独立的视频信号，分离视频信号 S-VIDEO 是亮度和色差分离的一种视频信号，是分量模拟视频信号和复合模拟视频信号的一种折中方案。而对这些模拟视频信号进行信号处理时，一般需要将其转换为数字视频信号。模拟视频的数字化包括不少技术问题，如电视信号具有不同的制式而且采用复合的 YUV 信号方式，而计算机工作在 RGB 空间；电视机是隔行扫描，计算机显示器大多逐行扫描；电视图像的分辨率与显示器的分辨率也不尽相同等等。因此，模拟视频的数字化主要包括色彩空间的转换、光栅扫描的转换以及分辨率的统一。

模拟视频的数字化一般采用分量数字化方式，先把复合视频信号中的亮度和色度分离，得到 YUV 或 YIQ 分量，然后用三个模数转换器对三个分量分别进行数字化得到数字的 YUV 信号，如果是计算机处理或有需要再进一步转换成 RGB 空间^[37]。

根据模拟视频信号的特征，亮度信号的带宽是色度信号带宽的两倍。因此其数字化时可采用幅色采样法，即对信号的色差分量的采样率低于对亮度分量的采样率。用 Y:U:V 来表示 YUV 三分量的采样比例，则数字视频的采样格式分别有 4:1:1、4:2:2 和 4:4:4 三种^[15]。模拟视频信号既是空间的函数，也是时间的函数，而且又是隔行扫描式，所以其采样方式比扫描仪扫描图像的方式要复杂得多。分量采样时采到的是隔行样本点，要把隔行样本组合成逐行样本，然后进行样本点的量化，YUV 到 RGB 色彩空间的转换等等，最后才能得到数字视频数据。

为了在 PAL, NTSC 和 SECAM 电视制式之间确定共同的数字化参数，美国国家无线电咨询委员会(CCIR)制定了广播级质量的数字电视编码标准，称为 CCIR601 标准(即现在的 ITU-R BT. 601 标准)。对于模拟分量电视信号，应按 CCIR601 标准进行数字化，取样结构为 4:2:2，亮度信号 Y 抽样频率选为 525/60

和 625 / 50 三大制式行频的公倍数 2.25MHz 的 6 倍即 13.5MHz。接口标准为 SMPTE259M 串行数字接口 SDI 格式(D1 格式), 输出码率为 270MHz (4:3)或 360MHz (16:9)。对于模拟复合电视信号, 从抽样所形成的样点结构图考虑, 抽样频率取彩色副载波的 4 倍更为合适, 量化后输出码率为 142 MHz (8BIT PAL 制)和 114MHz (8BIT NTSC 制)。对于高清晰信号, 数字化后变换成 HDSDI 信号, 传输率为 1.5GHz (SMPTE292M)。

这种未压缩的数字视频数据量对于目前的计算机和网络来说无论是存储或传输都是不现实的, 因此应用数字视频的关键问题是数字视频的编码压缩技术。

视频编码一般来说分为三个阶段:第一是信号处理阶段, 它是把视频图像信号进行变换、处理, 使数据处于容易压缩、量化的状态;第二是量化阶段, 量化简单说是用少量值表示多量值的过程, 压缩过程主要是在这里, 信号的失真也在这里产生。第三是无失真编码, 即产生输出数据流。对视频图像采用不同的处理量化和编码方法, 就产生了不同的视频图像压缩方法。

视频编码方法从信息损失的角度可分为无损压缩和有损压缩。无损压缩指压缩后的数据经解压缩还原得到的数据与原始数据完全相同;而有损压缩后的数据经解压缩还原得到的数据与原始数据不完全相同。

2.3 可重构系统

2.3.1 可编程逻辑器件(FPGA)

近年来, 随着微电子技术、计算机技术的发展, 尤其是大规模高性能的可编程器件的出现、软硬件设计方法和设计工具上的改进, 实时电路重构技术逐渐成为国际上计算系统研究中的一个新热点^{[11][12]}。它的出现使过去传统意义上硬件和软件的界限变得模糊, 让硬件系统软件化。实时电路重构的本质是利用可编程器件可多次重复配置逻辑状态的特性, 在运行时根据需要动态改变系统的电路结构, 从而使系统兼具灵活、简捷、硬件资源可复用、易于升级等多种优良性能。基于此技术设计的可重构系统(Reconfigurable System)在高速数字滤波器、图像压缩、硬件演化计算、定制计算(Custom Computing)、嵌入式系统等方面, 都有着广泛的应用前景。

数字集成电路本身在不断地进行更新换代, 它由早期的电子管、晶体管、小中规模集成电路、发展到超大规模集成电路以及具有特定功能的专用集成电

路。但是,随着微电子技术的发展,制造集成电路的任务已不完全由半导体厂商来独立承担。系统设计师们更愿意自己设计专业的集成电路(ASIC)芯片,而且希望 ASIC 的设计周期尽可能短,最好是在实验室里就能设计出合适的 ASIC 芯片并能够立即投入实际应用之中,因而出现了现场可编程逻辑器件(FPLD),特别是现场可编程门阵列 FPGA (Field Programmable Gates Array)和复杂可编程逻辑器件 CPLD(Complex Programmable Logic Device)。

大规模现场可编程逻辑器件 FPGA 是当今应用极为广泛的可编程专用集成电路(ASIC,自从 1984 年 Xilinx 公司发明 FPGA 以来,它就以其特有的高速适应性得到了广泛的应用^[6])。利用该器件,并借助与之配套的 CAD 开发工具可以方便的设计器件,实现用户的各种专门功能。同时,它还拥有 ASIC 不具备的静态可重复编程和动态系统重构的特性,使得硬件系统具有类似软件系统的灵活性和可开发性,甚至是在系统运行中不停的根据具体情况随时进行配置。这样大大的降低了开发的风险和成本,加强了产品的灵活性和通用性。

结构上来讲,近年来的 FPGA 具有如下的发展特点,支持 D/A, A/D, 包含高达 500MHz 的差分接口;采用片内锁相环(PLL);更为丰富的布线资源对逻辑和 I/O 功能块作进一步的简化;为了满足用户对不同规模的 RAM 的要求,芯片内提供了大容量的 RAM 块并可任意配置为用户所需要的,同时支持片外 RAM;增加嵌入式处理模块,诸如 DSP 模块或者 NIOS 等模块的应用都大幅提高了芯片的处理能力;I/O 功能块有快速的 I/O 驱动、寄存的输入和输出、三态使能控制、上拉和输入延时等控制的特性^[7]。此外,芯片的制造工艺的加强也使得器件能在较低的电压下工作,I/O 块具有兼容几种电压标准的能力,保证新的工作电压器件能与前几代器件在不同的电压下连接。另外,新的技术都采用 SDRAM 的查找表结构,即由 SDRAM 存储的数值控制器件中可编程节点的通断来实现要求的功能。

近年来,片上系统(SOC)的快速发展,使得具有系统级性能的 FPGA 设计和开发成为了一个重要的发展方向^[8]。2004 年 11 月 Altera 公司发布了基于 FPGA 结构,嵌入高速 DSP 处理模块的新一代芯片 Cyclone 系列产品。基于原有的 FLEX 系列产品的 EAB (Embedded Array Block)结构, Cyclone 产品更加大幅度的提高了 EAB 的容量、数量。精细 PLL (Phase Logic Lock)使得整个系统的时钟分布更为灵活、精确。同时,单个 FPGA 器件中集成了组成电子系统的 3 类硬件部件:存储器、DSP、逻辑器件,并满足高速数字电路和数字信号处理等对时钟管理、

信号完整性、高速宽带接口标准等提出的高要求。本课题采用的 EP1C6Q 就是 Cyclone 系列产品中的一员,它包括了 6 个锁相环、20060 个逻辑单元(CLB),20 个硬件乘法器,最大可用管脚数 288。

2.3.2 Cyclone 系列 FPGA 介绍

Altera 公司的 Cyclone 系列 FPGA 是一款中密度、低成本的 FPGA,主要用在终端市场,如消费类电子、计算机、工业和汽车领域。Cyclone 器件采用 0.13 微米的工艺制造,其内部有锁相环、RAM 块,逻辑容量从 2910—20060 个 LE^[7]。Cyclone 在设计初期,针对成本做了认真的优化,Cyclone 采用和 Stratix 系列相似的结构,有着和 Stratix 相识的性能,但去掉了 DSP 块和 MegaRAM 块,降低了 LVDS 接口速率等指标,以适应大多数设计的要求^{[9][10]}。

表 3.1 Cylone 系列 FPGA 特性表

特性	EP1C3	EP1C4	EP16	EP1C12	EP1C20
LE	2910	4000	5980	12060	20060
M4K RAM	13	17	20	52	64
锁相环	1	2	2	2	2
最大用户 I/O	104	301	185	249	301

Cyclone 系列 FPGA 特性见表 3.1,本设计采用的芯片是 EP1C6Q240C6。

2.3.3 FPGA 进行图像处理的优势

基于 FPGA 的图像采集处理系统与核心器件为 DSP 的传统图像采集处理系统相比较,结合 FPGA 和 DSP 各自硬件结构的特点,具有各自的应用领域。从图像处理算法的角度来针对两种芯片的不同应用领域进行分析,可以将图像处理算法根据算法的复杂度和运算量作出分类。

图像处理算法可以大概的分为两种:低层信号处理和高层数据处理。低层信号处理算法包括:线性运算类如滑动平均、帧间累积平均、帧间递归累积、帧间差分;图像全局或局部的统计特性计算类如均值和方差、直方图统计、最大最小值;非性运算类中如中值滤波、阈值分割及二值化;卷积积分类如相关匹配、高通滤波、边缘检测等。高层数据处理算法包括:检测、跟踪窗大小的自

适应确定；按一定检测准则在全局、自适应窗内或局部计算分割阈值；目标形心、质心计算；背景和干扰的识别与剔除；基于目标特征(亮度、面积、长度、宽度)的帧内目标识别。

图像信号处理类的低层信号处理运算主要面向图像像素操作，核心算法部分是乘加等算术逻辑运算和最值运算、二值分割、绝对值等非线性运算，特点是数据量大但运算简单机械，适于采用 FPGA 并行操作流水线方式实现，虽然 DSP 有专用的硬件乘法器，但与 FPGA 相比较，在此类算法上，FPGA 有更大的数据吞吐量；而在目标识别和数据处理算法和控制算法面向图像内容的高层分析、全局处理和系统控制的高层数据处理算法中，主要是采用各种复杂计算和条件判断，适合于采用高速 DSP 处理^[13]。

再从总体性能上看，实时图像采集和处理对系统性能的要求极高，数据流量一般情况下也比较大，因此几乎所有只具最简单功能的通用 DSP 都不能在图像采集处理系统中达到所需的性能要求。可编程逻辑器件 FPGA 允许设计人员利用并行处理技术实现图像信号处理算法，并且只需单个器件就能实现期望的性能。基于 DSP 的解决方案采用 DSP 处理器虽然拥有高度流水线化的并行处理，在某些特定算法上速度很快，但是优化运算固定有限，指令执行的顺序性不可能为众多算法提供所需的高性能。通常需要在单板上嵌入多个 DSP，以得到必需的并行处理能力，这无疑将增加程序资源开销和数据存储器资源开销。

标准 DSP 自身性能上的缺陷从某种程度上促进了专门解决此难题的 ASIC 设计芯片的发展。但是，这些器件极低的灵活度往往使其局限于非常有限的应用中并容易产生性能瓶颈，鉴于 FPGA 芯片与 ASIC 芯片相比的优越性，基于 FPGA 的应用方案将得到广泛的应用。在高分辨率系统中，基于处理器的方法受到的限制尤为明显。从根本上讲，处理器的分辨率受限于分配给滤波器每个抽头或每个转换阶段时钟周期的数目。在 DSP 为核心芯片的方案中一旦达到极限条件，通常除了增加额外的 DSP 部件外别无选择。而在这一点上，FPGA 可以通过定制调整提供最具实用价值的高性能高效率产品^[4]。设计人员可在适用范围和速率之间进行折衷考虑，从而以比 DSP 时钟低得多的速率实现指定功能。

除了并行处理能力的优势，优选的 FPGA 方案还可实现处理计算量繁重的高端 DSP 算法，同时还可以为设计提供可编程逻辑解决方案所固有的灵活性特点，以及定制门阵列（如 ASIC）解决方案所具有的高性能及集成度。大多数标准 DSP 功能都能在 Altera 库中以可参数配置的 DSP 核的形式实现。

基于 FPGA 的算法具有专用集成芯片的运算速度,可以满足高速图像处理的需要;FPGA 现场可编程,使检测系统具有良好的柔性,满足不同检测需求;FPGA 的编程技术发展成熟,算法实现简单,编程容易,具有很好的可移植性和继承性随着业界积极推动高质量视频开发以及压缩格式的不断改进,对图像采集处理系统的采集运算速度的要求也不断提高^[14]。由于 FPGA 工艺的发展遵循摩尔定律,因此在越来越多的图像采集和处理系统中,越来越多的 FPGA 芯片核心得到广泛的应用,FPGA 核心的处理系统以更具吸引力的成本优势实现传统 DSP 系统所实现的相同功能和性能。因此,结合国内图像采集和处理系统的现状,针对工业中玻璃斑点检测过程的特点,我们采用 FPGA 作为核心器件代替 DSP 或者 ASIC 芯片来实现图像采集和处理,研发出基于 FPGA 的高速高分辨率图像采集处理系统。采用 FPGA 作为核心芯片,使该系统具有极大的灵活性,为以后进一步实现玻璃图像的分析建立了良好的平台,在此基础上还能使用 FPGA 实现外围逻辑控制,提高系统的集成度。

依照检测要求,玻璃表面检测系统通常由多个智能视觉测量单元组成,每个测量单元动作由系统的主控计算机完成。每个测量单元又包括了视觉传感器、高速以及内嵌的处理模块、图像采集处理单元和通讯模块。

2.3.4 FPGA 的软件开发及设计流程

随着电子制造技术的发展,可编程器件纷纷超越百万门级,设计者面临的产品性能与设计效率的挑战也越来越大,因此必须合理选择各 EDA 厂家提供的软件开发工具来加速设计,才能在较短的时间内设计出高效稳定的产品。根据 FPGA 设计流程与功能划分,EDA 工具主要分为设计输入工具、综合工具、仿真工具、实现与优化工具和辅助设计工具等五类。

Quartus II 5.2 是 Altera 公司新版本的 FPGA 设计软件,界面直观、友好,支持 Altera 的全系列芯片^[11],为 FPGA 设计提供了最高效和最快速的实现途径,与传统高密度 FPGA 设计流程相比,其设计效能显著提高。Quartus II 集成的 EDA 开发工具可以分为两类,一类是 Altera 自己提供的软件工具,另一类是其他 EDA 厂商提供的软件工具,后者统称为第三方工具,Quartus II 中集成了与这些设计工具的友好接口,可以直接调用这些开发工具。

(1)设计输入工具

设计输入是工程设计的第一步,常用的设计输入方法有 HDL 语言输入、原

理图输入、IP 核输入等。Quartus II 集成的输入工具主要包括文本编辑器(Text Editor), 原理图编辑器 (Schematic Editor), IP 核生成器 (general functions/MegaWizard)等, 其中常用的文本编辑器还有 ultra Edit, 其也可以支持彩色语法显示。在 QuartusH 中适当使用 IP 核输入能大幅度减轻设计工作量, 提高设计质量。

(2)综合工具

Quartus II 虽然集成了综合工具, 但与主流的综合工具相比还是有所欠缺。Synplicity 公司的 Synplify/Synplify Pro 是目前使用较多的一种综合工具, 其作为新兴的综合工具在综合策略和优化手段上有较大幅度的提高, 特别是其先进的 Timing Driven(时序驱动)和 BEST(行为级综合提取技术)算法引擎, 使其综合结果往往面积较小、速度较快, 在业界口碑很好、如果结合 Synplicity 公司的 Amplify 物理约束功能, 对很多设计能大幅度地减少资源, 优化面积达到 30%以上。

Synplify 的综合过程包括两个内容, 一是对 HDL 源代码输入进行编译与逻辑层次上的优化, 二是对编译结果进行逻辑映射与结构层次上的优化, 最后生成逻辑网表。另外, Synplify/Synplify Pro 内嵌了 HDL 编辑器, 也可完成 HDL 语言的源代码编辑与语法检错的功能。

(3)仿真工具

在 FPGA 设计流程中, 设计仿真包含在设计过程的每一环节中, 以保证设计的正确性。Quartus II 集成环境中可以调用 ModelSim 仿真工具来进行仿真。ModelSim 是业界最流行的仿真工具之一。其主要特点是仿真速度快, 仿真精度高, 不仅可以完成设计的功能验证(RTL 级), 也可实现逻辑综合后的门级仿真以及布局布线后的功能与时序验证^[12]。ModelSim 支持 VHDL 和 Verilog 的混合仿真, 图形化界面友好, 而且具有结构、信号、波形、进程、数据流等窗口。在仿真时可以编写 HDL 激励文件或执行组模式方式。在仿真过程中可以执行性能分析与代码覆盖分析。这些功能给设计者带来很大的方便。

(4)实现和优化工具

Quartus II 集成的实现工具主要有约束编辑器(Assignment Editor)、逻辑锁定工具(Logic Lock)、布局布线器(Power Fit Fitter)、时序分析器(Timing Analyzer)、布局规划器(Floorplan Editor)、底层编辑器(ChipEditor)、设计空间管理器(Design Space Explorer)和检查设计可靠性(DesignAssistant)等。

(5)辅助设计工具

Quartus II 集成的辅助设计工具主要有编程文件生成工具(Assembler)、下载配置工具(Programmer)和 Power Gauge(功耗仿真器)。Assembler 是用于完成 FPGA 配置文件的生成。Programmer 用于对 FPGA 下载配置。PowerGauge 用于估算设计的功耗。

除了上述的软件开发工具外,常见的软件工具还有:Synopsys 公司的 FPGAExpress. Mentor 公司的 LeonardoSpectrum 两款综合工具和 Aldec 公司的,ActiveHDL, Cadence 公司的 Verilog-XL 两款仿真工具^[14]。在本课题设计中,除了选择 Quartus II 软件作为设计工具外,鉴于 Synplify, ModelSim 的优越性能和学习资料较多,采用 Synplify Pro 7.6 作为综合工具, ModelSim 6.0 作为仿真工具。

Altera 公司的可编程逻辑产品使用范围相当广泛,本课题中使用的是 Cyclone 系列的 FPGA。在学习了上文所列出的 Quartus II, ModelSim 和 SynplifyPro 等 FPGA 软件开发工具后,在实际的开发运用中对 FPGA 的设计流程加深了理解,有了一点收获。在此对 Altera 公司 FPGA 产品开发步骤总结出自己的一点体会,其他厂商产品开发步骤也大同小异,只是具体提供的开发环境不一样而已。例如 Xilinx 公司提供的 ISE 开发平台。具体的设计步骤如下:

(1)根据电路要实现的功能,用硬件描述语言设计好源程序。

(2)使用 ModelSim 进行功能仿真,导入设计好的源程序和 TestBench 测试平台进行仿真,并保存生成的结果波形文件(.wlf)。用 Modelsim. 进行仿真时,如果设计一中包含了 FPGA 厂商开发软件生成的 IP 核或直接调用了其基本器件单元的参数化模型,则在仿真时需要设置厂家的仿真库信息,否则仿真不能进行。这些仿真库描述了 IP 核和基本器件参数化模型的功能和时序特性。如使用 Altera 公司的 Cyclone 系列 FPGA,则需要将 Cyclone_atoms.v(或 .vhd)与 Cyclone_components.vhd 文件设置或编译到工程项目的对应库中。

(3)使用 Synplify Pro 对设计好的源程序进行编译并生成 Netlist 网表文件。在综合前要注意对将要进行下载配置的器件和网表生成情况进行选择。综合后的网表有两种:RTL 级网表和门级网表(Gate Netlist),通过对网表的分析就可以对设计的实现方式有初步的了解,对其中的错误和不合理的地方加以改正,另外还可以对关键路径的延时(Delay)和松弛(Slack)进行分析。使用 Synplify Pro 要先新建工程,注意修改工作目录,然后添加所要编译的文件,顶层文件要最后添加,这样才可以保证生成的文件是以顶层文件来命名的。

(4)使用 Quartus II 根据 Netlist 进行布局布线, 并进行时序分析。在使用 QuartusII 前要做一些必须的设置, 在 Assignments 工具 Eda Tools Setting 栏下 Simulation 选项中选择 ModelSim, 并选择选项 “run this tools automatically after compilation”。如果没有提前做这些设置, 可以在 Quartus 做完编译布线后, 做同样的设置, 然后运行 EDA Netlist Writer 和 EdaSimulation Tool。在使用 Synplify Pro 得至 1) 满意的 Netlist 后, 可以在 SynplifyPro 中直接调用 Quartus, Quartus 对 Synplify Pro 生成的 *.vqm 文件进行编译, 布线。然后根据设计要求进行时序分析和引脚调整。

(5)使用 ModelSim 进行布局布线后仿真。因为在第四步对 Quartus II 提前做了设置, 因此在编译布线完成后, 会在工作目录下生成 ModelSim 仿真所需要的文件和库(Modelsim- work), 在 ModelSim 中将产生的文件和库所在的文件夹设置为当前目录, Modelsim- work 库会自动导入, 新建工程会提示所用的 modelsim.ini 文件, 应是 Quartus 生成的, 然后导入文件(包括 TestBench), 进行编译, 仿真的时候在 library 中添加 Modelsim work 库, 在选项中可以添加 Quartus 生成的延迟信息文件 *.sdo, 此时要注意作用域的选择。仿真完成后可以将布线后的仿真结果与功能仿真的结果进行对比。一般情况下除了会有一定的延迟外, 输出波形基本不变。如果满足时序关系, 便通过了布局布线后的时序仿真。

(6)通过专用电缆将生成的位流配置文件下载到 FPGA 芯片中测试设计, 确保实现后的设计能够按照预定的功能和恰当的时序正常工作。

以上六点是在使用具体软件过程中, 总结出来的一个大致 FPGA 开发步骤, 具有一定的通用性。

2.4 本章小结

本章从首先介绍了玻璃缺陷检测的基本原理, 然后对视频采集的原理做了简单的描述。最后对 FPGA 的发展和开发情况做了详细的介绍, 并分析了 FPGA 进行图像处理的优势, 并就 FPGA 的软件开发和设计流程做了综述。

第3章 图像采集系统的设计

3.1 总体设计方案

本系统是由照明光源与光学系统、线阵 CCD 图像传感器及其驱动电路、基于 FPGA 的嵌入式视频采集和压缩卡系统、缺陷标记电路及标记机构、玻璃优化切裁机构组成的。

数字化后的图像信息将依次进行预处理、图像分割、缺陷特征提取、判断决策等处理，自动对被测玻璃进行缺陷检测、识别及分类，根据所得到的检测结果对缺陷标记电路和玻璃优化切裁机构发出控制信号，对缺陷处进行打标并优化切割，从而得到符合生产标准的优质玻璃。此外，还可以运行嵌入式 WEB 服务器，通过网卡芯片将数据通过网络接口传入到以太网。客户端可以通过以太网的网桥或交换机来进行远程访问，如实时监控、发出控制信号等。

在本课题研究中，假设要求的玻璃表面幅度为 1800mm，要求的精度为 $0.8 \times 0.8\text{mm}$ ，也就是说检测点数达到了长度/横向精度 $= 1800 / 0.8 = 2250$ ，每个数据采用 8 位二进制编码，则数据量达到了 $2250 \times 8 = 18\text{K bit}$ 。由于数据本身以及外界的干扰，在进行数据分段模式分别之前需要进行数据预处理。举一个非常简单的例子，对于一个 N 点序列 x^n 如果作一个最基本的 DFT 变换，对于 N 点数据，每一个点需要做 N 次复数乘法，求出 N 点 $X(k)$ 则需要做的运算量为 N^2 ，因此倘若用软件的处理方法根本无法完成实时处理，而采用硬件处理电路则完全可以满足应用需要。图 3-1 为本课题所选用的处理结构图。

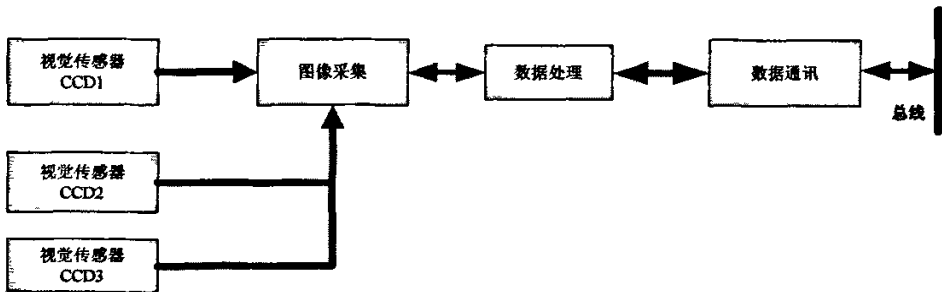


图 3-1 玻璃表面数据处理图

其中数据处理部分可以进一步分析为以下结构：

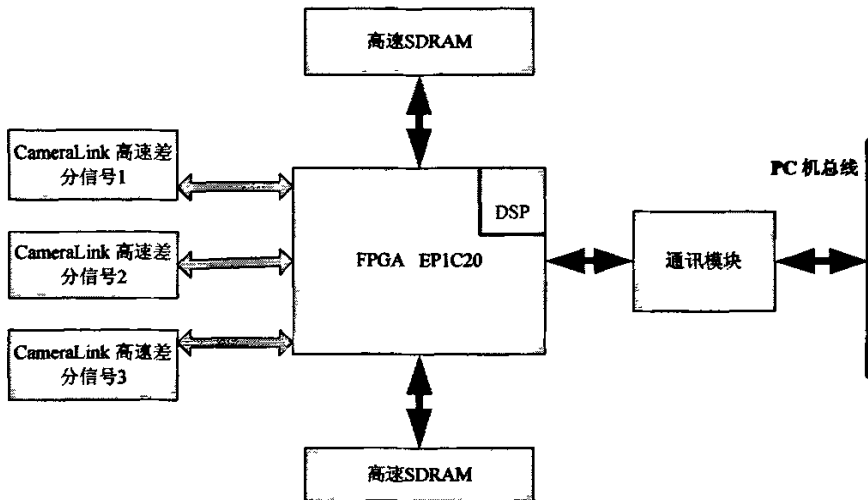


图 3-2 处理板上的数据结构

构建高速图像处理实验平台的总体思想就是运用 FPGA 技术来实现以下功能：

- (1)高速图像处理算法
- (2)与 PC 机的 PCI 方式的总线接口

为了满足在线检测的需要，高速图像处理平台的任务就是在较短的时间里完成图像的低层次处理，配合前端高速图像采集系统完成实时检测，这里所说的实时是指整个系统的处理速度能够满足被测物体的生产节拍。

高速图像处理算法主要指由 FPGA 以流水线的方式完成实时在线检测系统所常用的一些基本算法：噪声滤波、边缘检测、物体的特征提取等。前端部分主要依靠摄像机本身转换得到的高速差分信号传入 FPGA 内，传入的数据完成很多专门数据处理算法，例如加乘运算可以简单高效的由 DSP 器件完成。处理完的数据则依靠高速 PCI 接口芯片传入高性能 PC 机中，进而做更为高级的数据处理。

在整个图像处理平台的设计中面临许多问题：

第一，系统中应用了许多的新芯片，如高速的 SDRAM 等，特别是核心芯片 Altera 公司的 Cyclone EP1C6Q240C6，这些芯片之间的接口，内部时序逻辑以及协调工作都将是难点。

第二，构建整个系统将是一个非常巨大的工作。芯片之间存在大量的数据、

地址、控制、时钟信号。

第三，由于 FPGA 为 315 管脚的 BGA 封装，且有 1.5V, 1.8V, 2.5V, 3.3V 多种电压并存，其 PCB 的布线也是一个非常大的挑战，特别对于高频数字系统 PCB 的优劣直接决定了整个系统的运行性能。

第四，图像处理算法的硬件化，以及如何更高效的利用各图像处理模块，完成算法是整个图像处理平台的首要任务。

3.2 图像传感器 OV9121

OV9121 是 Omni Vision 公司开发的一款高性能的 130 万像素的黑白 CMOS 图像传感器，它的镜头尺寸是 0.5 英寸，包括一个 1280×1024 的图像采集阵列，可以采集静止图像或视频图像。它可以工作在两种分辨率模式下，即 SXGA 和 VGA，两种模式的最大分辨率分别为 1280×1024 和 640×480 。在 SXGA 分辨率下，A/D 转换最大可以支持每秒 15 帧的工作速度，在 VGA 分辨率下，最大支持每秒 30 帧的工作速度。OV9121 内部共有 56 个寄存器，改变寄存器的值，可以改变 OV9121 的镜头开窗位置、分辨率大小、像素输出频率和输出帧频等^[16]。

OV9121 的功能框图如图 3.3 所示：

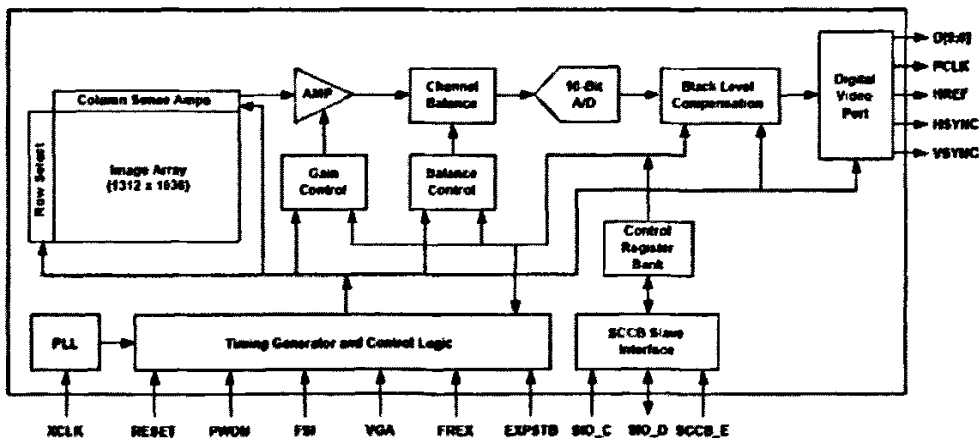


图 3-3 OV9121 功能结构图

OV9121 主要包括以下部分：

(1) 图像阵列

OV9121 的传感器是一个 0.5 英寸的 CMOS 传感器, 传感器共有 1359232 个像素。

(2)A/D 转换器

OV9121 内含一个 10 bit 的 AD 转换器, 通过对寄存器编程, 可以使其输出为每像素 8bit, 其最高工作频率是 12MHZ, 并且完全和像素时钟同步。

(3)镜头开窗大小

OV9121 允许用户自定义窗口的大小及位置。在 SXGA 模式下, 开窗大小从 2×4 到 1280×1024 可调, 在 VGA 模式下, 开窗大小从 2×2 到 640×480 。调整窗口的大小和位置不影响像素输出的速率。

(4)分辨率的选择

OV9121 的默认分辨率是 1280×1024 , 此时所有有效的像素均作为输出, 通过对寄存器的编程可以使其工作在 640×480 , 即 VGA 模式下。

(5)被动工作方式

在默认情况下, OV9121 工作在主动模式下, 此时, 场同步信号 VSYNC 和行同步 HSYNC 由 OV9121 输出给外部器件, 作为同步信号。通过对寄存器编程可以使其工作在被动模式下。在被动模式下, 引脚 VSYNC 和 HSYNC 作为输入引脚使用。主动器件需要提供以下信号, OV9121 和主动器件的连接方式如图 3.4 所示:

系统时钟 MCLK, 和 OV9121 的 XCLK1 相连。

- 场同步信号 VSYNC
- 行同步信号 HSYNC

此时, OV9121 在外部器件的控制下采集图像并输出图像灰度数据。

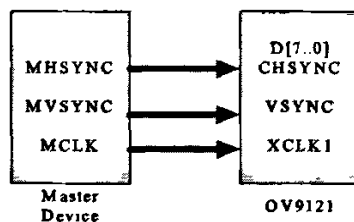


图 3-4 被动工作连接方式

(6)输出时序

OV9121 无论工作在主动模式或被动模式, 其数字视频输出端口输出的像素数据都必须和 PCLK、HREF、VSYNC 同步^[17]。默认状态下, 数据在 PCLK 的下降沿输出, 通过对寄存器 COMK[4]的编程, 可以使其在 PCLK 的上升沿输出。

通过对寄存器 COMK[5]编程, 可以改变 PCLK 的有效输出方式, 使只在 HREF 为高电平时输出 PCLK, 而在 HREF 为低电平时, 并不输出 PCLK 信

号^{[34][35]}，其输出波形如图 3.5 所示，这种方式对后续电路是非常有用的。对 PCLK 计数，我们可以得到输出的像素数目，或者以 PCLK 为初始时钟，生成后续电路所需要的时钟。

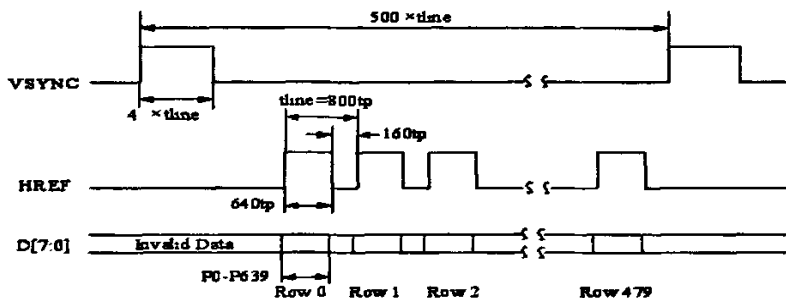


图 3-5 HREF 为高电平时输出 PCLK

(7)单帧输出模式

OV9121 支持单帧输出模式。这种模式下，仅输出一幅静止图像。引脚 FREX 是单帧输出的使能引脚，EXPSTB 是单帧输出开始信号。

(8)像素输出时钟频率和帧频的调整

改变系统时钟的分频系数，可以改变像素输出时钟。默认情况下，外部系统时钟为 24MHZ。分频系数通过寄存器 CLKRC 调整。其分频的数学表示式为^[36]：

$$PCLK = XCLK1 / (\text{decimal value of CLKRC}[5:0] + 1) \quad (3.1)$$

改变每行的消隐时间为 160tp，通过对寄存器 COML 编程可以调整其大小，从而改变帧频。这种方式并不改变输出像素的时钟频率。在本设计中，我们同时调整 CLKRC 和 COML 的值来得到需要的像素输出频率和帧输出频率。

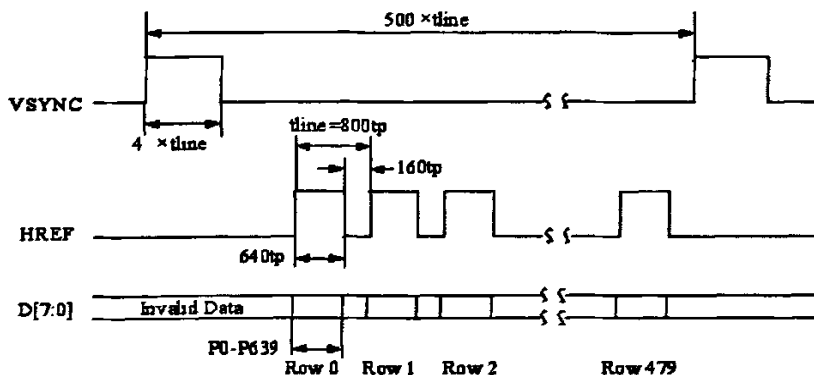


图 3-6 默认情况下 VGA 模式输出帧频

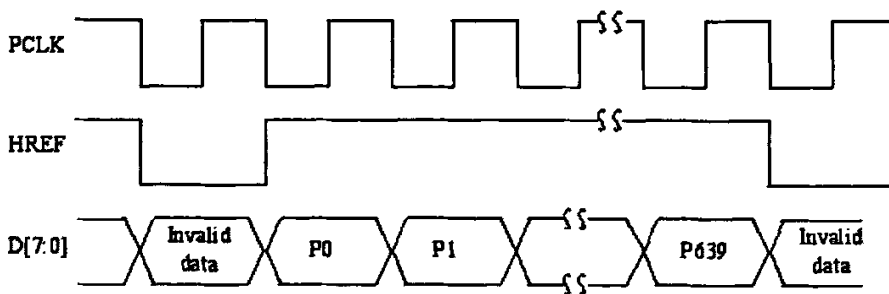


图 3-7 默认情况下 VGA 模式像素时钟

图 3.6 和 3.7 是在 VGA 模式下，像素输出频率和输出帧频的关系。

(9)OV9121 内部寄存器 OV9121 内部共有 56 个寄存器，默认情况下，OV9121 工作在 SXGA 分辨率，每秒 15 帧输出模式下。本设计中，需要的分辨率为 640×480 ，每秒 25 帧输出，所以选择 VGA 模式。需要改变数值的寄存器如表 3.1 所示。

表 3-1 需要改变数值的寄存器

地址 (HEX)	寄存器名	默认值 (Hex)	读/ 写	描述
0E	COMF	01	RW	Bit[7]: 系统时钟选择位 0: 24Mhz 1: 48Mhz
11	CLKRC	00	RW	时钟分频控制位 Bit[7]: PLL 使能位 0: 锁相环禁止 1: 锁相环使能 Bit[6]: 主模式/从模式选择位 0: 主模式, OV9121 提供 PCLK 1: 从模式, 外部器件提供 PCLK Bit[5..0]: 时钟分频系数
12	COMH	20	RW	通用控制寄存器 H Bit[6]: 分辨率选择位 0: SXGA 1: VGA Bit[3]: 主模式/从模式选择位 0: 主模式 1: 从模式
15	COMK	00	RW	通用控制寄存器 K Bit[5]: PCLK 输出选择位 0: 有时钟就输出 PCLK 1: 仅在 HREF 有效时输出 PCLK Bit[4]: PCLK 边沿选择位 0: PCLK 下降沿输出数据 1: PCLK 上升沿输出数据

			Bit[3]: HREF 边沿选择位 0: HREF 上升沿输出数据 1: HREF 下降沿输出数据 Bit[1]: VSYNC 边沿选择位 0: 上升沿输出数据
--	--	--	---

3.3 OV9121 工作模式的设置

根据设计要求，通过改变 OV9121 内部寄存器的值^[22]，使 OV9121 工作在以下模式：

(1)被动工作模式

(2)分辨率： VGA 模式，图像分辨率 640×480 ；

(3)ADC 输出： 每像素 8bit；

(4)输出帧频： 每秒 25 帧；

(5)系统时钟频率： 24MHZ； 6. PCLK 输出方式： 仅在 HREF 为高电平期间输出 PCLK，PCLK 上升沿有效。

在本设计中，外部系统时钟为 24MHZ，由式 (3.1) 经过分频，可以得到的 PCLK 的频率有 12M，8M，6M，这里我们选择 PCLK 为 12MHZ。此时寄存器 CLKRC[5:0]的值为 00001。

需要的输出帧频为 25 帧/秒，所以需要调整 t_{line} 的值，由图 3.4 可知，应使 $25 \times t_{line} \times 500 = 12000000$ ，计算得到 $t_{line} = 960tp_{clk}$ 。此时像素输出频率和输出帧频时序关系如图 3.8 所示。

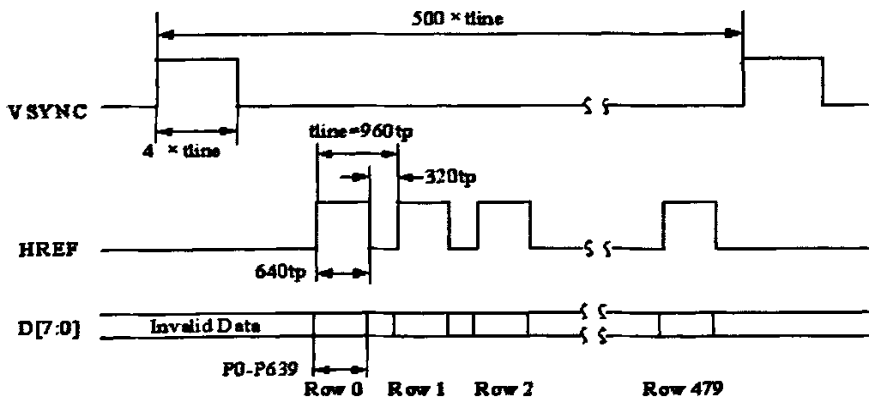


图 3-8 经过调整后的帧频

通过调整寄存器 COML, FRARL, COMM 的值可以改变 tline 的值, 经过调整以后, 各寄存器的值如表 3-2 所示

表 3-2 调整后相应寄存器的值

寄存器	地址	数据
COMF	0000 1110	0000 0001
CLKRC	0001 0001	1000 0010
COMH	0001 0010	0110 1000
COMK	0001 0101	0011 0010
HREFEND	0001 1000	1011 0011
VEND	0001 1010	0111 1010
COML	0010 1010	1000 0000
FRARL	0010 1011	1010 0000
COMM	0011 0010	0000 1111

3.4 FPGA 与 OV9121 的接口设计

在本设计中, OV9121 作为系统的图像传感器, 工作在被动模式下。FPGA 作为主动器件, 与 OV9121 的连接控制关系, 主要包括两部分, 即 OV9121 初始化模块和采样控制模块, 如图 3.9 所示。

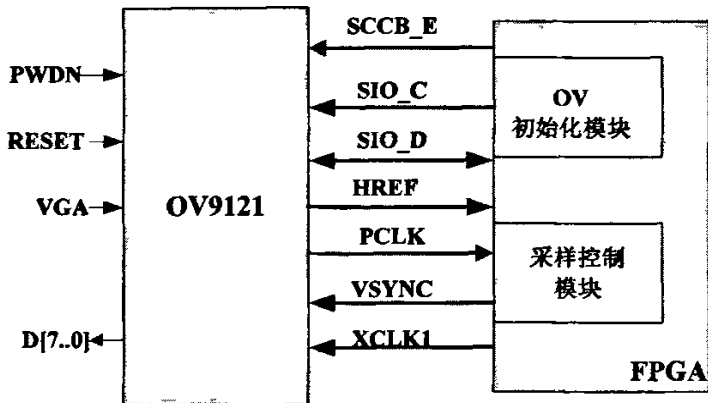


图 3-9 FPGA 和 OV9121 连接示意图

初始化模块主要确定 OV9121 的工作模式，包括采集图像的开窗位置、分辨率和输出帧频等。系统上电后，只要 OV9121 的电源使能信号(PWDN)为低电平，它就处于正常工作模式。此时，首先对 OV9121 进行初始化操作，以确定采集图像的开窗位置、分辨率和输出帧频等。OV9121 的初始化参数可以通过对相应的寄存器编程来设置，并且可以通过 SCCB 总线来访问这些寄存器。SCCB 是 Serial Camera Control Bus 的缩写，它是 Omni Vision 公司开发的一种双向三线的同步串行总线，通过它可以访问 OV9121 内部所有的寄存器，实现对 OV9121 的完全控制。它的接口引线有使能线 SCCB_E，时钟线 SIO_C，数据线 SIO_D。其中 SCCB_E 低电平有效。

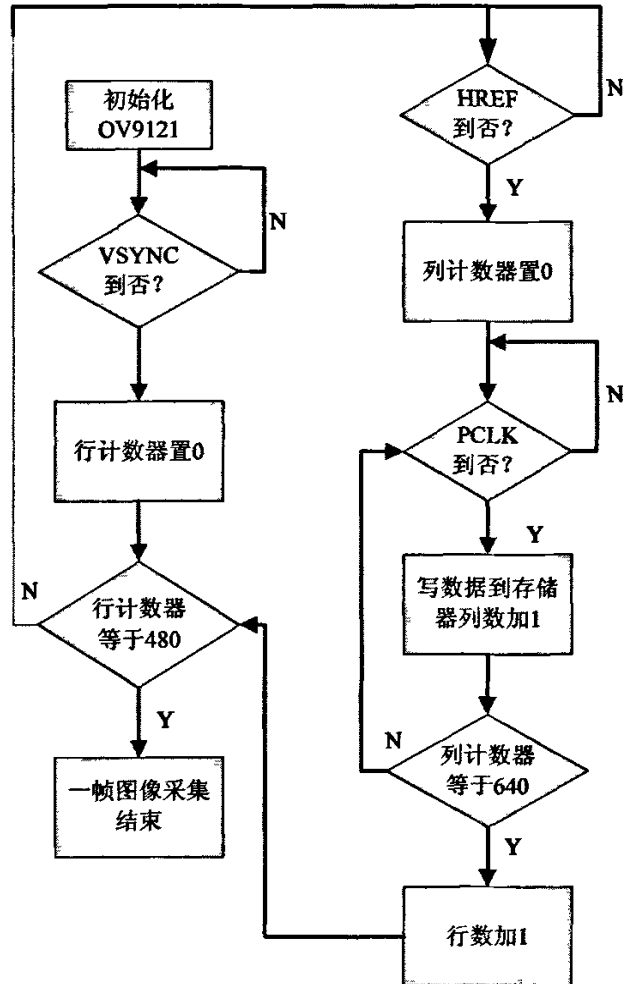


图 3-10 采集一幅图像流程图

OV9121 的 SCCB 总线参数配置是整个控制逻辑模块执行的起点, 只有利用 SCCB 总线将 OV9121 配置完毕后, 才能进行图像采集工作。

采样控制模块主要由 FPGA 提供控制信号, 主要是系统时钟 XCLK1 和场同步时钟 VSYNC, 来控制 OV9121 按工作需要的时序采集和输出图像。

OV9121 采集一帧图像的过程如下: 在 OV9121 内部, 首先将获取的图像量化, 然后在 FPGA 的控制下输出数字图像, 并存入外部图像存储器。VSYNC 是场同步信号, 其上升沿表示一帧新的图像的到来, 下降沿则表示一帧图像数据采集的开始。HREF 是水平同步信号, 其上升沿表示一行图像数据的开始, HREF 为高电平即可开始有效地采集数据。PCLK 是输出数据时钟同步信号, PCLK 下降沿表明数据的产生, PCLK 每出现一个下降沿, 系统便传输一个像素数据。所以, 在一帧图像采集过程中, 即 VSYNC 为低电平期间, HREF 会出现 480 次高电平; 每次 HREF 为高电平期间, PCLK 出现 640 次, 输出 640 个数据。下一个 VSYNC 信号上升沿的到来表明一帧分辨率 640×480 的图像采集过程的结束, 同时表示下一帧图像采集的开始。

OV9121 采集一帧图像的流程图如图 3.10 所示。

3.4.1 OV9121 初始化模块的设计

由于内部寄存器的值可以通过芯片上提供的 SCCB 串行控制总线来读写, 所以, FPGA 就可以通过控制 SCCB 总线来完成参数的配置^[23]。

配置的具体方法可采用三相写数据的方式, 即在写寄存器过程中先发送 OV9121 的 ID 地址, 然后发送写数据的目的地寄存器地址, 接着是要写的数据。如果连续给寄存器写数据, 那么, 写完一个寄存器后, OV9121 会自动把寄存器地址加 1, 然后在程序控制下继续向下写, 而不需要再次输入地址, 这样, 三相写数据就变成了两相写数据。由于本设计只需对有限个不连续寄存器的数据进行更改, 而对全部寄存器都加以配置会浪费很多时间和资源, 所以, 可以只对需要更改数据的寄存器进行写数据, 这样对于每一个变化的寄存器, 都采用三相写数据的方法。在 SCCB 总线中主设备发送一个字节后, 从设备需要将数据线 SIO_D 拉低作为应答信号(ACK)返回给主设备, 才能表示发送成功。

通过 SCCB 写数据的时序关系如图 3.11 所示, 在 SIO_D 高电平期间, SCCB_E 由高到低表示数据传输的开始; 此后在每个 SIO_C 为低电平期间传输一位数据, 一个字节的 8 位数据全部传输结束后, 第 9 位数据输出 0, 表示

这是通过 SCCB 向寄存器写数据；在 SIO_D 高电平期间，SCCB_E 由低到高表示数据传输的结束。图 3.13-3.15 是向寄存器写数据的波形仿真图。

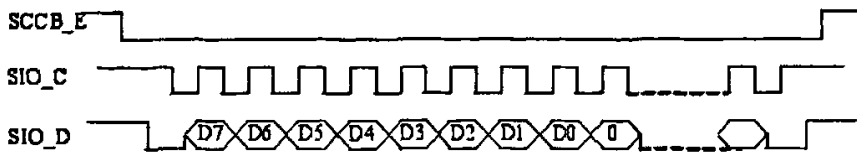


图 3-11 SCCB 向寄存器写数据时序图

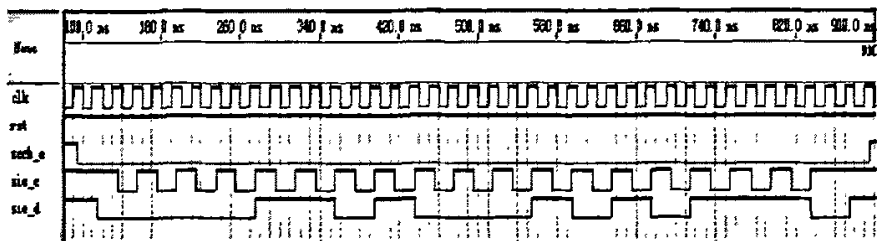


图 3-13 通过 SCCB 向寄存器写数据仿真图一

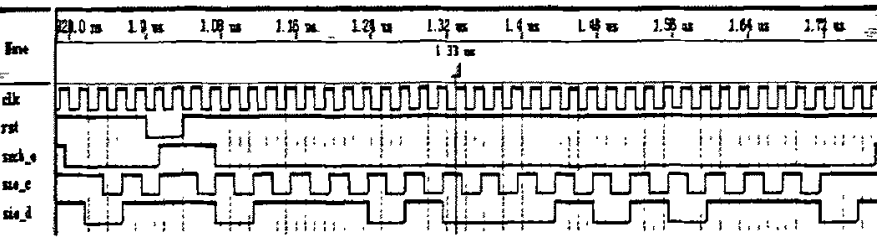


图 3-14 通过 SCCB 向寄存器写数据仿真图二

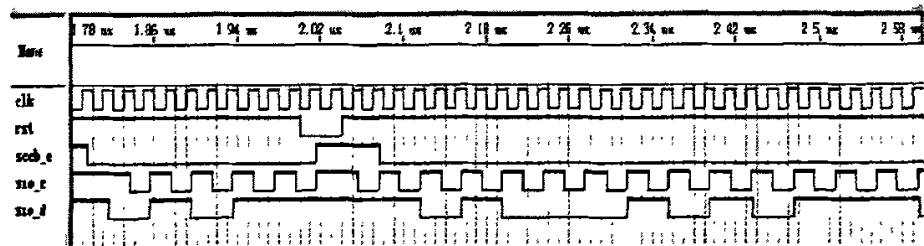


图 3-15 通过 SCCB 向寄存器写数据仿真图三

3.4.2 采样控制信号发生模块

在 3.3 节计算了设计中 OV9121 工作需要的时钟及其频率关系。要满足设计的时序要求，FPGA 必须发出正确的控制信号。FPGA 提供给 OV9121 的控

制信号主要有两个，系统时钟 XCLK1 和场同步信号 VSYNC，按设计要求，XCLK1 是频率为 24MHZ、占空比 50% 的周期信号；VSYNC 是频率为 25HZ、占空比为 0.8% 的周期信号^{[17][18]}。

在实际设计中，有两种方法可以得到需要的控制信号。一是采用锁相环。在很多设计中，往往需要多个频率和相位的时钟，于是各家 FPGA 厂商便在其 FPGA 内部设计了一些时钟管理元件，锁相环是其中一个有代表性的电路。Altera 公司的许多系列的 FPGA 内都有锁相环，在开发环境 QuartusII 里对锁相环的参数作出修改，可以改变初始时钟信号的分频系数或倍频倍数，并可调整时钟相位^[24]。本设计中，可以采用这种方法。

第二种方法是自己编写分频程序。本设计中，XCLK1 占空比为 50%，外部晶振时钟信号占空比也是 50%，所以只需采用计数电路对晶振时钟分频即可。场同步信号 VSYNC 的设计要复杂一些。由于其占空比是 0.8%，所以首先对时钟分频，以得到频率为 25HZ 的时钟，然后再使用两个计数器，一个对时钟低电平时间信号计数，另一个对时钟高电平时间计数，使低电平和高电平计数器计数时间比为 992 比 8 即可。

Altera 公司 FPGA 内部的锁相环是 Altera 公司经过优化过的模块，使用锁相环可以精确地得到要求的时钟，但是使用锁相环的程序可移植性较差，而且许多系列的 FPGA 内部没有锁相环^[33]。所以本设计采用第二种设计方法。图 3.16 是 FPGA 提供的控制信号示意。

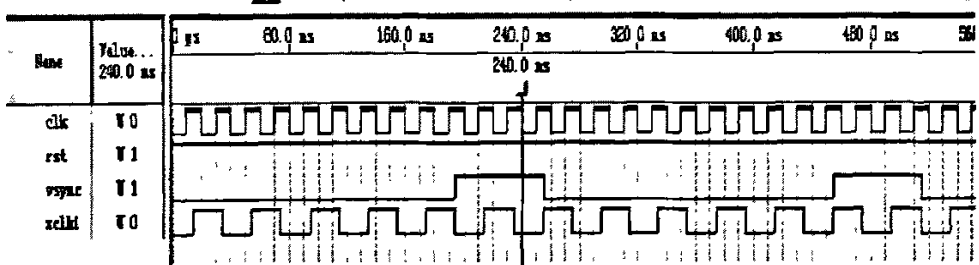


图 3-16 FPGA 提供的控制信号示意

注：图 3.16 仅为实际控制信号的示意，实际波形因 VSYNC 和 XCLK1 差别太大，在本图显示很不清楚。

3.5 FPGA 与 SDRAM 的接口设计

3.5.1 SDRAM 基本工作原理及特性

我们在进行 SDRAM 控制器设计时,根据特定的要求,一般都设计了初始化、自动刷新、块激活、猝发读写、预充电等六种操作^[26],具体状态机设计如图 3.17 所示。一个完整的写入操作执行以下命令序列[10]: ACTIVE, NOP, WRITE, 连续 15 个 NOP, PRECHARGE, REFRESH。一个完整的读出操作执行以下 SDRAM 命令序列: ACTIVE, NOP, READ, PRECHARGE, REFRESH。SDRAM 器件的管脚分为控制信号、地址和数据三类,且一片 SDRAM 中包含几个 BANK,每个 BANK 的存储单元是按行和列寻址的。由于这种特殊的存储结构,SDRAM 有以下几个工作特性。

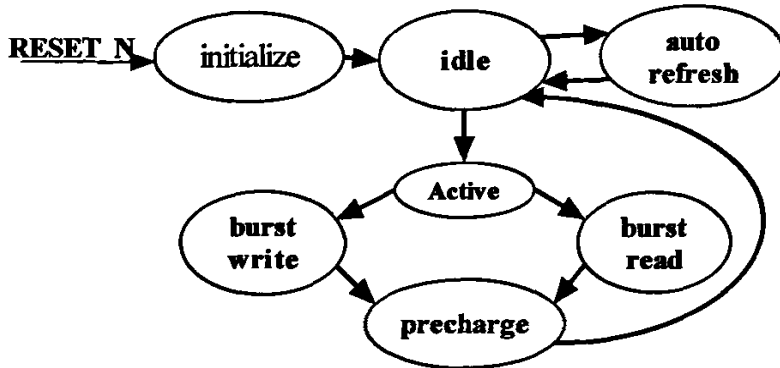


图 3-17 SDRAM 控制器状态转移图

(1)SDRAM 的初始化 SDRAM 在上电 $100\sim 200\mu s$ 后,必须由一个初始化进程来配置 SDRAM 的模式寄存器,模式寄存器的值决定着 SDRAM 的工作模式。

(2)访问存储单元 为减少 I/O 引脚数量,SDRAM 复用地址线,所以在读写 SDRAM 时,先由 ACTIVE 命令激活要读写的 BANK,并锁存行地址,然后在读写指令有效时锁存列地址。一旦 BANK 被激活后只有执行一次预充命令后才能再次激活同一 BANK。

(3)刷新和预充 SDRAM 是易失性存储器,需要保证在 60ms 内对 SDRAM 内的数据进行刷新操作,否则 SDRAM 内的数据将会丢失。刷新周期可由(最刷新周期÷时钟周期)计算获得。对 BANK 预充电或关闭已激活的 BANK,可预充特定 BANK 也可同时作用于所有 BANK, A10、BA0 和 BA1 用于选择 BANK。

(4)操作控制 SDRAM 的具体控制命令由一些专用控制引脚和地址线辅助完成。CS、RAS、CAS 和 WR 在时钟上升沿的状态决定具体操作动作，地址线和 BANK 选择控制线在部分操作动作中作为辅助参数输入。由于特殊的存储结构，SDRAM 操作指令比较多，不像 SRAM 一样只有简单的读写操作。

3.5.2 FPGA 与 SDRAM 的硬件连接

FPGA 与 SDRAM 的连接关系如图 3.18 所示：图 3.18 中，SDRAM 各引脚功能如下（以左边引脚为例）：

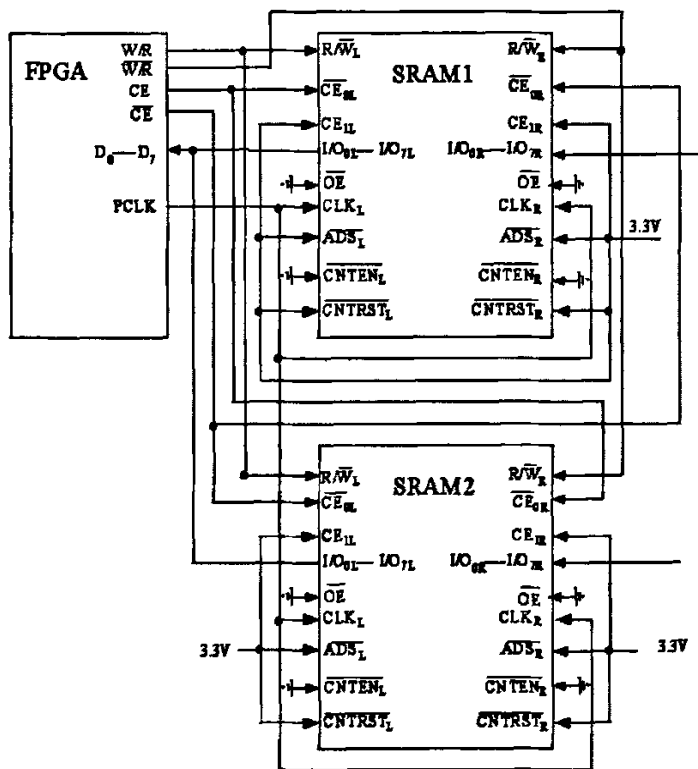


图 3-18 FPGA 与 SDRAM 连接关系

R/\bar{W} ：读/写使能，此端为高电平时读出，为低电平时写入；

$A_{0L}-A_{18L}$ ：地址同步输入端；

$I/O_{0L}-I/O_{7L}$ ：数据输入输出端；

CLK_L ：存储器工作时钟，所有输入信号在该时钟上升沿有效；

$CNTEN_L$ ：计数器使能，该引脚为低电平时，地址计数器工作；

3.5.3 SDRAM 的接口模块设计

SDRAM 的命令由 RAS_n、CAS_n 和 WE_n 构成，分别表示行选择、列选择与读写控制^[11]。SDRAM 接口模块控制 SDRAM 的命令与时序。该模块内含了初始化机制和系统指令分析机制。初始化机制不仅要完成对 SDRAM 的初始化配置，还要完成对控制器的初始化配置，从而使控制器与外部 SDRAM 的工作模式一致。为了实现高效的 SDRAM 存取，提高 SDRAM 总线的利用率，SDRAM 接口模块 CLK 采用 100MHz 的高速时钟，当得到数据存取模块的读 FIFO 要求后，向 SDRAM 连续写入 16 个字，当得到 PC 接口模块的读 SDRAM 请求后读出 1 个字，其他时间保证 SDRAM 进行刷新工作，以免数据丢失。

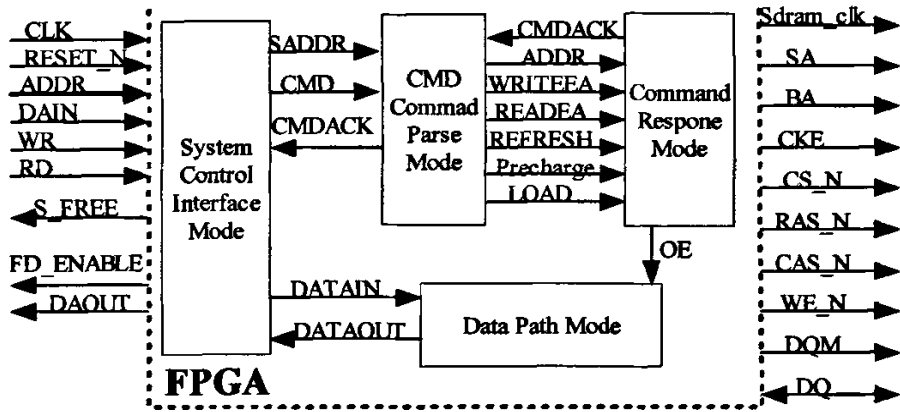


图 3-21 SDRAM 模块整体框图

(1) CMD 命令解析模块

CMD 命令解析模块该模块对 CMD 指令进行判断，其结果就是输出相应的操作指令信号给命令响应模块。CMD 为 001 时，则会输出 do_read 信号为 1；CMD 为 010 时，则会输出 d0_write 信号为 1，在同一时刻，只会输出一种有效的操作指令。此外，该模块内含用以预设某些模式参数的模式寄存器，主要包括三类：第一类是 SDRAM 模式控制寄存器，在 LOAD_MODE 指令时，将该寄存器的值送入 SDRAM 的模式寄存器中，以控制 SDRAM 的工作模式。第二类是 SDRAM 控制器的参数寄存器（LOAD_REG1），使得 SDRAM 控制器的工作方式与外部的 SDRAM 器件的工作方式匹配。第三类是 SDRAM 的刷新周期控制寄存器，该寄存器预设用户定义的自动刷新计数值，用于 SDRAM 的刷新周期预设。上述三类寄存器的预设值都是系统控制接口模块在初始化时通过

SADDR 传送过来的。

(2)命令响应模块

命令响应模块的作用是根据从 CMD 命令解析模块得到的操作指令，做出符合 SDRAM 读写规范的操作动作，来进行用户期望的操作；给出数据选通信号 OE，来控制数据通路模块（写操作时 OE 为 1，读操作时 OE 为 0）。此外，该模块把系统非复用的地址 ADDR 处理为 SDRAM 复用的地址，分时送给 SA、BA。

(3)数据通路模块

该模块受 OE 信号的控制，使数据的进出和相应的操作指令在时序上同步。OE 为 1 时，数据可由 DQ 脚写入 SDRAM，OE 为 0 时，数据可从 SDRAM 的 DQ 脚读出。

系统上电初始化并发出复位信号，SDRAM 控制器进入初始化状态，对 SDRAM 进行刷新和模式设置，其中猝发长度设为“full page”，然后进入空闲状态，等待命令。当主机启动 A/D 转换，ADC 接口将采集数据依次写入 A/D 数据缓存器，当其中一个 FIFO 满，SDRAM 控制器进入猝发写状态，发出块激活和猝发写命令，将 A/D 数据缓存器中的数据读出并写入 SDRAM 当前页，一页数据写操作后，发出块预充电命令，关闭所有数据块，退出猝发写状态。当 SDRAM 控制器接到主机的读数命令时，转入猝发读状态，先后发出块激活和猝发读命令，把 SDRAM 一页的数据读出并写入输出缓存器，并用满信号作为中断信号向 PCI 总线发出申请，通知主机读取数据。每当刷新计时器计数满，状态机转到刷新状态，完成对 SDRAM 的刷新。

(1)每启动一次 SDRAM 的读/写操作，都需要经过激活一个块(锁行地址)、锁列地址(读写命令)等几个过程，所以从发出地址到真正访问一个地址空间需要 4~6 个时钟周期。因此，SDRAM 在非猝发模式时访问效率非常低，不适合高速电路应用。在本电路设计中，SDRAM 的设置工作模式为猝发访问，充分发挥了 SDRAM 高速高效特点。

(2)复位之后，SDRAM 控制器自动进入初始化状态。根据 SDRAM 初始化的要求，设置一个计数器，首先等待至少 200ms，不做任何操作，然后产生一个 Precharge All Banks 命令，接着是两个刷新命令，最后设置工作模式寄存器。完成这些初始化操作之后，SDRAM 控制器进入空闲状态，这时才可以对 SDRAM 进行正常的操作。否则，SDRAM 将处于一种不确定状态，无法保证操作的正确

性。

(3)SDRAM 有多种刷新模式, Self Refresh 通常工作于所有数据块处于空闲的状态, 功耗低, 但是会使内部时钟和所有输入缓冲无效, 且控制复杂。Auto Refresh 由定时器产生, 易于控制。因此一般选择 Auto Refresh 模式。通常设计一个计数器以计算时间间隔, 达到刷新周期时, 产生刷新信号, 实现刷新时序。SDRAM 要求在刷新之前所有的块都处于空闲状态, 但实际应用中, 有可能从任意一个状态进入刷新状态, 因此不能保证所有的块都处于空闲状态, 因此, 在刷新之前, 首先对所有的块预充电, 然后刷新。

(4)对 SDRAM 进行读写访问操作时, 必须顺序完成锁行地址、锁列地址、读/写命令和 Precharge All Banks 命令。使用 Precharge All Banks 命令是由于 SDRAM 不允许对同一个块中的两个页进行操作, 为了防止误操作, 每完成一次操作都要关闭所有的块, 也可以在访问之前先执行该命令^{[29][30]}。

//控制信号 tg=1,fpga 连接到 SDRAM1, 从 SDRAM1 中读取数据

//控制信号 tg=0,切换到 SDRAM2

assign ed_sdram=tg?SDRAM_1_in_ed:SDRAM_2_in_ed;

assign SDRAM_1_o_ed=tg?8'hzz:ld;

assign SDRAM_1_oen=tg?1'b0:1'b1;

assign SDRAM_1_ea=tg?ea_SDRAM:1a;

assign SDRAM_1_ce=tg?ce_SDRAM:SDRAM_ce;

assign SDRAM_1_oe=tg?oe_SDRAM:SDRAM_oe;

assign SDRAM_1_we=tg?we_SDRAM:SDRAM_we;

//控制信号 tg=1,fpga 连接到 SDRAM2, fpga 写数据到 SDRAM2

//控制信号 tg=0,切换到 SDRAM1

assign SDRAM_2_o_ed=tg?ld:8'hzz;

assign SDRAM_2_oen=tg?1'b1:1'b0;

assign SDRAM_2_ea=tg?1a:ea_SDRAM;

assign SDRAM_2_ce=tg?SDRAM_ec:ce_SDRAM;

assign SDRAM_2_oe=tg?SDRAM_oe:oe_SDRAM;

assign SDRAM_2_we=tg?SDRAM_we:we_SDRAM;

图 3-19 是 SDRAM 读写转换时序图, 由图中可以看出, SDRAM 由读到写或由写到读的转换, 都需要两个时钟周期, 而由图 3.20 可以看出, 下一帧图像的 VSYNC 的起始时间与前一帧图像最后一个数据输出结束时间相差远大于两个时钟周期, 满足读一写或写一读的转换时间要求。所以, 在 FPGA 与 SDRAM 如图 3.18 的连接关系下, FPGA 只需按设计时序要求依次选通两片 SDRAM 即图 3.22 是 FPGA 对 SDRAM 发出的控制信号, 由于读写的数据量大小相同, 所以两片 SDRAM 采用同一时钟。图中, 以 VSYNC 为 SDRAM 的输入时钟, CE1 代表 FPGA 中的 CE, WR1。图 3.23 为 SDRAM 读写时序仿真图。

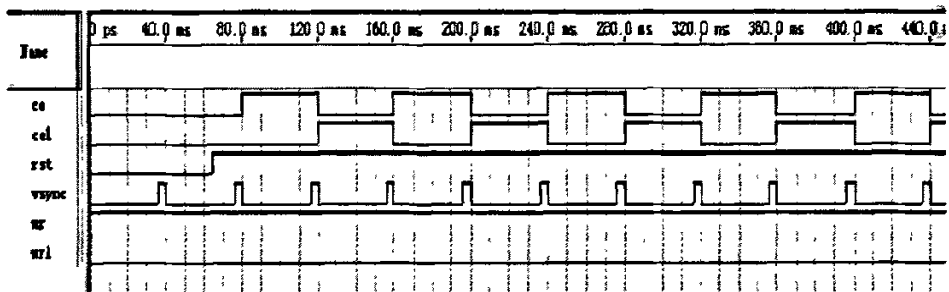


图 3-22 FPGA 提供给 SDRAM 的控制信号

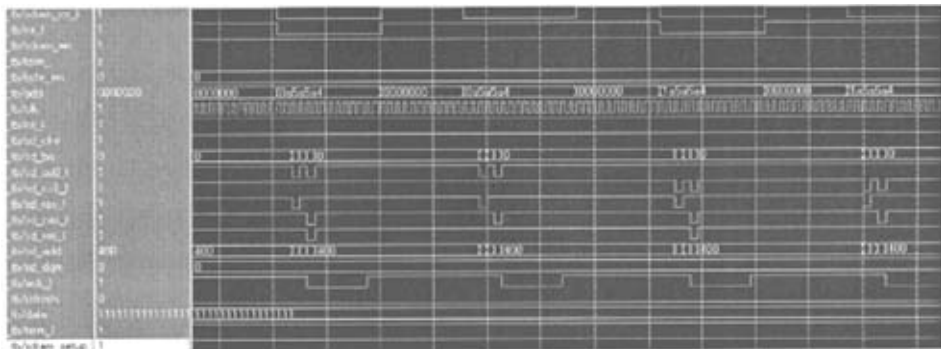


图 3-23 SDRAM 读写时序图

3.6 FIFO 先进先出模块设计

3.6.1 异步时钟域的解决方法

FPGA 设计的主导原则之一就是同步化设计,即对所有时钟控制器件(如触发器、RAM 等)都采用同一个时钟来控制。但在实际的应用系统中,随着设计规

模的不断扩大,一个系统中往往含有数个时钟。数据不可避免的要在不同时钟域间的传递,完全同步化设计出现困难。在本系统中即有这种情况发生。FPGA系统上电工作后,收到启动视频采集命令,开始接收从OV9121送出的数字视频流。OV9121采用的时钟晶振为24.576MHz,通过其内部锁相环路作用后输出的行锁定时钟LLC为27MHz,而FPGA系统采用48MHz晶振作为全局时钟,两者时钟频率不一致。当视频数据从OV9121传入FPGA时便出现了异步时钟域的问题,为此需要找到保持系统稳定,顺利完成数据传输的方法。

不同时钟域之间数据传递的最重要问题就是亚稳态(Metastability)问题^[12]。当数据信号通过两个时钟域的交界处时,将会分别由这两个时钟来控制信号的值。此时如果两时钟信号的敏感沿非常接近并超过了允许的额度,将出现数据信号不稳定的情况。因为在数字集成电路中,每个触发器(Flip-Flop)都有其特定的建立(Setup)时间及保持(Hold)时间。输入信号不得在时钟上升沿前后的建立时间及保持时间内改变数值。当一个信号被寄存器锁存时,如果信号和时钟之间不满足这个要求,触发器的输出端的值是不确定的,并且在未知的时刻会固定到高电平或低电平。这个过程称为亚稳态^{[31][32]}。

解决在异步时钟域之间传输数据的方法通常有三种:

- (1)在时钟同步单元中采用两次同步法;
- (2)使用握手信号机制;
- (3)使用异步FIFO进行数据缓冲;

下面对三种方法进行分析,从中选择适合本系统的工作方式。

时钟同步法:系统中存在两个异步时钟clk_a和clk_b,如果高频率的时钟大于低频率时钟的两倍的话,则设计者可以使用频率高的时钟作为采样时钟。低频时钟经过处理后可以作为触发器的使能信号。本系统的情况是OV9121的时钟为27MHz,而FPGA系统时钟为48MHz,高频率时钟达不到低频率时钟的两倍,所以该方法不满足。

握手信号机制:握手信号机制是异步系统之间通信的常用方法,但在设计时需要仔细分析握手协议和应答信号有效持续的时间,才能确保采样数据的正确性。这样会增加系统的逻辑复杂度并且影响传输速度,本系统每秒需要传输的数据流达到27M字节,使用该力一式不太合适。

异步FIFO方式:FIFO是一种先进先出电路,其使用一个双端口存储器存放数据,数据发送方在一端写入数据,接收方在另一端读出数据,能够协调好两

个时钟域的工作,满足频率高的要求^{[13][18]}。异步 FIFO 是异步时钟接口电路一种简便、快捷的解决方案。使用异步 FIFO 可以在两个不同时钟系统之间快速而方便地传输实时数据。在网络接口、图像处理等方面,异步 FIFO 得到了广泛的应用。

基于上述的分析,本系统中采用异步 FIFO 的方式与视频采集芯片 OV9121 进行交互,从而获得实时的数字视频流。

FIFO 是一种先进先出存储器,在 FPGA 设计中经常被用到,主要用来缓冲数据和隔离时钟或相位差异。访问 FIFO 时仅需要读写线和控制信号线,而不需要地址线,因此利用 FIFO 实现采集数据的缓存具有接口简单、读写方便的优点。FIFO 的存储介质是双端口 RAM,所以读写操作在两端可以同时进行。FIFO 按照输入输出控制时钟可分为同步 FIFO 和异步 FIFO。

同步 FIFO 的读写时钟来自于同一个时钟源,而异步 FIFO 的读写时钟采用各自独立的时钟。同步 FIFO 由于只有一个时钟,所以对双端口 RAM 中的数据容易确定,因而设计结构较为简单。异步 FIFO 由于采用不同时钟,要确定 FIFO 中数据量相对比较复杂,需要仔细考虑满、空标志位。

本系统由于接口时钟的不同,采用异步 FIFO 进行设计。图 3.24 是一种较为通用异步 FIFO 的设计框图。

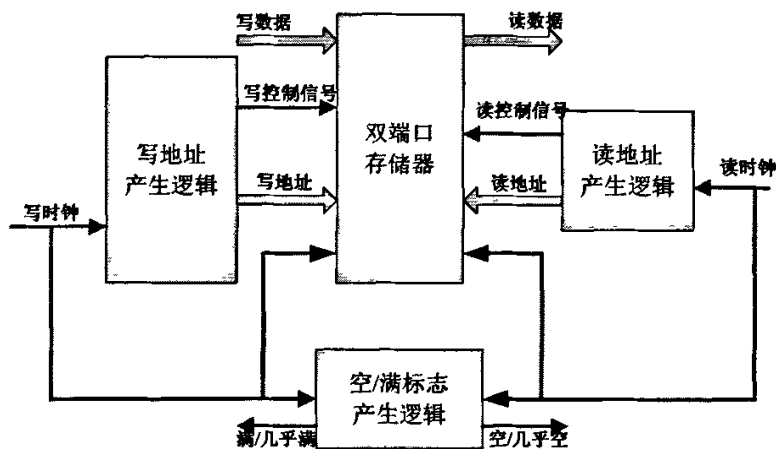


图 3-24 异步 FIFO 设计框图

从图中可以看到整个系统分为两个完全的时钟域:读时钟域和写时钟域。在写时钟域部分,由写地址产生逻辑产生写控制信号和写地址;读时钟部分由读地址产生逻辑产生读控制信号和读地址。在空/满标志产生部分,由读写地址相互

比较产生空/满标志。

3.6.2 异步 FIFO 的 FPGA 实现

因为 Altera Cyclone 系列 FPGA 芯片一内部有着丰富容量的 M4K 嵌入式 RAM 单元，可以利用这些 EAB 在 FPGA 内部构建异步 FIFO 模块，这一点也是当初硬件选型时考虑的原因之一。将异步 FIFO 集成到 FPGA 的内部，从而避免了专用 FIFO 芯片带来的诸多不变，提高了系统的稳定性。

本系统采用 QuartusII 自带的参数化模型库 LPM (Library of Parameterized Modules)进行设计^{[19][20]}。LPM 参数化模块库是优秀的版图设计人员和软件人员智慧的结晶，也可以称之为软核(Soft IP Core)。具体地讲，一些模块的各种参数是由电路设计者为了适应设计电路的要求定制的，通过修改 LPM 器件的某些参数，从而达到设计的要求，使用 LPM 设计出来的电路与结构无关。设计者在利用 LPM 宏单元进行设计的同时不用担心芯片的利用率和效率。作为 EDIF(电子设计交换格式)标准的一部分，LPM 被许多 EDA 软件所支持，如本文用到的 Modelsim 和 Synplify^[21]等等。

Quartus II 软件中提供了五种 FIFO 宏模块，本设计中选用 lpm_fifo_dc 来构成异步 FIFO。选择 MegaWizard Plug-In Manager 栏可以产生异步 FIFO，如图 3.25 所示。

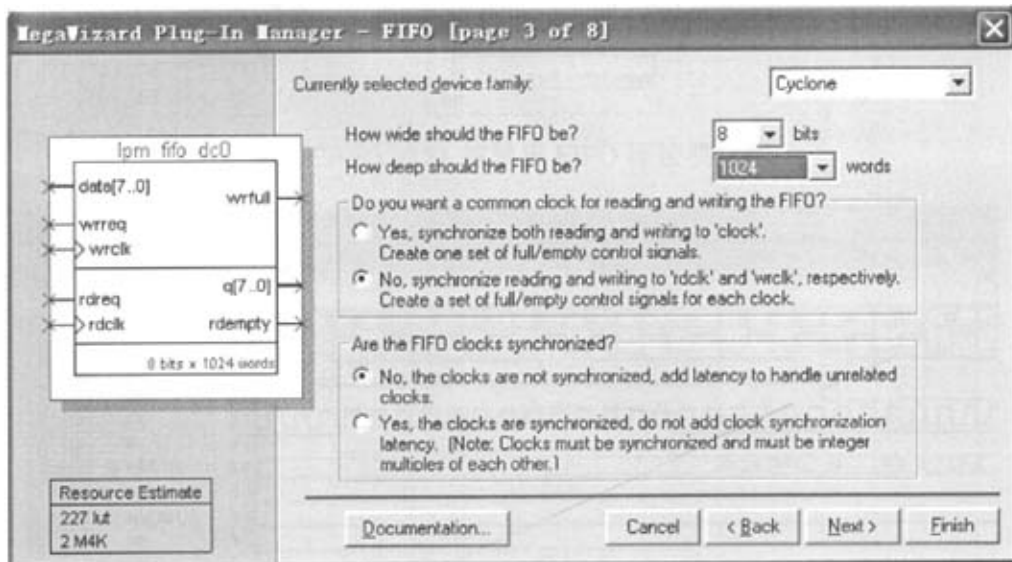


图 3-25 8 位、1024 深度异步 FIFO

3.6.3 OV9121 与异步 FIFO 的接口设计

异步 FIFO 缓冲来自 OV9121 的数字视频数据流,因此 OV9121 需要与 FIFO 进行接口。除了将 OV9121 的数字视频输出总线 VPO 与 FIFO 的输入数据总线相连外, OV9121 还要为异步 FIFO 提供写使能信号 wrreq 和写时钟信号 wclk。OV9121 在每个 LLC 的上升沿将数字视频数据打入 VPO 总线,所以 LLC 可以作为 FIFO 的写时钟信号 wclk。OV9121 没有输出专门的写使能信号连接到 FIFO 的写使能输入 wrreq, wrreq 必须由 OV9121 输出的其它信号经过逻辑变换得到。经过思考发现, OV9121 可以通过 IIC 接口配置,使 RSTO 和 RSTI 输出行参考信号 HREF 和场参考信号 VREF,在 HREF 和 VREF 为低电平时, OV9121 芯片 VPO 总线输出的是行消隐或场消隐数据,不需要接收^[24]。这样综合考虑后,在系统中用 VREF 和 HREF 的逻辑与(wrreq-VREF & HREF)关系作为异步 FIFO 的写使能信号 wrreq,按照此办法就可以将有效视频数据写入到异步 FIFO 中去^[25]。

异步 FIFO 读数据一端由于在 FPGA 内部,所以实现比较方便。视频处理器 OV9121 与 FPGA 内部实现的异步 FIFO 连接如图 3.26 所示。

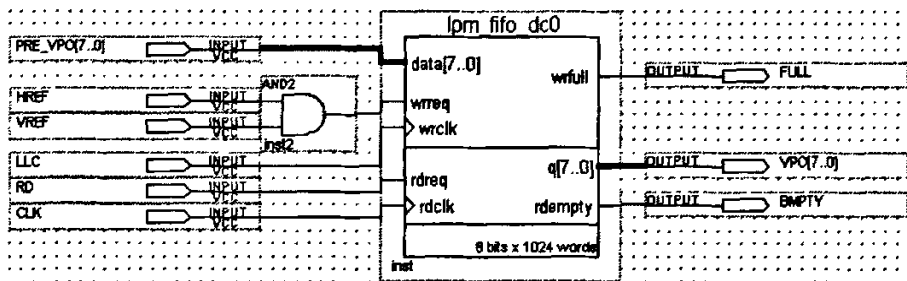


图 3-26 OV9121 与异步 FIFO 连接模块图

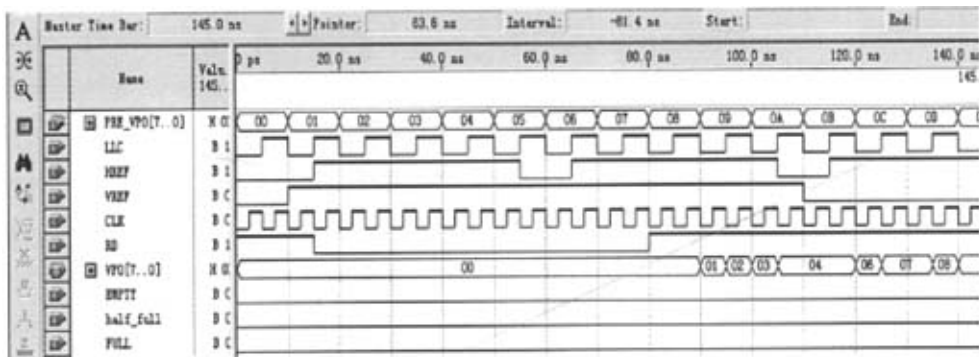


图 3-27 异步 FIFO 功能仿真图

功能仿真波形图中输入的时序激励与实际的 OV9121 芯片输出的时序相一致,从功能仿真波形图中可以看出,异步 FIFO 与 OV9121 的接口完全符合设计要求。时序分析结果显示该异步 FIFO 的最大频率可以达到 164.37MHz,表明其可以应用在更高速的视频采集处理系统中。

3.7 本章小结

本章主要论述本设计的图像采集部分,包括 OV9121 初始化模块、采样控制模块和 SDRAM 控制模块。初始化模块主要是根据设计要求,设定 OV9121 的工作模式、图像的分辨率、像素输出频率和帧频等参数;采样控制模块负责提供 OV9121 采集图像需要的控制信号;SDRAM 控制模块主要负责缓存 OV9121 输出的图像数据,并将图像数据送 FPGA 滤波模块处理,本模块使用了两片相同规格的 SDRAM,为了保持采集和读取数据一致,本文设计了基于 FPGA 的 FIFO。从仿真结果来看,各项设计均符合要求。

第4章 基于FPGA的图像初级处理

4.1 用FPGA进行图像处理的必要性

图像处理算法的最大特点是数据量大与运算量大，同时还具有以下三个特点：

(1)均匀性^[38]：图像低层处理算法通常是对整个图像二维阵列的各点做同一操作。

(2)邻域性：许多图像预处理算法的操作对象往往是一个小邻域，如 3×3 或 5×5 的方形邻域。

(3)多级性：图像高层处理算法的操作对象不是整幅图像而是其中的一部分。

由于低层的图像预处理算法处理的数据量大，如对于一幅 $512\times 512\times 8$ 比特的动态图像，即1S内刷新25帧，这时即使对图像的每个像点在其 3×3 邻域内做100次局部运算，需要处理的速率高达每秒 6×10^9 操作，这时，用软件实现会比较慢。而对于一些实时性要求比较高的系统，如视频图像实时处理系统，处理速度往往是要考虑的关键要素，因为一旦速度跟不上，实时性也就无从谈起。因此，必须为这样的运算设计一个专用的高速硬件逻辑电路。另外，在一些特殊应用的场合，系统需要脱离计算机单独完成图像处理的算法，此时，也必须设计独立的专用电路来满足这种需要。

目前，随着VLSI技术的发展，越来越多的算法可以用硬件来实现。同时，由于生产线的专业化，在同一环境下生成或传输的图像，其受污染的噪声类型有相似性和稳定性，这也使专用集成电路有很大的实用性。但是，由于图像处理算法的复杂性、多样性，一个系统只能采用一种结构，因而限制了其应用范围。这是目前报道的图像处理系统的共同特点。针对图像预处理阶段运算结构的特点，FPGA芯片是目标硬件的理想选择之一^[39]。采用FPGA芯片，只需少数芯片和简单的外围电路，即可实现比较复杂的图像预处理算法，而且只要改变FPGA芯片内部参数值就可以实现对不同尺寸、不同灰度级图像的处理，具有一定的灵活性。目前，FPGA已在图像处理中得到广泛的应用。

图像处理技术是把输入图像转换成具有所希望特征的另一幅图像。根据算

法强度、算法复杂度和难易程度，可将视觉检测中的图像处理分为低级处理、中级处理和高级处理。

4.2 常见的图像处理算法简介

低级处理主要是针对像素的一些运算，完成如对比度增强、锐化处理、平滑处理、边缘检测、模板匹配、膨胀和缩小等操作^[27]。在低级处理中，参与运算的数据量大；数据需多次重复使用、算法简单(乘加运算)、规则，图像中的所有元素均可施以同样的操作，存在固有的并行性，通信需要高带宽数据交换。因此，低级图像处理往往是图像处理系统中最为耗时的环节，对整个系统速度影响较大；这些特点，使这些运算非常适合于在外围 FPGA 架构中来用硬件算法实现，例如，FPGA 中的硬件乘法模块就使得这些运算中大量用到的卷积运算易于实现，由于 FPGA 能够方便进行并行运算，使得图像的低级处理速度大大加快。

中级处理是将低级处理的结果，如灰度直方图、检测点、线的坐标，作为输入，做进一步的处理，包括对被测物有用特征信息的处理，如孔中心的图像坐标提取，线段交点的图像坐标的求取等，在这些运算中，参与运算的数据量较小，但算法相对复杂，同时还具有一定的串行性，如继续用硬件实现则不仅要占用大量硬件资源，且不易实现，因此可采用嵌入式的 CPU 来完成，由于 CPU 与 FPGA 结构有很大的带宽，进行数据交换也很方便。

高级处理则包括视觉传感器坐标到传感器坐标的转换，以及整个检测系统多个传感器坐标的统一等，经过中级处理后的数据量已经很小、需传输的数据量也小，而且这些运算的算法更加复杂，对系统的计算性能要求高，比较适合用计算机进行处理。

图像低级处理是视觉检测中图像处理最重要的部分之一，主要完成缺陷去除、边缘检测等过程，为后期的特征识别提供支持^{[40][41][42]}。视觉检测中图像低级处理技术大致可分为两个方面：图像增强和图像分割。由于在系统中不涉及到图像分割技术，所以主要通过 FPGA 实现图像预处理中的图像增强功能，为后期斑点的特征提取和模式识别提供合适的图像数据。

图像增强的主要目的是为了提高图像的对比度，突出边缘细节，以改善视觉效果和方便特征的提取、模式识别等，使结果对某种特定应用来说比原始图像更加适用，将图像转变为一种更适于人或机器识别的形式。它包括一系列技术手段，如对比度增强、直方图修正、噪声去除、边缘锐化等。对比度增强使

图像“亮处”更亮，“暗处”更暗，如果以灰度值 m 为阈值，则图像中灰度值小于 m 的点灰度值变小，灰度值大于 m 的点灰度值变大，在极限的情况下，结果输出只有两个灰度值，这种情况也叫图像的二值化。

直方图修正就是对原图像重新标度，使增强后的图像直方图适于某种要求的形式。方法使通过变化函数 $T(r)$ 来控制图像灰度级的概率密度函数，从而改善图像的整体外貌。常使用的直方图修正技术有直方图均衡化，利用灰度变换函数对输入图像做修正，使修正后的图像直方图趋向均匀，从而使图像的灰度级的动态范围增大，明显的改善图像的外貌，增加图像的反差。其变换函数的离散形式为^[27]：

$$S_k = T(r_k) = \sum_{j=0}^k n_j / n = \sum_{i=0}^k P_r(r_j) \quad (4-1)$$

其中 $0 \leq r_k \leq 1$; $k=0, 1, 2, \dots, L-1$ 。显然，用 r 的累积分布函数作为变换函数，产生了一副灰度级具有均匀密度的图像。从增强的意义上说，这意味着像素动态范围的增加。噪声去除，传感器噪声和信号传输都会引起图像噪声，通常表现为估计像素的空间不相干性，因此，图像在进一步处理前，应进行噪声去除。噪声去除的方法比较多，一般采用空间滤波。输入图像 F 与卷积阵列 H 所形成的输出图像 Q 关系式为^[28]：

$$Q(m_1, m_2) = \sum_{n_1} \sum_{n_2} F(n_1, n_2) H(m_1 - n_1 + 1, m_2 - n_2 + 1) \quad (4-2)$$

因为噪声主要式高频信号，所以 H 一般为低通形式的卷积阵列：

$$H = 1/9 \begin{Bmatrix} 1 & 1 & 1 \\ 1 & 1 & 1 \\ 1 & 1 & 1 \end{Bmatrix} \quad H = 1/10 \begin{Bmatrix} 1 & 1 & 1 \\ 1 & 2 & 1 \\ 1 & 1 & 1 \end{Bmatrix} \quad H = 1/16 \begin{Bmatrix} 1 & 2 & 1 \\ 2 & 4 & 2 \\ 1 & 2 & 1 \end{Bmatrix}$$

边缘锐化，图像的边缘包含着大量的信息。视觉检测中，能够精确的提取图像的边缘信息是非常重要的一步，边缘在图像中表现为强度的突变。为了突出图像的边缘，进行边缘锐化非常有必要。边缘锐化经常采用卷积运算的高通形式，主要的运算算子以下几种形式：

$$H = \begin{Bmatrix} 0 & -1 & 0 \\ -1 & 5 & -1 \\ 0 & -1 & 1 \end{Bmatrix} \quad H = \begin{Bmatrix} -1 & -1 & -1 \\ -1 & 9 & -1 \\ -1 & -1 & -1 \end{Bmatrix} \quad H = \begin{Bmatrix} 1 & -2 & 1 \\ -2 & 5 & -2 \\ 1 & -2 & 1 \end{Bmatrix}$$

4.2.1 图像滤波

消除图像中的噪声叫做图像的平滑或滤波。一般情况下，在空间域内可以用邻域平均来减少噪声。而在频率域，由于噪声频谱多集中在高频段，因此可以采用各种形式的低通滤波方法来减少噪声。图像中的噪声常常和信号交织在一起，噪声对图像信号幅度和相位的影响情况十分复杂，有些噪声和图像信号互相独立，有些则是相关的。因此，选择消除噪声的方法，应该根据噪声图像本身的特点来决定，可以在空间域也可以在频率域采用不同的措施。合理的选择图像平滑的方法，既能平滑掉图像中的噪声，又要尽量保持图像的细节，即少付出一些细节模糊的代价以保证处理的精度。本文主要介绍以下几种滤波：

4.2.1.1 空间域平均

图像空间域平均就是对含噪声的原始图像 $f(x,y)$ 中每个像素点取一个邻域 A ，计算 A 中所有像素灰度级的平均值，作为空间域平均处理后图像 $g(x,y)$ 的像素值。

$$G(x,y) = 1/M \sum_{x,y \in A} f(x,y) \quad (4-3)$$

公式中 M 为邻域 A 中的像素点数， A 邻域可取四邻域、八邻域。图像平均有力的抑制了噪声，同时，也出现了因平均作用而引起的模糊现象，模糊程度与邻域半径成正比，即 A 域面积越大，噪声减小越显著，但模糊性也越大。

4.2.1.2 频率域低通滤波

由于噪声频谱能量多集中在高频段，所以采用衰减高频的低通滤波器可以去除噪声。但是，图像细节的频谱能量也趋向于高频段，所以低通滤波同样也给图像细节带来模糊。

低通滤波平滑图像的公式如下式。式中 $F(u,v)$ 是带噪声的原始图像 $f(x,y)$ 的傅立叶变换， $H(u,v)$ 为低通滤波器的传递函数，经过滤波处理后的

$$G(u,v) = H(u,v) \times F(u,v) \quad (4-4)$$

再进行傅立叶反变换可得到去除噪声后的平滑图像 $G(x,y)$ 。

常用的频域低通滤波器有理想低通滤波器、巴特沃兹(Buterworth)低通滤波器、指数低通滤波器和梯形低通滤波器。这些低通滤波器，都能在一定程度上减少图像中的噪声，但同时也会使图像中高频成分做出某些牺牲。

4.2.1.3 中值滤波

中值滤波是一种对干扰脉冲和点状噪声有良好抑制作用，而对图像边缘能较好保持的非线性图像增强技术，在一定的条件下，它可以克服线性滤波器如最小均方滤波、平均值滤波等所带来的图像细节模糊，并且对去除脉冲干扰和图像扫描噪声非常有效。但是对一些细节多，特别是点、线、尖端细节多的图像不宜采用中值滤波。

在一维的情况下，中值滤波就是用一个有奇数点的滑动窗口，将窗口中心点的值用窗口内各点的中值代替。经过排序后窗口像素序列为

$\{F_{i-v}, \dots, F_{i-1}, F_i, F_{i+1}, \dots, F_{i+v}\}, v=(L-1)/2$, L 为窗口长度, F_i 即为窗口像素的中值滤波输出，记作

$$G_i = \text{Med} \{F_{i-v}, \dots, F_{i-1}, F_i, F_{i+1}, \dots, F_{i+v}\} \quad (4-5)$$

$\text{Med} \{.\}$ 表示取窗口中值。如一窗口长度为 5, 像素灰度分别为 $\{16, 10, 23, 15, 26\}$ ，则

$$G_i = \text{Med}\{16, 10, 23, 15, 26\} = 16 \quad (4-6)$$

一维中值滤波的概念很容易推广到二维。就是取某种形式的二维窗口，将窗口内像素排序，生成单调二维数据序列 $\{F_{jk}\}$ 。类似于一维，二维中值滤波输出 $G(j, k)$ 为

$$G(j, k) = \text{Med}(F_{jk}) \quad (4-7)$$

一般来说，二维中值滤波器比一维滤波器更能抑制噪声。二维中值滤波器的窗口形状可以有多种，如线状、方形、十字形、圆形、菱形等。不同形状的窗口产生不同的滤波效果，使用中必须根据图像的内容和不同的要求加以选择。窗口尺寸一般先选用 3×3 窗口再选取 5×5 窗口逐点增大，直到其滤波效果满意为止。一般来说，对于有缓变的较长轮廓线物体的图像，采用方形或圆形窗口比较合适。对于包含有尖顶角物体的图像，适宜用十字形窗口，而窗口大小一般不超过图像中最小有效物体的尺寸。

4.2.2 边缘检测

从本质上说，图像边缘是图像局部特性不连续性(灰度突变、颜色突变等)的反映，它标志着一个区域的终结和另一个区域的开始。也就是说，边缘对应于边缘上灰度一阶微分幅度大的点，或者二阶微分的零交叉点^[43]。边缘提取首先检出图像局部特性的不连续性，然后再将这些不连续的边缘像素连成完整的

边界。边缘的特性是沿边缘走向的像素变化平缓，而垂直于边缘方向的像素变化剧烈。所以，从这个意义上说，提取边缘的算法就是检出符合边缘特性的边缘像素的数学算子。传统的边缘检测方法是依据梯度最大值或者二阶导数过零的特点，如罗伯茨(Roberts)算子、索贝尔(Sobel)算子、拉普拉斯(Laplacian)算子^[44]等。求解二维实函数的梯度之后，选取合适的阈值以提取边缘，通常称之为梯度阈值法。微分算子通常采用相对较小的窗口进行运算，比如 3×3 或者 7×7 窗口，它们一般对噪声较为敏感，二阶导数算子尤甚。

下面介绍基于经典微分算子的边缘检测。

(1) 基于一阶微分的边缘检测算子

图像的局部边缘定义为两个强度明显不同的区域之间的过渡，图像的梯度函数即图像灰度变化的速率将在这些过渡边界上存在最大值。因此，通过基于梯度算子或一阶导数的检测器来估计图像灰度变化的梯度方向，增强图像的这些变化区域，然后对该梯度进行阈值计算，如果梯度值大于某个给定门限，则存在边缘。再将被确定为边缘的像素连接起来，以形成包围着区域的封闭曲线。一阶微分是图像边缘和线条检测的最基本方法。图像函数 $f(x, y)$ 在点 (x, y) 的梯度(即一阶微分)是一个具有方向和大小的矢量，即：

$$\nabla f(x, y) = \frac{\partial f}{\partial x} \mathbf{i} + \frac{\partial f}{\partial y} \mathbf{j} \quad (4-8)$$

在 θ 方向的变化速率可由下式给出：

$$\frac{\partial f}{\partial x} \cos \theta + \frac{\partial f}{\partial y} \sin \theta \quad (4-9)$$

变换率最大方向为：

$$\theta_{\max} = \arctg\left(\frac{\partial f}{\partial x} / \frac{\partial f}{\partial y}\right) \quad (4-10)$$

梯度值最大方向为：

$$g(x, y) = \sqrt{\left(\frac{\partial f}{\partial x}\right)^2 + \left(\frac{\partial f}{\partial y}\right)^2} \quad (4-11)$$

所有基于梯度的边缘检测器之间的根本区别是算子应用的方向，以及在这些方向上逼近图像一维导数的方式和将这些近似值合成为梯度幅值的方式。当

考虑数字图像的离散域时, 可将图像的一阶差分直接替代图像函数的偏导数。

二维离散图像函数在 x 方向的一阶差分定义为:

$$f(x+1,y)-f(x,y) \quad (4-12)$$

y 方向的一阶差分定义为:

$$f(x,y+1)-f(x,y) \quad (4-13)$$

罗伯茨(Roberts)算子是在 2×2 领域上计算对角导数, 图像点 (x, y) 的梯度 $g(x, y)$ 幅度是用方向差分的均方值来近似的, 即:

$$g(x,y) \approx R(x,y) = \sqrt{f(x,y)-f(x+1,y+1)^2 + f(x,y+1)+f(x+1,y)^2} \quad (4-14)$$

罗森菲尔德(Rosenfeld)和卡克(Kak)还提出罗伯茨最大值算子

$$g(x,y) \approx R(x,y) = \max(|f(x,y)-f(x+1,y+1)|, |f(x,y+1)-f(x+1,y)|) \quad (4-15)$$

此式能够提供较好的不变性边缘取向。对于同等长度但取向不同的边缘, 应用罗伯茨最大值算子比应用罗伯茨交叉算子所得的合成幅度变化小。罗伯茨算子的一个重要问题是计算方向差分时对噪声敏感。

索贝尔(Sobel)算子是一种将方向差分运算与局部平均相结合的方法^[45], 在以 $f(x, y)$ 为中心的 3×3 领域上计算 x 和 y 方向的偏导数, 即:

$$S_x = f(x+1,y-1)+2f(x+1,y)+f(x+1,y+1)-[f(x-1,y-1)+2f(x-1,y)+f(x-1,y+1)] \quad (4-16)$$

$$S_y = f(x-1,y+1)+2f(x,y+1)+f(x+1,y+1)-[f(x-1,y-1)+2f(x,y-1)+f(x+1,y-1)] \quad (4-17)$$

实际上, 上式应用了 $f(x, y)$ 领域的图像强度的加权平均差值。其梯度大小

$$G(x,y) \approx S = (S_x^2 + S_y^2)^{\frac{1}{2}} \quad (4-18)$$

或绝对值:

$$G(x,y) \approx S = |S_x| + |S_y| \quad (4-19)$$

在实际应用中, 通常是利用简单的卷积和来计算方向差分, 不同的算子对应不同卷积和, 它们产生的两个偏导数在图像一个点上用均方值或绝对值求和的形式结合起来。

Sobel 算子不象普通梯度算子那样直接计算两个像素之差值, 而是用两行或两列加权之和之差值, 即采用水平和垂直方向的两个正交模板。设两个模板为:

$$\begin{Bmatrix} -1 & -2 & -1 \\ 0 & 0 & 0 \\ 1 & 2 & 1 \end{Bmatrix} \quad \begin{Bmatrix} -1 & 0 & 1 \\ -2 & 0 & 2 \\ -1 & 0 & 1 \end{Bmatrix}$$

设 $U(m,n)$ 为输入图像的像素, 定义双向梯度算子为

$$G_h(m,n) = U(m,n) \otimes H(-m,-n) \quad (4-20)$$

$$G_v(m,n)=U(m,n)\otimes V(-m,-n) \quad (4-21)$$

梯度矢量的幅度值为: $G(m,n)=(G_h(m,n)^2 + G_v(m,n)^2)^{1/2}$ 则边缘定义为

$$E(m,n)=\begin{cases} 1 & G(m,n) > T \\ 0 & G(m,n) \leq T \end{cases} \quad (4-22)$$

其中 T 为阈值。为简化计算,且易于硬件实现,按以下方式进行计算:

$$G(m,n) = |G_h(m,n) + G_v(m,n)|$$

$$G_h(m,n) = U_{i-1,j+1} + 2U_{i,j+1} + U_{i+1,j+1} - (U_{i-1,j-1} + U_{i,j-1} + U_{i+1,j-1})$$

$$G_v(m,n) = U_{i+1,j-1} + 2U_{i+1,j} + U_{i+1,j+1} - (U_{i-1,j-1} + U_{i,j-1} + U_{i+1,j+1}) \quad (4-23)$$

4.3 通过 FPGA 实现卷积运算

4.3.1 卷积运算分析

通过对各种低级预处理算法的分析,噪声去除、特征提取等过程,都可以采用卷积模板运算来实现。卷积模板运算是图像低级处理中最基础、最重要的算法之一。在图像的预处理技术中,大部分不同的图像处理过程可以理解为图像与不同“窗口”的卷积运算过程。

卷积模板操作实现了一种邻域计算,即某个像素点的结果不仅和本像素灰度有关,而且和其邻域点的值有关。模板运算的数学涵义是一种卷积(或互相关)运算。卷积模板运算在图像处理中频繁的用到,可以看出,它是一项非常耗时的运算。以一个 3×3 模板为例,每个像素完成一次模板操作要用 9 个乘法,8 个加法,1 个除法。对于一幅 $N \times N$ (宽度 \times 高度)的图像,就是 $9N^2$ 个乘法, $8N^2$ 个加法和 N^2 个除法,算法复杂度为 $O(N^2)$,相对于通过通用 DSP 或 CPU 来实现处理过程的大图像来说,是难以承受的。所以一般常用的模板并不大,如 3×3 , 4×4 ^[46]。系统采用 FPGA 的内部并行处理结构的特点来完成模板运算,大大提高了这种卷积运算的实时性和速度。在进行实时图像处理过程中,模板操作中不需要存储完整的一帧图像,只要存储模板操作中的邻域像素点所涉及的行像素点。因此采用 2 个行延时寄存器块就可实现 3×3 的窗口像素矩阵。例如对于 512×512 的像素图像,每行的 3 个 D 触发器延时 3 个时钟,行延时寄存器块延时 509 个时钟,这样每行延时 512 个时钟周期,通过延时 1027 个时钟后就可以完成卷积算法。通常的卷积操作由 9 个乘法器、一个加法器和除法器构成,采用对称的 2-D 卷积窗口,只要几个加法器和 1 个矢量乘法器就可以实现卷积运算。整个 3×3 卷积器采用流水线技术,提高 FPGA 的

处理效率。

4.3.2 卷积运算 FPGA 实现方法分析

下面讨论卷积运算的几种实现方法：

(1) 移位寄存器法

根据卷积运算的原理，卷积实际上就是将不同的模板依次套用到不同的小区域，通过模板内算子的改变实现不同的图像变换，以达到预期需要的处理目的。由于像素点的处理应该是逐行或逐列进行依次处理，所以实现时最简单的办法就是用移位寄存器来实现，每处理完一个数据，寄存器中需要涉及的对应模块宽度的数据行或列依次移位。采用该方法简单实用。对于较小的数据长度是方便的，但是对于大规模的卷积而言，当数据量较大时，这样做不仅要使用大量移位寄存器，而且还要使用众多电路辅助结构，电路较为复杂。

(2) 查找表法

查找表法通过在 ROM 中写入一组值，不同的输入数据对应不同的值。此方法的优点是输入到得到输出结果中间过程不需要进行运算，只需要从 ROM 中相应的位置读出结果数据即可，即处理速度较快。此方法的缺点是当输入数据位宽度较大时，需要极大的空间来存储结果值。所以这种方法应用于较大位宽的数据时，不推荐采用；当数据宽度较小，可以在占用 FPGA 面积与处理速度两者之间的关系折中考虑是否采用该方法。

(3) 读取 RAM 法

这种方法将需要处理的数据行或列存放在 SDRAM 中，每次进行卷积运算时，从 RAM 中取出运算需要涉及的像素点灰度数据，进行运算处理，再进行下一个像素点的运算时，丢掉上次运算中使用了但本次运算不需要的数据，再从 RAM 中读出若干个增量数据，读出数据的多少由模板大小决定。采用该方法占用较小的 FPGA 空间，运算速度将由每次读取卷积运算的新数据的速度决定，从而 RAM 的读写速度将限制后面进行乘加运算的速度。

4.3.3 系统中 FPGA 实现卷积运算方法

在讨论如何在本系统中实现卷积运算之前，首先我们看一下 Cyclone 内部存储器的新特点。

使用 Altera Cyclone 系列 FPGA 中的 M4K 嵌入式存储器来实现移位寄

存储器块，它能节省 LE 和布线资源，提供了更加有效的实现方法。1 个 $w \times m \times n$ 移位寄存器的大小由输入数据宽度 (w)、抽头长度 (m) 和抽头数 (n) 来决定^[47]。1 个 $w \times m \times n$ 移位寄存器的大小必须小于或者等于 4608 位，除此之外， $m \times n$ 的大小必须小于或者等于 36 位。当需要更大的移位寄存器块，可以级联存储器块^[47]。M4K 中实现移位寄存器如图 4.1 所示。

在时钟的下降沿数据被写入每个地址区域，并且在时钟的上升沿从存储地址读出，移位寄存器模式逻辑可以自动地控制在一个时钟周期的正边沿和负边沿来进行数据移位。移位寄存器模式下使用 Cyclone 的 M4K 存储器块实现移位寄存器块。调用 Quartus II 5.2 软件中的 altshift_taps 宏模块就可以实现移位存储器块。可以稳定运行的时钟频率可达到系统全局时钟频率 66MHz，可以较大程度上满足实时图像处理的要求。

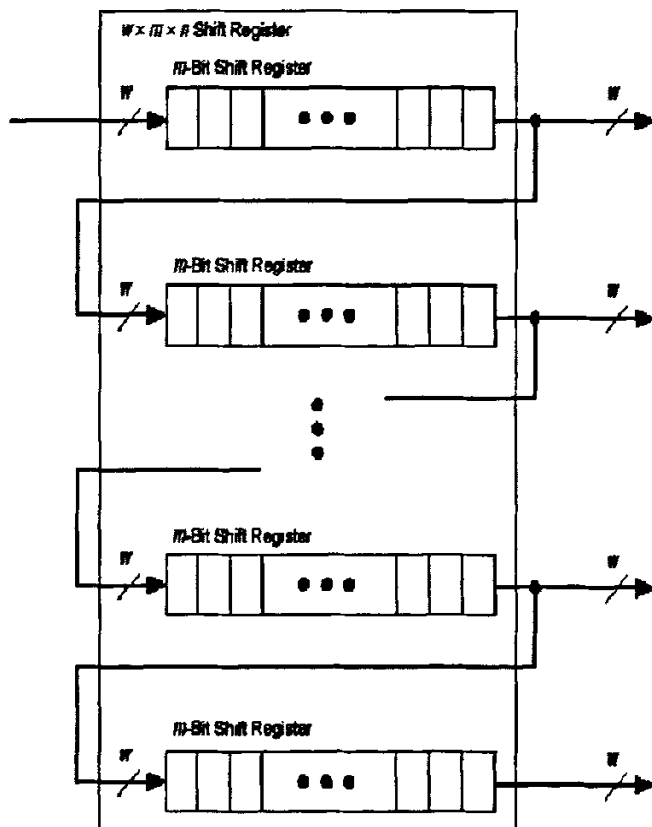


图 4-1 Cyclone 系列 FPGA 内部 M4K 存储单元实现移位寄存器

鉴于以上 FPGA 对算法实现方法分析以及 Cyclone 内部存储单元的新特性, 提出两种实现方法相结合的卷积实现方法, 并将三种方法均以最优化的方式应用到系统的算法实现中去。

考虑到系统中帧缓存数据由 SDRAM 实现, 可以实现多帧数据的存放, 我们采用 RAM 读取和移位寄存器的方法相结合, 每次从 SDRAM 中读取模板宽度行的数据, 每次读出若干行数据中的一部分到 FPGA 内部双口 RAM 中, 然后数据从内部双口 RAM 依次移入到移位寄存器中, 同时当 RAM 中数据量较少时, 再从 SDRAM 批量读入一部分数据。这样一方面在节省了 FPGA 内部存储单元的存储空间的情况下, 充分利用 Cyclone 系列 FPGA 内部存储单元的优点, 快速实现运算。另外一方面 SDRAM 批量数据的读出速度远远高于运算速度, 以双口 RAM 作为小的数据缓存, 使得 RAM 的读写速率对运算速度的制约得到改进。

结合图 4.1, 以 3×3 模板运算, 一行像素点数目为 1024 个为例, 分析运算中移位过程: 数据宽度为 8bit, 抽头数目为 3, 抽头深度为 512。若当前处理像素点在整帧中的行数为 i , 列数为 j , 则当前像素点处理完成后, 则进入 $i+1$ 行数据所处的寄存器尾部最后一个数据, 同样当第 $i-1$ 行数据的第 j 列数据也进入第 i 行数据所处的寄存器行的尾部。依次类推, 当处理到 $i-1$ 行数据的第 j 列时, i 行 j 列的数据处于原来 $i+1$ 行 j 列数据的位置, 从而实现了一行数据的移位。

对于上述体系结构, 若能在 FPGA 片外加一个能够存储 $1/3$ 帧数据容量的 SDRAM, 使数据从 SDRAM 至 SDRAM, 再至移位寄存器, 将可以节省较多的 FPGA 内部存储器, 从而可扩大移位寄存器的规模, 实现更大的模板运算; 另外也可大大提高数据读入移位寄存器的速度, 可以严格的保证数据运算过程不被数据的读取速度所限制。

设对于两个长度分别为 m 和 n 的序列 $f(i)$ 和 $g(j)$, 我们可以给出一个长度为 $N = m + n - 1$ 的输出序列:

$$h(i) = f(i) * g(i) = \sum_j f(i)g(i-j) \quad (4-24)$$

设 $f(i)$ 为模板序列 $\{w_1, w_2, w_3, \dots, w_k\}$, $g(j)$ 为输入序列 $\{x_1, x_2, x_3, \dots, x_n\}$, 则模板匹配后的结果序列为 $\{y_1, y_2, y_3, \dots, y_{n-k+1}\}$, 则

$$y_i = w_1 x_i + w_2 x_{i+1} + \dots + w_k x_{i+k-1} \quad (4-25)$$

上式显然与常规意义下的卷积有所不同, 但只要将 $\{w_1, w_2, w_3, \dots, w_k\}$ 从左到

右按镜像排列预置于模块中即可。可以看出，每个输入点 x_i 都要与模块中的所有元素进行累加和相乘。

Verilog 程序顶层文件代码如下

```
entity muladd is
port(
ain: in std_logic_vector(7 downto 0);
bin: in std_logic_vector(15 downto 0);
c: in std_logic;
dout: out std_logic_vector(15 downto 0)
);
end muladd;
architecture muladd_arch of muladd is
component adder16b is
port(
a: in std_logic_vector(15 downto 0);
b: in std_logic_vector(15 downto 0);
cin: in std_logic;
cout: out std_logic;
s: out std_logic_vector(15 downto 0)
);
end component;
component multi8 is
port(a: in std_logic_vector(7 downto 0);
c: in std_logic;
prod: out std_logic_vector(15 downto 0)
);
end component;
component fd16ce is
port(d: in std_logic_vector(15 downto 0);
ce, c, clr: in std_logic;
q: out std_logic_vector(15 downto 0)
);
```

```

end component;
signal pro,do:std_logic_vector(15 downto 0);
signal gndint,vccint:std_logic;
begin
gndint<='0';vccint<='1';
u1:multi8 port map(a=>ain(7 downto 0),c=>c,prod=>pro(15 downto 0));
u2:adder8b port map(a=>pro(15 downto 8),b=>bin(15 downto 8),
cin=>gndint,cout=>gndint,s=>do);
u3:fd16ce
portmap(d=>do,c=>c,ce=>vccint,clr=>gndint,q=>dout);
end muladd_arch;

```

假设模板为{1, 1, 1}, 其仿真波形如图 4.2 所示, 在实际操作中, 模板的值预置于每个单元中, 很容易修改, 可以方便的完成各种“窗口”的卷积运算。在卷积实现的基础上, 只要采用不同系数的模板就可以完成各种运算, 而且如果将卷积中的乘法和加法运算, 分别换成比较运算和布尔运算中的“与”运算, 那么卷积问题就换成了图像匹配问题了。如果将乘法运算改为加减法, 将累加运算改为取最大最小值, 就可以完成灰度图像的膨胀和腐蚀运算, 这对于我们进行玻璃缺陷检测是有着极大帮助的。

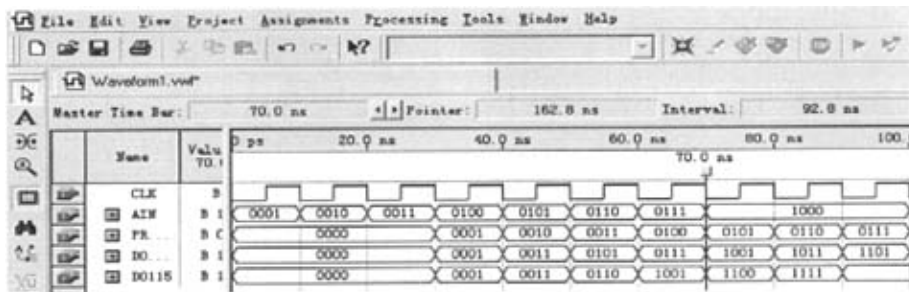


图 4-2 一维卷积图像处理仿真图

另外结合查找表的特点, 可以将其应用于图像的增强或者二值化上, 在这两个处理过程中, 均只对象素点进行运算, 输入数据位宽为 8 位, 若实现二值化只需要 $2^8=256$ bit 内部存储空间, 从而用较小的 FPGA 空间较快的实现算法, 充分发挥了该算法的特点。

4.4 本章小结

本章分析了用 FPGA 实现图像处理的必要性,并讨论了算法的 FPGA 实现。首先介绍根据运算数据量多少及算法复杂度对图像处理算法的分类, FPGA 适合实现低级图像处理算法。讨论低级算法中几种常见算法的原理和具体实现方案,总结出几种低级算法的共同特点是实现卷积运算。最后在分析了本课题所应用的器件 Cyclone 芯片内部硬件资源的基础上,针对一些底层算法完成了 VIDL 描述实现了算法的硬件化,软件仿真表明设计达到了预期的效果。

第 5 章 总结与展望

5.1 工作总结

本次科研中,在了解当前实时处理系统的发展现状的基础上,提出了高速图像处理的总体设计构想,并探讨了方案的可行性和应用前景。通过分析现代图像缺陷检测的各种方法,在充分理解各种方法的适用范围的基础上提出了实时图像处理系统的总体设计方案,确立了高速线阵 CCD 为系统传感器,嵌入式 FPGA 系统为数据处理核心的设计方案。针对设计方案,选用合适的 CCD 器件,并完成相关采集电路、接口电路的设计及调试。分析系统需求,并在对现有的实时处理手段了解的基础上确定嵌入式 FPGA 处理方案及器件选型,并明确系统硬件资源实现合理分配。理解图像处理中底层次算法的特点,精确掌握 FPGA 片内资源,完成相关的算法硬件实现,并完成相关的仿真。

本次设计中,图像采集部分使用的是 CMOS 图像传感器 OV9121,这种 CMOS 传感器自身含有 A/D 转换器,不需外接模数转换即可输出数字图像,与传统的使用 CCD 传感器采集图像相比,简化了外围模块的设计,并提高了采集部分的抗噪声能力。OV9121 的控制部分采用 FPGA,并使用两片 SDRAM 外部存储器缓存图像数据,实现了每秒 25 帧,每帧 640×480 像素,每像素 256 级灰度的黑白图像采集,达到了实时采集的目的。

5.2 工作展望

伴随着微电子制造技术的飞速发展可编程逻辑器件取得了长足的进步。从早期的只能实现比较简单的组合逻辑功能,到现在已经发展到了可以完成超大规模的复杂组合逻辑及时序电路。并进而发展为两个方向复杂可编程逻辑器件(CPLD)和现场可编程逻辑器件(FPGA)。随着工艺技术的进一步发展,超大规模、高速、低功耗的新型器件不断诞生。不仅如此内嵌处理器的器件也是一个非常重要的发展方向,Altera 和 Xilinx 都相继的发布了带有这些处理器的新一代产品。Altera 开发了专有的 NIOS 处理器,借助 SOPC Builder 工具可以非常容易的实现各种总线接口、MCU 的设计、综合、实现。

用 FPGA 设计系统是一个复杂的过程,为了能够充分发挥 FPGA 的潜能,取的令人满意的效果,必须熟悉 FPGA 的内部结构,合理利用其内部资源,对设计进行逻辑和时序上的优化。本文在实现系统过程中并没有太多考虑逻辑和时序上的优化,下一步要认真掌握 FPGA 的设计技巧,优化设计以提高系统的性能。本系统采用 Altera 公司于 2004 年推出的新一代 Cyclone 系列 FPGA EP1C6Q,相比以往产品其最大的特点是芯片支持高速差分信号,另外就是加大了内嵌的存储器的容量,同时 I/O 支持多种信号制式并达到超过 500Mbps 的数据接受率。这些功能的增加使该芯片在通讯、网络、图像处理等方面得到了广泛应用的可能。在以后的工作中,针对芯片的如上特点,应该在如下的几个方面做更进一步的研究,充分利用硬件资源。

(1)DSP 块的嵌入是 Altera 公司在产品生产中内置的,它直接与 FPGA 内的各路管脚进行连接,可以具有巨大的处理带宽,这与常用的 FPGA+DSP 方案相比克服了 I/O 管脚资源不够带来的总线瓶颈。但是软硬件的协同设计以及图像处理的并行算法及硬件化也需要大量的实验和研究,只有深入的了解 FPGA 内部结构,力一能充分利用该资源,最大程度的利用芯片完成图像的高速实时处理任务。

(2)为帮助设计人员完成设计,Altera 公司特别提供了 NIOS 软件工具可充分调用各种 IP 软硬核。设计人员必须深入了解设计需要的资源,充分理解各 IP 核的功能和使用,加快系统设计的成熟。

(3)数字图像算法的深入理解是影响最终产品性能的关键。不同的检测目的,传感器的得到的图像具有不同的特点,了解被测物的特点,并根据该特点设计一整套的算法获取图像特征、完成初分类都是本系统下一个阶段的工作重点。

(4)Cyclone 系列产品具有很强的动态配置功能,即在实际应用当中完全可以根据实况随时对器件的某一部分或者全部进行重配置,极大的灵活性使得该处理方法对于玻璃表面这种多缺陷种类的特殊检测有很大应用价值。在以后的设计应用中,尝试实现该功能。

受时间所限,在本次课题研究中未能来得及就如上的几个方面做更为深入的探讨,但是可以肯定的讲应用 FPGA 完成高速图像处理系统是非常具有发展潜力的,希望今后的科研中课题组将会沿着这条路子继续走下去,并会取得更大的成就。

参考文献

- [1] 章毓晋, 图像工程上册-图像处理和分析[M],清华大学出版社,2000:25-148.
- [2] 王丽萍, 蓝天, 王少丰等.玻璃缺陷在线自动检测设备性能及实践[J].玻璃,2003(5): 46-48.
- [3] 李巧先.关于玻璃缺陷在线检测技术的研究[J].上海计量测试, 1994(4): 26-28.
- [4] Altera Inc. Ltd. Cyclone Device Datasheet[D]. Altera Inc. Ltd,2003:23-125.
- [5] Altera Inc. ByteBlasterMV Parallel Port Download Cable Data Sheet v3.3. Altera Inc. 2002
- [6] Andy G. Ye and David M. Lewis, Procedural Texture Mapping on FPGA [J]. Proceedings of the ACM/SIGDA International Symposium on FPGA, Feb 1999 ,112-120.
- [7] P.Zhong, M.Martonosi and P.Ashar, FPGA-based SAT solver architecture with near-zero synthesis and layout overhead[J]. IEEE Proc.-Comput. Digit. Tech., May 2000,Vol.147, No.3, 135-141.
- [8] Donald MacVicar and Satnam Singh. Accelerating DTP with reconfigurable computing engines[J]. Proceedings of the 8th International Workshop on Field-Programmable Logic and Applications, volume 1482 of Lecture Notes in Computer Science, Aug 1998 ,391-395
- [9] T.Adnrews,W.Alberts. Operating System Design and Implementation[J]. New Jersey: Prentice-Hall, Inc.1997: 300-323.
- [10] Realtek Semi-conductor Co. Ltd. Realtek full-duplex ethernet controller with plug and play function specification[M].2001.1-58.
- [11] 赵丕凤,徐元欣,赵亮,李式巨.多路读写的 SDRAM 接口设计[J]. 电子技术应用,1999,34-35.
- [12] 吴皓,刘鹏,蔡钟,王维东.视频采集系统 SDRAM 控制器的 FPGA 实现[J].中国有线电视, 2003, 22-25.
- [13] National Semiconductor Corp.LVDS Owner's manual. National Semiconductor Corp Revision 2.0 ,2000:24-123.
- [14] Mark.I.Montrose. EMC and the Printed Circuit Board: Design[J], Theory, and Layout Made Simple.New York,the Institute and Electronics Engineers,2002(14):112-120.
- [15] J.Battle, J. Marti, P Ridao, A New FPGA/DSP-Based Parallel Architecture for Real-Time Image Processing[J], Real-Time Imaging, 2002, 8(5), 345-356.

- [16] Peter M.Athanas, A.Lynn Abbott Addressing the Computational Requirements of Image Processing with a Custom Computing Machine: An Overview[J], The Ninth International Parallel Processing Symposium, April 1995, 412-417.
- [17] 李玉山等.图像采集及边缘提取,ASIC 设计[J].西安电子科技大学学报, 1995, Vol.22, No.1.
- [18] R Halverson, Art Lew, FPGAs for expression level parallel processing[J], Microprocessors and Microsystems, 1995,533-540.
- [19] Bruce Draper, Walid Najjar, Wim Bohm, Compiling and optimizing image processing algorithms for FPGA's Workshop on Computer[J], Architecture for Machine Performance, 2000. 222-231.
- [20] Samir Tagzout, Karim Achour, Oualid Djekoune, Hough transform algorithm for FPGA implementation[J], Signal Processing, 2001(81), 1295-1301.
- [21] Gerasimos Louverdis, Ioannis Andreadis and Antonios Gasteratos, A New Content Based Median Filter[J], 12th European Signal Processing Conference (EUSIPCO 2004), 6-10 September 2004, Vienna, Austria, 1337-1340.
- [22] 付忠良. 图像阈值选取方法的构造[J].中国图像图形学报, 2000,30(4):427-441.
- [23] 刘旨春, 王敬儒.基于 FPGA 设计的图像增强预处理器[J].光电工程, 2001, 28(3):44-45
- [24] 赵震甲.使用 FIFO 完成数据传输与同步[J].中国集成电路, 2005(8):34-36.
- [25] 吴自信, 张嗣忠.异步 FIFO 结构及 FPGA 设计[J].单片机与嵌入式系统, 2003(8):50-52.
- [26] 朱鹏飞, 赵雅兴.视频图像捕获系统 SRAM 控制器的 FPGA 实现[J].半导体技术, 2002(6):66-68.
- [27] 李雷鸣, 张焕春一种基于 FPGA 的图像中值滤波器的硬件实现[J].电子工程师, 2004(2):12-15.
- [28] 刘常杰.基于 FPGA 高速视觉检测系统的研究[J].仪器仪表学报, 2001(6):23-24.
- [29] 胡海涛.基于 TMS320C67xx 的便携式实时视频检测系统[J].计算机工程, 2005(21):69-71.
- [30] 黄文清, 汪亚明等.计算机视觉技术在工业领域中的应用[J].浙江工程学院学报, 2002(6):88-90.
- [31] 梁吉, 蒋式勤等.视觉检测系统及其应用[J].微计算机信息, 2003(12):63-66.
- [32] 李立轻, 黄秀宝.图像处理用于玻璃疵点自动检测的研究进展[J].东华大学学报, 2002.8 28(4):118-122.
- [33] 李萍.基于 PCI 软核的 PCI 总线接口设计与实现[J].电子技术应用, 2001(1):24-27.
- [34] Zhen Luo and Margaret Martonosi. Accelerating Pipelined Integer and Floating Accumulations in Configurable hardware with Delayed Addition Techniques Point[J].Ieee Transactions on computer, 2000, 49(3):139-146.

- [35] Masaaki.Introduction to robust, reliable, and High-Speed Power-Line Communication Systems[J]. Communications and Computer Sciences. 2001(12):180-183.
- [36] H Meng, Y L Guan, S Chen. Modeling and Analysis of Noise Effects on Broadband Power Line Communications[J].IEEE TRANSACTIONS ON POWER DELIVERY, 2005(2):201-203.
- [37] 张凤珊, 国澄明.基于 FPGA 的高清晰度电视显示测试信号发生器的研究与实现[J].天津大学学报, 2003(11):45-48
- [38] 张涛, 国澄明, 国狄非.HDTV 视频同步与消隐时序控制信号的可编程逻辑器件设计[J].天津大学学报, 2003(5):123-125
- [39] M.H. Shwehdi. A.Z.Khan.A Power Line Data Communication Interface using Spread Spectrum Technology in Home Automation [J]. IEEE transactions on power delivery, 1996(11):1232-1237.
- [40] 唐辉, 郑晓明, 刘志.基于 SOPC 技术的事故现场处理平台设计与实现[J].电子设计与应用, 2005(1):110-113.
- [41] 林明.基于 FPGA 的数字图像显示系统[J].单片机与嵌入式应用, 2002(23):927.
- [42] 牛风举,朱明程.芯片设计中的 IP 技术[J].半导体技术, 2001(2):214-218.
- [43] 李如春,秦苗.基于 FPGA/CPLD 的小型片上系统的设计[J].浙江工业大学学报, 2001(29):312-315
- [44] 朱策, 陶德源, 何振亚, 条纹图象的细化算法研究[J], 信号处理, 1995.9, Vol.11, No.3
- [45] 黄国亮, 乌敏贤,金国藩, 严瑛白,干涉条纹快速预处理的新方法[J], 光电工程, 1994.2, Vol.21, No.1
- [46] Mihran Tuceryan, A.K. Jain, "Texture Analysis", in Handbook of Pattern Recognition and Computer Vision[J], C.H. Chen, et al. (eds.), World Scientific Publishing Co., 1993., 235-276.
- [47] Kieran G.Arkin, Natural Demodulation of 2D Fringe Patterns[J], The Fourth International Workshop on Automatic Processing of Fringe Patterns, Bremen, Germany, September, 2001:111-114

致 谢

首先我要感谢我的导师李方敏教授和刘泉教授，是他们为我们创造了优越的科研和实验室条件，形成了锐意进取的团队风气。在我攻读硕士学位的三年时间的学习和科研过程中，指导我正确的学习和工作方法，以及在我生活上给予很多无私关怀，使我在研究生学习生活中受益匪浅。

李方敏教授治学严谨，学术理论水平很高。他严谨的治学态度，大胆开拓的进取精神和创新精神都深深地感染着我。在研究生阶段，李教授向我传授了嵌入式技术、网络安全技术、网络处理器等相关知识。在嵌入式技术研究过程和论文完成过程中，他对我的工作进行了认真指导，在课题遇到困难的时候总是给予相应的指导和启发，使我更加深刻的认识相关理论知识，让我在理论研究和实践应用中得到了很好地锻炼。正是在李方敏教授地悉心指导和帮助下，我才得以顺利完成相关研究。在此，向李方敏教授致以我最衷心的感谢！

感谢徐成老师，在我对 FPGA 进行开发的过程中，他给我很多帮助，在一些关键问题上徐老师给出了很多巧妙地思路，让我事半功倍；感谢钟亿、程松林等博士给我的指导和帮助，感谢郑威、王克号、许重府、邓鳌、周恒林、熊黎等实验室朋友，他们在我课题研究期间给予我的诸多帮助和大力支持，使我的论文能够顺利完成。

感谢我深爱的家人，他们为我的成长付出了无尽的心血。父母和家人的支持并期待我完成学业，并为此承担了很多的生活压力，在论文得以顺利完成之际，我愿与他们分享其中的甘苦，并感谢他们对我的殷切期望和无私无悔的支持！

在我即将离开学校踏上社会之际，怀着满腔的留恋与感恩之情，再一次衷心的感谢所有给予我帮助、支持和鼓励的师长、同学、朋友和亲人们！

最后，向参加论文评审的专家们表示衷心的感谢！

严华宇

2007 年 4 月 12 日于

嵌入式和网络安全实验室

作者在攻读硕士学位期间发表的论文与参加项目

发表论文：

- [1] 严华宇, 李方敏, 基于 IXP2400 的流量监控技术研究 武汉理工大学学报
ISSN1-7-144X CN 42-1406/U
- [2] 严华宇, 李方敏. 基于 FPGA 的玻璃缺陷图像采集处理系统 中国科技论文在
线 200703-154

参加项目：

- [1] 国家自然科学基金重大国际（地区）合作研究项目“基于多智能体的数字制
造基本理论与关键技术研究”（50620130441）
- [2] 自然科学基金重点项目（50335020）“网络环境下的数字制造理论与关键技
术”

基于FPGA的玻璃缺陷图像采集预处理系统设计

作者：[严华宇](#)

学位授予单位：[武汉理工大学](#)

本文链接：http://d.g.wanfangdata.com.cn/Thesis_Y1119800.aspx

授权使用：陕西理工学院(sxlgxy)，授权号：d574ca5a-ac8a-46a9-9deb-9df201101053

下载时间：2010年9月15日