

电子科技大学

硕士学位论文

基于FPGA和DSP的图像多功能卡的设计与实现

姓名：尹乐

申请学位级别：硕士

专业：信号与信息处理

指导教师：邓彬

20070601

摘要

图像处理作为一种重要的现代技术,已经在通信、航天航空、遥感遥测、生物医学、军事、信息安全等领域得到广泛的应用。图像处理特别是高分辨率图像实时处理的实现技术对相关领域的发展具有深远意义。

本课题的主要内容是设计一种基于 PCI 总线,以 FPGA 为系统控制核心、TMS320DM642 为 CPU 的可实时采集高分辨率视频并进行高速处理的图像处理系统。主要从系统级别上描述了一种高分辨率图像处理卡的系统实现方案,重点研究了该视频图像处理卡中视频采集、图像增强和视频数据传输。

本文首先介绍了本设计的背景和意义,提出本次设计的目标:基于 FPGA 和 DSP 的图像多功能卡的设计。然后简要的介绍了本设计用到的图像处理算法:图像的预处理算法,分别介绍了图像的去噪、锐化、色彩校正、 γ 校正和 RGB 到 YUV 的转换。

图像采集系统的基本构成,是以数字信号处理器为核心,控制外围的 A/D、D/A 转换器和外围存储器。本文对比了当下流行的 DSP 芯片和 FPGA 芯片作为数字处理核心的优缺点,并根据系统实际需要,选用 FPGA 和 DSP 作为数字信号处理器;然后从单片容量,时钟,体积,控制复杂度几方面综合考虑,选用 SDRAM 作为外围存储器;最后给出了系统的整体设计方案。

图像多功能卡的硬件设计主要分为输入输出电路设计、FPGA 外围电路设计和 DSP 外围电路设计。先对各主要芯片进行了简要的介绍,然后分别给出了各部分电路的具体连接。

图像多功能卡的程序设计是本文的重点。本课题的程序设计包括 FPGA 内部程序和 DSP 内部程序。FPGA 的程序设计主要包括:AD 采集控制模块、SDRAM 读写控制模块、图像处理模块以及系统的控制模块; DSP 的程序设计主要是完成 I²C 配置、数据通过 PCI 口传输到上位机等功能。

最后介绍了硬件调试和 FPGA 程序的验证结果。实验结果表明,作者设计的系统达到了图像的增强、压缩的功能,在不压缩的情况下,能够对图像实时的处理,并且本系统实现了分辨率和刷新率的自动识别。

【关键词】 视频图像, 图像增强, FPGA, DSP, PCI, SDRAM

ABSTRACT

As a kind of important modern technology, Image processing has been widely used in following fields such as communication, spaceflight aviation, remote sensing telemetering measurement, biomedicine, military, information safety, etc. The implementation technique of image processing especially high-resolution real-time image processing has far-reaching meanings to the development of relevant fields.

The content of this project is mainly focused on the schedule implementated on a high speed and high-resolution image processing system, which is based on PCI bus with FPGA as its core system control part and DM642 as a CPU processor. Here we mainly describe the system scheme of high-resolution image process card on system level. We mainly research the methods on image acquisition and image enhance, as well as image data inter-communication.

In this dissertation,the background is presented at first. Designing an auto-adaptive high resolution image process card is the goal of this project, so I must introduce some basic theory:image enhance theory.

The basic form of an image acquisition system is digital signal processor, A/D and D/A converter, and memory. In this dissertation, I compare the FPGA's and DSP's advantage and disadvantage,and discuss the memory such as SDRAM and SRAM.Then the system scheme for video image process card is put forward.

The hardware design of image acquisition card includes input and output circuit design,FPGA circuit design and DSP circuit design.The main chips that used in this system is introduced first,and then we focuse on the connection of the circuit.

The programme is also very important in my design. This complicated system's programme include FPGA's and DSP's programme.The programme in FPGA contains data acquisition module,SDRAM read and write control module,image process module and system control module.In DSP it includes I²C operation, data transmission between DSP and computer through the PCI interface.

The result of the experimentation shows that the system has achieved the goal of real-time video image processing .The card has the capability of image enhancement,

ABSTRACT

image compression and can identify resolution and refresh rate automatically.

【keywords】 Video image , Image enhance, FPGA, DSP, PCI, SDRAM

独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。据我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得电子科技大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

签名： 李 东

日期： 2007 年 6 月 4 日

关于论文使用授权的说明

本学位论文作者完全了解电子科技大学有关保留、使用学位论文的规定，有权保留并向国家有关部门或机构送交论文的复印件和磁盘，允许论文被查阅和借阅。本人授权电子科技大学可以将学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

(保密的学位论文在解密后应遵守此规定)

签名： 李 东

导师签名： 郑 伟

日期： 2007 年 6 月 4 日

第一章 引言

1.1 课题研究的背景、目标 and 意义

当今世界进入数字化信息的时代，各种形式的信息以数字化方式存储于各种媒质中，而且越来越多的信息开始由传统的模拟存储和处理方式向数字化存储和处理方式转变。图像信息作为人类最重要的信息源之一，图像采集技术和改善图像质量的图像处理技术也开始向数字化方向转变。在数字计算机问世之前，图像处理共同特点是把图像信息用传统的模拟方式来处理。从第一台数字计算机问世以来，随着计算机技术的发展与成熟，数字图像采集处理成为一个迅速发展的学科。

在一个图像系统中，从图像的获取，到图像的发送、传输、接受、输出、复制等等，每一个环节都会产生干扰，都会使图像的质量下降。例如，摄像时，由于光学系统失真、相对运动、大气湍流都会使图像模糊；医学上，由于受到人体的器官、组织、光照等各方面的影响，拍到的照片总是不尽人意，总是不太清晰，很难识别病变组织与正常组织，做出有效诊断。因此，如何对这些降质图像或受到噪声污染的质量让人不太满意的图像进行处理，以符合我们的要求，例如尽可能的恢复图像原貌，这些是图像处理的一般要求。通过采取适当的增强处理可以将原来模糊不清甚至根本无法分辨的原始图像处理成清楚、明晰的富含大量有用信息的可使用的图像。因此，图像增强技术在许多领域得到广泛的应用。在图像处理系统中，图像增强技术作为预处理部分的基本技术，是系统中十分重要的一环。迄今为止，图像增强技术已经广泛用于军事、地质、海洋、医学、遥感、微生物、刑侦等方面^{[33][34]}。

由于在高分辨率图像处理系统中，数据量十分庞大，在一些特殊的应用场合，例如飞机、轮船的“黑匣子”，其用于存储数据的电子硬盘大小有限，不可能存储长时间的数据，并且对数据的传输帧率要求不高。为了解决这个问题，必须对采集到的数据进行压缩处理。图像压缩的目的就是在保证一定的图像质量和满足一定要求的前提下，减少图像数据量。

图像可以进行压缩有以下的原因：首先，虽然数字图像的数据量大，但图像数据是高度相关的。图像内部相邻像素之间，相邻行之间和视频序列中相邻图像

之间有大量的冗余信息——空间相关性和时间相关性，可以使用各种方法尽量去除这些冗余信息，减少图像的数据量。除了时间冗余和空间冗余外，在一般的图像数据中还存在信息冗余、结构冗余、知识冗余和视觉冗余等，各种冗余就是压缩图像数据的出发点，其次，大部分图像视频信号的最终接收者都是人眼，而人类的视觉系统是一种高度复杂的系统，它能从极为杂乱的图像中抽象出有意义的信息，并以非常精练的形式反映给大脑。人眼对图像中的不同部分的敏感程度是不同的，如果去除图像中对人眼不敏感或意义不大的部分，对图像的主观质量是不会有很大影响的^[35]。

目前，国外有很多高分辨率的图像采集卡，英国的 Datapath 公司的产品可实现分辨率高达 1600x1200 16 bit 两路图像的采集，每个通道经过 PCI 传输的帧率为：当分辨率为 1024x768 时为 17 帧/S，分辨率为 1280x1024 时为 12 帧/S；加拿大的 matrox 公司的图像采集卡也可实现分辨率为 1600x1200 24 bit 的图像采集，达到了几乎和 Datapath 公司相当的水平，同时它还支持 Camera Link 等输入。

国内也有不少生产图像采集处理卡的厂家，陕西维视数字图像公司专门从事高清图像的采集设备的研发和生产，其产品可支持 8 路分辨率最高为 768x576x32 bit 的图像实时采集，同时还可以完成分辨率为 720x576 的采集图像的硬压缩。北京嘉恒中自图像公司的产品可采集分辨率最大为 1024x768，刷新率为 85 帧/S 的图像。

从上面可以看出，国外的图像采集卡在技术上可达到实时处理高分辨率的图像，但是价格昂贵，限制了在国内的应用；国内的产品的分辨率相对较低。同时国内外都没有在板上实现高分辨率图像硬压缩的产品。本课题要求实现高分辨率图像的采集，同时能在卡上实现图像的预处理和压缩处理，国内外还没有类似的产品。由于本课题所研究的图像多功能卡的功能齐全，不仅可以实现高分辨率图像的硬压缩，还可以实现非压缩条件下高分辨率图像的实时处理，因此实用性很强，适用性也很广，可应用在监控、医疗、工业、飞机与轮船的“黑匣子”等系统中，具有很高的实用价值和经济价值。

1.2 本文研究的主要内容和结构

第一章分析课题背景及当前国内图像采集处理系统的发展现状；

第二章概述本系统采用的图像处理的算法，以及图像从 RGB 到 YUV 的转换。

第三章介绍了通用图像采集处理系统的特点，并说明了基于 FPGA 和 DSP 的图

像多功能卡的系统整体方案。

第四章叙述了图像多功能卡的硬件实现,包括主要芯片的介绍和各个功能模块电路的设计与实现。

第五章首先拟出了本系统 FPGA 的工作流程,接着说明了 FPGA 中实现的模块总体结构和功能,并分别描述了其内部的时钟模块、AD 采集控制模块、图像处理模块、SDRAM 读写控制模块和系统其它控制模块的设计。

第六章先拟出了 DSP 的工作流程,具体介绍了利用 EMIF 进行数据的读写、I²C 的配置、利用 PCI 口实现与上位机的通信和数据传输。

第七章简要说明了系统的调试,以及调试中遇到的一些问题和调试的结果。

第八章对本文进行总结与展望,在总结已完成工作量的基础上,对系统的改进的一些想法。

1.3 作者的主要工作

本课题主要是设计一个硬件系统,实现图像的采集、图像增强处理和压缩处理、图像数据的传输等功能。作者的主要工作如下:

1. 参与整个系统方案的讨论。
2. 完成芯片的选型。
3. 完成原理图的设计,参与 PCB 板的绘制。
4. 完成 FPGA 内部所有程序。
5. 完成部分 DSP 程序。
6. 参与电路板的调试和系统的联调。

第二章 图像处理原理

2.1 图像的介绍

从广义上说，图像是自然界景物的客观反映，是人类认识世界和人类本身的重要源泉。图像对我们并不陌生。它是用各种观测系统以不同形式和手段观测客观世界而获得的，可以直接或间接作用于人眼并进而产生视觉的实体。人的视觉系统就是一个观测系统，通过它得到的图像就是客观景物在人眼中形成的影像。图像信息不仅包含光通量分布，而且也还包含人类视觉的主观感受。随着计算机技术的迅速发展，人们还可以人为地创造出色彩斑斓、千姿百态的各种图像。

客观世界在空间上是三维(3-D)的，但一般从客观景物得到的图像是二维(2-D)的。一幅图像可以用一个2-D数组 $f(x, y)$ 来表示，这里 x 和 y 表示2-D空间XY中一个坐标点的位置，而 f 则代表图像在点 (x, y) 的某种性质 F 的数值。例如常用的图像一般是灰度图，这时 f 表示灰度值，它常对应客观景物被观察到的亮度值。

常见图像是连续定义的，即 f, x, y 的值可以是任意实数。为了能用数字计算机对图像进行加工处理，需要把连续的图像在坐标空间XY和性质空间F都进行离散化。这种离散化了的图像就是数字图像，可以用 $I(r, c)$ 来表示。这里 I 代表离散化后的 f ， (r, c) 代表离散化后的 (x, y) ，其中 r 代表图像的行(row)， c 代表图像的列(column)。这里 I, c, r 的值都是整数。本章以后主要讨论数字图像，我们用 $f(x, y)$ 代表数字图像，如不特别说明， f, x, y 都在整数集合中取值。

2.2 图像的增强

图像增强的首要目标是处理图像，使其比原图像更适合于特定应用。图像增强的方法分为两大类：空间域方法和频域方法。顾名思义，前者直接在图像所在空间进行处理，而后者对图像的处理是通过在图像的变换域而间接进行的。进一步而言，前者根据对图像的每次处理是对单个像素进行的或者是对小的子图像(模板)进行的，可分为2组：基于像素(点)的和基于模板的。在基于像素的处理(也叫点处理)中，增强过程对每个像素的处理与其它像素无关模板处理则是指每次

处理操作都是基于图象中的某个小区域进行的。在本系统中，只用到图像空间域的处理方法，故在此只介绍图像的空间域增强方法。

2.2.1 灰度变换

本节讨论图像增强技术中最简单的一类：基于灰度变换函数的图像增强技术。处理前后的像素值用 r 和 s 分别定义。以 T 操作作为灰度级变换函数（也叫强度映射），其形式为： $s = T(r)$ 。由于处理的是数字量，变换函数的值通常存在一个一维阵列中，并且从 r 到 s 的映射通过查表得到。对于 8 比特环境，一个包含 T 值的可查阅的表需要有 256 个记录^[1]。

2.2.1.1 幂次变换

幂次变换的基本形式为：

$$s = cr^\gamma \quad (2.2.1)$$

其中 c 和 γ 为正常数。又时考虑到偏移量（即当输入为 0 时的可测量输出），式(2.2.1)也可写做 $s = c(r + \epsilon)^\gamma$ 。偏移量通常是显示标定的衍生，并且一般在式（2.2.1）中忽略掉。习惯上，幂次等式中的指数是指伽马值，用于修正幂次响应现象的过程称为伽马校正。当式中的 $c = \gamma = 1$ 时，将简化为正比变换；当 $\gamma > 1$ 和 $\gamma < 1$ 时会产生相反的效果^[1]。

2.2.1.2 分段线性变换

最简单的分段线性变换是对比拉伸变换。低对比度图像可由照明不足、成像传感器动态范围太小，甚至在图像获取过程中透镜光圈的设置错误引起。对比拉伸的思想就是提高图像处理时的动态范围。如图 2-1 所示为对比度拉伸的典型变换。其中点 (r_1, s_1) 和 (r_2, s_2) 的位置控制了变换函数的形状。如果 $r_1 = s_1$ 且 $r_2 = s_2$ ，变换为一线性函数，它产生一个没有变化的灰度级。若 $r_1 = r_2$ ， $s_1 = 0$ ， $s_2 = L-1$ ，变换为阈值函数。并产生二值图像。在一般情况下，假定 $r_1 \leq r_2$ ，且 $s_1 \leq s_2$ ，函数则为单值单调增加。这样将保持灰度级的次序，因此避免了在处理过的图像中产生人为的强度^[1]。

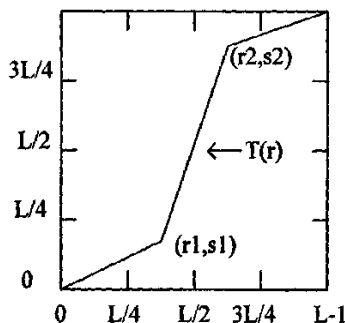


图 2-1 对比度拉伸

2.2.2 高斯—拉普拉斯 (LOG) 算子

保边和去噪是一对矛盾的概念,不可能同时做到既保持边缘特性又去除噪声,而保边去噪却打破常规,它在保持边界的情况下将噪声滤掉,是一种新型的去噪方法。

2.2.2.1 高斯算子

高斯滤波是一类根据高斯函数的形状来选择模板权值的线性平滑滤波方法,高斯平滑滤波对去除服从正态分布的噪声效果较好。二维高斯函数为:

$$G(x, y) = Ae^{-\frac{x^2+y^2}{2\sigma^2}} = Ae^{-\frac{r^2}{2\sigma^2}} \quad (2.2.2)$$

其中高斯函数分布参数 σ 决定了高斯滤波器的宽度, A 为 $\frac{1}{\sqrt{2\pi}\sigma}$ 。二维高斯函数具有旋转对称性,即滤波器在各个方向上的平滑程度是相同的。

在式 (2.2.2) 中, 当 $r = \sigma$ 时, $G(r) = Ae^{-\frac{1}{2}} = 0.6A$; $r > 3\sigma$ 时, $G < 0.01A$

一般用小于 $2\sigma^2$ 的滤波器, 即 $m = 2 \times 2\sigma^2 + 1$

$$\text{当 } \sigma^2 = \frac{1}{2} \text{ 时, } G^3 = \frac{1}{16} \begin{pmatrix} 1 & 2 & 1 \\ 2 & 4 & 2 \\ 1 & 2 & 1 \end{pmatrix}$$

由连续 Gaussian 分布求离散模板, 需采样、量化, 并使模板归一化。另外, 高斯函数是单值函数, 这表明高斯滤波器用像素邻域的加权均值来代替该点的像素值时, 每一邻域像素点权值是随该点与中心点的距离单调递减的。空域高斯平滑滤波的实质是加权均值滤波方法, 可以表达为:

$$g(i, j) = \sum_{m=-K}^K \sum_{n=-L}^L W(m, n) f(i + m, j + n) \quad (2.2.3)$$

其中 $W(m, n)$ 为权值系数。正由于空域高斯平滑滤波的实质是加权均值滤波，而对彩色图像处理来说，邻域平均值平滑可以在每个彩色平面的基础上进行，其结果与用 RGB 彩色向量执行平均是相同的^[1]。所以，用高斯滤波器进行平滑时，可以分别对 R, G, B 三个通道分开处理，不会影响图像的质量，简化了设计方法。

理论和实验证明，虽然高斯滤波器具有良好的噪声抑制能力，但是对图像的平滑会造成图像中的细节信息损失，从而使处理后的图像产生模糊。

2.2.2.2 拉普拉斯算子

拉普拉斯 (Laplace) 锐化算子是一种二阶微分算子，一个二元图像函数 $f(x, y)$ 的拉普拉斯变换定义为：

$$\nabla^2 f = \frac{\partial^2 f}{\partial x^2} + \frac{\partial^2 f}{\partial y^2} \quad (2.2.4)$$

它是一种各向同性，即旋转不变的算子。

为了更适合于数字图像处理，这一方程需要表示为离散形式。因而对于离散数字图像 $f(x, y)$ ，用差分运算来代替微分运算，其二阶偏微分表示为：

$$\frac{\partial^2 f}{\partial x^2} = f(x+1, y) + f(x-1, y) - 2f(x, y) \quad (2.2.5)$$

$$\frac{\partial^2 f}{\partial y^2} = f(x, y+1) + f(x, y-1) - 2f(x, y) \quad (2.2.6)$$

式 (2.2.4) 中的二维拉普拉斯数字实现可由这两个分量相加得到：

$$\nabla^2 f = [f(x+1, y) + f(x-1, y) + f(x, y+1) + f(x, y-1)] - 4f(x, y) \quad (2.2.7)$$

由于拉普拉斯是一种微分算子，它的应用强调图像中灰度慢变化的区域。这将产生一幅把图像中的浅灰色边线和突变点叠加到暗背景中的图像。将原始图像和拉普拉斯图像叠加在一起的简单方法可以保护拉普拉斯锐化处理的效果，同时又能复原背景信息。所以，使用拉普拉斯变换对图像增强的基本方法可表示为下式：

如果拉普拉斯掩模中心系数为正

$$g(x, y) = f(x, y) - \nabla^2 f(x, y) \quad (2.2.8)$$

如果拉普拉斯掩模中心系数为负

$$g(x, y) = f(x, y) + \nabla^2 f(x, y) \quad (2.2.9)$$

在实际应用中，上两式通常用单一掩模的一次扫描来实现。单一掩模的系数很容易由上两式和 (2.2.7) 式得到：

$$\begin{aligned} g(x, y) &= f(x, y) - [f(x+1, y) + f(x-1, y) + f(x, y+1) + f(x, y-1)] + 4f(x, y) \\ &= 5f(x, y) - [f(x+1, y) + f(x-1, y) + f(x, y+1) + f(x, y-1)] \quad (2.2.10) \end{aligned}$$

由式 (2.2.10) 实现的掩模为：

$$\begin{pmatrix} 0 & -1 & 0 \\ -1 & 5 & -1 \\ 0 & -1 & 0 \end{pmatrix}$$

由于可以通过分别计算每一分量图像的拉普拉斯去计算全彩色图像的拉普拉斯^[13]，因而可以分别对 R, G, B 三个通道分开处理，不会影响图像的质量，简化了设计方法。

拉普拉斯算子在增强图像边缘的同时，增强了图像的噪声。

2.2.2.3 高斯—拉普拉斯 (LOG) 算子

拉普拉斯算子利用图像的二阶微分算子的零交叉点来进行边缘增强处理的缺点是对噪声十分敏感，为抑制噪声，可先作平滑滤波然后再作二次微分，故有 LOG(Laplacian of Gaussians)算子。LOG 算子边缘增强处理方法是 by Marr-Hildreth 提出的一种同时具有图像平滑功能和边缘增强功能的二阶微分算法。其处理过程是首先利用二维高斯函数卷积对图像作最佳的平滑处理，然后再利用平滑图像的二维拉普拉斯函数进行边缘增强处理。

LOG 算子边缘增强处理中利用了二维高斯函数 $G(x, y, \sigma)$ ，即：

$$G(x, y, \sigma) = \frac{1}{2\pi\sigma^2} \exp\left[-\frac{1}{2\sigma^2}(x^2 + y^2)\right] \quad (2.2.11)$$

$G(x, y, \sigma)$ 为圆对称函数，其平滑作用可通过 σ 来控制。将高斯函数 $G(x, y, \sigma)$ 与图像原函数 $f(x, y)$ 进行卷积计算，可以得到平滑的图像 $f_s(x, y)$ 为：

$$f_s(x, y) = f(x, y) * G(x, y, \sigma) \quad (2.2.12)$$

由于最终目的是要进行图像的边缘增强处理，所以需要平滑图像 $f_s(x, y)$ 进行拉普拉斯运算。而图像函数 $f(x, y)$ 与 $G(x, y, \sigma)$ 相卷积的拉普拉斯运算可以表示为 $G(x, y, \sigma)$ 的拉普拉斯变换与 $f(x, y)$ 的卷积，即

$$g(x, y) = f(x, y) * \nabla^2 G(x, y, \sigma) \quad (2.2.13)$$

式中的 $\nabla^2 G$ 即为 LOG 边缘增强算子:

$$\begin{aligned} \nabla^2 G(x, y, \sigma) &= \frac{\partial^2 G}{\partial x^2} + \frac{\partial^2 G}{\partial y^2} \\ &= \frac{1}{\pi\sigma^4} \left(\frac{x^2 + y^2}{2\sigma^4} - 1 \right) \exp\left[-\frac{1}{2\sigma^2}(x^2 + y^2)\right] \end{aligned} \quad (2.2.14)$$

由式(2.2.14)可知, LOG 算子 $\nabla^2 G$ 是以 (0, 0) 为中心旋转对称的, 也称为墨西哥草帽算子。

在系统对图像进行增强处理时, 针对图像函数为离散的特点, 采用上文给出的高斯算子和拉普拉斯算子进行卷积, 得到 LOG 算子的 5×5 卷积模板进行卷积计算, LOG 算子模板为:

$$L = \frac{1}{16} \begin{pmatrix} 0 & -1 & -2 & -1 & 0 \\ -1 & 1 & 4 & 1 & -1 \\ -2 & 4 & 12 & 4 & -2 \\ -1 & 1 & 4 & 1 & -1 \\ 0 & -1 & -2 & -1 & 0 \end{pmatrix}$$

2.3 图像的 RGB 到 YUV 的转换

2.3.1 色彩空间概述

颜色是人的视觉系统对光谱中可见区域的感知效果。它仅存在于人的眼睛和大脑中。为了准确地描述颜色, 必须引入色彩空间的概念。正如几何上用坐标空间来描述坐标集合, 色彩空间用数学方式来描述颜色集合。常见的 3 个基本色彩模型是 RGB、CMYK 和 YUV。由于本节介绍的是 RGB 与 YUV 之间的转换, 所以只介绍一下 RGB 和 YUV 两个彩色模型。

2.3.1.1 RGB 模型

RGB (Red, Green, Blue) 是计算机中最常见的色彩空间。它通过红、绿、蓝 3 基色的相加来产生其他的颜色。由于其设备的独立性, 它被广泛应用于计算机图形、成像系统和彩色电视之中。

如图 2-2 所示, 它基于笛卡儿坐标系, 3 个轴分别为 R (红), G (绿), B (蓝)

分量。我们感兴趣的部分是一个立方体，为了方便将其归一化为单位立方体。这样所有的颜色都在这个立方体内部或者某个面或者边上。原点对应于黑色，离原点最远的那个定点对应白色，从黑到白的各个灰度则位于它们的连线上。

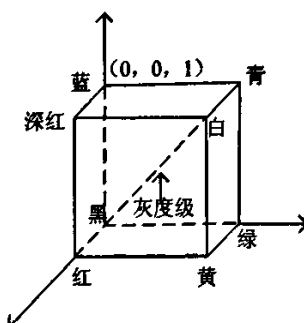


图 2-2 RGB 立方体示意图

2.3.1.2 YUV 色彩空间

YUV是一种基本色彩空间，被欧洲的电视系统所采用。它被PAL（Phase Alternation Line），NTSC（National Television System Committee）和SECAM（Sequentiel Couleur Avec Memoire or Sequential Colorwith Memory）用作复合色彩视频标准。YUV 或YCbCr（YCbCr 则是在世界数字组织视频标准研制过程中作为ITU - R BT1601 建议的一部分，其实是YUV经过缩放和偏移的翻版）色彩空间则描述灰度和色差的概念，由于易于实现压缩，方便传输和处理，它被广泛应用于广播和电视系统。正是由于这一点，它也被广泛应用于计算机视频和图像处理之中，如JPEG 图像和MPEG均使用YUV 作为存储像素的格式。在获得显示硬件支持的情况下，使用YUV 还可以减少和消除色彩变换处理，极大地加快图像的显示速度。其中Y指颜色的明视度（Luminance），即亮度（Brightness），其实Y就是图像的灰度值（Gray value），而U 和V 则是指色调（Chrominance），即描述图像色彩及饱和度的属性。黑白系统只使用Y信息，因为U 和V是附加上去的，所以黑白系统仍能正常显示。

2.3.2 RGB 与 YUV 之间的转换

RGB 在计算机领域有着举足轻重的地位，由于色彩显示器使用红、绿、蓝3 色来产生需要的颜色，所以被广泛用于计算机图形和成像之中。然而，在处理现实世界的图像时，RGB 并非很有效，因为它对所有色彩都用等长像素点的R、G、B 3

色加以合成。这就使得每个像素在R、G、B 3个成分上拥有相同的像素深度和显示分辨率。而且处理RGB色彩空间的图像也不是最有效的。由于上述和其他一些原因（比如便于DSP进行压缩），也需要采用YUV 色彩空间。

RGB 与YUV 之间的相互转化对应关系如下^[2]：

$$\begin{bmatrix} Y \\ Cr \\ Cb \end{bmatrix} = \begin{bmatrix} 0.257 & 0.504 & 0.098 \\ -0.148 & -0.291 & 0.439 \\ 0.439 & -0.368 & -0.071 \end{bmatrix} \times \begin{bmatrix} R \\ G \\ B \end{bmatrix} + \begin{bmatrix} 16 \\ 128 \\ 128 \end{bmatrix} \quad (2.2.15)$$

$$\begin{bmatrix} R \\ G \\ B \end{bmatrix} = \begin{bmatrix} 1 & -0.001 & 1.402 \\ 1 & -0.3441 & -0.7141 \\ 1 & 1.772 & 0.001 \end{bmatrix} \times \begin{bmatrix} Y \\ Cr \\ Cb \end{bmatrix} - \begin{bmatrix} 16 \\ 128 \\ 128 \end{bmatrix} \quad (2.2.16)$$

由上式可以得出YUV的色彩空间如表2-1所示。

表2-1 YUV色彩空间

色彩空间	RGB			YUV		
	R	G	B	Y	U	V
上限	255	255	255	235	240	240
下限	0	0	0	16	16	16

2.3.3 YUV 部分取样

广播、视频和成像标准使用YUV 色彩空间还有一个重要的原因，就是与人的视觉系统很有关系。人类的眼睛对低频信号比对高频信号具有更高的敏感度。事实上，人类的眼睛对明视度的改变也比对色彩的改变要敏感的多。因此对人类而言，Y分量比U 分量重要，根据人眼的这一特征，在不使用任何复杂算法的前提下，可以适当地抛弃U和V 分量以达到压缩的目的，这就是部分取样(subsampling)。部分取样的常见方式有YUV444（无压缩）、YUV422（33.3 %压缩）、YUV411（50 %压缩）、YUV420（50 %压缩）等，其中的数字表明了Y、U、V 3个分量的取样比例，即各分量水平取样因子与垂直取样因子乘积的比例。以 $N \times N$ 大小的方阵为例，假设：

对Y取 $N \times N$ 个数据单元，即水平取样因子 $H_y = N$ ；垂直取样因子 $V_y = N$ 。对U和V 均取 $M_1 \times M_2$ 个数据单元($0 \leq M_1, M_2 \leq N$)，即：

水平取样因子 $H_u = M_1$ ， $H_v = M_1$ ；垂直取样因子 $V_u = M_2$ ， $V_v = M_2$ 。则Y、U、V 取样比为 $(N \times N) : (M_1 \times M_2) : (M_1 \times M_2)$ 。

若取 $N = 2$ ， $M1 = 2$ ， $M2 = 2$ ，这就是YUV444的一种取样方式，没有压缩；
若取 $N = 2$ ， $M1 = 2$ ， $M2 = 1$ ，这就是YUV422的取样方式，压缩比33.3 %；
若取 $N = 2$ ， $M1 = 1$ ， $M2 = 1$ ，这就是YUV411的取样方式，压缩比50 %；
若取 $N = 2$ ， $M1 = 1$ ， $M2 = 1$ ，这就是YUV420的取样方式，压缩比50 %。

需要注意的是4:2:0并非是色差信号采样为0，而是和4:1:1相比，在水平方向上提高1倍色差采样频率，在垂直方向上以Cr/Cb间隔的方式减小一半色差采样。在本系统中，由于后面的压缩要求输入为YUV420的格式，所以需要将图像按照YUV420的取样方式取样^[3]。

2.4 本章小结

在本系统中，需要对采集的图像进行处理，包括图像得增强处理、压缩处理以及实现图像从RGB到YUV的转换。由于分工的原因，作者没有做图像的压缩处理，故本文中对图像的压缩算法没有介绍。

由于在本系统的设计要求中，要求对采集的图像进行一些预处理，包去噪、锐化、色彩校正、 γ 校正；以及为了提高DSP压缩的速度，在FPGA中实现图像RGB到YUV的转换。因此本章介绍了图像的灰度变换来实现图像的色彩校正和 γ 校正；介绍了图像增强的LOG算子，来实现图像的去噪和增强处理。

第三章 图像多功能卡的系统方案设计

3.1 图像处理系统的方案介绍

3.1.1 一般图像处理系统的体系结构

一般图像处理系统由 A/D 采集、D/A 输出、存储、图像处理等几个主要部分组成。其中系统控制及数字信号处理部分是系统的核心，它通过对 A/D 转换器的控制，对输入图像信号进行采样，然后把得到的数据暂存在外部存储器中，根据实际需求对采集获得的数据进行各种所需的处理，最后把处理后的数据送给 D/A，并控制它们的输出。

在本系统中，对系统的处理速度有严格的要求。因为系统是实时的，如果要及时处理输入的每一帧图像。在图像信号源是 $1024 \times 768 @ 60\text{Hz}$ 的情况下，处理一帧图像的时间只有 16.66ms ，也就是计算一个像素的时间为 21ns ，在分辨率更高的情况下，处理一帧图像的时间更短，因此如何解决系统的处理速度，达到实时处理的要求是必须要考虑的问题，而影响系统的处理速度的因素主要是数字信号处理器的运算速度，以及访问外部存储器的速度。所以对数字信号处理器的选择以及提高外部存储器的访问速度至关重要。

3.1.2 数字信号处理器的选择

数字信号处理通常有通用处理器(GPP), DSP 处理器以及 FPGA 等几种选择方案，一般来说，通用处理器不是设计出来做密集乘法任务的，通常做一次乘法需要多个指令周期来完成。而在本系统中要实现的图像处理算法需要用到大量的乘加运算，所以选用通用处理器不能满足要求。下面对 DSP 和 FPGA 做一个简单的比较。

DSP 作为当今信号处理的主流芯片，是在原有通用 CPU 的基础上，发展改进硬件结构和指令集结构而来的。DSP 能够更好的完成在数字信号处理的滤波、卷积和 FFT 中重复出现的乘加和操作。DSP 的特点总结起来有以下几个方面：硬件乘法器、多功能单元、精简指令集、总线结构、专用寻址单元、片内存储器、流水处理。硬件乘法器，直接实现乘法操作；多功能单元，在 CPU 内部实现多个并行操作的功能单元，包括 ALU，乘法器，地址产生器，使得 DSP 在相同时间内能够完成

更多的操作，提高程序执行速度；精简指令集，有利于 DSP 结构上的简化和成本的降低；总线结构，大多数 DSP 采用改进的哈佛结构，即数据总线和地址总线相互分离，能够同时取指令和取操作数，提高了处理效率，区别于传统 CPU 采用统一程序和地址空间的冯·诺曼结构，共享程序和数据总线；专用寻址单元，DSP 有地址产生器，与 ALU 并行操作，地址运算不额外占用 CPU 时间；片内存储器，存参数和数据，解决了外部存储器的总线竞争和访问速度不匹配问题，访问速度快，缓解 DSP 数据瓶颈；流水处理，使得两个或者更多不同的操作可以重叠执行，提高 DSP 程序执行效率。但是由于单流程控制，DSP 处理器还是不能充分实现任务的并行处理^{[4][5]}。

FPGA 指的是现场可编程门阵列，它的基本功能模块是由 n 输入的查找表，存储数据的触发器等组成。将查找表和触发器用可编程的布线资源连接起来，就可以实现不同的组合逻辑和时序逻辑。由于 FPGA 内部结构的特点，它可以很容易的实现分布式的算法结构，这一点对高速数字信号处理十分有利。因为数字信号处理中通常都需要大量的滤波运算，而这些滤波函数往往需要大量的乘和累加操作，而通过分布式的算术结构，FPGA 可以有效地实现乘和累加操作。

由于 FPGA 器件实现的各功能块可以同时工作，从而实现指令级、比特级、流水线级甚至是任务级的并行执行，从而大大地加快了计算速度。由 FPGA 实现的计算系统可以达到现有通用处理器的数百甚至上千倍。并且，由于 FPGA 可动态地配置，系统的硅片面积不再是所支持无线接口数的线形函数，因此有可能在很少的几片甚至一片 FPGA 中集成一个支持所有标准的系统。不过，由于现有的 FPGA 的开发系统几乎都是为 ASIC 的原型验证而设计的，导致这些开发系统在节省工程开发时间上效率非常高，而在 FPGA 资源的利用效率方面却比较差。HDL 语言可大大提高设计能力，但在最大限度地发挥器件性能方面 HDL 的设计方法还有一定的局限性，还不能提供 FPGA 布局布线的优化和约束^{[6][7]}。

在本系统中，主要是采集图像以及对采集到的图像进行处理，而图像处理技术是把输入图像转换成具有所希望特征的另一幅图像。根据算法强度、算法复杂度和计算量，可将图像处理算法可以大概的分为两种：低层信号处理和高层数据处理。低层信号处理算法包括：线性运算类如滑动平均、帧间累积平均、帧间递归累积、帧间差分；图像全局或局部的统计特性计算类如均值和方差、直方图统计、最大最小值；非线性运算类中如中值滤波、阈值分割及二值化；卷积积分类如相关匹配、高通滤波、边缘检测等。高层数据处理算法包括：检测、跟踪窗大小的自适应确定；按一定检测准则在全局、自适应窗内或局部计算分割阈值；目标形

心、质心计算；背景和干扰的识别与剔除；基于目标特征(亮度、面积、长度、宽度)的帧内目标识别^{[8][9][10][11]}。

图像信号处理类的低层信号处理运算主要面向图像像素操作，核心算法部分是乘加等算术逻辑运算和最值运算、二值分割、绝对值等非线性运算，特点是数据量大但运算简单机械，适于采用 FPGA 并行操作流水线方式实现，虽然 DSP 有专用的硬件乘法器，但与 FPGA 相比较，在此类算法上，FPGA 有更大的数据吞吐量；而在目标识别和数据处理算法和控制算法面向图像内容的高层分析、全局处理和系统控制的高层数据处理算法中，主要是采用各种复杂计算和条件判断，适合于采用高速 DSP 处理。

由于本系统中要求对采集的图像进行预处理，从前面的分析可知适于用 FPGA 来实现。而根据需要，很可能还要对图像进行压缩处理，它是许多像素点之间的运算，算法复杂、运算量比较大，需要的 DSP 资源比较多，故用 DSP 来实现。

另外从经济的角度来考虑，如果只用 FPGA 来进行增强压缩处理，那么需要的 FPGA 就要有比较多的资源，而 FPGA 不同芯片的价格还是有很大差异的。而采用 FPGA 与 DSP 协同工作的方式，只需要选用一个资源比较少的、价格比较便宜的 FPGA 芯片即可。另外本系统要求通过 PCI 接口向上位机传输数据，这样要求系统必须能够通过 PCI 接口与上位机进行通信。而要实现与上位机的通信，有两种方式：一是通过自己编程实现，这样将大大的增加编程的难度，使得整个系统将非常的复杂，一般不采取这种方式。另一种方式是采用 PCI 桥芯片。本系统选用得 DSP 芯片集成了 PCI 口，从而可以省略专门得桥芯片，从而降低成本。

总之，根据实际的需求，本系统采用了 FPGA 和 DSP 协同工作的方式，选用了 FPGA 和 DSP 这两种数字信号处理器。这一方面可以很好的实现系统的功能，另一方面它很灵活，便于系统以后的升级和扩展。

3.1.3 存储器的选择方案

在本系统实现图像处理的过程，需要用到当前输入的一帧图像所有像素值。而一帧图像所需要最大的存储量为： $1920 \times 1280 \times 8 \times 3 = 58982400 \text{ bit} = 7.03\text{M bytes}$ 。在该系统中，我们至少需要容量为 8M bytes 的存储器来做为一帧图像的缓存，由于需要的容量太大，不可能存放在芯片内部的 RAM 中，所有必须使用外部存储器来解决。

外部存储器通常用 RAM (随机访问存储器) 来实现。RAM 可以快速的存储数据, 但断电后存储的数据将全部丢失。它一般用在存储量不是很大, 需要迅速读写, 并且不需要长期记忆数据的场合。RAM 一般分为 SRAM 和 DRAM 两种, DRAM 又分为 SDR SDRAM 和 DDR SDRAM。SRAM 的特点是体积小、价格高、访问速度快、操作简单。SDR SDRAM 相对 SRAM 具有体积小、价格较低、访问速度较低、操作较复杂的特点。DDR SDRAM 的核心建立在 SDRAM 的基础上, 但在速度和容量上有了进一步的提高, 但是操作更加复杂。

从系统时钟来考虑, 目前, 设计的系统时钟在 100MHz~166MHz 之间, 对于 SRAM, SDRAM 和 DDR SDRAM, 这个时钟都可以满足, 所以, 时钟的限制可以忽略。

从成本来考虑, 在同容量存储器的中, SRAM 的成本要比 DRAM 的成本高很多。

从器件体积考虑, 单片 SRAM 的容量很小, 需要多片来组合, 这样体积就比采用 DRAM 的要大很多。

从控制的复杂度来考虑, SRAM 的控制最简单, 不需要刷新操作, 其次是 SDRAM, 它的控制难点在于需要刷新操作, 控制最复杂的是 DDR SDRAM, 它在时钟的上升沿和下降沿都要进行数据传输。

综上所述, 从单片容量, 时钟, 体积, 控制复杂度几方面综合考虑, SDRAM 是最佳选择, 它的优点是成本低, 速度和体积也完全可以满足我们的要求, 虽然控制比 SRAM 要复杂一些, 但在可接受的范围之内, 况且, 与成本的降低相比, 这一点完全可以忽略了。故本系统选用 SDRAM 作为本系统的存储器。

3.2 图像多功能卡的方案介绍

3.2.1 图像多功能卡的总体方案

在本系统中, 主要集成了 A/D 采集、存储器、FPGA、DSP、D/A 输出、PCI 总线, 组成了一块基于 PCI 总线的以 DSP 为控制核心的实时图像多功能卡。如图 3-1 所示为系统的总体方案图。

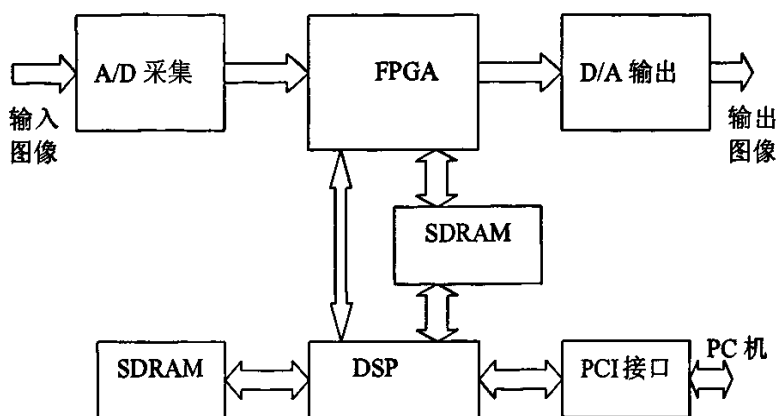


图 3-1 图像多功能卡的总体方案图

图像的输入端的 A/D 采集模块是对通过 VGA 口输入的图像数据进行 A/D 变换，并对图像数据按照 RGB 各 8 位的格式进行输出。在本系统中采用的芯片是 ADI 公司的 AD9888，因为该芯片的采样率最高达 205MSPS，模拟带宽为 500MHz，能够满足高分辨率的采集要求。

使用 ALTERA 公司的 Cyclone II 系列的 EP2C20F484 来实现系统控制和图像的预处理，即可方便实现数据流控制设计，还可借助其自带的 DSP 块来提高系统的运算速度。

采用 TI 公司的 TMS320DM642 作为本系统的 DSP，该芯片用于完成图像的压缩处理；并可以很方便的完成对采样芯片的 I²C 配置；由于其自身集成了 PCI 总线协议，这样系统可以利用其 PCI 口完成与上位机的通信和数据传输功能。

使用 HY57V283220TP-6（SDRAM）器件来实现外部存储器单元，用来存储采集到的图像数据和处理后的图像数据。

图像的 D/A 输出模块的作用主要是可以实时的显示采集的图像或者是处理后的图像，并且可以方便调试时检测采集模块、存储器模块、D/A 输出模块的电路是否正确。在本系统中采用 ADI 公司的 ADV7123 来做 DAC，可以通过 VGA 接口输出 24 位的 RGB 图像。

3.2.2 系统工作流程

本系统的工作流程如下：系统上电后，上位机通过 PCI 将参数传输到本系统，然后系统根据参数选择输入图像的类别；将采集的数据先在 FPGA 中经过增强处理，

经过处理后的数据可以直接输出，也可以存入外部的 SDRAM 缓存；最后将缓存的数据，由 DSP 压缩并通过其 PCI 接口将数据传输到 PC 机或者不进行处理直接经过 PCI 接口把数据传输到 PC 机，从而完成图像的采集增强与压缩处理，并将数据传输到上位机。

3.3 本章小结

本章主要介绍了通用图像处理系统的体系结构，而实时处理系统中影响速度的主要瓶颈是数字信号处理器的运算速度，以及访问外部存储器的速度。分析了几种数字信号处理器的主要优点和缺点，从而最后系统选用 FPGA 和 DSP 作为本系统的数字信号处理器。从容量、体积、存储量、控制的难易程度、价格几个方面分析了几种存储器的特点，综合比较后选用 SDRAM 作为外部的存储器。最后给出了图像多功能卡的系统总体方案，并对整个系统的工作流程做了简单的阐述。

第四章 图像多功能卡的硬件设计

在图像多功能卡的总体方案中,已经介绍了本系统主要由 A/D 采集(解码)、存储器、FPGA、DSP、D/A 输出(编码)、PCI 总线几部分组成,其中 FPGA、DSP 是本系统的核心。下面将主要讨论图像多功能卡的硬件设计。

4.1 系统主要芯片介绍

4.1.1 AD9888 简介

AD9888 是 ANALOG DEVICES 公司的一款具有视频模数转换功能的芯片。通过模拟接口,AD9888 可对 RGB 图像信号进行 8 位精度的采样,最高采样率为 205MSPS,模拟带宽为 500MHz,可支持 UXGA 模式(1600×1200 @75Hz)。芯片内部功能框图如图 4-1。

AD9888 提供了 A、B 两个数据输出端,分别有 R、G、B 三个通道,每通道有 8 位的数据输出,可根据自己的需要选择只用 A 输出端口或同时使用 A、B 两个输出端口。在双端口模式下,第一个采样的像素由 A 端口输出,第二个像素由 B 端口输出,第三个再由 A 端口输出,以此类推,并且可以选择 A、B 端口的数据按采样顺序依次出现或者 A 端口的数据延迟半个数据时钟后,两端口的数据同时出现。AD9888 同时也输出数据时钟和修正后的行频,在单端口模式下,数据时钟频率等于采样时钟频率,而在双端口模式下,数据时钟频率是采样时钟频率的 1/2,所以用双端口可以降低数据输出速率,减小传输误差。

AD9888 的工作模式以及采样时钟频率是由内部的控制寄存器的值决定的,可使用 I²C 总线对片内控制寄存器的参数进行修改。AD9888 的内部锁相环的默认输入是行频,也可以是任意的外部时钟,但这样做会导致一些功能不能使用。锁相环根据控制寄存器中相应的参数倍频后产生采样时钟频率,频率输出范围在 10MHz 到 205MHz 之间^[12]。

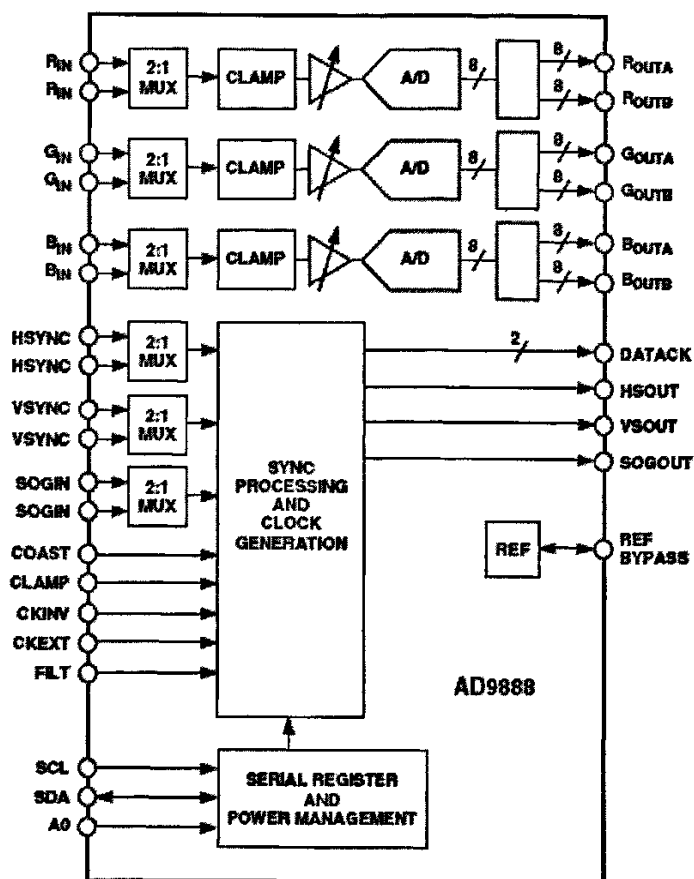


图 4-1 AD9888 的功能方框图

4.1.2 ADV7123 简介

ADV7123 是 ANALOG DEVICES 公司的一款三通道 10bit 精度的视频 D/A 转换器，最高采样率可达 240MSPS，支持 1600×1200 @100Hz 以下的分辨率，功能框图如图 4-2 所示^[13]。

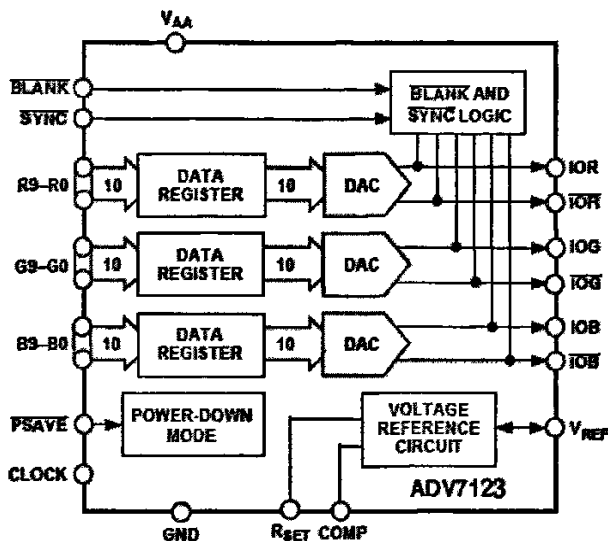


图 4-2 ADV7123 的功能框图

4.1.3 存储器芯片简介

在本系统中我们使用了 HY5DU283220 来做外部存储芯片,它是 $4\text{M} \times 32\text{bit}$ 的 SDR_SDRAM。其时钟频率最快为 200MHz 。该器件有以下特性:

数据、地址和控制信号都在时钟的上升沿被采样;输入输出电平复合 SSTL₂ 协议;可编程的数据突发宽度 2, 4, 8word, 可使用顺序或者间隔方式突发;支持自动刷新和自刷新,每 64MS 就有 4096 个刷新周期^[14]。

4.1.4 FPGA 芯片简介

基于本系统的需要,我们使用 ALTERA 公司的 Cyclone II 系列的 FPGA——EP2C20。该芯片最多可提供 315 个用户 I/O 口,并自带有 4 个 PLL 用于时钟控制。EP2C20 具有以下特性^[15]:

存储器: 适合各种嵌入存储器功能。包括:多种存储块大小 (512bit、4Kbit)、加奇偶校验比特进行差错检查、混合宽度数据和混合宽度时钟模式、嵌入式移位寄存器功能。

DSP 块: EP2C20 中具有并行的高速 DSP 块,该 DSP 块根据常见的 DSP 操作优化,可以方便的完成包括 FFT、DCT 在内的各种操作。它支持 5 种数学操作,乘、加、减、累加、求和并由这些操作组合完成各种函数,提供较高的性能。

高带宽 I/O 标准和高速接口: 支持多种工业标准 IO 包括 LVTTTL、LVCOM、

PCI、PCI_X、AGP、SSTL、LVDS、PCML、LVPECL 等。支持高速外部存储器件接口。

器件配置：EP2C20 支持多种配置方式包括：微处理器，配置器件和下载电缆等多种方式，通过管脚 MSEL[2:0]选择不同的配置方式。

4.1.5 DSP 芯片简介

TMS320DM642 是一款面向数字媒体应用的高性能 32 位定点 DSP，它在 TI 的 C64x DSP 内核的基础上进一步集成了完备的视频/音频输入/输出接口、以太网接口、PCI 接口等外设，不仅能使用户很方便的对音频/视频等各种复杂的运算进行高速的处理，还能为方便、无缝地接口视频/音频编解码器件和以太网/PCI 接口等数据传输接口。非常适用于 VoIP、数字视频服务器、多通道数字视频录像机 (DVR)、多通道数字视频监控等应用，提供高质量的视频编/解码解决方案。其功能框图如图 4-3 所示：

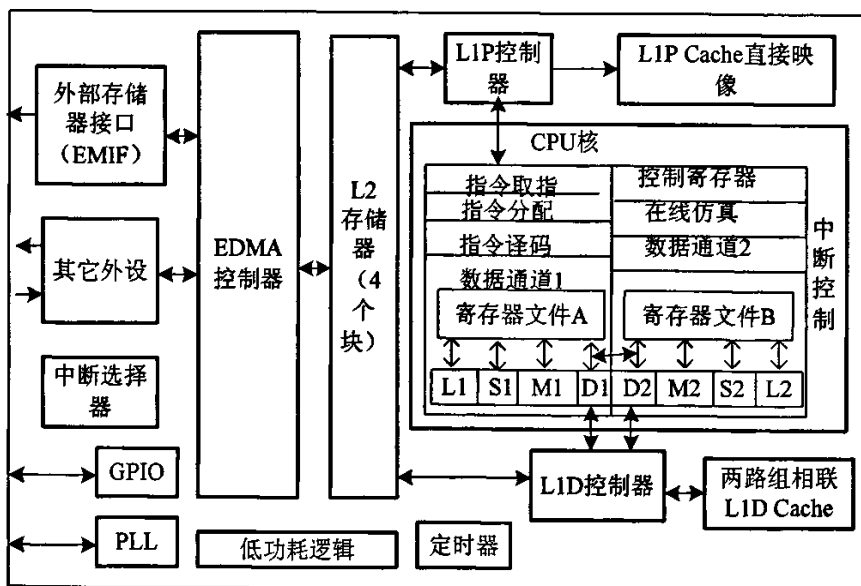


图 4-3 TMS320DM642 内部模块结构图

TMS320DM642 内部的主要特点包括^{[16][17][18]}：

① CPU 的主频为 500MHz、600MHz、720MHz。

② 具有 VelociTI™ 先进 VLIW 结构内核。

◆ 8 个独立的功能单元：6 个 ALU(32/40 bit)，2 个乘法器 (16 x 16)，浮点系列支持 IEEE 标准单精度和双精度浮点运算。

- ◆ 可以每周期执行 8 条 32 bit 指令, 最大峰值速度为 5760MIPS。
- ◆ 专用存取结构, 64 个 32 bit 通用寄存器。
- ◆ 指令打包技术, 减少代码容量。
- ③ 具有类似 RISC 的指令集。
 - 32 bit 寻址范围, 支持 Byte 寻址。
 - 支持 40 bit ALU 运算。
 - 支持位操作。
 - 100% 条件指令。
- ④ 片内集成大容量存储器。
 - L1P Cache: 16K Bytes
 - L1D Cache: 16K Bytes
 - L2 RAM/ Cache: 256K Bytes
- ⑤ 64 bit 高性能外部存储器接口 (EMIF) 提供了与 SDRAM、SBSRAM 和 SRAM、FIFO 等同步/异步存储器的直接接口。
- ⑥ 片内提供多种集成外设。
 - 多通道 EDMA 控制器
 - 多通道缓冲串口 (McBSP)
 - 多通道音频串口 (McASP)
 - 可以访问 DSP 的整个存储空间的主机口 (HPI)
 - 10/100Mb/s 以太网接口 (EMAC)
 - 32 bit /33MHz PCI 主/从模式接口
 - 32 bit 通用计数器 (Timer)
 - 通用输入/输出 (GPIO)
 - I²C 总线主/从模式接口
 - 支持多种复位加载模式 (Boot), 提供 3 种节电模式控制 (Power Down)
- ⑦ 内置灵活的 PLL 锁相时钟电路。
- ⑧ 支持 IEEE-1149.1 (JTAG) 边界扫描接口。
- ⑨ 内核采用 1.2 V (-500)/1.4 V (A-500, -600, -720) 供电, 周边 I/O 采用 3.3 V 供电。
- ⑩ 采用 BGA 封装

4.2 系统电路设计

4.2.1 辅助器件硬件设计

4.2.1.1 时钟电路的设计

系统时钟在整个板卡中起到举足轻重的作用。时钟是系统正常运行的基本保证。在系统中，由有源晶振或者上位机通过 PCI 接口提供时钟给 FPGA，而 DSP 的时钟由 50M 的有源晶振提供。A/D 部分的采样时钟由图像源输入，不再用单独的晶振提供。D/A 输出的时钟则因芯片不同有不同的选择，其中 ADV7123 的时钟直接由 FPGA 的 PLL 产生，而 ISP1761BE 和 SAA7121H 的时钟则由有源晶振提供。存储器 SDRAM 的时钟选择则比较多，在系统中设计了三种可选方案：① FPGA 与 DSP 各自用自己的时钟，并且操作 SDRAM 时也使用各自的时钟进行读写操作。② FPGA 用 DSP 的时钟，SDRAM 只用 DSP 的时钟操作。③ DSP 用 FPGA 提供的时钟，操作 SDRAM 的时候可以单独操作，也可以只用 DSP 的时钟操作。在本设计中，首选方案为第一种，用这种方式操作 SDRAM 时不用考虑时序的问题，如图 4-4 所示；后两种方案中，由于时钟与控制信号、数据的路径不同，必然会造成时序上的不整齐（时钟超前或者滞后控制信号、数据一定的时间）。要正确的读写 SDRAM，则需要在编程时进行一些特殊的处理，相对会增加一点程序的复杂度。

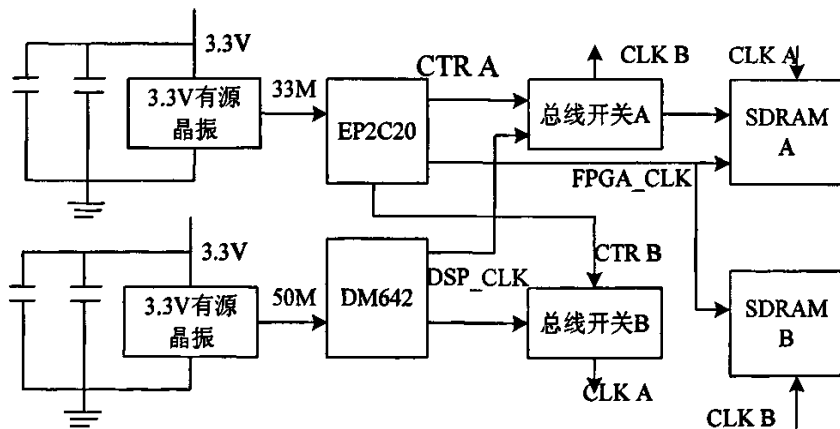


图 4-4 时钟电路示意图

4.2.1.2 电源电路的设计

TMS320DM642 的供电属于双电源方式，需要两种不同电压的供电方式。一种是提供给内核的工作电压 CVDD，其需求电压为 1.4V，因为 DM642 属于低功耗器件，

内部采用比以前系列 DSP 都低的供电方式。另外一种供电 3.3V 提供给 DSP 的输入输出端口（I/O）以及外围设备。器件的功耗取决于器件的激活度，即内核的功耗取决于 CPU 的激活度，外围设备的功耗取决于正在工作的外设及其工作的速度。

EP2C20 也是双电源供电方式，其内核电压为 1.2V，这样能很大程度上降低器件的功耗；其外部电源为 3.3V。EP2C20 的双电源对上电顺序没有特殊要求，所以可以利用双电压输出的电源或者两个单独的电源分别给内核和外部 I/O 供电即可。

DSP 采用双电源工作方式，对加电的秩序有严格要求。理想情况下，内核电源和外设电源应该同时上电，可是这种条件往往不能满足。在一般情况下，只能先给内核加电，再给输入输出端口（I/O）加电。为了达到这样的要求，以及降低系统的复杂度，需要寻求一种能够提供两种供电方式电源芯片，并且该芯片的输出电压能够同时满足两种电源电压。本系统将 5V 的电压经过两个不同的调节器分别输出 1.4V 和 3.3V 两种电压。在设计过程中，采用的电源芯片为 TPS70402，并对输入给 DSP 的电源芯片的两种电压的输出之间，加入可保护电路，如图 4-5 所示。

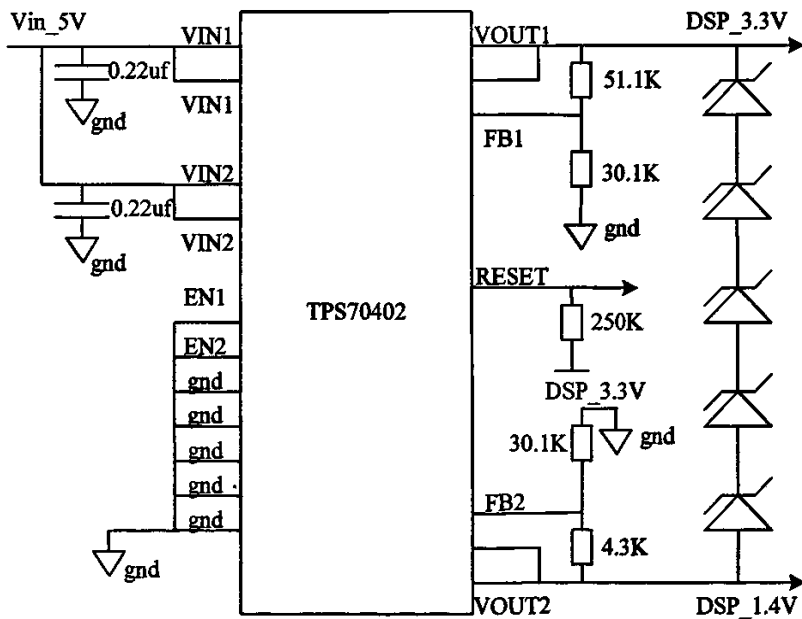


图 4-5 DSP 电源电路

4.2.2 输入输出电路设计与实现

在系统中，输入和输出都采用 VGA（Video Graphics Array）接口，VGA 接口是一种常见的显示设备视频信号传输连接接口。VGA 接口也叫做 D-sub 接口。它是

一种 D 型接口，上面共有 15 针空，分成三排，每排五个。VGA 接口是显卡上应用最为广泛的接口类型，绝大多数的显卡都带有此种接口。

在图像的输入部分，图像经过 VGA 接口输入给 AD9888。AD9888 接受到输入的 R、G、B 三原色信号和行场同步信号后，首先进行 A/D 转换，然后将转换后的数据按 RGB24 的格式输出给 FPGA。

AD9888 每个通道最高的采样率为 105 MSPS，当输入图像的分辨率为 $1280 \times 1024 \times 60$ 时，其像素时钟为 108MHz，单通道模式就不能满足实时采集的要求。所以设计中 AD9888 采用 A、B 双通道轮流输出的模式。

在电路的设计中，要注意 AD9888 的模拟电源和数字电源一定要分开，采用单独的电源供电，否则电路将不能正常工作。具体电路如图 4-6 所示。

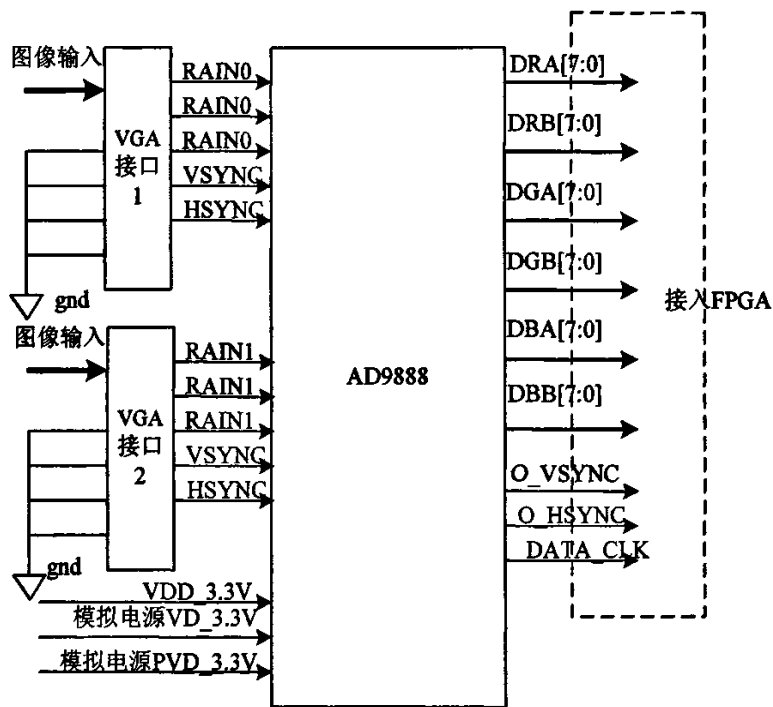


图 4-6 AD9888 电路示意图

图像的输出部分由 ADV7123 进行 D/A 转换。ADV7123 接受来自 FPGA 的 RGB 数据和行场同步信号，转换后输出到 VGA 接口，进行显示。

在这部分电路的设计中，同样要注意将模拟电源和数字电源分开。由于系统的图像最高精度为 8bit，所以该芯片数据总线输入端的最低两位不用，可固定为低电平。如图 4-7 所示。

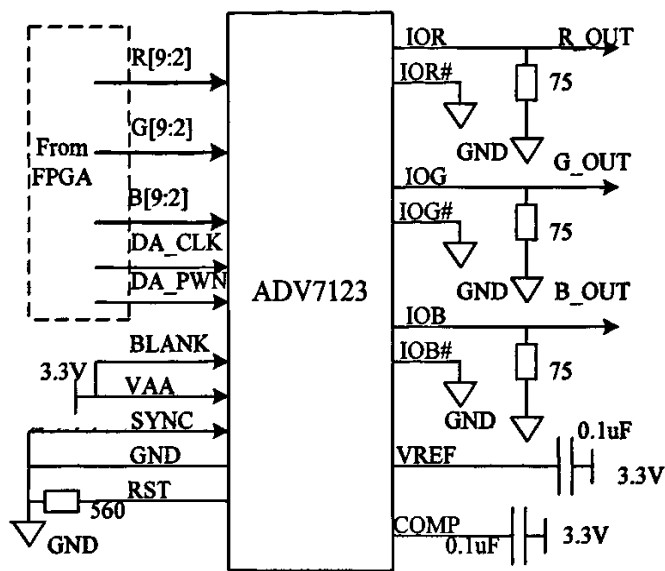


图 4-7 ADV7123 电路示意图

4.2.3 FPGA 外围电路的设计

FPGA 是系统的重要部分，它负责系统的控制和图像的增强处理。首先接受 A/D 采集部分的输入数据，完成图像的采集控制；接着将数据存储到外部存储器 SDRAM 中；最后要把处理的数据从 VGA 接口输出进行显示，并且需要完成和 DSP 的通信，协调工作。FPGA 与这几部分的电路如图 4-8 所示。

FPGA 除了以上的电路外，还有很重要的电路，那就是 FPGA 的配置电路。在本设计中，FPGA 的配置电路采用了通过 JTAG 方式和以 PS 方式通过 EEPROM 加载的方式。其中 JTAG 模式下，可以很方便的将程序烧写到 FPGA 内部，当系统掉电后程序就不存在；在 PS 模式下，将程序烧写到 EEPROM 中，只要不进行擦写操作，程序会一直保存。在设计该部分电路时，要注意 FPGA 通过 EEPROM 加载程序时，只有当 nCINFIG 为高时，才会从 EEPROM 加载程序，否则不能正常的加载程序。进行电路的设计时，可直接上拉，也可通过 DSP 的 GPIO 进行可编程控制。如图 4-9 所示。其中名称相同的线是连接到一起的，即 EEPROM 中的程序是通过图中 J(FPGA_PS) 接口烧写的。

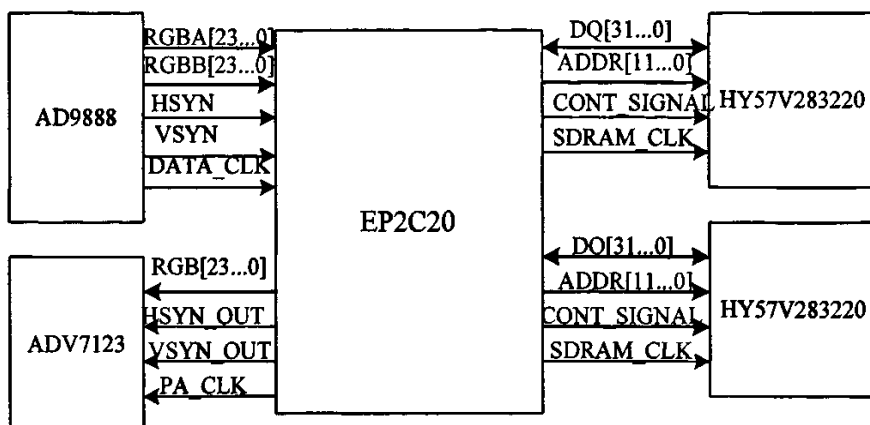


图 4-8 FPGA 外围电路示意图

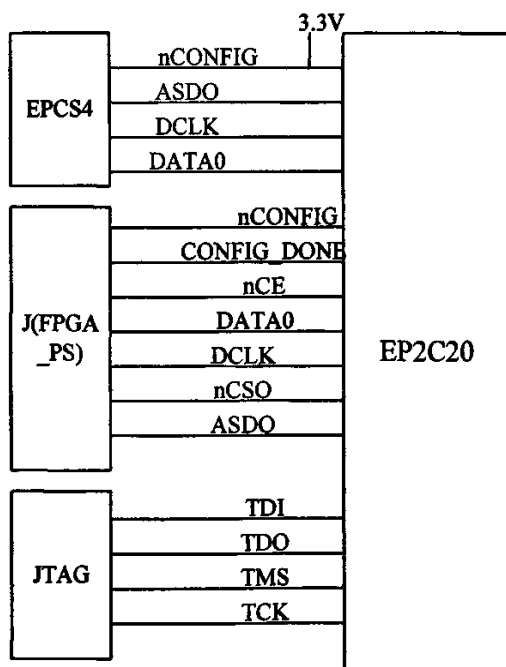


图 4-9 FPGA 配置电路示意图

4.2.4 DSP 外围电路的设计

本系统用的 DSP 为 TMS320DM642, 它在系统中作为系统的总控芯片, 进行 I²C 的配置, 完成数据的压缩, 并将数据通过其自带的 PCI 口, 传输到上位机中。DSP 外围电路要完成 DSP 与外部 SDRAM、PCI 接口、I²C 配置的电路设计。

4.2.4.1 DSP 时钟电路的设计

DSP 的时钟电路的设计占有非常重要的地位。DM642 的主频最高可达 720MHz。在前面时钟电路的设计中已经说明了 DSP 的输入时钟由晶振提供,其内部有 PLL 电路,可对输入的时钟进行最高 12 倍频的处理。在本设计中,外部时钟源选择 50MHz 的有源晶振,对其进行 12 倍频作为 DSP 的工作频率。要对输入时钟进行 12 倍频的处理,在电路的硬件设计中只需要将 CLKMODE1 置为高电平,CLKMODE0 接地。

4.2.4.2 DSP 与 SDRAM 接口电路设计

由于 TMS320DM642 内部具有 256K 的 RAM,用于数据和程序的存储,但是对于图像信号而言,这个存储空间太小,不能满足需求,因此需要进行外部的存储器扩展。

TMS320DM642 的 EMIF 有 4 个片选空间 CE0、CE1、CE2 和 CE3,每个片选空间支持 256M Byte 的存储空间。其中除了 CE1 是作为 FLASH 的片选外,另外的三个都可以作为外部 SDRAM 的片选。

在本系统中,FPGA 和 DSP 共用两个 SDRAM,为了提高系统的数据传输的速度,这两片 SDRAM 采用乒乓操作的方式。因此在 DSP 与 FPGA 公用的两块 SDRAM 的电路设计中,需要考虑协调它们之间的工作,能同时对 SDRAM 进行操作,但是又不会冲突。在这两片 SDRAM 中,当 SDRAM 写其中一片的同时,DSP 能读另外的一片。但是 DSP 的 EMIF 接口每次只能同时访问 SDRAM,也就是说如果单独的把两块 SDRAM 接入,那么 DSP 会同时读 SDRAM,这样就会和 FPGA 产生冲突。为了解决这个问题,在 DSP 与 SDRAM 之间,加入了一组总线开关,并且由 FPGA 来控制开关的开启和关闭,而 FPGA 和 SDRAM 之间的信号,FPGA 可以很方便的根据需要使其正常输入或者置为高阻,这样就能完成 SDRAM 的乒乓操作。如图 4-10 所示。

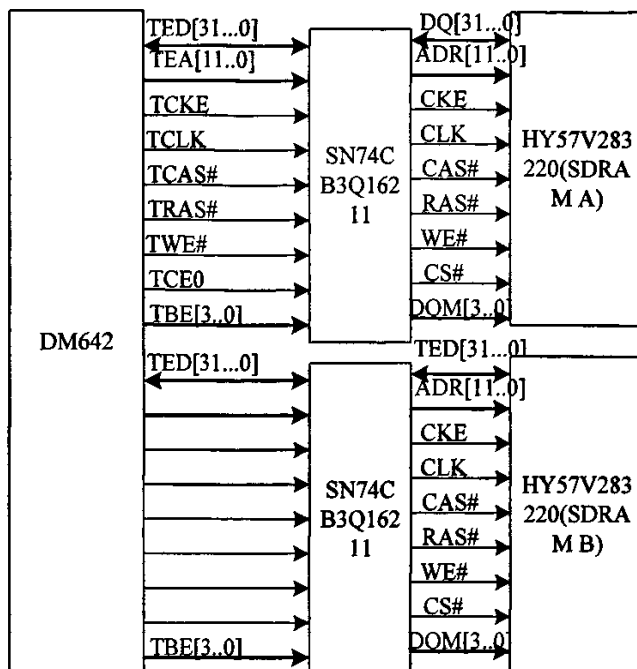


图 4-10 DSP 与 SDRAM 的连接

DSP 单独使用的 SDRAM 的电路连接与公用的类似，只要将高 32 位的数据线连接到 SDRAM 的数据线，并且为了当 DSP 操作这片 SDRAM 时不会操作公用的 SDRAM，可以将 SDRAM 的 CS# 连接到 DSP 的 CE2#。

DSP 与 FLASH 的连接与 DSP 与存储器的连接很相似，只要将片选信号变为 CE1，数据信号取 EMIF 的低 8 为和 Flash 的数据线相连，对应的地址信号、控制信号相连即可。具体的电路图就不再给出。

4.2.4.3 DSP 仿真测试电路的设计

扫描仿真器通过 DSP 芯片提供的几个仿真引脚实现仿真功能，可以用来解决高速 DSP 芯片的仿真。由于高速 DSP 芯片具有高度并行结构、快速的指令周期、高密度的封装等特点，采用传统的电路仿真方法很难实现可靠的仿真。扫描仿真消除了传统的电路仿真存在的问题，用户程序可在目标系统的片内或片外存储器实时运行，而不会因为仿真器引入额外的等待状态。

JTAG (Joint Test Action Group) 是基于 IEEE1149.1 标准的一种边界扫描测试方式 (Boundary-Scan Test)。TI 公司为大多数 DSP 芯片提供了 JTAG 端口支持。结合配套的仿真软件 (Emulator)，可以访问 DSP 的所有资源，包括片内寄存器以及所有存储器，从而提供了一个实时的硬件仿真与调试环境，便于开发人员进

行系统软件调试。这是实现一个系统中处理器部分“可见度”的一个最方便的手段。JTAG 端口的 14pin 管脚如表 4-1 所示。其中 TDO 信号与 TCK 时钟的下降沿对齐, TMS 和 TDI 在 TCK 时钟的上升沿取样。

表 4-1 JTAG 管脚信号

仿真头信号	仿真头状态	DSP 芯片状态	信号说明
TMS	输出	输入	JTAG 测试方式选择
TDI	输出	输入	JTAG 测试数据输入
TDO	输入	输出	JTAG 测试数据输出
TCK	输出	输入	JTAG 测试时钟
/TRST	输出	输入	JTAG 测试复位
EMU0	输入	输入/输出	仿真脚 0
EMU1	输入	输入/输出	仿真脚 1
PD	输入	输出	存在测试
TCK_RET	输入	输出	JTAG 测试时钟返回

在本设计中,设计 JTAG 测试口,仿真器通过 14pin 的 JTAG 测试口与 TMS320DM642 的测试口相连,便于程序的在线调试和下载。EMU0 和 EMU1 通过上拉电阻拉到高电平,如图 4-11 所示。

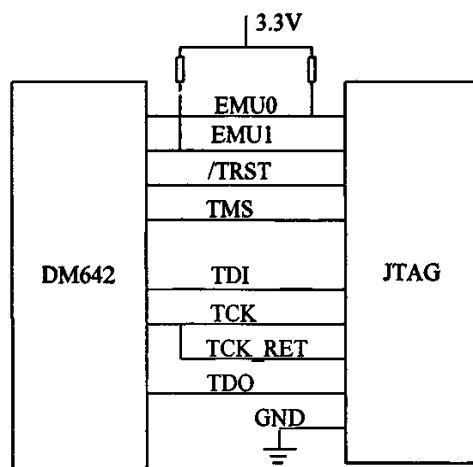


图 4-11 DSP 与 JTAG 的连接

4.3 本章小结

本章首先简要的介绍了本系统所用的主要芯片的功能,详细叙述了几个重要组成部分的电路设计与实现,包括时钟电路、电源电路、输入输出电路、FPGA 外围

电路和 DSP 外围电路的设计。

第五章 FPGA 内部功能模块的设计与实现

在本系统中，FPGA 作为系统的控制和图像处理的核心起着非常重要的作用。FPGA 需要完成图像采集的控制、图像的预处理、图像数据的存储控制以及与 DSP 的通信^{[19][20][21][22][23][24][25][26][27][28]}。

5.1 FPGA 内部工作流程

系统上电后，FPGA 从外部 EEPROM 自动加载程序，在 FPGA 接受到 DSP 发出的开始工作的命令后，FPGA 开始工作。接受来自 AD9888 输入的图像数据信号，按照工作原理，分离出有效数据，完成图像采集的控制；接着将采集到的数据进行图像的去噪、校正、增强处理并且将图像数据转换为 YUV 格式；最后将处理后的数据经过 SDRAM 读写控制写入到外部 SDRAM 中。如图 5-1 所示：

5.2 FPGA 内部模块总体结构

图 5-1 给出了 FPGA 内的工作流程，本节主要讨论 FPGA 内部各模块的相互关系与接口。如图 5-2 所示。

图 5-2 给出了 FPGA 内部程序模块的总体结构，它反映了 FPGA 内总的电路结构，同时反映了各模块之间是怎样进行接口的。在 FPGA 的顶层模块的设计中，只要按照图 5-2 所示的结构图将各个子模块连接起来即可。下面将分别介绍各个子模块的设计。

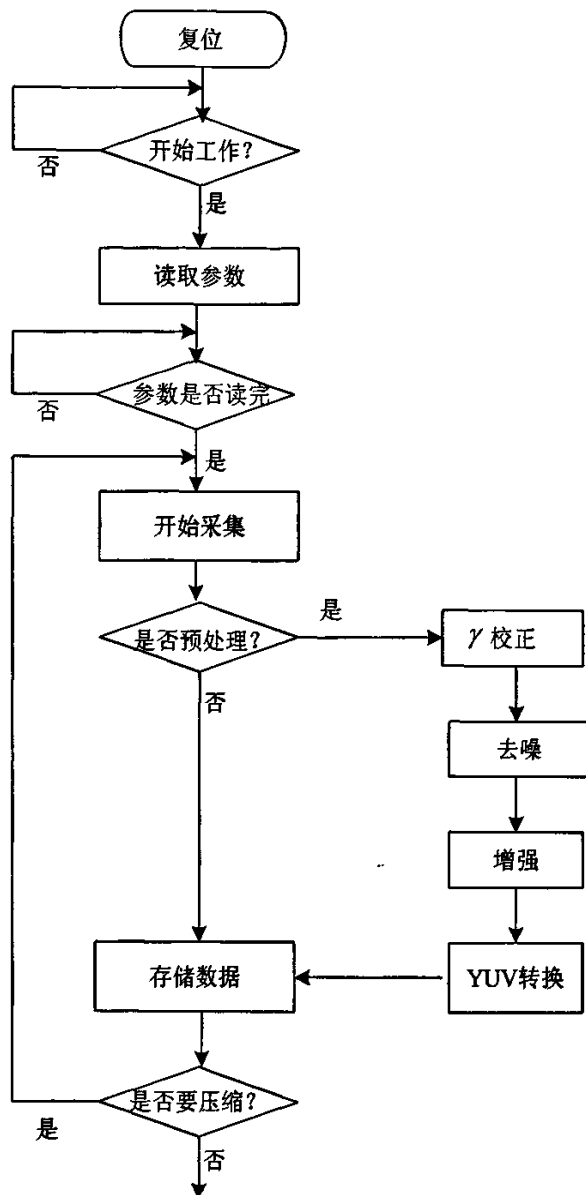


图 5-1 FPGA 内部工作流程图

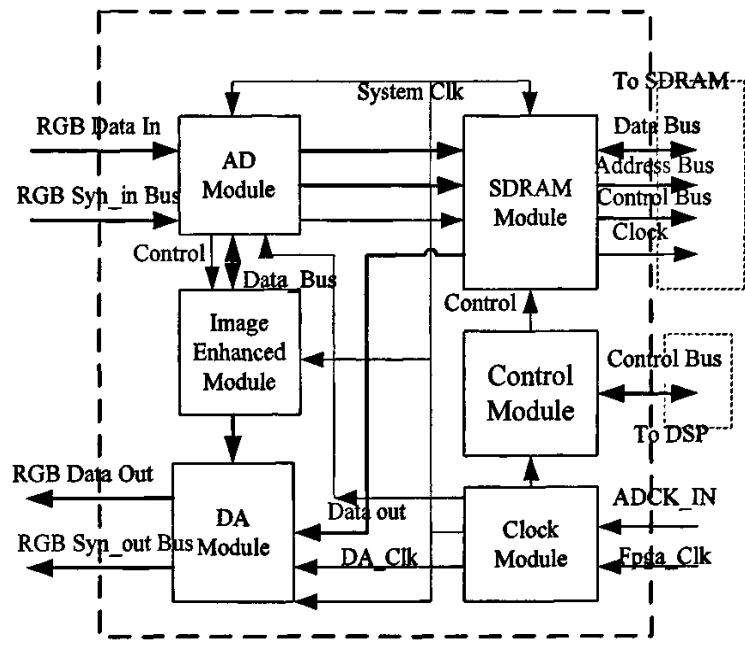


图 5-2 FPGA 内部模块总体结构图

5.3 时钟模块的设计

时钟在 FPGA 内部和整个系统中都占有很重要的作用，它是整个系统正常工作的基础，也是 FPGA 内部建立工作时序的基础。

在 FPGA 内有 4 个 PLL (Phase Lock Loop)，Altera 在 FPGA 中内嵌的是模拟的锁相环，其结构如图 5-3 所示。

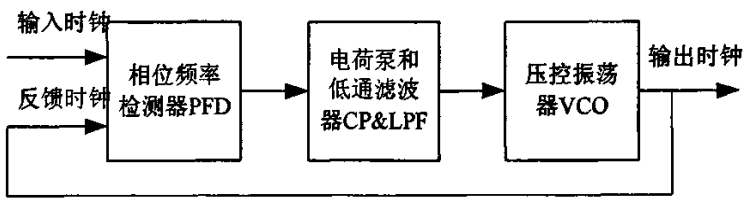


图 5-3 PLL 结构图

PLL 工作的原理：压控振荡器（VCO）通过自振输出一个时钟，同时反馈给输入端的频率相位检测器（PFD），PFD 根据比较输入时钟和反馈时钟的相位来判断 VCO 输出的快慢，同时输出 Pump_up 和 Pump_down 信号给环路低通滤波器（LPF），LPF 把这些信号转换成电压信号，再用来控制 VCO 的输出频率，当 PFD 检测到输

入时钟和反馈时钟边沿对齐时，锁相环就锁定了。

此系统 FPGA 内部共有 8 种时钟，为了提高系统时钟信号的性能，这里充分利用了 FPGA 内的锁相环对输入时钟信号进行了不同大小的倍频处理。FPGA 内部锁相环的时钟输入要求在 $16\text{MHz} \leq \text{clk} \leq 460\text{MHz}$ 之间，PCI 提供的系统时钟为 33MHz，可以作为系统时钟的输入时钟，但是为了系统能脱离上位机单独工作，此处还引入了一个 33MHz 的外部晶振。FPGA 内部时钟模块如图 5-4 所示。

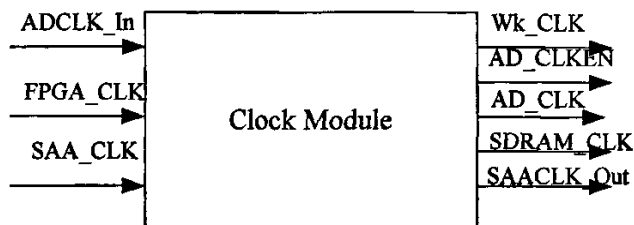


图 5-4 时钟模块图

输入时钟由 ADCLK_In 和 FPGA_CLK 和 SAA_CLK 组成。ADCK_In 由系统 AD 采集芯片提供，不同的分辨率和刷新率时钟不同，当系统配置时芯片被配置为双通道并行输出模式，分辨率为 $1024 \times 768 @ 60\text{Hz}$ ，查 AD9888 资料可知，此配置模式下 ADCK_In 时钟为 32.5MHz。FPGA_CLK 由外部的晶振提供，为 33MHz。SAA_CLK 也由外部晶振提供，频率为 27 MHz。

输出时钟由 Wk_CLK、AD_CLKEN、AD_CLK、SDRAM_CLK 和 SAACLK_Out 组成。其中 Wk_CLK 和 SDRAM_CLK 由 FPGA_CLK 经 FPGA 内部的锁相环倍频得到，系统工作时钟 Wk_CLK 被倍频到 100MHz，SDRAM_CLK 时钟由 FPGA_CLK 经 FPGA 内部的锁相环 3 倍频得到，为 100MHz。

输出时钟 AD_CLKEN 和 AD_CLK 由 ADCK_In 经 FPGA 内部的锁相环倍频得到。为了使得输入的 AD 时钟更稳定，并且使采样时钟和像素时钟能完全对齐，对 ADCK_In 1 倍频得到 AD_CLKEN，使得采集部分时钟信号性能更加稳定，由于 AD 芯片被配置成双通道并行输出模式，故又对 ADCK_IN 进行 2 倍频得到 AD_CLK，FPGA 内部把采集到的两路数据方便的合成一路数据，进而进行 SDRAM 存储时更方便操作。

输出时钟 SAACLK_Out 由 SAA_CLK 经过 FPGA 内部的锁相环 1 倍频得到。为 27MHz，为复合视频输出提供时钟。

5.4 AD 采集控制模块的设计

AD 模块主要负责完成对 A/D 芯片输入的图像数据的采集控制,即根据 A/D 芯片输入的控制信号,提取出有效数据,丢弃无效的数据。

在本系统中,由于输入的图像的不同,应用了几种芯片,各个芯片有不同的工作原理,故 AD 采集模块理论上来说也应该有与之对应的不同模块。但是由于本系统中,虽然硬件上扩展了几种图像采集输入,但是由于时间关系,除了 AD9888 以外,另外的都没有完成调试的工作。故在讨论 AD 采集控制模块时,只讨论基于 AD9888 的 AD 采集控制模块的设计。

要正确的采集到图像数据,首先要了解 AD9888 的工作时序,对于图像时序的正确理解将大大有助于 AD 模块程序的搭建工作。在本系统中,AD9888 被配置成双通道模式,在此模式下,其工作时序如图 5-5 所示。

AD 模块主要负责输入 VGA 信号的图像采集。主要包括 AD_Input、AD_Write 和 AD_Identfy 三个子模块,其在 FPGA 内部逻辑结构如图 5-6 所示。

DVI_Identfy 子模块主要是根据输入的行场同步信号,判别出行同步信号和场同步信号的时间间隔,从而达到系统自动识别图像源分辨率和刷新率的要求。因为对于某个分辨率和刷新率一定的图像,其行同步信号和场同步信号的时间间隔是在一个特定时间点左右波动的,因此只要计算出场同步信号的时间间隔就可以知道图像源的刷新率,计算出行同步信号的时间间隔就可以知道图像源的分辨率。

其中 AD_Input 子模块主要处理 VGA 信号的输入的转换部分。由于 FPGA 外部连的 AD9888 芯片是双通道输出的,为了程序处理的方便,在 FPGA 内部把外部输入的两路图像数据合并成了一路。并且根据输入的控制信号,判别出哪些是有效的数据,哪些是无效的数据,然后把合成的一路图像数据信号和相应的图像同步信号按照一定的逻辑时序送到下一个子模块 AD_Write。

AD_Write 模块主要是把来自 AD_Input 子模块的数据写入 SDRAM 控制器中,写入的过程遵循 VGA 信号的每条线来进行,即写入时先写明是一帧图像的第几条线,然后再把这条线分成 4 部分分别乒乓写入 SDRAM 控制器的乒乓 RAM 中,充分利用了 FPGA 内部 RAM 资源,提高了图像的采集速率,每帧图像 $1024 \times 768 \times 24\text{bits}$ 大约需要 15ms 左右采集和存储完毕。

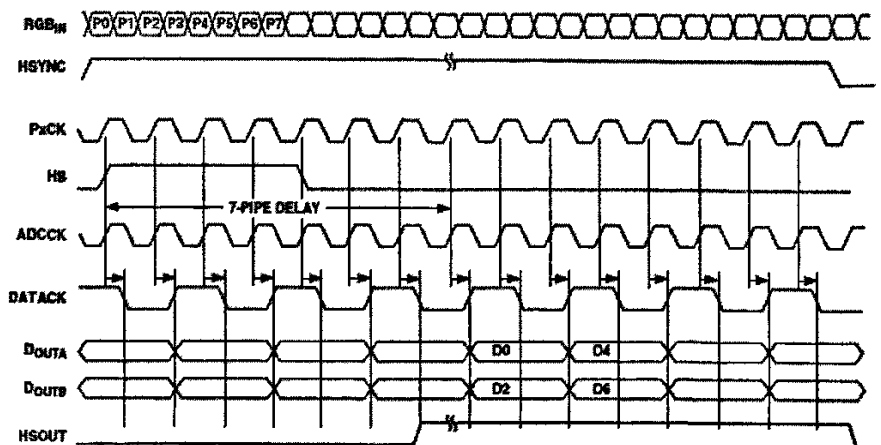


图 5-5 AD9888 双同道模式下的工作时序

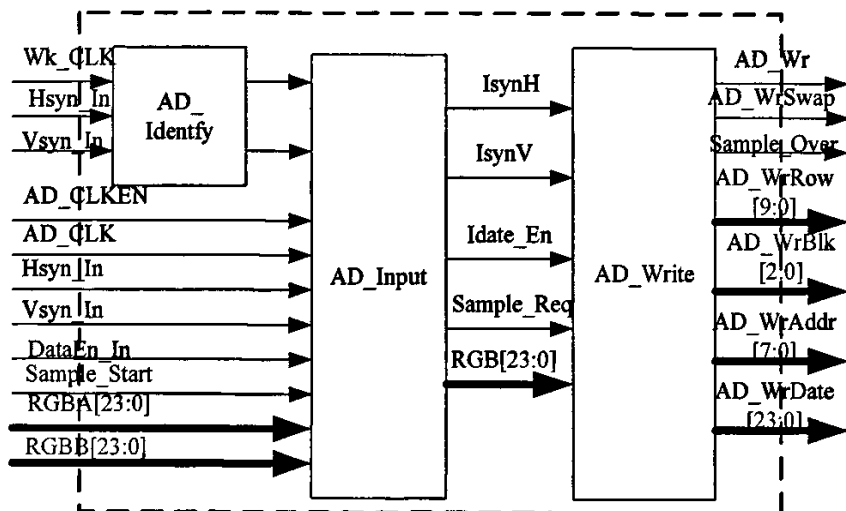


图 5-6 AD 模块内部结构框图

5.5 图像处理模块的设计

图像处理模块是对图像进行一些预处理，包括去噪、锐化、色彩校正、 γ 校正和 RGB 到 YUV 的转换。

第二章已经对图像处理作了一些基本的介绍，本节主要是讨论这些图像处理在 FPGA 内部的实现问题。对于色彩校正和 γ 校正，主要是通过查找表的方式实现，当数据输入到 Data Control Module 时，首先对数据进行色彩校正和 γ 校正的处理。然后在 Log Module 进行图像的去噪和锐化处理，在最后再进行 RGB 到 YUV 的转换。

图像处理模块的总体框图如图 5-7 所示。

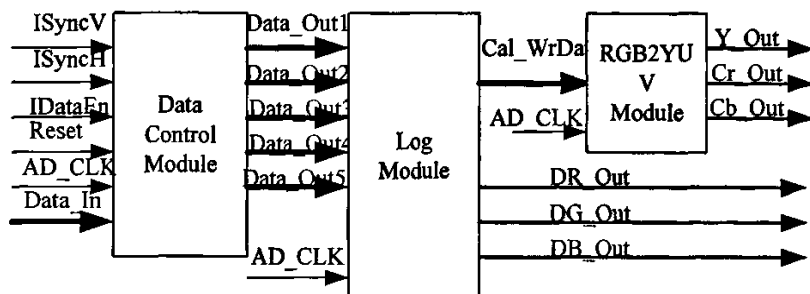


图 5-7 图像处理模块框图

Data Control Modul 的输入为 AD 采集模块输出的控制信号和数据信号，首先对输入的数据以查找表方式进行图像的彩色校正和 γ 校正，这时数据和控制信号相比时序上会有几个时钟的延时，为了使数据和控制信号时序一致，必须对控制信号进行相应时序的延时。然后为了配合后面的处理，对数据进行五行同时输出的处理，这里利用 FPGA 内部的 RAM 资源，生成了 6 个 RAM。每个 RAM 存储一行数据，写的时候根据控制信号，每次写不同的 RAM，同时输出从剩下的 5 个 RAM 中读取数据。如图 5-8 所示。

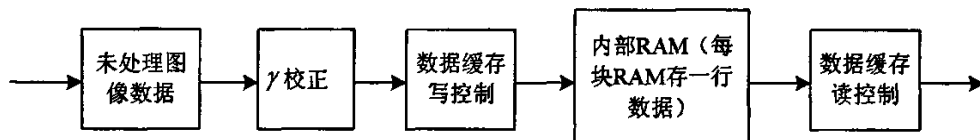


图 5-8 图像预处理控制流程图

Log Module 是图像处理模块中最重要也是最复杂的模块，它主要是解决 Log 算子在 FPGA 中的实现问题。因为 LOG 算子可以在每个彩色平面上的基础上分别进行处理，所以在接收到原始的彩色视频图像后，首先把原 24 位的彩色图像分离成 R、G、B 三个通道（每个通道都是 8 位）。每个通道都是采取相同的处理方法，其处理过程如图 5-9 所示。

在图 5-9 中，对于五行不同的行缓冲， h_1 、 h_2 、 h_3 、 h_4 、 h_5 具有不同的系数值。由前面叙述的 LOG 算子可知，对于第一行， h_1 、 h_2 、 h_3 、 h_4 、 h_5 分别为 0、-1、-2、-1、0；对于第二行， h_1 、 h_2 、 h_3 、 h_4 、 h_5 分别为 -1、1、4、1、-1；对于第三行， h_1 、 h_2 、 h_3 、 h_4 、 h_5 分别为 -2、4、12、4、-2；对于第四行， h_1 、 h_2 、 h_3 、 h_4 、 h_5 分别为 -1、1、4、1、-1；对于第五行， h_1 、 h_2 、 h_3 、 h_4 、 h_5 分别为 0、-1、-2、-1、0。

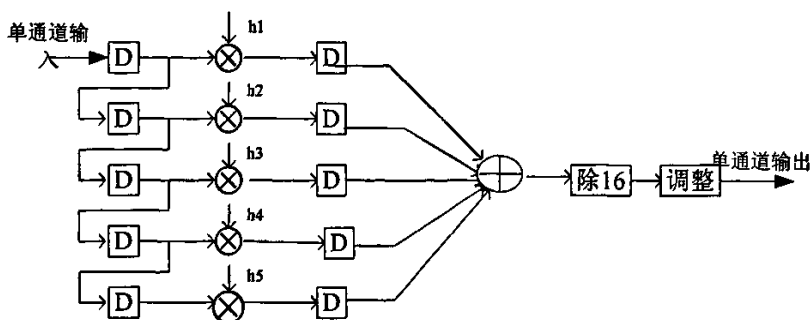


图 5-9 LOG 算子的实现框图

原始视频图像进入图像处理模块后，经过通道分离模块，24 位的原始图像数据分离成 R、G、B 三个通道，然后分别对每个通道做处理，即分别让每个通道的数据通过 LOG 算子。所以 LOG 算子的输入是单通道（R 或 G 或 B）数据输入。

在图 5-9 中，串并转换、流水线操作等都是通过第一列 D 触发器实现的。单通道数据输入后，每个步骤数据通过 D 触发器打一个节拍，所以流水线操作类似于一个移位寄存器。由于要实现的 LOG 算子是 5×5 的卷积模板，所以第一列需要 5 个 D 触发器来实现。流水线建立起来后，即可实现 5 列的卷积运算。原始图像输入后有五行缓冲，每行又有 5 列，所以整个流水线建立起来后，即可实现 5×5 的卷积运算。

RGB2YUV Module 完成了图像的 RGB 到 YUV 的转换，只要将图像数据的 R、G、B 分量分别按照转换公式进行计算，即可完成图像的转换。再采取不同的取样方式，就可以按照需要的格式输出 YUV 图像数据。如图 5-10 所示。需要注意的是在 FPGA 内实现这样的运算的一些技巧，比如如何实现乘除法以及对临界点的处理方法。



图 5-10 RGB 到 YUV 转换流程

5.6 SDRAM 读写控制模块的设计

要正确的控制 SDRAM 进行读写，必须要按照 SDRAM 的读写原理，在 FPGA 内部设计一个 SDRAM 控制器，对外围 SDRAM 器件进行正确的读、写、和刷新操作，其结构框图如图 5-11 所示。此处我们把 SDRAM 控制器设计成了专门的 SDRAM 控制器，其操作要按照一定的操作步骤才能正常地把数据写入或读出。

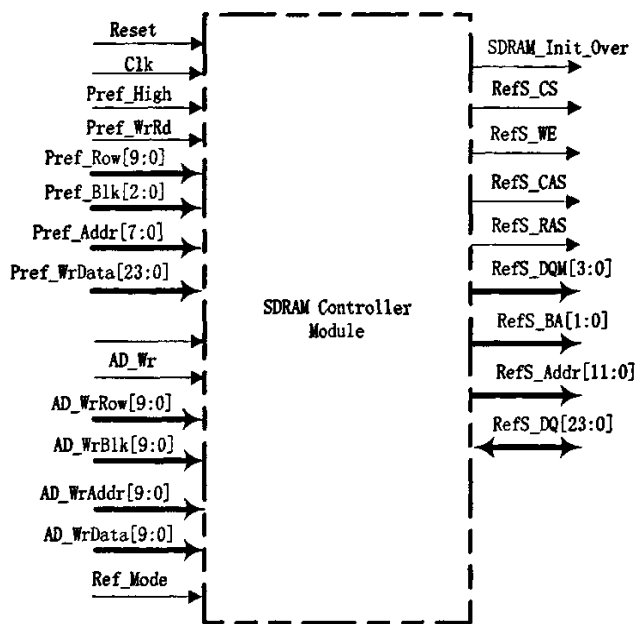


图 5-11 SDRAM 读写控制模块图

如上图所示，模块框图的右边的信号线除了 SDRAM_Init Over 外都是输出给 SDRAM 的信号线。

验证结果表明通过如图 5-11 所示设计实现的控制器可以在 FPGA 芯片内方便的实现 SDRAM 的读写操作。因为读写 SDRAM 都是按照统一的顺序突发方式，所以本人设计了如上图所示的控制器，系统只需要给出读、写请求和地址信息，控制器就可以自动产生对应的 RAS、CAS、WE 信号，并将数据写入或读出 SDRAM。

5.6.1 SDRAM 操作命令

SDRAM 有多种不同的操作命令。由于 SDRAM 有列地址和行地址之分，并且列地址和行地址是复用的，所以在不同的操作命令下，地址总线充当列地址线或者行地址线；不同的命令会使 RefS_WE、RefS_CAS、RefS_RAS 呈现不同逻辑状态。具体的命令状态请参照表 5-1。

表 5-1 SDRAM 命令表

Command	RefS RAS	RefS CAS	RefS WE
NOP	H	H	H
Active	L	H	H
Read	H	L	H
Write	H	L	L
Burst terminate	H	H	L
Precharge	L	H	L
Autorefresh	L	L	H
Config	L	L	L

5.6.2 SDRAM 的初始化

SDRAM 正常读写操作前需要进行初始化,一般 SDRAM 上电一段时间后才能对其进行初始化操作,此过程时间长短不一(由所使用的器件决定),一般在 100uS 左右;然后向 SDRAM 发送 Precharge 命令(命令的产生请参照参考表),对所有的 Page 进行 Precharge, Precharge 完毕后还得对 SDRAM 进行刷新,不刷新的话可能会导致 SDRAM 不能正常配置;刷新结束后,对 SDRAM 进行配置,我们配置的是 SDRAM 自动 Precharge, RefS_CAS 时钟延时数为 3,时钟延时数值视 SDRAM 的 Data Sheet 而定。初始化过程要严格按照 SDRAM 芯片的 Data Sheet 的参数来进行,否则不能进行正常的初始化,将直接导致后面的 SDRAM 不能正常读写。为了对 SDRAM 进行正确的初始化,以使 SDRAM 能正常的工作,设计了如图 5-12 所示的 SDRAM 的初始化状态机。

在这个状态机中,严格按照 SDRAM 的具体要求的参数进行初始化工作。每个状态之间的转化,都只有在满足 SDRAM 参数要求的情况下,才会发生。当初始化按照状态机中的状态变化到 SDRAM_INIT_OK 时,会使 SDRAM_INIA_OVER 信号有效,表示 SDRAM 已经完成初始化操作。只有 SDRAM_INIA_OVER 信号有效时,当有读写请求时,才会启动主状态机进行读写操作。

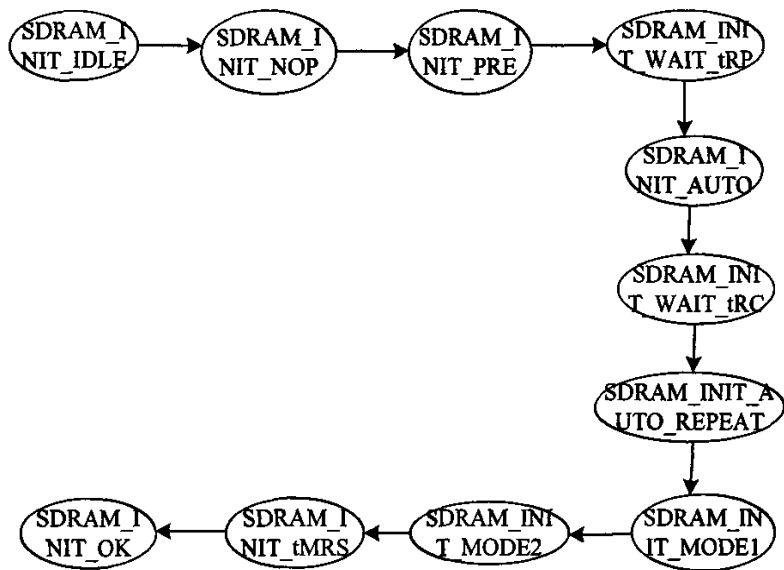


图 5-12 SDRAM 初始化状态机图

5.6.3 SDRAM 的读写

SDRAM 的读写内容主要由 DSP 和 AD 图像采集控制模块来决定。SDRAM 的读写控制模块主要是写采集的图像数据到 SDRAM 中和读上位机通过 DSP 写入 SDRAM 中的参数。为了提高读写速度，SDRAM 控制器内部配置了两个 256*24 位的 RAM，这两个 RAM 位于 FPGA 内部，访问速度比较快，且采用乒乓操作，大大加速了 FPGA 内部和外部数据传输速率。

SDRAM 读写的过程如图 5-13 SDRAM 的读写状态机所示，当初始化完成后（SDRAM_INIA_OVER=1），检测到读写请求后，就进行正常的读写操作，直到数据读写完毕。当没有进行读写时，则每隔一定的时间进行刷新操作，保证 SDRAM 的数据不会丢失。

如图 5-13 所示，表示了 SDRAM 的读写过程，系统复位后，处于空闲状态 SDRAM_WR_IDLE；当初始化完成，有读写请求时，进入 SDRAM_WR_RAS 状态，在此状态下，行地址被锁存；此后需要等待一定的时间，一般为 3 个时钟；当延时满足后，进入到 SDRAM_WR_CAS 状态，在此状态下，列地址被锁存，并且由于为了加快读写的速度，每次都写 256 个数据，这是列地址会不停的增加；当写完 256 个数据，对 SDRAM 进行刷新操作；最后又返回读写等待状态。

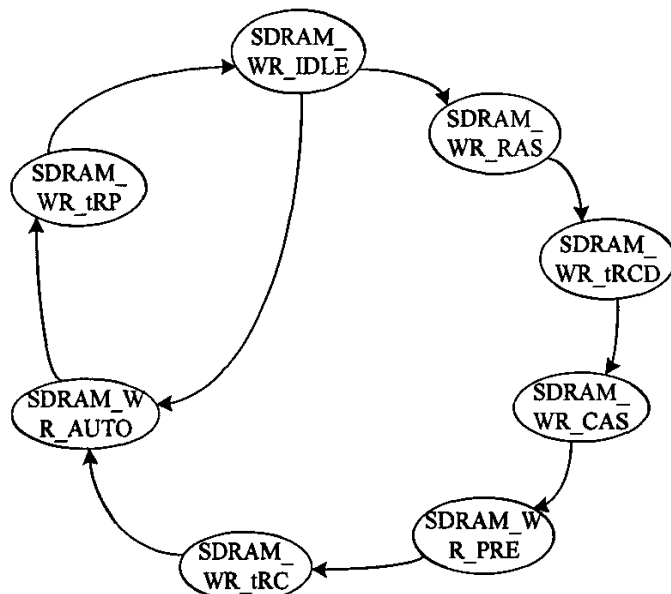


图 5-13 SDRAM 读写控制状态机图

前面已经说明在不同的状态下, SDRAM 的地址总线会出现行地址和列地址的变化, 所以下面分析一下 SDRAM 地址转换的问题。在 SDRAM 读写控制器里, 将地址表示为: { AD_WrRow[9:0], AD_WrBlk[2:0], Cnt[7:0] } 共 21 位, 转化为 SDRAM 的地址为:

Ref_BA[1:0] = {1'b0, AD_WrRow[9]}

RAS 时, Ref_RdAddr[11:0] = {AD_WrRow[8:0], AD_WrBlk[2:0]}

CAS 时, Ref_RdAddr[11:0] = {4'd0, Cnt[7:0]}

其中 Cnt 为块中的字计数, 为 8 位, 表示每次写入 256 个数据。

当写时, 由外部提供写的线数和块数, 一个块代表 256*24, 同时将要写的数据通过 Ref_WrRd, AD_WrHigh, AD_WrAddr, Ref_Data 写到内部的乒乓 RAM, Ref_High 接到乒乓 RAM 两边的最高位地址, 两边的高位地址要反相, 内部电路检测到 Ref_High 的翻转, 就开始从乒乓 RAM 中读取数据, 写到 SDRAM 中。

当读时, 由外部提供写的线数和块数, 一个块代表 256*24, 同时将 Ref_High 翻转, 申请读数据, 内部电路检测到 Ref_High 的翻转, 就开始从 SDRAM 中读取数据, 写到乒乓 RAM 中供外部读取。SDRAM 工作时, 每次块读写时, 要完成 Active 和 Precharge, 不用完成 Refresh, 内部电路自动刷新。

5.7 系统其它控制模块的设计

本系统是以 FPGA 和 DSP 为核心的,为了能协调、正确、快速的工作,则必须要有一个总的系统的调度。故系统控制模块有相当重要的作用。首先当开始工作时,上位机通过 DSP 会写入一些参数当 SDRAM 中,此时要求 FPGA 和 DSP 不能同时拥有总线,即当 DSP 写参数时,FPGA 就要把相应的 SDRAM 的总线禁止为高阻,反之 DSP 要把总线设为高阻。当参数传输完后,就要进行正常的工作过程,此时为了提高系统的工作速度,外部 SDRAM 采取乒乓操作的方式,此时就要产生控制信号控制总线开关的开启和关闭,使 FPGA 和 DSP 能同时操作不同的 SDRAM 进行读写,实现 SDRAM 的乒乓操作。根据以上所述,设计的控制模块如图 5-14 所示。

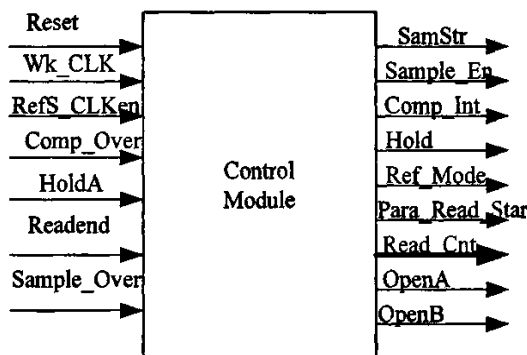


图 5-14 系统控制模块框图

控制模块的输入时钟为 Wk_CLK 和 RefS_CLKen,前者时钟频率是后者的两倍,在本系统中分别为 200MHz 和 100MHz。引入这两个时钟的目的是为了使出的时钟和数据总线、控制总线时序上保持一致。当接受到 Reset 信号后,对 FPGA 进行复位操作。输入信号 Comp_Over 为 DSP 向 FPGA 发出的开始工作信号,当开始工作以后,它又表示 DSP 压缩完成,FPGA 可以采集新的图像。这样就可以不停的进行采集压缩,并把数据上传到上位机。Hold 为 FPGA 向 DSP 发出的申请总线信号,HoldA 为 Hold 的应答信号。Para_Read_Star、Ref_Mode、Readend、Read_Cnt 都是系统开始工作时读取参数的一些控制信号。SamStr、Sample_En 和 Sample_Over 分别表示开始采集信号、采集使能信号和一帧图像采集完成信号。每次接受到 Sample_Over 信号后,OpenA 和 OpenB 都自动翻转一次,对应与外部的两个总线开关就会一个打开一个关闭,这样 DSP 就可以连续的读取两个 SDRAM,从而提高了系统的工作速度。

5.8 本章总结

本章首先对本系统 FPGA 程序流程作了概要的说明,接着说明了 FPGA 内部模块功能的划分,重点描述了图像处理模块中如何运用已知算法实现在 FPGA 中对图像的处理以及 SDRAM 读写控制模块是如何控制外部存储器 SDRAM 工作的,由于数字处理器采用 FGPA 和 DSP 同时工作,因此它们之间的通信将是非常重要的,故还详细描述系统的控制模块。

第六章 DSP 的模块设计和开发

在第四章中,对 DSP 的硬件设计作了详细的说明,但是硬件之间的连接仅仅实现了器件间的组合关系,还不能完成具体的功能。要实现系统要求的功能,软件的设计必不可少,它是系统设计不可分割的一部分。

在本系统中,DSP 的作用是:与上位机进行通信,并向 FPGA 发出相应的命令;从外部存储器 SDRAM 中读取数据,在其内部进行压缩处理;利用 DSP 的 PCI 接口将压缩的数据存入 PC 机中;利用其 I²C 接口对 AD9888 等需要进行 I²C 配置的器件进行 I²C 配置;或者对原始图像数据不进行压缩,直接从 PCI 接口传输到上位机中,在此情况下需要达到实时处理的要求。在 DSP 软件开发设计中,由于时间和课题分工的原因,笔者没有参与压缩程序的设计。

6.1 DSP 系统流程说明

在设计一个系统的过程中必然包括软件的设计。软件包括系统硬件配置软件和系统应用软件。具体的软件流程图如图 6-1。

系统上电或复位时,首先对主处理进行配置。包括:自举模式的配置、EMIF 接口配置、GPIO 配置、中断及相应寄存器配置等。

当系统完成初始化后,对外围器件进行 I²C 的配置。当 DSP 接受到 PC 机发出的开始工作的信号后,DSP 会和 FPGA 进行通信,通知 FPGA 开始工作,并将系统的一些参数传输给 FPGA,便于 FPGA 进行控制。当 FPGA 完成一帧图像的采集后,会发出中断给 DSP;DSP 检测到该中断后,就从 SDRAM 读取数据,将图像数据进行压缩;并将压缩后的数据通过 PCI 接口传输到上位机存储。当完成一帧图像的压缩后,会通知 FPGA 开始采集新的一帧图像,按照这样的工作方式不断循环,从而不断的压缩数据,并将数据传输到上位机。

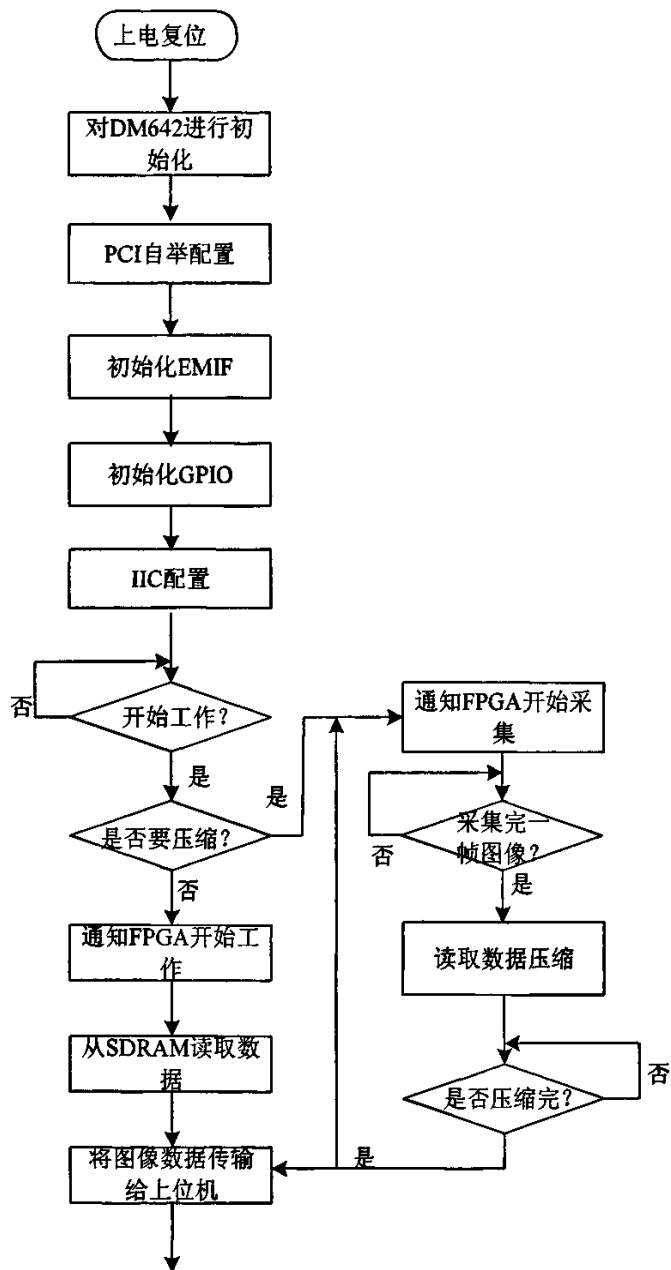


图 6-1 DSP 系统流程图

6.2 通过 EMIF 读取数据

外部数据都是存放在 SDRAM 中的，而 DSP 与外部 SDRAM 是通过 EMIF(External Memory Interface) 接口的，因此外部数据的读取是在 EMIF 基础上进行的，而要

操作 EMIFA 进行数据的读写，必须对 EMIF 的结构和配置有深刻的理解。

6.2.1 EMIF 接口概述

EMIF 支持与各种外部器件的无胶合接口，包括流水线的同步突发 SRAM(SBSRAM)、同步 DRSM (SDRAM)、同步器件（包括 SRAM、ROM 和 FIFO）、一个外部共享存储器器件。EMIF 的接口包含了几种存储器的所有接口要求。它具有如下特征^[29]：

- 数据总线为 64 位或者 32 位。
- EMIF 的时钟 ECLKIUTn 是基于 EMIF 输入时钟在内部产生的。与 EMIF 接口的所有存储器都应该在 ECLKIUTn 下操作。
- PDT 引脚提供了外部一外部的传输支持。

6.2.2 EMIF 的寄存器

EMIF 可以很方便的实现和外部存储器的接口，在 EMIF 中存在一组存储器映射寄存器，通过设置这些寄存器来完成对 EMIF 的控制，包括配置各个空间的存储器类型，设置相应的接口时序等。这些寄存器见表 6-1 所示。

表 6-1 EMIF 存储器映射寄存器

寄存器名	缩写名称	地 址
EMIF 全局控制寄存器	GBLCTL	0180 0000h
EMIF CE0 空间控制寄存器	CECTL0	0180 0008h
EMIF CE1 空间控制寄存器	CECTL1	0180 0004h
EMIF CE2 空间控制寄存器	CECTL2	0180 0010h
EMIF CE3 空间控制寄存器	CECTL3	0180 0014h
EMIF SDRAM 控制寄存器	SDCTL	0180 0018h
EMIF SDRAM 刷新控制寄存器	SDTIM	0180 001Ch
EMIF SDRAM 扩展寄存器	SDEXT	0180 0020h
外设传送控制寄存器	PDTCTL	0180 0040h

要正确的控制外部存储器 SDRAM 进行数据的读写，首先必须要正确的配置其寄存器，而要配置寄存器，就要先把这些寄存器的作用搞清楚。

EMIF 全局控制（GBLCTL）寄存器配置所有的 CE 空间的公共参数。不同的位段分别描述了 EMIF 的时钟问题和总线请求与占有的问题。

EMIF 的 CE 空间控制（CECTL）寄存器与 EMIF 支持的 CE 存储空间有关，DM642

具有与 4 个外部 CE 信号相关的 4 个 CE 空间控制寄存器。其中 CE1 空间是固定分配为外部 FLASH 的，是不能更改的，而另外 3 个 CE 空间是可以与不同的外部存储器接口的，不过在本系统中只用了 CE0 和 CE1，故只需要配置 CECTL0~1 两个寄存器。CE 空间控制寄存器分别定义了读写的设置宽度、选通宽度、保持宽度以及外部接口的类型和数据位宽。

EMIF 的 SDRAM 控制 (SDCTL) 寄存器用于控制 SDRAM 参数，具体包括 SDRAM 的刷新、时序和页面属性，当访问 SDRAM 时，SDCTL 不能被修改。

EMIF 的 SDRAM 时序 (SDTIM) 寄存器是以 EMIF 的时钟周期控制刷新周期。

EMIF 的 SDRAM 扩展 (SDEXT) 寄存器允许对 SDRAM 的参数进行编程。

EMIF 的 CE 空间从控制 (CESEC) 寄存器是为了实现可编程同步接口而增加的，并且控制可编程同步存储器访问的时序和时钟，用于指定的 CE 空间的同步。

EMIF 外设器件传输控制 (PDTCTL) 寄存器规定了两个外设传输数据时相关信号的等待时间。

6.2.3 通过 EMIF 实现外部数据的存取

上面简单介绍了 EMIF 的寄存器的作用，只要正确配置好这些寄存器，就能正确的从外部 SDRAM 中读取数据。当片上增强直接存储器访问 (EDMA) 控制器或者外部共享存储器器件提出外部总线服务请求，就能启动 EMIF 读写数据。

本系统中在 DSP 上电后就对 EMIF 的寄存器进行了配置，具体配置参数如下：

```
EMIFA_Config MyConfigA = {
    0x00030078,    //GBLCTL
    0xffffffffd3,    //CECTL0
    0x73a28e01,    //CECTL1
    0x22a28a22,    //CECTL2
    0x22a28a42,    //CECTL3
    0x5733a001,,    //SDCTL
    0x00000618,    //SDTIM
    0x001faf4d,    //SDEXT
    0x00000002,    //CESEC0
    0x00000002,    //CESEC1
    0x00000002,    //CESEC2
```

```
0x00000073    //CESEC3
};
```

在程序中按照如下操作即可完成 EMIF 的配置：

```
EMIFA_config(&MyConfigA);
```

在程序中每次需要与外部 SDRAM 交换数据时，通过 DAT_copy 来启动 EMIF，从而完成数据的读写。

6.3 I²C 的配置

6.3.1 I²C 总线介绍

I²C BUS (Inter IC BUS) 是 Philips 推出的芯片间串行传输总线，它以二根双向传输线（时钟线 SCL 和数据线 SDA）实现了完善的全双工同步数据传送，可以方便地构成多机系统和外围器件扩展系统。I²C 总线采用了器件地址的硬件设置方法，通过软件寻址完全避免了器件的片选线寻址方法，从而使硬件系统具有最简单而灵活的扩展方法。

6.3.2 I²C 总线术语的定义

主控器：I²C 总线工作时，任何一个主器件节点都能对总线实现控制，当某个主器件节点控制了总线时，称为主控器。主控器完成一次传输过程的初始化、发送时钟信号及传输终止信号。

被控器：被主控器寻址的器件为被控器。I²C 总线系统中，主器件节点可作为主控器也可作为被控器，而外围器件节点只能作为被控器。

发送器：总线上发送数据的器件。

接收器：总线上接收数据的器件。

6.3.3 I²C 总线特性

总线上数据的有效性。I²C 总线数据传输时，在时钟线高电平期间数据线上必须保持有稳定的逻辑电平状态，高电平为数据 1，低电平为数据 0。只有在时钟线为低电平时，才允许数据线上的电平状态变化。

总线数据传送的起始与停止。I²C 总线数据传送时有两种时序状态被分别定义为起始信号和终止信号。在时钟线保持高电平期间，数据线出现由高电平向低电

平变化时启动 I²C 总线，为 I²C 总线的起始信号。在时钟线保持高电平期间，数据线上出现由低到高的电平变化时将停止 I²C 总线的数据传送，为 I²C 总线的终止信号。起始信号与终止信号都是由主控制器产生。总线上带有 I²C 总线接口的器件很容易检测到这些信号。

应答信号。I²C 总线传送数据时，每传送一个字节数据后都必须有应答信号，与应答信号相关的时钟由主控制器产生，这时，发送器必须在这个时钟位上释放数据线，使其处于高电平状态，以便接收器在这一位上发送应答信号，应答信号在第 9 个时钟位上出现，接收器出现低电平为应答信号，高电平为非应答信号，当主控制器接收数据时，接收到最后一个数据字节时，必须给被控发送器发送一个非应答位，使被控发送器释放数据线，以便主控制器发送停止信号，从而结束数据发送。

I²C 总线的数据传送。按照总线规定，起始信号表明一次数据传输的开始，其后为寻址字节，寻址字节由高 7 位地址和低 1 位方向位组成，方向位指名主控制器与被控器数据传送方向，方向位为 ‘0’ 时表明主控制器对被控器的写操作，为 ‘1’ 时表明主控制器对被控器的读操作，在寻址字节后是按指定读，写操作的数据字节和应答位。数据传送完成后主控制器都必须发送停止信号^[30]。如图 6-2 所示。

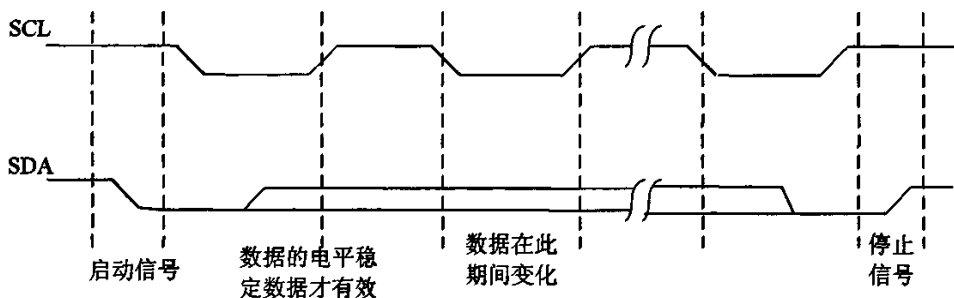


图 6-2 I²C 双向二线制串行总线

6.3.4 I²C 配置的设计实现

在本系统中，DM642 为 I²C 主控制器，AD9888 和 TVP5150 为 I²C 从控制器。在 DM642 中集成了 I²C 协议，所以本系统中只需利用 DM642 中的 I²C 控制寄存器就可以实现对 AD9888 及其它需要进行 I²C 配置的器件进行 I²C 的配置。

完成 I²C 配置的过程与 EMIF 的配置类似，首先定义了 I²C 配置的结构：

```
I2C_Config MyIIC_Config = {
    0,
```

```

0,
(20-5),
(20-5),
1,
0,
0x4ea0,
(30-1),
};

```

然后以以下方式完成 I²C 的配置:

```

hMyi2c = I2C_open(I2C_PORT0, I2C_OPEN_RESET);
I2C_config(hMyi2c, &MyIIC_Config);
addrI2C = 0x98 >>1;
for(i=0x01; i<0x18; i++)
{
    _IIC_write(hMyi2c, addrI2C, i, chipdata[i]);
}

```

6.4 PCI 接口

PCI 总线协议包括 PCI 的总线信号的定义、PCI 的总线命令、PCI 的配置空间、PCI 编址、PCI 总线数据传输、PCI 总线仲裁机制几个部分, 具体的介绍请参阅参考文献^[31]。在 DM642 中已经集成了 PCI 协议, 因此下面将首先介绍一下 DM642 的 PCI 口, 然后介绍如何在 DSP 中实现 PCI 总线与上位机的接口。

6.4.1 DM642 的 PCI 口概述

TMS320DM642 的 PCI 具有如下的主要特征^[32]:

- 符合 PCI 2.2 版本的规范。
- 满足 PC 99 的要求。
- PCI 主/从接口。
- 32 位地址/数据总线。
- 可通过 EMIF 访问所有片上 RAM, 外设和外部存储器。
- 支持存储器读 (memory read)、存储器读乘 (memory read multiple)、

存储器读块(memory read line)、存储器写命令(memory write)、I/O 写(I/O write)、CFG 读(CFG read)和 CFG 写(CFG write)。并且支持无限制的从访问突发长度和多大 64KB 的主设备传输。

- 支持 4 根线的 EEPROM 接口的自动初始化。
- 支持 DSP 程序控制下的 PCI 中断请求和通过 PCI I/O 周期的 DSP 中断。

通过集成的 PCI 主设备/从设备总线接口, PCI 口支持 DSP 和一个 PCI 主机的连接。在 DM642 中, 通过 EDMA 控制器实现 PCI 口和 DSP 的接口, 这种结构考虑到 PCI 主设备和从设备处理, 并可以使 EDMA 通道资源用于其他应用。

DM642 的 PCI 口包含如下的主要的功能模块:

(1) PCI 总线接口单元(PBIN)。PCI 总线协议在 PCI 总线接口单元中执行。为了最大化 PCI 总线带宽, PCI 接口不会为从设备或主设备突发处理插入等待状态。如果相关的 FIFO 满或空, PCI 接口会断开当前的传输。

(2) EEPROM 控制器。EEPROM 控制器和 4 根线的串行 EEPROM 元件接口。在 PCI 复位时, EEPROM 控制器读 EEPROM, 并且将配置数据提供给 PCI 总线接口。在一般操作下, 可以通过存储器映射寄存器访问 EEPROM。

(3) DSP 从设备写模块。DSP 从设备写模块包含一个乘法器和一个 FIFO, 该 FIFO 传输从 PCI 总线接口单元到 DSP 的数据(外部 PCI 主设备写数据到 DSP 从设备)。

(4) DSP 从设备读模块。DSP 从设备读模块包含一个乘法器和一个 FIFO, 该 FIFO 传输从 DSP 到 PCI 总线接口单元的数据(外部 PCI 主设备从 DSP 从设备读数据)。

(5) DSP 主设备模块。DSP 主设备模块分为读和写操作, 其中写部分是通过 PCI 总线接口单元传输从 DSP 到外设从设备的数据(DSP 主设备写数据到外部从设备); 而读部分是传输从 PCI 总线接口单元到 DSP 的数据(DSP 主设备从外部从设备读数据)。

(6) PCI I/O 接口。I/O 接口包含 PCI I/O 映射寄存器。这些寄存器为从设备处理控制 EDMA 页面、表示主机状态, 并且可以中断和复位 DSP 核。

(7) DSP 寄存器接口。DSP 存储器接口包含 DSP 存储器映射寄存器, 用于主设备接口、PCI 主机中断和电源管理控制。

6.4.2 PCI 的寄存器

PCI 总线接口总共有三种寄存器:

- PCI 配置寄存器。
- PCI I/O 寄存器。
- PCI 存储器映射的外设寄存器。

PCI 配置寄存器包含了标准的 PCI 配置信息, 包括 vendor ID、device ID、class code、Revision number、Address 等等。这些寄存器的设置可以在上电时从 EEPROM 中被初始化, 只能被外部的主 PCI 设备访问。

PCI 的 I/O 寄存器位于 PCI 主机的 I/O 空间。它只能由主机端通过对 I/O 的基址 1 或基址 2 访问。所有的 I/O 寄存器均为字节寻址的。当处理器不支持 I/O 寻址模式时, 对内存映射的基址 1 进行读写 PCI 的 I/O 寄存器。它只能被外部的主 PCI 设备访问。

PCI 存储器映射的外设寄存器被映射到了 DSP 的空间内, 使 DSP 可以控制与观察 PCI 接口的状态。这些寄存器均可以被 DSP 与 PCI 的主机端访问。

6.4.3 PCI 总线在 DM642 中的实现

利用 DM642 的 PCI 口实现 DSP 与外部 PCI 设备的接口, 首先要对 PCI 进行初始化, 而 PCI 的初始化可以由两种方式完成, 一为 TMS320DM642 按默认值完成初始化, 另一为通过 EEPROM 完成 PCI 接口的初始化。在本系统中选用的是后者。

在本系统中, 采用的是 93LC66B 做为自动初始化的 EEPROM, 其接口形式为 4 线的 SPI 方式, 具体为 XSP_CLK、XSP_CS、XSP_DI、XSP_DO。PCI 的初始化配置值在 EEPROM 内部位置的映射如表 6-2 所示:

PCI 内存的映射可以通过配置寄存器的两个基址寄存器访问到 DSP 的所有存储区。

基址 0 (Base 0) 寄存器: 通过 DSPP (DSP 的页指针寄存器) 可以以预取方式访问所有的以 4M-字节为单位的 DSP 内存。这种映射使用在 DSP 做为一个从设备的方式中。

基址 1 (Base 1) 寄存器: 使能一个不可预取的 8M-字节的 DSP 空间, 其地址范围为 0x18 0000~0x20 0000。此地址在 TMS320DM642 中不存在, 因此无法使用此种寻址方式。

由于以上原因, 在本系统中, 通过基址 0 完成 PCI 与 DSP 之间的空间映射与数

据交换。并且 PCI 总线接口都是字节寻址的。

表 6-2 EEPROM 内存映射表

Address	Contents(msb...lsb)
0h	Vendor ID
1h	Device ID
2h	Class Code[7-0]/Revision ID
3h	Class Code[23-8]
4h	Subsystem Vendor ID
5h	Subsystem ID
6h	Max Latency/Min Grant
7h	PC D1/PC D0(power consumed D1,D0)
8h	PC D3/PC D2(power consumed D3,D2)
9h	PD D1/PD D0(power dissipated D1,D0)
Ah	PD D3/PD D2(power dissipated D3,D2)
Bh	Date scale(PD D3...PD D0)
Ch	0000 0000 PMC[14-9,PMC[5],PMC[3]
Dh	Checksum

6.5 本章小结

本章首先将本系统 DSP 的软件流程作了整体的说明,接着根据 TMS320DM642 设计的要求,重点描述了在以 DM642 为处理器的基础上,如何运用器件的资源,实现图像的读取、I²C 的配置和处理以及将最后的图像通过 DM642 的 PCI 接口传输到 PC 机中。

第七章 系统调试与分析

在整个系统硬件设计和软件模块设计完成后,需要完成系统设计的最后一部分——系统的调试。

7.1 硬件调试

硬件系统的调试包括对各个模块工作状态和效果的测试,按模块来设计的系统可以为系统的调试带来方便。在硬件上整个系统分为电源模块、前端采集模块、FPGA 处理模块、DSP 处理模块和配置电路模块。为了调试的方便,在电路板上预留了一些信号测试点。系统的 PCB 图、实物图、调试状态图如附录所示。

在 PCB 制作完成后,首先应对照原理图检查主要连线的连接情况,查看是否因为工艺的上的原因造成短路以及其它一些问题,然后开始安装器件。电路上电前需要仔细检查电源和地。元器件引脚之间是否存在短路现象,此外还要保证各个芯片、元件的摆放位置和方向正确。当这些前期基本工作完成后,可以上电进入具体电路的调试。

电源模块是整个系统工作的能量来源,系统可靠的工作离不开稳定的电源。对电源模块的调试主要是测试其输出的电压是否稳定,噪声的影响大不大,输出各等级电压能不能满足芯片的工作要求。

前端采集模块的调试主要是针对 A/D 芯片 AD9888 进行的,AD9888 如果不能正确的输出数字化的视频信号,整个系统的功能实现则无从谈起。由于 AD9888 需要进行 I²C 的配置,初始化时可以对 SDA 和 SCL 引脚波形进行分析,看是否满足 I²C 总线时序。当初始化完成后,在保证 FPGA 和 D/A 输出正确的情况下,可以通过 VGA 实时输出,看输出的图像是否正确;当然也可以采集专门用于测试的图像,然后将其写入 SDRAM 中,看写入的图像是否正确。

FPGA 电路的调试可以采用 JTAG 下载配置方式进行在线调试。首先可以编写分频、灯控制等简单逻辑功能的程序,用 Quartus II 编译下载后,验证 FPGA 能否正常工作。如果能正常工作,说明 FPGA 可以正常工作。

DSP 电路的调试和 FPGA 调试过程类似,通过编写一些简单的控制程序,然后下载后看是否能达到预期的结果。如果能,则说明 DSP 可以正常工作。

7.2 软件调试

软件调试主要就是在实现 FPGA 和 DSP 内部模块的设计中，如何利用工具进行开发的过程。

在 FPGA 各模块的设计中，每个模块设计完成后，都进行了仿真。根据仿真的结果，不断的调整设计的程序，直到仿真结果和理论结果一致。

AD 模块的仿真图如图 7-1 所示。从图中可以看出，完全达到了设计的要求，当开始采集后，每线的图像的采集，都对应 AD_Wr 为 1，并且都会有一段时间为 0，这与实际图像的输出是完全一致的。并且从图中可以看出，该模块还为读写控制模块提供了一些必要的操作信号。

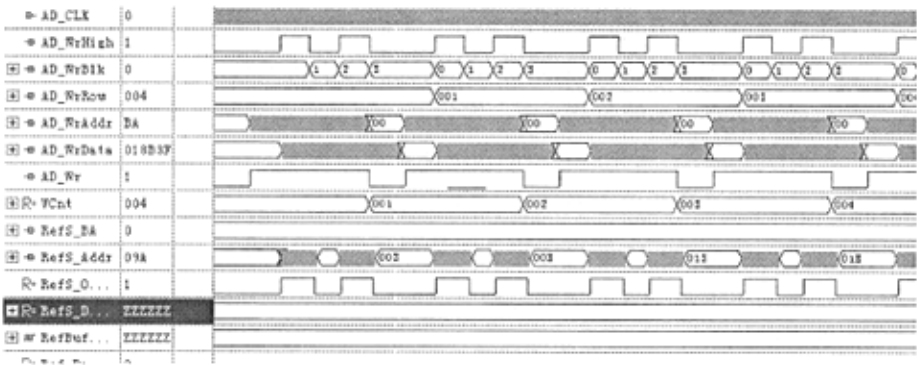


图 7-1 AD 采集控制模块仿真图

数据读写控制模块的仿真图如图 7-2 所示。从图中可以看出，当该模块接受到来自 AD 采集控制模块发出的写请求信号后，SDRAM 状态机进入写控制状态，在此过程中，相应的输出给 SDRAM 的控制信号会呈现出相应的逻辑状态，如：

RAS、CAS、CS、WE 分别为 1、0、0、0 状态。并且地址总线先出现的是行地址，后出现的是列地址，列地址每次都从 0 开始递增，直到 255，表明每次读取 256 各数据，与实际设计要达到的目标一致。

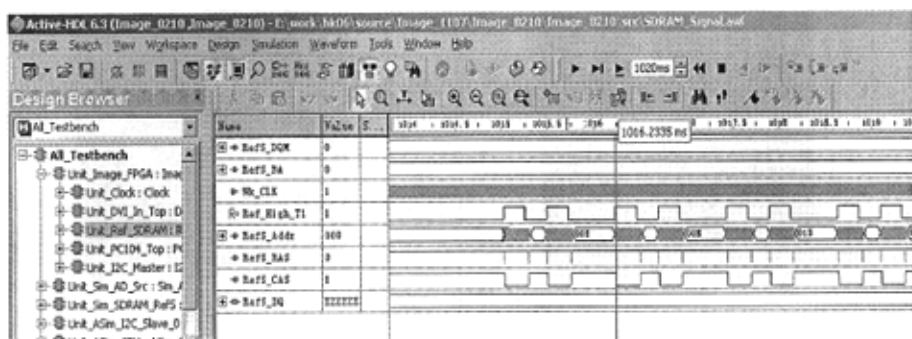


图 7-2 读写控制模块仿真时序图

对系统的各个模块进行仿真，都达到了预期的结果。将所有子模块连接成一个整体进行仿真，发现基本上能够和设计的理论结果一致。将 DSP 程序设计完成，并将 DSP 和 FPGA 程序编译分别下载到 DSP 和 FPGA 中，进行系统的联调。经过一段时间的联调，基本上实现了系统设计的要求。

7.3 调试过程中遇到的问题和解决方法

在系统调试的过程中，遇到了诸多的问题，按照硬件调试和软件调试中的步骤都得到了解决。

在系统的联调中，首先是对图像不进行任何处理，直接将原始图像采集存储，刚开始的时候发现，采集的图像前面和左边有一部分为黑色的图像，检查程序和电路都没有发现问题，最后分析这部分应该是无效的数据。按这一思路对图像采集进行分析，由于图像的输出在每一帧图像开始的时候都有一部分行是无效的，在每行开始的时候，都会经过一些像素时钟后才会出现有效时钟。最后对程序进行修改，这一问题因此得到了解决。

在系统的调试过程中，遇到了很多问题，由于篇幅问题，这里就不一一叙述。

7.4 系统调试结果

在系统调试出现的问题解决之后，整个图像多功能卡系统便可以正常工作了。并抓取了一些经过系统处理后的图像，如图 7-3 所示。



(a) 原始图像



(b) 增强后图像



(c) 增强压缩后图像

图 7-3 实验结果图

以上的实验结果是在分辨率为 1024×768 的条件下获得的。其中图 (a) 表示经过图像多功能卡采集的原始图像，图 (b) 表示经过 LOG 算子增强后的图像，图 (c) 表示增强处理后再用 JPEG 进行 20 倍压缩的图像。

比较以上各图，图 (b) 与 (a) 相比，突出了图像的边缘轮廓，达到了增强处理的效果；图 (c) 和前面两幅图像比较，丢失了一些细节，图像轮廓也没有 (b) 突出，那是因为图像经过了有损压缩，丢失一些细节是必然的结果。总之，从调试的结果来看，基本上实现了系统的设计要求。

第八章 总结与展望

图像处理作为一种重要的现代技术,已经在广泛的领域,如通信、航天航空、遥感遥测、生物医学、军事、信息安全等方面得到了广泛的应用。图像处理特别是图像实时处理的实现技术是这些应用的前提。

本文首先对运用到的图像处理的算法做了简要的介绍,接着介绍了高分辨率图像多功能卡的实现方案,然后讨论了系统各部分的硬件电路的设计与实现,重点阐述了 FPGA 内部各模块(系统时钟、图像 AD 采集的控制、图像预处理在 FPGA 的实现、基于 FPGA 的外部存储器高速读写控制、系统的总体控制)的实现,最后描述了 DSP 的软件设计流程,并详细说明了在本系统中 DSP 的功能及其实现。

在课题研究期间本人参与了该图像多功能卡的系统开发全过程,协助画原理图和 PCB 图,参与了系统关键模块的调试和整个系统的软、硬件联调。主要负责基于 FPGA 的程序开发和 DSP 控制程序的编写,完成:基于 FPGA 的 SDR-SDRAM 控制器的 Verilog 设计实现、基于 FPGA 的 AD 图像采集的 Verilog 设计实现;图像的预处理在 FPGA 的实现;DSP 控制程序的设计实现(完成 I²C 配置、数据通过 PCI 口传输到上位机等功能)。

目前该系统实现了图像的增强与压缩功能,在不压缩的情况下,直接从 VGA 输出的图像可以实现的分辨率为 1024*768*85HZ 甚至更高,经过 PCI 传输在分辨率为 1024*768 时可实现的 25 帧/S;在压缩的情况下,由于这主要是对数据的存贮量有要求,比如“黑匣子”中要求在比较小容量的电子硬盘中存贮 24 小时的数据,并且这种情况下对数据的传输帧率要求不高,本系统在分辨率为 1024*768 时可达 12 帧/S,完全可达到这种特殊场合的要求。由于时间原因,还是存在一些不足,比如图像的输出帧率还有待提高、系统设计中的图像采集的一些接口以及 USB 都需要进一步的研究和开发。

对以后的研究、开发进行以下展望:

- 优化图像的预处理算法,使处理后的图像得到更好的效果。
- 优化图像的压缩程序和采用更适合的算法,使 DSP 压缩图像的速度更快,实现实时视频压缩。
- 完善 FPGA 和 DSP 的程序设计,使系统能够处理的分辨率更高。

- 板卡上已经设计了 USB 的接口，希望能完成 USB 的研究工作，这样会在很大的程度上扩大板卡的应用范围。
- 完成其它接口在 FPGA 的程序的设计，使板卡适用与某些特殊的应用场合。

参考文献

- [1] Rafael C. Gonzalez, Richard E. Woods 著. 阮秋琦, 阮宇智等译. 数字图像处理. 电子工业出版社, 2003. 3
- [2] 何斌, 马天矛, 王运坚等. Visual C++ 数字图像处理第二版[M]. 北京: 人民邮电出版社, 2002. 4 - 8.
- [3] Yao Wang, Jorn Ostemann, Ya-Qin Zhang. 视频处理与通信. 北京: 电子工业出版社, 2003. 6
- [4] 任丽香, 马淑芬, 李方慧. TMS320C6000 系列 DSPs 的原理与应用. 北京: 电子工业出版社, 2000
- [5] 张雄伟, 陈亮, 徐光辉. DSP 芯片的原理与开发应用. 北京: 电子工业出版社, 2003
- [6] 徐志军, 徐光辉. CPLD/FPGA 开发与应用. 北京: 电子工业出版社, 2002
- [7] 刘宝琴, 张放兰, 田立生. Altera 可编程逻辑器件及其应用. 北京: 清华大学出版社, 2001. 4
- [8] 潘松, 黄继业等. 现代 DSP 技术. 西安: 西安电子科技大学出版社, 2003
- [9] 姚天任, 孙洪. 现代数字信号处理. 武汉: 华中理工大学出版社, 1999
- [10] 阮秋琦. 数字图像处理学. 北京: 电子工业出版社, 2001
- [11] Uwe Meyer-Bacse. 数字信号处理的 FPGA 实现. 北京: 清华大学出版社, 2003
- [12] ANALOG DEVICES. 100/140/170/205MSPS Analog Flat Panel Interface AD9888. 2003
- [13] ANALOG DEVICES. COMS, 240 MHZ Triple 10-Bit High Speed Video DAC: ADV7123. 1998
- [14] HYNIX. HY57V283220(L)T(P)/HY5V22(L)F(P). 2004. 7
- [15] ALTERA. Cyclone II Device Handbook. 2005
- [16] 江思敏, 刘畅. TMS320C6000 DSP 应用开发教程. 机械工业出版社, 2005. 1
- [17] TEXAS INSTRUMENTS. TMS320C6000 CPU and Instruction Set Reference Guide. Texas Instruments. 2000.
- [18] 李方慧, 王飞, 何佩琨编著, 高梅同审校. TMS320C6000 系列 DSPs 原理与应用 (第二版) 电子工业出版社, 2003. 1
- [19] 王伟. Verilog HDL 程序设计与应用. 北京: 人民邮电出版社. 2005
- [20] 夏宇闻. Verilog 数字系统设计教程. 北京: 北京航空航天大学出版社, 2003
- [21] 张亮. 数字电路设计与 Verilog HDL. 北京: 人民邮电出版社, 2000
- [22] 朱明程, 孙普译. 可编程逻辑系统的 VHDL 设计技术. 南京: 东南大学出版社, 1998

- [23] 赵俊超. 集成电路设计 VHDL 教程. 北京: 北京希望电子出版社, 2002
- [24] 徐振林译. Verilog HDL 硬件描述语言. 北京: 机械工业出版社, 2000
- [25] 柯建伟, 基于多种 EDA 工具的 FPGA 开发流程. 2003 嵌入式世界研讨会, 2003. 9
- [26] Altera Inc. Introduce to QuartusII. Altera Inc., 2003
- [27] 王诚, 吴继华, 范丽珍, 薛宁, 薛小刚. Altera FPGA/CPLD设计 (基础篇) 人民邮电出版社, 2005. 7
- [28] EDA先锋工作室, 吴继华, 王诚. Altera FPGA/CPLD设计 (高级篇) 人民邮电出版社, 2005. 7
- [29] TEXAS INSTRUMENTS. TMS320C6000 DSP External Memory Interface (EMIF) Reference Guide. Texas Instruments. 2000.
- [30] 何立民, I²C总线应用系统设计, 北京: 北京航空航天大学出版社, 2002
- [31] 李贵山、戚德虎, PCI 局部总线开发者指南 西安电子科大出版社 1997
- [32] TEXAS INSTRUMENTS. TMS320C6000 DSP Peripheral Component Interconnect (PCI) Reference Guide. Texas Instruments. 2000.
- [33] 锁斌. 基于DSP的图像增强系统的研究与实现: [硕士学位论文]. 成都: 西南交通大学, 2006.
- [34] 徐宁. 基于FPGA的图像处理系统的研究—图象采集与处理模块的设计与实现: [硕士学位论文]. 昆明: 昆明理工大学, 2006.
- [35] 刘斌. 基于DSP的图像压缩系统的设计与实现: [硕士学位论文]. 长沙: 湖南师范大学, 2005.
- [36] 曹华. 一种高分辨率图像处理系统的数据流控制设计实现: [硕士学位论文]. 成都: 电子科技大学, 2005.

致 谢

首先，我要真诚的感谢我的导师——邓彬和丁庆生老师。在研究生学习期间，邓老师和丁老师在科研、生活上给了我悉心的指导和亲切的关怀，同时给予我充分的信任和广阔的发展空间。本论文从选题、研究到最后定稿都得到邓老师和丁老师的悉心指导，他们严谨求实的治学作风和一丝不苟的工作态度使我受益终生，也为我树立了一个学习的榜样。在此，我向邓老师和丁老师表达深深的敬意和谢意。

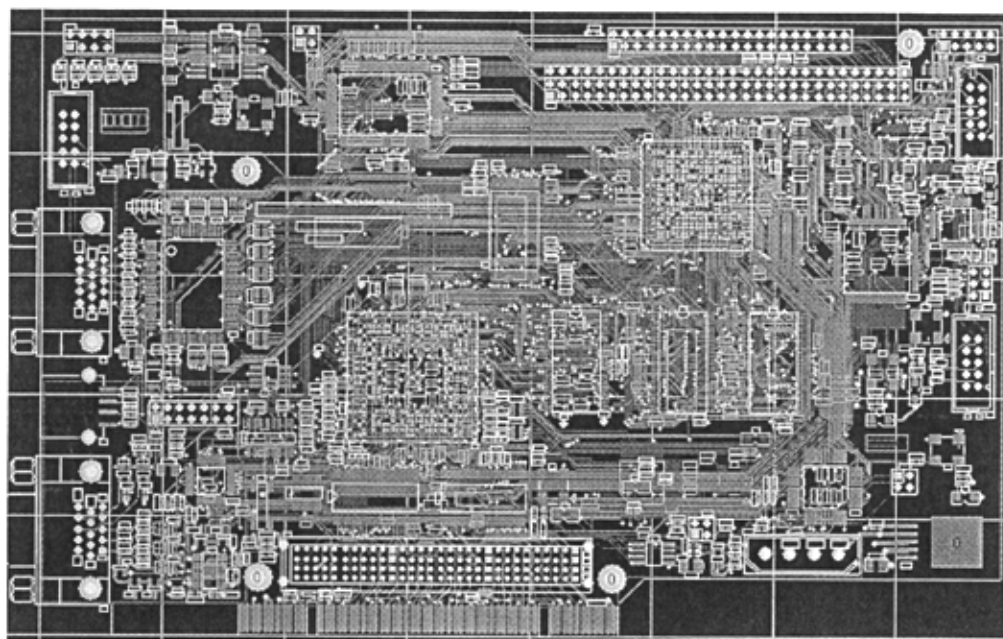
特别感谢苏毓麒老师的指导，也感谢在华图公司实习期间，诸多工程师的热情帮助，与他们进行过的多次科研探讨使我受到很多的启发。

感谢祁艳杰、高委委、张怀志、刘国财、庞彦昭、罗旬、蹇斌、尹菲，以及已经毕业的王成刚、王海涛、龚锦龙等同学，是他们使得我的研究生生活愉快而充实。

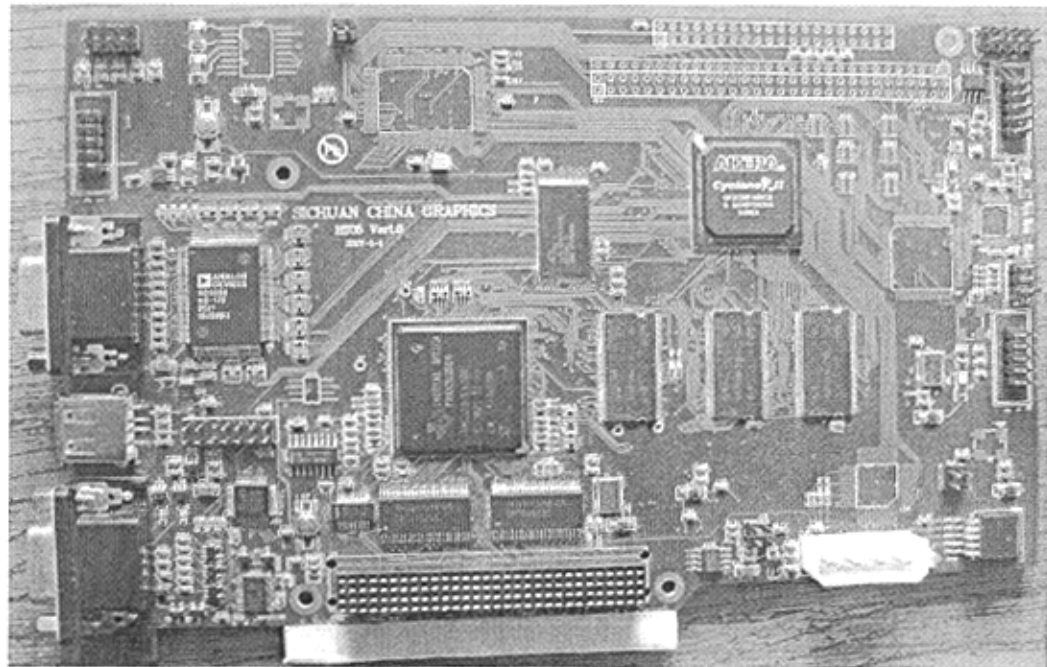
感谢我的父母，他们给我的真心关怀和爱护使我有信心和勇气面对任何困难与挑战。

附 录

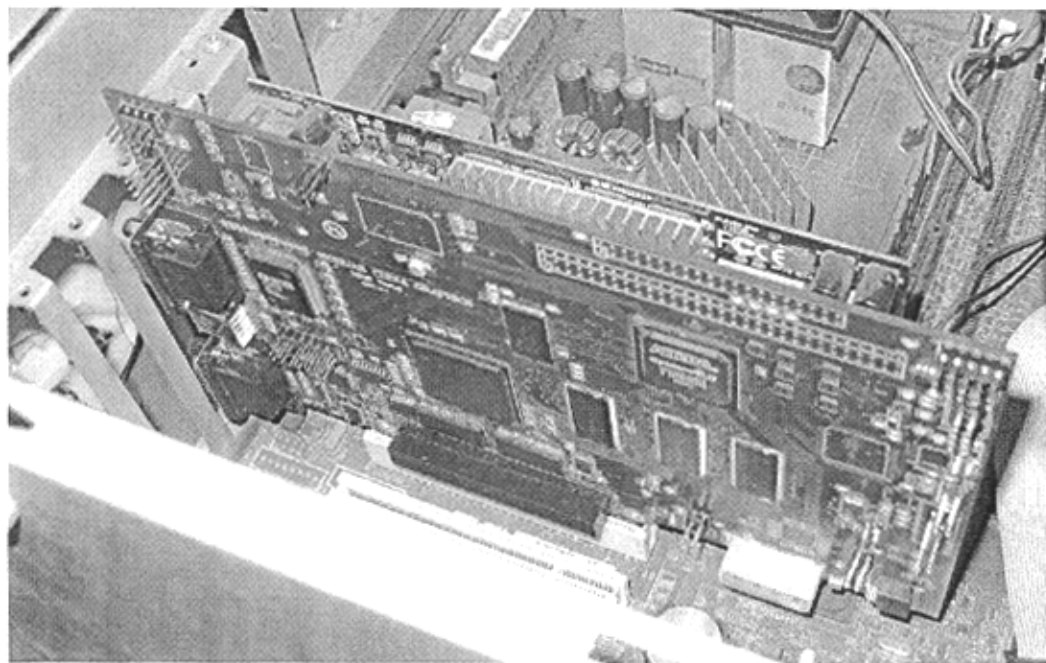
电路 PCB 图:



图像多功能卡照片：



系统的调试状态：



个人简历、研究工作及论文发表

◆ 个人简历:

姓名: 尹乐

性别: 男

出生: 1981 年 10 月 7 日

2000 年~2004 年, 就读于西南民族大学电子信息与处理学院, 通信工程工程专业, 获工学学士学位。

2004 年 9 月至今, 就读于电子科技大学电子工程学院, 攻读信号与信息处理硕士学位。

◆ 研究工作:

就读研究生期间, 参与的科研课题有:

- 1) 基于 FPGA 和 DSP 的图像多功能卡的设计与实现
- 2) 多通道雷达图像采集卡
- 3) 图像采集压缩卡

◆ 论文发表情况:

尹乐, 祁艳杰 “基于 FPGA 的图像增强压缩系统的设计”,
发表于《研究生学报》2006 年第 33 期。

作者: [尹乐](#)
学位授予单位: [电子科技大学](#)

相似文献(10条)

1. 学位论文 [黑保琴](#) [视频图像的判读处理技术](#) 2000

该文介绍了一种视频判读系统的设计与开发,对软、硬件的原理、功能及其实现分别进行讨论,并详细阐述了系统中图像分析软件的研制。此视频判读系统包括三个主要部分,分别是视频图像采集系统、视频图像处理系统以及视频图像分析和处理软件。图像采集系统主要完成视频图像的采集录入;图像处理系统包括视频图像的回放和视频图像的自动分析和处理两大部分;视频图像分析和处理软件主要包括视频捕获、视频图像预处理、视频图像判读和视频数据库等几大模块,该文详细介绍了各功能模块的设计与实现。其中视频图像分析和处理软件是该论文的重点。该文还讨论了图像增强、图像分割和相关识别等算法及其性能,着重讨论了图像二值化的阈值选取以及图像的相关匹配等算法。

2. 会议论文 [梁志虎](#),[王志国](#),[刘纯亮](#),[张小宁](#) [基于直方图均衡化的视频图像动态对比度增强方法](#) 2008

本文提出了一种基于直方图均衡化的视频对比度增强方法。对输入的一帧图像数据进行灰度直方图统计得到本帧图像的归一化灰度直方图,归一化灰度直方图数据再和预先设定的归一化基础直方图按照设定的比例进行叠加得到归一化计算直方图;再对归一化计算直方图进行累加得到灰度映射函数进行缓存;同时按照上一帧图像计算得到的灰度映射函数对本帧图像进行灰度变换得到对比度增强后的视频图像数据。该方法在50英寸等离子体显示器上进行了实现,对比度增强效果明显,图像显示质量得到了明显增强。

3. 学位论文 [刘旨春](#) [数字视频图像处理方法的研究](#) 2001

该文首先讲述了视频图像信号的特点,及一些常见噪声的数学模型和常用的图像增强的基本方法。接着又分析了包含有小目标的图像的特点,提出该类图像的数学模型及SNR的定义,根据这一模型,决定采用高通滤波来对包含有小目标的图像进行预处理。仿真结果证明该方法既能提高信噪比,改善增益,同时又能保持对突变信号的良好分辨率。因为预处理电路采用FPGA来设计,所以该文又以XILINX公司的4000系列FPGA为例叙述了可编程ASIC中功能强大的一个重要成员——FPGA的结构、特点及开发使用,并引入了电路与系统及可编程集成数字系统的现代设计方法。介绍了高通滤波算法的FPGA实现,叙述了该预处理电路的原理、FPGA的实现和测试结果。最后,指出了FPGA在图像处理系统中的应用前景。

4. 学位论文 [袁媛](#) [视频图像分辨率增强技术研究](#) 2008

视频图像超分辨率增强技术是最经济和最容易实现的一种提高图像分辨率方法,因其具有良好的应用前景而吸引着人们的广泛关注。视频图像的超分辨率增强是指融合来自相同动态场景的多个低分辨率视频序列的信息,去重构一个高时空分辨率的视频序列。视频图像超分辨率增强技术的两种不同的研究方法:频率域法和空间域法。其中频率域方法主要基于频带解混叠;空域方法又分迭代反投影方法、凸集投影方法、非均匀空间样本内插法、迭代反投影方法、集合理论复原方法、统计复原方法、以及混和MAP/POCS方法等等。因为空间域方法是将复杂的运动模型与相应的插值、迭代及滤波重采样放在一起进行处理,其线性空间域观测模型涉及到全局和局部运动、光学模糊、帧内运动模糊、空间可变点扩散函数、非理想采样等一些内容,相比与频率域方法更接近实际图像的获取,具有更大的研究和应用价值。

本文重点研究了有超分辨率图像小波内插方法。小波超分辨率提高是以正交小波变换与多分辨率分析为基础,在小波多尺度分解框架下根据已知的非均匀交错采样数据对不同尺度空间的小波系数进行估算,然后利用估计的小波系数对高分辨率格网上未知点的值进行插值。通过有关MATLAB仿真实验结果表明,采用图像小波内插的方法进行图像超分辨率增强是一种有效而实用的方法。

5. 期刊论文 [袁小平](#),[付慧生](#),[钱建生](#),[Yuan Xiaoping](#),[Fu Huisheng](#),[Qian Jiansheng](#) [平滑滤波技术在增强视频图像中的应用](#) -中国矿业大学学报1999, 28(2)

从目前煤矿工业电视监控系统的现状出发,研究了利用平滑滤波技术增强视频图像质量的方法,给出了实现图像平滑滤波的算法设计与程序框图,并通过C语言编程实现了对井下静止视频图像的增强处理,从而使工业电视图像变得较为清晰。

6. 学位论文 [张中芬](#) [视频图像修复中的图像增强算法研究](#) 2007

视频图像修复是目前亟待解决的一项技术,用这项技术可以修复一些年代久远的存储在模拟胶片或模拟磁带中的视频图像。本文研究的图像增强算法是视频图像修复的前期工作,它对改善图像质量具有重要的意义。图像增强的目的就是退化后的图像进行处理,使其在一定程度上复原成没有退化前的理想图像。目前使用较多的图像增强方法是图像滤波,在视频图像的修复中要求图像滤波既能去除图像中混杂的噪声,同时又能保存图像的细节信息。由于噪声和图像细节在频带上混叠,在图像滤波过程中,图像噪声的去除与图像细节的保存是矛盾的。近几年发展起来的偏微分方程方法在去除噪声的同时能够较好地保存边缘上的细节信息,成为人们广泛关注的热点问题。

本文的主要研究工作可以分为以下两个方面:

第一,结合基于曲率的偏微分方程和冲击滤波算子。前者在图像去噪方面有其特殊的优点,即可以达到图像噪声的去除和图像细节的保留在一定程度上优化。但是由于从视频图像中分解出的图像数量较大,多个图像的连续才能形成清晰的视频,对图像边缘的增强具有重要的意义。因此,本文主要致力于对偏微分方程的改进,在该方程基础上加上一个冲击滤波算子,冲击滤波算子的主要作用是在检测到边缘信息时产生一个冲击,使边缘细节信息得到增强。

针对图像被污染的情况不同,需要进行不同的处理。如对于对比度较低的图像可以先进行对比度的拉伸,或者直方图的均衡,使图像边缘上的信息更丰富,有更好的视觉效果,再使用改进的算法进行修复。

第二,由于视频图像前后帧之间的联系性,利用一系列的低分辨率图像,可以重建出分辨率更高的图像。本文提出了用超分辨率方法对图像进行重建,利用视频图像的连续性,以及图像内容上的联系,可以重建出分辨率较高,信息更丰富的图像。然后再用改进的偏微分方程进行图像噪声的去除和边缘的增强处理。

本文在传统算法的基础上,探讨了对图像进行去噪、增强处理的偏微分方程方法,并力求算法较传统算法在图像的视觉效果方面有一定程度的提高。从实验的效果看,在图像的清晰度和边缘信息的丰富度上确实有了较大的提高。

7. 期刊论文 [肖来元](#),[陆书](#),[XIAO Lai-yuan](#),[LU Shu](#) [基于小波变换的视频帧积分算法研究](#) -计算机工程与科学

2006, 28(3)

本文研究了基于小波变换的图像帧积分技术及其在图像增强处理中的作用。帧积分技术可以有效改变视频图像质量,但传统的帧积分技术不可避免地会使图像发生饱和和失真的情况。本文针对传统帧积分的缺陷,提出了利用小波变换后各尺度信息存在互补性的技术进行帧积分的思路。

8. 学位论文 [丛春涛](#) [基于视觉特性的窄带图像增强技术](#) 2005

20世纪90年代,多媒体技术随着人类进入信息时代而得到了迅猛发展。大信息量的音、视频数据被广泛使用,如常见的VCD、DVD等都是将大量的音、视频数据经过处理后供用户使用的。音、视频相关技术在一些行业领域也得到了很好的应用,如保安监控系统中对现场进行音、视频的录制,以便存档、查看、取证等。

由于音、视频数据量非常大,若未经处理,其存放、网络传送都存在很大的问题,需要对他们进行压缩(如网页中常用的图片格式就是经过压缩处理的)。

随着信息技术的发展和社会的进步,人类对信息的需求越来越丰富,人们对通信已不再满足于文字和语音,希望在通信过程中看到活动的图像和场景。随着可视电话、电视会议、多媒体邮件等视频业务的日趋成熟,视频通信将在人们的日常生活中占据越来越重要的位置。

然而视频通信至今尚未获得广泛普及应用的主要原因是它的信息量特别大，对于一幅数字化的图像，其数据量有近十兆比特，这样大的数据量要想在现有的通信网络中传输和在现有的多媒体上存储，代价是非常昂贵的，因此产生了一系列的视频压缩标准。

所谓数字图像处理，就是利用数字计算机或其他数字硬件，对从图像信息转换而来的电信号进行某种数学运算，以期提高图像的实用性，从而达到人们所要求的某些预期的结果。如对照片反差进行变换，对被噪声污染的工业电视图像去噪；从卫星图片中提取目标物特征参数等。

因而无论对科学理论研究还是工程应用，图像处理都具有重要的意义。一方面，人们最终能够在计算机上实现各种功能之前，还需要很多理论和技术上的突破。另一方面，成熟的图像处理技术，已应用于各个工业领域。

目前制约图像通信的瓶颈问题是通信带宽的大小。如果传输前的图像信息压缩比大，在接收端，就要求有较强的恢复能力；如果传输前图像信息压缩比小，图像信息量偏大，传输时会容易出现信道堵塞现象，就要求接收端有较强的纠错能力，因此找出适合于低带宽下高效率的图像传输和恢复方法成为当前图像研究的重要问题。

目前已有多种图像增强算法，随机拍摄图像的低灰度特性一直是影响图像观察使用的一个重要因素，虽然人们已经提出很多方法来解决这个问题，但都有其局限性。本课题是窄带图像传输系统的一部分，从目前图像处理的现状出发，讲述了视频图像信号的特点，及一些常见噪声的教学模型和常用的图像增强的基本方法。经过大量实验，在实验室原有的研究基础上提出了一种基于人的视觉特性的图像增强改进技术。

本文开发了该系统中图像增强方面的软件包，分析了BMP图像文件的格式，构建了窄带图像增强系统。不仅从理论上分析了典型图像增强技术的原理及算法，而且得出了各种算法适应性及特点，并通过C++语言编程应用实现了对于窄带静止视频图像的增强处理，从而使视频系统图像变得较为清晰。

最后总结全文，针对增强算法及软设计中存在的不足提出了几点改进意见。

9. 期刊论文 韩梅. 李广良. 张志龙. 赫海凤. 刘亚琴. 桑蔚. HAN Mei. LI Guang-liang. ZHANG Zhi-long. HE Hai-feng.

LIU Ya-qin. SANG Wei 改善光电稳瞄系统视觉效果图像增强算法 -应用光学2010, 31(1)

为了改善光电稳瞄系统的视觉效果,使视频图像更加适合于人眼观察,并且有利于对目标的自动跟踪效果,将直方图均衡化处理与拉普拉斯边缘锐化处理相结合,在增强对比度的同时尽量保持边缘细节.仿真结果显示采用本文算法能够有效改善视频图像的视觉效果.

10. 学位论文 石卉 视频信号的图像增强技术研究 2009

近年来随着技术的发展,大尺寸、高分辨率的LCD, PDP等数字平板电视逐渐占有了大量的市场份额,对CRT构成了威胁。但是究其技术的成熟度、性价比,尤其是图像质量来说, CRT还是有看很大的优势。如何提高LCD和PDP的图像质量是人们关注的话题。

彩色图像的主要属性包括亮度、对比度、色调、色饱和度等。其中亮度和对比度是非常重要的因素,对图像质量的好坏有着决定性的作用。本文从研究灰度图像的对比度增强入手,讨论了现有亮度、对比度的增强算法,比较了各算法的优劣,提出了自适应的对比度增强算法。然后将新算法应用于各常用的色彩空间上,进行仿真和讨论,最终选择亮度和色度分离的色彩空间,作为彩色视频图像增强的处理空间。由于人的肤色具有丰富的灰度级,并且与蓝天、草地等不同,色调的漂移可能带来肤色的畸变;因此对肤色区域的色调和饱和度做了补偿处理,以达到更好的视觉效果。综上所述,新算法的优点在于根据图像特征的不同自动选择对比度增强算法;并且通过肤色补偿对图像进行了进一步的改善。

由于本课题选择的对比度增强算法属于全局处理算法,即在统计整屏信息后建立查找表,用于存储增强前后的映射信息。在硬件实现的时候,统计信息对存储容量的要求很高。在硬件实现中,采用了RRLT概念对算法进行了改进,只对特征灰度级的信息进行统计和处理,对其它灰度级的数据进行线性插值,这样使得算法所需的存储容量大大缩减,使其硬件实现成为可能。

由于视频图像相邻帧之间的相关性很高,这使得全局处理带来了可能。视频输入后一方面读取查找表并输出;另一方面进行统计、运算,建立下一帧所需的查找表。当前帧所使用的查找表实际上是基于上一帧的统计计算出来的。通过硬件的实现和验证,证明这个方法可行。在实时处理的时候,采用乒乓操作作为实现手段,以保证视频图像的实时处理。

算法最终在FPGA上实现,并在LCD显示屏上观看了实验结果。FPGA由于易修改、风险低等特性,通常作为ASIC流片前的验证。在FPGA上硬件实现验证成功,后续可以与其它设计进行整合,转入ASIC量产,实现该技术的商业化。

本文链接: http://d.g.wanfangdata.com.cn/Thesis_Y1082890.aspx

授权使用: 陕西理工学院(sxlgxy), 授权号: 392e2032-02fd-4093-84c2-9df2010eb0b3

下载时间: 2010年9月15日