

文章编号: 1007-2780(2010)01-0130-04

FPGA 实现的视频图像缩放显示

孙红进

(南京工业大学 信息科学与工程学院, 江苏 南京 210009, E-mail: sunhjin@yeah.net)

摘 要: 对几种常用的图像缩放算法进行了比较, 在权衡了算法复杂度、缩放效果和 FPGA 逻辑资源等 3 大因素后, 选择了双线性插值算法来实现图像缩放。重点介绍了双线性插值算法和该方法的 FPGA 硬件实现方法, 包括图像数据缓冲单元、插值系数生成单元以及插值计算单元等。应用结果表明, 双线性插值算法及其硬件实现模块达到了预期的效果。

关 键 词: 图像缩放; FPGA; 双线性插值

中图分类号: TP301.6 **文献标识码:** A

FPGA Realization of Video Image Zooming Display

SUN Hong-jin

(College of Information Science and Engineering, Nanjing University of Technology,
Nanjing 210009, China, E-mail: sunhjin@yeah.net)

Abstract: Some commonly used image scaling algorithms were introduced, as well as a comparison among several algorithms. After weighing the algorithm complexity, zoom effects and FPGA logic resources, etc., the bilinear interpolation algorithm was chosen to achieve image scaling. This work focused on the bilinear interpolation algorithm and the method of FPGA hardware implementation, including image data buffer unit, interpolation coefficient generating unit, as well as the interpolation calculation unit. The realized results show that the bilinear interpolation algorithm and its hardware realizing modules achieve the desired results.

Key words: image scaling; FPGA; bilinear interpolation

1 引 言

图像是人类感知世界的视觉基础, 是人类获取信息、表达信息的重要手段。现在研究较多的是数字图像, 它是由连续函数或离散函数生成的抽象图像, 能直接被计算机处理。图像缩放是数字图像处理的重要一环, 在实际应用中经常要将图像进行放大或缩小。例如, 等离子电视、液晶电视和发光二极管(LED)显示屏等显示器需将接收到的图像分辨率进行缩放, 使之与显示器的物理

分辨率一致, 才能在显示器上完整地显示视频图像。视频图像处理的详细内容请见参考文献[1, 2]。目前, 市场上有数字视频后处理芯片, 这些芯片大都是从欧美、日、韩等地的公司进口的, 国内最早进行视频处理芯片研究的是西安交通大学^[3], 但这些芯片主要应用于高复杂度的系统, 应用在低复杂度的系统则显得不合适, 比如应用在需要单纯进行图像缩放的场合, 则显得浪费, 还可能带来不必要的麻烦。本文要实现的图像缩放是视频图像的实时缩放, 而不是仅实现某个缩放比例

收稿日期: 2009-06-26; 修订日期: 2009-07-16

作者简介: 孙红进(1985—), 男, 江苏南京人, 硕士研究生, 主要研究方向为数字信号处理、显示技术。

的图像缩放,适合于低复杂度的系统,成本较低。

2 算法原理

2.1 算法选择

图像缩放算法种类较多,几乎都是通过插值算法实现的,传统的插值算法有:最近邻插值、双线性插值和立方卷积插值等。最简单的插值方法是最近邻插值,与其他两种插值算法相比,最近邻插值具有简单快速的特点,但是对于近邻像素点的灰度值有较大改变,细微结构是粗糙的。双线性插值方法具有低通滤波器性质,使高频信息受损,图像轮廓模糊,但边缘处的过渡比较自然。与最近邻插值相比,它的计算量较大,但缩放后的图像质量高,不会出现像素值不连续的情况,在对图像边缘质量要求不是非常高的情况下,这种方法是完全可以接受的。立方卷积法计算量要比双线性插值大很多,但精度高,能保持较好的图像边缘细节。实际应用中,因为 FPGA 内的逻辑资源有限,而算法越复杂占用的逻辑资源就越多,对 FPGA 完成图像的实时缩放有重要影响^[4-8],所以实际应用中应选择合适的算法,并非精度越高越好。综上所述,本文选用双线性插值算法来实现图像缩放。

2.2 双线性插值算法

在双线性插值中,新创建的图像的像素值是由原图像位置在它附近的 (2×2) 个邻近像素的值通过加权平均计算得出的,然后由新图像的某个像素 (x, y) 映射到原始图像 (x', y') 处,对 x', y' 取整得到 (u, v) 并得到 $(u+1, v)$ 、 $(u, v+1)$ 和 $(u+1, v+1)$ 的值,利用双线性插值得到像素点 (x, y) 的值并写回新图像^[6,7]。图 1 为双线性插值的原理图。

设原始图像中相邻两行中相邻两列的 4 个像素点为 p_1 、 p_2 、 p_3 、 p_4 ,水平和垂直两个方向点距为

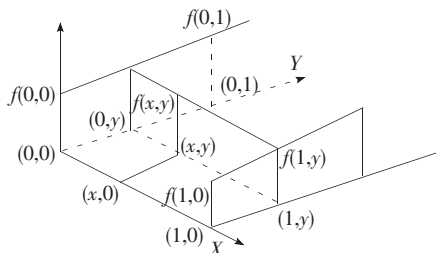


图 1 双线性插值原理图

Fig. 1 Principle diagram of bilinear interpolation

单位长度 l 。4点坐标分别为 $p_1(x, y)$ 、 $p_2(x+l, y)$ 、 $p_3(x, y+l)$ 、 $p_4(x+l, y+l)$,目标像素点的坐标为 $A(x+dx, y+dy)$, dx 、 dy 分别是目标像素点与原始图像中邻近点的水平和垂直坐标方向上的两个增量。那么,采用双线性插值法得到目标插值像素点 A 的灰度值为:

$$A(x+dx, y+dy) = (1-dx)(1-dy)p_1 + dx(1-dy)p_2 + (1-dx)dy p_3 + dx dy p_4$$

考虑以 FPGA 来实现插值运算时,共需要 8 个乘法器、2 个减法和 4 个加法器,占用了较多的逻辑资源^[5],所以将它改写为:

$$\begin{aligned} A(x+dx, y+dy) &= p_1 + dx(p_2 - p_1) + \\ &dy(p_3 - p_1) + dx dy(p_1 - p_2 - p_3 + p_4) = \\ &p_1 + (p_2 - p_1)dx + (p_3 - p_1)dy + \\ &[(p_4 - p_3) - (p_2 - p_1)]dx dy \end{aligned} \quad (1)$$

3 算法的 FPGA 实现

FPGA 选用 ALTERA 公司型号为 EP1C6Q-240I7 的工业级 FPGA。整个算法主要由图像数据缓冲模块、系数生成和逻辑控制模块、双线性插值计算模块等 3 大模块来实现,如图 2 所示。

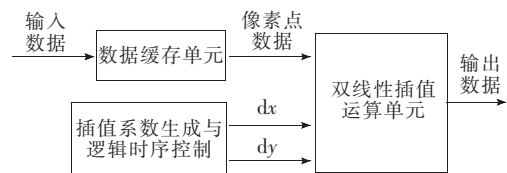


图 2 用 FPGA 实现双线性插值的系统框图

Fig. 2 System block diagram of realizing bilinear interpolation using FPGA

3.1 图像数据缓冲

数字视频信号的数据量很大,传输带宽特别高。在用硬件系统对数字视频图像进行实时处理时,需要建立一个图像数据的存储缓冲机制,为插值运算及时准确地提供图像数据。一般情况下,需要采用片外大容量高速存储器存储至少两帧的图像数据,利用“Ping-Pong”轮换机制实现图像数据缓冲。当需要使用一帧内像素点数据时,可以及时从一个存储器中读取;与此同时,连续的图像数据被存至另一个存储器中。但是,这样的帧存储器不仅增加了成本,还要在 FPGA 内利用逻辑模块设计帧存控制逻辑。为了降低成本,提高系统集成度,本文利用 FPGA 的内部逻辑资源为每

一彩色通道设计了一组由 3 个双端口 RAM (DPRAM)组成的图像数据缓冲阵列,并将这样一个缓冲阵列称为行缓冲器^[5,9]。

3.2 插值系数生成

根据双线性插值运算公式及二维图像插值的 FPGA 实现方法,两个运算系数 dx 和 dy 需要准确及时地求出,提供给插值运算单元,并且只有当生成的系数在时序节拍上与图像数据存储、插值计算单元的时序配合一致时,才能有效地完成整幅图像的插值运算。因此,在生成系数的同时,必须能够给出系数在原图像中对应邻近像素点的坐标信息,即在 DPRAM 中的存储地址,以便图像数据缓冲模块可以同步地取出参与运算的 4 个图像数据^[5]。

首先需要确定缩放因子 S 。对于以单位长度“1”来表示相邻两个像素点的距离的模型进行缩放时,以 S 为间隔形成一个新采样格栅,重新对原图像在水平和垂直两个方向上进行重采样,新图像的像素点距离即为 S 。如果把分辨率为 640×480 的图像转化为 800×600 的图像,就需要放大

1.25 倍,则缩放因子为:

$$S=l/1.25=0.8$$

如果把分辨率为 1024×768 的图像转化为 800×600 ,将图像缩小 0.781 25 倍时,缩放因子为:

$$S=l/0.781\ 25=1.28$$

上述两种情况下,目标图像在水平和垂直两个方向的缩放比例是一样的。若在水平和垂直两个方向上的缩放比例不一致,则缩放因子也就不相同,分别定义为 S_x 和 S_y 。那么,对应于新图像中坐标为 (m,n) 的像素点,系数 dx 和 dy 可以由公式(2)得到:

$$\begin{aligned} dx &= m \times S_x - [m \times S_x] \\ dy &= n \times S_y - [n \times S_y] \end{aligned} \quad (2)$$

式(2)中, $[]$ 表示下取整。

4 双线性插值运算单元

在获取插值像素点相邻 4 点的图像数据和插值系数后,就可以进行双线性插值运算了。依据插值公式(1),设计了一种具有流水线特性的运算逻辑结构,如图 3。

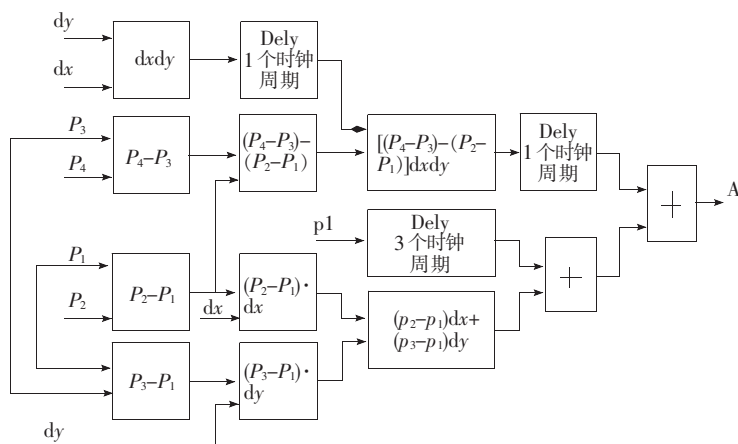


图 3 双线性插值运算单元

Fig. 3 Computing unit of bilinear interpolation

图中, p_1 、 p_2 、 p_3 和 p_4 由 DPRAM 实时输出, dx 和 dy 则由系数生成单元提供。逻辑实现过程中,要特别注意时序节拍的控制,力求时序同步。当某个运算步骤输出数据与其他运算的输出值在某个时钟不能同步到达下一个运算器时,在数据线上插入延时单元,使它们能达到同步,并且适当增加乘法器和加法器等的流水线延时。

5 功能实现

设计中,选用 ALTERA 公司型号为 EP1C6Q-240I7 的工业级 FPGA,采用 VHDL 语言对各逻辑模块进行设计,在开发环境 Quartus II 8.0 下完成了时序仿真和功能验证。此外,整个硬件模块在像素间距为 20 mm 的发光二极管(LED)显示屏中得到了成功应用,虽然从理论上讲,利用双

线性插值算法实现图像缩放存在边缘高频分量的损失,但从 LED 显示屏的显示效果来看,人眼完

全可以接受,所采用的算法适合于这一工程应用。显示效果如图 4 中的(a)、(b)、(c)所示。



图 4 图像缩放显示。(a)100%显示;(b)放大 1.5 倍显示;(c)缩小 0.7 倍显示。

Fig. 4 Image zoom display. (a) Display with 100%; (b) Display with enlarging by 150%; (c) Display with narrowing by 70%.

6 结 论

介绍了一些常用的图像缩放算法并对几种算法进行了比较,在权衡算法复杂度、缩放效果和 FPGA 逻辑资源等 3 大因素后,选择了双线性插值算法来实现图像缩放。从实现结果看,本算法

以及硬件实现模块达到了预期的效果。虽然该算法在理论上会造成被缩放图像边缘高频分量的损失,使图像边缘模糊,但在很多对图像质量要求不是很严格的场合,比如在 LED 显示屏上播放视频图像,所获得的图像质量是人眼完全可以接受的,效果良好,适合工程应用。

参 考 文 献:

- [1] 许录平,编著. 数字图像处理 [M]. 北京:科学出版社,2007.
- [2] Castleman Kenneth R[美]. *Digital Image Processing* [M]. 北京:电子工业出版社,2008.
- [3] 葛晨阳,郑南宁,任鹏举,等. 平板电视数字视频后处理芯片的设计与实现 [J]. 西安交通大学学报,2008,42(10): 5-9.
- [4] 吴均,朱重光. 带锐度保持的斜投影 B2 样条图像缩放 [J]. 遥感学报,2002,6(2):108-112.
- [5] 盛磊. 面向特种 LCD 图像处理方法与 FPGA 实现研究 [D]. 合肥:合肥工业大学博士论文,2005:26-40.
- [6] 蔡希昌,翟林培,周九飞,等. 基于 FPGA 的非 XGA 标准图像显示控制器的设计 [J]. 液晶与显示,2008,23(3): 301-306.
- [7] 徐伯庆,孙国强,陈离. 数字图像缩放的原理与硬件实现 [J]. 上海理工大学学报,2002,24(3):223-225.
- [8] Hearn Donald, Baker M P. 计算机图形学 [M]. 蔡士杰,宋继强,蔡敏,译. 北京:电子工业出版社,2007.
- [9] Feng Tao, Xie Wenlu, Yang Lianxing. An architecture and implementation of image scaling conversion[C]//The 4th International Conference on ASIC Proceedings, Shanghai, China; IEEE, 2001:409-410.

FPGA实现的视频图像缩放显示

作者: [孙红进](#), [SUN Hong-jin](#)
作者单位: [南京工业大学信息科学与工程学院, 江苏南京, 210009](#)
刊名: [液晶与显示](#) [ISTIC](#) [PKU](#)
英文刊名: [CHINESE JOURNAL OF LIQUID CRYSTALS AND DISPLAYS](#)
年, 卷(期): 2010, 25(1)
被引用次数: 0次

参考文献(9条)

1. 许录平 [数字图像处理](#) 2007
2. Castleman Kenneth R [Digital Image Processing](#) 2008
3. 葛晨阳, 郑南宁, 任鹏举, 冯耀 [平板电视数字视频后处理芯片的设计与实现](#) [期刊论文]-[西安交通大学学报](#) 2008(10)
4. 吴均, 朱重光 [带锐度保持的斜投影B-样条图像缩放](#) [期刊论文]-[遥感学报](#) 2002(2)
5. 盛磊 [面向特种LCD图像处理方法与FPGA实现研究](#) 2005
6. 蔡希昌, 翟林培, 周九飞, 王德江 [基于FPGA的非XGA标准图像显示控制器的设计](#) [期刊论文]-[液晶与显示](#) 2008(3)
7. 徐伯庆, 孙国强, 陈离 [数字图像缩放的原理与硬件实现](#) [期刊论文]-[上海理工大学学报](#) 2002(3)
8. Hearn Donald, Baker M P, 蔡士杰, 宋继强, 蔡敏 [计算机图形学](#) 2007
9. Feng Tao, Xie Wenlu, Yang Lianxing [An architecture and implementation of image scaling conversion](#) 2001

相似文献(10条)

1. 期刊论文 [胡小龙, 冯彬, HU Xiao-long, FENG Bin 基于FPGA的高分辨实时监控图像缩放设计](#) -[液晶与显示](#) 2009, 24(6)
介绍了一种基于图像的双三次线性插值缩放算法的设计方法, 并通过FPGA验证了设计的可行性. 重点讨论了视频缩放的插值算法, 对两种实现方法在硬件资源利用率及实施效率方面进行了比较并论证了块状插值实现方法的优越性. 最终设计实现了高分辨率实时视频图像的缩放.
2. 学位论文 [刘婧 图像缩放算法的研究与FPGA设计](#) 2009
Scaler是平板显示器件(FPD, Flat Panel Display)中的重要组成部分, 它将输入源图像信号转换成与显示屏固定分辨率一致的信号, 并控制其显示在显示屏上. 本文在研究图像缩放算法和Scaler在FPD中工作过程的基础上, 采用自上而下(Top-down)的设计方法, 给出了Scaler的设计及FPGA验证. 该Scaler支持不同分辨率图像的缩放, 且缩放模式可调, 也可以以IP core的形式应用于相关图像处理芯片中.
图像缩放内核是Scaler的核心部分, 它是Scaler中的主要运算单元, 完成图像缩放的基本功能, 它所采用的核心算法以及所使用的结构设计决定着缩放性能的优劣, 也是控制芯片成本的关键. 因此, 本文从缩放内核的结构入手, 对Scaler的总体结构进行了设计; 通过对图像缩放中常用算法的深入研究提出了一种新的优化算法——矩形窗缩放算法, 并对其计算进行分析和简化, 降低了计算的复杂度. FPGA设计中, 采用列缩放与行缩放分开处理的结构, 使用双口RAM作为两次缩放间的数据缓冲区. 使用这种结构的优势在于: 行列缩放可以同时进行, 数据处理的可靠性高、速度快; 内核结构简单明了, 数据缓冲区大小合适, 便于设计. 此外, 本文还介绍了其他辅助模块的设计, 包括DVI接口信号处理模块、缩放参数计算与控制模块以及输出信号检测与时序滤波模块.
本设计使用Verilog HDL对各模块进行了RTL级描述, 并使用Quartus II 7.2进行了逻辑仿真, 最后使用Altera公司的FPGA芯片来进行验证. 通过逻辑验证和系统仿真, 证明该Scaler的设计达到了预期的目标. 对于不同分辨率的图像, 均可以在显示屏上得到稳定的显示.
3. 期刊论文 [龚震 基于FPGA的图像缩放及边缘检测的算法实现](#) -[科技资讯](#) 2008, ""(28)
边缘检测与图像缩放是图像处理中重要的研究内容, 广泛地应用于图像模式识别、分割和图像增强中. 随着新兴技术和相关理论的发展, 新的边缘检测和图像缩放方法仍在不断出现. 本文着力探索新的基于FPGA的图像边缘检测与图像缩放的方法.
4. 学位论文 [张新楼 图像缩放算法的研究及其在FPGA上的实现](#) 2005
作者研究了当前流行的缩放算法, 对图像纹理相关性大小和边缘方向的判断上提出了一种新的方法, 并在此基础上发展了一套适用于数字视频芯片的图像缩放算法. 仿真结果表明此算法由优于目前流行的图像缩放算法.
介绍了FPGA的开发工作大致可以分为设计和验证两大部分, 在具体开发流程上可以根据要求灵活控制. 缩放芯片的开发可以分为: 芯片结构设计、时钟系统设计、存储器读写控制、IP核复用设计、计算精度控制等方面的电路设计. 在设计完成各级子模块以后拼接各子模块完成整个缩放模块的设计. 通过测试发现设计中存在的缺陷, 修改再测试, 最终完成整个模块的设计.
5. 学位论文 [林媛 图像缩放算法研究及其FPGA实现](#) 2006
图像缩放图像处理领域中, 发挥着重要作用. 图像的分辨率调整和格式变换, 都需要用到图像缩放技术. 随着多媒体技术和大规模集成电路的发展, 利用硬件实现视频图像无级缩放已成为图像处理研究的一个重要课题.
图像缩放通常由插值算法实现. 传统的插值算法由于实现原理的局限性, 在缩放时容易引起边缘锯齿或细节模糊现象. 针对传统插值算法的这个不足, 出现了许多基于边缘改进的算法. 但这些算法一般只能完成2k倍数插值, 无法真正做到基于边缘的无级缩放.
为了实现基于边缘改进的无级缩放, 本文做了如下五个方面的工作:
1. 系统回顾了图像缩放技术, 包括传统图像缩放技术和多边缘检测插值, 分析了这些图像缩放技术的优缺点.
2. 重点研究了新兴的方向多项式插值算法, 该算法能够真正完成基于边缘改进的无级缩放.
3. 提出改进的方向多项式插值算法(IOPI算法), 该算法针对硬件实现, 做了两个方面改进: 提出EDV算法, 简化边缘方向的确定; 提出Cubic6逼近插值算法(A-Cubic6算法), 改善平坦区域缩放效果. 其中的EDV算法通过加减、比较模块, 完成边缘方向的确定. 相比原算法中的乘除法、直方图计算, 大大简化了硬件实现, 降低了硬件实现成本. A-Cubic6算法利用查找表简化了Cubic6点插值算法的实现, 而且明显改善了非边缘区域的缩放效果.
4. 研究缩放算法与图像质量的评价方法. 比较、分析各算法的软件仿真结果, 得出结论: 本文提出的IOPI算法在平坦区域和边缘区域都具有比其它算法更突出的效果.
5. 结合实时视频处理要求, 研究了IOPI算法的FPGA实现. 已完成最近邻域插值和A-Cubic6算法的FPGA实现, 可以在硬件平台上稳定工作.
6. 期刊论文 [胡昕韵 基于FPGA的图像缩放及边缘检测的硬件设计](#) -[科技资讯](#) 2008, ""(35)
微电子技术的快速发展, 使越来越多复杂的算法固化成硬件结构成为可能. 而FPGA的广泛应用和集成度的迅速提高, 以及EDA设计仿真功能的增强, 为基于FPGA的数字图像处理硬件设计提供了平台. 本文着力探索新的基于FPGA的图像边缘检测与图像缩放的硬件设计.
7. 学位论文 [朱艳亮 实时视频缩放算法研究及FPGA实现](#) 2009
调整视频图像的分辨率需要视频缩放技术. 如果图像缩放技术的处理速度达到实时性要求就可以应用于视频缩放.
传统图像缩放技术利用插值核函数对已有像素点进行插值重建还原图像. 本文介绍了图像插值的理论基础—采样定理, 并对理想重建函数Sinc函数进行了讨论. 本文介绍了常用的线性图像插值技术及像素填充、自适应插值和小波域图像缩放等技术. 然后, 本文讨论了分级线性插值算法的思想, 设计并实现了FPGA上的分级双三次算法. 最

后本文对各种算法的缩放效果进行了分析和讨论。

本文在分析现有视频缩放算法基础之上,提出了分级线性插值算法,并应用在简化线性插值算法中。分级线性插值算法以牺牲一定的计算精度为代价,用查找表代替乘法计算,降低了算法复杂度。本文设计并实现了分级双三次插值算法,详细说明了板上系统的模块结构。最后本文将分级线性插值算法与原线性插值算法效果图进行比较,比较结果显示分级插值算法与原算法误差较小,在放大比例较小时可以取代原算法。结果证明分级双三次线性插值算法的FPGA实现能够满足额定帧频,可以进行实时视频缩放。

8. 期刊论文 [郑俊杰, 陆虎敏, 方向忠, ZHENG Jun-jie, LU Hu-min, FANG Xiang-zhong 基于自适应插值算法的视频图像缩放技术及其FPGA实现 -航空电子技术2008, 39\(2\)](#)

介绍了一种基于自适应插值算法的视频图像缩放技术;重点阐述了采用FPGA芯片实现该算法的原理和具体结构。经实验验证,该算法及其FPGA实现能有效消除传统插值算法在物体边缘部分出现的锯齿,提高图像经过缩放后的视觉质量,同时具有较低的复杂度,适用于实时图像处理。

9. 学位论文 [盛磊 面向特种LCD图像处理方法与FPGA实现研究 2005](#)

本文研究特种LCD的图像处理方法和FPGA实现方案,并研制出基于FPGA的若干实际应用系统,有效地解决目前存在的问题。本文主要研究内容为:

(1)给出一种基于彩色空间变换的色彩调整方法,在YCrCb空间内实现亮度和色度分离,避免了RGB空间两者同时变化造成偏色和失真的现象,并在FPGA内采用流水线结构改进3阶矩阵运算的逻辑结构,节省出2/3的逻辑资源,提高了模块的最高运行速度。

(2)研究利用FPGA实现图像实时缩放处理的方法,选择能够满足特种LCD要求的双线性插值法作为研究对象,实时计算插值系数dx和dy,并采用流水线结构进行插值计算,仅使用FPGA中的3个双端口RAM来缓冲图像数据,没有外扩大容量帧存储器,降低了成本,提高特种LCD的系统兼容性。

(3)设计一种针对特种LCD更为简捷、有效的隔行转逐行扫描的实现方案,即利用图像实时缩放的方法,把一场图像缩放到LCD的分辨率,实现复合视频图像在LCD的“全屏”显示,改善现有特种LCD在显示隔行扫描的复合视频信号时,遇到图像信息丢失或显示效果不佳的问题。

(4)设计出一种基于字符和位图的数字OSD控制核,合理使用分布式RAM和块RAM两种逻辑资源来存储字符和位图信息,OSD图像由数字逻辑自动合成,编程简单灵活,使特种LCD的参数调整更加方便。

(5)研制成功基于FPGA的特种LCD显示控制板,能显示三种分辨率640×480,800×600,1024×768的图像信号;支持宽范围的亮度、对比度、显示位置等参数的实时调整,并提供全功能的透明OSD菜单进行指示。

(6)研制成功基于FPGA的特种LCD图像调节板,用于对某型号机载特种LCD进行改造,增加宽范围的亮度、对比度、图像显示位置的实时调整功能,提供无信号输入检测与OSD指示功能,提高图像显示的性能,通过了环境温度试验与性能测试,并已装机。

(7)研制成功基于DSP和FPGA的图像采集显示板,实现了对全分辨率复合视频信号进行25帧/秒的实时采集和显示,在DSP内使用“三帧”轮换的图像数据缓冲方法提高了系统的实时处理能力,使之能够完成一定复杂度的实时图像处理。

10. 期刊论文 [李翠娟, 牛文生, 杨敬宝, LI Cui-juan, NIU Wen-sheng, YANG Jing-bao 基于FPGA的视频转换模块设计与实现 -航空计算技术2010, 40\(1\)](#)

主要阐述了基于FPGA的视频转换模块(VCM)的设计与实现,重点描述了VCM模块的系统结构设计、基本硬件设计及功能实现。VCM模块主要完成显示信息的选择、叠加、图像缩放等功能,显示信息通过输出接口分别输出到显示器上。

本文链接: http://d.g.wanfangdata.com.cn/Periodical_yjyxs201001025.aspx

授权使用: 陕西理工学院(sxlgyxy), 授权号: 3755236b-fc0d-482f-a185-9df20109e605

下载时间: 2010年9月15日