

文章编号:1007-2780(2006)01-0048-05

高速图像存储系统中 SDRAM 控制器的实现

王 骞^{1,2}, 丁铁夫¹

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033;
2. 中国科学院 研究生院, 北京 100039)

摘 要: SDRAM 作为大容量存储器在高速图像处理中具有很大的应用价值。但由于 SDRAM 的结构和 SRAM 不同, 其控制比较复杂。文章详细介绍了 SDRAM 存储器的结构、接口信号和操作方法, 以及 SDRAM 控制器的设计方法。结合实际系统, 设计给出了使用 FPGA 实现 SDRAM 控制器的硬件接口, 在 Altera 公司的主流 FPGA 芯片 EP1C6Q240C8 上, 通过增加流水级数和将输出触发器布置在 IO 单元中, 该控制器可达到 185 MHz 的频率。

关 键 词: FPGA; SDRAM; SDRAM 控制器
中图分类号: TN27; TN702 **文献标识码:** A

1 引 言

在高速图像采集和存储系统中需要海量数据的暂时存储, 即大的中间缓存, 使用 SDRAM 作为数据缓存是一种非常有效的方法。SDRAM 作数据缓存不仅具有大容量和高速度的特点, 而且在价格和功耗方面也占有很大的优势。由于 SDRAM 的基本存储单元是基于三极管和电容的, 这与普通的基于触发器的 SRAM 的存储结构有较大差异, 因此其控制机制比较复杂。虽然目前的微处理器或许多 DSP 都具有和 SDRAM 的直接接口, 但是这种接口的效率并不高, 并不适合作为高速图像存储系统的应用。鉴于以上情况, 本文介绍了在高速图像采集和存储系统中采用了 SDRAM 作为主要数据缓冲存储器, 并设计了基于 FPGA 的 SDRAM 控制器的方法, 综合及仿真结果表明, 在 Altera 公司的主流芯片 Cyclone (EP1C6Q240C8) 上, 该 SDRAM 控制器的最高频率可达到 185 MHz。

2 SDRAM 简介

SDRAM 的生产厂商很多, 但生产的 SDRAM 内部结构大同小异。它的同步接口、完全流水线的内部结构以及对猝发传输的支持使其拥有很高

的数据速率, 目前 SDRAM 的最高频率可达到 200 MHz, 其单片容量也可以达到 128 Mbit 以上^[1]。SDRAM 内部以 BANK 为组织, 由行、列地址共同寻址, 这在很大程度上减少了地址位, 提高了器件的实用性, 但也使寻址变得更加复杂。由于为了提高 SDRAM 的存储容量, 采用硅片电容来存储信息, 但随着时间的推移, 必须给电容重新充电才能保持电容里的数据信息, 这就是所谓的“刷新”, 它的存在也给 SDRAM 带来了应用上的难度。SDRAM 内部的操作是由命令来控制的, 这些操作包括: 模式寄存器设置、预充电、激活、读/写、自动刷新、自我刷新、猝发停止、空操作以及命令禁止操作。SDRAM 的控制命令是片选信号(nCS)、行地址选通(nRAS)、列地址选通(nCAS)、写使能(nWE) 4 个信号的组合, 具体情况见表 1。

3 SDRAM 控制器设计

在实际系统中使用 SAMSUNG 公司生产的 SDRAM, 型号为 K4S643232H-TC/L60, 存储容量为 64 Mbit, 数据宽度为 32 位, 最小时钟周期为 6 ns。该 SDRAM 内部由 4 个 BANK 组成, 每个 BANK 有 2 048 行和 256 列。FPGA 则采用了 Altera 公司的主流芯片 Cyclone(EP1C6Q240C8),

表 1 SDRAM 基本命令及控制信号

Table 1 SDRAM basic command and control signals

命 令 名 称	nCS	nRAS	nCAS	nWE
命令禁止(NOP;Command inhibit)	H	X	X	X
空操作(NOP;No operation)	L	H	H	H
激活操作(ACT;Select bank and active row)	L	L	H	H
读操作(READ;Select bank and column, start read burst)	L	H	L	H
写操作(WRITE;Select bank and column, start write burst)	L	H	L	L
猝发停止操作(BTR;Burst terminate)	L	H	H	L
预充电操作(PCG;De-active bank or banks)	L	L	H	L
自动刷新或自我刷新(REF;Auto refresh or self refresh)	L	L	L	H
配置模式寄存器(LMR;Load mode register)	L	L	L	L

该 FPGA 内部有等效于 10 万门以上的逻辑资源,5 980 个逻辑单元,20 个 M4K 块(256×18 bit),可用来生成片上存储器,如 RAM、ROM、双口 RAM 以及 FIFO 等;内部集成了两个模拟锁相环,可用于对输入的时钟进行倍频和移相,最大可用 IO 为 185 个。

SDRAM 的操作过程大致如下:上电之后,SDRAM 进入初始化阶段,在锁相环锁定后需延迟至少 200 μ s,以得到稳定的电压和时钟,在发起一个对所有 BANK 预充电的命令之后,进行 8 次刷新操作,然后装入模式寄存器。至此初始化操作完毕,可以进行猝发读、写操作。读、写数据时,先由激活命令、BANK 和行地址选中需要访问的数据所在的具体 BANK 块和行,然后通过读/写命令选中数据所在行的列地址,就能达到读/写具体存储单元的目的。在数据写入存储单元后,要想保持住数据不丢失,必须在 64 ms 内刷新 4 096 次,也就是说,每隔 15. 625 μ s 要刷新一次,也可

集中进行刷新。虽然 SDRAM 支持数据猝发传输方式,但最多一次只能传输完一行的数据,称为全页猝发传输(在我们的系统中实际就是 256 个字),这是因为当存储数据所在的行不同时,需要用预充电命令释放当前行并由 ACT 命令重新激活所需行,因此无法通过一次读/写命令完成所有存储单元的读/写。

在本系统中,SDRAM 的接口设计是极其关键的,可根据 SDRAM 内部操作状态之间的联系,通过状态机来实现接口设计。首先,根据系统实际需要确定 SDRAM 的操作方法:

- 1)SDRAM 的写地址采用递增模式,连续变化;读地址采用分段模式,将一行的数据分段读出。
- 2)因为系统读和写的地址生成方式不同,故不考虑整页读写,也不考虑随机存取模式,只采用猝发长度为 8 的猝发方式流水读/写。
- 3)其他主要的时间参数如表 2 所示。

表 2 SDRAM(K4S643232H-TC/L60)的时间参数

Table 2 Time parameters of SDRAM (K4S643232H-TC/L60)

时 间 参 数	
t_{RP} ,行选通预充电时间,即预充电到其他命令的时间	$\geq 3CLK$
t_{MRD} ,模式寄存器装入时间,即 LMR 命令到其他命令的时间	$\geq 2CLK$
t_{RCD} ,行选通到列选通延迟,即行选通到其他命令的延迟	$\geq 3CLK$
t_{RFC} ,行刷新周期,刷新命令到刷新命令或其他命令的时间	$\geq 10CLK$
t_{REF} ,刷新周期,对所有行完成一次刷新的时间	$\leq 64\text{ ms}$

SDRAM 控制器主要由输入 FIFO、输出 FIFO、FIFO 接口、锁相环模块、初始化模块、刷新模块、主状态机、数据路径模块几个主要部分组成,如图 1 所示。

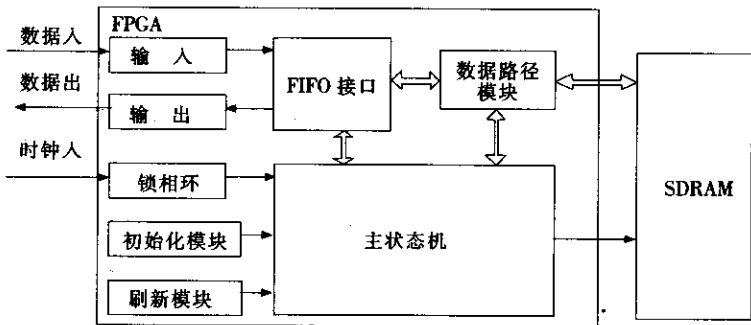


图 1 SDRAM 控制器的结构

Fig. 1 Structure diagram of SDRAM controller

因为系统向 SDRAM 控制器的数据写入和读出要求数据的连续性且速度比较低,为 66 MHz 左右,而 SDRAM 控制器向 SDRAM 的数据写入和读出并无数据连续性方面的要求且速度较高,为 166 MHz 左右,因此二者属于不同的时钟域,需要用 FIFO 作为输入和输出的缓存^[2,3]。输入 FIFO 和输出 FIFO 的数据宽度为 32,深度为 64。FIFO 接口的作用则是将 FIFO 的状态转变成主状态机的读、写信号。若操作为向 SDRAM 写入数据,当输入 FIFO 的写满信号为‘1’时,输入 FIFO 通过 FIFO 接口向主状态机发出写请求,并由主状态机控制向 SDRAM 写 64 个字(64×32 bit),然后进入空操作状态。若操作为从 SDRAM 读出数据,当输出 FIFO 的读空信号为‘1’时,输出 FIFO 通过 FIFO 接口向主状态机发出读请求,由主状态机控制向 SDRAM 读 64 个字,之后进入空操作状态。

在 SDRAM 控制器中,片上锁相环的作用是将输入时钟倍频为所需要的时钟,并根据电路板

布局进行移相,使得在时钟的上升沿准确地对命令进行采样。初始化模块则负责在锁相环锁定之后产生规定的延迟时间,然后发出一个所有 BANK 预充电命令、8 个刷新命令和一个模式寄存器装载命令,使 SDRAM 有确定的状态进行读写操作。刷新模块的作用是每隔最多 15.625 μs 发出刷新请求信号,数据路径则负责在适当的时刻将输入的数据写到 SDRAM 中或由 SDRAM 读出数据送到数据输出口。主状态机是 SDRAM 控制器的核心控制模块,其作用主要有两方面,其一是根据不同的条件进行同步状态转移,在适当的时刻发出适当的命令,其二是协调各模块之间的时序关系,对各模块发出的操作请求进行仲裁。主状态机的状态转移图如图 2 所示。

上电之后状态机自动进入空闲状态,若初始化完毕且接到刷新请求,状态机进入自动刷新状态,刷新结束后返回空闲状态^[4,5]。若在初始化完毕后接到读、写请求且无刷新请求,状态机进入行激活状态。当行激活到列激活延迟结束且接到

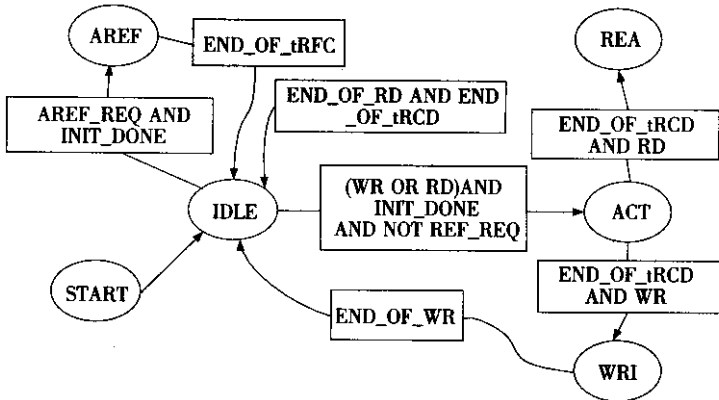


图 2 SDRAM 控制器状态转移图

Fig. 2 State machine of SDRAM controller

读请求,状态机进入读状态,并在读状态结束后返回空闲状态。当行激活到列激活延迟结束且接到写请求,状态机进入写状态,在写状态结束后返回

空闲状态。空闲状态中,先对激活行预充电以释放激活行,然后进入空操作状态^[6]。图 3 为初始化阶段的时序仿真结果。

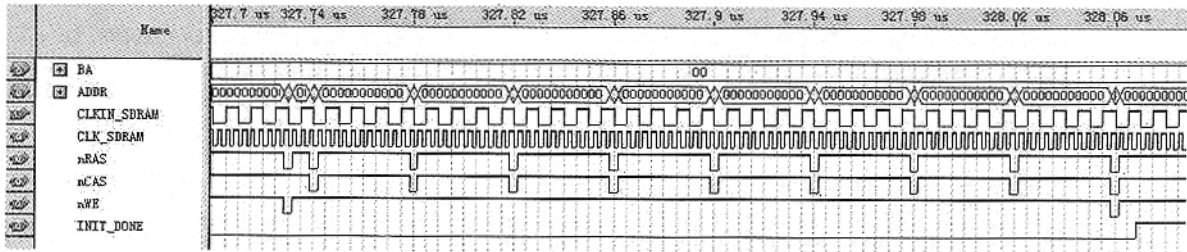


图 3 初始化阶段时序仿真结果

Fig. 3 Timing simulation of initialization stage

4 结 语

介绍了 SDRAM 的具体信号关系,说明了各种操作命令和状态转移之间的联系,给出了在高速图像存储系统中 SDRAM 控制器的具体硬件接口设计。目前该系统实验已经完成,占用 Cyclone 芯片 EP1C6Q240C8 中 443 个逻辑单元,占 FPGA 总逻辑资源的 7 %,占用 2 个 M4K 块和 2 个片上模拟锁相环,最高频率可达到 185 MHz。应该指出,因为需要尽可能高的速度而片上逻辑资源足够,所以在关键路径上增加了流水级数以

提高性能,这使得逻辑资源的占用有所增多。

高速、海量存储器是存储器的发展方向,从现在通用的 SDRAM、专用的 SGRAM(同步图像 RAM,其基本原理与 SDRAM 相同),到将来的 DDR SDRAM(双数据速率存储器)和 QDR SDRAM(四数据速率存储器),容量越来越大,速度也越来越快,用 FPGA 作为 DRAM 控制器,具有最大的灵活性,也能在最大限度上发挥 DRAM 高速度的优势^[7,8],对其进行研究具有重要的意义。

参 考 文 献:

[1] 苏海冰,吴钦章. 用 SDRAM 在高速数据采集和存储系统中实现海量缓存[J]. 光学精密工程,2002,10(5): 462-465.

[2] Wakerly John F. 数字设计原理与实践[M]. 北京:机械工业出版社,2003.

[3] 任艳颖,王彬. IC 设计基础[M]. 西安:西安电子科技大学出版社,2003.

[4] 张义磊,安吉宇,仲崇亮,等. ARM 芯片 S3C2410 驱动 TFT-LCD 的研究[J]. 液晶与显示,2005,20(1):61-66.

[5] 徐杰,杨虹,郭树旭,等. TFT-LCD 周边驱动电路集成化设计[J]. 液晶与显示,2004,19(1):42-47.

[6] Douglas J Smith. HDL Chip Design[M]. Madison: Doone Publications, 1996.

[7] 刘永章,李居峰. DSP 与液晶显示器接口及程序设计[J]. 液晶与显示,2005,20(2): 164-168.

[8] 李英博,荆海,郭树旭,等. 数码相机显示驱动电路的研究与设计[J]. 液晶与显示,2004,19(1):48-51.

Realization of SDRAM Controller in High-speed Image Storing System

WANG Qian^{1,2}, DING Tie-fu¹

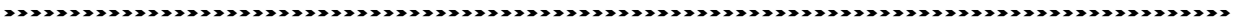
(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China;
2. Graduate School of Chinese Academy of Sciences, Beijing 100039,China)

Abstract

As the mass storage devices, SDRAM is great valuable in high speed image storing system. Due to the different structure of SDRAM and SRAM, the control of SDRAM is more complex than that of SRAM. The structure, interface signal and operation method of SDRAM and SDRAM controller are introduced in this article. The SDRAM controller based on FPGA is designed and used in real system. On the mainstream FPGA chip EP1C6Q240C8, by adding the pipeline level and arranging the output in the IO element, this controller has reached to the performance of 185 MHz.

Key words:FPGA; SDRAM; SDRAM controller

作者简介:王骞(1973—),男,吉林长春人,博士研究生,主要从事算法在 FPGA 中的应用以及片上可编程系统方面的研究。



2005 年平板显示之最

- (1)三星电子 05SID 会议展出 102cm(40 in)全色 OLED 显示器。
- (2)三星电子 05SID 会议展出 259 cm(102 in)全色高清晰度 PDP 电视。
- (3)三星电子 05SID 会议展出 208 cm(82 in)全色 TFT-LCD 显示器。
- (4)三星电子 05SID 会议展出 81 cm(32 in)无 CF 的全色 TFT-LCD 显示器。
- (5)台湾奇美 05SID 会议展出 145 cm(57 in)超高清晰度(3 840×2 160)TFT-LCD 显示器。

中小型 TFT-LCD 市场

中小型 TFT-LCD 为 25.4 cm(10 in)以下 TFT-LCD 屏。主要应用于手机、数码照相机、车载显示等。2005 年中小型 TFT-LCD 产量比 2004 年增加 56.3 %,但价格降低一半。其市场预测如下:

	2004 年	2005 年	2006 年	2007 年	2008 年
百万块	464.1	628.6	701.2	798.4	883.2
比前年增加(%)	56.3	58.9	61.5	63.4	64.9

作者：[王骞](#)，[丁铁夫](#)，[WANG Qian](#)，[DING Tie-fu](#)
作者单位：[王骞](#),[WANG Qian](#)(中国科学院, 长春光学精密机械与物理研究所, 吉林, 长春, 130033; 中国科学院, 研究生院, 北京, 100039), [丁铁夫](#),[DING Tie-fu](#)(中国科学院, 长春光学精密机械与物理研究所, 吉林, 长春, 130033)
刊名：[液晶与显示](#)[\[ISTIC PKU\]](#)
英文刊名：[CHINESE JOURNAL OF LIQUID CRYSTALS AND DISPLAYS](#)
年，卷(期)：2006，21(1)
被引用次数：12次

参考文献(8条)

1. [苏海冰](#), [吴钦章](#) [用SDRAM在高速数据采集和存储系统中实现海量缓存](#)[期刊论文]-[光学精密工程](#) 2002(05)
2. [Wakerly John F](#) [数字设计原理与实践](#) 2003
3. [任艳颖](#), [王彬](#) [IC设计基础](#) 2003
4. [张义磊](#), [安吉宇](#), [仲崇亮](#) [ARM芯片S3C2410驱动TFT-LCD的研究](#)[期刊论文]-[液晶与显示](#) 2005(01)
5. [徐杰](#), [杨虹](#), [郭树旭](#) [TFT-LCD周边驱动电路集成化设计](#)[期刊论文]-[液晶与显示](#) 2004(01)
6. [Douglas J Smith](#) [HDL Chip Design](#) 1996
7. [刘永章](#), [李居峰](#) [DSP与液晶显示器接口及程序设计](#)[期刊论文]-[液晶与显示](#) 2005(02)
8. [李英博](#), [荆海](#), [郭树旭](#) [数码相机显示驱动电路的研究与设计](#)[期刊论文]-[液晶与显示](#) 2004(01)

相似文献(10条)

1. 期刊论文 [郑哲](#), [李加琪](#), [吴嗣亮](#) [引信体目标视频回波模拟器SDRAM控制器的FPGA设计](#) -[微电子学](#)2005, 35(1)
针对引信体目标视频回波模拟器中高速大数据量传输、下载和存储的需要,提出了用现场可编程门阵列(FPGA)设计SDRAM控制器的方案和方法.该控制器与常规SDRAM控制器不同,它以长度120个字为一组进行突发(Burst)的读写,内部操作也不同于整页的读、写操作机制,而是采用了内部计数器到固定周期数给出截断(Terminate)和预充电(Precharge)命令的一种操作方式.经验证,该控制器在片工作频率可达100MHz,满足了引信体目标视频回波模拟系统对引信与目标的相对运动参数预先产生回波数据的高速大数据量下载的要求.
2. 期刊论文 [谢宜壮](#), [龙腾](#) [基于FPGA的SAR信号存储与预处理模块设计与实现](#) -[信号处理](#)2010, 26(2)
随着FPGA技术的迅速发展,FPGA超强的并行处理能力使得它在SAR信号处理等高速实时信号处理领域起到越来越重要的作用.本文通过一个以FPGA为核心处理器的星载SAR信号存储与预处理系统为例,采用模块化的设计思想,灵活、高效的实现了对2GB SAR信号的多通道、大规模存储管理、FIR滤波与降采样等预处理功能.其中,重点介绍了三端口非透明型SDRAM控制器模块和滤波降采样模块的设计与实现.
3. 期刊论文 [周望玮](#), [史小军](#), [朱为](#), [堵国梁](#), [ZHOU Wang-wei](#), [SHI Xiao-jun](#), [ZHU Wei](#), [DU Guo-liang](#) [基于FPGA的SDRAM读写双口控制器设计](#) -[电子器件](#)2006, 29(2)
在研究了SDRAM工作特性的基础上,提出了利用FPGA将单片SDRAM作为乒乓RAM的双口接口设计.采用ALTERA公司的EP1C6Q240C8和HYNIX的HY57V161610DTC-8,将FPGA作为主控制器,并在其中配置两块RAM分别作为SDRAM的输入、输出缓冲区.前者接收外设慢速数据流,经处理后写入到SDRAM,后者读取SDRAM中数据,为外围高速设备提供高速数据流.高速数据流按自定义数据包连续发送,在此期间中执行慢速数据流写入SDRAM和自动刷新SDRAM的操作.
4. 期刊论文 [谢宜壮](#), [龙腾](#), [XIE Yi-zhuang](#), [LONG Teng](#) [基于FPGA内嵌入式处理器的二维脉冲压缩](#) -[计算机工程](#) 2010, 36(5)
设计一个利用现场可编程门阵列(FPGA)内部MicroBlaze嵌入式处理器为核心控制单元的二维脉冲压缩处理系统.根据FPGA内部不同的资源配置情况,提出2种脉冲压缩处理模块的实现结构,利用FPGA实现DDR SDRAM控制器,采用矩阵分块线性映射的方法实现高效的数据矩阵转置处理.通过模拟一个简单的合成孔径雷达成像处理过程,证明该系统的有效性.
5. 期刊论文 [李卫](#), [王杉](#), [魏急波](#) [SDRAM控制器的FPGA设计与实现](#) -[电子工程师](#)2004, 30(10)
介绍了利用现场可编程门阵列(FPGA)实现同步动态随机存储器(SDRAM)控制器的方法,着重于FPGA具体实现过程中的一些常见问题.分析了设计中所用的SDRAM性能、特点,给出了其读写时序状态图,给出SDRAM初始化方式及其相应的模式设置值,并根据本设计的实际情况对SDRAM状态机进行了简化,给出了一种相对容易实现的SDRAM状态机.本设计采用甚高速集成电路硬件描述语言(VHDL)编程,直观而且占用资源较少,其基本设计原理对其他同类SDRAM也适用,对需要大容量存储器的应用是较经济的设计.
6. 期刊论文 [夏玉立](#), [雷宏](#), [黄瑶](#), [XIA YULI](#), [LEI HONG](#), [HUANG YAO](#) [用Xilinx FPGA实现DDR SDRAM控制器](#) -[微计算机信息](#)2007, 23(26)
DDB SDRAM使用双倍数据速率结构,它能获得比SDRAM更高的性能.DDR SDRAM需要特定的DDB控制器才能完成与DSP、FPGA之间的通信.由于Xilinx VirtexTM-4系列FPGA具备ChipSync源同步技术等优势,本设计采用它来实现DDRSDRAM控制器.该DDR SDRAM控制器采用直接时钟数据捕获技术,本文将重点阐述该技术.
7. 期刊论文 [向兴富](#), [袁玉群](#), [谭亚军](#), [XIANG Xing-fu](#), [YUAN Yu-qun](#), [TAN Ya-jun](#) [基于FPGA的DDR2 SDRAM数据存储研究](#) -[贵州大学学报\(自然科学版\)](#) 2010, 27(2)
DDR2 SDRAM具有存取速度快、容量大等特点,它在内存、显存及数据暂存方面有着广泛的应用.本文基于Xilinx Virtex5 Fx70T FPGA对DDR2 SDRAM数据存储做了较为详细的探讨,希望对相关设计人员有一定的参考价值.

8. 期刊论文 [吴皓, 刘鹏, 蔡钟, 王维东](#) [视频采集系统SDRAM控制器的FPGA实现](#) -中国有线电视2003, "" (22)

介绍基于FPGA的SDRAM控制器的设计及其在视频采集系统中的应用. 视频数据流通过该控制器接收, 然后存入片外SDRAM中. 针对视频数据流特点和SDRAM特性对该控制器进行了优化, 实现了任意长度的突发读写而不需要修改模式寄存器, 加快了SDRAM读写的速度.

9. 期刊论文 [刘冠男, 欧明双, 宋何娟](#) [DDR2 SDRAM控制器的设计及FPGA验证](#) -中国集成电路2010, 19 (4)

根据DDR2 SDRAM的技术规范, 介绍了DDR2的基本特征和工作原理, 提出了一种DDR2控制器的设计方法, 详述了DDR2控制器的工作原理和功能结构, 并在FPGA上验证了设计的正确性.

10. 期刊论文 [庞双德, 刘艳滢, PANG Shuang-de, LIU Yan-ying](#) [图像处理系统中SDRAM控制器的FPGA实现](#) -微计算机信息2009, 25 (14)

简要介绍了SDRAM工作原理并认真研究了Ahera提供的SDRAM控制器, 根据实际系统使用需要加以修改简化, 设计了对修改后控制器进行操作的状态机. 采用全页突发读写模式, 每次读/写后自动刷新, 省掉了传统设计中的刷新计数控制逻辑. 整个设计采用VHDL实现, 已在实际系统中成功使用.

引证文献(12条)

1. [苏宛新, 程灵燕, 程飞燕](#) [基于DSP+FPGA的实时视频信号处理系统设计](#)[期刊论文]-[液晶与显示](#) 2010 (1)

2. [郑喜凤, 尹柱霞, 严飞](#) [LED显示控制系统中SDRAM控制器的设计](#)[期刊论文]-[液晶与显示](#) 2009 (3)

3. [宋丹娜, 代永平, 刘艳艳, 商广辉](#) [基于CPLD的LCOS场序彩色视频控制器设计](#)[期刊论文]-[液晶与显示](#) 2009 (4)

4. [程方敏, 黄启俊, 向守坤, 李湘琼](#) [基于FPGA的高速SDRAM控制器的视频应用](#)[期刊论文]-[电子技术](#) 2009 (7)

5. [王利颖, 蒋亚东, 罗凤武](#) [嵌入式实时图像处理系统中SDRAM控制器的实现](#)[期刊论文]-[现代电子技术](#) 2009 (9)

6. [刘全, 靳桅](#) [超长LED显示屏控制系统的实现](#)[期刊论文]-[液晶与显示](#) 2008 (6)

7. [郝亚茹, 王瑞光, 陈宇, 汪洋](#) [基于高效动态内存的LED显示系统设计](#)[期刊论文]-[液晶与显示](#) 2008 (5)

8. [郑喜凤, 邓春健, 冯永茂, 徐秀知, 王遵立](#) [一种实现LED显示屏显示信息的方法](#)[期刊论文]-[液晶与显示](#) 2007 (3)

9. [方勇, 吕国强, 彭良清, 洪占勇](#) [3D显示器视频转换系统设计及其FPGA实现](#)[期刊论文]-[液晶与显示](#) 2007 (1)

10. [郑喜凤, 邓春健, 冯永茂, 徐秀知](#) [XML在基于C/S模式的交通诱导信息显示系统的应用](#)[期刊论文]-[液晶与显示](#) 2007 (1)

11. [宋伟铭, 谢洪波, 张春慧, 郁道银](#) [基于USB2.0的三维头盔显示器接口电路设计](#)[期刊论文]-[液晶与显示](#) 2006 (6)

12. [王圳](#) [面向智能交通监控的高端数字图像采集与处理系统的设计与调试](#)[学位论文]硕士 2006

本文链接: http://d.g.wanfangdata.com.cn/Periodical_yjyxs200601011.aspx

授权使用: 陕西理工学院(sxlgxy), 授权号: b6ca82f4-96cb-4fd1-9102-9df20111fe78

下载时间: 2010年9月15日