

基于 FPGA 的传像光纤束图像预处理器

汪精明

(上海交通大学 继续教育学院 上海 200030)

摘要:针对传像光纤束成像的算法结构,提出一种基于 FPGA 的传像光纤束图像预处理器设计方案。该图像预处理器相对于传统的图像预处理器具有充分利用 FPGA 有限的片上资源,合理安排数据操作之间的并行性和流水性等优点。具体实验结果表明,该预处理器能满足传像光纤束成像系统的实时性要求,达到预期效果。

关键词:FPGA;传像光纤束成像;图像预处理;片上资源

中图分类号:TP391

文献标识码:A

文章编号:1004-373X(2010)04-042-03

Preprocessor for Image of Image - carrying Fiber Bundles Based on FPGA

WANG Jingming

(Network Education College, Shanghai Jiaotong University, Shanghai, 200030, China.)

Abstract: A preprocessor for the image of image - carrying fiber bundles based on FPGA is presented for the algorithm structure of the imaging with image - carrying fiber bundles. Comparing with the traditional image - preprocessor, this preprocessor has several advantages like making best of the limited on - chip resources, reasonable arrangements of the parallelism and pipeline among the data operation. Experimental results show that the design can meet the real - time requirement of the imaging system and achieve the expecting purpose.

Keywords: FPGA; image - carrying fiber bundles; image preprocessing; on chip resource

0 引言

在传像光纤束成像系统中,基于 FPGA 的图像预处理都会涉及到矩阵化运算,这就势必需要用存储器(内部或者外部的)暂存几行或者整个一帧图像数据,然后按照矩阵相乘的方法来处理。如果需要处理一个 $n \times n$ 图像阵列,则需要大于等于 n 个 RAM 或 FIFO 作为图像数据缓冲,特别是对于高分辨率的扫描图像进行处理而言,不仅浪费了很多 FPGA 宝贵的片上 RAM 资源,而且会使边界效应的处理复杂化。不仅如此,由于在处理前需要存储多行图像数据,导致整个系统的实时性不高。

在此提出一种基于 FPGA 的传像光纤束图像预处理器设计与实现方案,合理利用 FPGA 有限的片上资源,使边界效应的处理简化,并充分利用数据操作之间的并行性和流水性,生成图像数据流,以满足传像光纤束成像算法对图像传输系统的功能要求和实时性要求。

1 传像光纤束成像系统

传像光纤束的成像算法主要涉及预处理算法和一些

核心的成像算法,因此根据成像算法的特殊性构建了基于 FPGA 和 DSP 传像光纤束的成像系统。其中,用 FPGA 来完成传像光纤束图像的预处理;用 DSP 实现光纤束成像的核心算法;用 USB 芯片完成将处理完的数据传至上位机的任务。系统中 FPGA 采用 Xilinx 的 150 万门级芯片 XC3S1500;Spartan - 3 FPGA 采用 90 nm 制造技术来获得较低的硅裸片成本。该系列器件也是惟一拥有高效率可实现 DSP 功能所需要的所有系统特点(这些特点一度属于高端 FPGA 所专有)的低成本 FPGA;DSP 采用的是 TI 公司的 TMS32DM642;USB 选用 Cypress 公司的 CY7C68013。该成像系统硬件结构如图 1 所示。

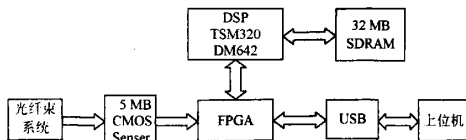


图 1 成像系统硬件结构

先由 FPGA 对摄像头采集到的图像数据进行预处理,以减轻 DSP 的运算负担,使得 DSP 能够工作在核心算法上,之后再由 FPGA 将处理后的图像送至 DSP。DSP 通过 EDMA 将图像数据搬运至片外 SDRAM,然后对图像进行传像光纤束成像算法。经算法处理好的图像数据由 DM642 发送至 FPGA,由 FPGA 通过在其

内部设置 FIFO 完成图像数据缓冲功能,并控制 USB 传输图像数据。最后由 68013 完成 USB 数据的封装,并将封装后的数据传送到上位机。

2 预处理器的设计和实现

系统中的 500 万像素 CMOS 镜头输出图像格式为 $2592 \times 1944 \times 12$ b 的 Bayer 图像数据格式,为了后续 DSP 能够更好地处理数据,并减轻 DSP 的运算负担,需先将输出的图像数据提取成 8 b,再通过使用 RGB 插值算法,将 Bayer 图像数据格式转换成 RGB 信号和亮度信号^[1]。图 1 为 CMOS 图像传感器输出的 Bayer 图像格式^[2]:

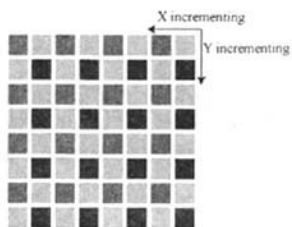


图 2 CMOS 图像传感器输出的 Bayer 图像格式

颜色插值方法有很多种,常用的算法有邻域插值法、线性插值法、Mondriaan 的彩色图像信息模型法^[3]、神经网络插值法、颜色差空间的线性插值法^[4]等。邻域插值法和线性插值法能在图像相对平滑区域得到较好的结果。但是,在图像高频区域,如图像中边缘处色差大的区域,则不能很好地控制走样现象。神经网络插值算法的特点是图像质量好,但运算时间长。

为了使神经网络插值算法更加适合使用 FPGA 来实行,该系统中采用双线性插值法。这种插值方法具有算法计算量少,算法结构简单等优点,适合该系统的算法结构要求。算法的核心思想是:利用需要处理的原始图像中当前像素点周围 3×3 像素矩阵之内的 9 个像素点的相关性,将每个像素的 RGB 分量都由以这个像素为中心的 3×3 像素矩阵进行线性插值而成。按照这个思想可以将所有图像中的 3×3 矩阵分成三类^[5,6]。它的分类情况如表 1 所示。

表 1 Bayer 图像格式分类

奇行偶列	奇行奇列	偶行偶列	偶行奇列
BGB	GBG	GRG	RGR
GRG	RGR	BGB	GBG
BGB	GBG	GRG	RGR

按照表 1 的分类,便可以得到各个矩阵的具体计算方式。例如,对于奇行偶列的像素点而言,它的红色分量为其本像素点的像素值,它的绿色分量为其上下左右的 4 个绿色像素和的 1/4,它的蓝色分量为其左上、

左下、右上和右下的 4 个蓝色像素和的 1/4。其他图像矩阵的计算方式如下所示:

奇数行偶数列像素:

$$R_{(2,2)} = R_{(2,2)}$$

$$G_{(2,2)} = (1/4)(G_{(1,2)} + G_{(2,1)} + G_{(2,3)} + G_{(3,2)})$$

$$B_{(2,2)} = (1/4)(B_{(1,1)} + B_{(1,3)} + B_{(3,1)} + B_{(3,3)})$$

奇数行奇数列像素:

$$R_{(2,2)} = (1/2)(R_{(2,1)} + R_{(2,3)})$$

$$G_{(2,2)} = G_{(2,2)}$$

$$B_{(2,2)} = (1/2)(B_{(1,2)} + B_{(3,2)})$$

偶数行偶数列像素:

$$R_{(2,2)} = (1/2)(R_{(1,2)} + R_{(3,2)})$$

$$G_{(2,2)} = G_{(2,2)}$$

$$B_{(2,2)} = (1/2)(B_{(2,1)} + B_{(2,3)})$$

偶数行奇数列像素:

$$R_{(2,2)} = (1/4)(R_{(1,1)} + R_{(1,3)} + R_{(3,1)} + R_{(3,3)})$$

$$G_{(2,2)} = (1/4)(G_{(1,2)} + G_{(2,1)} + G_{(2,3)} + G_{(3,2)})$$

$$B_{(2,2)} = B_{(2,2)}$$

FPGA 具有丰富的逻辑资源和触发器资源,其内嵌大量乘法器和丰富的 RAM 资源,特别适合大量数据的并行运算,软件设计时应该充分发挥 FPGA 的特长,以提高处理速度^[7,8]。由于邻域线性插值法不可避免地将图像数据变换成 3×3 的图像矩阵。为了解决这一问题,该系统中采用了一种合理结合 FPGA 硬件结构的 FIFO_FD 算法模型。具体算法模型如图 3 所示。

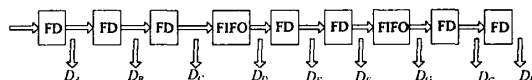


图 3 FIFO_FD 的算法模型

运行流程: 8 位图像信号送到第一个移位寄存器,经过移位操作从移位寄存器 (FD) 存入左边第一个 4192-Byte-FIFO (先入先出寄存器),存入一行图像数据后,当第二行图像数据送达并经过移位操作从 FD 存入左边第一个 FIFO 时,存储在第一个 FIFO 的数据开始读出到第四个 FD,再经过移位操作存入第二个 FIFO,等两行图像数据都存储之后,当第三行图像数据送达至第三个 FD 时,后两个 FIFO 分别读出前两行中前三个图像数据,此时就可以从 FD 和 FIFO 的输出端口读取到一个 3×3 的图像数据矩阵:

$$\begin{bmatrix} D_1 & D_H & D_G \\ D_F & D_E & D_D \\ D_C & D_B & D_A \end{bmatrix}$$

然后可以根据插值计算公式计算 R, G, B 信号。模板计算,不可避免地存在边界效应。运用本方法

也可以简便地对其进行处理,对边界处理如下:对图像四周全部补零,即先将图像扩展成 $2\,594 \times 1\,946$ 大小,然后计算得到 $2\,592 \times 1\,944$ 大小的图像,这样得到的图像仍具完整尺寸。只需在运算时,针对不同四周特殊的像素采用裁减公式(系统中不产生零像素,只是对计算公式中相应边界元素补零)获得。过程如下:

第一行图像读入第一个 FIFO 后,第二行图像开始读入左边第一个 FD 时,开始计算第一行真彩数据,这时候第二个 FIFO 没有数据,相当于在第一行的数据前面补零。第 1 944 行图像读入第一个 FIFO 后,第 1 943 行图像读入第二个 FIFO 时,开始计算最后一行(第 1 944 行),这时候第一个 FD 已经没有数据读入,相当于在第 1 944 行的数据后面补零。

对列的操作也是如此,每一行的第一个元素读出到 B, E, H 位置时开始计算,这样每一列的第一个元素前相当于是零元素。每一行的最后一个元素读出到 B, E, H 位置时开始计算,这样每一列的最后一个元素后相当于是零元素。

3 结 语

针对 Bayer 滤色器彩色特性,结合 FPGA 的硬件结构,充分考虑了图像数据处理时所消耗的硬件资源和处理速度之间的矛盾,提出一种高流水深并行的 FIFO 加 FD 的图像处理架构。

这里提出的硬件架构对于处理一般的 3×3 的图像矩阵可以节省 $1/3$ 的 RAM 或 FIFO 的资源开销,简便了边界效应的处理,实时性也达到了最高^[9]。此方法更

可以适用于 FPGA 对于一般图像信号的算法处理,例如 Sobel 算子、中值滤波、Bayer 图像的彩色恢复等^[10]。

参 考 文 献

- [1] Micron. 1/2. 5 - inch 5 MP CMOS Digital Image Sensor[EB/OL]. <http://www.micron.com/imaging>.
- [2] Pei S C, Tam I K. Effective Color Interpolation in CCD Color Filter Arrays using Signal Correlation [J]. IEEE Trans. on Circuits and Systems for Video Technology, 2003, 13(6): 503 - 513.
- [3] 王开军,姜宇柏. 面向 CPLD/FPGA 的 VHDL[M]. 北京:机械工业出版社,2006.
- [4] 刘皖,何道君,谭明. FPGA 设计与应用[M]. 北京:清华大学出版社,2006.
- [5] 刘方. 基于 Bayer 彩色滤波阵列插值算法的研究[D]. 成都:电子科技大学,2006.
- [6] 彭俊,高伟. 基于 FPGA 的 Bayer 图像彩色恢复快速算法研究及实现[J]. 科学技术与工程, 2007, 13(7): 1 671 - 1 819.
- [7] 石英,李新新,姜宇柏. ISE 应用与开发技巧[M]. 北京:机械工业出版社,2007.
- [8] 华清远见. FPGA 应用开发入门与典型实例[M]. 北京:人民邮电出版社,2008.
- [9] 刘晓松,杨新,文遼,等. 一种用于数字图像传感器的彩色插值算法[J]. 中国图像图形学报, 2003, 8(5): 516 - 521.
- [10] Meyeer Baese. 数字信号处理的 FPGA 实现[M]. 北京:清华大学出版社,2006.
- [11] 许建,王福明. 指纹图像预处理算法研究[J]. 现代电子技术, 2009, 32(1): 84 - 86.

12 英寸集成电路生产线今年底试投产

1月19日,“909工程升级改造——12英寸集成电路生产线项目”启动仪式在上海宏力半导体制造有限公司举行。

集成电路产业是国民经济和社会发展的基础性、先导性和战略性新兴产业,是电子信息产业的基础与核心,是推动信息化和工业化融合发展、走新型工业化道路的重要力量。在党中央、国务院的高度重视和亲切关怀下,在上海市的大力支持下,作为“909”工程的主要承建单位,1999年华虹集团建成了国内第一条8英寸集成电路生产线,标志着我国集成电路大生产技术迈入了国际主流行列。经过多年努力,目前该生产线已经拥有每月超过7万片的8英寸晶圆生产能力,具备了向12英寸生产线

迈进的基础与条件。“909”工程升级改造项目启动,是落实国务院关于保增长、扩内需、调结构、惠民生的积极举措,是落实《电子信息产业调整和振兴规划》的重大工程任务和目标,也是集成电路产业发展立足当前、谋划长远的长期部署。

这次“909”工程升级改造项目在已取得成果的基础上,将建成国内第一条国资控股、主要面向国内市场、月产3.5万片12英寸(90 nm - 65 nm - 45 nm)集成电路的生产线,以加工逻辑芯片和闪存芯片为主,并力争使逻辑类产品的比例达到70%以上,其中为国内企业加工逻辑芯片的比例将达到50%以上。

(摘自中国电子报)

基于FPGA的传像光纤束图像预处理器

作者: 汪精明, [WANG Jingming](#)
作者单位: [上海交通大学, 继续教育学院, 上海, 200030](#)
刊名: [现代电子技术](#) 
英文刊名: [MODERN ELECTRONICS TECHNIQUE](#)
年, 卷(期): 2010, 33(4)
被引用次数: 0次

参考文献(11条)

1. [Micron 1/2.5-inch 5 MP CMOS Digital Image Sensor](#)
2. [Pei S C, Tam I K Effective Color Interpolation in CCD Color Filter Arrays using Signal Correlation](#)
2003(6)
3. 王开军, 姜宇柏. [面向CPLD/FPGA的VHDL](#) 2006
4. 刘皖, 何道君, 谭明. [FPGA设计与应用](#) 2006
5. 刘方. [基于Bayer彩色滤波阵列插值算法的研究](#) 2006
6. 彭俊, 高伟. [基于FPGA的Bayer图像彩色恢复快速算法研究及实现](#) [期刊论文] - [科学技术与工程](#) 2007(13)
7. 石英, 李新新, 姜宇柏. [ISE应用与开发技巧](#) 2007
8. 华清远见. [FPGA应用开发入门与典型实例](#) 2008
9. 刘晓松, 杨新, 文俊, 汪进. [一种用于数字图像传感器的彩色插值算法](#) [期刊论文] - [中国图象图形学报A辑](#) 2003(5)
10. [Meyeer Baese 数字信号处理的FPGA实现](#) 2006
11. [许建, 王福明 指纹图像预处理算法研究](#) [期刊论文] - [现代电子技术](#) 2009(1)

本文链接: http://d.g.wanfangdata.com.cn/Periodical_xddzjs201004013.aspx

授权使用: 陕西理工学院(sxlgxy), 授权号: 3ff0c02d-e809-4b08-9b67-9df2010f8ff3

下载时间: 2010年9月15日