

# 基于 FPGA 的实时中值滤波器硬件实现

王 莉, 苏光大

(清华大学 电子工程系, 北京 100084)

**摘 要:** 针对高清图像在中值滤波预处理过程中排序量多、速度慢的特点, 提出适合邻域图像并行处理机的分块存储方法。在流水线结构下, 1 个时钟周期可以并行处理 32 个  $3 \times 3$  邻域的中值滤波运算, 实现了高速、实时的  $1\,920 \times 1\,080$  灰度图像中值滤波器。

**关键词:** 高清视频监控; 中值滤波器; 邻域图像并行处理机; FIFO

中图分类号: TN911.73

文献标识码: A

文章编号: 0258-7998(2011)04-0058-03

## Design of real-time median filter based on FPGA

Wang Li, Su Guangda

(Department of Electronic Engineering, Tsinghua University, Beijing 100084, China)

**Abstract:** Aiming at the characteristics of median filter that high quantity sort and low speed in high definition pre-processing, this paper introduces block storage method in neighborhood image parallel processor, and in pipeline structure, one clock cycle can parallelly run 32 times  $3 \times 3$  median filter operation. The system can implement median filter with  $1\,920 \times 1\,080$  size quickly and real-timely.

**Key words:** high definition video surveillance; median filter; neighborhood image parallel processor; FIFO

高清视频监控逐渐成为市场的热点, 视频监控不仅要求把现场图像捕获并保存, 而且还要尽可能清晰。在高清图像的生成和采集过程中, 往往会受到各种噪声的干扰, 使高清图像的质量变差, 因此必须对图像进行滤波、平滑等预处理来消除噪声。中值滤波作为一种非线性滤波方法, 既可以消除随机噪声和脉冲干扰, 又可以很大程度地保留图像的边缘信息, 得到了广泛的运用。在许多实际应用场合, 如高清视频监控、X 光图像的降噪等, 需要快速且实时地进行中值滤波, 软件实现达不到实时处理的要求, 因此选用硬件实现。

在硬件实现上, 文献[1]、[2]等采用行延迟的方法形成邻域数据, 以实现  $3 \times 3$  的中值滤波。文献[7]为了提高红外成像跟踪器设计了大窗口的中值滤波器。文献[3]、[4]提出了邻域图像帧存的存储结构, 该结构充分利用了图像帧存的数据结构转换特性, 并行高速提供邻域图像数据, 配以 FPGA 作为并行处理器, 高速实时地实现了中值滤波。但是以上研究都是基于标清图像的中值滤波器, 处理的图像大小一般为  $256 \times 256$ 、 $512 \times 512$  的灰度图等, 很少有实现高清图像的中值滤波器。本文在文献[3]、[4]的理论基础上, 在苏光大主持研制成功的 NIPC-

3 邻域图像并行处理机上实时实现了  $1\,920 \times 1\,080 \times 8$  bit 的高清图像的中值滤波器。该系统的硬件是基于一个标准的 PCI 板卡, Altera 公司的 CycloneII FPGA 是图像处理系统的核心, 此外, 该板卡还包括了若干片 SRAM、视频采集转换芯片、CPLD 和 PCI 接口芯片。NIPC-3 硬件处理的结果由 PCI 传到计算机做后续处理, 是软硬件结合的系统。

### 1 快速二维中值滤波器算法

本文中值滤波器排序算法用文献[2]提出的快速排序算法。如图 1, 将  $3 \times 3$  窗口内的各个像素分别定义为 M11、M12、M13、M21、M22、M23、M31、M32、M33。首先分别对窗口中的每一行计算最大值、中值、最小值不难判断。9 个数值中, 3 个最大值中的最大值和 3 个最小值中的最小值一定是 9 个像素中的最大值和最小值; 3 个中值中的最大值至少大于 5 个像素; 即本行中的最小值和其他 2 行的中值及最小值; 而 3 个中值中的最小值至少小于 5 个像素; 即本行中的最大值和其他两行中的中值及最小值。最后, 比较 3 个最大值中的最小值 Min\_of\_Max, 3 个中值中的中值 Med\_of\_Med, 3 个最小值中的最大值 Max\_of\_Min, 得到中间值即为滤波的最后结果

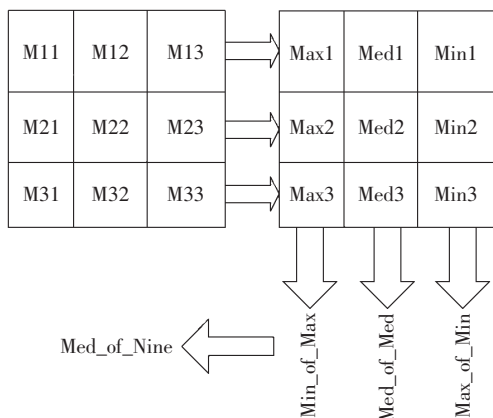


图1 滤波窗口大小为 3x3 的快速中值滤波算法

Med\_of\_Nine。

利用这种排序法的中值滤波运算仅需 17 次比较，且该算法十分适用于在 FPGA 上做并行处理，大大提高了滤波的速度。

## 2 FPGA 硬件实现

邻域图像并行处理机是一种以邻域图像帧存提供邻域图像数据、以邻域图像处理器并行邻域图像处理的图像并行处理机，其本质是邻域数据（即多数据）的并行处理<sup>[4]</sup>。中值滤波系统框图如图 2 所示，主机通过 PCI 接口将待处理数据写入共享 RAM，数据再由共享 RAM 转入邻域存储体，利用行顺序邻域生成方法<sup>[5]</sup>，将数据由串行转化为并行，实现处理并行，达到数据的高速处理。邻域存储体是由 4 片 SRAM 组成，型号是 IS61SP6464，位宽为 64 bit，一次可以存取 8 个字节，4 片 SRAM 并行排列，一个时钟周期最多可以吞吐 32 个字节。见图 3，考虑一个  $N1 \times 1$  的随机邻域， $N2$  个时钟周期就可以得到  $N1 \times N2$  大小的邻域。然后再将中值滤波模块结果通过 FIFO 缓存写入共享 RAM，传到 PC 机显示。

### 2.1 分块存储方法和并行运算结构

如图 4，以  $256 \times 256$  大小的图像为例，将其划分为 8 个 256 行 32 列的图像块，中值滤波运算就是按照块的顺序，对每块图像从上到下进行<sup>[5]</sup>。每一次存储体访问读出一行邻域后，通过流水线队列即可形成  $n \times 32$  的邻

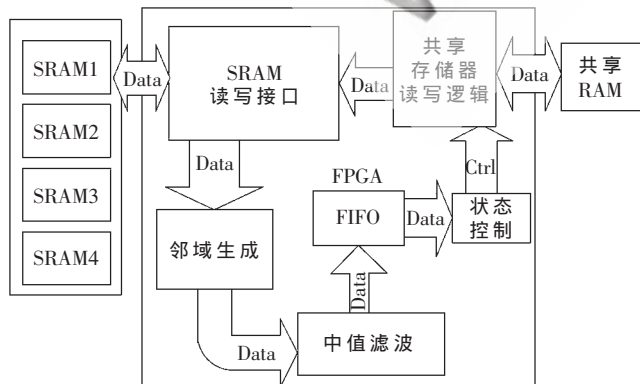


图2 中值滤波系统框图

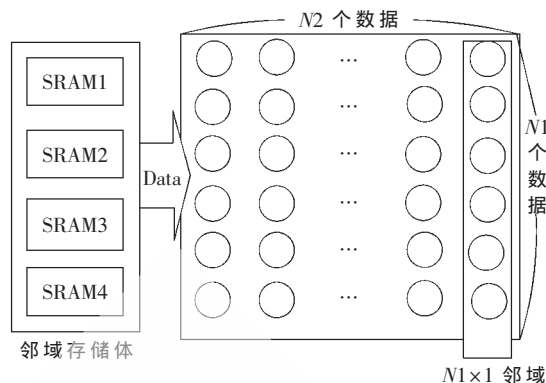


图3 行顺序邻域的形成

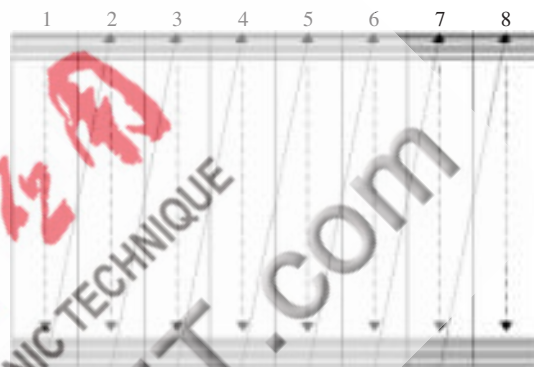


图4 图像的扫描及运算顺序

域，对于中值滤波算法  $n$  为 3。为了最大化地提高图像处理速度，采取了 32 个  $3 \times 3$  邻域的并行计算。但是构造 32 个  $3 \times 3$  邻域，需要额外增加 2 列数据，组成 3 行 34 列的运算矩阵。这额外的 2 列数据正是前一图像块的最右端的 2 列，为了后续运算的需要，已经保存在 RAMa 或 RAMb 中了。RAMa、RAMb 的作用是实现乒乓 RAM 操作，例如向 RAMa 中写当前图像块的最右端 2 列时，处理单元同时从 RAMb 中取出前一个图像块的最右端 2 列数据参与运算。运算单元架构如图 5，这样每一次并行计算就得到了 32 个 8 bit 的结果，对应 32 个结果像素，即图 5 中的 result 为 256 bit。

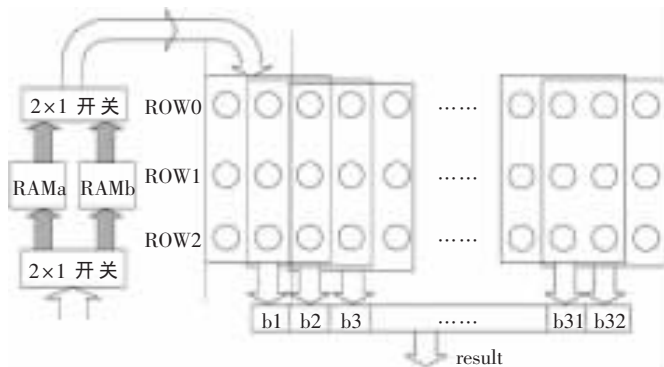


图5 中值滤波运算单元结构

### 2.2 FIFO 缓存

共享 RAM 芯片采用了 Cypress 公司的 CY7C1380，这是一款 32 bit 位宽、2 MB 容量的同步 SRAM。因为系统

## 集成电路应用 Application of Integrated Circuits

采用流水线结构,一个 clk 即可产生 256 bit 的结果,需要写入到 32 bit 的 SRAM,如果不加入缓冲器,必定会有结果数据的丢失,为此,加入一个 FIFO,将 256 bit 结果分 8 次写入共享 RAM,每次写 32 bit,这样,FIFO 完成了写快读慢的缓冲过程。FIFO 的深度取决于需要缓冲的数据量,缓冲的数据量取决于写速率和读速率,见式(1)。

$$\frac{\text{FIFO 深度}}{\text{写入速率}-\text{读出速率}} = \frac{\text{数据量}}{\text{写入速率}} \quad (1)$$

### 3 FPGA 实验结果

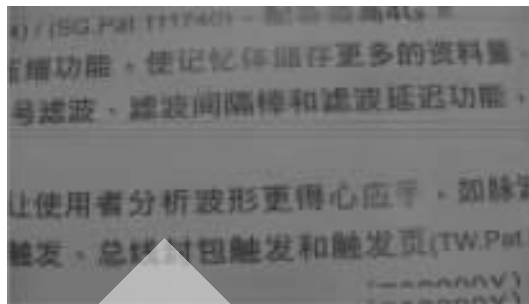
图 6(a)是从高清摄像机随机采得的带噪图像,从图 6(b)可看出本文设计的针对大图像(1 920×1 080)的中值滤波器有较好的去噪效果。

整个电路结构采用 Verilog 编写,该中值滤波器能达到的最大工作频率为 60 MHz,该中值滤波器对如图 6 所示的 1 920×1 080 灰度图执行中值滤波的时间约为 10 ms,这个速度要比实时快 4 倍。为了突出本文设计的中值滤波器的性能,本文采用 512×512 的灰度图做实验。将本文设计的中值滤波器与文献[1]、[3]设计的中值滤波器的性能比较,可以看出,本文设计的中值滤波器的处理速度约为文献[1]方法的 8 倍,约为文献[3]方法的 20 倍,如表 1 所示。

本文针对 NIPC-3 的特点,用适合并行处理的存储方法,成功实现了 1 920×1 080 大小图像的实时中值滤波系统。该系统有较好的去噪效果,同时在速度上完全满足实时需要,是一个高速且完整的系统。该系统可以用于高清视频图像的预处理,有很大的实用价值。

#### 参考文献

- [1] 石婷,张红雨,黄自立.基于 Stratix II EP2S60 的改进中值滤波器的设计实现[J].国外电子器件,2007(1):12-15.
- [2] 徐大鹏,李从善.基于 FPGA 的数字图像中值滤波器设计[J].电子器件,2006,29(4):1114-1117.
- [3] 苏光大.实时中值滤波器的实现[J].电视技术,1999(5):25-27.



(a)输入高清带噪声图像



(b)FPGA 实验结果

图 6 FPGA 实验结果(图像大小 1 920×1 080)

表 1 中值滤波性能比较(512×512 图像大小)

方法	文献 3	文献 1	本文方法
处理时间/ms	40	16.8	2.19

- [4] 苏光大.邻域图像处理机中的新型邻域功能流水线结构[J].电子学报,2000,27(2):1-4.
- [5] 刘炯鑫.NIPC-3 邻域图像并行处理机的软件设计[D].清华大学电子工程系,2007.

(收稿日期:2010-12-06)

#### 作者简介:

王莉,女,1987年生,硕士研究生,主要研究方向:数字图像处理 FPGA 实现。

苏光大,男,1948年生,教授,主要研究方向:图像处理系统。