

一种基于 FPGA 和 PCI 总线天文图像实时采集与处理系统的设计

唐清善¹, 费玮玮², 蔡惠智¹, 杨 力¹, 李亚捷³

(1. 中国科学院 声学研究所, 北京 100190; 2. 中国科学院 电子学研究所, 北京 100190;

3. 长沙理工大学, 湖南 长沙 410076)

摘要:提出了一种基于 FPGA 和 PCI 总线天文图像实时采集与处理系统设计;其包括硬件结构、FPGA 数据获取和传输逻辑。该系统能够在 FPGA 中实现对最高峰值是 660 MB/s, 均值为 200 MB/s, 帧速率是 2500 帧/s 的高速 CMOS 相机天文图像数据的实时采集和处理, 并由桥接芯片 PCI9656 通过 PCI 总线传输给 PC 机进行进一步处理。

关键词:FPGA; PCI 总线; 天文图像; 实时采集和处理

中图分类号:TP206 **文献标识码:**A **文章编号:**1000-8829(2009)02-0017-04

Design Based on FPGA and PCI Bus for Astronomical Images' Real Time Acquisition and Processing System

TANG Qing-shan¹, FEI Wei-wei², CAI Hui-zhi¹, YANG Li¹, LI Ya-jie³

1. Institute of Acoustics, Chinese Academy of Sciences, Beijing 100190, China;

2. Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China;

3. Changsha University of Science & Technology, Changsha 410076, China)

Abstract: A kind of astronomical digital images' real-time acquisition and processing system based on FPGA and PCI bus is presented, including hardware structure, design for digital image data capture and data transmission to PC through PCI bus in FPGA (Xilinx Virtex 4). The system can collect and process the digital image output from high speed CMOS camera which has peak data rate 660 MB/s, average rate 200 MB/s, and frame ratio 2500 f/s.

Key words: FPGA; PCI bus; astronomical digital image; real-time acquisition and processing

随着成像技术的不断发展和进步,与基于 CCD (电荷耦合器件)成像技术的相机相比,基于 CMOS (互补性金属氧化物半导体)成像技术的相机具有省电、响应速度快、反应驱动速度快、容易达到高像素以及可以随机调整观测者感兴趣的输出图像窗口、输出图像帧频高和输出图像数据速率高等特性,并且还具备体积小、制造方便和成本低等优势,因而在天文探索领域逐步得到了广泛的应用。然而,CMOS 相机输出的数字化图像分辨率高、信息量大,使后续的传输、处理等过程的实现变得极为困难,从而给整个图像系统的设计与实现带来了巨大的挑战。如在某光学天文台地面观测站一个实时观测太阳黑子的工程项目中,所采用

的符合 CameraLink 标准(一种高速数字图像接口标准)高速、高性能 CMOS 相机输出的天文图像数据输出最高峰值可达 600 MB/s,均值为 200 MB/s。

为解决这些问题,笔者提出了一个系统设计,其基于 FPGA(field program gate array)芯片,通过高效率的 PCI(peripheral component interconnect)总线,构建了一个高性能的图像采集处理系统,能够完成该天文台的所需天文图像的实时采集和处理。

1 系统介绍

1.1 系统基本原理

系统基本原理如图 1 所示,被测目标天体(太阳黑子等)经过天文望远镜后在高速的 CMOS 相机成像,系统通过相机的 CamerLink 接口获取图像数据;该图像数据经过系统数据处理单元 FPGA 的预处理(数

收稿日期:2008-09-11

作者简介:唐清善(1977—),男,湖南人,在读博士生,主要研究方向为阵列信号处理。

据缓存、PCI 逻辑控制等)后,通过 PCI 总线传输给主机,主机基于一定的算法对数据进行处理,得到目标天体的实时图像。

1.2 系统关键器件选择

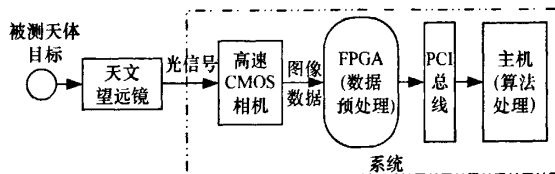


图1 系统基本原理图

(1) 相机选择。

由于目标天体的运动速度很快或者形体变化快,系统需要捕获其微小的图像细节变化,因而选择高帧频的相机——Mikrotron公司的MC1310。其技术特点为^[1]:

① 用户可以配置相机参数并能保存参数至相机内部的ROM区;在高帧速率下能够实现像素合并功能。

② 数据速率最高为660 MB/s,其像素最高为1280×1024;在100×100的取景像素下,帧速率可为4850 帧/s。

③ 曝光方式以及曝光时间可以通过CameraLink接口配置进行选择,方式可为异步曝光、同步曝光,时间可以固定或者外部直接控制。

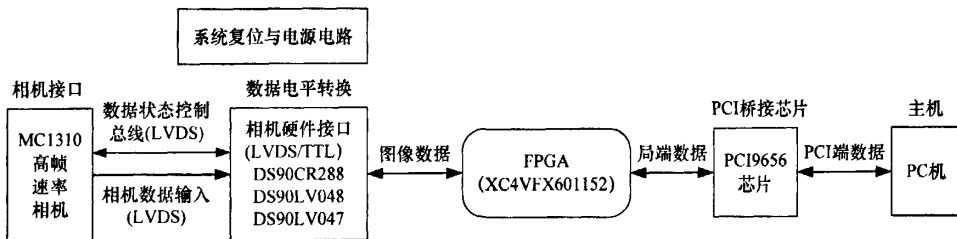


图2 系统硬件设计原理框图

① 系统上电,首先完成一系列初始化工作,PC机通过底层驱动PCI控制总线配置桥接芯片PCI9656的寄存器,使之处于所需工作模式,同时通过桥接芯片PCI9656对FPGA和相机进行复位。

② 接着PC机的用户程序运转起来,再次通过FPGA对相机中的寄存器进行工作模式设置(包括曝光时间、图像尺寸大小、帧速率等)。其选择为是否使用默认的相机出厂工作设置,或者使用上次所保存在相机中的用户自定义的相机工作模式,或者设置本次所需要的工作模式。

③ 在设置完毕后,PC机再次通过FPGA读取当前的相机工作模式,PC机发出读取命令;FPGA通过接口芯片DS90CR288对图像数据进行获取,预处理后通过PCI9656传输图像数据给PC机,进入实时图像数据获

(2) FPGA的选择。

系统图像预处理的图像数据速度高,其需要高速、大容量的缓存区,且相机CamerLink的接口和PCI总线的IO管脚需求多,因此系统在选择FPGA时,选择了Xilinx公司的高端FPGA(XC4VFX601152);它具有400多个可用的IO管脚、232个18 KB的BlockRAM以及运行频率可以在200 MHz以上等特点,能够满足系统要求。

(3) PCI总线桥接芯片的选择。

系统中经过FPGA预处理后的图像数据的速度均值为200 MB/s,因此选择PLX公司的PCI9656芯片,其局端总线带宽指标为66 MHz时钟,数据宽度为32 bit,数据速度可以达到256 MB/s,主机端传输速率最高为528 MB/s,能满足要求。

2 系统设计

2.1 系统电路设计思想以及工作流程

电路设计思想:系统电路是在基于FPGA具有高速并行处理数据以及IO接口丰富等性能的基础上,通过CameraLink接口电路(LVDS/TTL转换)获取图像数据经过FPGA内部FIFO(first in first out)进行缓存,缓存后的图像数据在FPGA内部PCI端逻辑控制下经过PCI总线传输电路进行传输。

系统硬件电路设计如图2所示,其工作流程如下:

取阶段,PC机对读取所需的图像数据进行处理。

2.2 系统的逻辑设计

2.2.1 图像数据采集获取预处理设计

系统的图像数据采集获取预处理设计的原理如图3所示,其中左边的信号输入说明为:

① X_CLK, Y_CLK, Z_CLK 分别为相机的X,Y,Z三通道输出的数据同步的时钟信号;

② X_FVAL, X_DVAL, X_LVAL; Y_FVAL, Y_DVAL, Y_LVAL; Z_FVAL, Z_DVAL, Z_LVAL 分别为相机的X,Y,Z三通道输出的表明数据状态的控制信号;

③ X_DATA(24 bit), Y_DATA(24 bit), Z_DATA(16 bit) 分别为相机的X,Y,Z三通道输出图像数据信号。

图3右边的信号接口说明如下:PCI_FIFO_RDEN

为 PCI 总线读使能信号,PCI66M 为 PCI 总线的时钟信号,DATAOUT(32 bit)为待输出给 PCI 总线的数据, camera_datain_empty 为 FIFO_PCI 数据为空的信号, SYS_RST 为系统的复位信号。

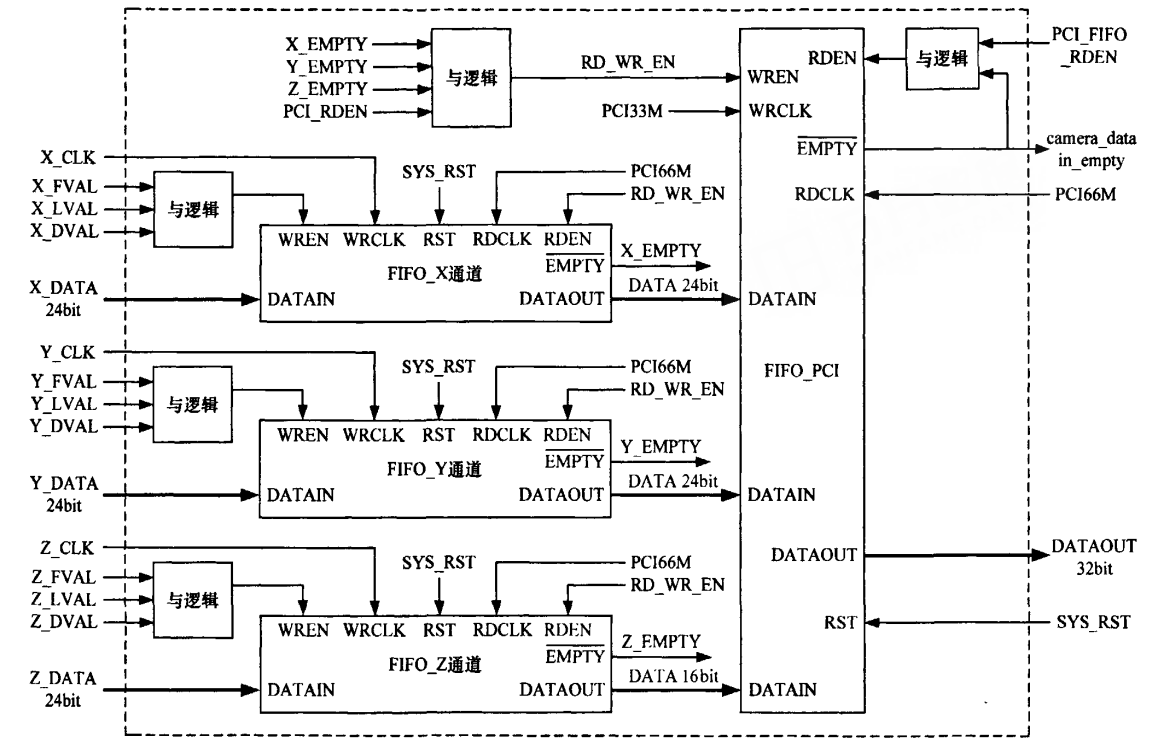


图3 图像数据获取预处理框图

FPGA 中图像数据获取预处理包括 2 级 FIFO,第 1 级中 X 通道为 24 bit, Y 通道为 24 bit, Z 通道为 16 bit,这不利于图像数据的同步采集。为消除数据异步的情况,FPGA 内部设计了由 3 个 FIFO 组成的数据缓冲器组,使得数据同步^[2]。第 2 级 FIFO 是满足主机 PCI 接收数据宽度(主机为 32 bit)的需要。

其中第 1 级 FIFO 数据读出端时钟为 PCI 时钟并作为统一的数据同步时钟;当 3 个 FIFO 都非空且 PCI 读取数据使能端有效时,产生一个读请求信号,读出第 1 级 FIFO 数据;同时该读请求信号为第 2 级 FIFO 的写使能信号,第 2 级 FIFO 的时钟信号与第 1 级 FIFO 数据读出端的时钟一致,经过第 2 级 FIFO 缓存的图像数据以 PCI 系统时钟 66 MHz,DATAOUT 为 32 bit 宽度格式输出。

2.2.2 系统的图像数据 PCI 传输控制设计

PCI 端工作模式可以设置(有 M,C,J 模式),系统中采用的工作模式为 C 模式;其数据突发传输模式选择有单次、4 个字、连续突发传输,系统选用连续突发传输。主机通过 PCI9656 读取数据的逻辑控制状态机设计如图 4 所示。

状态机中所表示的信号说明^[3]如下: Lhold 为局端请求使能有效信号,Host_mode_cont 为局端从模式万方数据

有效信号,lwr 为局端写使能有效信号,Ads_n 为局端地址有效信号,Blast_n 为局端突发使能有效信号,Ready_n 为局端数据准备有效信号。为验证局端数据读取逻辑正确与否,使用仿真软件 Modelsim 对该部分进行了布线前仿真,仿真的结果如图 5 所示。

2.3 系统硬件电路设计中所注意的地方^[4]

- ① X,Y,Z 通道的时钟输入最好是接入 FPGA 的全局时钟管脚;
- ② 在 FPGA 内部逻辑设计中,同一功能模块逻辑尽量使用同一全局时钟;
- ③ 电路板设计中尽量使得 X,Y,Z 通道 LVDS 信号线等长,以及 TTL 的数据线等长,有关计算信号延迟可以参照设计经验:1000 mil (1 mil = 25.4 × 10⁻⁶ m)的线长有 2 ns 的延迟;
- ④ PCI 总线的时钟线长为 2500 mil,正负误差为 10 mil;
- ⑤ 电源尽量使用低纹波系数的电源,该指标应小于 5%。

3 系统的软件开发介绍

在 Windows 操作系统下,支持 PCI 总线及其设备的驱动程序类型有 Windows98/95 的 VXD(virtual X

driver)、支持 Windows NT 的 KMD(kernel mode driver) 和支持 Windows98、Windows2000、Windows XP 的 WDM(Windows driver model)^[5]。本设计选择 Windriver 作为 PCI9656 在 WinXP 下驱动程序的开发工

具。与其他开发工具如 DDK、DriverStudio 等相比, Windriver 自带 PLX 公司桥接芯片的开发包,操作更加简单、方便,可以直接对端口操作,因而可以使设计主要集中在用户模式下,降低了开发难度,大大缩短了驱

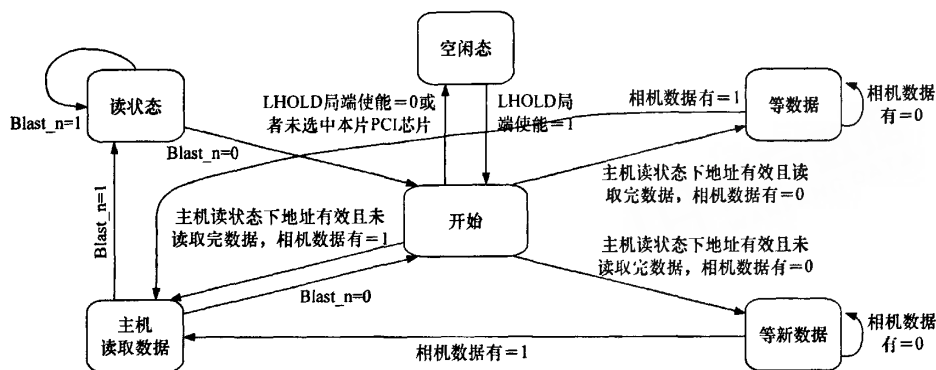


图 4 PCI9656 逻辑控制状态机图



图 5 主机读取图像数据的逻辑时序仿真图

动开发周期。

4 结束语

系统基于 FPGA(XC4VFX60) 芯片,构建了图像数据预处理模块和 PCI9656 芯片的硬件逻辑驱动模块;并利用 PCI 总线突出的高速传输性能,实现了对数据量峰值为 660 MB/s,均值为 200 MB/s,数据输出格式帧率为 2500 帧/s、每个像素为 8 bit 标准的灰度图像

的高速 CMOS 相机图像数据的采集与处理。目前该系统在某光学天文台地面观测站中已经应用于对太阳黑子观测的项目上,为满足项目的更进一步的需求,需要把天文图像数据能够从 FPGA 中直接转发给 DSP(数字信号处理芯片)进行图像处理,这样会大大提高系统的数据处理能力,这也是系统的进一步的发展方向。

参考文献:

- [1] MC13xx users manual rev. 1.11 [Z]. Mikrottron GmbH, 2003.
- [2] 李国梁,张歆,袁建平,等.基于 PCI 总线的数据采集与回放处理系统[J].现代仪器,2006,12(4):49-51.
- [3] PCI9656 data book[Z]. PLX Technology, Inc., 2002.
- [4] Virtex-4 user guide [EB/OL]. <http://www.xilinx.com>, 2007.
- [5] 武安河. Windows 2000/XP WDM 设备驱动程序开发 [M]. 北京:电子工业出版社,2005.

□

第 3 届“研祥杯”翻译形象大使大赛圆满举行

由研祥集团鼎力支持赞助的第 3 届“研祥杯”翻译形象大使大赛决赛于 2008 年 12 月 20 日顺利落下帷幕。

本次大赛 8 月份开始筹备,10 月份召开新闻发布会后进入比赛日程。比赛分为初中组、高中组和成人组,共有千余名选手报名。经过笔试、初赛和半决赛,最后 60 名选手参加了 12 月 20 日在研祥科技大厦多功能厅举行的决赛。

本次大赛的评委都是来自各行各业的知名专家和教授。大赛对参赛选手不但在外语“信、达、雅、清、准、畅”的专业技能上有严格的要求,而且对形象、气质、内涵、风采等进行综合地衡量,从而达到翻译大使专业化、国际化的标准。

本次大赛吸引了大量的媒体跟踪采访,而不少家长也

每次必到比赛现场,一些选手甚至有自己的亲友团。

大赛还吸引了一些企业的关注。获得成人组冠军的是一位深圳大学大四学生,赛后就被一家企业选中,希望她明年毕业后能来她的公司工作。

在日趋国际化的今天,翻译越来越受到社会各界及政府部门的高度重视,各企事业单位亟需大量的翻译人才,特别是能从事同传和交传的尖端外语人才,以满足日趋活跃的外向型政治、经济和文化交流的需要。研祥集团希望通过对本次大赛的公益赞助和支持,能够搭建一个发现翻译人才、培养翻译人才、输送翻译人才的平台,在推动教育事业发展的同时,能够为国家培养更多的国际型人才。 □

一种基于FPGA和PCI总线的天文图像实时采集与处理系统的设计

作者: [唐清善](#), [费玮玮](#), [蔡惠智](#), [杨力](#), [李亚捷](#), [TANG Qing-shan](#), [FEI Wei-wei](#), [CAI Hui-zhi](#), [YANG Li](#), [LI Ya-jie](#)

作者单位: [唐清善, 蔡惠智, 杨力, TANG Qing-shan, CAI Hui-zhi, YANG Li \(中国科学院, 声学研究所, 北京, 100190\)](#), [费玮玮, FEI Wei-wei \(中国科学院, 电子学研究所, 北京, 100190\)](#), [李亚捷, LI Ya-jie \(长沙理工大学, 湖南, 长沙, 410076\)](#)

刊名: [测控技术](#) 

英文刊名: [MEASUREMENT & CONTROL TECHNOLOGY](#)

年, 卷(期): 2009, 28(2)

被引用次数: 0次

参考文献(5条)

1. [MC13xx users manual rev.1.11](#) 2003
2. [李国梁, 张歆, 袁建平](#) 基于PCI总线的数据采集与回放处理系统[期刊论文]-[现代仪器](#) 2006 (04)
3. [PCI9656 data book](#) 2002
4. [Virtex-4 user guide](#) 2007
5. [武安河](#) [Windows 2000/XP WDM设备驱动程序开发](#) 2005

相似文献(10条)

1. 期刊论文 [李增红, 何攀峰](#) 基于PCI总线配置FPGA的技术 -[科技信息](#)2010, 2 (17)
FPGA广泛应用于现代仪器中,但是FPGA的固有配王方式限制了仪器测量功能的扩展和升级.本文分析了FPGA的配置时序,介绍了基于PCI总线和CPLD来配置FPGA的方法,实现了FPGA的在线重配置,方便了仪器测量功能扩展和升级.
2. 期刊论文 [邢法玉, Xing Fayu](#) 基于FPGA的PCI总线接口设计的研究 -[山东纺织经济](#)2007, "" (3)
本文主要研讨可编程器件FPGA做PCI总线从模块设计.文中分析可编程器件在PCI总线产品设计中的可行性和应用前景以及PCI总线从模块接口电路的结构,提出子电路模块的具体实现方案.
3. 学位论文 [许春凤](#) 基于PCI总线的RS编译码接口卡的设计与FPGA实现 2006
本课题从研究应用于AOS系统的RS (255, 223) 编译码接口卡出发,深入地分析和研究了纠错码原理、RS编译码算法与设计、PCI总线标准与设计及FPGA技术。
随着科技的发展,纠错码技术在通信领域中起着越来越重要的作用。RS (Reed-Solomon) 码是一种典型的纠错码,在线性分组码中,它具有最强的纠错能力,因而被广泛应用于各种数据通信系统中,包括AOS系统。本课题是在深入地研究和分析国内外近年来在RS编译码算法及其实现以及相关技术研究进展的基础上,采用FPGA的方式实现了符合AOS标准的RS编译码接口卡。
PCI总线因其在数据带宽、功耗、抗干扰性、开放性等方面的优良性能,使其在嵌入式计算机和工业控制计算机领域得到了迅速普及和广泛应用。对PCI总线标准做了深入地研究和分析,采用mealy状态机的方式,实现了PCI总线控制器。
在设计与实现RS (255, 223) 编译码接口卡的过程中,本课题主要进行了以下几个方面的工作:
1、对通用的RS编译码算法及其相关的纠错码原理进行深入地分析和研究。
2、对RS编译码器基本电路单元:加法模块、乘法模块和求逆模块,进行了研究,在此基础上,专门对乘法模块进行了优化,减少了硬件资源的占用。
3、使用上述加法、乘法和求逆的基本电路单元,实现了RS编码器。
4、对较复杂的译码算法进行了重点设计,采用无逆BM迭代算法,实现了译码算法。译码算法主要包括求伴随式、关键方程求解、钱氏搜索和Forney算法等几部分。在硬件占用资源和时延上,与常规算法相比,都有了改善。
5、对PCI总线标准进行了深入地研究与分析。
6、采用自上而下的设计方法,实现了较困难的PCI总线控制器。从功能上把该控制器分成PCI顶层模块、配置选择模块、基址检查模块、状态机转换模块、奇偶校验模块和锁存模块。
以上所有模块均采用Verilog HDL语言编写,仿真正确之后,集成为一个模块下载到Altera公司生产的Cyclone系列的EP1C12Q240C8芯片中。经验证,该RS (255, 223) 编译码接口卡符合AOS标准。
4. 期刊论文 [王元强, 朱为, WANG Yuanqiang, ZHU Wei](#) 一种通过PCI总线配置FPGA的设计方法 -[现代电子技术](#) 2010, 33 (2)
在软件无线电领域中,系统必须具有较强的动态重构能力.这里讨论PCI协议特点和FPGA配置过程,给出一种通过PCI总线配置卡上FPGA的设计方法.硬件部分采用CPLD实现读写配置空间、PCI总线时序和FPGA配置时序,软件部分采用WinIo作为驱动程序.设计上简洁、灵活,不依赖专用PCI接口芯片,也不需要下载电缆.实践证明,这种方法便捷可靠,对PCI卡的设计具有很好的参考价值.
5. 学位论文 [柳钰](#) PCI从设备控制器的FPGA设计与实现 2007
随着星载电子系统复杂度、小型化需求的提高,SoC已经成为应对未来星载电子系统设计需求的解决途径.为了简化设计流程并且提高部件的可重用性,在目前的SoC设计中引入了称之为平台的体系结构模板,用它来描述采用已有的标准核来开发SoC的方法.在星载电子系统中常用部件的分类设计,最终建立一个包括多种功能部件,互连部件和处理部件的设计平台,从而有效的提高星载电子系统的设计能力.在当前NASA和ESA的空间应用中,PCI总线广泛作为背板总线和局部总线,有鉴于此,本研究选择PCI总线作为星载电子系统设计平台要提供的一个互连部件对其进行设计。
针对这一需求,本论文采用自顶向下的设计方法对PCI总线从设备控制器的设计与实现进行了研究,对PCI总线协议做了深刻的分析,完成了PCI总线目标设备控制器的设计,采用Verilog HDL对其进行了RTL级的描述。
在该课题的研究中,采用了目前集成电路设计中常见的自顶向下设计方法,使用硬件描述语言Verilog HDL对其进行描述,重点分析了PCI总线设备

控制器的设计。以PCI总线协议的分析和理解为基础,对PCI总线设备控制器进行了功能分析和结构划分。根据PCI总线设备控制器的功能和结构划分,对PCI总线目标设备控制器的设计思路和各子模块电路的设计和实现进行了详细的分析阐述,并且通过编写测试激励程序完成了功能仿真。应用FPGA作为物理验证和实现载体,进行了面向FPGA的电路综合,进行了布局布线后的时序仿真,证明所实现的PCI目标设备控制器符合基本功能要求,在以上基础上完成了PCI目标设备控制器的FPGA实现。通过这整个论文的工作,按照设计、仿真、综合验证及布局布线的步骤,完成了PCI总线目标设备控制器IP软核的设计。

6. 期刊论文 林青松.王光辉 基于VHDL的PCI总线数据采集卡的研究 -微型机与应用2009, 28 (22)

提出了应用VHDL语言实现PCI数据采集卡的设计方法,对PCI总线主模式控制器的结构、时延测试激励程序完成了功能仿真。应用FPGA作为研究;在单片FPGA中实现了A/D转换器的时序控制、FIFO存储器和PCI总线接口控制器的设计。仿真结果表明,该数据采集卡符合PCI 2.2协议,具有DMA传输功能。

7. 期刊论文 聂鑫.田建生.梁远灯.Nie Xin.Tian Jiansheng.Liang Yuandeng 基于FPGA的PCI总线仲裁器设计 -计算机测量与控制2005, 13 (8)

利用现场可编程门阵列(FPGA)设计PCI总线仲裁器,以适应各种不同要求的应用场合。遵循总线仲裁循环优先级算法原则,选用分布式仲裁结构,利用VHDL语言将PCI总线、总线仲裁器和功能模块进行联合优化设计,实现基于FPGA的PCI总线仲裁器。

8. 学位论文 陈重 PCI总线主设备控制器的FPGA实现 2009

本论文采用基于FPGA的设计原则和方法对PCI总线主设备控制器的设计与实现进行了研究。在深入分析和理解PCI总线协议的基础上,以Altera公司的Cyclone II器件为FPGA芯片,采用自顶向下的设计方法和自底向上的验证策略,成功实现了FPGA与PCI总线的接口连接。

论文侧重于对PCI总线协议的实现,提出了FPGA的总体设计方案,分析了各个模块的功能作用,给出了PCI配置空间、单周期读、写交易、DMA传输和中断处理的详细设计过程,并根据FPGA的验证方法对IP CORE进行了功能仿真,布局布线后的时序仿真和PCB板卡的硬件调试。证明了IP CORE的设计完成了要求的功能。

论文提出的FPGA设计方法,良好的代码设计原则和验证策略对提高设计的灵活性和集成度,确保产品的可靠性和稳定性都有一定的参考价值。

9. 期刊论文 周先谱.全晓梅.ZHOU Xianpu.TONG Xiaomei 基于FIFO队列的PCI总线仲裁器的设计与FPGA实现 -现代电子技术2007, 30 (22)

系统地论述了PCI总线的仲裁机制和常用仲裁协议,简要地分析了常用仲裁协议的优缺点,并在此基础上介绍了一种基于循环优先级仲裁协议和FIFO队列相结合的PCI总线仲裁器的实现方法,旨在解决目前PCI总线仲裁协议中由于优先级循环出现的特权插队问题,并详细说明了基于循环优先级仲裁协议与FIFO队列相结合的总线仲裁器的设计和FPGA硬件实现。

10. 学位论文 蒋豪 基于FPGA的PCI总线从接口IP核的设计与实现 2008

在当前处理器速度越来越快,外设存储越来越大的情况下,人们对计算机总线性能提出了更高要求。PCI局部总线由于其速度快、可靠性高、成本低、兼容性好等特点,在各种计算机总线标准中占主导地位,采用基于PCI标准的接口设计已成为相关项目开发中的优先选择。同时在芯片设计中采用IP(Intellectual Property)技术是IC设计发展到SOC时代的必然选择,建立IP库能为以后的设计节省大量的人力,提高设计效率。基于这样的思想,针对PCI接口使用的广泛性,本文讨论了基于FPGA的PCI总线从接口IP核的设计技术。

在本论文的研究中,重点分析了PCI总线从接口IP核的设计。对PCI总线协议的分析理解是进行PCI总线从接口IP核设计的前提,而对PCI总线从接口IP核的功能分析和结构化分析是设计的关键。本论文在对PCI总线从接口IP核的功能分析和结构分析的基础上,对PCI总线从接口IP核的整体设计和子模块的划分和实现进行了详细的分析阐述。

本论文以功能模块的设计和实现为线索,阐述了PCI总线从接口IP核设计、仿真及综合验证的各个步骤。通过本论文的研究,完成了PCI总线从接口IP核的设计,并且通过编写测试激励程序完成了总线从接口IP核功能仿真,以及布局布线后的时序仿真,并利用Altera的PCI开发板进行了测试,证明所实现的PCI总线从接口IP核完成了要求的功能。

然后,论文对设备驱动程序的设计及实现进行了研究。首先,介绍了WINDOWS2000环境下的设备驱动程序技术,包括驱动程序的发展和现状,详细地论述了WINDOWS2000下WDM驱动程序的结构和相应的开发技术。最后,针对Altera的PCI开发板的工作特点,给出了设备驱动程序和应用程序的设计、调试、测试过程。

总结本课题的研究工作,与采用PCI专用芯片来实现PCI总线从接口相比,本论文采用FPGA设计的PCI总线从接口IP核具有灵活性,同时PCI总线本身又具有广泛的应用,这都使得本论文的研究具有一定的理论价值和重要的应用意义。

本文链接: http://d.g.wanfangdata.com.cn/Periodical_ckjs200902005.aspx

授权使用: 陕西理工学院(sxlxgy), 授权号: c08253dd-c8e2-404e-afff-9df201094af5

下载时间: 2010年9月15日