

长春工业大学

硕士学位论文

基于FPGA的高速图像采集系统的研究与设计

姓名：李颖

申请学位级别：硕士

专业：信号与信息处理

指导教师：陈戈珩

20070101

摘 要

图像采集是数字化图像处理的第一步,开发图像采集平台是视觉系统开发的基础。视觉检测的速度是视觉检测要解决的关键技术之一,也是专用图像处理系统设计所要完成的首要目标^[1]。传统的图像采集卡只能将采集的图像数据实时传输给计算机,而不能传输给专用图像处理系统,因此需要研制专用的图像采集系统,既能够实时高速获取视觉图像,又能实时将图像数据传输给计算机和专用图像处理系统。

FPGA(Field Programmable Gate Array)运算速度快,实时性强,易于并行运算和实现流水线结构,编程相对复杂,它实现图像底层处理速度快,易于通过VHDL(Verilog High Speed Integrate Circuit Hardware Description Language)语言编写程序实现。以FPGA为底层运算和控制核心,能够通过软件编程无限次更改内部硬件逻辑,改变功能,编程后的FPGA相当于专用集成芯片,采用硬件电路实现软件功能,具有很高的运行速度。典型的视觉应用系统可由下列五个部分组成:图像获取、预处理、特征的提取、分类和识别、响应等5个部分组成,其中预处理、特征提取、分类-识别三个阶段分别对应了视觉任务的底层、中层和高层。视觉检测中图像处理的特点是底层图像处理数据量大,算法简单,占有2/3的计算量,高层图像处理算法复杂,但数据量小。因此,底层图像采集及控制过程由FPGA实现;高层图像处理算法由DSP(Digital Signal Processor, 数字信号处理)实现,高速完成视觉传感器的数据处理任务。

本文以Altera公司的Cyclone系列EP1C6为核心构建了图像采集系统,该芯片建立在流水线设计和查找表结构基础上,可以进行并行运算处理,不仅克服其它嵌入式芯片执行速度慢的缺陷,而且完全适于各种图像处理算法的实现。图像预处理中关键是图像噪声的滤除和特征提取,噪声的滤除在图像处理过程中十分重要,它影响图像处理中图像的输入、采集、处理的各个环节以及输出结果的全过程。因此,去噪声是图像处理中极为重要的步骤。一个好的图像处理系统,不论是模拟处理还是数字处理,都是把降低第一级的噪声作为重要工作。

本篇论文阐述了图像噪声的来源以及噪声滤除的基本理论,给出了改进的非线性滤波算法,并进行各种算法的MATLAB仿真比较;概述了图像采集系统的工作原理和各部分组成及其功能。采用EDA技术,设计以FPGA芯片为核心控制的图像采集系统,实现了改进的非线性滤波算法,仿真结果说明算法的有效性和系统的高速性能达到了预期目的。本文在视觉检测的主要指标,即目标识别和处理速度方面进行了有意义的探索和较为深入的研究,在实践应用方面有着较强的实用价值。

关键词 滤波 图像采集 图像处理 FPGA 噪声

Abstract

The first step of digital image is image capture, design system of the image capture is the based of employer visual system. The rate of measure the visual image is the sticking point technology and the chiefly target. Traditional card of image capture transfer data of the image to computer but not transfer it to the system of image processor. Therefore, we need to design a special image capture system, not only capture image high speed, but also transfer data of image to computer and special image processor.

FPGA (Field Programmable Gate Array) is a high speed operation and real-time element, it can be calculate with parallel mode and realize framework of water, its programmed is complexity correspondingly. Application VHDL (Very High Speed Integrate Circuit Hardware Description Language) write the programmed realizes high speed lower image calculate. Use FPGA process the low image capture and make the center of control, it can be change element inter logic momentarily. To alter the function of the system, so it can become a special integration CMOS chip. Application hardware circuit realize the function of software have very high speed; can be realize real time image capture. Typical Vision application system is made up five parts: image capture, pretreatment, pick-up diagnostic, classify-identify and respond. There into pretreatment, pick-up diagnostic and identify corresponding assume of vision lower, middle and upper. There have lot of data need to process, but suppleness arithmetic, about 2/3 data need to process. The upper have little data need to process, but calculate complexity, this part can be realize use DSP (Digital Signal Processor), it has complicated structure of instruction can be accomplish the task of upper image process with high speed. In this paper, Application Company of Altera series of Cyclone EP1C6 is core design a system of image capture. It can be realize strain algorithmic of image process.

Noise is very importance for image process, it can be infection the all process of image process, if there has lot of noise at the step of image capture, it must be infection the result of image process. Thereby wipe off noise is very important step of image process. A well system of image process will do well at first time to wipe off noise, not only simulate but also digital system.

This paper presents the basic theory of the noise of origin and wipe off. Ameliorate unstrained filter arithmetic, and comparative strain arithmetic

emulation of MATLAB; introduces the elements of the system of image capture and function. Design the system made of core of FPGA, realize the arithmetic of ameliorate nonlinearity, the result show that the system can be realize target of high speed capture image and validity of arithmetic. This paper explore and investigate vision measure of mostly guideline main measure and process speed, it has strongly practicality value in application.

Key Words: Filer, Image capture, Image processing, FPGA, Noise

原创性声明

本人郑重声明：所呈交的学位论文，是本人在导师的指导下，独立进行研究工作所取得的成果。除文中已经注明引用的内容外，本论文不含任何其他个人或集体已经发表或撰写过的作品或成果。对本文的研究做出重要贡献的个人和集体，均已在文中以明确方式标明。本声明的法律结果由本人承担。

论文作者签名：李颖

日期：2007 年 4 月 5 日

第1章 前言

1.1 图像采集系统研究的意义

人类的视觉是获取外界信息的主要的感觉器官。据统计,人类所获得外界信息的80%是靠视觉得到的,因此,视觉传感器是仿生传感器中最重要的部分。人类视觉的模仿多半是用电视摄像机和计算机所技术来实现的,因此又称为计算机视觉^[1]。

视觉图像的采集在现实生活中的应用非常广泛,应用于军事、民用、遥测遥感等各个方面,是人类生活中不可或缺的一部份。人类依靠眼睛来观察客观世界,依靠在记忆中的图像、文字来将人类的现实生活联系在一起,构成生活必不可少的连续活动。电子技术和通讯技术的发展给人类大脑的记忆系统开辟了广大的空间,它能帮助人类完成由视觉系统或由于自身环境的限制所不能完成的功能,例如流星的运动轨迹、太空中的地球以及其他形体的实景图片等。这些都要靠现代的科技手段来实现,图像采集系统就是应用光学成像技术、光电转换技术、电信息处理技术、信息的传输技术等来实现对客观景物的观察、分析,达到对客观世界感知和认知的设备。它的出现是人类进行实践的产物,是人脑智慧的结晶,是开创未来世界的有力工具。

景物是存在人的主观意识之外的客观实物,图像是被人的视觉系统所感知的反映在人意识之中的景物,依据图像,人才可以辨别千差万别的客观事物。但是人的主观意识是有限的,客观世界是无限的,所以运用现有的知识技术手段来帮助人类认识客观世界是必要的,也是可行的。人靠眼睛来观察客观世界、用耳朵来听外部的声音、用手来感知事物的内在特性,其中眼睛是对客观信息收集的最重要来源,因此对图像采集系统的研究和应用成为现代科学捕获信息的一个重要手段。

对图像采集系统研究的意义在于能够应用科学的手段来完善应用技术中存在的难点或缺点,使用电子技术手段采集的图像能够真实的反映客观实物,为后续的判断、分析和利用提供真实有力的证据。

1.2 图像采集系统的历史、现状和趋势

1.2.1 图像采集系统的历史

对于图像采集系统的研究,目前在国内、外正处于热门研究之中。由于以视频信号为处理对象,数据量大、处理速度和硬件资源使用成为实现图像采集与处理这一目标的三个相互制约的因素。传统上有三种途径实现图像处理:通用处理器、数字信号处理器(DSP)芯片、专用集成芯片(ASIC)^[3]。

早期应用单片机技术完成的图像采集系统,不能完成图像的处理运算,只能控制外围器件完成采集过程,将采集到的图像传给计算机处理。单片机系统由于速度低,很难满足图像处理系统的速度要求,但是由于在各种方案中其成本最低,对于速度要

求低、分辨率低、算法简单的系统仍有实用价值。

采用通用DSP实现方式的优点是灵活性强，具有很好的可扩展性、可升级性和易维护性，但速度不及CPLD方式快^{[5][6]}。

视频专用DSP(Digital Signal Processor)其体系结构是围绕视频处理设计的，有专门的视频输入输出接口，一般还有图像协处理器和哈夫曼解码单元，但目前视频专用DSP的工作温度大都在室温，不能满足一些特殊工作环境的要求。

专用压缩芯片的方式实现简单、技术成熟可靠、成本低，但许多嵌入式系统不需压缩(如足球机器人视觉系统)，灵活性反而较差，无法满足视频处理多样性的要求。在图像处理系统中，提高图像处理速度是高速智能化视觉传感器设计优先考虑的问题之一。一些基于专用数字信号处理器的图像采集卡已经研制出来，但是其中大部分都是以计算机并行处理为主，将采集到的信号时实传给计算机，应用计算机来进行图像处理。由于采用计算机软件对采集的信号进行处理，大大降低了图像处理速度，严重影响了图像采集及处理的实时性和高速性要求。

随着计算机技术的发展，对图像处理速度有了明显的提高，但是随着通信技术的发展，对图像数据的传输速度又有了新的突破，数据传输方式的改变使计算机通信变得更加快捷，特别是EDA技术的发展，大规模可编程逻辑器件的出现，由于其在线可编程，处理速度快，受到了开发人员的青睐，VHDL语言以其无可比拟的优越性，成为开发人员的得力工具，MUXPLUS II开发平台具有时序仿真功能和功能仿真功能，能及时发现设计过程中出现的问题，并及时更正，具有开发周期短，市场见效快等特点，成为开发人员青睐的开发平台。因此应用VHDL语言编写程序来对图像采集的时序控制、对图像的预处理，应用硬件完成软件功能具有更高的速度，从而减轻计算机的工作，实现图像高速无损传输，为后期图像的应用提供良好素材。

1.2.2 趋势及预测

高速、实时信号处理是现代信号处理技术发展的一个显著特点，它需要极高的数据吞吐率和巨大的实时计算量，这种技术融合了信号处理技术理论、VLSI技术和计算机技术。目前，在数字信号处理系统中，特别是数字图像处理领域，要完成对复杂背景、强噪声环境下多目标弱信号的提取，除了要对光学系统特别是大面阵传感器(CCD或APS)进行优化设计、采用高灵敏度的探测器外，后续高性能数字图像处理算法的实时实现也是非常关键的技术。为了满足系统实时性要求，一般都广泛采用高速器件和并行处理方式来提高速度，同时要求器件具有可重复编程配置能力，灵活性强。随着高性能FPGA等器件的出现已经成为可能，因而就特别要求设计人员使用硬件ASIC或FPGA来实现前端可编程数字信号处理的运算，使系统实现更加小型化、模块化，以便进一步将多功能的复杂系统集成在一片硅片上构成SOC(system on chip, 片上系统)，这已经成为国外实现数字信号处理技术的发展主流^[7]。应用可编程逻辑器件开发的图像

采集系统, 只须改变其内在的处理程序而不用改变外部硬件结构就可以适用不同场合, 所以, 未来图像采集与处理的发展趋势是可编程逻辑器件和专用数字信号处理器的联合应用^[6]。

1.3 本文研究的内容和意义

1.3.1 FPGA 为核心器件的图像采集系统研究

通用处理器、数字信号处理器 (DSP) 芯片、专用集成芯片 (ASIC) 各种途径都存在缺点: 通用处理器数据处理速度慢, 不能满足高速处理的要求。DSP 拥有流水线结构和优化的算法, 可以加速图像处理, 但不支持并行控制和运算。ASIC 功能专一, 传感器功能单一, 造价昂贵, 适应性差。

微电子技术的发展, 使视觉传感器实现智能、高速、网络化成为可能。现场可编程门阵列 FPGA (Field Programmable Gate Array) 的发展为智能化传感器开辟了新的空间。由于 FPGA 芯片具有高速、高可靠性、开发周期短的特点, 并且可以根据现场的需要进行编程、可擦写多次, 因而具有极大的方便性。随着制造工艺的提高, 芯片加工的成本有了极大降低, 可靠性也有保证, 芯片的大小和功耗都有极大降低, 现代高技术的发展使得 FPGA 应用于电子设计中成为可能和必然趋势。现有的 FPGA 芯片的规模和速度, 以其特有的并行运算和流水线结构, 已经能够实现具有一定复杂度的算法运算, 以 FPGA 为计算与控制核心的图像采集系统具有速度快, 适应性好, 造价低等优点。

因此, 本文在分析几种典型的嵌入式图像采集系统性能优劣的基础上, 研究并设计以 FPGA 为核心控制芯片的数字图像采集与处理平台, 在提高图像采集速度与处理效果方面进行有实践意义的探索和研究。

1.3.2 基于 FPGA 图像滤波器改进算法的研究

在图像采集过程中, 不可避免的带来各种图像噪声, 噪声的存在将严重影响图像处理的后续过程, 如特征提取、识别和响应等。所以在图像预处理阶段, 滤出图像噪声是进行后续图像处理的关键。

本文在详尽研究图像噪声产生的过程和对各种噪声进行滤出的方式方法基础上, 提出了一种改进的中值滤波算法, 并对此算法进行 MATLAB 仿真实现, 基本达到了预期的改善图像质量、保留图像细节的目标要求。

第2章 图像预处理的研究

图像系统中的一般噪声可以理解为“妨碍人的视觉器官或图像系统对所接受的图像源信息进行理解有分析的各种元素”。对大部分系统来说,噪声是不可预测的随机信号,只能用概率统计的方法去认识。去噪声对图像处理十分重要,噪声产生在图像的输入、采集、处理的各个环节,特别是图像采集阶段的噪声是关键的问题,若输入有较大的噪声,那么必然影响处理的过程,以致影响输出的结果。因此,去噪声是图像处理中的极重要的步骤。一个好的图像处理系统,不论是模拟处理还是数字处理,都是把第一级的噪声降低或减少作为重要工作。原始的图像信息在经过一系列的变化、处理之后,必定会产生噪声,由于光电转换过程中的噪声是系统噪声的主要来源,因此本章就光电转换的物理基础来阐述噪声的来源及处理方法。

2.1 图像传感器原理

图像传感器的敏感器件有 CCD、CID、BBD 以及 MOS 等其中 CCD 和 BBD 具有电荷积蓄与电荷转移功能,因此又称它们为电荷转移器件 CTD (Charge Transfer Device)^[2]。

CCD 的图像捕捉过程分为三个子过程,即:光电转换和储存,电荷转移,电荷读出。CCD 器件是有许多光敏像元组成的,每个像元可看成是一个两极加有反向偏压的光敏二极管。当一个光子入射到光敏二极管的耗尽层时,如果其能量 $h\nu$ 大于半导体的禁带 E_g ,半导体的价电子将跃迁到导带形成光生电子一空穴对。由于空间电荷区对光生电子是一个低势能的势阱,光生电子将被收集在势阱中,这样就完成了一次光电转换和储存。

六十年代末,贝尔实验室的研究人员发现,电荷通过半导体势阱会发生转移现象。这样,如果把一系列的光敏二极管排列起来,通过电荷在势阱中的转移,就有可能在一定的时序驱动下读出储存在每个光敏二极管势阱的光电信息。图 2-1 是典型的三相 CCD 的电荷转移过程。

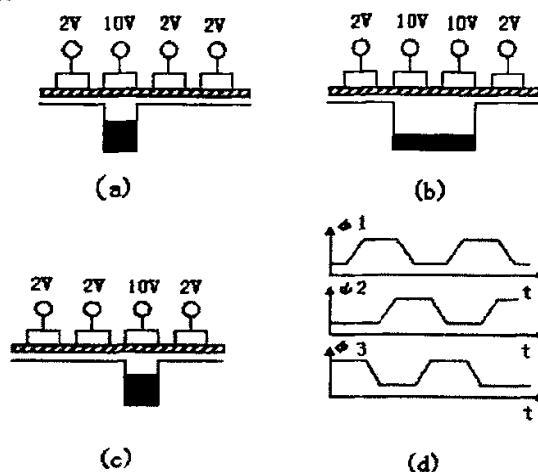


图 2-1 三相 CCD 电荷转移过程

虽然用同一组 CCD 光敏二极管就可以完成摄像器件的光电转换和转移,但是由于复杂的控制光点极不利于提高 CCD 器件的量子效率。同时在 CCD 电荷转移时各个光敏单元还正在进行光电转换,这将使输出信号产生拖影。所以,实际的 CCD 器件的光敏单元和转移单元是分开的,通过一定的时序控制可以实现光敏单元向转移单元的整体转移,然后再由转移单元串行向外部输出。

CCD 的信号读出通常采用选通电荷积分器结构,图 2-2 是三相 CCD 的电荷读出原理:其中 C_s 是反向偏置二极管 D 的结电容。当待读出电荷到达功 ϕ_{oc} 势阱时, T1 在短脉冲的作用下快速导通使 C_s 充电到高电位。接着下一相时钟到达,待读出电荷转移到 ϕ_{oc} 势阱,待读出电荷将对 C_s 充电使其电压下降,电压的下降幅度与待读出电荷量成正比,最后由 T2 驱动输出^[9]。

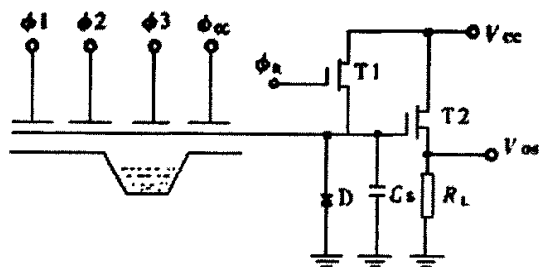


图 2-2 CCD 信号读出电路

2.2 CCD 噪声产生的原因

噪声的产生原因有很多,综合已经阅读过的文献以及前一节的工作原理的分析,将噪声简单归结为光学噪声、物理噪声和电子噪声。作为图像采集系统中对噪声的研究过程主要有光学噪声、光电转换产生的噪声和电信号传输产生的噪声。

暗电流噪声:复合—产生中心非均匀分布,特别是某些单元位置上缺陷密集形成暗电流峰。由于信号的读出路径各异,这些暗电流峰对各个电荷包的电荷贡献也不等,因而形成背景的很大起伏。另外,耗尽层热激发(符合泊松分布)对背景起伏也有贡献。因暗电流大小与位置基本固定,故可用电子学方法消除。但当器件工作在长时间积分的弱信号观测时,暗电流的影响将是主要因素。在这种情况下,器件应工作于人工制冷状态(在液氮温度下,暗电流可比常温下减小三个数量级)。

光响应非均匀性:当 CCD 的各个像元在均匀光源照射下,CCD 器件具有光响应非均匀性 (PRNU)。它主要与器件的制造工艺有关,由于近红外光在硅中的穿透能力较强,PRNU 还受衬底材料的非均匀性影响。PRNU 没有一定的规律,因器件而异,具有很大随机性。因此,对于弱信号的应用,应进行实际测量,然后加以补偿以达到均匀响应。

散粒噪声:光注入光敏区产生信号电荷的过程可看作随机过程,单位时间产生的光生电荷数目在平均值上做微小波动,即形成散粒噪声。散粒噪声与频率无关,在所

有频率范围内有均匀的功率分布（白噪声特性）。散粒噪声在低照度，低反差条件应用时，当其它噪声用各种方法抑制后，散粒噪声成为主要噪声，决定了一个器件的极限噪声水平。

杂波噪声：主要来源于传输通道及各种器件，多为无规则随机信号，频谱较宽，幅度不等。图像信号相邻像素、相邻行、相邻帧具有较大相关性，而杂波噪声具有随机性，据此可设计出积分平均器以改善杂波噪声。

2.3 常见噪声模型分析

在噪声的数字信号处理中，主要研究的是高斯噪声和椒盐噪声对图像信号的污染的改善。因此要对这两种噪声进行理论分析^[10]。

1) 脉冲噪声（椒盐噪声）

脉冲噪声的概率密度函数（PDF）由下式给出

$$P(z) = \begin{cases} P_a & Z=a \\ P_b & Z=b \\ 0 & \text{其它} \end{cases} \quad (2-1)$$

如果 p_a 或 p_b 为零，则脉冲噪声称为单极脉冲；如果 p_a 或 p_b 均不为零，则脉冲噪声称为双极脉冲噪声或椒盐噪声。脉冲噪声可以为正，也可为负标定以后，脉冲噪声总是数字化为最大值（纯黑或纯白）通常，负脉冲以黑点（胡椒点）出现，正脉冲以白点（盐点）出现。椒盐噪声样本图像和直方图如图2-3所示，其中（a）为椒盐噪声样本图像，（b）为椒盐噪声直方图。

2) 高斯噪声

高斯噪声的概率密度函数（PDF）由下式给出：

$$p(z) = \frac{1}{\sqrt{2\pi}\sigma} e^{-\frac{(z-\mu)^2}{2\sigma^2}} \quad (2-2)$$

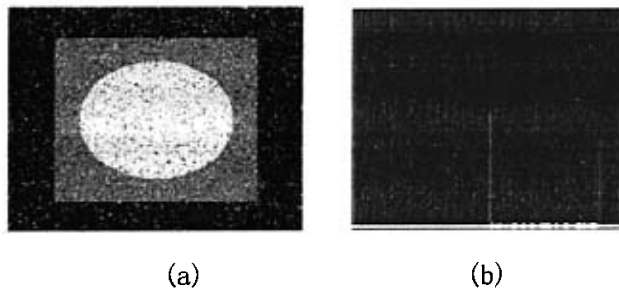


图2-3 椒盐噪声样本和直方图

z 的值有70%落在 $[(\mu - \sigma), (\mu + \sigma)]$ 范围内，有95%落 $[(\mu - 2\sigma), (\mu + 2\sigma)]$ 范围内。高

斯噪声样本和直方图如图2-4所示，其中(a)为高斯噪声样本图像，(b)为高斯噪声样本直方图

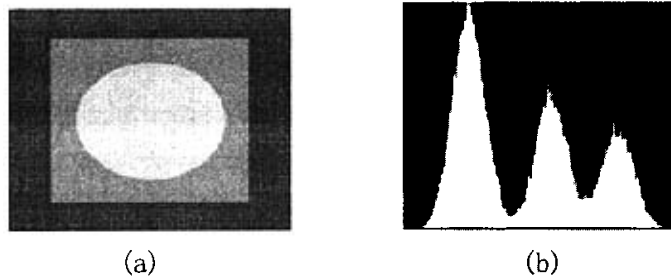


图2-4 高斯噪声样本和直方图

2.4 滤出噪声方法及算法研究

预处理是指在处于最低抽象层次的图像上所进行的操作。图像预处理的目的是改善图像数据，抑制不需要的变形或者增强某些对于后续处理重要的图像特征。常用的预处理方法包括对图像去噪、图像增强、灰度变换、几何变换等。

图像的去噪过程实际就是把妨碍视觉识别或影响系统对采集的图像信息进行分析、处理的各种因素去掉。滤波能提高信噪比，提高后续处理的有效性和可靠性，为图像分割创造良好的条件。图像能量大部分集中在幅度谱的低频和中频段，而在较高频段，感兴趣的信息常被噪声所淹没。因此，一个能降低高频成分的滤波器就能减弱噪声的影响。

图像的质量与信噪比有着密切的关系。要提高图像信噪比必须减小噪声。滤出噪声的方法主要有模拟信号的滤波和数字信号的滤波。

2.4.1 噪声滤出的物理方法

模拟信号的噪声滤波主要在光电转换和输出控制的环节下功夫，在 CCD 应用中为抑制和消除上述噪声采取了以下措施^[11]：

1) 在电路工艺方面增加直流电源的滤波，消除来自电源的干扰。缩短驱动电路与 CCD 器件的连线，降低时钟感应造成的尖峰干扰。数字地与模拟地分开，减少来自地线的干扰。采用二阶滤波电路滤除高频噪声^[12]。

2) 对于转移噪声采用将 CCD 电压取反倒置或者提高衬底电压使 CCD 电压倒置，可以消除界面态俘获噪声；降低运行温度可以使体俘获噪声明显呈指数减小。另外，将 CCD 在序列图像取出之前放电，也可以有效减小转移噪声。

3) 对于散粒噪声，传统的相邻像素或相邻行积分平均器法较大地影响了水平和垂直分辨率。在此，介绍相邻多帧取平均法，即将采集的多帧图像加权取平均后作为输出信号。这样，散粒噪声就能得到较好的抑制了^[13]。

4) 暗电流噪声对于各像元暗电流较平均的 CCD 来说, 如果在像元阵列的起始处有少量哑像元(被遮盖着不对景物曝光, 但仍有暗电流产生), 则对其输出信号采样存储, 并与后续有效像元的输出信号采样值相减以去除暗电流噪声。但必须保证两次采样的积分时间和温度相同。对于含有暗电流尖峰的 CCD, 由于尖峰总是出现在固定的像元位置。因此可以预先记录其位置及大小, 每次采样到这个像元时, 与其相减即可去除暗电流尖峰。而且, 暗电流与电荷转移时间成正比, 故需尽量减小 CCD 的电荷转移时间。另外, 在应用中对 CCD 器件采取制冷措施, 当温度降到 $30^{\circ}\text{C} \sim 50^{\circ}\text{C}$ 时, 暗电流噪声就小到无足轻重的程度了。

5) 对输出噪声最简单的处理方法是使用截止频率为 $2f$ (f 为 CCD 读出频率) 的低通滤波器。这种方法容易实现。但滤除噪声效果不好。另外, 还有相关双采样法(CDS)、双斜率积分法(DSI)、反射-延迟噪声抑制法(RDA), 钳位切除法(CCS) 等^[14]。

2.4.2 数字信号噪声的滤出方法及仿真

数字信号噪声的滤出主要是应用相邻像素值的相关性。主要应用的有线性滤波器和非线性滤波器。能对椒盐噪声、脉冲噪声和高斯噪声进行有效的滤出。下面对这些方法进行简要的介绍和比较。

目前最常用的图像去噪滤波器是均值滤波器、中值滤波器。均值滤波器和中值滤波器分别是线性滤波器和非线性滤波器的典型代表^[15]。

1) 均值滤波

在早期的数字信号处理和数字图像处理的研究中, 线性滤波器是噪声抑制处理的主要手段。线性滤波器简单的数学表达式以及某些理想特性使其很容易设计和实现。最简单的线性滤波器是域平均法也称均值滤波法, 其算法是在像数据的窗口内的中间位置的值用窗口内所有像素数据的平均值取代。其算法公式为:

$$h[i, j] = \frac{1}{m} \sum_{(k, l) \in N} f[k, l] \quad (2-3)$$

其中, M 是邻域 N 内的像素点总数。

在像素点 $[i, j]$ 处取 3×3 邻域, 得:

$$h[i, j] = \frac{1}{9} \sum_{k=i-1}^{i+1} \sum_{l=j-1}^{j+1} f[k, l] \quad (2-4)$$

线性滤波器对高斯噪声具有良好的滤出作用, 然而, 当信号频谱与噪声频谱混叠时或者当信号中含有非叠加性噪声时(例如由系统非线性引起的非高斯噪声等), 线性滤波器的处理结果就很难令人满意。因此, 一种改进的线性滤波器是加权滤波器, 它的设计思想是: 选择滤波权值应使得滤波器只有一个峰值, 称之为主瓣, 并且在水平和垂直方向上是对称的。一个典型的 3×3 平滑滤波器的权值模板如表 2-1。

表 2-1 3X3 平滑滤波器的权值模板表

1/16	1/8	1/16
1/8	1/4	1/8
1/16	1/8	1/16

一幅图像往往可能受到各种噪声源的干扰，如电传感器噪声、信道传输误差引起的噪声等。这些噪声在图像上常常表现为一些孤立像素点，它们像雪花飘落在画面上一样。这可以理解为像素的灰度是空间不相关的，即噪声点像素灰度与它们的近邻像素灰度有显著不同。借助噪声点的这一空间特性，产生邻域平均法。设 $f(x, y)$ 为给定的有噪声的图像，经过邻域平均处理后为 $g(x, y)$ ，在数学上可以表示为：

$$g(x, y) = \frac{1}{4}(f(i-1, j) + f(i+1, j) + f(i, j-1) + f(i, j+1)) \quad (2-5)$$

均值滤波器，算法简单，易于实时处理，且对高斯噪声有较好的，平滑能力。但均值算法会破坏图像边缘，且对脉冲噪声十分敏感，没有充分利用图像像素间的相关性和像素的位置信息。由于均值滤波较简单，这里不作详细介绍。

图 (a) 是一幅被高斯噪声污染了的图像，图 (b) 是经过均值滤波后的图像。通过对比可以清楚地看到，滤波后的图像较原图像平滑多了，但图像的边缘和一些细节被模糊了。

2) 非线性滤波

由于传统的线性滤波器在滤出噪声的同时，往往会模糊图像细节（如边缘等），不利于特征识别，而且也不能有效滤出椒盐噪声。也就是说，线性滤波器在信号与噪声彼此相关的情况下不能很好的工作。因此提出了非线性滤波理论。非线性滤波器在一定程度上克服了线性滤波器的缺点，能够在滤出噪声的同时，最大限度地保持了图像信号的高频细节，使图像清晰、逼真。

非线性滤波的代表是中值滤波，是 1971 年图基 (Turkey) 提出的，它最初只用于时间序列分析，后来被用于图象处理，并在去噪复原中取得了较好的效果。中值滤波器是基于次序统计完成信号恢复得一种典型的非线性滤波器，是一种减少边缘模糊的非线性平滑方法，其基本原理是把数字图像或数字序列中心位置的值用该点邻域的中值替代。中值滤波算法的特点是在去除噪音的同时，可以比较好地保留边的锐度和图像的细节在有序的一系列表中，中值是指位于中心的值。邻域中亮度的中值不受个

别噪声毛刺的影响，因此中值平滑相当好地消除了冲激噪声。

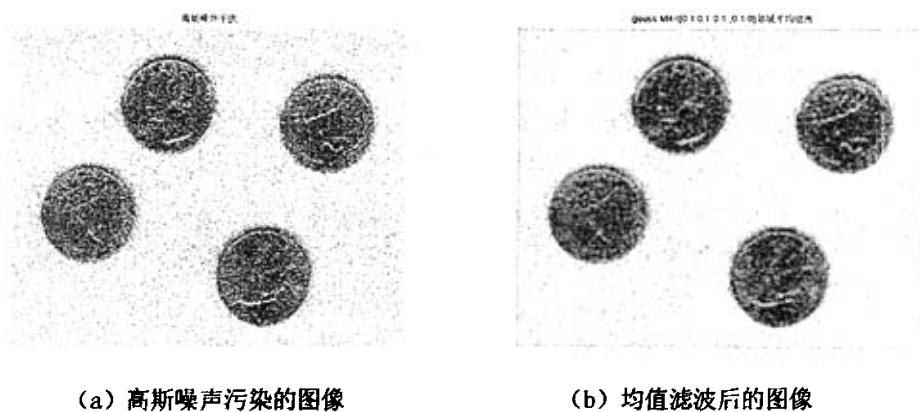


图 2-5 均值滤波

应用 MATLAB 软件可以对滤波算法进行仿真试验其结果如下图 2-6 所示。图 (a) 是一幅被椒盐噪声污染了的图像，图 (b) 是经过中值滤波后的图像图 (c) 是均值滤波后的图像。通过对比可以清楚地看到，经中值滤波后的图像较原图像清楚多了，而且图像的边缘和细节被很好的保留了。

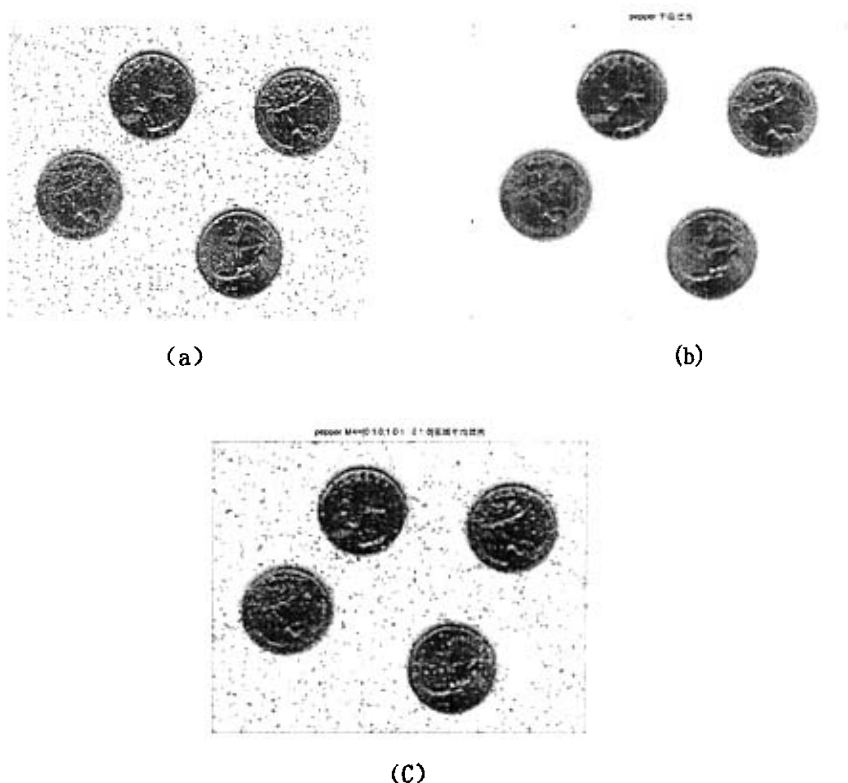


图 2-6 两种滤波算法 MATLAB 仿真图

3) 改进的滤波器

边缘保持滤波器是在上述两种滤波器的基础上发展的一种滤波器^[16]，该滤波器在滤除噪声脉冲的同时，又不至于使图像边缘变得模糊。边缘保持滤波器算法的基本过程是：对灰度图像的每一个像素点 (i, j) 取适当大小的一个邻域，分别计算这个点的左上角子邻域，左下角子邻域，右下角子邻域和右上角子邻域的灰度分布均匀度 v ，计算灰度均匀度的公式采用 2-5 式所示。然后取最小均匀度区域的均值作为该像素点新的灰度值。边缘保持算法的基本过程如下：对灰度图像的每一个像素点 $[i, j]$ 取适当大小的一个邻域（如 3×3 邻域），分别计算 $[i, j]$ 的左上角子邻域、左下角子邻域、右上角子邻域和右下角子邻域的灰度分布均匀度，然后取最小均匀度对应区域的均值作为该像素点新的灰度值。

计算灰度均匀度的公式为：

$$V = \sum f^2(i, j) - (\sum f(i, j))^2 / N \quad (2-6)$$

例如图像像素矩阵为：

$$\begin{bmatrix} 0 & 1 & 1 \\ 0 & 0 & 1 \\ 0 & 0 & 0 \end{bmatrix}$$

则子邻域的灰度分布均匀度分别为：

$$\begin{array}{cc} \begin{bmatrix} 0 & 1 \\ 0 & 0 \end{bmatrix} & \begin{bmatrix} 1 & 1 \\ 0 & 1 \end{bmatrix} & \begin{bmatrix} 0 & 0 \\ 0 & 0 \end{bmatrix} & \begin{bmatrix} 0 & 1 \\ 0 & 1 \end{bmatrix} \\ V=3/4 & V=3/4 & V=0 & V=1 \end{array}$$

从以上介绍的几种滤波器情况看，线性滤波器对数字图像的灰度影响较大，且易模糊目标边缘。而边缘保持滤波器虽然能很好保护目标边缘，但它的计算量较大，实现起来较为复杂。考虑到以上因素，最后设计了一种改进的中值滤波器，其基本原理是计算窗口中包含中间像素点的左上角、右上角、左下角和右下角的四个子邻域的均值，然后取第二大的值作为中间像素点的值输出。这样既能滤出椒盐噪声又能有效地滤除高斯噪声，其算法及实现将在第五章详细介绍。

第3章 视频图像信号采集的研究

图像采集系统的研究对象是将光信号通过光电转换器转换为电信号，根据电荷的多少来衡量光通量的大小，将光信号变成连续的电信号，这部分主要由光电耦合器来完成。应用计算机处理技术来处理的信号必须是离散的数字信号，所以第二部分要研究的就是将模拟信号转换成数字信号，这部分主要由模拟 / 数字转换器来完成。根据摄像头及 A/D 转换器的特点，采集的数据量很大，不能完全传输给计算机处理，为了保证处理的实时性要求，必须先将数据保存起来，所以需要应用高速、大容量的存储器将数据保存起来。数据存储技术是图像采集系统研究的第三个主要内容。数据处理技术是根据不同的需要、不同的任务选用不同的数据处理技术以达到设计要求。例如识别技术、跟踪技术等。图像采集的数据最终都要传入计算机进行最后的处理，因此通信是图像采集系统必不可少的环节。视频图像采集系统的基本构成如图 3-1 所示^[17]。

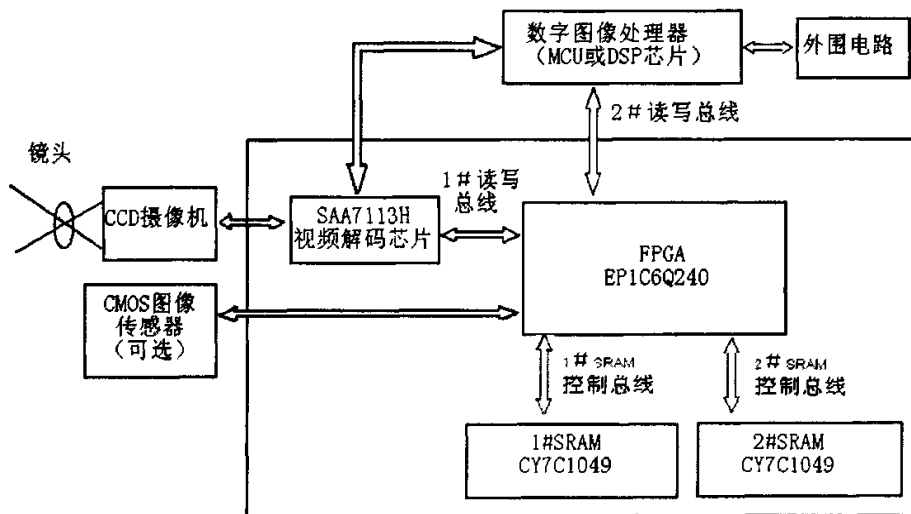


图 3-1 视频图像采集系统的基本构成

3.1 视频信号概述

在进行硬件设计之前，需要了解视频信号的组成。因为图像信号来源于视频信号，是视频信号的一部分。视频信号由一个视频源生成的复合信号，是由多种信号叠加复合而成。主要包括：图像信号、视频同步信（行同步信号）、帧同步信号（场同步信号）、奇偶同步信号、消隐信号。图像信号是叠加在视频同步信号之上的，帧同步信号表示一帧图像的开始；奇偶同步信号表示当前扫描的行是奇行还是偶行，为了增加图像显示的稳定性，显示的时候一般都采用先扫描奇行再扫描偶行；消隐信号是一帧图像结束直至另一帧图像开始的场消隐期阶段的信号，它不含有图像信息，主要用来去干扰

[18]。

目前，世界上实际应用的电视信号主要有 NTSC 制、PAL 制、和 SECAM 制三种。各制式之间的主要区别在于不同的刷新速度，颜色编码系统和传送频率，具体数值见表 3-1^[19]

表 3-1 不同制式之间的区别

制式	行数/行	行频/kHz	场频/kHz	颜色频率/kHz
PAL	625	15.625	50	4.433619
NTSC	525	15.734	59.94	3.57545
SECAM	625	15.625	50	4.43369

摄像头输出的视频信号满足电视信号的制式，一般摄像头都提供 PAL 制的视频信号，PAL 电视制式规定，场扫描频率为 50HZ，每帧图像的扫描行数为 625 行。

视频信号的处理过程就是拍摄视频信号的逆过程。摄像头输出的是标准的 PAL 制电视信号。摄像头通过光电转换实现图像到视频信号的转换，也就是扫描的过程。摄像头每扫描完一行图像，加入一个行同步脉冲，每扫描完一场图像加入一个场同步信号。同时为了保证扫描逆程光栅不显示，应加入和同步信号同周期的消隐信号。对视频信号进行处理，需要先进行 A/D 转换、行/场同步信号的分离等步骤，然后采用专用的视频信号处理对视频信号进行转换，最后用 DSP 处理数字图像信号并得到需要得结果。视频信号处理流程如图 3-2 所示。

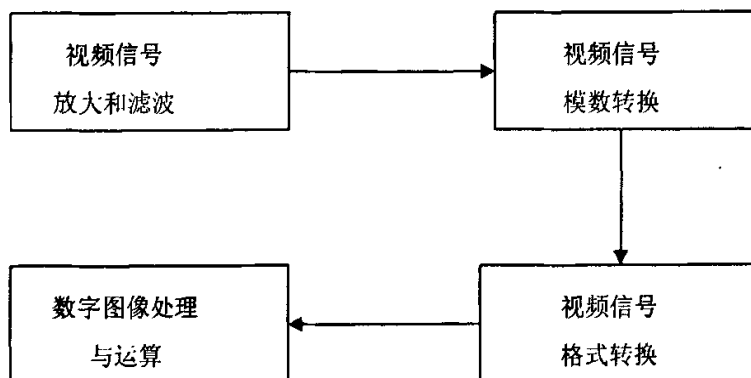


图 3-2 视频信号处理基本流程

数字视频信号的格式主要有 PAL、NTSC 和 SECAM 制。下面就本文应用 PAL 制电视信号转化为数字视频信号后的具体格式加以介绍。PAL 制电视信号转化为数字视频信号后的具体格式如图 3-3 所示。

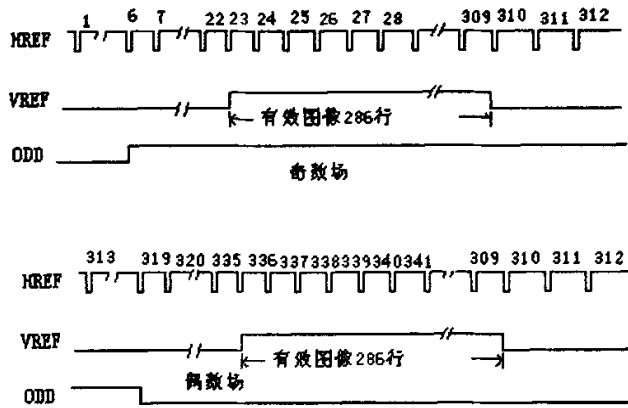


图 3-3 一帧图像采集的时序关系

一般数据格式符合 ITU656 YUV4: 2: 2 标准。一帧图像含 625 行数据，其中有效图像数据 572 行，其他为场消隐信号；每行图像数据包含 720 个像素。因此，PAL 制电视信号得分辨率为 720×572 。PAL 制电视信号每秒扫描 25 帧图像，每帧包括奇、偶两场图像。一帧图像分为奇数场和偶数场，每场各有 286 行有效图像。垂直参考电压信号 VREF 的高电平表示有效图像信号，偶数场和奇数场各 286 行。ODD 信号高电平表示为奇数场。行参考电压信号 HREF 信号表示一行有效的图像数据。一行图像数据又包括 720 个像素的数据，每行图像数据如图 3-4 所示。

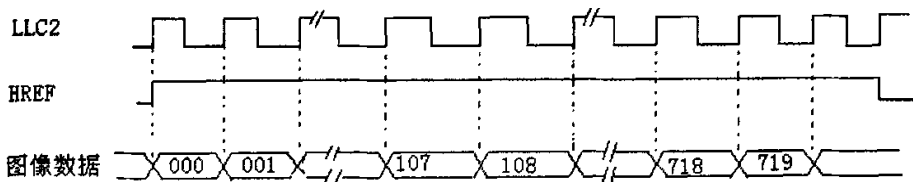


图 3-4 一行图像数据

图像采集按色彩的类型分为真彩色和黑白/伪彩色图像采集系统。它们的主要区别是有无彩色解码电路。黑白/伪彩色采集系统黑白系统仅能采集有灰度等级差的图像，伪彩色系统则是利用灰度级人工编程实现彩色的合成。摄像机输出的视频信号经 ADC 后变成数字视频信号，同时帧存储器中的图像数据被取出后通过视频查找表送到 DAC，实现伪彩色显示。时序、同步逻辑、地址产生以及制式转换电路等都由控制电路完成。

3.2 图像采集系统的指标分析

实时图像处理系统是设计的难点时如何在有限的时间内完成对大量图像数据的处理。从人的视觉理论分析，只有图像处理系统的速度达到每秒 25 帧以上时才能达到实时的效果，即要求实时图像处理系统必须在 40ms 内完成对一帧图像的运算处理，才能

保证图像的实时性。假设系统中所设计的图像采集模块输出的每帧图像大小为 720×625 字节，若要满足图像处理的实时性要求，则系统必须在 40ms 内完成对每帧图像数据运算处理^[20]。

图像采集系统的指标主要体现在对图像的处理速度上，而图像的处理速度又和图像的数据量成反比关系，相同的图像，分辨率越低，数据量越少，处理图像所用的时间就越少。所以，图像处理速度与图像大小、图像分辨率、颜色深度以及采样率密切相关。

图像的分辨率以每英寸的像素数目度量，以 ppi 为单位 (pixels per inch)。像素是可在屏幕显示的最小元素，由采样孔的大小和相邻两像素的间距决定，像素与屏幕无关。在同样的显示尺寸的前提下，高分辨率的图像包含的像素比低分辨率的图像要多，因此其中的像素相对来说较小。例如：1 英寸见方的图像，在 72ppi 的分辨率下包含了 5184 个像素 (72×72)，而同样的 1 英寸见方的图像，在 300ppi 的分辨率下包含了 90,000 个像素 (300×300)。高分辨率的图像通常比低分辨率图像包含更多的细节和敏感的颜色转变。其位图文件的大小与图像的总像素尺寸是成比例的。高分辨率的图像要开销更多的磁盘空间，图像处理与输出也需花费更多的时间。

模拟图像的数字化速度也是制约图像采集速度的主要因素之一。图像的数字化主要由 A/D 转换器来完成，显示或后续图像处理得的质量得以保障的关键是图像数字化器。所以选择相适应的 A/D 转换器也是提高图像采集速度的关键。在一般情况下，一个图像数字化器必须能够完成下面三种功能：

- (1) 采样是把图像划分为若干元素，并给出它们的存储地址。
- (2) 量化是度量每一个像素的灰度，并把连续的度量结果化为整数。
- (3) 信息输出是将图像量化的结果输出给其他设备。

图像速率及采集的计算公式如下：

$$Q = W \times H \times f \times d / 8$$

其中：W×H 为一帧图像的大小 (Image Size)；W×H (长×宽) 颜色深度。

F 为帧数——标准 PAL 制为 25 帧。

d (比特数)——希望采集到的图像颜色 (8Bit 灰度图像? 还是 16/24/32Bit 真彩色)。

数据量 Q (MB)——图像信号的数据量。

判断图像采集系统能否胜任采集的工作，可以通过下面的标准判断。

判断标准：如果 $A > Q \times 1.2$ ，则该采集系统能够胜任采集工作。其中，A (MB) 为采样率。

3.3 采集系统实现的过程

3.3.1 基于 FPGA 的图像采集系统的研究

视频信号采集处理器的框架如图 3-5 所示，共有三个模块组成^[21]。

1) 视频信号转换模块

由视频信号处理器完成视频信号从模拟信号到数字信号的转换、图像信号与其他信号的分离、视频信号的格式转换等，最终提供后端可以处理的数字视频数据。

2) 视频数据计算模块

首先接收来自前一个模块的数字视频数据，然后完成对数字视频数据的计算。一般时序控制信号由 FPGA 完成根据需要可以选择专用芯片完成计算，如 DSP(Digital Signal Processor, 数字信号处理器)。也可以选择 FPGA。

3) 通信模块

用于实现与外界数据的交换。

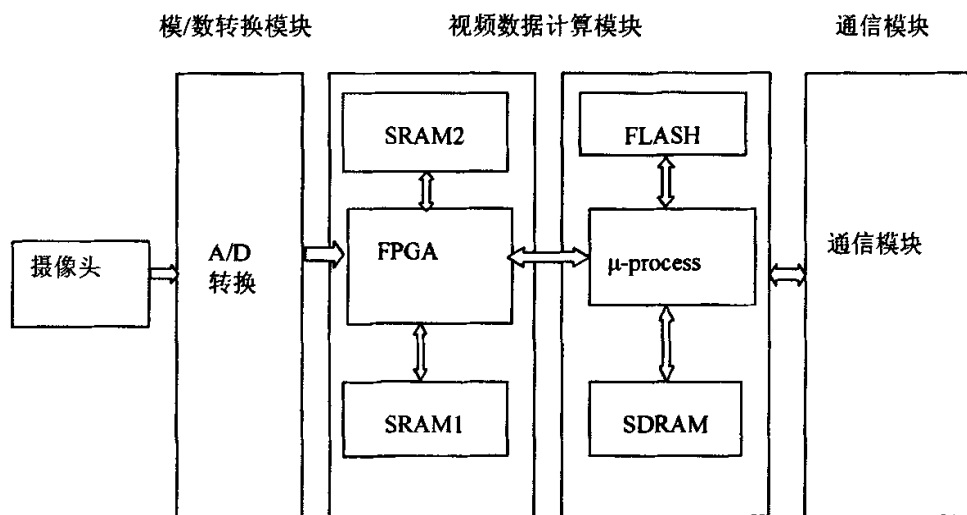


图 3-5 视频信号处理框架

虽然视频信号处理的需求多种多样，但数据处理的流程都遵循数据采集、格式转换、数据计算、数据通信的步骤。

视频信号转换模块由视频信号处理器及其辅助电路组成。这个模块的设计要点是选择视频信号处理器。电视信号构成极为复杂，其中除了包含图像信号之外，还包含同步信号，行消隐信号、行消隐信号、场同步信号、场消隐信号以及槽脉冲信号、前均衡脉冲、后均衡脉冲等。因而，对电视信号进行 A/D 转换的电路也非常复杂。Philips 公司将这些非常复杂的电视 A/D 转换电路集成到了一块芯片内，生产出功能强大的视频处理芯片。

视频数据计算模块, 视频信号处理过程中为保证实时性, 首先要求实时图像处理系统具有处理大数据量的能力; 其次, 对系统的体积大小、功能、稳定性等也有严格的要求。实时图像处理算法中经常要用到对图像的求和、求差运算、二维梯度运算、图像分割、边缘探测等不同层次、不同种类的运算。有时运算结构比较简单, 但是数据量大, 计算速度要求高; 有些运算对速度要求并不高, 但计算方式和结构比较复杂, 难以用纯硬件方式实现。因此, 实时图像处理系统是要求运算速度高、运算种类多的综合性信息处理系统。

随着大规模可编程器件的发展, 采用 u-processor + ASIC(Application Specific Integrated Circuit, 特定用途集成电路)结构的信号处理系统显示出了其优越性, 逐步得到重视。与通用集成电路相比, ASIC 芯片具有体积小、重量轻、功耗低、可靠性高等优点, 而且在大批量应用时更可以降低成本。现场可编程门阵列(FPGA)是在专用 ASIC 的基础上发展起来的, 它克服了专用 ASIC 不够灵活的缺点, 与其他中小规模集成电路相比, 其优点主要在于它的灵活性强, 即其内部具体的逻辑功能可以根据需要配置, 对电路的修改和维护很方便。目前, FPGA 的容量已经超过了百万门级, FPGA 已经成为系统设计的重要选择方案之一。

图像处理系统中, 底层图像预处理的数据量很大, 要求处理速度快, 但是运算结构相对比较简单, 适用于 FPGA 通过硬件实现, 这样能同时兼顾速度和灵活性。高层运算特点是所处理的数据量较底层少, 但算法结构复杂, 适宜采用运算速度高、寻址方式灵活、通讯能力强的数字信号处理芯片来实现。

DSP+FPGA 结构最大的特点是结构灵活, 有较强的通用性, 适于模块化设计, 从而能够提高运算、处理的效率; 同时开发周期短, 易于维护和扩展, 适于实时图像处理; 对不同的算法有较强的适应能力。

在本设计中, 重点在于图像采集过程的实现和噪声的滤除设计, 因此对微处理器的选用没有严格的要求, 可以根据具体实现目标算法的复杂程度和速度要求来选取。

通讯模块用于提供当前系统与外部进行数据交换的通道, 可以有以太网、RS232、RS422、RS485、现场总线、USB 等多种方式。

3.3.2 工作过程分析

系统复位完成 FPGA 程序加载后, 先由单片机的 IC 总线模块对 A/D 转换器进行初始化操作, 初始化结束后等待采集图像的命令。接收到采集命令后, A/D 转换器开始处理模拟视频信号, 输出亮度和色度信号, 同时输出时钟信号, 行、场同步信号, 行、场参考信号, 奇、偶场标志号等, 若采集系统使用灰度图像, 不使用色度信号, 数据线条为 8 位^[22]。

采集系统的命令由计算机发出, 采集命令通过 PCI 总线传输到 FPGA。启动 FPGA 的采集同步模块, 采集同步模块发出采集标志信号, 采集一帧图像, 通过写数据模块

产生写地址和写信号，将数据存储到 SRAM1 中，采集结束时，采集标志信号撤消，采集同步模块复位，等待下一次采集命令。采集标志信号撤消时，FPGA1 开始读取 SRAM1 中的图像信息，这是通过读数据模块产生读地址和读信号来实现的。FPGA1 将一帧图像数据进行噪声去除后，存储到 SRAM2 中，并发信号给 u-processor 读取 SRAM2 中的数据，经过边缘处理后存储到 SDRAM 中，u-processor 处理完一帧图像数据后，将 SDRAM 中的图像信息读出传送给 PCI 控制器，完成与计算机的通信。基于 FPGA 图像采集的优点是采用硬件实现图像采集与处理，用硬件实现软件功能具有处理速度快，实时性好等优点^[23]。

第4章 基于FPGA的采集系统的硬件设计

根据前一章视频图像信号的分析,图像的采集与处理分为光电转换模块、A/D 转换模块、存储模块、处理模块和通讯模块,在电子器件日益更新的今天,在参考大量器件工作性能的基础上,选用运算处理快、功耗低、性能稳定的器件成为硬件设计的首要工作。本章的内容是在设计实现基本功能的基础上,对选用的器件功能进行进一步分析和研究。

4.1 FPGA 结构及特点

FPGA 是英文 Field Programmable Gate Array 的缩写,即现场可编程门阵列,它是在 PAL、GAL、EPLD 等可编程器件的基础上进一步发展起来的。它是作为专用集成电路领域中的一种半定制电路而出现的,既解决了定制电路的不足,又克服了原有可编程器件门电路数目有限的缺点。同以往的 PAL、GAL 等相比较,FPGA 的规模比较大,它可以代替几十甚至几千块通用 IC 芯片。可以说,FPGA 芯片是小批量系统提高系统集成度、可靠性的最佳选择之一。

4.1.1 FPGA 结构描述

FPGA 通常由块阵列组成,每一块包括逻辑块和连接逻辑块的互连资源。FPGA 逻辑块通常包括 n 输入的查找表 (Lookup Table, 简称 LUT), n 通常在 3~6 之间,并触发存储数据。通过采用复用器(mux),可选择不同的输入信号组合^[24]。

LUT 通常由静态 RAM(SRAM)实现,地址线是输入信号,数据输出线是输出信号。因此,通过在所有的静态 RAM 地址上正确地设置数据内容,LUT 能够完成任何 n 输入的布尔运算功能。每个逻辑块中的触发器被用于存储数据,例如有限状态机的状态信息。通过连接 LUT 和触发器采用可编程路由资源,不仅任意组合功能,而且可实现任意顺序功能。

路由资源通常被分为两类:时钟路由资源和信号路由资源。时钟路由资源被用于输送快速时钟信号到触发器的时钟端口,将有一个较小的延迟和时钟偏离。信号路由资源被用于发送时钟信号到逻辑块的输入和输出。

电路设计人员通常需要使用硬件描述信号,例如 VHDL 和 Verilog 厂商则可采用工具对用户电路实行自动匹配,设置以及发送到 FPGA 上。为了实现高性能和低耗,往往还需要“手工配线”来配合目前的 FPGA 工具。Xilinx, Altera 和 Lucent 是 FPGA 的主要生产商。

4.1.2 FPGA 的工作方式

1. 动态重构

通常,当电源接通时 FPGA 才开始执行内部的配置。工作过程中 FPGA 的配置通

常是固定的,因经 FPGA 在系统电源关闭前只能完成固定的操作。但是最新的 FPGA 也允许动态重构。例如,当基于 FPGA 的系统在不同时间分别作为发射机或接收机工作,FPGA 在发射模式下能够实现数据压缩,在接收模式下解压。

2. 分布式算法与并行性

FPGA 可以有效地实现 DSP 功能,例如用于 FIR 滤波的乘法累加器 (MAC)。采用 FPGA 实现 MAC 操作有几种方式。一种方式是阵列乘法,阵列乘法方式适合于快速乘法但是它需要大量的 FPGA 逻辑块。另外一种方式就是分布式算法。分布式算法仅在执行操作顺序上与传统的算法不同。

分布式算法方式采用 LUT 实现快速计算,这非常适合基于 LUT 的 FPGA。一个 FIR 滤波器可由顺序移位输入数据送入分布式算法电路来实现。并行性是采用基于 FPGA 的系统实现高性能的关键,并不必须由分布式算法完成。也可在 FPGA 中设计并实现其它合适的结构以达到更高的性能^[25]。

4.1.3 FPGA 芯片的优点

FPGA 芯片可以被称为可制定的特殊 ASIC 芯片,它除了具有 ASIC 的特点之外,还具有以下几个优点:

1. 随着 VLSI (Very Large Scale IC, 超大规模集成电路) 工艺的不断提高,单一芯片内部已可以容纳上百万个晶体管,这使得 FPGA 芯片所能实现的功能也越来越强,同时也可以事项系统集成。

2. 用户可以反复地编程、擦除、使用或者在不动外围电路的情况下用不同软件即可以实现不同的功能。

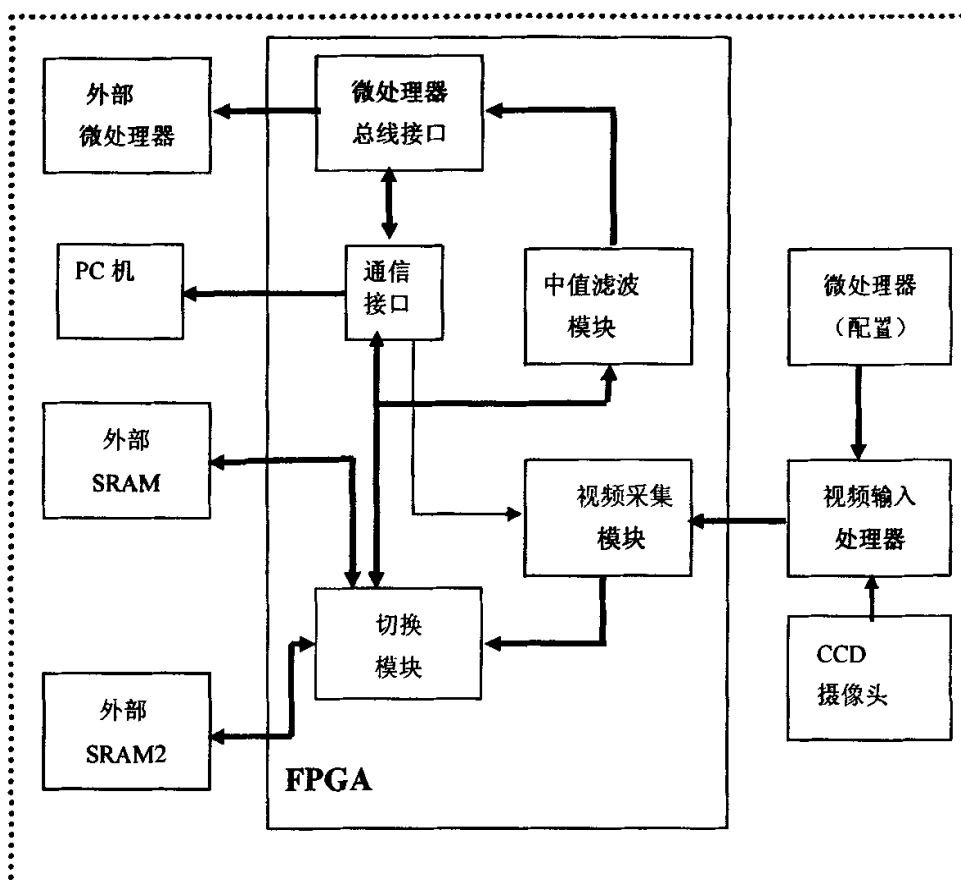
3. FPGA 软件包中有各种输入工具、仿真工具、版图设计工具和编程器等全线产品,电路设计人员在很短的时间内就可以完成电路的输入、编译、优化、仿真,直至最后芯片的制作。

4. 电路设计人员使用 FPGA 进行电力设计时,不需要具备专门的 IC 深层次的知识,FPGA 软件易学易用。

鉴于 FPGA 上述的优点,乘法、加法、累加、比较等函数利用硬件并行性大大提高了 FPGA 的处理能力,FPGA 的灵活性很好地满足了实时视频、图象处理、无线系统和高性能数字音频的特定要求。

4.2 基于 FPGA 的图像采集系统的硬件设计

本文主要完成图像采集系统的硬件平台设计,采用单片机完成对 VIP 的配置,使用专用配置器件配置 FPGA,信号采集和信号处理的过程由 FPGA 控制实现。其硬件框图如 4-1 所示。



4-1 图像采集系统硬件框图

工作过程为：在上电开始，分别由单片机和专用配置器件完成对 VIP 和 FPGA 的配置，然后等待图像采集命令，当采集脉冲到来后，FPGA 启动图像采集程序，将采集到的数据存储到外部存储器，当一帧图像采集完成，将数据存入第二个外部存储器，同时调用第一个存储器中的数据进行滤波处理，处理后的数据送显示器显示或进行后续处理。

4.3 FPGA 芯片的应用与配置

4.3.1 FPGA 芯片的应用

目前生产FPGA器件的两个主要厂商是Altera公司和Xilinx公司，其生产的PLD产品被广泛的应用到各个领域。两个厂商生产的各个系列产品各有千秋，提供的宏功能模块和开发平台也各不相同。本文主要应用Altera公司生产的EP1C6系列的FPGA芯片，EP1C6片内资源：

1) 逻辑单元共5980个，支持接近12万门的设计，满足大部分系统设计要求（利用NiosII精简软核定制一个完整的32位CPU系统只需要占用700个逻辑单元）；

2) 内嵌RAM共92, 160bits (约12Kbyte), 可配置为用户程序RAM, 也可以配置为双口RAM或FIFO存储器;

3) 包含2个PLL;

4) 包含34个差分通道;

5) 最大用户I/O数: 185

4.3.2 FPGA 芯片的配置

FPGA是基于门阵列方式为用户提供可编程资源的, 其内部逻辑结构的形成是由配置数据决定的。这些配置数据通过外部控制电路或微处理器加载到FPGA内部的SRAM中, 由于SRAM的易失性, 每次上电时, 都必须对FPGA进行重新配置, 在不掉电的情况下, 这些逻辑结构将会始终被保持, 从而完成用户编程所要实现的功能^[26]。

FPGA的配置方式分为主动式和被动式, 数据宽度有8位并行方式和串行方式两种。在主动模式下, FPGA在上电后, 自动将配置数据从相应的外存储器读入到SRAM中, 实现内部结构映射; 而在被动模式下, FPGA则作为从属器件, 由相应的控制电路或微处理器提供配置所需的时序, 实现配置数据的下载。

FPGA的配置引脚可分为两类: 专用配置引脚和非专用配置引脚。专用配置引脚只有在配置时起作用, 而非专用配置引脚在配置完成后则可以作为普通的I/O口使用。

专用的配置引脚有: 配置模式脚M2、M1、M0; 配置时钟CCLK; 配置逻辑异步复位PROG, 启动控制DONE及边界扫描TDI, TDO, TMS, TCK。非专用配置引脚有Din, D0: D7, CS, WRITE, BUSY, INIT。

在不同的配置模式下, 配置时钟CCLK可由FPGA内部产生, 也可以由外部控制电路提供。

FPGA共有四种配置模式: 从串模式(Slave Serial), 主串模式(Master Serial), 从并模式(Slave Parallel / SelectMap)以及边界扫描模式(Boundary-Scan)。具体的配置模式由模式选择引脚MSEL1、MSEL0决定。

本文采用EPC2对FPGA器件进行配置, 具体电路见附图。

4.4 VIP 芯片的结构及特点

本文的重点在于研究应用可编程器件(FPGA)完成视频图像的采集和预处理, 所以首先要研究的是图像采集过程, 即将摄像头输出的模拟信号转换成数字信号。完成这一功能的模块称为VIP(video input processor, 视频信号输入处理器)。

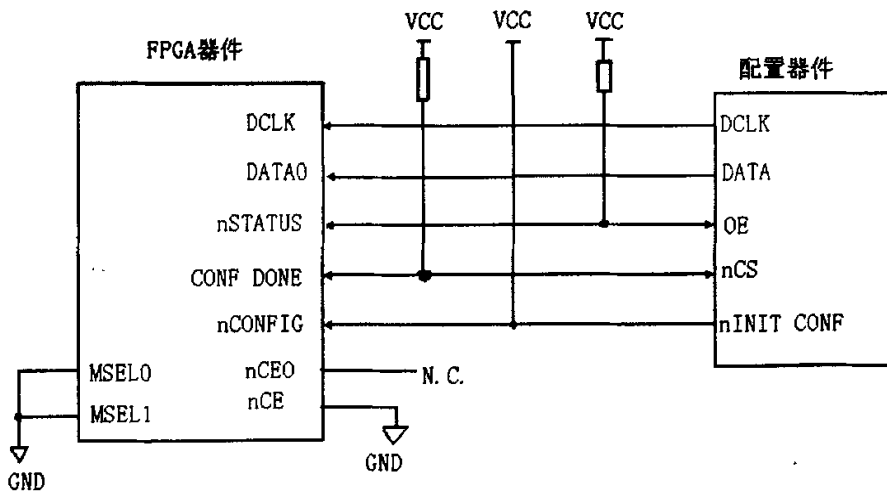
4.4.1 视频解码芯片 SAA7113 的结构

SAA7113 是 PHILIPS 公司的一种高集成度视频解码芯片, 它支持隔行扫描和多种数据输出格式, 可通过其 I²C 接口对芯片内部电路进行控制。该芯片具有如下特点:

1) 支持四路模拟输入, 内置信号源选择器。

- 2) 有两个模拟预处理通道。
- 3) 内置两个模拟抗混叠滤波器。
- 4) 两个片内 8 位视频 A / D 转换器。
- 5) 行 / 场同步信号自动检测。
- 6) 多种数据输出格式。

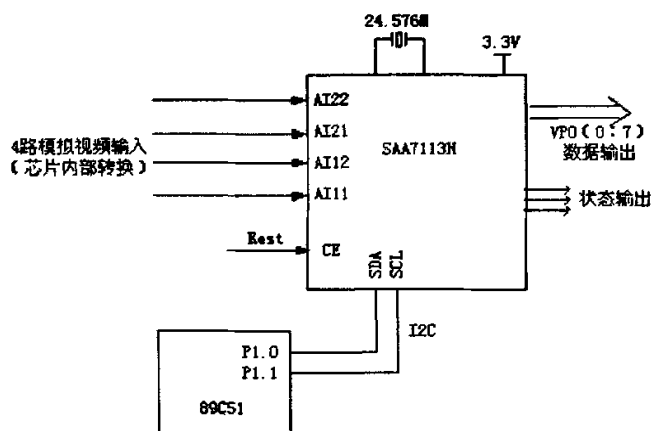
SAA7113 的主要作用是把输入的模拟视频信号解码成标准的“VPO”数字信号，相当于一种“A/D”器件。7113 兼容全球各种视频标准，在我国应用时必须根据我国的视频标准来配置内部的寄存器，即初始化，否则 7113 就不能按要求输出，可以说对 7113 进行研发的主要工作就是如何初始化。对 7113 初始化需要通过 I²C 总线进行。



4-2 FPGA 的配置电路原理图

4.4.2 SAA7113 的应用。

SAA7113 是一种视频解码芯片，它可以输入 4 路模拟视频信号，通过内部寄存器的不同配置可以对 4 路输入进行转换，输入可以为 4 路 CVBS 或 2 路 S 视频 (Y/C) 信号，输出 8 位“VPO”总线，为标准的 ITU 656、YUV 4: 2: 2 格式。SAA7113 兼容 PAL、NTSC、SECAM 多种制式，可以自动检测场频适用的 50 或 60Hz，可以在 PAL、NTSC 之间自动切换。7113 内部具有一系列寄存器，可以配置为不同的参数，对色度、亮度等的控制都是通过对相应寄存器改写不同的值，寄存器的读写需要通过 I²C 总线进行。SAA7113 的模拟与数字部分均采用+3.3V 供电，数字 I/O 接口可兼容+5V，正常工作时功耗 0.4W，空闲时为 0.07W。7113 需外接 24.576MHz 晶体，内部具有锁相环 (LLC)，可输出 27MHz 的系统时钟。芯片具有上电自动复位功能，另有外部复位管脚 (CE)，低电平复位，复位以后输出总线变为三态，待复位信号变高后自动恢复，时钟丢失、电源电压降低都会引起芯片的自动复位^[27]。7113 为 QFP44 封装，7113 的典型应用如图 4-3 所示。



4-3 单片机配置 SAA7113H 原理图

SAA7113 的地址从 00H 开始, 其中 14H、18H~1EH、20H~3FH、63H~FFH 均为保留地址, 没有用到, 00H、1FH、60H~62H 为只读寄存器, 只有以下寄存器可以读写: 01H~05H (前端输入通道部分), 06H~13H、15H~17H (解码部分), 40H~60H (常规分离数据部分)。

对 SAA7113H 中的寄存器的设置, 其中默认值为芯片复位后的寄存器默认值, 设置值为可以适用于我国 PAL 制式的设置参数。

SAA7113H 的输出控制管脚 RTS0 和 RTS1 是多功能复用管脚, 根据不同的系统要求, 通过对子地址寄存器 SA12 写入不同的控制字可将两输出管脚配置为行同步、帧同步、奇偶场同步等不同的信号。本系统将 SA12 子地址寄存器设置为 0XA7, 这样可将 RTS0 设置为行同步信号, RTS1 设置为场同步信号。同时, SAA7113 还可输出像素时钟的参考信号 LLC, 时钟频率为 27MHZ, 该信号是像素时钟的二倍, 即像素时钟为 13.5MHZ。CCD 摄像头传送的信号为 PAL 制、场频为 50HZ 的视频信号, 经视频解码芯片后, 可以在 RTS0 和 RTS1 管脚上看到该图像的同步信号, 其行周期为 $64\mu s$, 场周期为 20ms。

通过 I²C 总线协议对 SAA7113 的各个控制寄存器进行配置可使其满足系统要求。由于 DSP 芯片是处理型器件, 它的控制能力比较弱, 通用 I/O 口比较少, 而单片机则具有很好的控制功能。

4.5 SRAM 的选择与应用

与图像处理有关的 SRAM 参数主要是 SRAM 的读写速度和容量。在容量方面, 实验系统采用的图像大小占用 256K 字节空间, 所以 SRAM 的容量至少要为 256K 字节。在读写速度方面, 目前的 SRAM 读写速度一般为 12ns、15ns、20ns 或者更慢, 由于 SRAM 读写速度直接影响到整个图像处理系统的系统时钟, 所以, SRAM 读写速度的选择应该越快越好。生产 SRAM 厂家基本都有容量和速度上相类似的产品, 所以在保证参数的前提

下, 选用哪个厂家产品是无关紧要的。本系统设计选用了 CYPRESS 公司的 CY7C1049BV33-15, 芯片容量为 $512\text{K} \times 8$ 字节, 读写速度可达到 15ns 。图 4-4 是逻辑块内部图^[28]。

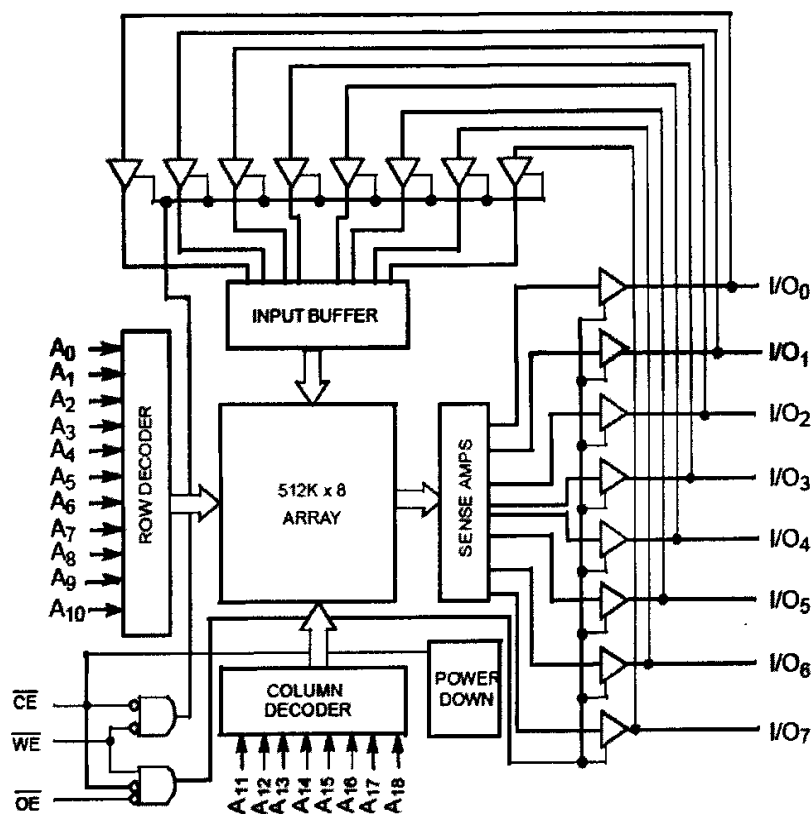


图 4-4 CY7C1049 内部逻辑块图

4.6 通信接口芯片的选择与应用

通用串行总线 (USB) 支持热插拔, 真正的即插即用。而最新的 USB2.0 协议支持高速, 全速和低速传输。在高速传输时, 可以达到 480Mbps 的传输速率; 在全速传输时, 可以达到 12Mbps 的传输速率; 低速传输时, 传输速率可达 1.5Mbps 。USB 电缆线只有四根, 两根是电源线, 传送 5V 电源可用来给设备供电; 另外两根是信号线, 用来传输串行数据。与传统的 RS-232 串口比较, USB 具有传输速度更快, 集成化程度更高, 编程更好以及能够支持多个设备的优点, 在这个系统中, USB2.0 数据流传输芯片使用的是 CYPRESS 公司的 Cy7c68013 芯片, 商标号为 FX2^[29]。

FX2 与外设实现数据通信采用两种传输模式: 主机模式、从机模式。采用从机模式, FX2 的 CPU 仅仅用来初始化参与 USB 传输的各功能寄存器, 由 FPGA 芯片作为控制主体, 通过判断 FX2 片内 FIFO 数据的存储状态, 控制产生读写控制时序信号, 完成外部存储芯片 SRAM 与 USB 内部 FIFO 之间的数据传输^[30]。硬件原理框图如 4-5 所示。

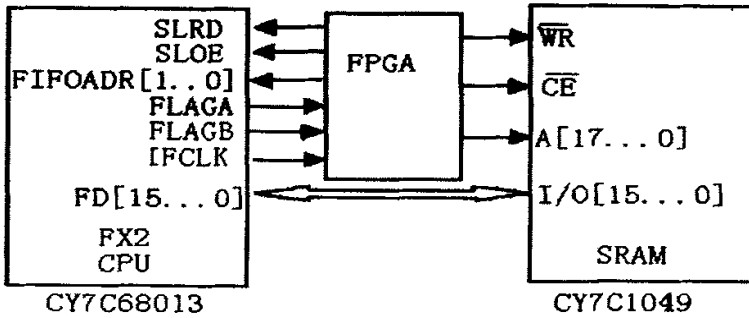


图4-5 USB数据传输硬件框图

EZ-USB FX2芯片包括1个8051处理器、1个串行接口引擎(SIE)、1个USB收发器、8.5KB片上RAM、4KB FIFO存储器以及1个通用可编程接口(GPIF)^[31]，如4-6所示。

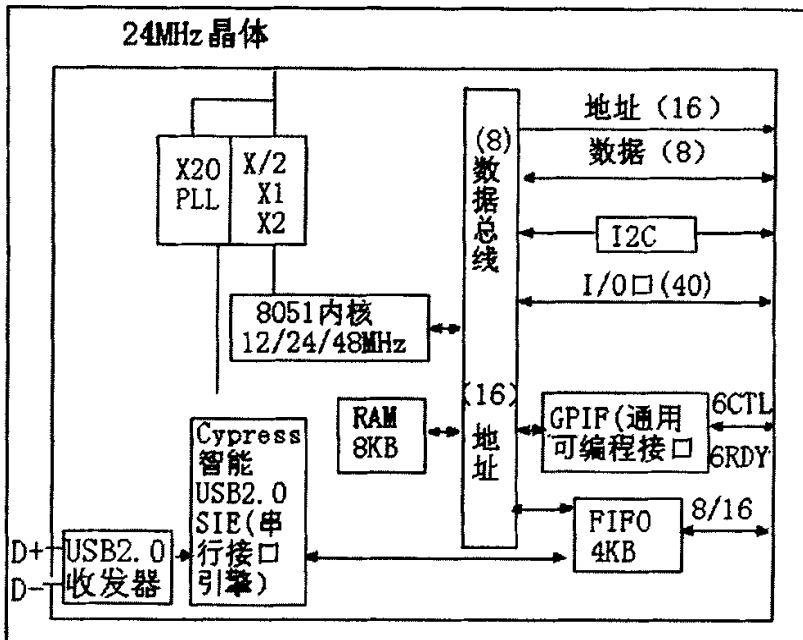


图 4-6 EZ-USB FX2 芯片内部原理图

FX2 使用低价格的 8051 芯片，但它获得了 USB2.0 协议允许的最大带宽，数据传输率达到了 56M。Cypress 智能 USB2.0 串行接口引擎(SIE)执行基本的 2.0 协议的操作，从而释放嵌入式微处理器(MCU，这里是 8051 芯片)去处理应用程序的请求。通用可编程接口(GPIF)和端点 FIFO 缓存器可以“无缝粘接”，即可与大部分 ASIC 或 DSP 进行连接，并且它还支持大部分通用总线标准，包括 ATA、UTOPIA、EPP 和 PCMCIA。EZ-USB FX2 完全适用于 USB2.0，并向下兼容 USB1.1。FX2 的 SLAVE FIFO 接口可以直接与外部设备“无缝连接”。它的一个主要的特点是：在 AUTO OUT 和 AUTO IN 模式下，数据流从主机传出或者向主机输入不需要经过 CPU 的处理。这样，低主频的 8051 CPU 将不会影响高带宽数据流传输。

第5章 图像采集系统的软件设计及算法实现

5.1 VHDL 程序结构及特点

5.1.1 VHDL 特点

VHDL 的英文全名是 Very-High-Speed Integrated Circuit Hardware Description Language, 在电子工程领域已成为事实上的通用硬件描述语言。

VHDL 主要用于描述数字系统的结构、行为、功能和接口。除了含有许多具有硬件特征的语句外, VHDL 在语言形式、描述风格和句法上与一般的计算机高级语言十分相似。VHDL 的程序结构特点是将一项工程设计, 或称设计实体(可以是个元件、一个电路模块或一个系统)分成外部和内部两部分。外部也可以成为可视部分, 他描述了此模块的端口, 而内部可称为不可视部分, 它涉及到实体的功能实现和算法完成。在一个设计实体定义了外部端口后, 一旦其内部开发完成, 其他的设计就可以直接调用这个实体。这种将设计实体分成内外部分的概念是 VHDL 系统设计的基本点^{[18][22]}。

应用 VHDL 进行工程设计有以下优点:

1. 行为描述

与其它的硬件描述语言相比, VHDL 具有更强的行为描述能力, 强大的行为描述能力是避开具体的器件结构, 从逻辑行为上描述和设计大规模电子系统的重要保证。

2. 仿真模拟

VHDL 丰富的仿真语句和库函数, 使得在任何系统的设计早期就能查验设计系统的功能可行性, 随时可对设计进行仿真模拟。

3. 大规模设计

一些大型的 FPGA 设计项目必须由多人甚至多个开发组共同并行工作才能实现。VHDL 语句的行为描述能力和程序结构决定了它具有支持大规模设计的分解和已有设计的再利用功能。

4. 门级网表

对于用 VHDL 完成的一个确定的设计, 可以利用 EDA 工具进行逻辑综合和优化, 并自动把 VHDL 描述设计转变成门级网表。

5. 独立性

VHDL 对设计的描述具有相对独立性, 设计者可以不懂硬件的结构, 也不必对最终设计实现的目标器件有很深入的了解。

5.1.2 VHDL 程序基本结构

一般的 VHDL 程序可以由实体(Entity)、结构体(Architecture、配置(Configuration)、程序包(package)以及库(Library) 5 个部分组成, 它们是 VHDL 程序的设计单元。其中实体、配置和程序包属于初级设计单元, 主要的功能是进行端

口、行为、函数等的定义。结构体和程序包是次级设计单元，包含了所有行为以及函数的实现代码。其中，程序包和程序包体又属于公用设计单元，即它们是被其它程序模块调用的。库则是一批程序包的集合。图 5-1 所示为 VHDL 程序设计单元之间的关系。

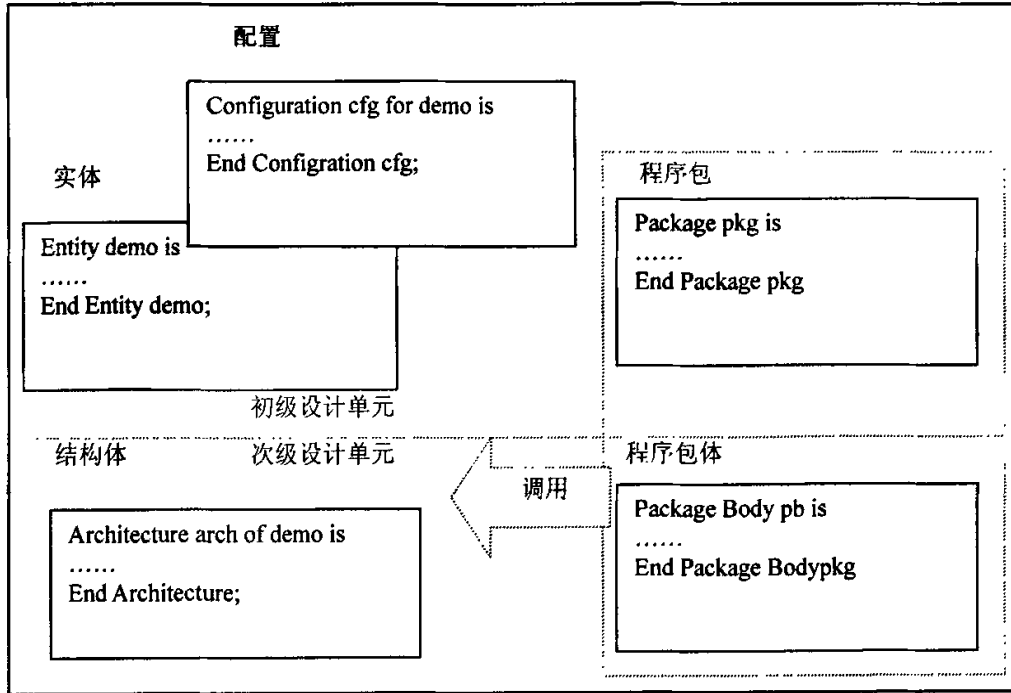


图 5-1 VHDL 程序设计单元之间的关系图

无论是复杂的还是简单的数字模块，用 VHDL 来描述都至少需要包括两个部分，即实体申明（Entity Declaration）和结构体（Architecture）。其中实体申明用于说明模块的端口，而结构体用于描述模块的功能。

5.2 FPGA 和 VIP 初始化

5.2.1 FPGA 初始化配置

FPGA 配置数据存储在 SRAM 中，由于 SRAM 的易失性，系统每次上电时比促重新配置数据，只有在数据配置正确的情况下系统才能正常工作。这种器件的优点是可在线重新配置 ICR(In-Circuit Reconfigurability)，在线配置方式一般有两类：一是通过下载电缆由计算机直接对其进行配置；二是通过微处理器对其进行配置，计算机配置在调试时非常方便，但是在现场实现时不现实的。因此应用单片机对其进行配置，在系统上电时，系统本身具有自动加载可编程逻辑器件的编程文件，完成对 FPGA 的配置，而且对于不同的应用场合，只须对源程序进行修改或者启用不同的程序段即可。

5.2.2 EPC 配置 FPGA 设计

专用配置器件通常是串行的 PROM 器件。大容量的 PROM 器件也提供并行接口, 图 5-2 是 Altera 的 EPC 器件配置 FPGA 的时序图, 下图为应用 EPC 对 FPGA 进行配置的电路原理图。配置器件的控制信号 (如 Ncs, OE 和 DCLK 等) 直接与 FPGA 器件的控制信号相连。所有的器件不需要任何外部智能控制器就可以由配置器件进行配置。配置器件的 OE 和 nCS 引脚控制着 DATA 输出引脚的三态缓存, 并控制地址计数器的使能。当 OE 为低电平时, 配置器件复位地址计数器, DATA 引脚为高阻状态。nCS 引脚控制着配置器件的输出, 如果在 OE 复位脉冲后, nCS 始终保持高电平, 计数器将被禁止, DATA 引脚为高阻。当 nCS 置低电平后, 地址计数器和 DATA 输出均使能。OE 再次置低电平时, 不管 nCS 处于何种状态, 地址计数器都将复位, DATA 引脚置为高阻态^[32]。

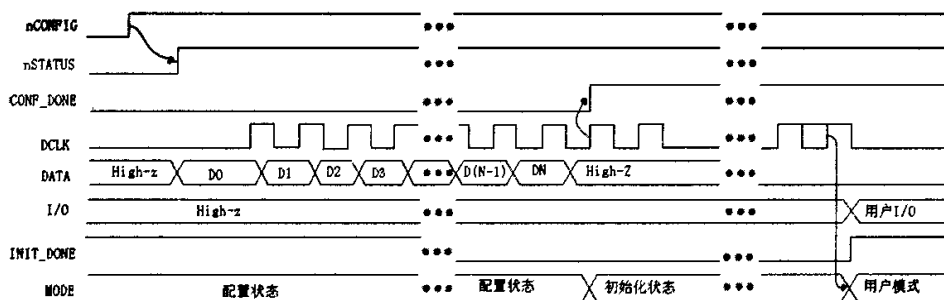


图5-2 FPGA使用EPC配置器件的配置时序

5.2.3 应用单片机完成对 VIP 的配置

用单片机初始化7113的主要任务是程序的编写, 首先要熟悉I2C总线协议, 根据I2C总线的原理写出启动、停止、应答信号等的子程序, 由子程序再写出发送、接收1个字节的程序, 然后根据7113的寄存器操作格式写出读写寄存器的程序, 最后根据以上的子程序写出初始化7113的程序段。对SAA7113控制字的写过程如图5-3所示。

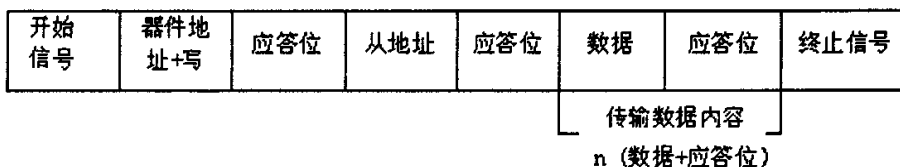


图 5-3 对 SAA7113 控制字的写操作

I²C 协议中器件的地址是 7 位, 加上读写位 (写为 “0”, 读为 “1”) 构成一个完成的字节。SAA7113 的器件地址是 0100, 101, 加上读写位后: 器件地址+写=0100 1010 即 4AH; 器件地址+读=0100 1011 即 4BH。从地址是器件内部分配的地址。SAA7113 提供 00~1F、40~62 共 43 个控制字。SAA7113 读控制字的过程如图 5-4 所示。

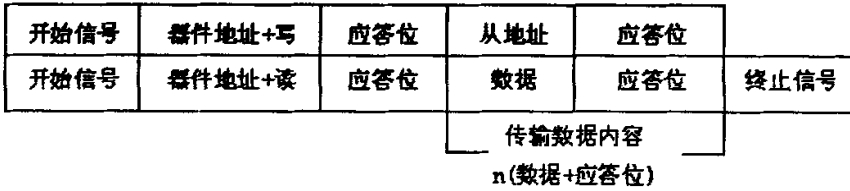


图 5-4 对 SAA7113 控制的读操作

I²C协议中的读操作比写操作复杂：首先完成对器件地址和从地址的写操作；然后发送一个4BH（器件地址+读），可以开始接收数据；数据传输结束时发送终止信号。SAA7113配置的流程如图5-5所示。

SAA7113 的初始化就是对寄存器配置合适参数，使其能够有符合要求的输出。对7113的控制一般是改变色度、亮度等指标以及输出管脚的输出信号，这可以通过修改相应寄存器的值来完成，程序上写出“读写命令”即可
寄存器配置程序如下：

*****初始化 7113，配置各寄存器*****

```
INIT_SAA7113:  MOV DPTR, #SAA7113_Subaddress
                MOV R7, #28
INIT100:       MOV A, #0
                MOVC A, @A+DPTR
                MOV Subaddress, A; 调寄存器地址
                MOV A, #28
                MOVC A, @A+DPTR
                MOV DATA_I2C, A    ; 调寄存器配置数据
                INC DPTR
                ACALL I2C_WRITE     ; 配置 1 个寄存器
                JB I2C_ERROR, INIT200
                DJNZ R7, INIT100
```

```
INIT200:       RET
```

; *****SAA7113 寄存器初始化配置数据*****

SAA7113_Subaddress:

```
DB 01H, 02H, 03H, 04H, 05H, 06H, 07H, 08H, 09H, 0AH, 0BH, 0CH, 0DH, 0EH
DB 0FH, 10H, 11H, 12H, 13H, 15H, 16H, 17H, 40H, 58H, 59H, 5AH, 5BH, 5EH
; 共 28 个
```

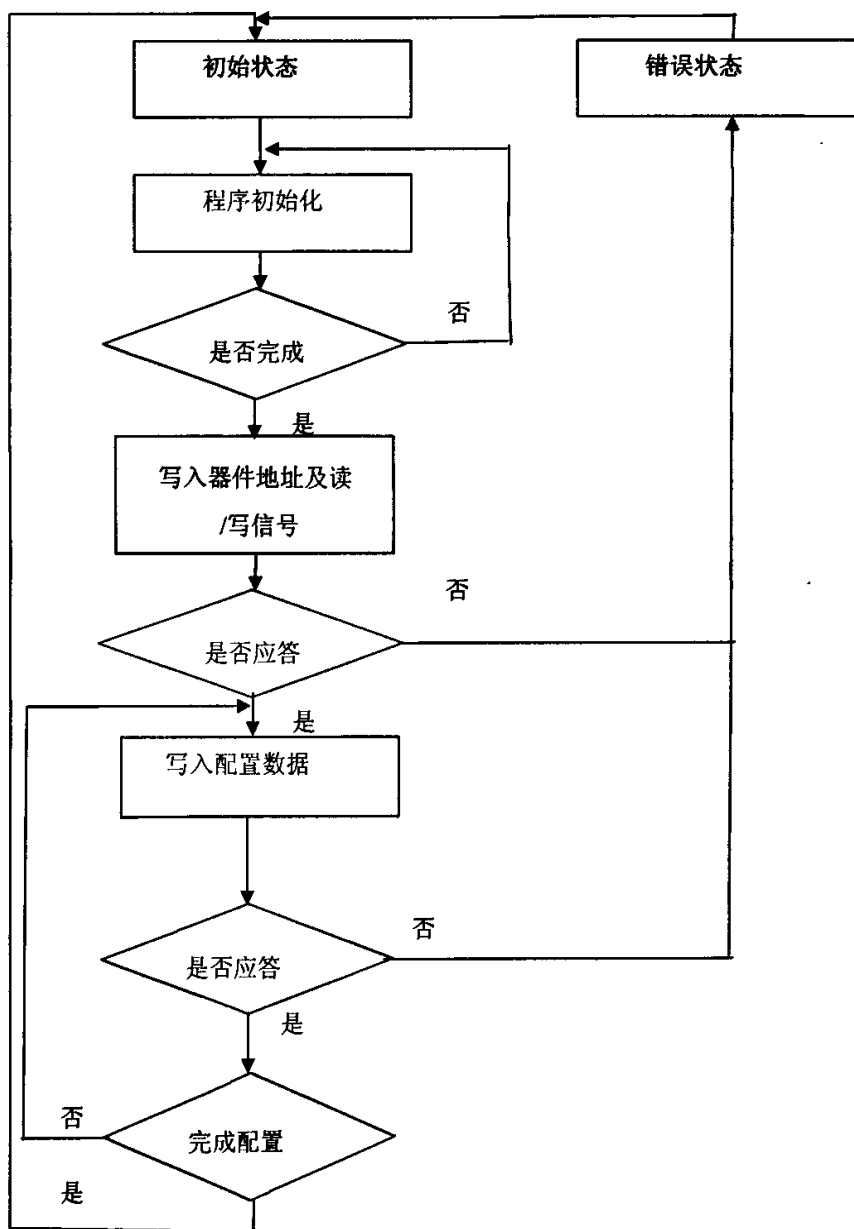


图 5-5 SAA7113 配置的流程图

5.3 VIP 模块的时序控制设计

5.3.1 VIP 模块的输出格式

电视信号转换模块的电路设计见附图 2。其中 SAA7113 的时钟信号由一片 24.576MHz 的晶体提供，产生内部所需的 27MHz 的 LLC (line-locked system clock output, 行锁定系统时钟) 信号及其二分频信号 LLC2 (频率 13.5MHz)。其中 LLC2 信号用来同步整个图像采集系统，即一个 LLC2 周期采集一个像素的图像数据^[16]，如图 5-6

所示。

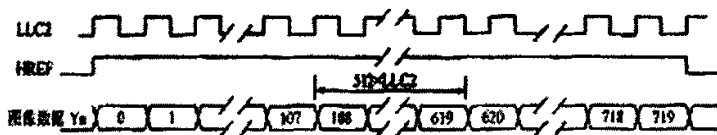


图 5-6 一个 LLC2 周期采集一个像素数据

SAA7113 内部包括模拟电路和数字电路两部分。模拟电路部分具有对电视信号放大、抗混叠滤波 (anti-alias filter) 等功能, 数字电路部分具有对模拟转换以后图像数据各种参数的处理等功能。

1. 输出数据的格式

摄像头输出的图像信号通过 RCA-JACK 插座连接到 SAA7113, 经过 A/D 转换及其他相关处理后得到数字格式的图像数据。SAA7113 能提供以下输出格式的数据:

标准的 ITU656YUV4:2:2 (8 位) 格式的数据;

增强的 ITU656 标准格式的各种数据, 如 active video、raw CVBS 等。

标准 ITU656 格式是 ITU (International Telecommunications Union, 国际电信同盟) 推荐的数字视频数据格式。YUV (亦称 YCrCb) 是欧洲电视系统采用的一种颜色编码方法 (属于 PAL 制)。采用 YUV 主要目的在于优化彩色视频信号的传输, 使其在传输中占用较少的带宽, 并能兼容老式黑白电视。如果直接采用 RGB 视频信号传输, 将要求 RGB 3 个独立的视频信号同时传输, 占用带宽要多得多。YUV 中 “Y” 表示明亮度 (Luminance 或 Luma), 也就是灰阶段; 而 “U” 和 “V” 表示色度 (Chrominance 或 Chroma), 其作用是描述影像色彩及饱和度, 用于指定像素得颜色。“亮度” 是由 RGB 输入信号来创建的, 方法是将 RGB 信号的特定部分叠加到一起。“色度” 则定义了颜色的两个方面——色调和饱和度, 分别用 Cr 和 Cb 来表示。其中, Cr 反映 RGB 输入信号中红色部分与 RGB 信号亮度值之间的差异, 而 Cb 反映 RGB 输入信号蓝色部分与 RGB 信号亮度值之间的差异。

从 SAA7113 数字视频信号输出总线 VP0 输出的数据格式如图 5-7 所示。

BLANK I		TIMING												TIMING		BLANKING PERIOD						
NG		REFERENCE		720 PIXELS YUV 4:2:2 DATA										REFERENCE								
PERIOD		CODE												CODE								
...	8	1	F	0	0	SA	C _u	Y	C _u	Y	C _u	Y	...	C _u 7	Y7	F	0	0	EA	8	1	...
	0	0	F	0	0	V	0	0	0	1	2	2		18	19	F	0	0	V	0	0	

图 5-7 SAA7113 输出数字视频信号数据格式

“80 10”表示当前视频信号处于行消隐阶段。“FF 00 00 SAV”是时间参考代码，标志有效视频数据的开始。其中“SAV”(Start of Active Video)意思是有效视频数据的开始。“C₀ Y0C₀Y1 C₂ Y2...C₇18Y719”是有效视频数据。“FF 00 00 EAV”是时间参考代码，标志有效视频数据的结束。其中“EAV”(End of Active Video)意思是有效视频数据的结束。“80 10”表示下一行视频数据的行消隐信号开始。

用下面公式可以把传输用的 ITU656YUV 格式的数据还原为需要的 RGB 格式：

$$[RGB] = [YUV] \times \begin{pmatrix} 1 & 1 & 1 \\ 0 & 0.395 & 2.032 \\ 1.140 & -0.581 & 0 \end{pmatrix} \quad (5-1)$$

5.3.2 FPGA 对 VIP 模块的时序控制

1) 隔行扫描转换为逐行扫描^[34]

电视视频信号采用的是隔行扫描的方式，将一帧分为两场，即奇场和偶场，视频采集系统通常都需要将隔行扫描转换为逐行扫描，以方便图像处理器运行图像处理算法。

本系统利用 FPGA 实现隔行扫描到逐行扫描的转换，如图 5-8 所示

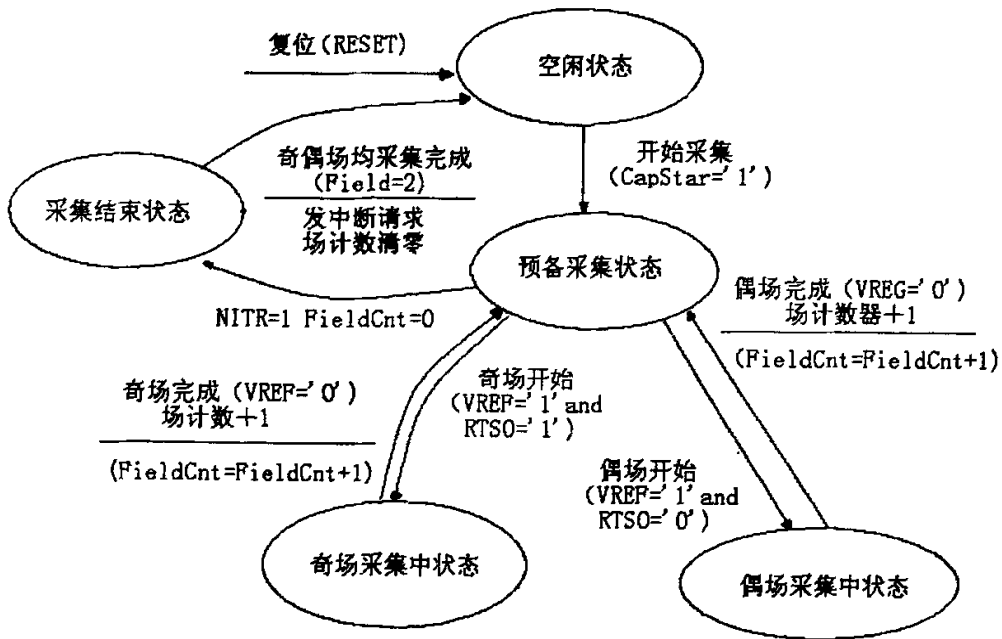


图 5-8 隔行到逐行扫描状态转换图

在奇场采集状态 (ODD_FIELD) 时，设计一个行计数器，计数初值从 0 开始，每次加 2，计数经过值为 0, 2, 4, 6, ..., 572, 574; 而在偶场采集状态时 (EVEN_FIELD)，该计数器初值从 1 开始，每次加 2，计数经过值为 1, 3, 5, 7, ..., 573, 575。由于在

选择 SDRAM 时已经考虑到每行 720 个像素存储到 SDRAM 的一行 1024 个字节的存储单元中, 因此该行计数器实际上就是 SDRAM 控制器中的行地址发生器。当奇场和偶场均采集完成后, SRAM 中从 0 到 575 共计 576 行存储单元中存储的是一帧完整的视频数据, 其结果同逐行扫描的采集结果一致, 从而实现了隔行扫描到逐行扫描的转换。

2) VIP 模块及采集图像大小的控制

对 VIP 模块的时序控制采用状态机来实现。具体算法及流程图如 5-10 所示。

状态一: 状态一总是处于自循环状态, 直到接收到从处理器总线接口传来的开始信号脉冲, 开始启动图像采集程序。

状态二: 初始化记录视频行数变化的计数器和地址变量, 这个地址变量指出外部存储器 SRAM 存储第一个视频像素点的位子。最后这个状态自循环, 直到它接收到一个场同步脉冲信号, 因而能够成功的锁定图像采集功能的开始于有用的视频帧, 这是一个高电平触发的场同步信号, 直到一帧图像的 25 行, 及半场图像的采集结束, 然后转为低电平。

状态三: 初始化一个像元计数器, 它能保持记录从开始采集图像的一行像素的个数。这个状态也自循环, 直到行同步信号的上升沿到来。

状态四: 重复查询数据锁定时钟信号, 然后存储视频数据于制定的地址中。

状态五: 本状态完成三个任务。从背景图的连续分配器中, 产生一个脉冲去锁定发送到外部存储器中的地址和数据, 这个地址是外部存储器用来存储像素值的; 记录当前行像素计数器加一; 最后这个状态自动进入下一个状态。

状态六: 等待下一个数据时钟信号,

状态七: 检查象素计数器是否完成, 标志着一行像素采集完毕, 如果没有完成则转到状态 4, 继续存储像素数据, 采集完成则进入下一状态。

状态八: 准备新的视频行。存储下一像素的外部存储器地址加一; 记录视频行数的计数器加一; 自动进入状态 9。

状态九: 通过检查行变量计数器, 检查当前场的图像采集过程是否完成, 没有完成则转入状态 3, 进行下一视频行像素的采集, 完成则进入下一状态。

状态十: 输出结束脉冲, 返回状态 1, 等待下一场图像采集脉冲的到来。

对于采集的图像的大小由计数器来控制, 接口控制逻辑模块框图如图 5-9 所示^[1]。

根据控制逻辑模块框图, 它包括许多子模块, 所有的子模块的逻辑都在一块 FPGA 内实现。图中的 rdy2 为前端处理器准备好输出的状态信号; CTRL 为帧控制状态机输出的控制信号; A 为产生的地址信号。当 ODD 的上升沿到来时, 标志奇数场的开始, 此时帧切换控制将数据通道切换到空的 SRAM 中, 并复位有效行计数器和有效像素计数器。当 VREF 的上升沿到来时。模块无效行计数器开始计数不采集的有效图像行, 计数到 4 行后, 模块有效行计数器开始计数要采集的有效图像行数(对脉冲 HREF 计数)。在每一个有效行期间, 模块无效像素计数器计数每一行中无效采集像素。然后模块有效像素计数器

开始计数。

要采集的一行中的有效图像像素(对 LLC2 计数)，计满 512 后，等待 HREF 的上升沿到来时，有效行计数器增 1，同时有效像素计数器复位，开始重新计数。直到有效行计数器计满 256 行后，如果 ODD=1，等待 VREF 的上升沿到来，开始偶数场的采集。如果行计数器计满 256 行后，ODD = 0，则结束图像采集。有效行计数器的输出为 SRAM 的高端地址 A[17:11]，有效像素计数器的输出为 SRAM 的低端地址 A[9:0]，ODD 接 SRAM 的地址 A[10]，这样隔行视频信号经 APD 转换后，逐行存储到帧存储器中。模块帧切换控制用来协调视频转换接口与前端处理器接口对帧存储器的管理。

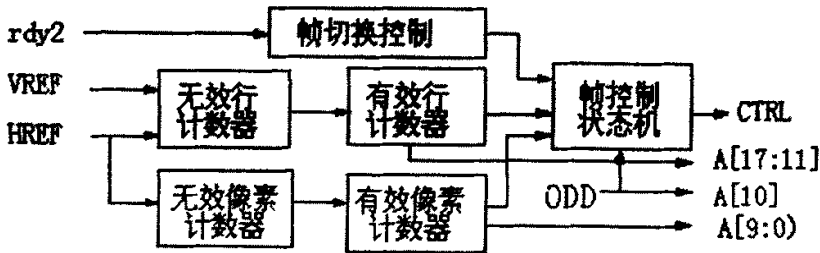


图 5-9 接口控制逻辑模块框图

5.4 SRAM 模块程序设计

5.4.1 SRAM 的读写时序

SRAM 在读写上有严格的时序要求，用 CE、OE、WE 控制完成写数据，具体时序如图 5-11 所示。具体过程是：首先输出并保持地址 OE 信号，然后片选信号 CE 置低，同时把输出有效信号 OE 置高，最后把写有效信号 WE 置低，并开始写数据。

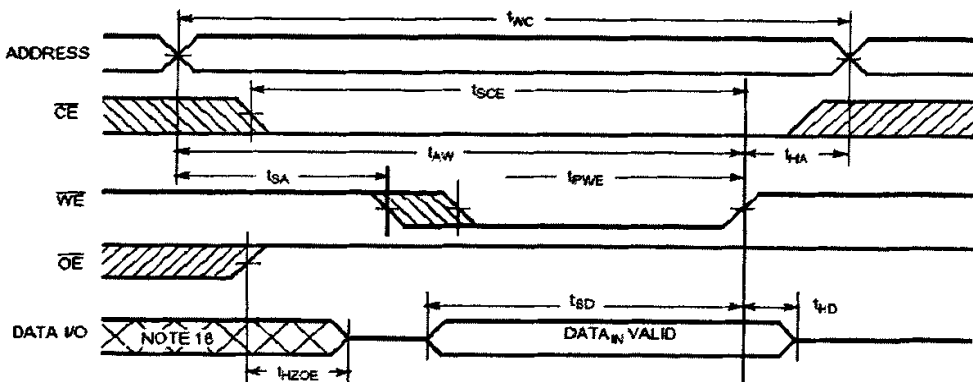


图 5-11 SRAM 读写时序图

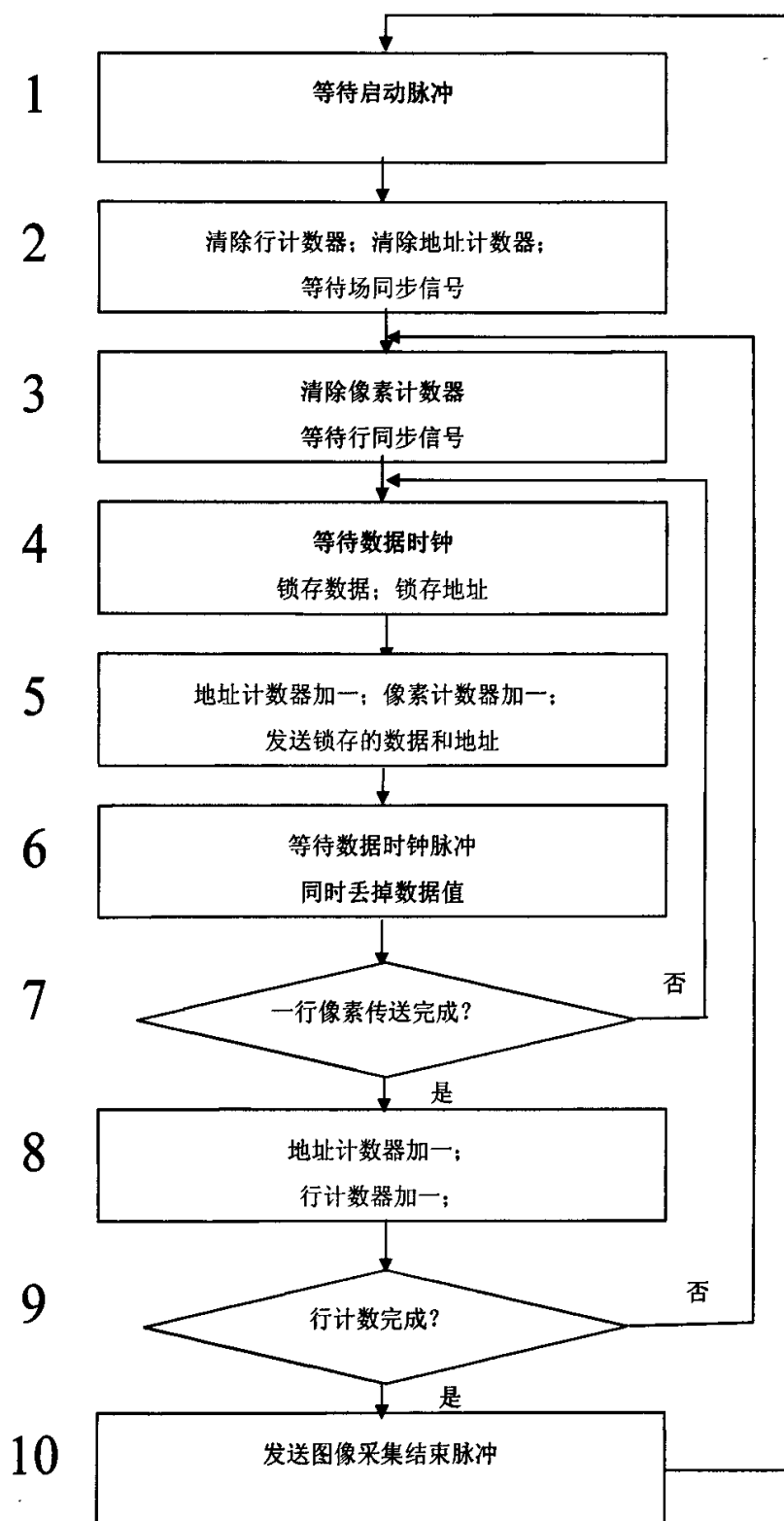


图 5-10 VIP 采集模块流程图

5.4.2 轮流存储控制

系统中两块 SRAM 分别由微处理器和 FPGA 控制。当微处理器和 FPGA 完成对相应 SRAM 的操作后, 需要进行总线切换。总线切换后, 微处理器和 FPGA 开始对另一块 SRAM 进行相应的操作。

由于 SRAM 工作原理的特点, 要想加快 SRAM 的读取速度, 对 SRAM 的读写应该尽量一次读写较大块的数据, 并且尽量使 SRAM 换行次数减少。而由于 SAA7113H 与图像处理器存取地址的随机性不一致性, 采用一块 SDRAM 做不到这一点, 一次本系统采用了 2 块 SRAM, 并利用 FPGA 实现了两组独立的外部读写总线, 利用乒乓互锁工作机制使得外部总线对两片 SRAM 的读写错开, 即图像处理器读写 A 号 SDRAM(帧存 A), 则 SAA7113H 输出数字视频信号写入 B 号 SDRAM(帧存 B) 由于一块 SRAM 的容量由 $512K \times 8$ 字节, 而存储一帧数字视频图像需要的存储量是 (只存灰度图像):

$$720 \times 576 \times 8B = 405 \times 8KB$$

因此系统的帧存储能力可以满足乒乓互锁工作机制对缓冲容量的要求。

根据以上对乒乓互锁工作机制的要求, 设计乒乓互锁工作机制如图 5-12 所示;

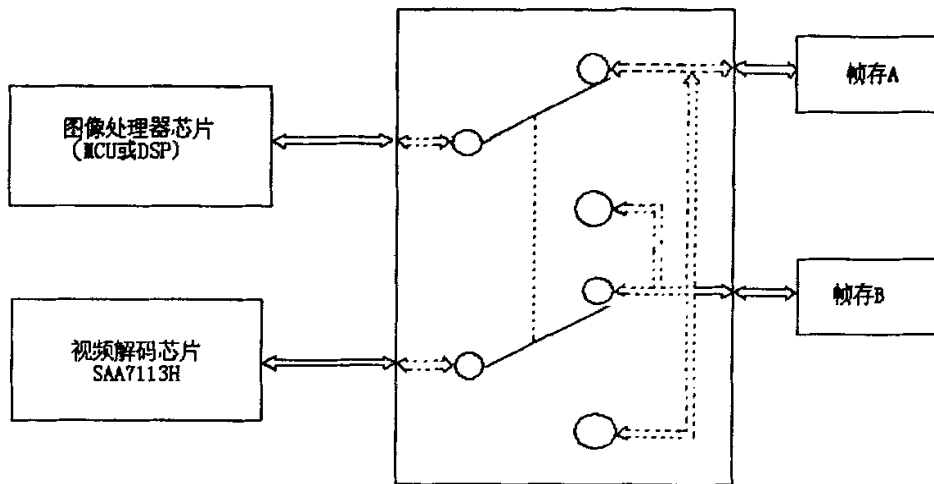


图 5-12 乒乓互锁工作机制原理图

该乒乓互锁工作机制实现的是两个帧存 A、B 之间的乒乓互锁工作, 由于本系统的 SRAM 由较多的帧存容量, 可以参照上面的原理实现多个帧存之间的互锁工作机制, 以提高系统的处理速度和实时性。

VHDL 实现两帧转换程序如下:

```
-switch State
```

```
WORK_Switch_state:process(RST,clk,WORK_NEXT_STATE,reset)
```

```
begin
```

```
    if(RST = '0' or reset = '0' )then
```

```

        WR_EN<='0';
        RD_EN<='0';
        WR2_EN<='0';
        RD2_EN<='0';

        WORK_CURRENT_STATE <= WORK_idle;
    elsif(clk'event and clk = '1')then
        WR_EN<=sWR_EN;
        RD_EN<=sRD_EN;
        WR2_EN<=sWR2_EN;
        RD2_EN<=sRD2_EN;

        WORK_CURRENT_STATE <= WORK_NEXT_STATE;
    end if;
end process WORK_Switch_state;
    
```

5.5 通信模块的实现

USB2.0的程序设计包括FPGA侧VHDL程序、固件程序的配置和驱动程序的设计。FPGA控制FX2数据传输的内部逻辑框图如图5-13所示^[23]。

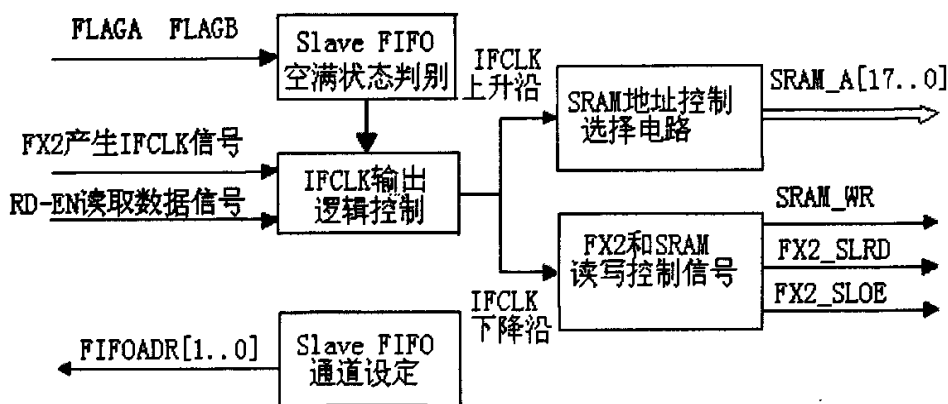


图5-13 FPGA芯片内部逻辑

Slave FIFO通道设定，在FPGA内部选择实现数据传输的FX2内部FIFO通道^[35]。FPGA通过读取由FX2送出的FIFO状态字，判别FX2内部FIFO数据是否为空，当确定数据非空时，开放IFCLK传输通道（IF2CLK由FX2芯片内部送出），在RD2EN外部读信号有效时，触发读写控制时序和产生SRAM的地址信号。其中，在IFCLK上升沿，触发SRAM地址产生计

选通数据的存储地址。在IFCLK的下降沿,触发SRAM2WR写信号有效,同时,触发FX2的FIFO读控制信号SLRD、SLOE有效,通过数据总线,将FIFO中数据送入SRAM相应地址。用于时序控制的数据传输时钟IFCLK最高工作频率为48MHz,可以通过对寄存器IFCONF IG的第7位配置,从片内送出。

5.5.1 固件程序的配置

程序框架用于加速开发基于EZ2USB FX2系列芯片的外设。框架为FX2的初始化、处理标准USB设备请求及USB挂起时的电源处理,提供交互函数。用户只需根据需要,添加完成特定功能的代码,就可以开发出一个功能完善的USB系统。

程序框架提供的任务调度函数:

①TD2Init (void)。该函数在框架初始化时被调用,用来初始化用户的全局变量。

②TD2Poll (void)。在设备工作期间被重复调用,实现USB传送数据控制。它包括一个执行外设功能的状态机。

③TD2Suspend(void)。该函数在框架进入挂起状态时被调用,使设备进入低功耗状态。

通过编写固件程序,将Slave FIFO设置成AUTO_IN/AUTO_OUT模式,在这种模式下,CPU不介入数据传输过程的控制,整个数据交换由外设FPGA提供时序控制逻辑,从外部看USB芯片仅仅是一个数据传输的通道,从而真正实现了USB的高速传输。AUTO_IN/AUTO_OUT模式软件配置在固件程序的TD_IN IT()内,编写流程:

①配置IFCONF IF[7:4],定义接口时钟是否为外设提供。

②置位IFCFG(1:0)=11,使得USB相应端口配置为从FIFO模式。

③复位FIFO端口。

④置位EP*3 FIFOCFG_4=1,将对应的Slave FIFO设置成AUTO OUT模式。

⑤在AUTO/IN模式下,还要设置自动输入的数据包大小。

固件程序的TD2Poll()函数,为数据传输的控制代码段,由于采用AUTO_IN/AUTO_OUT模式,外部的FPGA提供控制逻辑,CPU不参与USB数据包传输的控制,该函数内部不用编写代码。

5.5.2 FPGA 侧的 VHDL 程序实现

由于端点6的SLAVE FIFO接口使用了AUTO IN模式,所以数据流由外部FIFO控制器控制,直接传入端点6的FIFO,然后由主机提取。这里,FX2仅作为一条数据通道,而CPU并不参与这个过程。所以只要在固件程序的初始化程序段内配置好端点6的SLAVE FIFO 接口模式,剩下的传输控制和其它的工作则由FPGA完成。

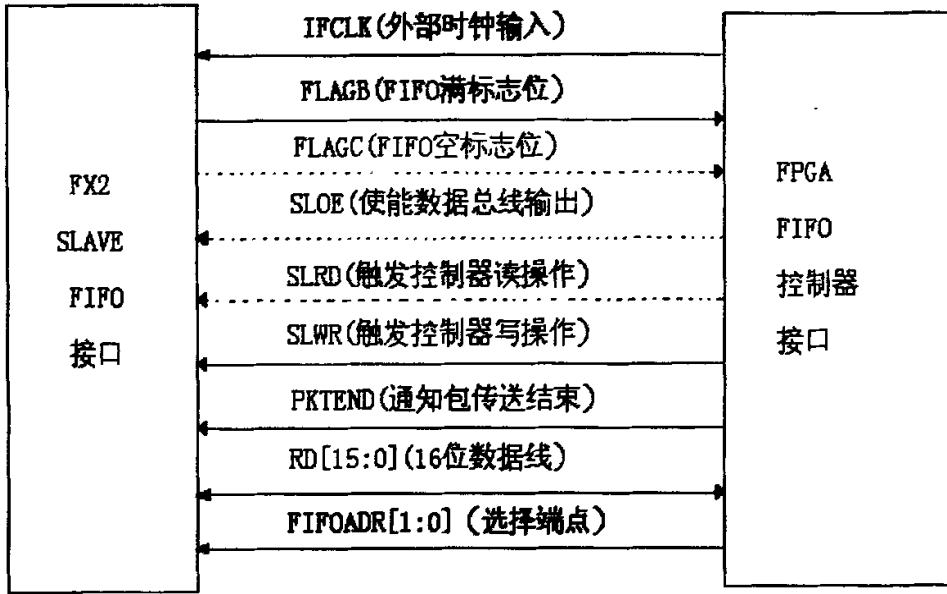


图5-14 FX2与FPGA的SLAVE FIFO模式接口

本系统中，端点6的SLAVE FIFO接口的外部FIFO控制器模块由FPGA实现。FX2的SLAVE FIFO接口与FPGA接口连接图如图5-14（虚线表示未用到的引脚）。外部FIFO控制器控制数据输入的时序是这样的：

当FIFO未满时，在ifclk 时钟下降沿设置slwr有效（低电平）一个时钟周期。SLAVE FIFO接口会在slwr有效时，在ifclk时钟上升沿采样数据总线的数据并送入FIFO，同时FIFO地址指针自动增加。当FIFO满时，设置slwr无效，SLAVE FIFO接口并不会接收数据。数据源产生的data总是驱动到数据总线FD上，并且在slwr有效时更新。

下面是用VHDL语言在FPGA里实现的接口模块，数据的产生、缓存和处理在其它模块内实现。

entity slfifo_wr is -- 实体定义

port(

reset_n: in std_logic; --通过EP1C6的一个IO脚发出的复位信号

ifclk: in std_logic; --SLAVE FIFO 时钟信号，由FPGA实现

full: in std_logic; --由FLAGB输入，为FIFO满标志

data: in std_logic_vector(15 downto 0); --数据源模块产生的数据

fifoadr : out std_logic_vector (1 downto 0) ; --输出到FIFOADR [1:0]

fd : out std_logic_vector (15 downto 0) ; --输出到数据总线FD

slwr : out std_logic; --输出到slwr引脚，对SLAVE FIFO进行控制

pktend : out std_logic --输出到pktend，强制当前FIFO内数据输入完成);

```

end slfifo_wr;
architecture rtl of slfifo_wr is --结构体定义
type state_type is (idle, fifo slwr);--建立状态机, 用于实现接口数据传输
signal state : state_type;
begin
    fifoadr <= "10";--选择端点6 的FIFO 连接到数据总线FD 上
    pktend <= '1';--设置端点6 在只有FIFO 满时才向USB提交数据
    fd <= data;--驱动数据源产生的数据出现在数据总线FD上
process (clk, reset_n)--这里实现一个状态机
begin
    if reset_n = '0' then--当复位时, 状态机回到idle状态, slwr为高电平
        state <= idle;
        slwr = '1' ;
    elsif clk' event and clk = '0' then--在每个时钟下降沿检测状态机并进行相应动作
        case state is
            w hen idle => --此时处于理想状态
if full = '1' then --当FIFO 未填满时
                state <= fifo slwr;--状态转变为fifo slwr 状态
                slwr <= '0' ;--保持slwr有效一个时钟周期
            else
                state <= idle;
                slwr <= '1' ;--此时FIFO 满, slwr 无效
            end if;
        when fifo slwr = >--此状态保持一个时钟周期
            state <= idle; --返回idle
            slwr <= '1' ;--此状态内不执行采样数据操作
        end case;
    end if;
end process;
end rtl;

```

通过使用SLAVE FIFO 的AUTO IN 模式, 数据传输速率得到了很大的提高。

5.5.3. 数据流控制和状态查询的实现

在FX2芯片与FPGA进行数据传输的同时, 需要向FPGA发出一些控制信号以及需要查

询传输的状态，例如数据源的产生和暂停，数据率大小和缓存大小设置以及溢出状态等。为此，选择了FX2芯片中的I2C总线主控制器和几个GPIO脚，用来传输一些必要的控制和状态信息。FX2 芯片中的I2C总线主控制器由两个寄存器控制，它们是：I2CS和I2DAT。在固件内通过对这两个寄存器进行操作就可以很方便的完成FX2中I2C总线传输功能。

为了与FX2芯片中的I2C总线主控制器配合工作，在FPGA中编写了一个I2C总线从模块，使得I2C 总线上的数据传输能够顺利进行。根据I2C总线传输规范，设定了一个状态机i2c_states，它共有如下7个状态：idle, address, addr_ack, read, rd_ack, write wr_ack。图5-15给出了此状态机的状态图。

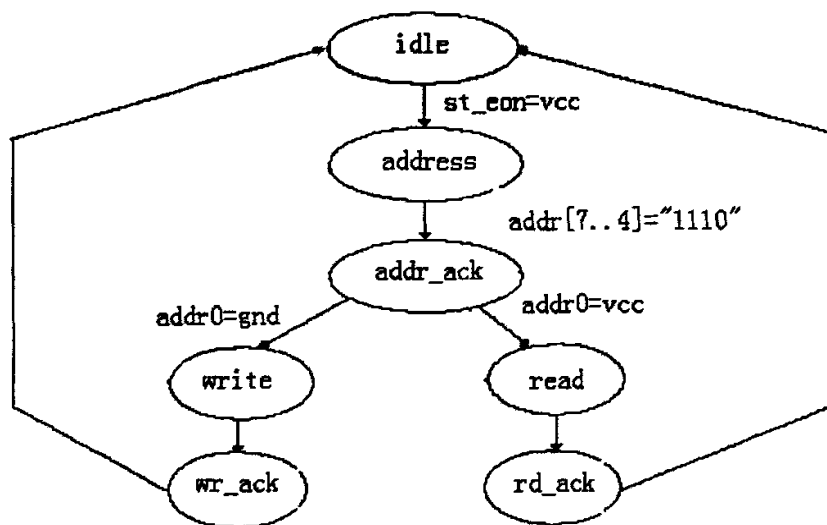


图5-15 I2C 总线状态机流程图

由图5-15可以看出，在开始条件产生(st_con= vcc) 后，i2c_states 由空闲(idle) 状态进入地址状态(address)。在FPGA中指定了两个寄存器，用于存储从I2C总线上发送来的控制信号和将要发送到I2C总线上的状态信号，它们分别是控制寄存器[7…0]，这两个寄存器地址的高4位均为“1110”。同样，可以把FPGA芯片中所有由I2C总线寻址的寄存器的高4位地址都设定为“1110”。如图5-15所示，I2C总线在地址期内发送的高位地址只有为“1110”时，FPGA才会产生响应。这样做的好处是便于扩充其它I2C总线设备。I2C总线在地址期内发送的最低位地址用于指定随后的数据传输是主设备读还是主设备写，高电平表示主设备读，低电平表示主设备写。因此，8 位地址中可以用来寻址FPGA 端口的地址位为addr[3…0]。FX2的GPIO脚的操作是通过寄存器OEx和IOx来进行的^[36]。

5.6 FPGA 中值滤波算法实现

根据第二章中对各种噪声滤出的分析,采用一种改进的中值滤波器进行滤波,它是一种邻域运算,类似域卷积,但不是加权求和,而是把四个子邻域的像素数据求均值,选择次最大值作为输出像素值,这样既能滤出椒盐噪声,又可以滤出高斯噪声,同时也能最大限度地保持图像地细节。用公式表示为:

$$g_1(i, j) = \frac{1}{4}(f(i, j-1) + f(i-1, j) + f(i-1, j-1) + f(i, j)) \quad (5-2)$$

$$g_2(i, j) = \frac{1}{4}(f(i, j+1) + f(i-1, j) + f(i-1, j+1) + f(i, j)) \quad (5-3)$$

$$g_3(i, j) = \frac{1}{4}(f(i, j-1) + f(i+1, j) + f(i+1, j-1) + f(i, j)) \quad (5-4)$$

$$g_4(i, j) = \frac{1}{4}(f(i, j+1) + f(i+1, j) + f(i+1, j+1) + f(i, j)) \quad (5-5)$$

最后取次最大的作为输出像素值,即

$$g_0(i, j) = \text{mediasec}(g_1(i, j), g_2(i, j), g_3(i, j), g_4(i, j)) \quad (5-6)$$

式中: $g(x, y)$, $f(x, y)$ 为像素灰度值, S 为模板窗口。

5.6.1 中值滤波的 FPGA 实现

设计采用的是 3×3 模板处理图像为 $128 \times 128 \times 8$ 像素的灰度图像。总体设计方案如图 5-16 所示^{[37][38]}。

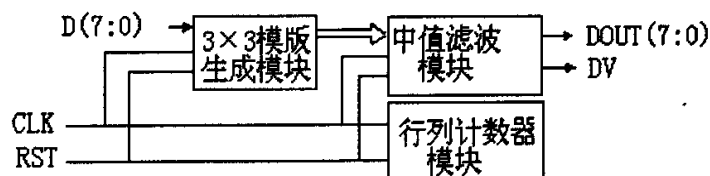


图 5-16 中值滤波框图

由 5-11 可知,整个系统设计分为 3 大模块: 3×3 模板生成模块、中值滤波模块和行列计数器模块。D(7:0)为灰度图像数据输入端。整个系统有统一的时钟信号 clk 和复位信号 RST; DOUT(7:0)为图像数据输出端; DV 为输出数据有效标志。下面分别介绍各模块功能和设计方法。

1) 3×3 模板生成模块

该模块原理框图如图 5-17 所示。

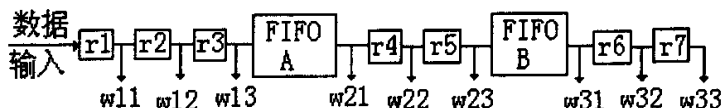


图 5-17 3×3 模板原理图

图中 r 代表移位寄存器；FTF0 代表先进先出存储器。图像数据以时钟节拍从数据输入端依次输入。FIFO 用来存储一行的数据。以便使 $w11, w12 \dots w33$ 存放的正好是 3×3 模板所对应的图像数据，如 5-1 所示。当数据流不断从数据输入端输入时， 3×3 模板对应的图像数据不断地跟着变化，这就可以对一帧图像的所有像素都进行 3×3 模板处理。

表 5-1 数据存放顺序

W111	W12	W131
W211	W221	W231
W311	W321	W331

2) 中值滤波模块

该模块部分原理框图如图 5-18 所示。

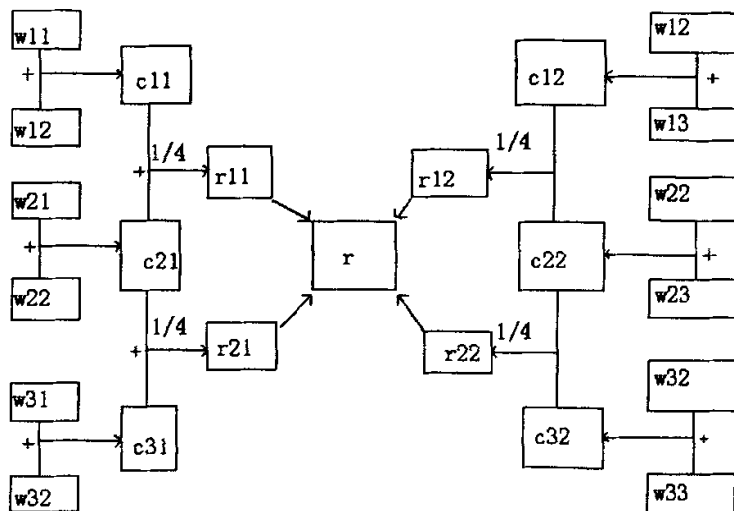


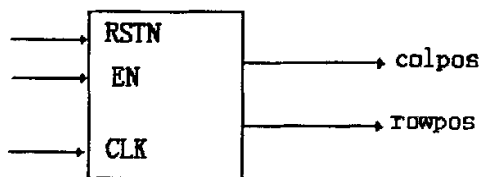
图 5-18 滤波模块原理图

改进的中值滤波模块其基本原理是对 3×3 模板中的左上、左下、右上、右下四个子领域的 2×2 窗口的数据取均值 $r11, r12, r21, r22$ 进行排序。最后取排序中次最大值作为中心像素点的数值输出。

3) 行列计数器模块

该模块结构如图 5-19 所示，图中： $RSTN$ 为复位端直接与全局复位信号 R_s 相连； EN 为使能端； CLK 为时钟输入端； $rowpos$ 为图像行位置标志； $colpos$ 为图像列位置标志。该模块比较简单只是起到计数功能，用来确定数据在图像阵列中的位置。

通过该模块可以确定一幅图像是否到达边缘，或者传输完毕。



5-19 行列计数模块结构图

计数部分 VHDL 源代码如下：

```

architecture rc_counter of rc_counter is
begin
    process( RSTn, Clk, En)
        variable ColPos_var: integer:=0;
        variable RowPos_var: integer:=0;
    begin
        if RSTn=' 0' then
            ColPos_var:=1;
            ColPos<=0;
            Row Pos_var:=0;
            Row Pos<=0;
        elsif rising_edge( Clk) then
            if En=' 1' then
                ColPos_var:=ColPos_var+ 1;
                if ColPos_var=num_cols then
                    Row Pos_var:=RowPos_var+1
                    ColPos_var:=0;
                    if RowPos_var=num_rows then
                        RowPos_var:=0;
                    end if;
                end if;
                ColPos<=ColPos_var;
                Row Pos<=RowPos_var;
            end if;
        end if;
    end process;
end rc_counter;

```

end re_counter;

设计中还要处理发生在图像的左边缘、右边缘、上边缘和下边缘的错误。因为在边缘处无法用 3×3 模板覆盖住这个图像。亦即也要覆盖图像外部一部分。这样就无法使用上面的中值滤波模块。把边缘像素的结果简单地设成“0”。实际上。很多基于邻域的图像硬件处理系统都是这样做的。这样就能够通过使用行列计数器模块来实现。计数逻辑能够“知道”目前像素的位置并能判断该像素是否是图像的边缘。若是图像的边缘，则把“0”通过中值滤波模块。不加处理直接赋到 DOUT 输出端；否则，调用中值滤波模块。对输入图像数据进行中值滤波处理。

5.6.2 改进算法仿真结果

图 5-20 为经过系统滤波后产生的图像和 MATLAB 仿真图像的对比图，其中：

(a) 为加过噪声的输入图像；(b) 高斯噪声和椒盐噪声污染的图像；(c) 为 MATLAB 的中值滤波函数后产生的输出图像。图 (d) 为改进算法中值滤波的 MATLAB 仿真图像。通过比较，该滤波系统的滤波效果是很好的。经测试，该中值滤波器能达到的最大时钟频率为 63.959 MHz。这意味着处理一帧 128×128 像素的灰度图像只需约 0.26ms。另外本系统只占用了芯片中 5980 个 slice，约占 15%。

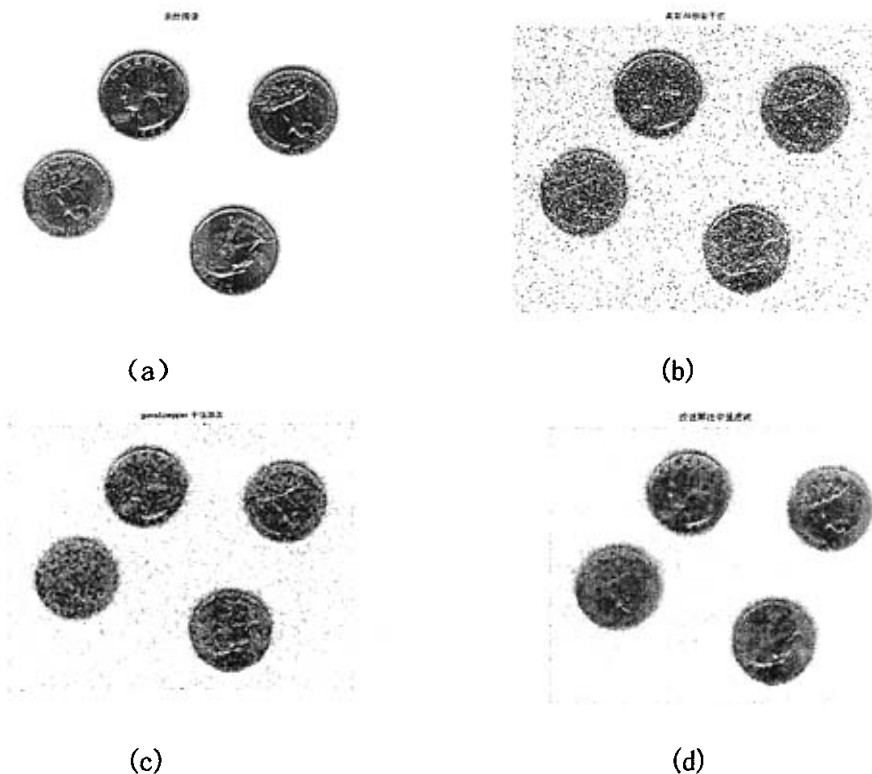


图 5-20 图像对比

5.7 系统测试结果分析

系统程序由 VHDL 语言编写，在 MAXPLU II 开发平台上进行功能仿真、时序仿真、逻辑综合，为了进行更为精确的仿真，真实地反映数据处理流程，本文应用 Model Technology 公司的 Modelsim 仿真软件进行程序仿真测试。

5.7.1 视频图像数据采集过程的仿真分析

仿真程序产生的视频图像数据如图 5-21 所示。由于 PAL 制视频信号是隔行扫描，分为奇数场和偶数场分别传输，数字化以后仍然格式不变，因此存储一场数据要隔行存储，应用行计数器+2 来完成；图像的大小由像素计数器来完成，无效像素不存储，从有效像素开始写入到 SRAM。从图中可以看出，开始的“aa bb cc dd ee ff”是无效数据，“ff 00 20”表示场同步信号，其后为采集到的图像数据。

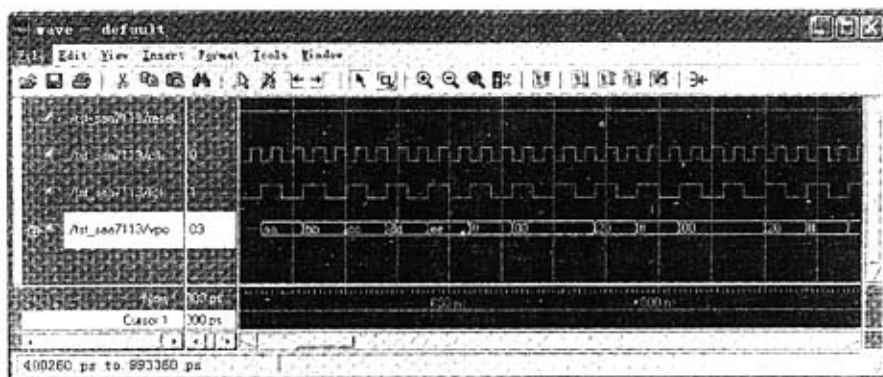


图 5-21 仿真产生的视频图像数据

5.7.2 效图像数据及产生地址的仿真分析

经过 FPGA 处理后获得有效图像数据并产生的地址信号，如图 7-22 所示。由于只进行灰度运算，只取亮度信息，因此得数据为“04 08 0c”，同时产生地址信号“00 01 02”。

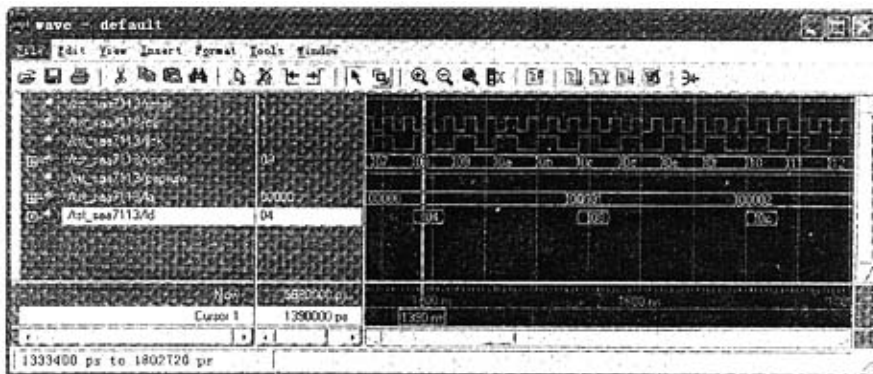


图 7-22 FPGA 采集得到的有效图像数据并产生的地址信号

5.7.3 对 SRAM 的读写控制仿真分析

对 SRAM 的读写控制, 仿真结果如图 5-23 所示。从图中可以看出, 当控制信号 reg_toggle=1 时, SAA7113H 连接到 SRAM2, SAA7113 写数据到 SRAM2。同时总线控制器的数据端口切换到 SRAM1, 从 SRAM1 中读取视频数据进行后续处理; 当一帧图像 (两场) 存储完毕后, 控制信号 reg_toggle=0, SAA7113 连接到 SRAM1, SAA7113H 写数据到 SRAM1, 同时总线控制器的数据端口切换到 SRAM2, 从 SRAM2 中读取视频数据进行后续处理, 从而完成两个 SRAM 写数据的控制。

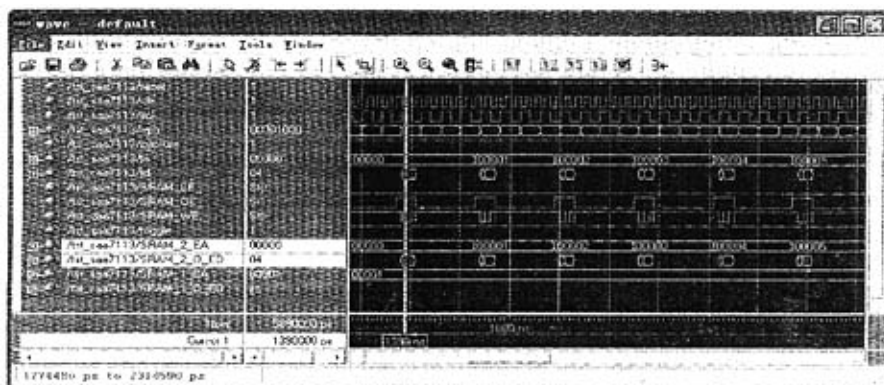


图 5-23 产生的对 SRAM 读写控制

5.7.4 两块 SRAM 之间的切换仿真分析

两块 SRAM 之间的切换仿真结果如图 5-24 所示。两块 SRAM 实现了图像采集过程和处理过程的并行处理, 因此, 能够保证将处理结果实时传输给计算机或根据结果控制执行机构快速作出反应。从图中可以看出, 对于两块 SRAM 的切换是通过控制信号来实现的, 当控制信号为高电平时, 从 SRAM1 中读数据, 写数据到 SRAM2 中; 当控制信号为低电平时, 从 SRAM2 中读数据, 写数据到 SRAM1 中, 完成两帧轮换的存取任务。

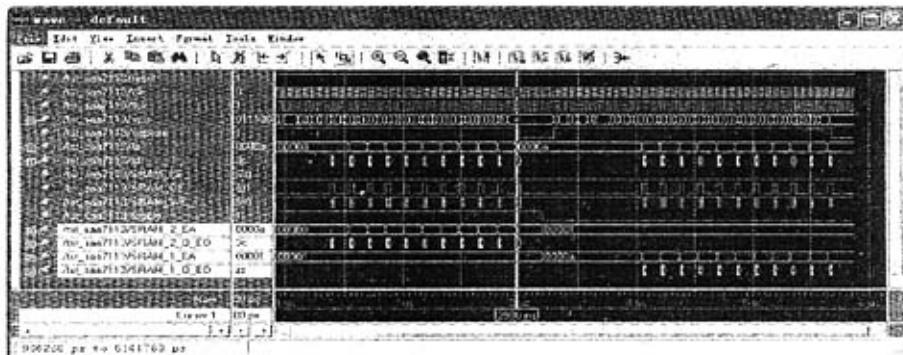


图 5-24 两块 SRAM 之间的切换

仿真结果表明整个视频信号处理程序完成了高速、实时图像采集与处理的设计目标。

第6章 结 论

在阅读大量相关文献的基础上,全面了解图像采集的基本知识,通过对基本器件的工作原理的学习,掌握了图像采集系统的硬件原理,应用 EDA 技术完成了图像采集系统的设计,并以此为平台对图像预处理过程中改进的滤波算法进行验证,结果表明初步达到预期设计的要求。

本文主要完成的工作如下:

1、 分析噪声产生的原因并给出常用的处理方法

噪声的产生有很多原因,在图像采集系统中主要表现为光学噪声、电子噪声和物理噪声。大体可以分为暗电流噪声、光响应非均匀性噪声、散粒噪声和杂波噪声,主要表现为影响图像的清晰度和边缘特征,其统计特性一般表现为高斯噪声和椒盐噪声。对于数字化之前的噪声处理主要应用制造工艺和电子器件来处理,例如采用二阶滤波电路滤除高频噪声、应用相关双采样法(CDS)、双斜率积分法(DSI)、反射延迟噪声抑制法(RDA)等滤除电子噪声。对于数字化后的图像像素采用均值滤波,中值滤波的方法。

2、 提出改进的中值滤波算法

传统的中值滤波算法是对模版中的所有像素进行排序,然后取中间的值作为像素点的值输出,这对椒盐噪声有着较好的滤除作用,但是同时模糊了图像的边缘细节,也不能有效地滤除高斯噪声,本文在均值滤波和中值滤波的基础上提出了一种改进的中值滤波算法,既能滤出椒盐噪声又能有效地滤除高斯噪声,达到了改善图像质量、保留图像细节的要求。

3、 分析并研究典型图像采集系统

1) 典型的视觉应用系统的组成。典型的视觉应用系统可由下列五个部分组成:图像获取、预处理、特征的提取、分类和识别、响应等 5 个部分组成,其中预处理、特征提取、分类-识别三个阶段分别对应了视觉任务的底层、中层和高层。

2) 核心控制芯片的缺点。通用处理器、数字信号处理器(DSP)芯片、专用集成芯片(ASIC)各种途径都存在缺点:通用处理器数据处理速度慢,不能满足高速处理的要求。DSP拥有流水线结构和优化的算法,可以加速图像处理,但不适合所有运算。ASIC功能专一,传感器功能单一,造价昂贵,适应性差。

4、 完成了基于 FPGA 图像采集系统的设计

本文应用 Altera 公司的 FPGA 芯片 EP1C6Q240 为核心控制芯片完成系统的控制与数据处理任务,由 FPGA 控制 VIP 采集时序、SRAM 存储控制以及通信接口的控制,完成图像采集与处理到与 PC 机进行数据交换的整个过程。

1) FPGA 芯片的特点与应用。FPGA 运算速度快,实时性强,易于并行运算和实现流水线结构,编程相对复杂,它实现图像底层处理速度快,易于通过 VHDL 语言编写程

序实现。以 FPGA 为底层运算和控制核心,能够通过软件编程无限次更改内部硬件逻辑,改变功能,编程后的 FPGA 相当于专用集成芯片,采用硬件电路实现软件功能,具有很高的运行速度。本文以 Altera 公司的 Cyclone 系列 EP1C6 为核心构建了图像采集系统,它是建立在流水线设计和查找表结构基础上,可以进行并行运算处理,不仅克服其它嵌入式芯片执行速度慢的缺陷,而且完全适于各种图像处理算法的实现。

2) VIP 模块的应用与配置。本文采用 PHILIPHS 公司生产的 SAA7113H 是一种高集成度视频解码芯片,它支持隔行扫描和多种数据输出格式,可通过 I2C 接口对芯片内部电路进行控制。文中根据芯片的特点进行了合理的配置,使输出的视频流满足系统输入信号的要求。

3) 通信模块的研究与设计。根据 USB2.0 的数据传输协议的要求,采用 CY7C68013-56 芯片设计与 PC 机的通信,编写了相应的固化程序和 FPGA 侧的 VHDL 程序,并通过仿真测试。

4) 两帧轮换的 SRAM 设计。传统的图像采集系统图像处理速度慢的一个主要原因是得等到采集完一帧图像后,才能进行处理的过程,在此过程中,采集停止,待处理完成后才能进行下一帧图像得采集,大大影响了速度,本文设计了两个 $512K \times 8$ 的 SRAM,可以同时进行图像的采集与处理任务,大大提升了系统资源利用率,使实时图像处理成为现实。对 SRAM 的数据的存储和调用通过握手信号来实现。

5) 图像大小的选择和隔行扫描到逐行扫描的实现。通过 VHDL 程序的计数器,设定其有效位数来决定图像的大小,通过行计数器的设置来隔行在 SRAM 中存储场数据,使两场数据交错存储,完成隔行到逐行扫描的实现。

5、系统仿真测试

本系统的 VHDL 程序经过 MAXPUL II 平台上完成并通过仿真测试,结果基本达到预期设计的系统的实时性的要求,完成了高速图像采集的任务,为后续的高速图像处理的实现提供了可靠的基础。

致 谢

两年多的硕士学习生活即将结束了，回顾学习过程中的每一个进步、每一份成绩，都离不开许许多多关心和帮助我的同志和同学们，在此对他（她）们的关心和帮助表示衷心的感谢。

本论文得以顺利完成，离不开我的导师陈戈珩副教授的悉心指导和教诲，她严谨的治学态度，诲人不倦的教学精神，平易近人、乐观向上的人生态度都为我树立了良好的风范，为我的学习和生活提供了良好的榜样作用。

同时，对在我的学习和生活中关心和帮助的阎智义教授表示诚挚的谢意，他丰富的学识，丰富的教学经验，孜孜不倦的求是精神永远是我学习的榜样。

在此，特别感谢我的妻子，是她给予我精神和物质上的无私帮助，使我在两年多的脱产读研过程中没有后顾之忧，同时作为一名教师的她对我的学业给予很大的帮助。感谢我的女儿，她活泼好动的性格给我的学习生活带来无限乐趣。

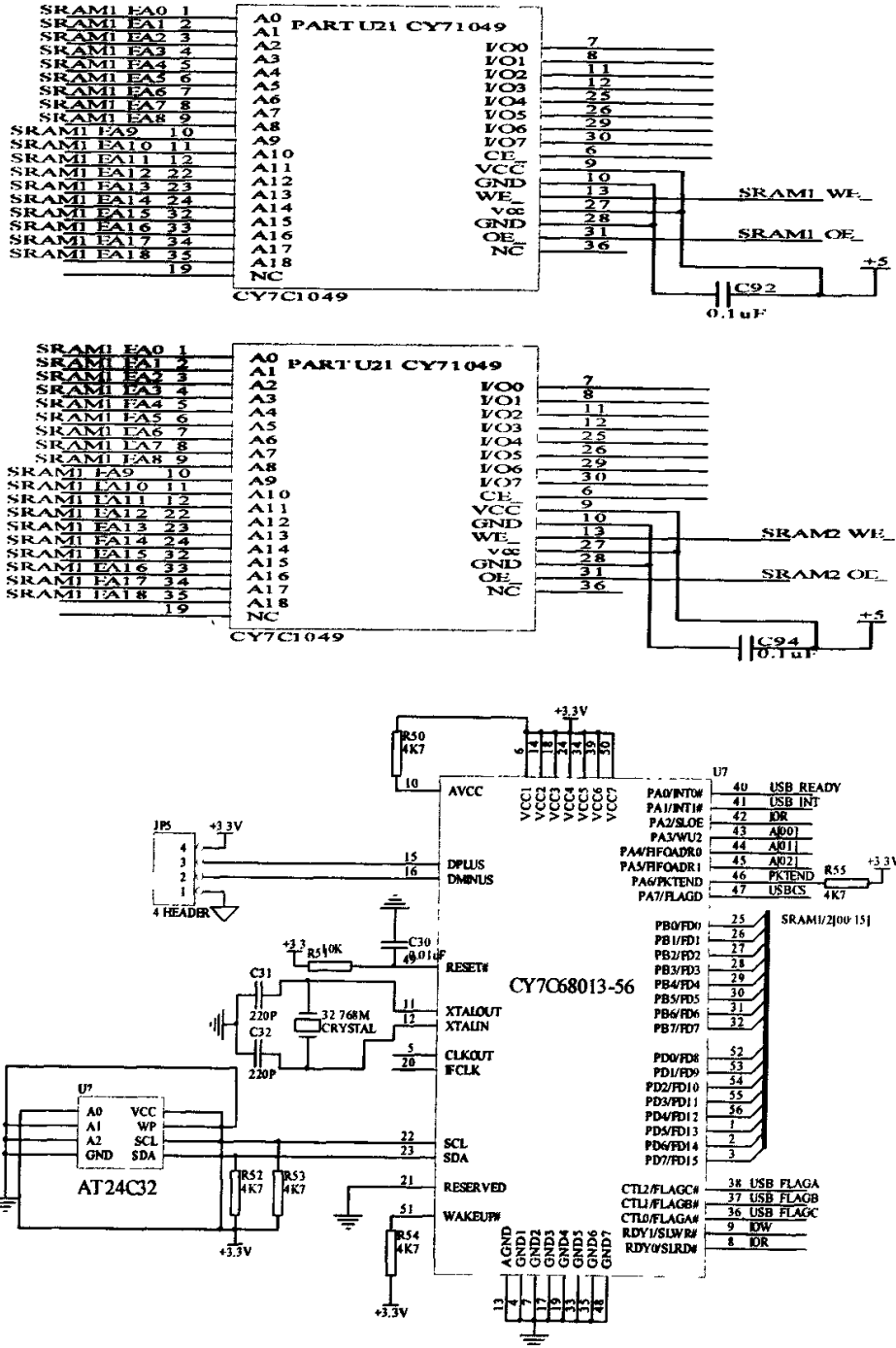
参 考 文 献

- [1] 周富强, 张广军. 视觉检测中高速图像采集技术的研究. 北京航空航天大学学报. 2002年4月. 第28卷 第2期
- [2] 吕泉. 现代传感器原理及应用. 清华大学出版社. 2006. 06 第一版
- [3] 刘焕军, 王耀南, 段峰. 机器视觉中的图像采集技术. 电脑与信息技术. 2003年第1期
- [4] 李绍民, 滕国库. 嵌入式图像采集系统的硬件设计. 大连海事大学学报. 2004年5月 第30卷 第2期
- [5] 胡晓飞, 扈国华, 张士文. 基于视频处理芯片和CPLD的实时图像采集系统. 电子技术. 2002(10):28230.
- [6] 李 番, 谢自美. CPLD 在视频采集系统中的应用和设计[J]. 微机发展, 2003, 13(7):77280
- [7] Uwe Schmidt, Dietmar Wunder. Hard-wired digital data preprocessing: applied within a modular star and target tracker. SPIE, 3163:214-222
- [8] Liebe, C. C., Alkalai, L., Domingo, G, Hancock, B., Hunter, D., Mellstrom, J., Ruiz, L. Sepulveda, C., Pain, B. Micro APS based star tracker. Aerospace Conference Proceedings, IEEE, 2002, 5(9-16):5-2285, 5-2299.
- [9] 谢小权, 霍剑青. 低照度 CCD 图像采集及噪声预处理. 电子技术应用. 2000 年第 8 期
- [10] Cattleman K. R. 数字图像处理. 电子工业出版社. 1998
- [11] 刘先锋 沈胜宏. 边缘保留的图像噪声滤除方法. 电子技术应用. 2000 年 第 11 期
- [12] 江孝国, 祁双喜, 王婉朋, 等. CCD 输出信号的低噪声处理电路研究(J). 光电子·激光. 2001, 12(11):I126-I129.
- [13] 宋文, 朱森元. 一种 CCD 降噪控制技术. 兵工自动化. 1998 年 01 期
- [14] 江孝国. 双相关取样电路在降低 CCD 噪声中的应用. 光电工程. 1996 年第 23 卷.
- [15] 马义德, 张祥光. 非线性滤波除噪技术综述. 兰州大学学报. 2005 年 2 期
- [16] 张毓晋. 《机器视觉》. 科学出版利. 2001 年
- [17] 刘超, 钱光地. 用 FPGA 实现嵌入式视频图像信号实时采集 试验科学与技术, 2005 年 6 月第 2 期。
- [18] 刘韬, 楼兴华. FPGA 数字电子系统设计与开发实例导航. 人民邮电出版社. 2005. 06 第一版
- [19] 杨少荣. 计算机与视频设备. 微电脑世界. 1995. 9:94-98
- [20] Common Principles of Image Acquisition Systems and Biological Vision BRIAN A. WANDELL, PROCEEDINGS OF THE IEEE, VOL. 90, NO. 1, JANUARY 2002.
- [21] 徐婉莹, 刘建军. 给予 CPLD 和 DSP 的高速图像采集技术研究. 电子工程师. 第 30 卷 第六期. 2004. 06。

- [22] 李博文, 杨学友. VHDL 在高速图像采集系统中的应用设计. 单片机与嵌入式系统应用. 2003. 1
- [23] 郭卓锋, 丁艳. 基于 DSP 的实时图像处理系统的设计. 光电技术. 第 30 卷第 1 期, 2004. 01
- [24] 刘皖, 何道君. FPGA 设计与应用. 清华大学出版社. 2006. 01
- [25] 任爱锋, 初秀琴. 基于 FPGA 的嵌入式系统设计. 西安电子科技大学出版社. 2004. 10
- [26] 房磊. FPGA 的配置及接口. 世界电子元器件. 2003. 11
- [27] 张晓健. 视频解码芯片 SAA7113 的初始化与控制. 电子设计应用. 2003 年 08 期
- [28] Cypress datasheet. Y7C1049SRAM.
- [29] 陈黎平, 吴军, 周欣. 基于 USB2. 0 接口的高速数据流传输系统的设计. 微型电脑应用. 2005 年 第 21 卷 第 1 期。
- [30] 曹旭东, 狄帮让, 基于 USB2. 0 技术的智能超声信号发生器设计, 测控技术, 2005 年第 24 卷第 8 期
- [31] Cypress Semiconductor Corporation. EZ2USB technical reference manual version2.1[Z]. 2001.
- [32] 潘松, 黄继业. EDA 技术实用教程科学出版社. 2002 年 10 月第一版
- [33] 胡瑶荣. 基于 FPGA 的实时视频采集系统电视技术. 2005 年第 2 期
- [34] 刘超, 钱光地. 用 FPGA 实现嵌入式视频图像信号实时采集. 试验科学与技术. 2005 年 6 月第 2 期。
- [35] 王国媚, 须海江. 基于 FPGA 和 USB 的高速数据传输、记录及显示系统. 国外电子元器件. 2005 年 第 5 期。
- [36] Knoblock, E. J., et al, "Local area network for spacebased instrument control", IEEE Aero space Conference Proceedings, Vol. 3 pp. 1071- 1076, 2002.
- [37] 李雷鸣, 张春焕. 一种基于 FPGA 的图像中值滤波器的硬件实现. 电子工程师. 2004 年第 2 期
- [38] 陈镇, 中值滤波器的 FPGA 实现方案. 红外. 2005 年 第 10 期。

附录

附图 1: SRAM CY7C1049 及 USB CYTC68013-56 应用原理图



攻读硕士学位期间研究成果

- [1] 李颖, 张艳敏, 基于 VHDL 的自动门控制的实现, 吉林教育学院学报 2005 年第 7 期
- [2] 李素芳, 李颖, 阎智义, 单通道 RLS 算法自适应噪声消除及其遗忘因子的确定, 长春工业大学学报 2007 年第 2 期

作者：[李颖](#)
学位授予单位：[长春工业大学](#)

相似文献(10条)

1. 学位论文 [陈宇](#) 畸变不变复杂背景目标相关探测技术研究 2009

应用实时联合变换相关器进行复杂背景目标的相关探测与识别,一直目标探测领域的前沿技术。相对于传统的匹配滤波器,联合变换相关器具有处理速度实时、定位精度高等优点,同时又兼有计算机处理的灵活性,可实现实时对于复杂背景下目标的相关探测与识别。由于这一技术有很高的识别率,已被应用于导弹、火箭的导航系统上。

本文应用实时联合变换相关器对复杂背景目标进行了相关探测与识别的理论实验研究,研究结果表明,由于观察视角或观察距离的改变,由图像采集系统采集到的目标图像相对于模板图像存在一定的角度畸变和比例畸变,而传统的联合变换相关器对于各种形式的畸变都是非常敏感的,很大程度上影响了目标的识别率。本文研究了多种解决畸变不变目标识别的算法及其优缺点,其中对极坐标-梅林变换法进行了深入研究,给出了光学实验结果。经过分析与比较,最终确定选用最大平均相关高度(MACH)滤波器进行功率谱面滤波。

编制了MACH滤波器图像处理程序,并由其谱面滤波改进为对功率谱滤波,使其成功应用于联合变换相关器,进行了光学相关目标识别的模拟实验和光学实验。实验结果表明,应用改进后MACH滤波器程序,可以有效增强相关点亮度,实现复杂背景静态目标畸变不变的目标相关探测与识别。

针对复杂背景动态目标的识别与跟踪问题,提出了动态模板技术,把运动目标的瞬时状态作为模板,并结合输入面阈值处理方法进行了光学实验研究,实验结果表明,应用该方法可有效解决复杂背景动态目标的识别与跟踪问题。

2. 学位论文 [王成刚](#) 基于小波变换和形态学的图像去噪方法研究 2009

图像在采集、获取以及传输的过程中,往往要受到噪声的污染,被噪声污染的图像叫做含噪图像。噪声是影响图像质量的主要因素,对数字图像的后续处理影响较大,因此对图像噪声的去除(图像噪声的滤波)有很重要的现实意义。本文主要对图像去噪方法中的小波滤波技术和形态学滤波技术进行了研究。

本文对图像去噪的现状和常用方法进行了全面的综述。对基于小波变换的图像去噪方法进行了深入的研究分析,详细介绍了几种常用的小波变换去噪方法。小波滤波技术中的小波阈值滤波方法,由于计算简单而得到了广泛的应用。对小波阈值滤波技术中的阈值函数和阈值的选取进行了深入研究之后,本文采用一种改进的阈值函数去噪方法,通过仿真实验结果可以看到,与硬阈值、软阈值方法相比,信噪比提高较多,具有较好的去噪效果。

介绍了数学形态学中的基本形态变换,概述了数字形态滤波器的基本理论。给出了一种基于图像灰度特征的形态学滤波方法,仿真试验显示这种方法具有较好的图像去噪效果。分析讨论了各种结构元素在形态学滤波中的效用和影响,构造了一种多结构元素加权形态滤波方法,实验证明该方法在去噪的同时能更好的保护图像细节信息。

在本文末尾对论文所做工作作了详细的总结,并对图像去噪方法的进一步研究方向做了展望。

3. 期刊论文 [单宝堂](#) [沈庭芝](#) [王廷豪](#) [SHAN Bao-tang](#) [SHEN Ting-zhi](#) [WANG Ting-hao](#) 多传感器图像采集处理系统的设计与实现 -传感技术学报2009, 22 (2)

为了完成一个多传感器图像采集处理系统的设计、软硬件实现,采用参数同步配置方法提高多CMOS图像传感器同步曝光精度。采用基于Bayer颜色滤波阵列图像的残差最近无损压缩方法提高图像数据传输速度。系统三传感器曝光达到了微秒级同步精度。约为课题任务要求的1/29。在保证重建图像质量精度的前提下,数据传输速度提高了约4.4倍。给出了系统部分最终测试结果。

4. 学位论文 [陈勇](#) 立体视觉表面恢复研究 2008

在现代社会中,图文图像的采集与处理已经深入到每一个角落,对社会的稳定与进步起到了越来越重要的作用!

本文主要研究主动投影式的立体视觉三维表面恢复技术及其相关的图形、图像处理的关键技术。首先讨论了Marr视觉理论中存在的不足并分析了其原因,在此基础上,围绕目前基于立体视觉的三维表面恢复技术中存在的问题,提出了一种基于密集网格光栅投影的立体视觉三维表面恢复方法。针对特定的网格状立体图像,并考虑到系统处理速度等因素,提出了快速递归中值滤波、选择性目标增强滤波等图像预处理方法,为后续处理铺平了道路,实验结果证实了其有效性。针对立体视觉中的关键问题,即立体匹配技术进行了研究,在分析传统匹配方法的基础上,通过合理选择方案,提出了一种算法简单的由粗到精的立体匹配方法,分析了各误差影响因素,并根据一些误差原因给出了相应的解决方法。为适应现代软件和生产中“所见即所得”的需要,最后就常用的光切法测量系统所得三维表面数据的拟合重建与显示技术进行了研究,提出了三维数据滤波方法用以修补缺失数据点和消除“数据图像”的“数据噪声”,设计了一套双三次B样条曲面拟合算法并给出了其具体实现过程,构造了一个基于OpenGL的专用三维图形显示类,研究了OpenGl绘制图像的位图格式输出和动态显示技术,为三维表面数据的实时显示提供了方便。

5. 学位论文 [严华宇](#) 基于FPGA的玻璃缺陷图像采集预处理系统设计 2007

玻璃在生产过程中,会产生各种各样的缺陷,比如:气泡、条纹和结石。这些缺陷都是在熔制过程中发生的。对于玻璃缺陷的允许程度,取决于该制品的用途。一般来说,不允许玻璃中有大量的明显的缺陷,否则会影响玻璃的外观质量,降低玻璃的透光性,机械强度和热稳定性,造成大量的废品和次品。

本文首先分析了玻璃缺陷采集处理系统的现状,比较FPGA、DSP和ASIC三种芯片作为图像采集处理系统核心芯片的优缺点,结合项目背景和需求,提出基于FPGA的图像采集处理系统的整体方案。该方案中各个外围接口的控制逻辑、芯片控制逻辑、算法处理模块均由FPGA实现。接着详细介绍了玻璃缺陷检测中图像预处理系统的设计方案,实现了具有前端视频采集、图像预处理功能的FPGA子系统。该系统采用Altera公司的FPGA芯片作为中央处理器,由图像采集模块、异步FIFO模块、图像帧存储控制模块、图像低级处理模块、通信接口模块和FPGA配置电路组成。其中图像传感器OV9121在FPGA控制下负责图像采集,两片SDRAM作为视频图像的缓存,采样控制和滤波算法在FPGA内部实现。

在本文中图像采集部分包括OV9121初始化模块、采样控制模块和SDRAM控制模块。初始化模块主要是根据设计要求,设定OV9121的工作模式、图像的分辨率、帧频等参数;采样控制模块主要提供OV9121采集图像需要的控制信号;SDRAM控制模块主要负责缓存OV9121输出的图像数据,并将图像数据送FPGA滤波模块处理。

本文最后对常见图像预处理算法做出分析,包括图像的滤波与边缘检测等处理方法,得出预处理中卷积算法是重复使用较多的算法,最后来对卷积算法的:FPGA实现进行了详细的说明,并讨论FPGA实现卷积算法方案上的改进,使得系统的图像处理速度得到提高,从而提高整个系统的性能。

6. 学位论文 [李华](#) 嵌入式视觉传感器的研究 2003

该文研制出一种具有图像采集、传输和处理等功能的嵌入式视觉传感器。因此,嵌入式视觉传感器可以实现系统机上所能完成的部分图像处理功能如彩色图像的合成、滤波等,同时它具有体积小、功耗低、成本低等特点。该文通过对CMOS图像传感器和CCD图像传感器工作原理的分析和比较,选择了CMOS图像传感器作为摄像器件。设计了由摄像模块、图像缓存模块和图像处理模块三部分组成的嵌入式视觉传感器硬件系统,并分别对它们进行了分析以及相关接口技术的研究,实现了CMOS图像传感器与嵌入式单片机系统之间的图像传输功能。该文在嵌入式视觉传感器的实验系统平台上设计了图像采集的软件系统,并用C语言实现了彩色图像的合成、图像的滤波处理和压缩编码等功能。实验结果表明,该文研制的嵌入式视觉传感器达到比较满意的效果。

7. 学位论文 [李响](#) 低成本CMOS成像的图像处理技术研究 2008

低成本CMOS图像传感器以其功耗低、可靠性高、体积小、价格便宜等优点,成为图像采集的关键设备,广泛应用于摄像机、数码相机、移动通讯产品、安全监控等领域。由于低成本CMOS成像系统应用的时间、场合随意性很大,造成了许多图像的关键信息比如监控录像中肇事车辆、犯罪嫌疑人等图像信息无法确认。

本文针对由于曝光不足, 聚焦不准, 噪声大等原因造成的图像的模糊不清进行了研究, 提出了通过图像处理技术来解决图像中的关键信息无法辨认的处理方案。针对低成本CMOS成像系统采集的图像为彩色图像, 采用了通过提取彩色图像的灰度、色度、色调信息, 分别采用现有的或改进的图像处理算法处理后, 再还原彩色图像的方案, 来提高图像的质量。该方案可以利用现有的灰度图像处理的方法, 处理手段丰富, 且比对彩色图像的所有数值进行计算的运算量有所减少。在此基础上, 针对曝光不足的问题, 提出了提高图片亮度的灰度变换法和提高图片对比度的直方图修正法; 针对图像模糊的问题, 提出了强化图像细节的频域滤波法和增强轮廓的图像锐化法; 针对图像噪声大的问题, 提出了消除噪声的自适应滤波法。

论文通过软件编程对上述算法进行了验证。结果表明, 经过处理的图片亮度和对比度有了明显增强, 图像清晰度有所提高, 噪声消除效果明显。该结论可以应用于对条件的侦破、事故认定等图像中不能准确辨认的关键信息进行提取。

8. 会议论文 **吕素英, 洪健, 李钟慎** 线阵CCD技术在卫生巾包装机上的应用 2008

本文介绍了线阵CCD技术在卫生巾包装机上的应用方法, 即利用线阵CCD检测卫生巾的包装数量, 基本方法是建立二值化处理后的输出信号与卫生巾的关系, 详细介绍了图像采集装置的工作原理及硬件设计方案, 介绍了测量系统的工作原理和硬件、软件设计方案, 该系统以ARM9微处理器作为信号处理装置, 采用滤波降噪技术提高测量精度, 该系统具有精度高、系统实时性高、抗干扰性好, 以及使用方便等优点。

9. 学位论文 **裴晓旭** 嵌入式机器视觉的关键技术研究 2008

机器视觉的迅速发展使得终端客户对产品的多样化需求不断增长, 机器视觉系统需要更多灵活应用的产品。而嵌入式系统以其小体积、低成本、低功耗引起人们的更多关注, 嵌入式系统在机器视觉的发展中开始扮演重要角色。在此过程中, 作为以嵌入式技术实现的机器视觉功能的代表性产品—智能相机, 由于具有平台性、通用性以及直接面向工业现场设计的特点, 在嵌入式机器视觉领域得到了很快的发展, 但同时, 专用型嵌入式机器视觉终端也有很多的研究成果。

本论文旨在研究并力争解决嵌入式机器视觉系统中的部分关键问题, 主要研究了以下三个方面: 1、对图像传感器输出的模拟信号进行“模拟”处理, 以期提升图像质量; 2、支持机器视觉系统开放性要求的通用图像采集; 3、嵌入式系统中的高效图像运算结构的实现。在嵌入式系统的有限资源中如何获取高质量数字图像, 如何实现机器视觉所需要的信息分析能力是需要长期研究的课题, 本论文对此进行了初步的分析。在研究的过程中使用了模拟与数字相结合的方式, 同时借鉴了IP重用的结构, 以高效实用为目的, 在嵌入式系统中研究了机器视觉所面临的一些常见的问题。

本文的主要创新工作如下:

1、提出了一种基于模拟技术的图像增强方法。针对图像传感器输出的模拟图像信号, 在图像采集的同时对模拟信息进行“模拟”处理, 达到图像增强的目的。此方法在模拟信号量化之前进行信息处理, 可以达到量化之后依靠数字图像处理方式不能得到的图像增强效果, 而且模拟增强的方式不消耗系统的计算资源, 极大缓解了嵌入式系统计算资源紧张的问题。

2、提出一种数字补偿式一阶模拟滤波器的设计方法, 可应用于模拟图像传感器的信号滤波。此方法通过分析模拟图像传感器一阶读出电路的像素串扰, 推导出不会产生信息畸变的一阶模拟滤波器的截止频率, 并得到在不同截止频率下的信息畸变量。由此实现数字信息的畸变补偿, 得到了不产生信息畸变而降低截止频率的目的, 从而使用一阶模拟滤波器达到高阶滤波器的滤波效果。

3、提出并实现了一种满足机器视觉开放性要求的高效图像采集设计方案。

首先研究分析了各种常用图像传感器在各种应用条件下形成的数字图像格式, 继而针对其输出图像格式设计了基于IP重用结构的高效图像采集方案。它可以满足不同图像传感器输出的图像数据重组的要求, 同时它的重组过程只消耗一次数据存取, 优于目前通用处理器的DMA数据组织能力, 达到了高效重组的目的。随后又对图像帧的管理组织进行研究, 指出通用处理器在图像帧管理的结构上存在的不足之处, 并在IP重用的架构下提出新的图像帧管理结构, 实现了支持应用多线程的多缓冲区队列管理, 将图像帧管理的并发过程变为顺序过程, 由此取代了图像驱动程序的编制需要。4、提出了嵌入式系统中图像预处理的DMA计算结构。由于图像预处理是嵌入式机器视觉系统中图像处理速度的瓶颈, 对图像预处理算法的实现效率极大的影响了图像识别系统的处理速度。而通用处理器的结构不能很好的支持图像预处理的算法运算, 因此设计了基于IP重用的DMA计算结构, 它每次读取运算所需要的一个或多个数据, 在减小系统带宽消耗的同时, 提升了系统的处理速度。

10. 学位论文 **锁斌** 基于DSP的图像增强系统的研究与实现 2006

本文根据图像处理的特点开发了一种基于DSP的低成本的图像增强系统, 该系统采用CCD摄像头作为输入设备, 以DSP为图像处理运算器, CPLD为时序和逻辑控制器, 对采集到的图像进行增强处理并输出到上位机。本文设计了硬件实现的总体方案, 并给出了DSP系统的电源、时钟、存储器扩展、图像采集、数据传输等电路的具体实现方法。详细介绍了CPLD、SAA7111A和FIFO实现图像采集的具体实现方法, 包括利用McBSP口模拟的I2C对SAA7111A的初始化和CPLD对图像采集的时序控制的实现等。给出了BootLoader、系统初始化、串行通信等软件模块的实现方法。采用了直方图均衡和高频提升滤波相结合的混合图像增强算法, 该算法弥补了直方图均衡算法大量损失灰度层次的不足, 并能够增强图像的细节信息。给出了实现的流程图和实验结果。

本文链接: http://d.g.wanfangdata.com.cn/Thesis_Y1204339.aspx

授权使用: 陕西理工学院(sxlgxy), 授权号: c24645c3-b4ed-4c5e-89e5-9df2010f2cf0

下载时间: 2010年9月15日