

에디로봇아카데미 임베디드 마스터 Lv2 과정

제 1기

2022. 02. 14

손표훈

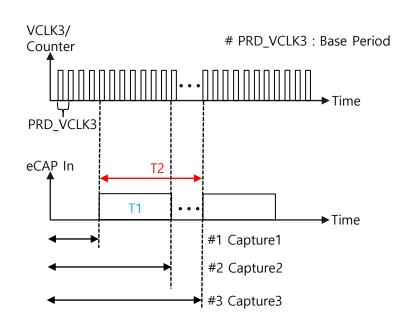
CONTENTS



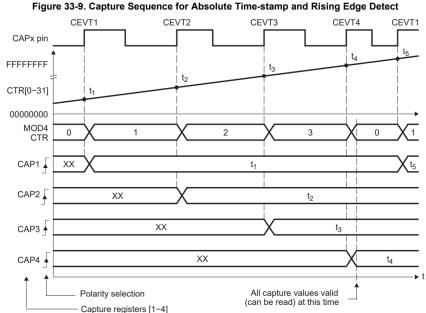
- eCAP의 기본원리
- eCAP의 H/W 구성
 - ▶ 주요 sub모듈
 - ▶ 그 외 sub모듈
- eCAP 레지스터 설정
 - ▶ 20ms 주기의 PWM 파형 설정 및 듀티비 설정
- Halcogen을 이용한 eCAP 설정

eCAP 기본원리



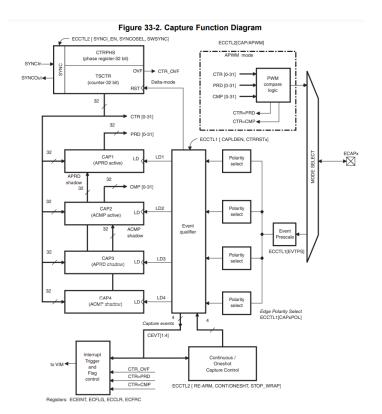


- → VCLK3 신호에 따라 카운트 값이 증가
- → 설정한 극성(rising/falling)에 따라 카운트 값을 capture로 저장
 → 입력 신호의 상태(H/L)의 주기는 다음과 같이 계산 할 수 있다. (1) T1 = (capture2 – capture1) x PRD_VCLK3 (2) T2 = (capture3 - capture1) x PRD_VCLK3



eCAP의 H/W구성

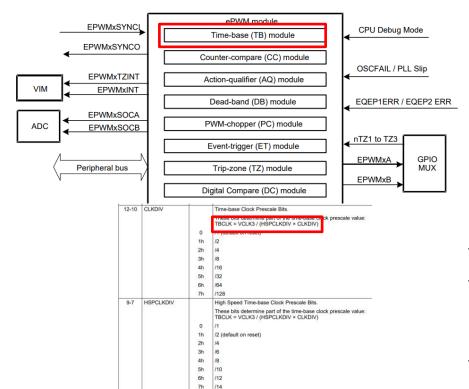


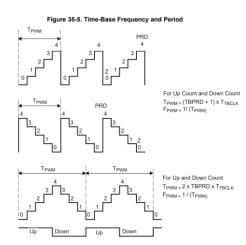


- → TMS570LC43x는 6개의 eCAP 모듈이 내장되어 있다. 각 모듈은 4개의 capture 채널을 가지고 있다.
- → eCAP 모듈은 신호의 주기를 측정 할 수 있고, PWM 출력으로 사용할 수 있다.
- → capture모드는 continue와 delta-mode(difference time)이 있다. (1) continue는 주기가 일정한 신호를 측정하는데 사용 (2) delta-mode는 주기가 가변하는 신호를 측정하는데 사용
- → 카운터는 32bit의 분해능을 가지며, 최대 $\frac{2^{32}}{VCLK3}$ 의 주기를 갖는 신호를 측정 할 수 있다.
- → 입력 신호의 극성(rising edge/falling edge)을 선택할 수 있다.
- → 3개의 인터럽트 방식을 갖는다
 - (1) CTR OVF: 카운터가 최대값에 도달한 뒤
 - (2) CTR=PRD: eCAP을 PWM으로 사용할 때 PWM 주기와 일치 할 때
 - (3) CTR=CMP: eCAP을 PWM으로 사용할 때 Compare값과 일치 할 때



▶ 주요 sub모듈 – TB module





- → GCM에서 VCLK3의 주파수를 입력받아 TBCTL레지스터를 통해 clk divide를 한여 TB모듈의 기본 소스 주파수를 설정한다
- → TBPRD레지스터를 이용하여 counter max값을 설정하면 PWM신호의 기본 주파수가 생성된다 (1) TBCLK = VCLK3/(HSPCLKDIV x CLKDIV)
 - (2) PWM frequency = TBCLK/(TBPRD+1)
 - *PWM 주파수 수식은 카운터모드에 따라 달라짐
- → count mode는 TBCTL의 CTRMODE bit를 통해 설정 할 수 있다



▶ 주요 sub모듈 – CC module

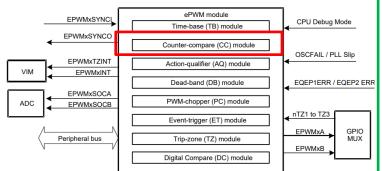
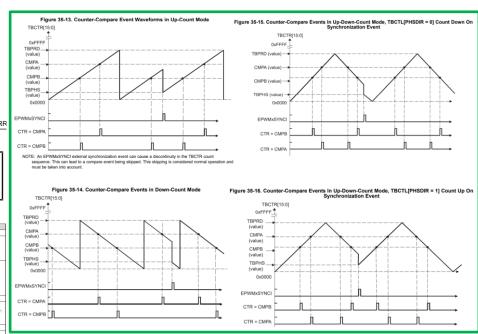


Table 35-28. Counter-Compare Control Register (CMPCTL) Field Descriptions

Bits	Name	Value	Description	
15-10	Reserved	0	Reserved	
9	SHDWBFULL		Counter-compare B (CMPB) Shadow Register Full Status Flag.	
			This bit self clears once a load-strobe occurs.	
		0	CMPB shadow FIFO not full yet.	
	and the second second	1	Indicates the CMPB shadow FIFO is full; a CPU write will overwrite current shadow value.	
8	SHDWAFULL		Counter-compare A (CMPA) Shadow Register Full Status Flag.	
			The flag bit is set when a 32-bit write to CMPA:CMPAHR register or a 16-bit write to CMPA register is made. A 16-bit write to CMPAHR register will not affect the flag.	
			This bit self clears once a load-strobe occurs.	
		0	CMPA shadow FIFO not full yet.	
		1	Indicates the CMPA shadow FIFO is full, a CPU write will overwrite the current shadow value.	
7	Reserved	0	Reserved	
6	SHOWBMODE		Counter-compare B (CMPB) Register Operating Mode.	
		0	Shadow mode. Operates as a double buffer. All writes via the CPU access the shadow register	
	100	1	Immediate mode. Only the active compare B register is used. All writes and reads directly access the active register for immediate compare action.	
5	Reserved	0	Reserved	
4	SHDWAMODE		Counter-compare A (CMPA) Register Operating Mode.	
		0	Shadow mode. Operates as a double buffer. All writes via the CPU access the shadow register	
	and the state of t	1	Immediate mode. Only the active compare register is used. All writes and reads directly access the active register for immediate compare action.	
3-2	LOADBMODE		Active Counter-Compare B (CMPB) Load From Shadow Select Mode. This bit has no effect in immediate mode (CMPCTL[SHDWBMODE] = 1).	
		0	Load on CTR = Zero: Time-base counter equal to zero (TBCTR = 0x0000)	
		1h	Load on CTR = PRD: Time-base counter equal to period (TBCTR = TBPRD)	
		2h	Load on either CTR = Zero or CTR = PRD	
		3h	Freeze (no loads possible)	
1-0	LOADAMODE		Active Counter-Compare A (CMPA) Load From Shadow Select Mode. This bit has no effect in immediate mode (CMPCTL[SHDWAMODE] = 1).	
		0	Load on CTR = Zero: Time-base counter equal to zero (TBCTR = 0x0000)	
		1h	Load on CTR = PRD: Time-base counter equal to period (TBCTR = TBPRD)	
		2h	Load on either CTR = Zero or CTR = PRD	
	1	3h	Freeze (no loads possible)	



- → CC 모듈의 레지스터에서 CMPA&B 레지스터의 shadow register 활성/비활성 설정
- → LOADMODE bit 설정을 통해 counter의 상태에 따라 SW에서 설정한 CMPA & B를 ePWM 모듈로 load할 수 있도록 설정 할 수 있다.



➤ 주요 sub모듈 – AO module

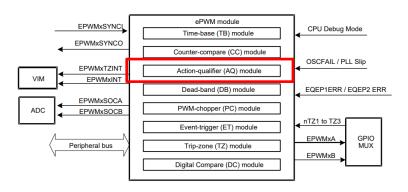
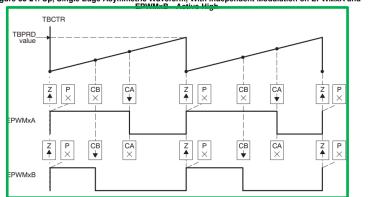


Figure 35-21. Up, Single Edge Asymmetric Waveform, With Independent Modulation on EPWMxA and



Example 35-1. Code Sample for Figure 35-21

```
// Initialization Time
EPwm1Regs.TBPRD = 600;
                                              // Period = 601 TBCLK counts
                                              // Compare A = 350 TBCLK counts
EPwm1Regs.CMPA.half.CMPA = 350;
EPwm1Regs.CMPB = 200;
                                              // Compare B = 200 TBCLK counts
EPwm1Regs.TBPHS = 0;
                                              // Set Phase register to zero
EPwm1Regs.TBCTR = 0:
                                              // clear TB counter
EPwmlRegs.TBCTL.bit.CTRMODE = TB COUNT UP;
EPwm1Regs.TBCTL.bit.PHSEN = TB DISABLE;
                                              // Phase loading disabled
EPwm1Regs.TBCTL.bit.PRDLD = TB SHADOW;
EPwm1Regs.TBCTL.bit.SYNCOSEL = TB SYNC DISABLE;
EPwm1Regs.TBCTL.bit.HSPCLKDIV = TB DIV1;
                                             // TBCLK = SYSCLK
EPwm1Regs.TBCTL.bit.CLKDIV = TB DIV1;
EPwmlRegs.CMPCTL.bit.SHDWAMODE = CC SHADOW;
EPwm1Regs.CMPCTL.bit.SHDWBMODE = CC SHADOW;
EPwmlRegs.CMPCTL.bit.LOADAMODE = CC CTR ZERO; // load on CTR = Zero
                                       R ZERO; // load on CTR = Zero
EPwmlRegs.AQCTLA.bit.ZRO = AQ SET;
EPwmlRegs.AQCTLA.bit.CAU = AQ CLEAR;
EPwmlRegs.AQCTLB.bit.ZRO = AQ SET;
EPwmlRegs.AQCTLB.bit.CBU = AQ CLEAR;
// Run Time
EPwm1Regs.CMPA.half.CMPA = Duty1A;
                                              // adjust duty for output EPWM1A
EPwm1Regs.CMPB = Dutv1B;
                                              // adjust duty for output EPWM1B
```

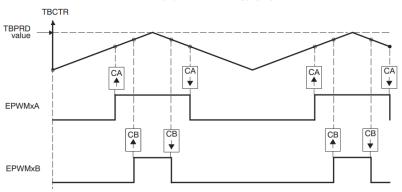
- → CTR(counter register) 레지스터의 다음 4가지 상태에 따라 AQCTLA&B 레지스터를 이용하여 PWMxA, PWMxB의 3가지의 PWM output상태를 정의할 수 있다
 - (1) PRD : TBCTR = TBPRD이면 PWM output을 set/clear/toggle의 상태로 설정할 수 있다
 - (2) Zero : TBCTR = 0이면 PWM output을 set/clear/toggle의 상태로 설정할 수 있다

 - (3) CMPA : TBCTR = CMPA이면 PWM output을 set/clear/toggle의 상태로 설정할 수 있다
 - (4) CMPB : TBCTR = CMPB이면 PWM output을 set/clear/toggle의 상태로 설정할 수 있다
- → 예시 : up count 모드에서 pwm output 설정
 - (1) TBCTR = zero이면 PWM output = High
 - (2) TBCTR = CMPA이면 PWM output = Low
- → 다른 CTRMODE도 마찬가지로 동작함 단, up-down 모드는 CAU, CAD, CBU, CBD 설정에 따라 듀티비 조절을 할 수 있음



➤ 주요 sub모듈 – AO module

Figure 35-24. Up-Down-Count, Dual Edge Symmetric Waveform, With Independent Modulation on Example 35-4. Code Sample for Figure 35-24 EPWMxA and EPWMxB — Active Low



- A PWM period = 2 x TBPRD × T_{TBCLK}
- Duty modulation for EPWMxA is set by CMPA, and is active low (that is, the low time duty is proportional to CMPA).
- Duty modulation for EPWMxB is set by CMPB and is active low (that is, the low time duty is proportional to CMPB).
- D Outputs EPWMxA and EPWMxB can drive independent power switches

```
// Initialization Time
EPwm1Regs.TBPRD = 600;
                                               // Period = 2'600 TBCLK counts
EPwm1Regs.CMPA.half.CMPA = 400;
                                               // Compare A = 400 TBCLK counts
EPwm1Regs.CMPB = 500;
                                               // Compare B = 500 TBCLK counts
EPwm1Regs.TBPHS = 0;
                                              // Set Phase register to zero
EPwm1Regs.TBCTR = 0;
                                              // clear TB counter
EPwmlRegs.TBCTL.bit.CTRMODE = TB COUNT UPDOWN; // Symmetric
xEPwm1Regs.TBCTL.bit.PHSEN = TB DISABLE;
                                               // Phase loading disabled
xEPwm1Regs.TBCTL.bit.PRDLD = TB SHADOW;
EPwm1Regs.TBCTL.bit.SYNCOSEL = TB SYNC DISABLE;
EPwm1Regs.TBCTL.bit.HSPCLKDIV = TB DIV1;
                                              // TBCLK = VCLK3
EPwmlRegs.TBCTL.bit.CLKDIV = TB DIV1;
EPwm1Regs.CMPCTL.bit.SHDWAMODE = CC SHADOW;
EPwm1Regs.CMPCTL.bit.SHDWBMODE = CC SHADOW;
EPwmlRegs.CMPCTL.bit.LOADAMODE = CC CTR ZERO; // load on CTR = Zero
                                    TR ZERO; // load on CTR = Zero
SPwm1Regs.AQCTLA.bit.CAU = AQ SET;
SPwm1Regs.AQCTLA.bit.CAD = AQ CLEAR;
EPwm1Regs.AQCTLB.bit.CBU = AQ SET;
SPwm1Regs.AQCTLB.bit.CBD = AQ CLEAR;
// Run Time
EPwm1Regs.CMPA.half.CMPA = Dutv1A;
                                             // adjust duty for output EPWM1A
EPwm1Regs.CMPB = Dutv1B;
                                             // adjust duty for output EPWM1B
```



▶ 그 외 sub모듈 – TZ module

Time Base **EPWMxINT** Event Signals Trigger Action Counter Compare **EPWMxSYNCI EPWMxSOCA** and Qualifier Signals CTR = PRDJL Interrup **Digital Compare** ADC **EPWMxSYNCO** Time-Base $CTR = 0^{\int_{-\infty}^{\infty}}$ Signals (ET) **EPWMxSOCB** (TB) **Digital Compare** CTR Dir Signals **EPWMxA EPWMxA EPWMxB FPWMxB GPIO** Dead PWMnTZ1 to nTZ3 MUX Band chopper (PC) CTR = CMFA J (DB) Zone Counter CPU Debug Mode (TZ) Compare (CC) CTR = CMPB^[] OSCFAIL or PLL SLip CTR = 0 **EPWMxTZINT** Combination of EQEP1ERR and EQEP2ERR Digital Compare Digital Compare (DC) Signals

Figure 35-35. Trip-Zone Submodule

Table 35-19. Possible Actions On a Trip Event

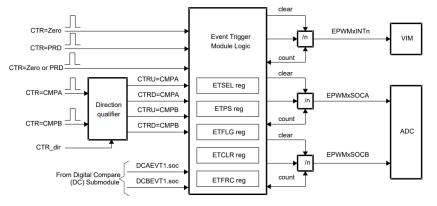
TZCTL Register bit- field Settings	EPWMxA and/or EPWMxB	Comment
0,0	High-Impedance	Tripped
0,1	Force to High State	Tripped
1,0	Force to Low State	Tripped
1,1	No Change	Do Nothing. No change is made to the output.

- → TZ 모듈은 TZ1 ~ TZ6 6개의 채널을 가진다
- → 외부 GPIO를 통해 TZ신호를 전달받거나 내부 CPU상태 및 PLL 상태를 통해서도 신호를 전달 받을 수 있다
- → 과전류, DC link의 단락 또는 과전압 발생시 PWM 모듈의 PWM 출력상태를 차단하거나 high/low 상태를 유지하게 한다.
- → trip zone 신호는 active low이다.
- → trip zone 신호에 따라 interrupt를 발생 시킬 수 있어 error state처리를 할 수 있다 (ex. 회생제동 trip zone 신호를 받아 dynamic pwm 신호를 생성하여 회생제동을 실시 한다)
- → TZ Event에 따라 PWM 출력의 상태를 설정할 수 있다



▶ 그 외 sub모듈 – ET module

Figure 35-40. Event-Trigger Submodule Showing Event Inputs and Prescaled Outputs



- → Event trigger의 source로 compare값, Time base신호가 있고 해당 신호에 의해 생성되게 할 수 있다
- → Event trigger는 source신호가 발생할 때마다, 두번째/세번째 신호마다 발생할 수 있게 설정할 수 있다
- → PWM 인터럽트 신호 생성 : PWM 주기에 맞춰 인터럽트 신호를 CPU에 전달
- → ADC SOC(start of conversion)신호 생성 : PWM 주기에 맞춰 제어기 설계시 피드백 받을 시스템 상태의 ADC를 수행 할 때 유용



▶ 그 외 sub모듈 – DB module

Figure 35-28. Configuration Options for the Dead-Band Submodule

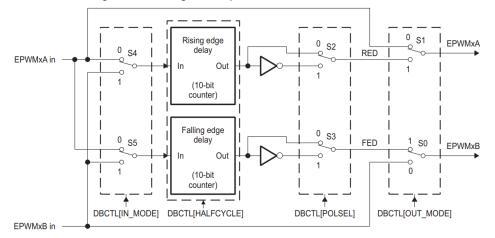
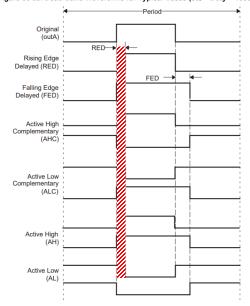


Figure 35-29. Dead-Band Waveforms for Typical Cases (0% < Duty < 100%)

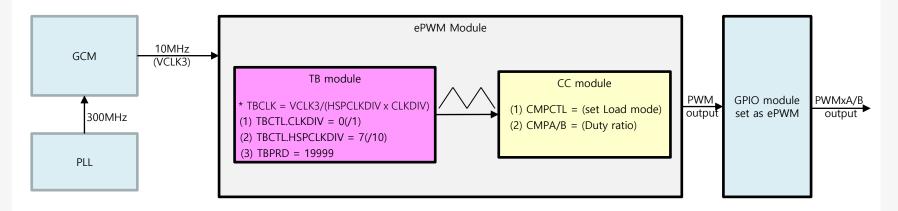


→ 전력변환 시스템의 상/하단 스위치가 동시에 켜져 스위칭 소자가 소손되는 것을 PWM output신호에 delay를 설정하여 방지해준다

ePWM 레지스터 설정



▶ 20ms 주기의 PWM 파형 설정 및 듀티비 설정



- → VCLK3 = 10MHz, CLKDIV = 1, HSPCLKDIV = 10으로 설정 하면 TBCLK = 1MHz(=1us)
- → 통상 RC시스템의 PWM 주기는 20ms이므로 TBPRD = 19999으로 설정(0~19999까지 CTR이 카운트함)하면 PWM 주기는 1us x 20000 = 20ms가 되며, 듀티비는 0.5ms ~ 2.5ms(2.5% ~ 12.5%)로 제어가 가능하다.
- → CMPA/B = Duty ratio(-) x 20000으로 설정하면 듀티비에 맞는 PWM 신호를 생성한다 (예 : duty ratio = 5%(1ms)라면 CMPA = 0.05 x 20000 = 1000)

Halcogen을 이용한 20ms 주기의 PWM신호 설정



