



EDDI

Electronic Design
Development Institute

에디로봇아카데미

임베디드 마스터 Lv# 과정

제 # 기

2021. 00. 00

000

main

shift line

0 x 1111

0 x 1111

0 x 1111

0 x 1111

Q1

Q2

Q3

Q4

D1

D2

D3

D4

eax	edx
0x3	0x2

esi	edi
0x2	0x3

[illegible]

Memory

Memory

[illegible]

CPV

$e \times x$	$e \times x$
6×3	0×2
0×6	
0×0	
0×8	
0×0	

plint

esi	edi
0x2	0x3
0x6	0x5555 5555 4134

辨



EDDI
Electronic Design
Development Institute

CONTENTS

메모리 연산 관점에서 RISC vs CISC

RISC(Load & Store 아키텍처)

- 메모리 2 메모리 연산 불가능 (레지스터 끼리만 가능)
- Load Store 통해서 Register 로 불러와 연산하고 저장함
- 레지스터 를 많이 두려 하고 있고 레지스터 사이의 연산만해서 불필요한 메모리 접근 줄임

CISC(Register Memory 아키텍처)

- 메모리 2 메모리 연산 가능 (레지스터 당연히 가능)
- 그렇기에 mov 가 처리할 수 있는 케이스가 여러가지가 됨 (Reg to Mem, Mem to Reg, Reg to Reg, Mem to Mem)

CONTENTS

가상메모리 사용 이유

RISC(Load & Store 아키텍처)

- . 메모리 2 메모리 연산 불가능 (레지스터 끼리만 가능)
- . Load Store 통해서 Register 로 불러와 연산하고 저장함
- . 레지스터 를 많이 두려 하고 있고 레지스터 사이의 연산만해서 불필요한 메모리 접근 줄임

CISC(Register Memory 아키텍처)

- . 메모리 2 메모리 연산 가능 (레지스터 당연히 가능)
- . 그렇기에 mov 가 처리할 수 있는 케이스가 여러가지가 됨 (Reg to Mem, Mem to Reg, Reg to Reg, Mem to Mem)