



EDDI

Electronic Design
Development Institute

에디로봇아카데미

임베디드 마스터 Lv2 과정

제 1기

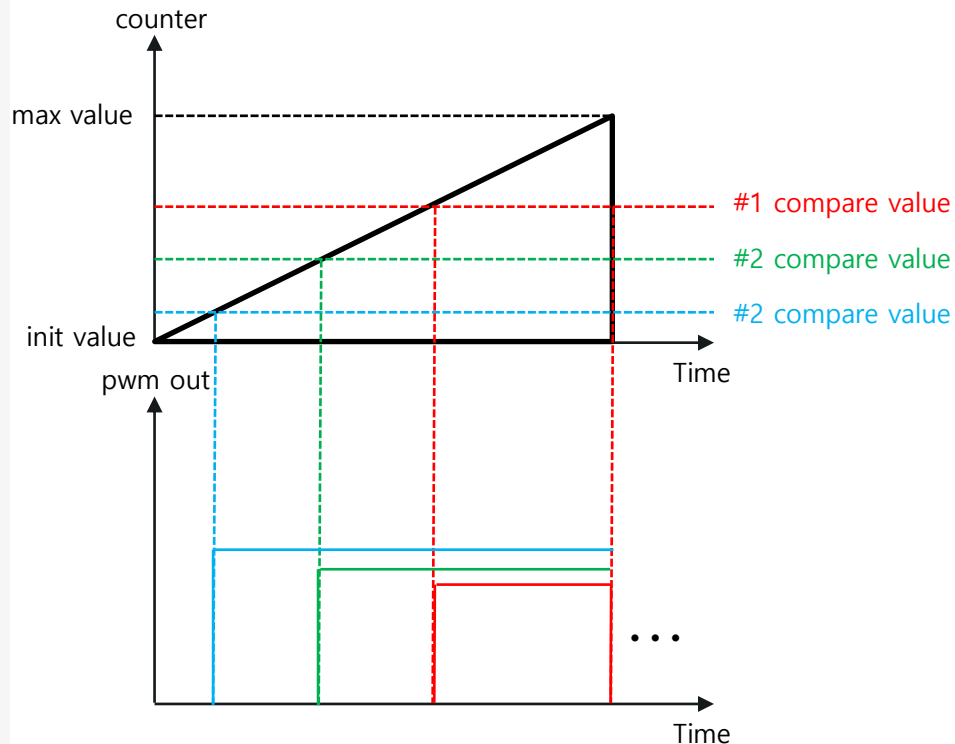
2022. 02. 03

손표훈

CONTENTS

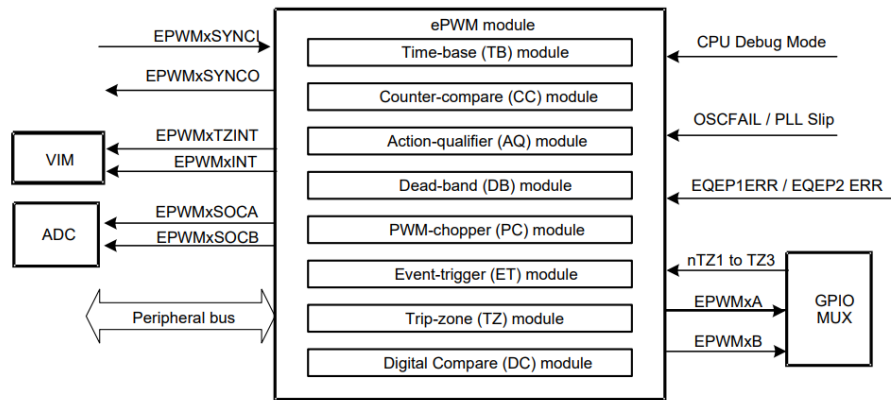
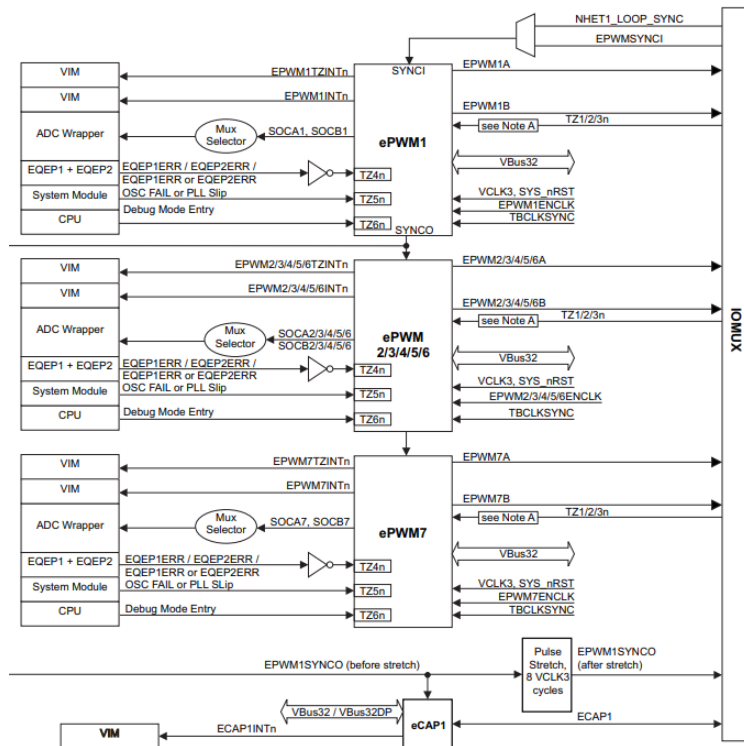
- PWM의 기본원리
- ePWM의 H/W 구성
 - 주요 sub모듈
 - 그 외 sub모듈
- ePWM 레지스터 설정
 - 20ms 주기의 PWM 파형 설정 및 듀티비 설정
- Halcogen을 이용한 20ms 주기의 PWM신호 설정

PWM 기본원리



- PWM 신호는 PWM 주파수를 결정하는 counter 값과 duty비를 결정하는 compare값으로 생성된다.
- counter값이 max value에 도달하면 초기값으로 초기화 되며 다시 카운트를 진행한다.
max value에 도달하면 interrupt 발생을 설정할 수 있다.
- pwm 출력을 레지스터 설정에 따라
(1) compare > counter : 'High'
(2) compare < counter : 'Low'
두 가지로 설정할 수 있다.

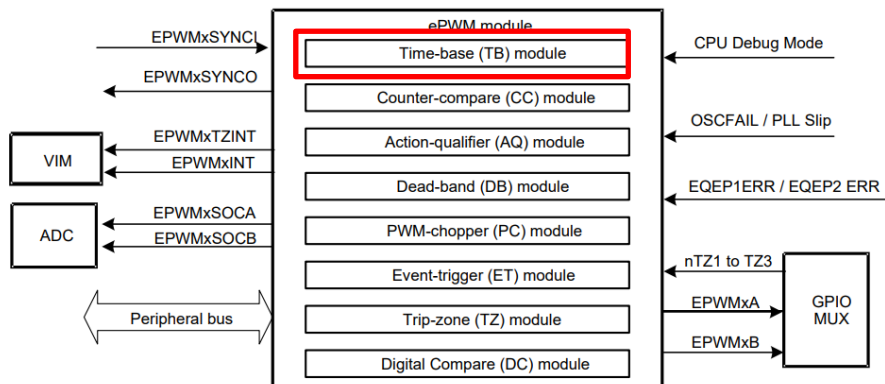
PWM H/W



- TMS570LC43x의 ePWM은 1~7개의 모듈로 구성되어 있다
- 각 모듈당 출력은 A&B 두개가 존재하며, 총 14채널이 있다
- ePWM의 서브모듈은 8개로 구성된다
 - (1) TB : 주파수 설정 및 생성
 - (2) CC : duty비 조정
 - (3) AQ : PWM 출력 상태 설정
 - (4) DB : PWM 출력 delay 설정
 - (5) PC : PWM 출력을 높은 주파수의 파형으로 만든다
 - (6) ET : Interrupt 및 ADC의 start of conversion 주기 설정 및 생성
 - (7) TZ : 외부 에러상태에 따라 PWM 출력을 차단 또는 특정상태로 설정
 - (8) DC : TZ입력신호의 상태에 따라 ET, TZ, TB의 상태를 설정

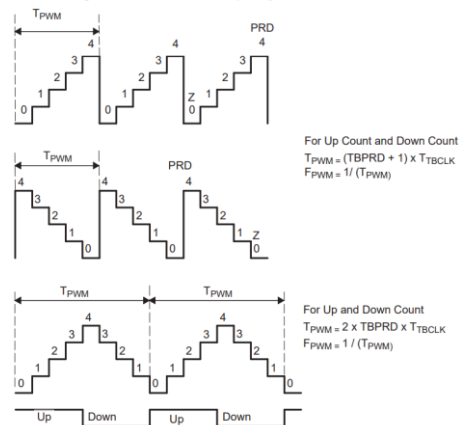
PWM H/W

주요 sub모듈 – TB module



12-10	CLKDIV	Time-base Clock Prescale Bits. These bits determine part of the time-base clock prescale value: $TBCLK = VCLK3 / (HSPCLKDIV \times CLKDIV)$
	0	/1 (default on reset)
	1h	/2
	2h	/4
	3h	/8
	4h	/16
	5h	/32
	6h	/64
	7h	/128
9-7	HSPCLKDIV	High Speed Time-base Clock Prescale Bits. These bits determine part of the time-base clock prescale value: $TBCLK = VCLK3 / (HSPCLKDIV \times CLKDIV)$
	0	/1
	1h	/2 (default on reset)
	2h	/4
	3h	/6
	4h	/8
	5h	/10
	6h	/12
	7h	/14

Figure 35-5. Time-Base Frequency and Period



- GCM에서 VCLK3의 주파수를 입력받아 TBCTL레지스터를 통해 clk divide를 하여 TB모듈의 기본 소스 주파수를 설정한다
- TBPRD레지스터를 이용하여 counter max값을 설정하면 PWM신호의 기본 주파수가 생성된다
 - (1) $TBCLK = VCLK3 / (HSPCLKDIV \times CLKDIV)$
 - (2) $PWM \text{ frequency} = TBCLK / (TBPRD + 1)$
- *PWM 주파수 수식은 카운터모드에 따라 달라짐
- count mode는 TBCTL의 CTRMODE bit를 통해 설정 할 수 있다

PWM H/W

주요 sub모듈 - CC module

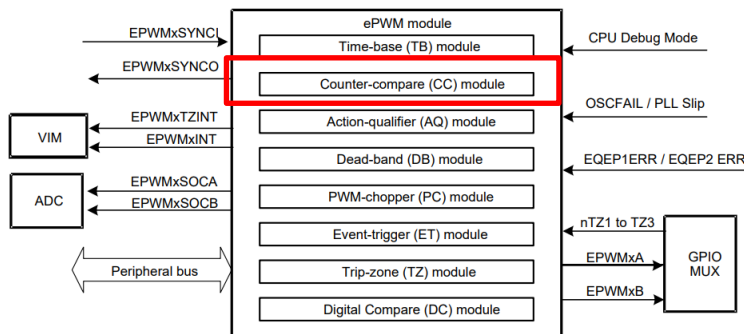
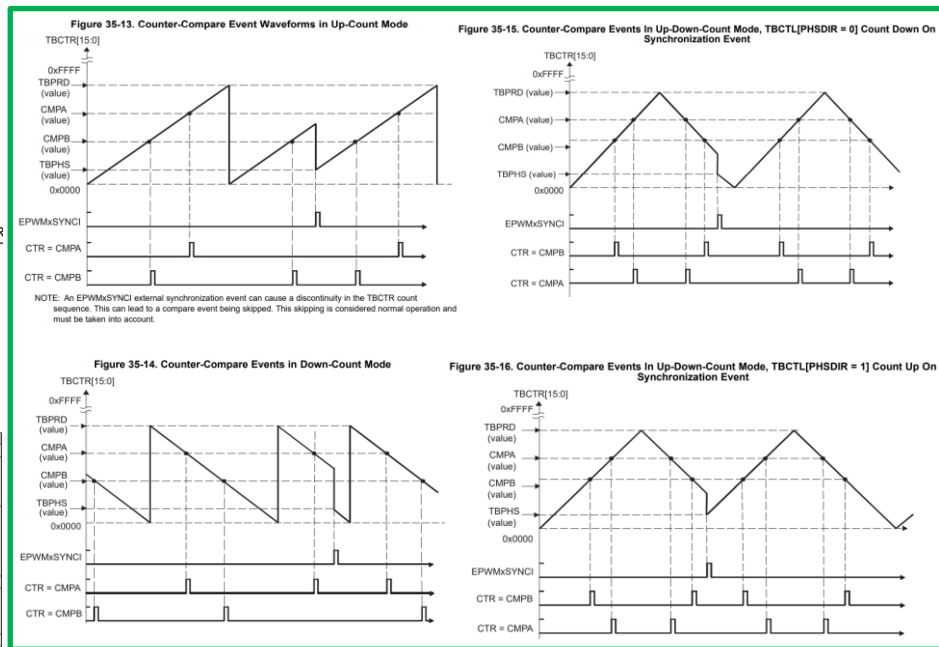


Table 35-28. Counter-Compare Control Register (CMPCTL) Field Descriptions

Bits	Name	Value	Description
15-10	Reserved	0	Reserved
9	SHDWBFULL	0	Counter-compare B (CMPB) Shadow Register Full Status Flag. This bit self clears once a load-strobe occurs. CMPB shadow FIFO not full yet.
		1	Indicates the CMPB shadow FIFO is full; a CPU write will overwrite current shadow value.
8	SHDWAFULL	0	Counter-compare A (CMPA) Shadow Register Full Status Flag. The flag bit is set when a 32-bit write to CMPA-CMPAHR register or a 16-bit write to CMPA register is made. A 16-bit write to CMPAHR register will not affect the flag. This bit self clears once a load-strobe occurs.
		1	Indicates the CMPA shadow FIFO is full; a CPU write will overwrite the current shadow value.
7	Reserved	0	Reserved
6	SHDWBMODE	0	Counter-compare B (CMPB) Register Operating Mode. Shadow mode. Operates as a double buffer. All writes via the CPU access the shadow register. Immediate mode. Only the active compare register is used. All writes and reads directly access the active register for immediate compare action.
		1	Immediate mode. Only the active compare register is used. All writes and reads directly access the active register for immediate compare action.
5	Reserved	0	Reserved
4	SHDWAMODE	0	Counter-compare A (CMPA) Register Operating Mode. Shadow mode. Operates as a double buffer. All writes via the CPU access the shadow register. Immediate mode. Only the active compare register is used. All writes and reads directly access the active register for immediate compare action.
		1	Immediate mode. Only the active compare register is used. All writes and reads directly access the active register for immediate compare action.
3-2	LOADBMODE	0	Active Counter-Compare B (CMPB) Load From Shadow Select Mode. This bit has no effect in immediate mode (CMPCTL[SHDWBMODE] = 1).
		1h	Load on CTR = Zero: Time-base counter equal to zero (TBCTR = 0x0000)
		2h	Load on CTR = PRD: Time-base counter equal to period (TBCTR = TBPRD)
		3h	Freeze (no loads possible)
1-0	LOADAMODE	0	Active Counter-Compare A (CMPA) Load From Shadow Select Mode. This bit has no effect in immediate mode (CMPCTL[SHDWAMODE] = 1).
		1h	Load on CTR = Zero: Time-base counter equal to zero (TBCTR = 0x0000)
		2h	Load on CTR = PRD: Time-base counter equal to period (TBCTR = TBPRD)
		3h	Freeze (no loads possible)

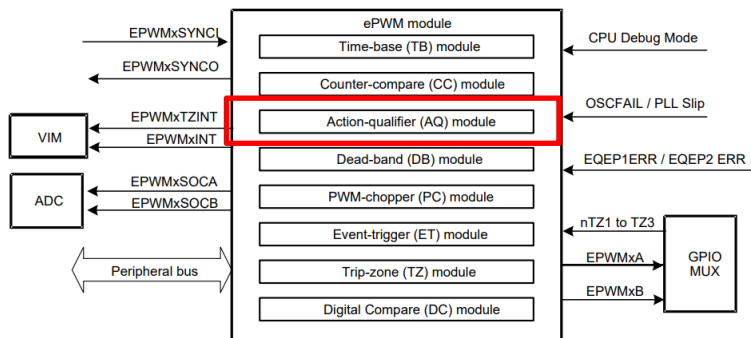


→ CC 모듈의 레지스터에서 CMPA&B 레지스터의 shadow register
활성/비활성 설정

→ LOADMODE bit 설정을 통해 counter의 상태에 따라 SW에서 설정한
CMPA & B를 ePWM 모듈로 load할 수 있도록 설정 할 수 있다.

PWM H/W

주요 sub모듈 – AQ module



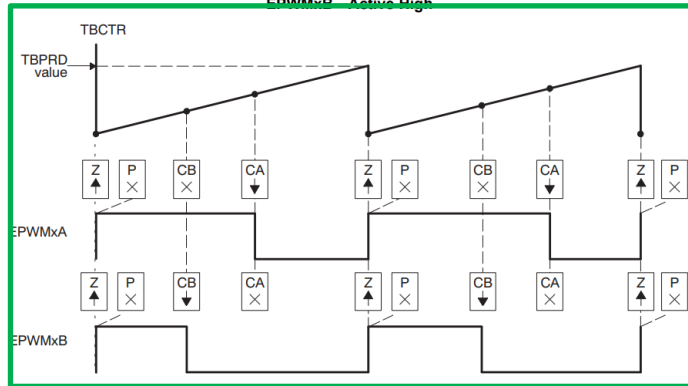
Example 35-1. Code Sample for Figure 35-21

```
// Initialization Time
// =====
EPwm1Regs.TBPRD = 600;           // Period = 601 TBCLK counts
EPwm1Regs.CMPA.half.CMPA = 350; // Compare A = 350 TBCLK counts
EPwm1Regs.CMPB = 200;           // Compare B = 200 TBCLK counts
EPwm1Regs.TBPHS = 0;            // Set Phase register to zero
EPwm1Regs.TBCTR = 0;            // clear TB counter
EPwm1Regs.TBCTL.bit.CTRMODE = TB_COUNT_UP;
EPwm1Regs.TBCTL.bit.PHSEN = TB_DISABLE; // Phase loading disabled
EPwm1Regs.TBCTL.bit.PRDL = TB_SHADOW;
EPwm1Regs.TBCTL.bit.SYNCSEL = TB_SYNC_DISABLE;
EPwm1Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // TBCLK = SYSCLK
EPwm1Regs.TBCTL.bit.CLKDIV = TB_DIV1;
EPwm1Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm1Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm1Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO; // load on CTR = Zero
EPwm1Regs.CMPCTL.bit.CTRMODE = CC_CTR_ZERO; // load on CTR = Zero

EPwm1Regs.AQCTLA.bit.ZRO = AQ_SET;
EPwm1Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm1Regs.AQCTLB.bit.ZRO = AQ_SET;
EPwm1Regs.AQCTLB.bit.CBU = AQ_CLEAR;

// Run Time
// =====
EPwm1Regs.CMPA.half.CMPA = Duty1A; // adjust duty for output EPWM1A
EPwm1Regs.CMPB = Duty1B;           // adjust duty for output EPWM1B
```

Figure 35-21. Up, Single Edge Asymmetric Waveform, With Independent Modulation on EPWMxA and EPWMxB Active High

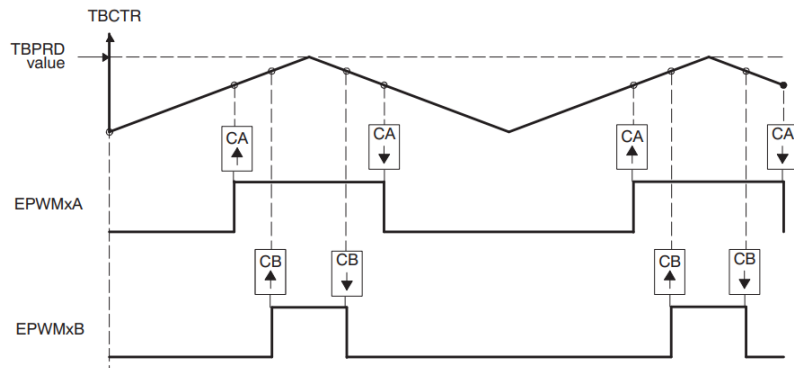


- CTR(counter register) 레지스터의 다음 4가지 상태에 따라 AQCTLA&B 레지스터를 이용하여 PWMxA, PWMxB의 3가지의 PWM output상태를 정의할 수 있다
 - (1) PRD : TBCTR = TBPRD이면 PWM output을 set/clear/toggle의 상태로 설정할 수 있다
 - (2) Zero : TBCTR = 0이면 PWM output을 set/clear/toggle의 상태로 설정할 수 있다
 - (3) CMPA : TBCTR = CMPA이면 PWM output을 set/clear/toggle의 상태로 설정할 수 있다
 - (4) CMPB : TBCTR = CMPB이면 PWM output을 set/clear/toggle의 상태로 설정할 수 있다
- 예시 : up count 모드에서 pwm output 설정
 - (1) TBCTR = zero이면 PWM output = High
 - (2) TBCTR = CMPA이면 PWM output = Low
- 다른 CTRMODE도 마찬가지로 동작함
 - 단, up-down 모드는 CAU, CAD, CBU, CBD 설정에 따라 듀티비 조절을 할 수 있음

PWM H/W

➤ 주요 sub모듈 – AQ module

Figure 35-24. Up-Down-Count, Dual Edge Symmetric Waveform, With Independent Modulation on EPWMxA and EPWMxB — Active Low



- A PWM period = $2 \times \text{TBPRD} \times T_{\text{TBCLK}}$
- B Duty modulation for EPWMxA is set by CMPA, and is active low (that is, the low time duty is proportional to CMPA).
- C Duty modulation for EPWMxB is set by CMPB and is active low (that is, the low time duty is proportional to CMPB).
- D Outputs EPWMxA and EPWMxB can drive independent power switches

Example 35-4. Code Sample for Figure 35-24

```
// Initialization Time
// =====
EPwm1Regs.TBPRD = 600; // Period = 2'600 TBCLK counts
EPwm1Regs.CMPA.half.CMPA = 400; // Compare A = 400 TBCLK counts
EPwm1Regs.CMPB = 500; // Compare B = 500 TBCLK counts
EPwm1Regs.TBPHS = 0; // Set Phase register to zero
EPwm1Regs.TBCTR = 0; // clear TB counter
EPwm1Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Symmetric
xEPwm1Regs.TBCTL.bit.PHSEN = TB_DISABLE; // Phase loading disabled
xEPwm1Regs.TBCTL.bit.PRDL = TB_SHADOW;
EPwm1Regs.TBCTL.bit.SYNCSEL = TB_SYNC_DISABLE;
EPwm1Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // TBCLK = VCLK3
EPwm1Regs.TBCTL.bit.CLKDIV = TB_DIV1;
EPwm1Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm1Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm1Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO; // load on CTR = Zero
EPwm1Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO; // load on CTR = Zero
// =====
EPwm1Regs.AQCTLA.bit.CAU = AQ_SET;
EPwm1Regs.AQCTLA.bit.CAD = AQ_CLEAR;
EPwm1Regs.AQCTLB.bit.CBU = AQ_SET;
EPwm1Regs.AQCTLB.bit.CBD = AQ_CLEAR;
// =====
// Run Time
// =====
EPwm1Regs.CMPA.half.CMPA = Duty1A; // adjust duty for output EPWM1A
EPwm1Regs.CMPB = Duty1B; // adjust duty for output EPWM1B
```


➤ 그 외 sub모듈 - TZ module

Figure 35-35. Trip-Zone Submodule

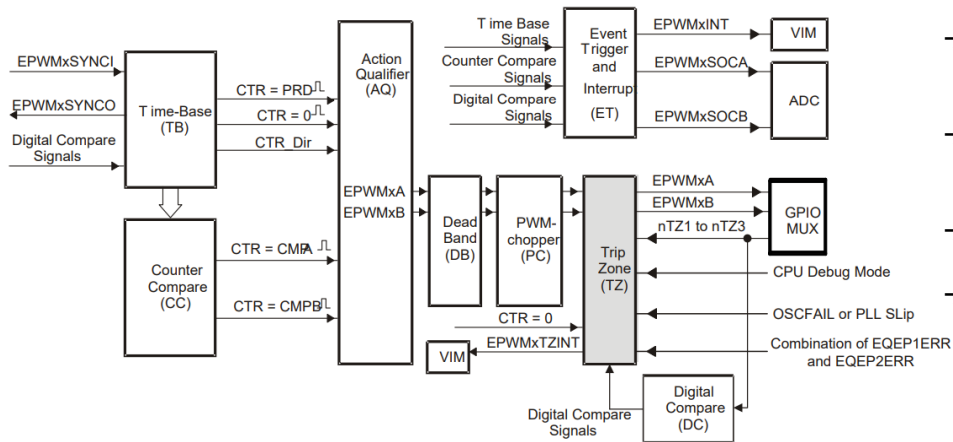


Table 35-19. Possible Actions On a Trip Event

TZCTL Register bit-field Settings	EPWMxA and/or EPWMxB	Comment
0,0	High-Impedance	Tripped
0,1	Force to High State	Tripped
1,0	Force to Low State	Tripped
1,1	No Change	Do Nothing.
No change is made to the output.		

➔ TZ 모듈은 TZ1 ~ TZ6 6개의 채널을 가진다

➔ 외부 GPIO를 통해 TZ신호를 전달받거나 내부 CPU상태 및 PLL 상태를 통해서도 신호를 전달 받을 수 있다

➔ 과전류, DC link의 단락 또는 과전압 발생시 PWM 모듈의 PWM 출력상태를 차단하거나 high/low 상태를 유지하게 한다.

➔ trip zone 신호는 active low이다.

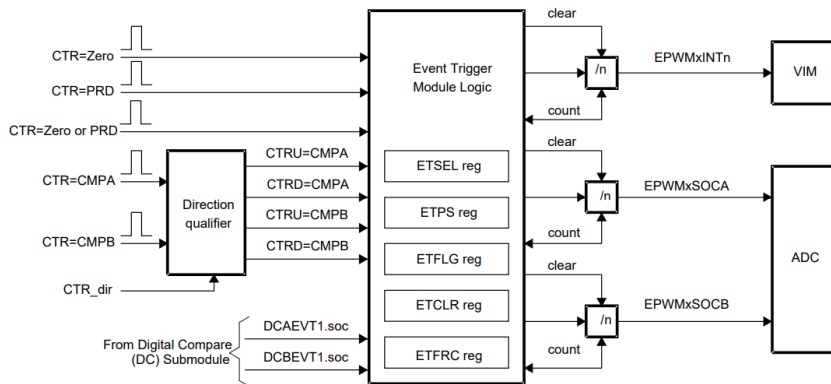
➔ trip zone 신호에 따라 interrupt를 발생 시킬 수 있어 error state처리를 할 수 있다
(ex. 회생제동 - trip zone 신호를 받아 dynamic pwm 신호를 생성하여 회생제동을 실시 한다)

➔ TZ Event에 따라 PWM 출력의 상태를 설정할 수 있다

PWM H/W

➤ 그 외 sub모듈 - ET module

Figure 35-40. Event-Trigger Submodule Showing Event Inputs and Prescaled Outputs



- Event trigger의 source로 compare값, Time base신호가 있고 해당 신호에 의해 생성되게 할 수 있다
- Event trigger는 source신호가 발생할 때마다, 두번째/세번째 신호마다 발생할 수 있게 설정할 수 있다
- PWM 인터럽트 신호 생성 : PWM 주기에 맞춰 인터럽트 신호를 CPU에 전달
- ADC SOC(start of conversion)신호 생성 : PWM 주기에 맞춰 제어기 설계시 피드백 받을 시스템 상태의 ADC를 수행 할 때 유용

➤ 그 외 sub모듈 – DB module

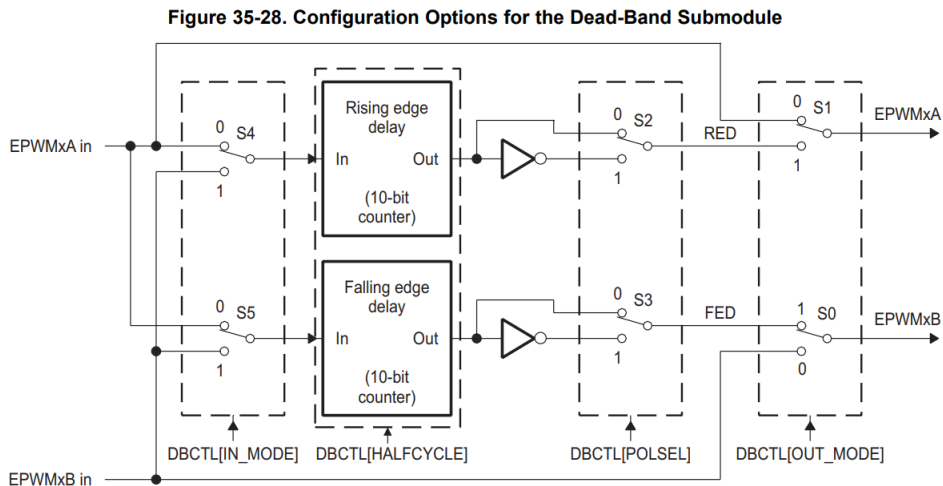
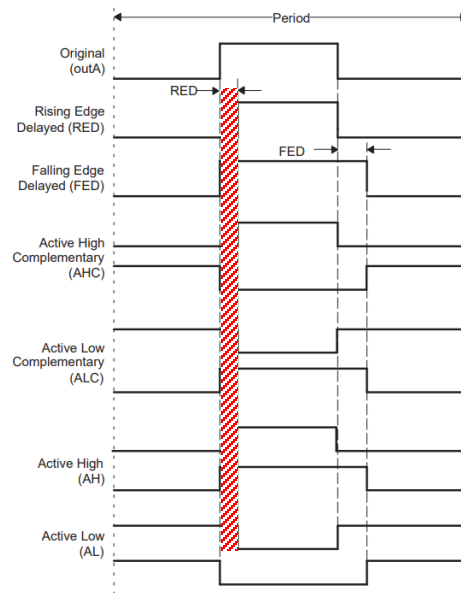


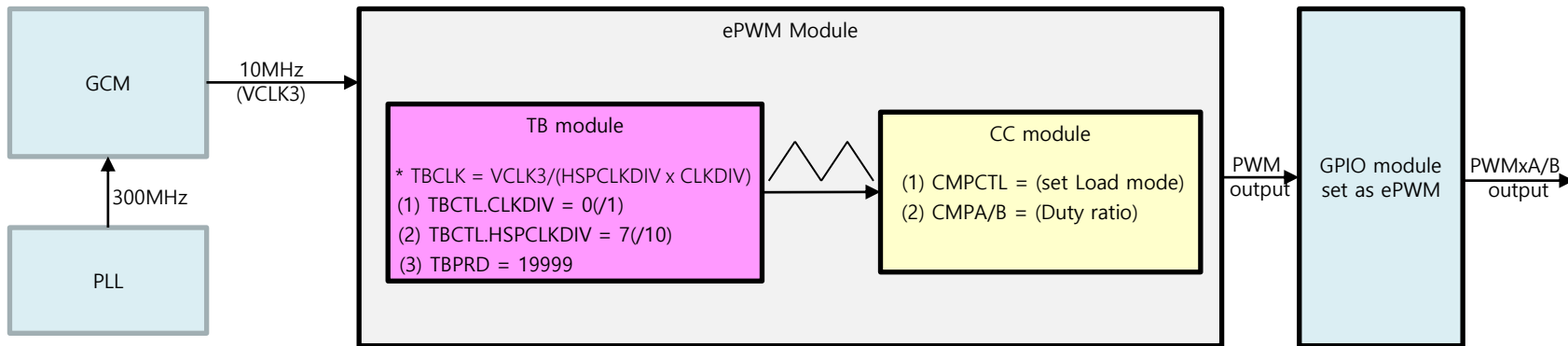
Figure 35-29. Dead-Band Waveforms for Typical Cases ($0\% < \text{Duty} < 100\%$)



➔ 전력변환 시스템의 상/하단 스위치가 동시에 켜져 스위칭 소자가 소손되는 것을 PWM output신호에 delay를 설정하여 방지해준다

ePWM 레지스터 설정

➤ 20ms 주기의 PWM 파형 설정 및 듀티비 설정

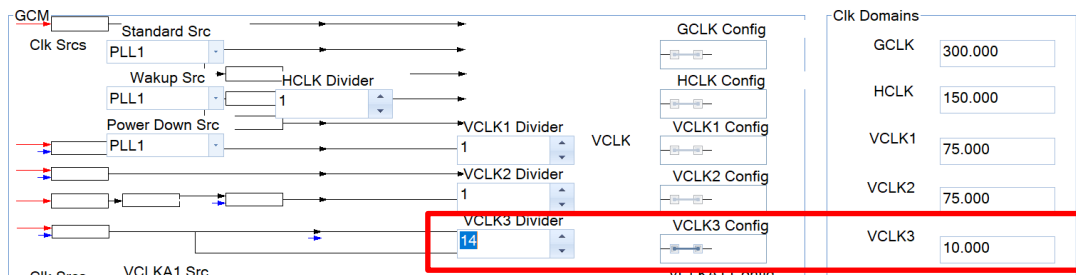


→ $VCLK3 = 10\text{MHz}$, $CLKDIV = 1$, $HSPCLKDIV = 10$ 으로 설정 하면 $TBCLK = 1\text{MHz}(=1\mu\text{s})$

→ 통상 RC시스템의 PWM 주기는 20ms이므로 $TBPRD = 19999$ 으로 설정(0~19999까지 CTR이 카운트함)하면 PWM 주기는 $1\mu\text{s} \times 20000 = 20\text{ms}$ 가 되며, 듀티비는 0.5ms ~ 2.5ms(2.5% ~ 12.5%)로 제어가 가능하다.

→ $CMPA/B = \text{Duty ratio}(-) \times 20000$ 으로 설정하면 듀티비에 맞는 PWM 신호를 생성한다
(예 : duty ratio = 5%(1ms)라면 $CMPA = 0.05 \times 20000 = 1000$)

HalcoGen을 이용한 20ms 주기의 PWM신호 설정



#1 GCM모듈에서 VCLK3의 divider를
이용해 VCLK3주파수를 10MHz로 설정한다



#4 PINMUX 탭에서 어떤 ePWM 채널을 출력으로 사용할지 설정

#2 HSPCLKDIV = 10, CLKDIV = 1로
설정하여 TBCLK을 1MHz로 설정

#3 PWM 주기(ns단위)를 20ms로 설정
초기 듀티비는 5%로 설정