



AVR – HW1

임베디드스쿨1기

Lv1과정

2020. 08. 24

손표훈

0. 질문

- (1) 작성한 소스코드가 프로그램 다운로드시 FLASH메모리에 올라가는 것으로 조사했는데, PERIPHERAL의 레지스터 맵과 명령어 처리에 사용되는 레지스터 파일도 FLASH메모리에 올라가는건지? 아니면 SRAM에 올라가는건지?

1. AVR

(1) AVR? 제조사 Atmel의 Modified **Harvard Architecture** 8bit **RISC** MCU이다.
*AVR은 MCU내부의 CORE(CPU)를 말한다.

(2) AVR 시리즈는 아래와 같고, 각 시리즈마다 메모리와 동작속도가 다르다.

Basic families [\[edit \]](#)

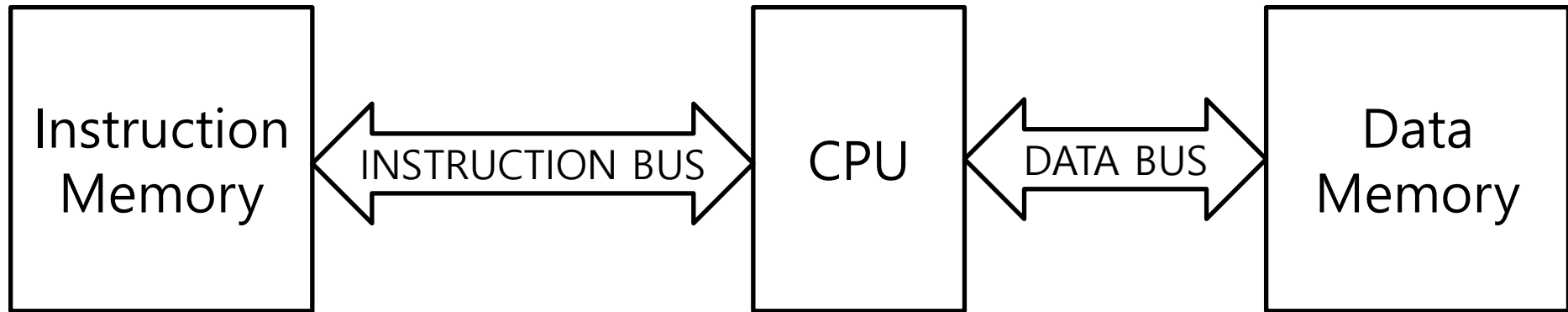
AVRs are generally classified into following:

- **tinyAVR** – the ATtiny series
Main article: [ATtiny microcontroller comparison chart](#)
 - 0.5–32 KB program memory
 - 6–32-pin package
 - Limited peripheral set
- **megaAVR** – the ATmega series
 - 4–256 KB program memory
 - 28–100-pin package
 - Extended instruction set (multiply instructions and instructions for handling larger program memories)
 - Extensive peripheral set
- **XMEGA** – the ATxmega series
 - 16–384 KB program memory
 - 44–64–100-pin package (A4, A3, A1)
 - 32-pin package: XMEGA-E (XMEGA8E5)
 - Extended performance features, such as DMA, "Event System", and cryptography support
 - Extensive peripheral set with [ADCs](#)
- **Application-specific AVR**
 - megaAVRs with special features not found on the other members of the AVR family, such as LCD controller, [USB](#) controller, advanced PWM, CAN, etc.
- **FPSLIC (AVR with FPGA)**
 - [FPGA](#) 5k to 40k gates
 - SRAM for the AVR program code, unlike all other AVRs
 - AVR core can run at up to 50 MHz^[9]
- **32-bit AVRs**
Main article: [AVR32](#)

-> AVR의 Harvard Architecture와 RISC에 대해 알아보자!

2. 하버드 구조(remind)

- (1) 하버드구조 : 데이터 메모리와 명령어 메모리가 **물리적으로 분리**되어 있음
데이터버스와 명령어 버스가 **각각** 구성됨
- (2) 하버드 구조 단점 : 버스구조가 복잡하여 설계가 어려움(고비용)

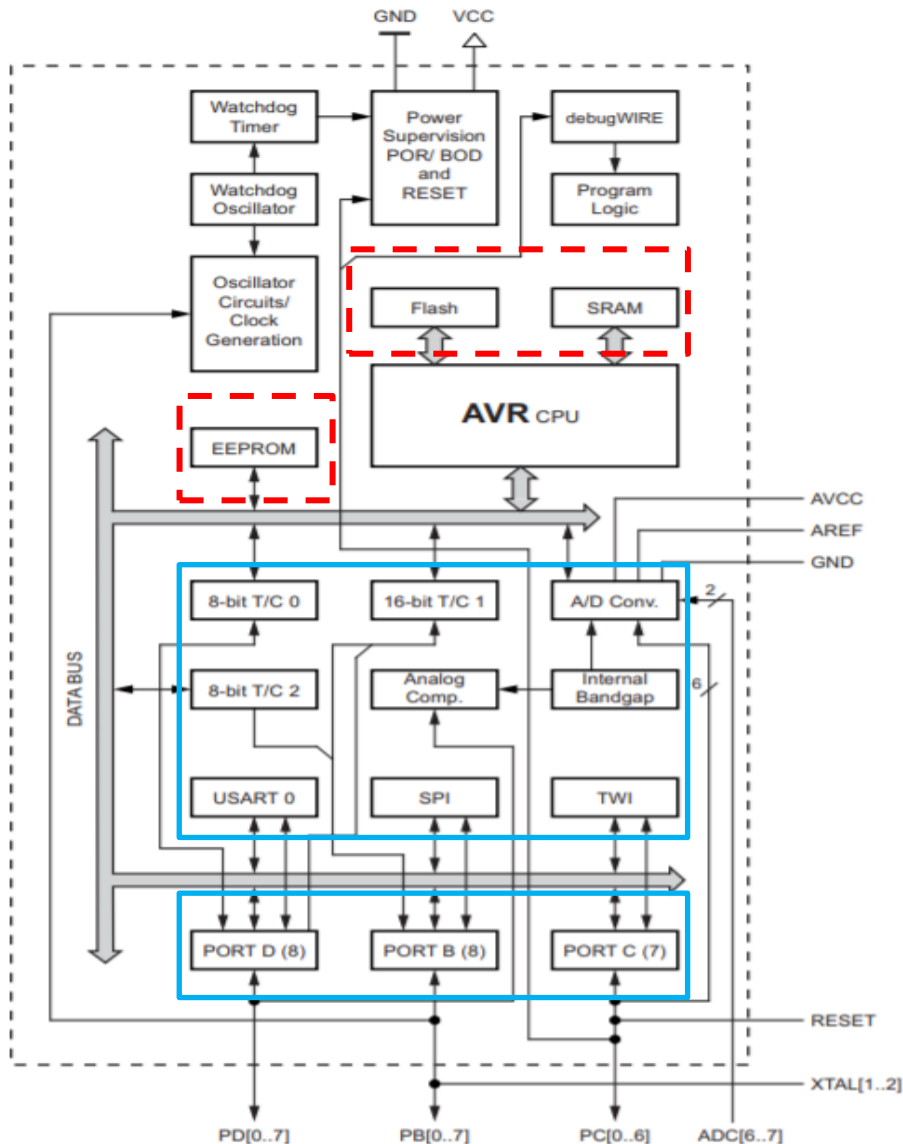


- (3) 데이터 버스와 명령어 메모리가 분리되어 있어 파이프라이닝 기법 활용에 최적화
(데이터를 동시에 읽기/쓰기가 가능!!)
- (4) **RISC**와 같이 축소된 명령어 구조에 적합하다.

* 파이프라이닝에 대해 HW1을 참고..

3. AVR의 하버드구조

(1) AVR이 왜 Harvard Architecture?

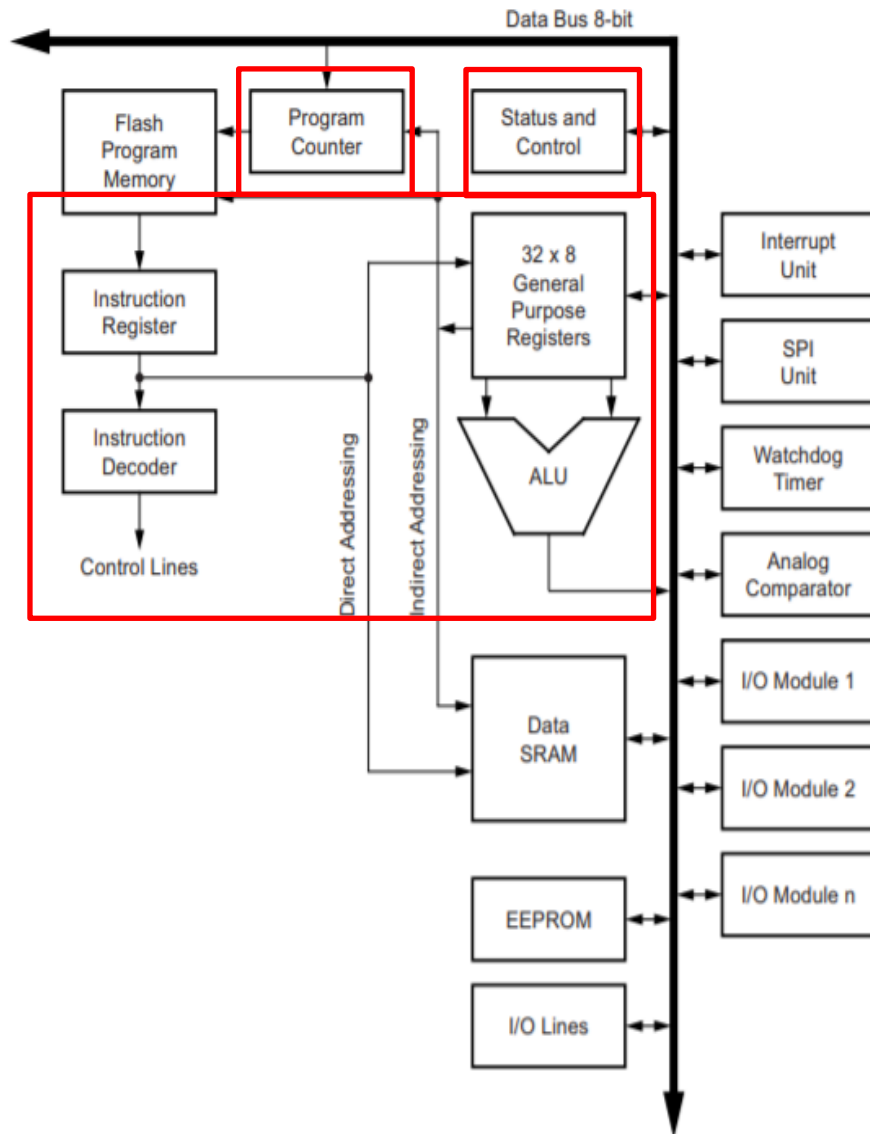


 : Memory
 : Peripherals

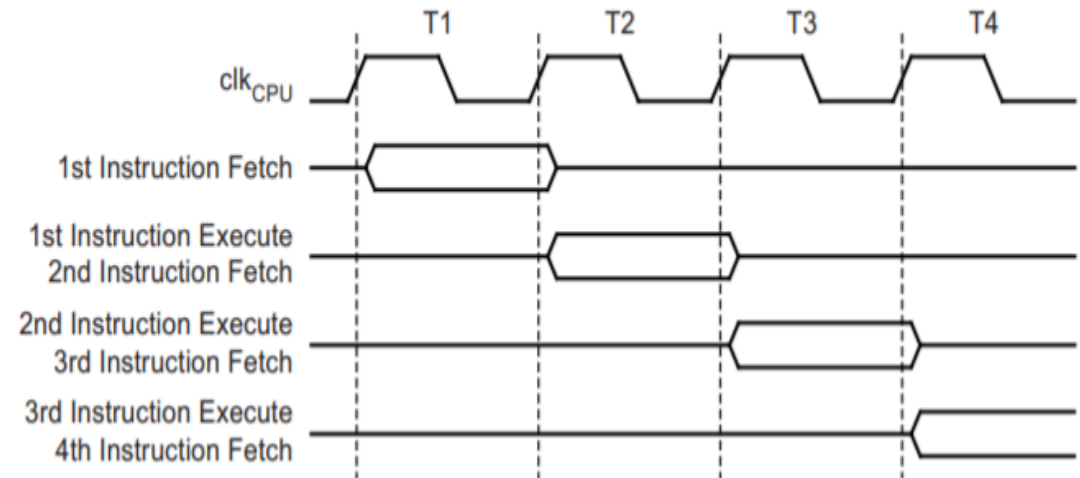
- Flash, SRAM, EEPROM 3가지의 메모리를 가지고 있다.
- FLASH : 프로그램 메모리
16bit wide
비휘발성
- SRAM : 데이터 메모리
8bit wide
휘발성
- EEPROM : 데이터 메모리
8bit wide
비휘발성

3. AVR의 하버드구조

(2) AVR은 Single Pipeline구조를 가지고, 아래 표시된 부분이 AVR CORE이다.



The Parallel Instruction Fetches and Instruction Executions

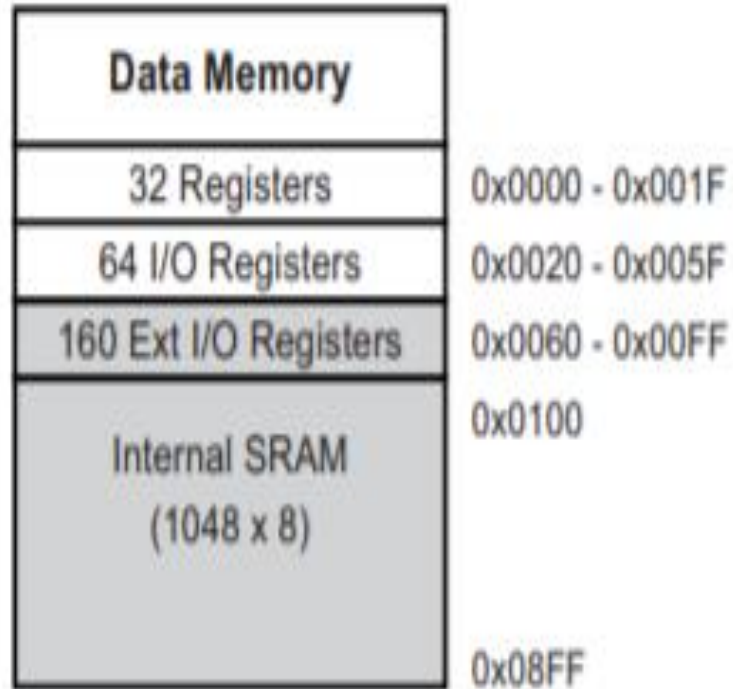


3. AVR의 하버드구조

(3) AVR의 명령어 처리....(자료조사가 더 필요함...)

3. AVR의 메모리

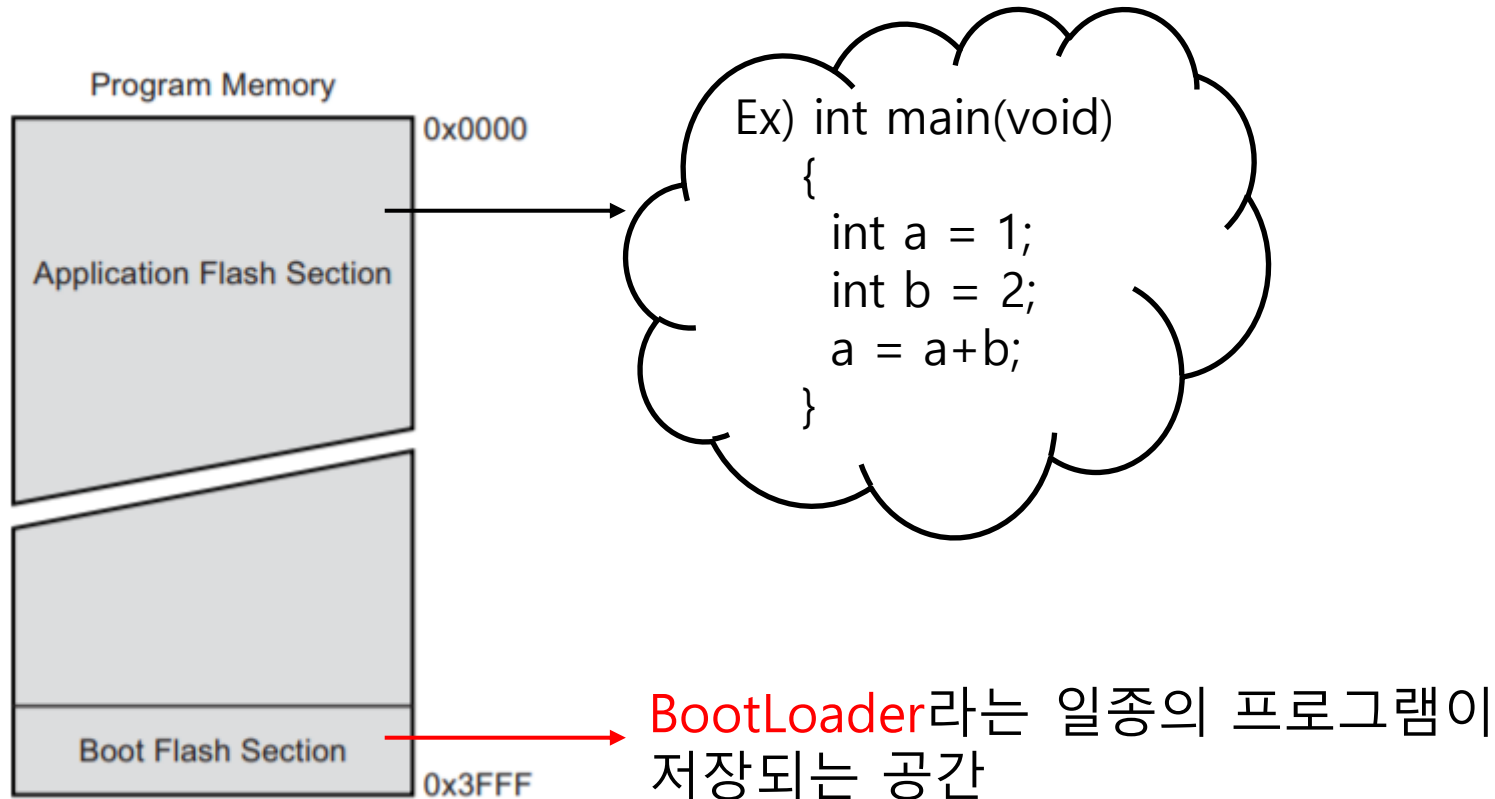
(1) AVR의 SRAM 메모리에 대해 더 알아보자...(예 : ATmega328P)



- 명령어 처리에 사용되는 8bit Register 32개
이들 중 **X,Y,Z**라는 **Stack Pointer** 레지스터 공간이 있다.
- X,Y,Z는 함수와 **포인터를 사용한 간접 주소접근**에 사용된다.
- 입/출력 Peripherals(GPIO, SPI, ADC등)에 데이터를 주고 받는 I/O 224개의 8bit register 공간이 있다.
- 그리고 **명령어 연산결과 실질적인 데이터를 저장하는 Internal SRAM이 2Kbyte의 공간**을 차지한다

3. AVR의 메모리

(2) AVR의 FLASH 메모리에 대해 더 알아보자...(예 : ATmega328P)



- ATmega328의 FLASH 메모리 사이즈 : 4Kbyte
- Application Section & Boot Section(사이즈가 가변적)
2개의 Sector로 나뉜다.
- 16bit width를 가진다.. 8bit MCU인데 왜? AVR의 Instruction Set이 16bit이기 때문이다.

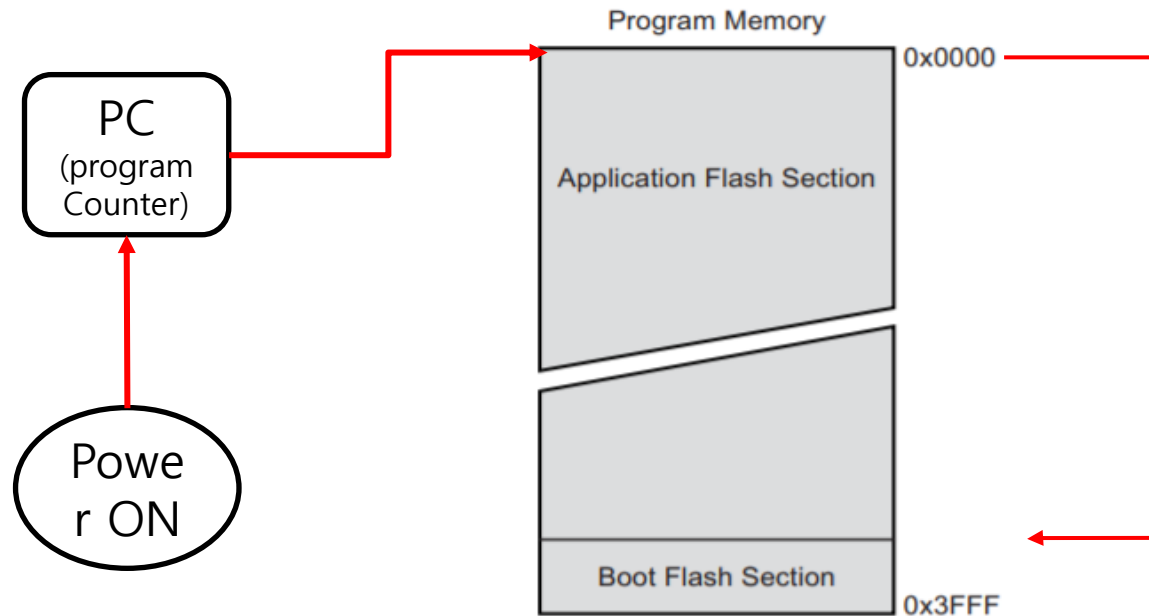
3. AVR의 메모리

(3) 부트로더?

- 우선 범용PC(마이크로 프로세서)에서 부트로더와 임베디드에서 부트로더는 약간 다르다.
- 범용 PC의 부트로더는 RESET -> BIOS셋팅 후 플래시 메모리에서 OS 커널을 RAM으로 복사하여 OS가 실행되게 한다.
- 임베디드에서 부트로더는 특별한 장비?(ISP다운로더, JTAG 등) 없이 ROM(플래시메모리)에 프로그램을 업로드 할 수 있게 해주는 프로그램을 말한다.
- 부트로더 프로그램에 따라 SCI통신, CAN통신이 지원되는 경우 CAN통신을 통해 플래시 메모리에 프로그램 업로드를 할 수 있다.

3. AVR의 메모리

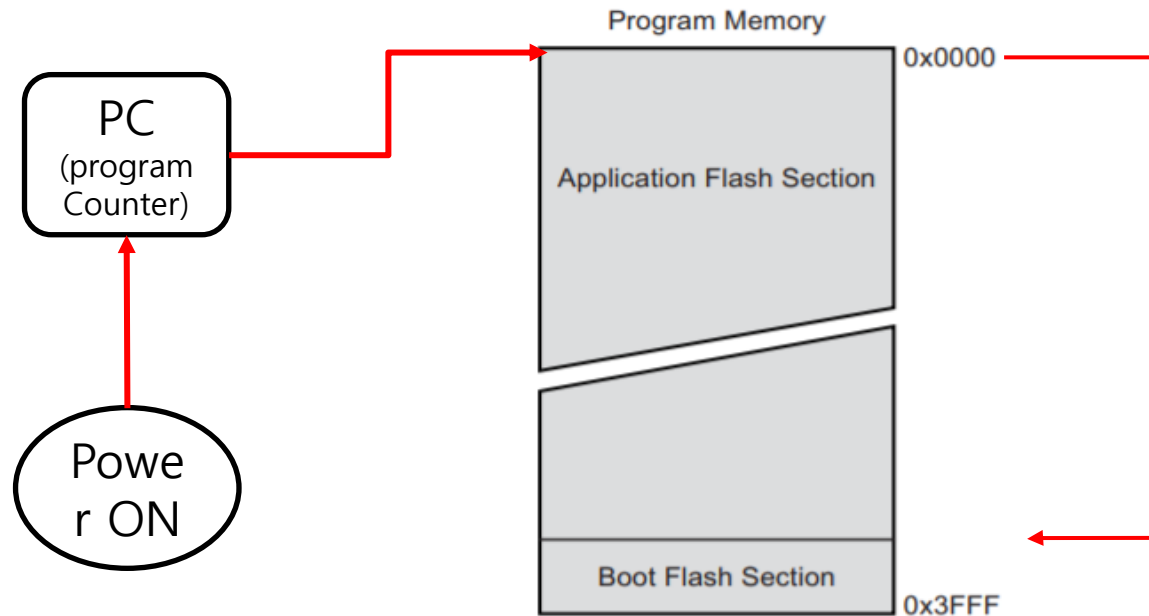
- 부트로더 프로그램이 있을 때 아래와 같이 동작한다.



- > 리셋 후 PC가 메모리의 첫 번째 주소에서 "점프명령"에 의해 부트로더 섹터로 "점프"한다..
- > 부트로더를 실행 이때 외부에서 부팅을 위한 장치(SCI, CAN 등)부트로더의 실행을 위한 신호가 없으면 Application 섹터로 점프하여 저장된 프로그램을 실행한다..

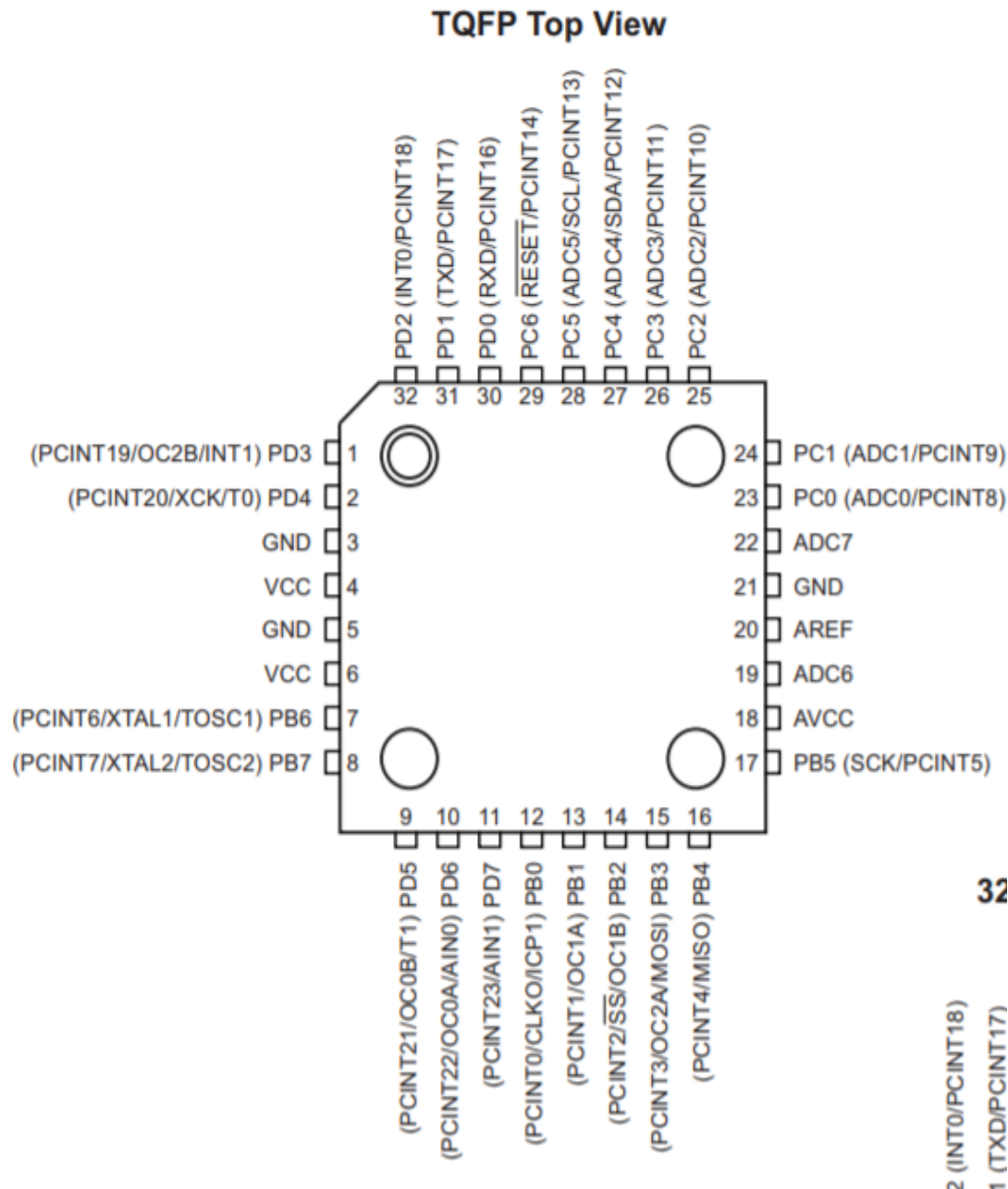
3. AVR의 메모리

- 부트로더 프로그램이 있을 때 아래와 같이 동작한다.



- > 리셋 후 PC가 메모리의 첫 번째 주소에서 "점프명령"에 의해 부트로더 섹터로 "점프"한다..
- > 부트로더를 실행 이때 외부에서 부팅을 위한 장치(SCI, CAN 등)부트로더의 실행을 위한 신호가 없으면 Application 섹터로 점프하여 저장된 프로그램을 실행한다..

4. ATmega328P 핀맵



- ATmega328은 PORTB~PORTD가 있다.
- 각 포트는 0~7까지 8개씩 있다.
- VCC : 2.7V ~ 5.5V
- GND
- AVCC : A/D converter의 공급전원으로 VCC와 공급범위가 동일하다.
- AREF : A/D Converter의 기준전압으로 ADMUX레지스터에 의해 공급원 선택을 할 수 있다. 내부 or 외부 선택 가능하며, **내부는 1.1V, 외부는 AVCC와 연결..** 안정적인 공급을 위해 **bypass CAP**을 연결해준다(**디지털 노이즈에 흔히 사용되는 0.1uF MLCC로..**)

각 포트에 대한 기능은 DATASHEET...

4. ATmega328P 핀맵

1.1.3 Port B (PB7:0) XTAL1/XTAL2/TOSC1/TOSC2

Port B is an 8-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The Port B output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, port B pins that are externally pulled low will source current if the pull-up resistors are activated. The Port B pins are tri-stated when a reset condition becomes active, even if the clock is not running.

Depending on the clock selection fuse settings, PB6 can be used as input to the inverting oscillator amplifier and input to the internal clock operating circuit.

Depending on the clock selection fuse settings, PB7 can be used as output from the inverting oscillator amplifier.

If the internal calibrated RC oscillator is used as chip clock source, PB7..6 is used as TOSC2..1 input for the asynchronous Timer/Counter2 if the AS2 bit in ASSR is set.

The various special features of port B are elaborated in [Section 13.3.1 "Alternate Functions of Port B" on page 65](#) and [Section 8. "System Clock and Clock Options" on page 24](#).

PB6~7은 CLK Setting에 따라 Timer/Counter2에 클럭을 공급하는 소스로 사용될 수 있다.

1.1.4 Port C (PC5:0)

Port C is a 7-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The PC5..0 output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, Port C pins that are externally pulled low will source current if the pull-up resistors are activated. The port C pins are tri-stated when a reset condition becomes active, even if the clock is not running.

1.1.5 PC6/RESET

If the RSTDISBL fuse is programmed, PC6 is used as an input pin. If the RSTDISBL fuse is unprogrammed, PC6 is used as a reset input. A low level on this pin for longer than the minimum pulse length will generate a reset, even if the clock is not running. The minimum pulse length is given in [Table 28-4 on page 261](#). Shorter pulses are not guaranteed to generate a reset.

The various special features of port C are elaborated in [Section 13.3.2 "Alternate Functions of Port C" on page 68](#).

PC는 RSTDISBL 셋팅에 따라 GPIO로 사용될 수 있다. 셋팅을 안하면 RESET핀으로 핀의 전위가 LOW(0V)가 되면 칩(Peri포함)전체가 RESET된다.

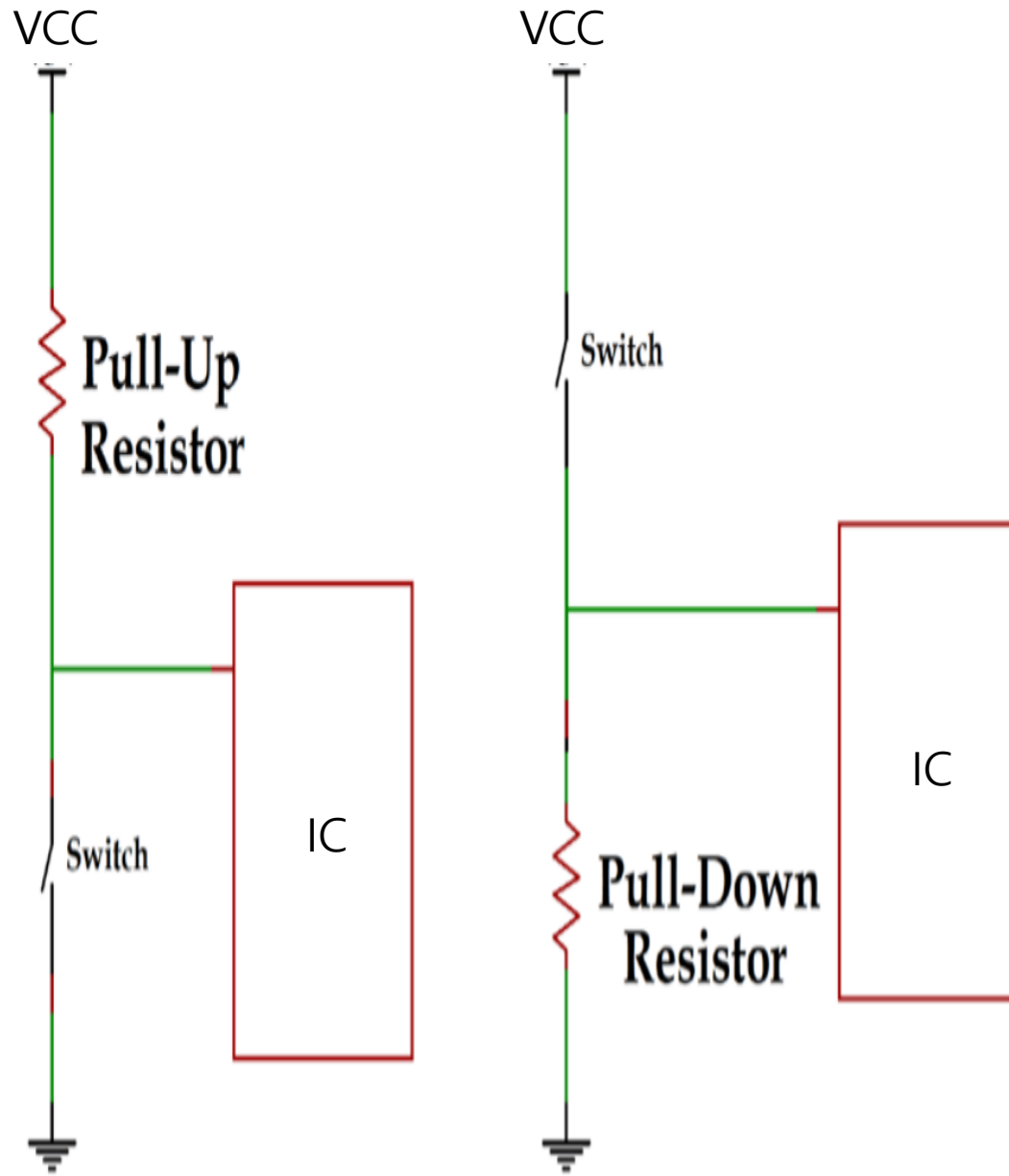
1.1.6 Port D (PD7:0)

Port D is an 8-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The port D output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, port D pins that are externally pulled low will source current if the pull-up resistors are activated. The port D pins are tri-stated when a reset condition becomes active, even if the clock is not running.

The various special features of port D are elaborated in [Section 13.3.3 "Alternate Functions of Port D" on page 70](#).

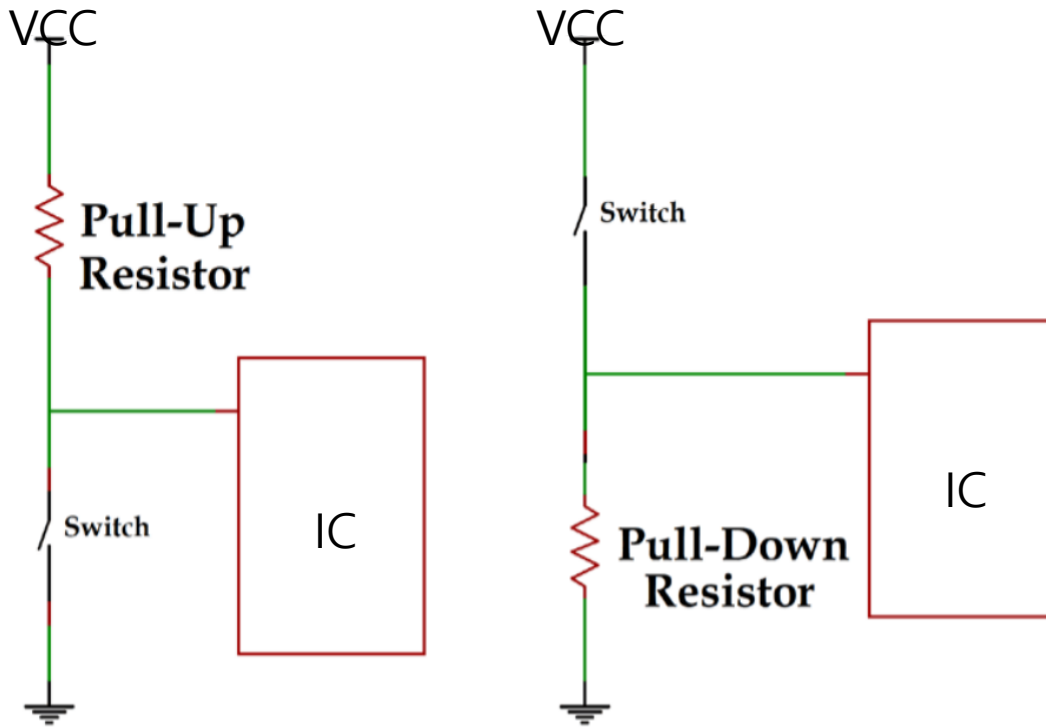
* 모든 GPIO핀은 내부 풀업 저항을 사용할 수 있게 구성되어 있다.

5. 풀업/풀다운 저항

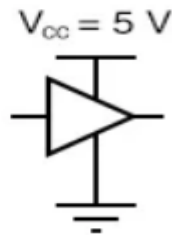
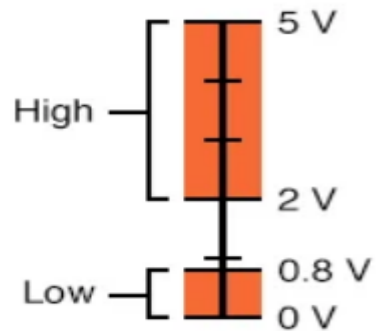


- IC의 입력상태의 초기 상태를 결정하기 위해 사용된다.
- IC의 입력에 풀업, 풀다운이 없다면, FLOATING 상태로 IC가 의도치 않은 출력을 보낼 수 있다..
- 실제로 FLOATING 상태로 두면 외부 노이즈가 유입되면, IC의 입력 인식 LEVEL에 따라 H or L로 인식 할 수 있다.
- 풀업의 경우 VCC와 연결하여, 초기화 상태로 IC가 'H'로 인식하게 만들고,
- 풀다운의 경우 GND와 연결하여, 초기화 상태로 IC가 'L'로 인식하게 만든다.

5. 풀업/풀다운 저항



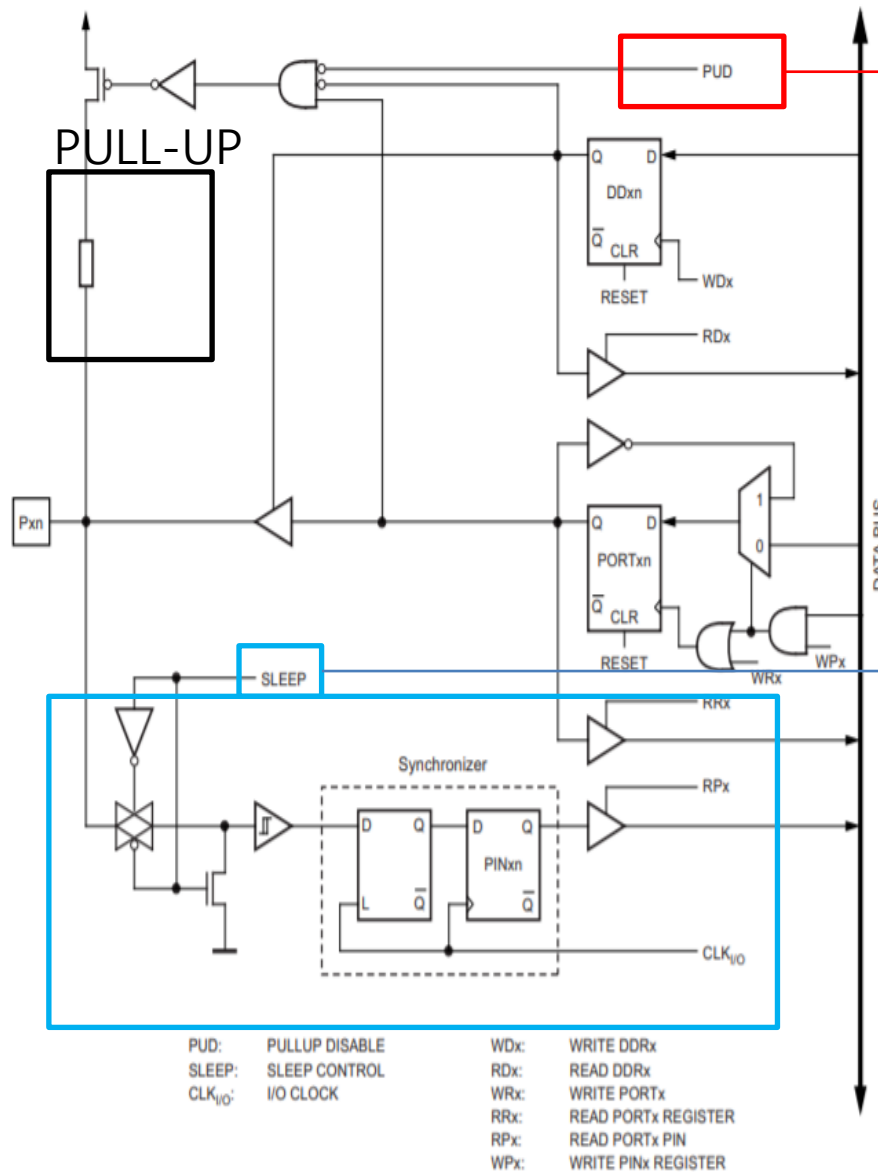
Acceptable TTL Gate Input Signal Levels



- 저항값은 IC의 입력 임피던스(DC에서 강 저항)에 따라 설정한다..
 - 무조건 높거나 낮다고 좋은건 아니다!
 - IC의 TTL기준(칩마다 다름..) 'H'인식은 2V부터다.
 - 만약 PULL-UP 저항이 10K이고, IC의 입력 임피던스 100이라면(극단적으로..)
 - IC에 걸리는 전압은 약 0.049V..
 - 의도는 'H'로 인식하게 하려 했으나, 'L'로 인식하는 상황이 발생한다.
 - IC 특성에 맞춰 설정 해야한다...
- *팁 : 밀만의 공식..

6. GPIO

Figure 13-2. General Digital I/O⁽¹⁾

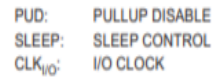


PULL-UP DISABLE 선택을 위한 신호
MCUCR - MCU Control Register

Bit	7	6	5	4	3	2	1	0	
0x35 (0x55)	-	BODS	BODSE	PUD	-	-	IVSEL	IVCE	MCUCR
Read/Write	R	R	R	R/W	R	R	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Power Down모드 설정을 하면
GPIO장치도 sleep신호에 의해
PIN과 DATA버스로 가는 신호라인을 끊는다.

Figure 13-2. General Digital I/O⁽¹⁾



WDx:	WRITE DDRx
RDx:	READ DDRx
WRx:	WRITE PORTx
RRx:	READ PORTx REGISTER
RPx:	READ PORTx PIN
WPx:	WRITE PINx REGISTER

13.4.2 PORTB – The Port B Data Register

13.4.3 DDRB – The Port B Data Direction Register

PORT의 IN/OUT 설정

1 : OUT, 0: IN

13.4.4 PINB – The Port B Input Pins Address

PIN 상태 읽기 전용