

## 一、填空题(每小题 2 分, 共 20 分)

- 1、 $(48.75)_{10} = (\underline{\hspace{2cm}})_2 = (\underline{\hspace{2cm}})_8$
- 2、 $(39)_{10} = (\underline{\hspace{2cm}})_{8421BCD} = (\underline{\hspace{2cm}})$  余 3 码。
- 3、已知二进制数  $X_1 = +1100101$ 、 $X_2 = -1101100$ , 则  $X_1$  的补码  $[X_1]_{\text{补}} = \underline{\hspace{2cm}}$ ,  
 $X_2$  的补码  $[X_2]_{\text{补}} = \underline{\hspace{2cm}}$ 。
- 4、 $Y = A\bar{B} + B\bar{C} + \bar{A}C$  的最小项表达式 =  $\sum m(\underline{\hspace{2cm}})$ , 其最大项表达式  
 $= \prod M(\underline{\hspace{2cm}})$ 。
- 5、已知  $F = \overline{A + BC + C \times D}$ , 根据反演规则写出其反函数  $\bar{F} = \underline{\hspace{2cm}}$ ,  
 根据对偶规则写出其对偶函数  $F^{\phi} = \underline{\hspace{2cm}}$ 。
- 6、一片 ROM 有 10 根地址线, 8 根数据输出线, 该 ROM 能存储          个二进制数码。
- 7、欲将 D 触发器连接成计数触发器, 应令  $D = \underline{\hspace{2cm}}$ ; 欲将 JK 触发器连接成计数触发器, 最简单的方法是令  $J = K = \underline{\hspace{2cm}}$ 。
- 8、任何时刻只允许一位有效信号输入的编码器称为         , 任何时刻可允许多位有效信号同时输入的编码器称为         。
- 9、用 3 片 74LS194 可实现最大模值为          的环形计数器, 可实现最大模值为          的扭环形计数器。
- 10、FPGA 掉电后编程数据          丢失, CPLD 掉电后编程数据          丢失。

## 二、单项选择题(每小题 2 分, 共 10 分)

以下每小题列出的四个备选项中只有一个是符合题目要求的, 请将其代码填写在题后的括号内。错选、多选或未选均无分。

- 1、同步时序电路和异步时序电路相比, 其差异在于后者 ( )。
  - A. 没有稳定状态
  - B. 没有统一的时钟脉冲控制
  - C. 没有触发器
  - D. 输出只与内部状态有关
- 2、以下 VHDL 语句中, 属于顺序语句的是 ( )。
  - A. 选择信号赋值语句
  - B. 进程语句
  - C. IF 语句
  - D. 条件信号赋值语句
- 3、以下属于组合逻辑电路的是 ( )。

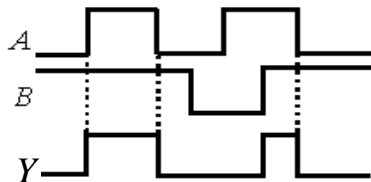
- A. 计数器和译码器                      B. 寄存器和比较器  
C. 全加器和比较器                      D. 计数器和寄存器

4、由 4 个触发器构成的十进制计数器，它们有（     ）个无效状态。

- A. 8              B. 6              C. 10              D. 16

5、已知某二变量输入逻辑门的输入 A、B 及输出 Y 的波形如下，则该逻辑门为（     ）。

- A. 与非门              B. 或非门              C. 与门              D. 异或门



### 三、化简逻辑函数（每小题 6 分，共 12 分）

1、用公式法将下面的逻辑函数化简为最简与或式。（6 分）

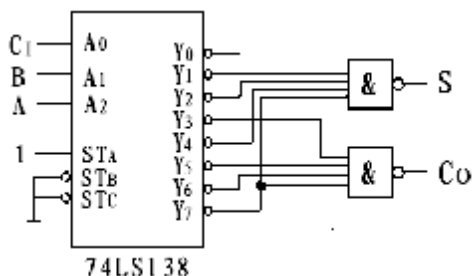
$$F = AC + BD + BCD + ABC$$

2、用卡诺图化简法将逻辑函数 F 化简为最简与或式。（6 分）

$$F(A, B, C, D) = \sum m(3, 6, 8, 9, 11, 12, 13) + \sum d(0, 1, 2, 14, 15)$$

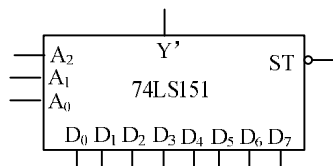
#### 四、 组合逻辑电路分析与设计（共 22 分）

1、分析下图 74LS138 所构成的组合电路，写出输出 S 和 Co 的逻辑函数表达式，列出真值表，分析并说明该电路的功能。（10 分）



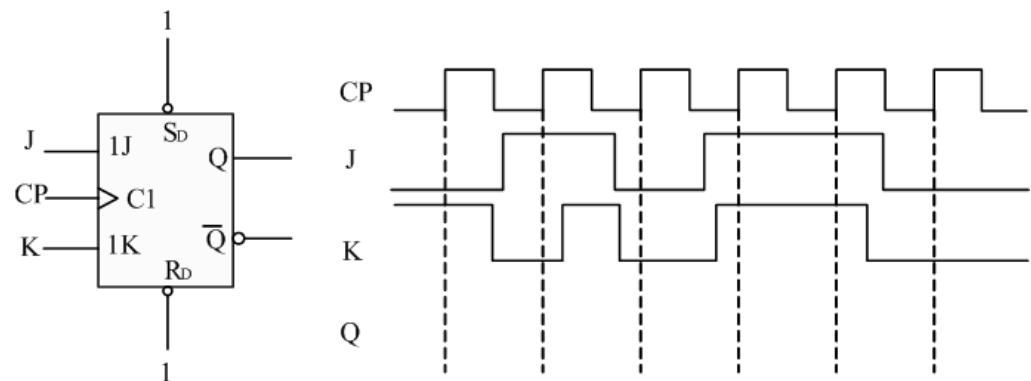
2、用一片 8 选 1 数据选择器 74LS151 和门电路设计如下的逻辑函数 Y，写出设计过程并画出实现的电路图。（12 分）

$$Y = A\bar{C}D + \bar{A}\bar{B}CD + BC + B\bar{C}\bar{D}$$

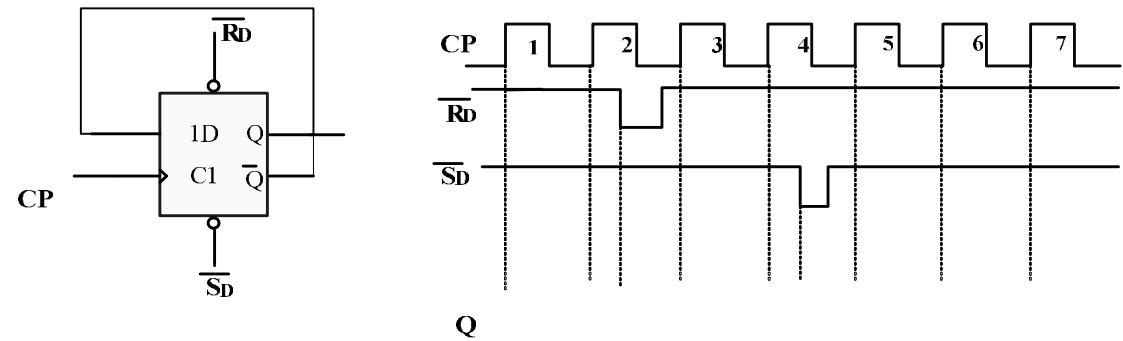


五、 画出下列各触发器 Q 端的波形（每小题 5 分，共 10 分）

1、已知 JK 触发器输入信号 J 、K 和时钟脉冲 CP 的波形如下图所示，试画出触发器输出端 Q 的波形，设初始状态为 0。



2、下图为边沿触发的 D 触发器所构成电路，设其初始状态为 0。输入信号  $\overline{R_d}$  和  $\overline{S_d}$  如图所示，试画出 Q 端的输出波形。



六、时序逻辑电路分析与设计（共 26 分）

1、试分析下图所示时序逻辑电路（14 分）

- 要求：（1）写出电路的输出方程、驱动方程、状态方程；  
（2）列出状态转换真值表；  
（3）画出完整状态转移图；  
（4）说明电路的逻辑功能及自启动特性。

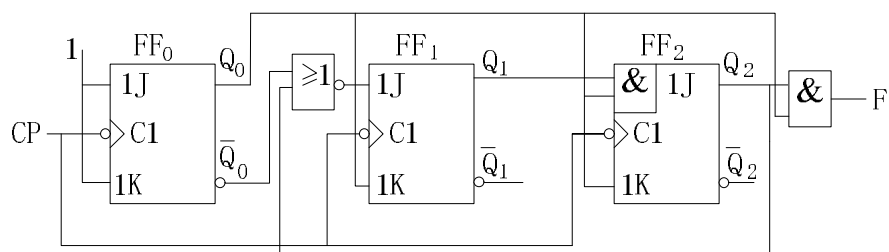
學

姓名\_\_\_\_\_

班级\_\_\_\_\_

学院

题  
答  
不  
内  
线  
封  
密



2、74LS161 功能表如下表所示，试用两片 74LS161 和必要的门电路设计一个 68 进制同步计数器。（12 分）

- 要求：（1）采用反馈清零法实现；
- （2）写出反馈状态代码及反馈清零函数；
- （3）画出设计的电路图。

输 入										输 出			
$\overline{CR}$	$\overline{LD}$	$CT_P$	$CT_T$	$CP$	$D_3$	$D_2$	$D_1$	$D_0$		$Q_3$	$Q_2$	$Q_1$	$Q_0$
0	×	×	×	×	×	×	×	×		0	0	0	0
1	0	×	×	↑	$d_3$	$d_2$	$d_1$	$d_0$		$d_3$	$d_2$	$d_1$	$d_0$
1	1	1	1	↑	×	×	×	×		计	数		
1	1	0	×	×	×	×	×	×		保	持		
1	1	×	0	×	×	×	×	×		保	持		

