

《数字电路与逻辑设计》复习

1.

表1.2.1 典型二进制码

十进制数	4位自然二进制码	典型格雷码 (循环码)	8421奇(偶)校验码	
			信息码P(奇)	信息码P(偶)
0	0000	0000	0000 1	0000 0
1	0001	0001	0001 0	0001 1
2	0010	0011	0010 0	0010 1
3	0011	0010	0011 1	0011 0
4	0100	0110	0100 0	0100 1
5	0101	0111	0101 1	0101 0
6	0110	0101	0110 1	0110 0
7	0111	0100	0111 0	0111 1
8	1000	1100	1000 0	1000 1
9	1001	1101	1001 1	1001 0
10	1010	1111	1010 1	1010 0
11	1011	1110	1011 0	1011 1
12	1100	1010	1100 1	1100 0
13	1101	1011	1101 0	1101 1
14	1110	1001	1110 0	1110 1
15	1111	1000	1111 1	1111 0

2.

表1.2.2 常用BCD码

十进制数	8421码	5421码	2421码	631-1码	余3码	余3循环码	格雷码(2)	8421奇校验码
0	0000	0000	0000	0011	0011	0010	0000	00001
1	0001	0001	0001	0010	0100	0110	0001	00010
2	0010	0010	0010	0101	0101	0111	0011	00100
3	0011	0011	0011	0111	0110	0101	0010	00111
4	0100	0100	0100	0110	0111	0100	0110	01000
5	0101	1000	1011	1001	1000	1100	0111	01011
6	0110	1001	1100	1000	1001	1101	0101	01101
7	0111	1010	1101	1010	1010	1111	0100	01110
8	1000	1011	1110	1101	1011	1110	1100	10000
9	1001	1100	1111	1100	1100	1010	1000	10011

3.

8/3 线优先编码器 74148 功能表

使能输入	输入								输出	输出标志	使能输出
\overline{EN}	$\overline{I_7}$	$\overline{I_6}$	$\overline{I_5}$	$\overline{I_4}$	$\overline{I_3}$	$\overline{I_2}$	$\overline{I_1}$	$\overline{I_0}$	$\overline{Y_2}$ $\overline{Y_1}$ $\overline{Y_0}$	$\overline{Y_{LX}}$	Y_{EN}
1	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	1 1 1	1 输出	1
0	1	1	1	1	1	1	1	1	1 1 1	1 无效	0
0	0	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	0 0 0	0	1
0	1	0	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	0 0 1	0	1
0	1	1	0	ϕ	ϕ	ϕ	ϕ	ϕ	0 1 0	0	1
0	1	1	1	0	ϕ	ϕ	ϕ	ϕ	0 1 1	0	1
0	1	1	1	1	0	ϕ	ϕ	ϕ	1 0 0	0	1
0	1	1	1	1	1	0	ϕ	ϕ	1 0 1	0	1
0	1	1	1	1	1	1	0	ϕ	1 1 0	0	1
0	1	1	1	1	1	1	1	0	1 1 1	0	1

4. 3/8 线译码器 (典型芯片 74138)

74138功能表

E_1	$\overline{E_2}A + \overline{E_2}B$	A_2	A_1	A_0	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
ϕ	1	ϕ	ϕ	ϕ	1	1	1	1	1	1	1	1
0	ϕ	ϕ	ϕ	ϕ	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

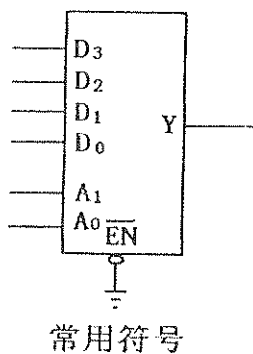
芯片
不工作芯片
工作

5. 表 4.2.7 二-十进制译码器 7442 的功能表

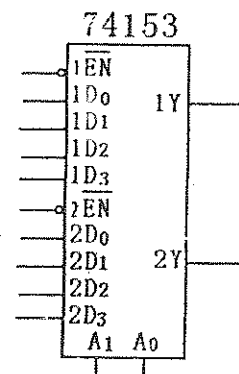
输 入				输 出									
A_3	A_2	A_1	A_0	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$	$\overline{Y_8}$	$\overline{Y_9}$
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0
1	0	1	0	1	1	1	1	1	1	1	1	1	1
1	0	1	1	1	1	1	1	1	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1	1	1	1	1
1	1	0	1	1	1	1	1	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1

6. 四选一数据选择器 (典型芯片: 74153 为双四选一 MUX)

功能表



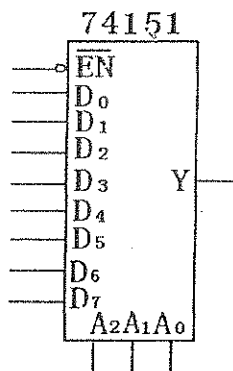
\overline{EN}	A_1	A_0	Y
1	ϕ	ϕ	0
0	0	0	D_0
0	0	1	D_1
0	1	0	D_2
0	1	1	D_3



7. 八选一数据选择器

真值表

\overline{EN}	A_2	A_1	A_0	Y
1	ϕ	ϕ	ϕ	0
0	0	0	0	D_0
0	0	0	1	D_1
0	0	1	0	D_2
0	0	1	1	D_3
0	1	0	0	D_4
0	1	0	1	D_5
0	1	1	0	D_6
0	1	1	1	D_7



74157 (四二选一数据选择器)

8. 4 位数值比较器 7485 功能表

输 入					输 出		
$A_3 B_3$	$A_2 B_2$	$A_1 B_1$	$A_0 B_0$	$(A>B)_i, (A<B)_i, (A=B)_i$	$F_{A>B}$	$F_{A<B}$	$F_{A=B}$
$A_3>B_3$	$\emptyset \emptyset$	$\emptyset \emptyset$	$\emptyset \emptyset$	$\emptyset \quad \emptyset \quad \emptyset$	1	0	0
$A_3<B_3$	$\emptyset \emptyset$	$\emptyset \emptyset$	$\emptyset \emptyset$	$\emptyset \quad \emptyset \quad \emptyset$	0	1	0
$A_3=B_3$	$A_2>B_2$	$\emptyset \emptyset$	$\emptyset \emptyset$	$\emptyset \quad \emptyset \quad \emptyset$	1	0	0
$A_3=B_3$	$A_2<B_2$	$\emptyset \emptyset$	$\emptyset \emptyset$	$\emptyset \quad \emptyset \quad \emptyset$	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1>B_1$	$\emptyset \emptyset$	$\emptyset \quad \emptyset \quad \emptyset$	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1<B_1$	$\emptyset \emptyset$	$\emptyset \quad \emptyset \quad \emptyset$	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0>B_0$	$\emptyset \quad \emptyset \quad \emptyset$	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0<B_0$	$\emptyset \quad \emptyset \quad \emptyset$	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1 0 0	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0 1 0	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0 0 1	0	0	1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0 0 0	1	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0 1 1	0	0	1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1 0 1	0	0	1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1 1 0	0	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1 1 1	0	0	1

9. 四位超前进位全加器 典型芯片为 74283

$$\begin{array}{r}
 A_4 A_3 A_2 A_1 \\
 B_4 B_3 B_2 B_1 \\
 + \quad CI \\
 \hline
 CO \quad S_4 S_3 S_2 S_1
 \end{array}$$

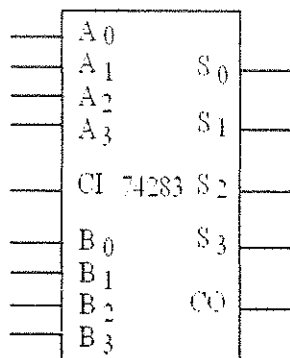


图4.2.34(c) 简化符号

10. 74175 芯片除了功能表所示的异步清除、送数和保持之外,还可以实现移位功能。

表6.4.1 4位MSI 寄存器74175功能表

输 入						输 出				功 能
\overline{CR}	CP	D_0	D_1	D_2	D_3	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}	
0	\emptyset	\emptyset	\emptyset	\emptyset	\emptyset	0	0	0	0	异步清“0”
1	\uparrow	d_0	d_1	d_2	d_3	d_0	d_1	d_2	d_3	并行输入
1	0	\emptyset	\emptyset	\emptyset	\emptyset	Q_0^n	Q_1^n	Q_2^n	Q_3^n	保持

11. 四位二进制(M=16)可预置同步加法计数器 74LS161

74161 的功能表

\overline{CR}	\overline{LD}	$P(S_1)$	$T(S_2)$	CP	D_3	D_2	D_1	D_0	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	功能
0	0	0	0	0	0	0	0	0	0	0	0	0	异步清除
1	0	0	0	↑	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0	同步并入
1	1	1	1	↑	0	0	0	0	0000	~	1111		计数
1	1	0	1	0	0	0	0	0	Q_3^n	Q_2^n	Q_1^n	Q_0^n	保持
									Q_{CC}^n				
1	1	0	0	0	0	0	0	0	Q_3^n	Q_2^n	Q_1^n	Q_0^n	保持
									$Q_{CC}^n = 0$				

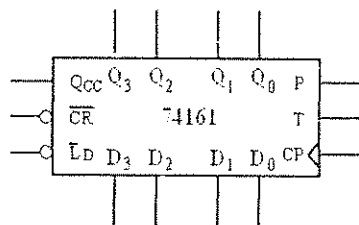


图6.5.6 74161 逻辑符号

74LS163(四位二进制同步加法计数器)

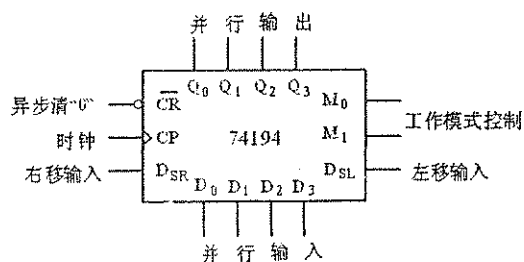
相同之处: 逻辑符号、芯片引脚及逻辑功能均和 74LS161 相同。

不同之处: 74LS163 是同步清“0”,
74LS161 是异步清“0”。

12. MSI 移位寄存器

74194 的功能表

功能	\overline{CR}	M_0	M_1	CP	D_{SR}	D_{SL}	D_0	D_1	D_2	D_3	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}
清除	0	\times	\times	\times	\times	\times	\times	\times	\times	\times	0	0	0	0
并入	1	1	1	\uparrow	\times	\times	d_0	d_1	d_2	d_3	d_0	d_1	d_2	d_3
保持	1	\times	\times	0	\times	\times	\times	\times	\times	\times	Q_0^n	Q_1^n	Q_2^n	Q_3^n
	1	0	0	\times	\times	\times	\times	\times	\times	\times	Q_0^n	Q_1^n	Q_2^n	Q_3^n
右移	1	1	0	\uparrow	1	\times	\times	\times	\times	\times	1	Q_0^n	Q_1^n	Q_2^n
	1	1	0	\uparrow	0	\times	\times	\times	\times	\times	0	Q_0^n	Q_1^n	Q_2^n
左移	1	0	1	\uparrow	\times	1	\times	\times	\times	\times	Q_1^n	Q_2^n	Q_3^n	1
	1	0	1	\uparrow	\times	0	\times	\times	\times	\times	Q_1^n	Q_2^n	Q_3^n	0



$M_0 M_1$
 1 0 右
 0 1 左

国家标准规定：逻辑图中的最低有效位 (LSB) 到最高有效位 (MSB) 的电路排列顺序应为从上到下；从左到右。

因此，定义移位寄存器中的数据从低位触发器移向高位触发器为：右移；

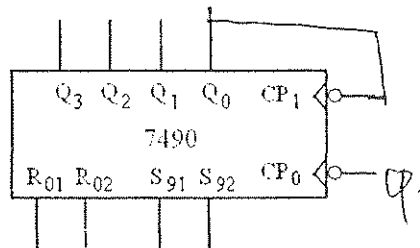
从高位触发器移向低位触发器为：左移。

注：这一点，与计算机程序中的规定相反。

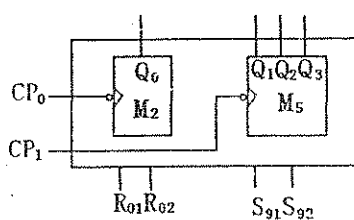
计算机程序从二进制数的自然排列考虑，将数据由低位移向高位定义为左移；

将数据由高位移向低位为右移。

13. 十进制计数器



(c) 符号



(b) 框图

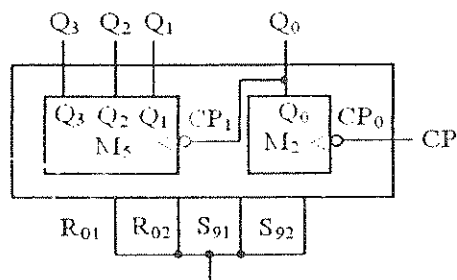


图 6.5.8 7490 用作 8421 BCD 计数器时的接法

7490: -
 8421 BCD. $Q_0 \rightarrow CP_0$
 5421 BCD. $Q_3 \rightarrow CP_0$

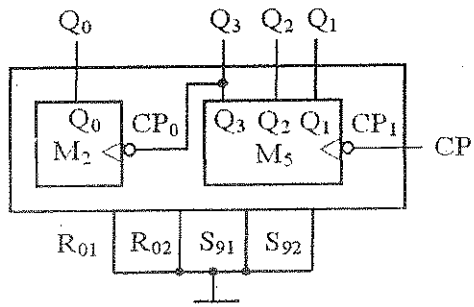


图6.5.9 7490用作5421BCD计数器时的接法

一. 填空选择题

1. 按十进制数 0,1,2,3 的顺序写出对应两位循环码的码型
- 00、01、11、10
- 。

一个 10 位的二进制数最大可表示的十进制数是 (1023)。

- ✓ 信息码 1100 的奇校验码是 (
- 11901
-)。
- 偶数个 1, 奇数个 0*

✓ 任意两个最小项的乘积恒等于 0。

- 2.
- $(37)_{10} = (0011\ 0111)_{8421BCD} = (0011\ 1010)_{5421BCD}$
- 。

 $(10011.0011)_2 = (23.140)_8$, 要求转换精度不低于 1%。 ($\lg 2 = 0.3$)解: $\ominus 8^{-\beta} \leq 1\% = 10^{-2}$, $-\beta \lg 8 \leq -2$, $\lg 2 = 0.3$, $\therefore \beta \geq \frac{2}{\lg 8} = \frac{2}{3 \lg 2} = \frac{2}{3 \times 0.3} = 2.2$, $\therefore \beta = 3$

- 3.
- $F(A,B,C,D) = \overline{A}\overline{B} + \overline{A}B + ABCD + \overline{A}\overline{B}CD$
- 的最简与或表达式为:
- $F(A,B,C,D) = \overline{A}\overline{B} + \overline{A}B + CD$
- 。

$$F(A,B,C,D) = \overline{A}\overline{B} + \overline{A}B + ABCD + \overline{A}\overline{B}CD = A(\overline{B} + BCD) + \overline{A}(B + \overline{B}CD)$$

$$= A(\overline{B} + CD) + \overline{A}(B + CD) = \overline{A}\overline{B} + ACD + \overline{A}B + \overline{A}CD = \overline{A}\overline{B} + \overline{A}B + CD$$

直接写出 $F = A(B + \overline{C}) + \overline{A}BC$ 的反函数表达式。

$$\overline{F} = \overline{(A + \overline{B}C)(A + B + C)}$$

直接写出 $F = \overline{AB + BC + CD}$ 的对偶函数表达式。

$$F' = (A + B)(B + \overline{C})\overline{C} + D$$

用公式法将逻辑函数 $F = \overline{A}\overline{B} + \overline{A}CD + B + \overline{D} + \overline{C}$ 化简为最简与或式。

$$F = A + \overline{A}CD + B + \overline{D} + \overline{C} = A + CD + B + \overline{D} + \overline{C} = A + C + B + \overline{D} + \overline{C} = 1$$

4. 若一个 10 位二进制 D/A 转换器的满刻度输出电压为 10.23V, 当输入为
- $(1100000010)_2$
- 时, 输出电压为
- C
- 。
- $(2^9 + 2^8 + 2) / (2^{10} - 1) \times 10.23V = 7.70V$

A. 2.56 B. 5.12 C. 7.7 D. 8.58

5. 在 A/D 转换器中, 已知
- Δ
- 是量化单位, 若采用“四舍五入”方法划分量化电平, 则最大量化误差为
- B
- Δ
- 。

A. 1/4 B. 1/2 C. 1 D. 2

- ✓ 6. 信息可随时读出或写入, 断电后信息立即全部消失的存储器是
- B
- 。

A. ROM B. RAM C. PROM D. Flash Memory

7. 已知某存储器芯片有地址线 12 条, 数据线 8 条, 则该存储器的存储容量是
- D
- 位。
- $2^{12} \times 8$

A. 1024×8 B. 4096×4 C. 2048×8 D. 4096×8

8. 若用 ROM 实现“两个三位二进制数相乘的乘法器”, 则 ROM 的容量至少应为
- 384 (或 $2^6 \times 6$)
- 。

9. PAL 器件在结构上的特点是: 与阵列
- 可编程
- 、或阵列
- 固定
- 。

10. GAL16V8 的与阵列总共可实现
- 64 (或 8×8)
- 个乘积项。

二. 用卡诺图法化简 $F(A,B,C,D) = \sum_m(0,1,4,7,9,10,13) + \sum_\phi(2,5,8,12,15)$ 为最简与或表达式。

解:

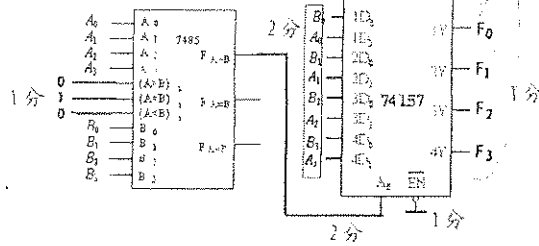
CD \ AB	00	01	11	10
00	1	1		1
01	1	1	1	
11	1	1	1	
10	1	1		1

$$F = \overline{C} + BD + \overline{B}\overline{D}$$

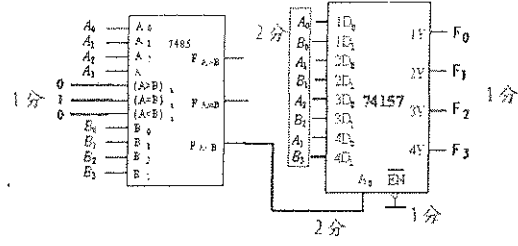
6

三. 设 $A=A_3 A_2 A_1 A_0$, $B=B_3 B_2 B_1 B_0$ 是两个 4 位二进制数。试用一片 7485 和一片 74157 (四选一 MUX) 构成一个比较电路并能将其中大数输出, 试画出逻辑图。(不允许附加其他器件)

答案一:

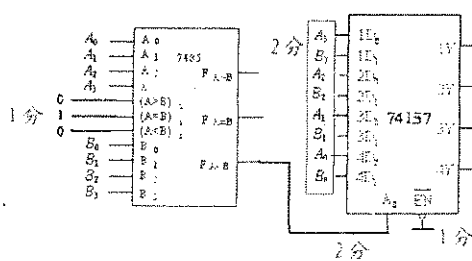


答案二:

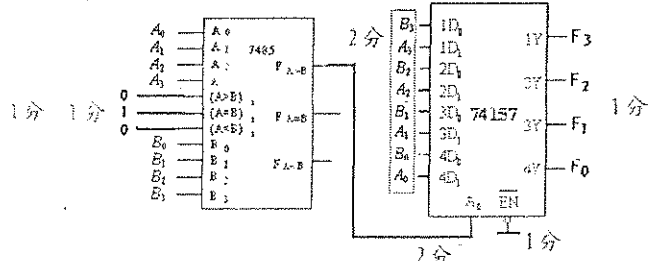


$A_0, 1Y, 2Y, 3$
 $0, 1D, 2D, 3$
 $1, 1D, 2D, 3$

答案三:



答案四:



四. 电路及其输入波形如图 2 所示, 试画 Q 端的波形。

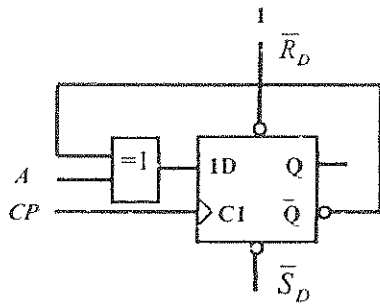
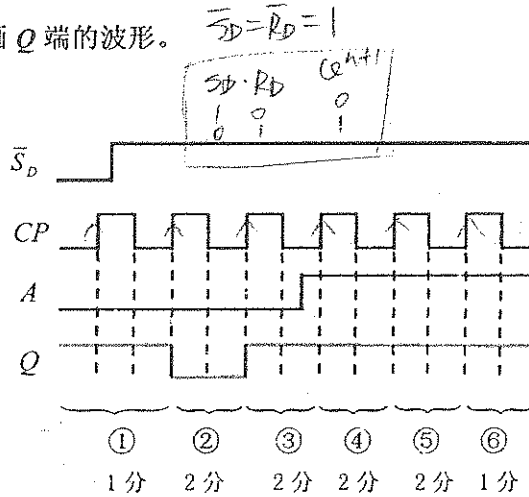


图 2



$Q^{n+1} = (A \oplus Q^n) \cdot CP \uparrow$
 $Q^n = 0, 1$

五. 已知多输出组合电路的输出函数表达式如下:

$$F_1(A, B, C, D) = \sum m(2, 5, 6, 7, 8, 10, 12, 13, 14, 15)$$

$$F_2(A, B, C, D) = \sum m(2, 6, 7, 9, 11, 13, 15)$$

若用 PLA 实现该电路, 且要求电路最简, 请写出设计过程并将图 4 中 PLA 的阵列结构图画完整。

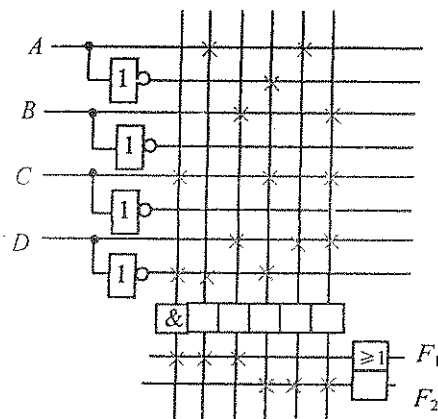


图 4

PLA 电路 4 分, 即 F1、F2 各 2 分。若熔接点位置正确, 但不是用 “×”, 扣 1 分。

AB \ CD	00	01	11	10
00				1
01		1	1	1
11	1	1	1	1
10	1			1

$$F_1 = \overline{C}\overline{D} + \overline{A}\overline{D} + BD$$

表达式 3 分

AB \ CD	00	01	11	10
00				1
01			1	1
11		1	1	1
10		1	1	

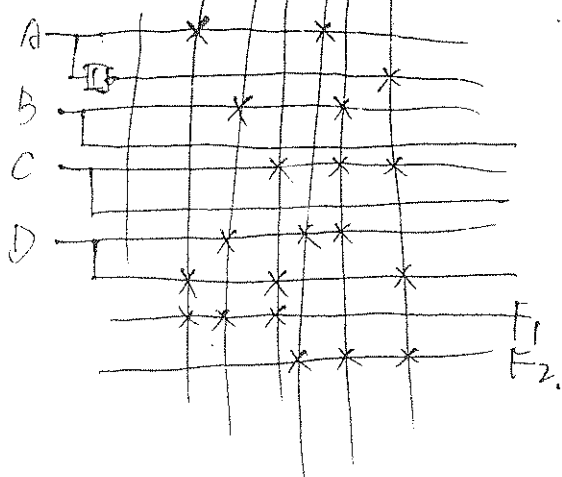
$$F_2 = \overline{C}\overline{D} + AD + BCD$$

表达式 3 分

$$AD + BCD + \overline{A}\overline{C}\overline{D}$$

AB \ CD	00	01	11	10
00				1
01		1	1	1
11	1	1	1	1
10	1			1

$$\overline{A}\overline{D} + BD + \overline{C}\overline{D}$$



六. 分析图 5 所示电路, 试画出状态转移图, 并说明能否自启动(设初态为 $Q_3 Q_2 Q_1 Q_0 = 1111$)

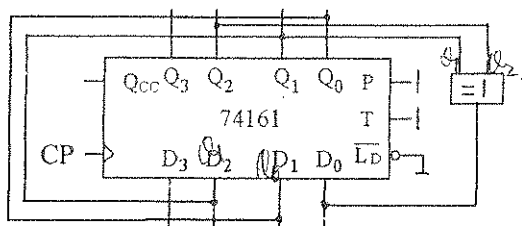


图 5

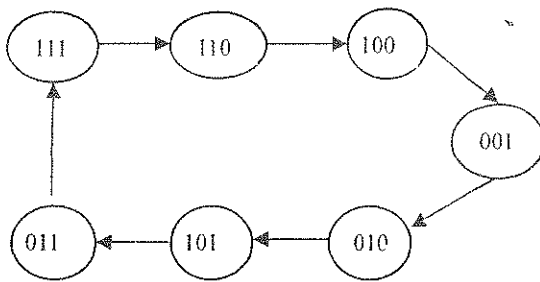
$$(Q_2)^{n+1} = (D_2)^{n+1} = (Q_1)^n;$$

$$(Q_1)^{n+1} = (D_1)^{n+1} = (Q_0)^n;$$

$$(Q_0)^{n+1} = (D_0)^{n+1} = (Q_2)^n \oplus (Q_1)^n.$$

000 的下一个状态是 000, 不能自启动。

CP ↑	D ₂	D ₁	D ₀	Q ₂	Q ₁	Q ₀
Φ	Φ	Φ	Φ	1	1	1
1	1	1	0	1	1	0
2	1	0	0	1	0	0
3	0	0	1	0	0	1
4	0	1	0	0	1	0
5	1	0	1	1	0	1
6	0	1	1	0	1	1
7	1	1	1	1	1	1

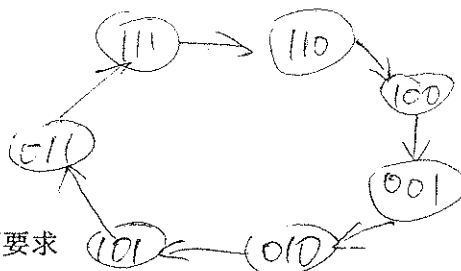


Q ₃	Q ₂	Q ₁	Q ₀
1	1	1	1
1	1	0	0
1	0	0	1
0	1	0	0
1	0	1	0
0	1	1	1
1	1	1	1

$$P_2 = Q_1$$

$$P_1 = Q_0$$

$$P_0 = Q_1 \oplus Q_2$$



七. 试根据表 1 所示原始状态转移表完成以下要求

①作该原始状态转移表的状态化简隐含表;

②在该原始状态转移表的状态中共有 1 个等价对, 它们分别是 DE;

③在该原始状态转移表的状态中有 4 个最大等价类, 它们分别是 A, B, C, DE。

表 1

S(t)	N(t)/Z(t)	
	X=1	X=0
A	B/1	E/0
B	C/1	E/0
C	C/1	B/0
D	D/1	B/1
E	D/1	B/1

B	X			
C	X	X		
D	X	X	X	
E	X	X	X	✓
A	B	C	D	

B	BCX			
C	BCX	BCX		
D	BCX	BCX	BCX	
E	X	X	X	✓
A	B	C	D	

A, B, C, DE.

7)

八. 试用 74194 设计一个产生序列码为 110100,且能自启动的移存型序列码发生器, 要求: 填写下面的综合表, 并导出 74194 的 D_{SL} 的最简与或表达式。

Q_1	Q_2	Q_3	D_{SL}
1	1	0	1
1	0	1	0
0	1	0	0
1	0	0	1
0	0	1	1
0	1	1	0

综合表, 有效循环有六个状态,

$Q_1 Q_2 Q_3$	D_{SL}
110	1
101	0
010	0
100	1
001	1
011	0
000	1
111	0

$$D_{SL} = \overline{Q_1} \overline{Q_2} + Q_1 \overline{Q_3} \text{ 或者 } \overline{Q_1} \overline{Q_2} + Q_1 \overline{Q_3}$$

1 1 0 1 0 0 1 1 0

1 1 0 1

1 0 1 0

0 1 0 0

1 0 0 1

0 0 1 1

0 1 1 0

D_{SL} 左移: $Q_3 \rightarrow Q_2 \rightarrow Q_1$

D_{SL} 的卡诺图

$Q_1 \backslash Q_2 Q_3$	00	01	11	10
0	1	1	0	0
1	1	0	1	1

$Q_1 \backslash Q_2 Q_3$	00	01	11	10
0	1	1	0	0
1	1	0	1	1

$$\overline{Q_1} \overline{Q_2} + Q_1 \overline{Q_3}$$

九. 已知 DFF 及 PLA 组成的电路如图 5 所示, 作全状态转移图, 分析逻辑功能。

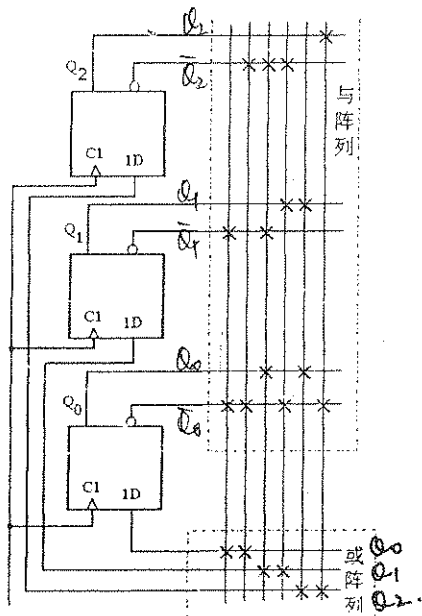
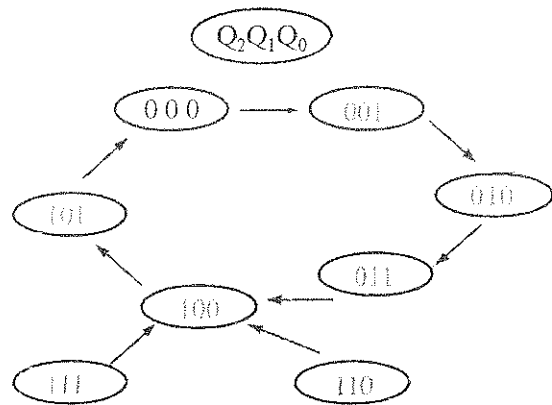


图 5



电路的逻辑功能: 模 6 加法计数器

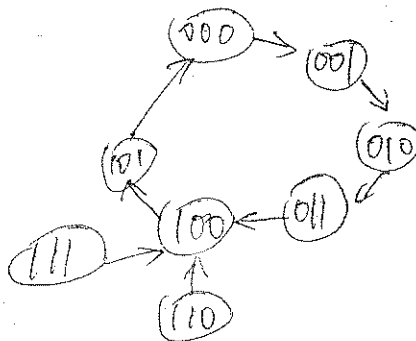
$$Q_2^{n+1} = Q_0^n Q_1^n + \overline{Q_0^n} Q_2^n, \quad Q_1^{n+1} = Q_0^n \overline{Q_1^n} Q_2^n + \overline{Q_0^n} Q_1^n \overline{Q_2^n}, \quad Q_0^{n+1} = \overline{Q_0^n} Q_1^n + \overline{Q_0^n} Q_2^n$$

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	0	0	0
1	1	0	1	0	0
1	1	1	1	0	0

$$Q_0 = [D_0] = (\overline{Q_0} \overline{Q_1} + \overline{Q_0} \overline{Q_2}) \text{ CP}\uparrow$$

$$Q_1 = [D_1] = (Q_0 \overline{Q_1} + \overline{Q_0} Q_1 \overline{Q_2}) \text{ CP}\uparrow$$

$$Q_2 = [D_2] = (Q_0 Q_1 + \overline{Q_0} Q_2) \text{ CP}\uparrow$$



十. 试用整体预置零法在图 4 增加适当的连线, 构成同步二十四进制计数器 (注: 图中与非门的输入端数视需要而定)。

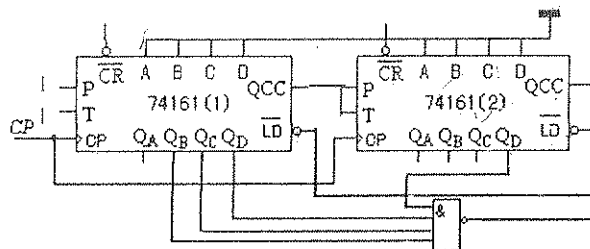


图 4

$(24)_{10} = (18)_{16}$
 $M-1 = 17H$

74161(2)					74161(1)				
CP	Q _A	Q _B	Q _C	Q _D	Q _{CC}	Q _A	Q _B	Q _C	Q _D
↑	0	0	0	0	0	0	0	0	0
↑	0	0	0	0	0	0	0	0	1
↑	0	0	0	0	0	0	0	1	0
↑	0	0	0	0	0	0	0	1	1
↑	0	0	0	0	0	0	1	0	0
.....									
↑	0	0	0	0	0	1	1	1	0
↑	0	0	0	0	16	0	1	1	1
↑	0	0	0	1	1	0	0	0	0
.....									
↑	0	0	0	1	7	1	0	1	1

74LS161 是异步清“0”。

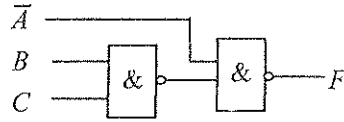
用整体预置零法, 同步置数 (同步并入)。

十一. 某汽车驾驶员培训班进行结业考试, 有三名评判员, 其中 A 为主评判员, B 和 C 为副评判员。在评判时按照少数服从多数原则通过, 但只要主评判员认为合格就算通过, 在双轨输入条件下用最少与非门实现该电路。

A	B	C	Y
1	Φ	Φ	1
0	1	1	1
0	1	0	0
0	0	1	0
0	0	0	0

BC	00	01	11	10
$A=0$			1	
$A=1$	1	1	1	1

$$F(A, B, C) = A + BC = \overline{\overline{A} \cdot \overline{BC}}$$



填写真值表、卡诺图、画卡诺圈, 写表达式, 画电路图。

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

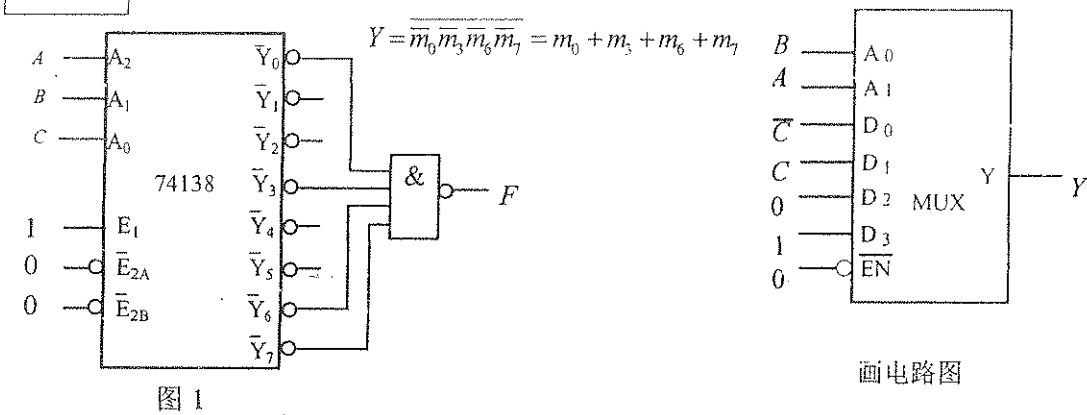
BC	00	01	11	10
$A=0$	0	0	1	0
$A=1$	1	1	1	1

$$\overline{\overline{A + BC}}$$

$$\overline{\overline{A} \cdot \overline{BC}}$$



十二. 已知由 3/8 译码器实现的逻辑函数如图 1 所示, 试改用一个 4 选 1 数据选择器(输出 $Y = \overline{EN}(A_1 A_0 D_0 + \overline{A_1} A_0 D_1 + A_1 \overline{A_0} D_2 + \overline{A_1} \overline{A_0} D_3)$)实现 (可附加少量门电路)



$$Y = m_0 + m_3 + m_6 + m_7$$

写表达式

		BC			
		00	01	11	10
A	0	1		1	
	1			1	1

 \Rightarrow

		B	
		0	1
A	0	\overline{C}	C
	1	0	1

降维

$$F = \overline{Y_0} \overline{Y_3} \overline{Y_6} \overline{Y_7} = Y_0 + Y_3 + Y_6 + Y_7$$

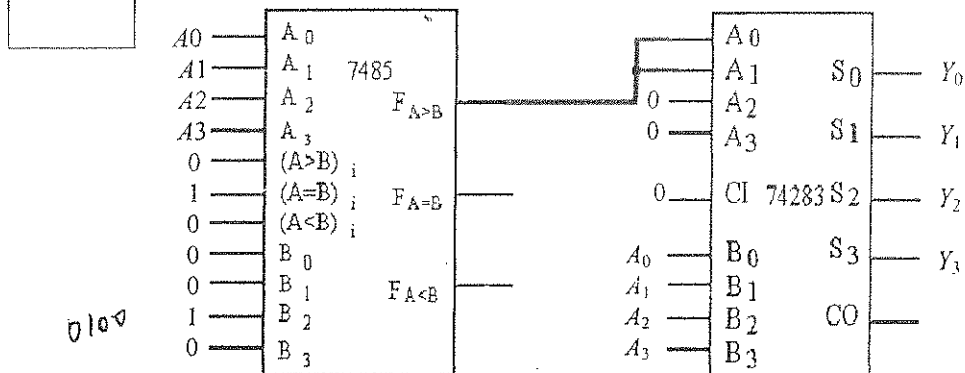
		BC			
		00	01	11	10
A	0	1	0	0	1
	1	0	1	0	1

$$\overline{A}\overline{C} + B\overline{C} + A\overline{B}C$$

		B	
		0	1
A	0	\overline{C}	C
	1	0	1

A ₁	A ₀
A	B

十三. 试只用一片数据比较器 7485 和一片全加器 74283 设计一个组合逻辑电路, 将 $(A_3A_2A_1A_0)_{8421BCD}$ 转换为 $(Y_3Y_2Y_1Y_0)_{5421BCD}$ 。



若 $A \leq 4$ 则 $Y = A + 0$
 若 $A > 4$ 则 $Y = A + 3$

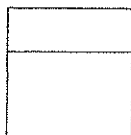
0111
 1010
 1010
 0011

$A < 4$

$A > 4$

输出 A

输出 A+3



十四. 已知两级门电路如图 2 所示。

1. 当信号 $ABCD$ 作 $0100 \leftrightarrow 1101$ 变化时会产生 功能 冒险 (逻辑冒险、功能冒险),
当信号 $ABCD$ 作 $0111 \leftrightarrow 1110$ 变化时会产生 逻辑 冒险 (逻辑冒险、功能冒险)。

2. 试用增加多余项法消除该电路的逻辑冒险 (须在电路图上增加逻辑门)。

3. 试用脉冲取样法避免冒险 (须在电路图上标出取样脉冲所加的位置和极性)。

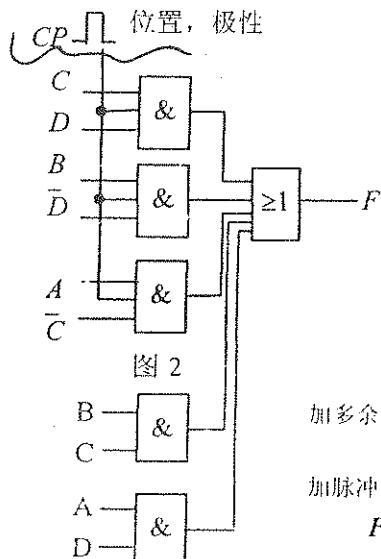


图 2

$$F = CD + BD + AC$$

CD \ AB	00	01	11	10
00			1	
01	1		1	1
11	1	1	1	1
10	1	1	1	

加多余项消除逻辑冒险 $F^* = \underline{CD} + \underline{BD} + \underline{AC} + \underline{BC} + \underline{AD}$

或

$$F^* = CD + BD + AC + BC + AD + AB$$

加脉冲消除冒险

$$F^* = (CD + BD + AC)CP = CD \cdot CP + BD \cdot CP + AC \cdot CP$$

$$CD + BD + AC$$

$$AD + BC$$

CD \ AB	00	01	11	10
00				
01	1		1	1
11	1	1	1	1
10	1	1	1	

BC

十五. 由与非门构成的基本 SR 触发器的逻辑符号、输入波形如图 3 所示, 根据 S_D 、 R_D 输入波形画出 Q 、 \bar{Q} 的波形。设触发器的初态为 0。

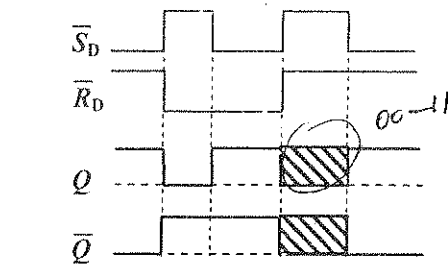
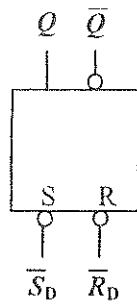


图 3

1 0 0
0 1 1
1 1 保持

第五章 测试卷

1、选择题

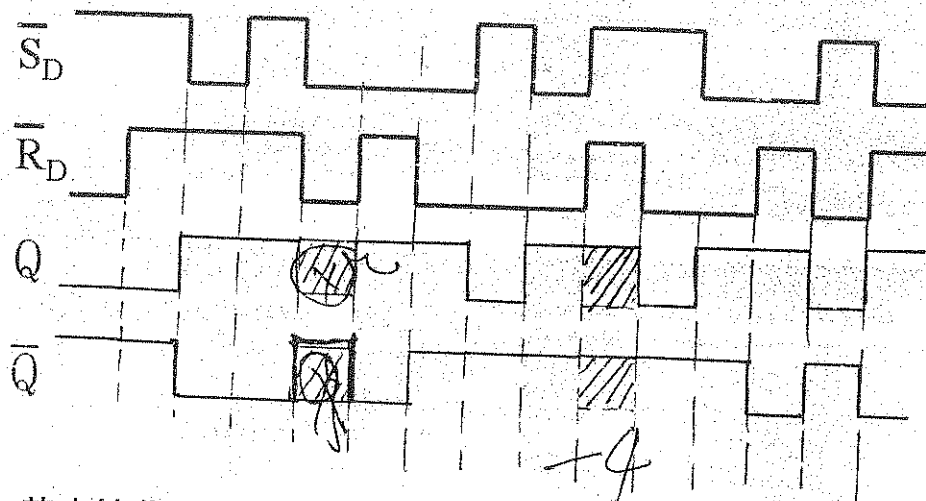
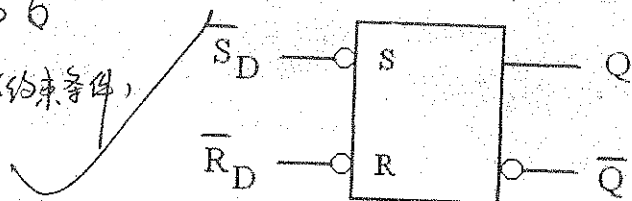
(1) 触发器 没有空翻 (没有空翻, 有空翻); 触发器可用于 设计计数器和移位寄存器 (锁存数据, 设计计数器和移位寄存器); 触发器的触发方式 边沿触发 (边沿触发, 电平触发)。

(2) 锁存器 有空翻 (没有空翻, 有空翻); 锁存器可用于 锁存数据 (锁存数据, 设计计数器和移位寄存器); 锁存器的触发方式 电平触发 (边沿触发, 电平触发)。

(3) CMOSFF 的输入端在使用时, 多余的输入端 不可以悬空 (不可以悬空, 可以悬空)。对于与非门多余的输入端 接高电平 (接高电平, 接地), 对于或非门多余输入 接低电平 (接高电平, 接地)。

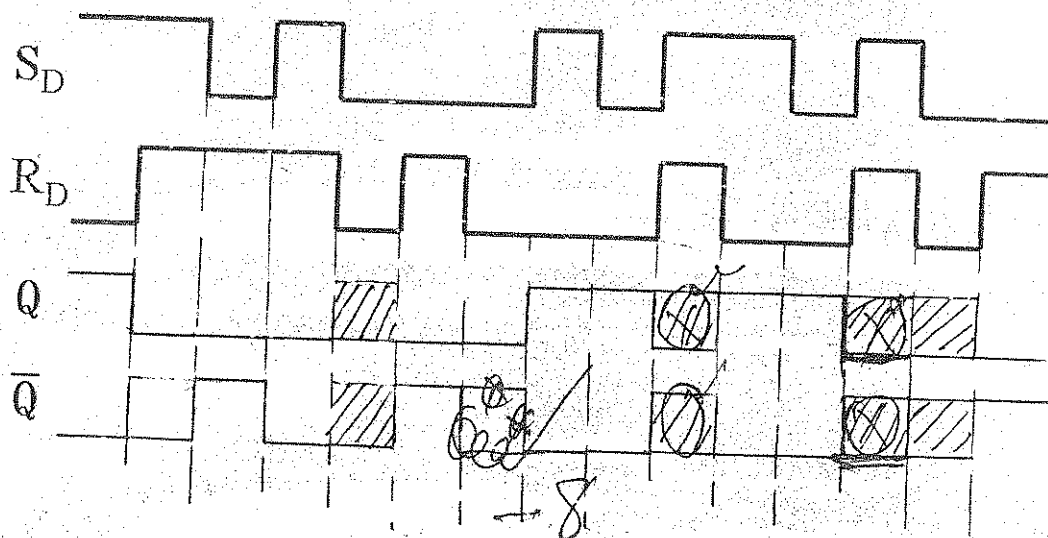
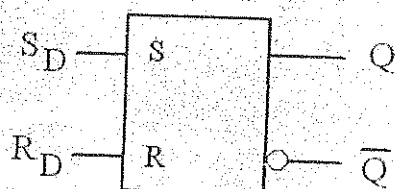
2、基本触发器的逻辑符号与输入波形如图所示。试作出 Q 、 \bar{Q} 的波形。

$$\begin{cases} Q^{n+1} = \bar{S}_D + R_D Q^n \\ \bar{S}_D + R_D = 1 \text{ (约束条件)} \end{cases}$$



3、基本触发器的逻辑符号与输入波形如图所示。试作出 Q 、 \bar{Q} 的波形。

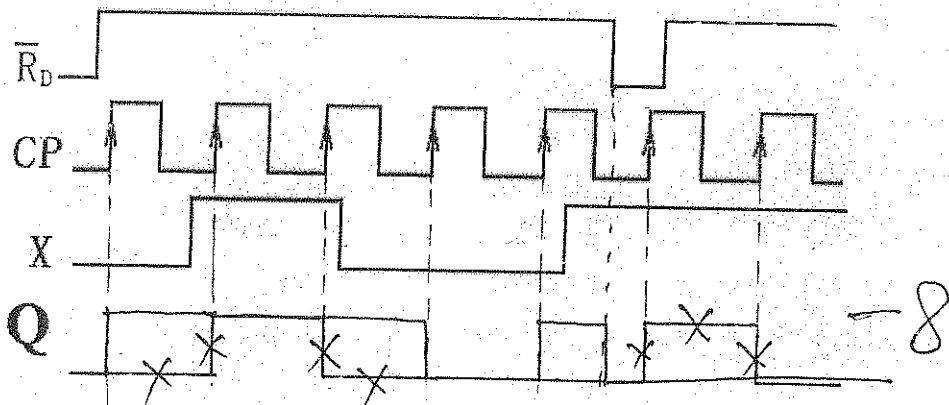
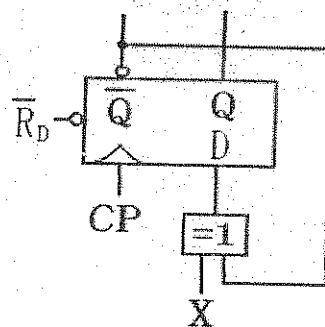
$$\begin{cases} Q^{n+1} = \bar{S}_D + R_D Q^n \\ \bar{S}_D \cdot R_D = 0 \text{ (约束条件)} \end{cases}$$



4、已知触发器电路及其输入波形如下图所示，作 Q 端的波形。

$$Q^{n+1} = (X \oplus Q^n) \cdot CP \uparrow$$

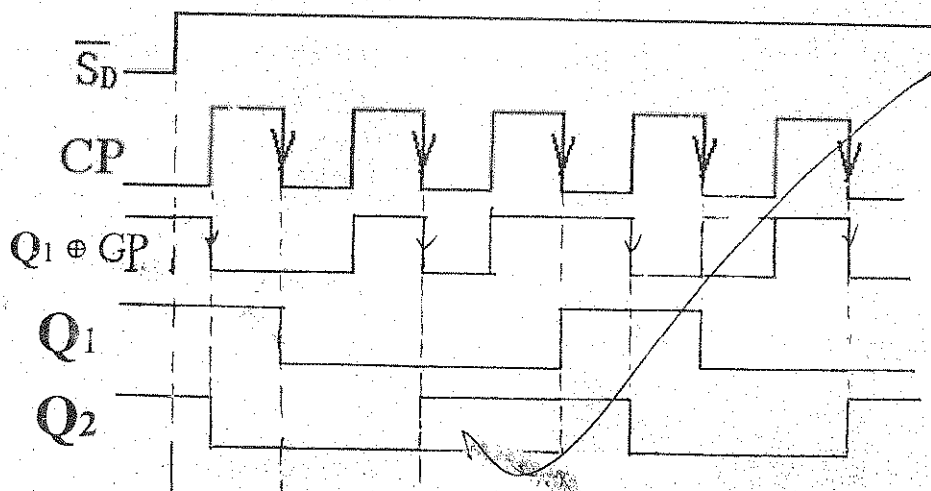
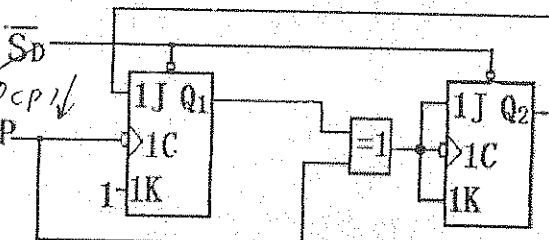
$$Q^{n+1} = (X \oplus Q^n) \cdot CP \uparrow$$



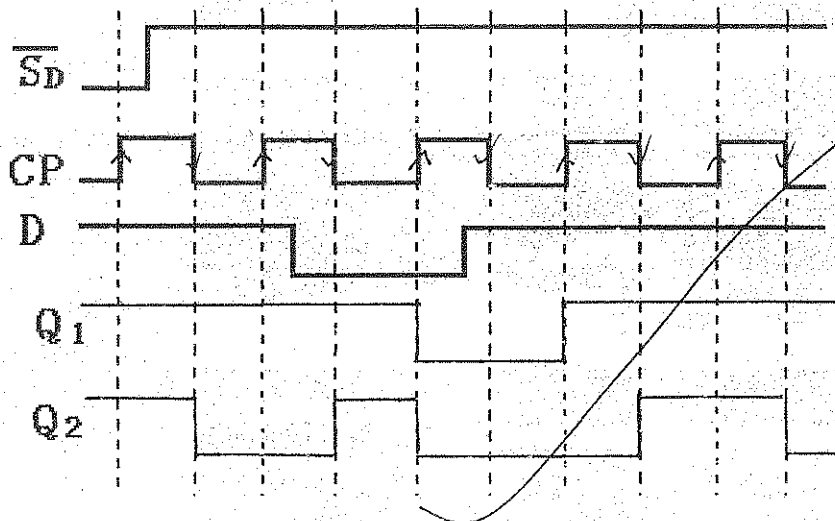
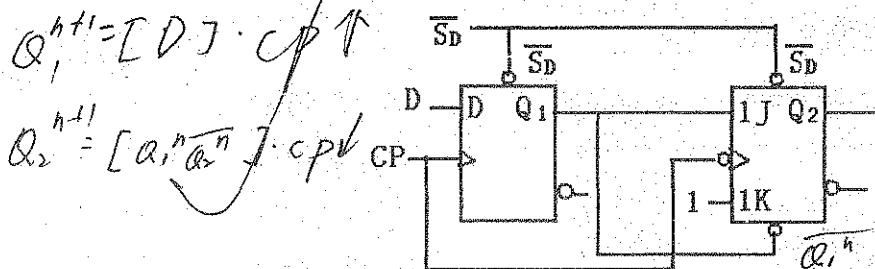
5、电路及其输入波形见下图，作 Q1、Q2 端的波形。

$$Q_1^{n+1} = (Q_2^n \cdot \overline{Q_1^n}) \cdot CP \uparrow$$

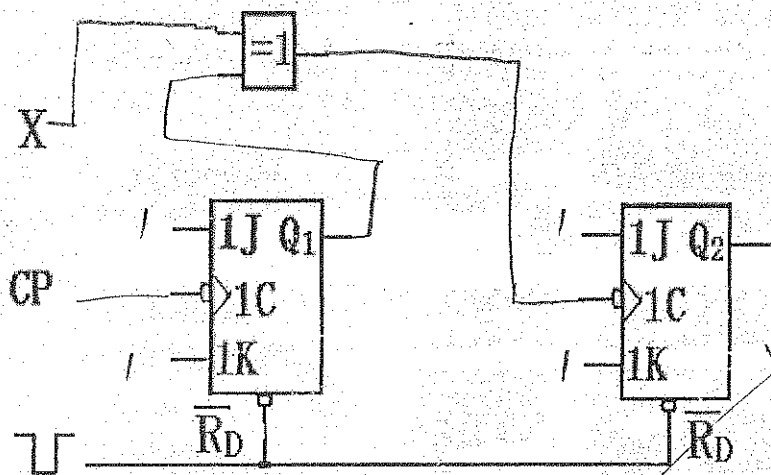
$$Q_2^{n+1} = (Q_1^n \oplus CP) \cdot Q_2^n$$



6、电路如下，数据 D 和 CP 波形见下图，试作 Q1、Q2 端的波形。

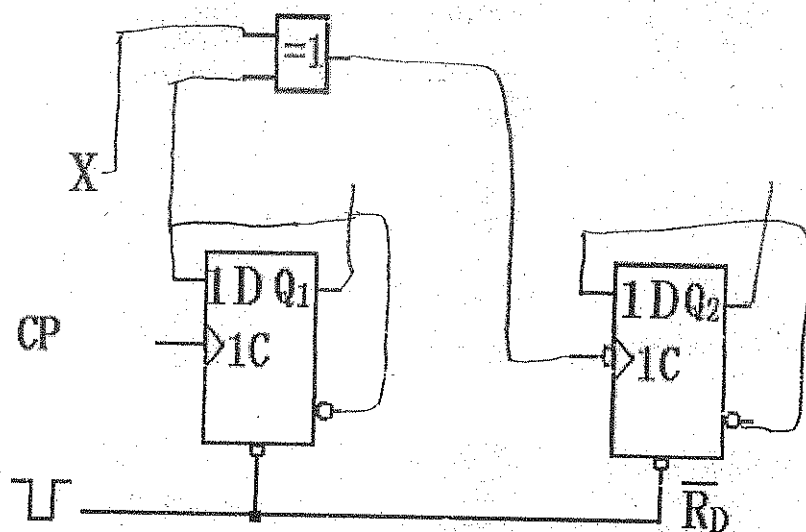


7、用 JKFF 和异或门构成的异步可逆计数器。



$X=0$ 加法
 $X=1$ 减法

8、用 DFF 和异或门构成的异步可逆计数器。



$X=0$ 加法

$X=1$ 减法

9、将 JKFF 转换成 DFF，试用列综合表法导出转换函数的最简与或表达式，并画出转换图。

D	Q^n	Q^{n+1}	J	K
0	0	0	0	ϕ
0	1	0	ϕ	1
1	0	1	1	ϕ
1	1	1	ϕ	0

Q^n	0	1
0	0	ϕ
1	1	ϕ

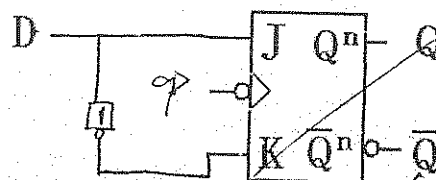
Q^n	0	1
0	ϕ	1
1	ϕ	0

J

$J = D$

K

$K = \bar{D}$



即 $J = D$

$K = \bar{D}$

转换图如上

10、NM 触发器和 XY 触发器的功能如下表所示，若将 NM 触发器转换成 XY 触发器，试用列综合表法导出转换函数的最简与或表达式。

N	M	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	$\overline{Q^n}$

X	Y	Q^{n+1}
0	0	Q^n
0	1	$\overline{Q^n}$
1	0	$\overline{Q^n}$
1	1	Q^n

X	Y	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

N	M
0	ϕ
ϕ	0
1	ϕ
ϕ	1
1	ϕ
ϕ	1
0	ϕ
ϕ	0

X \ Y Q^n	00	01	11	10
0	0	ϕ	ϕ	1
1	1	ϕ	ϕ	0

X \ Y Q^n	00	01	11	10
0	ϕ	0	1	ϕ
1	ϕ	1	0	ϕ

N

M

$$N = X\bar{Y} + \bar{X}Y$$

$$= X \oplus Y$$

$$M = X\bar{Y} + Y\bar{X}$$

$$= X \oplus Y$$

第六章 测试卷 1

1、填空题和选择题

(1) 通过级联方法, 把两片 4 位二进制计数器 74161 连接成为 8 位二进制计数器后, 其最大模值是 256。

(2) 对 MSI 计数器, 若 $\overline{CR} = 0$, 无论 CP 信号处于何状态, 计数器立即清零, 该清零方式称为 异步清零; MSI 计数器 74163 的清零方式为 同步复 0 法。

(3) 分析时序电路时所列的四组方程包括时钟方程、激励方程、状态方程及电路输出方程。

(4) 设计模为 12 的二进制计数器, 如使用 74163 利用 \overline{CR} 端以复 0 法则其反馈态 $Q_3Q_2Q_1Q_0$ 为 1011, 如使用 74161 利用 L_D 端以置最小数法设计, 则所置数为 (0100)₂。

(5) 74LS161, 74LS160 和 74LS163 均为常用的加法计数器。与 74LS161 之功能相比, 不同之处在于 74LS160 为 模 10 计数器 74LS163 为 同步清零。

(6) 若将一片模值为 10 的 74160 芯片和一片模值为 16 的 74161 芯片同步级联, 则级联后的模值为 160。

(7) 由 3 个 JK 触发器构成的 3 位二进制同步加法计数器的基本结构是: $CP_1 = CP_2 = CP_3 = CP$; 各级触发器均接为 TFF 且 $T_1 = 1$, $T_2 = Q_1$, $T_3 = Q_1 \cdot Q_2$, $Z = Q_1 \cdot Q_2 \cdot Q_3$ 。

(8) 一个 10 位的二进制数最大可表示的十进制数是 1023。

2、分析图 4 所示电路, 并填写下表 (设初态为 $Q_3Q_2Q_1Q_0 = 0000$)。

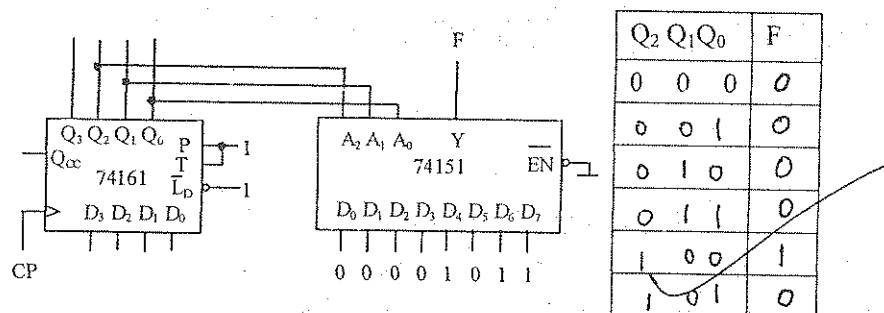


图 4

The schematic shows two 74160 decade counters. The first counter has its clock input CP connected to a common ground point. Its enable inputs P and T are connected to logic 1. Its output Q₃ is connected to the clock input CP of the second counter. The second counter also has its enable inputs P and T connected to logic 1. The outputs of both counters are labeled 1 through 9.

图 1

[illegible]

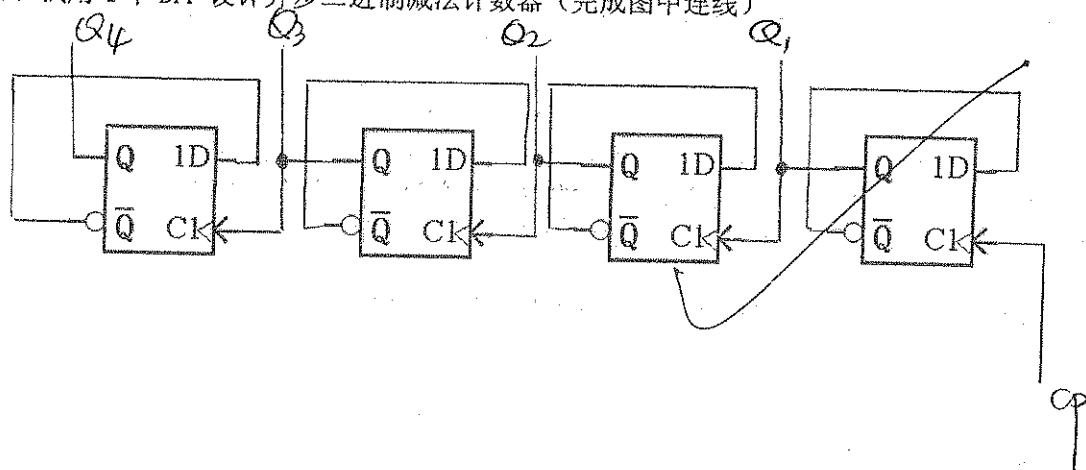
Q_2	Q_1	Q_0	D_0
0	1	0	1
1	0	1	1
0	1	1	1
1	1	1	0
1	1	0	0
1	0	0	1
0	0	1	1

Q_2 Q_1 Q_0
 00 01 11 10
 0 $\begin{pmatrix} \phi & 1 & 1 & \phi \end{pmatrix}$
 1 $\begin{pmatrix} 1 & \phi & 0 & 0 \end{pmatrix}$

$D_0 = 0.29$

具有自动性

6、试用 4 个 DFF 设计异步二进制减法计数器 (完成图中连线)



7、用 D 触发器设计一个按自然态序进行计数的同步加法计数器。要求当控制信号 $M=0$ 时为 5 进制, $M=1$ 时为 7 进制 (要求有设计过程)。

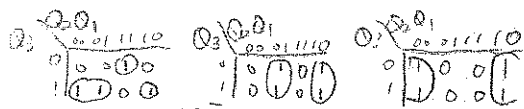
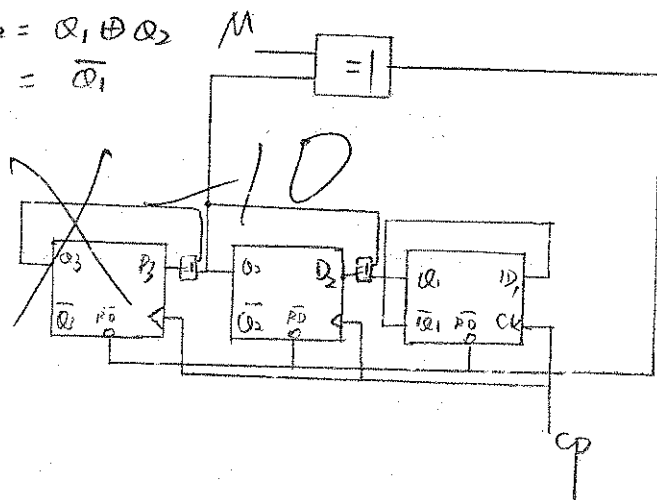
$Q_3 \ Q_2 \ Q_1 \ D_3 \ D_2 \ D_1$

0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

$$D_3 = Q_3 \oplus Q_2$$

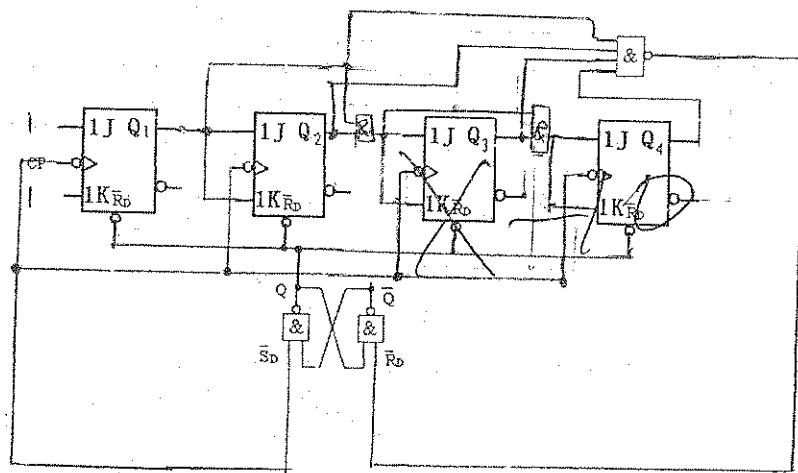
$$D_2 = Q_1 \oplus Q_2$$

$$D_1 = \overline{Q_1}$$



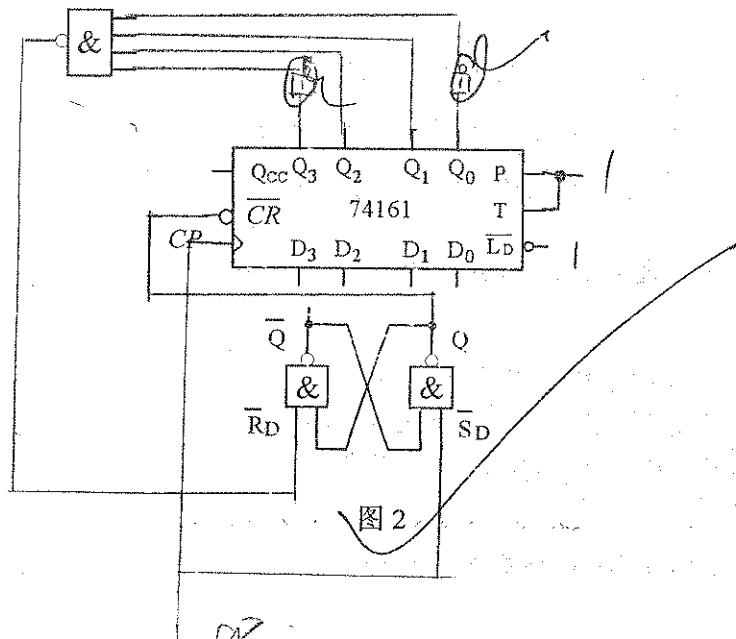
$$D_3 = Q_3 Q_2 + \overline{Q_3} \overline{Q_2} \quad D_2 = \overline{Q_2} Q_1 + Q_2 \overline{Q_1} \quad D_1 = \overline{Q_1}$$

8、试用脉冲反馈法将 4 个 JK 触发器连接成模长为 12 的计数器, 要求能够可靠复位 (可以根据需要附加门电路)。

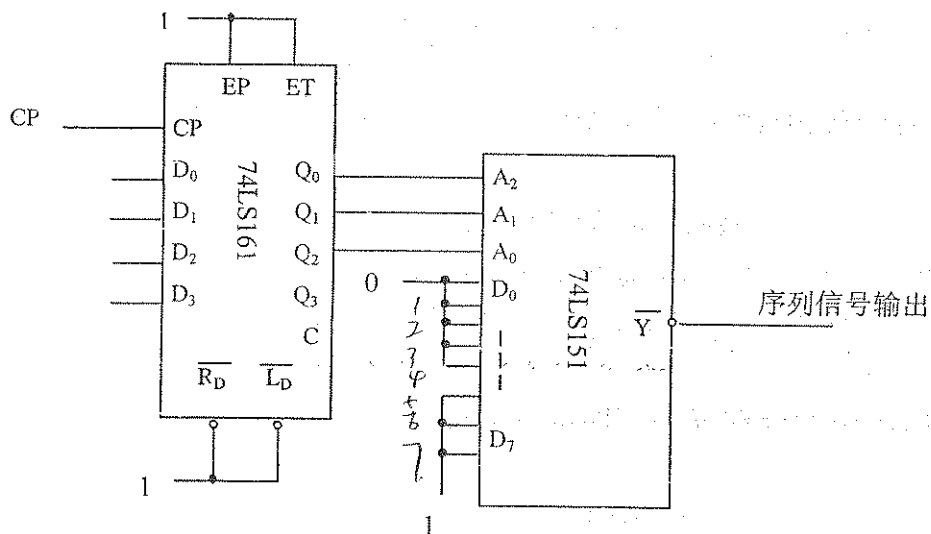


9. 异步清零法将 74161 连接成 8421 编码的模长为 6 的计数器, 要求能够可靠复位 (可以根据需要附加门电路, 见图 2)。

9. 异步清零法将 74161 连接成 8421 编码的模长为 6 的计数器, 要求能够可靠复位 (可以根据需要附加门电路, 见图 2)。



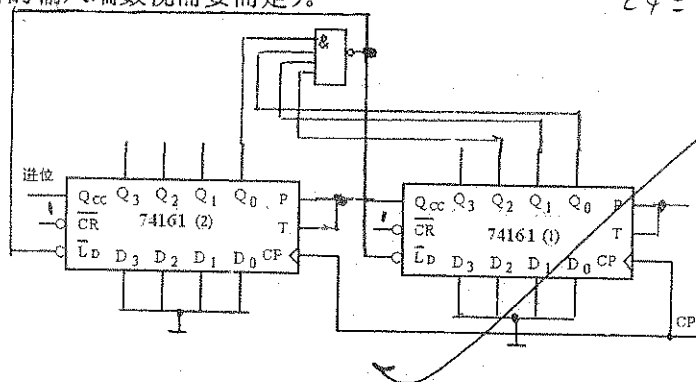
10、如图所示电路是序列信号发生器，试写出输出序列信号。



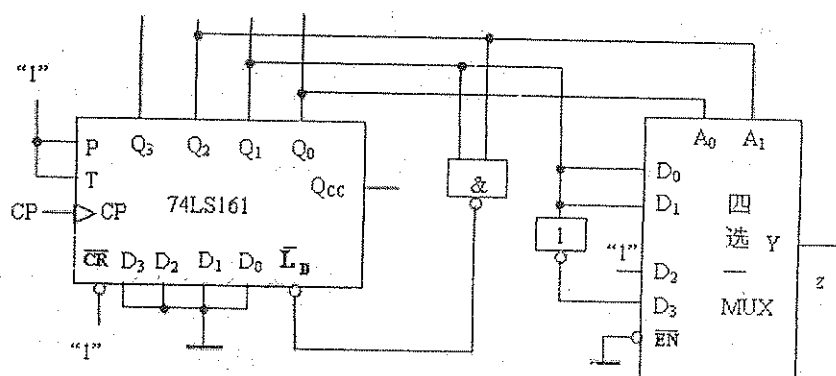
O_2	U_1	U_0	A_2	A_1	A_0	D	F	\bar{F}
0	0	0	0	0	0	0	0	1
0	0	1	1	0	0	4	0	1
0	1	0	0	1	0	2	0	1
0	1	1	1	1	0	6	1	0
1	0	0	0	0	1	1	0	1
1	0	1	1	0	1	5	1	0
1	1	0	0	1	1	3	0	1
1	1	1	1	1	1	7	1	0

132.10 ~ 2
~~11101010~~
 8

4

$$24 = 16 + 8$$


(2) 写出输出 z 的序列。



0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0

Z

0

1

1

1

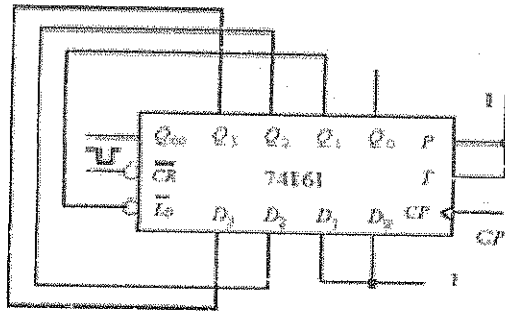
1

Abstract

(7) Σ 的 $\overline{\Sigma}$ 为 001111

第六章 测试卷 2

1、已知由 74161 组成的电路如图 3 所示，列出状态转移表，计算计数器模长 M 。



$$D_3 = Q_3 \quad D_2 = Q_2$$

$$D_1 = 1 \quad D_0 = 1$$

$Q_3 \quad Q_2 \quad Q_1 \quad Q_0$

0 0 0 0

0 0 1 1

0 1 0 0

0 1 1 1

1 0 0 0

1 0 1 1

1 1 0 0

1 1 1 1

$M = 8$ 计数器模长为 8.

2、试根据表 1 所示原始状态转移表完成以下要求

①作该原始状态转移表的状态化简隐含表；

②在该原始状态转移表的状态中共有 1 个等价对，它们分别是 (DE)；

③在该原始状态转移表的状态中有 4 个最大等价类，它们分别是 A, B, C, (DE)。

表 1

$S(t)$	$N(t)/Z(t)$	
	$X=1$	$X=0$
A	B/1	E/0
B	C/1	E/0
C	C/1	B/0
D	D/1	B/1
E	D/1	B/1

B	X			
C	X	X		
D	X	X	X	
E	X	X	X	✓
	A	B	C	D

3、分析图 4 所示电路，并填写下表（设初态为 $Q_3Q_2Q_1Q_0=0000$ ）。

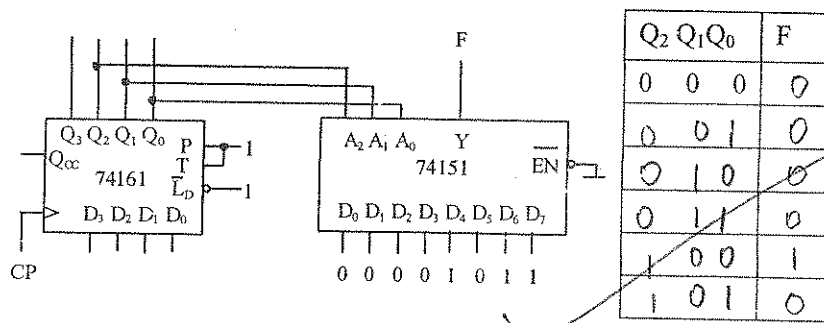


图 4

4、分析图 6 电路，试填写全状态转移表（设初态为 $Q_3Q_2Q_1Q_0=1111$ ）

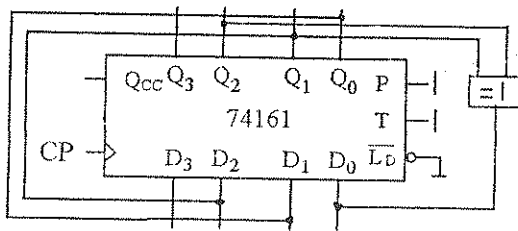


图 6

$Q_3 \quad Q_2 \quad Q_1 \quad Q_0$

1	1	1	1
1	1	1	0
1	1	0	0
1	0	0	1
1	0	1	0
1	1	0	1
1	0	1	1
1	0	0	0

$$\begin{cases} D_2 = Q_1 \\ D_1 = Q_0 \\ D_0 = Q_2 \oplus Q_1 \end{cases}$$

不具有自启动性

M=

- 5、如图 3 电路所示，由 74194 和 74151 组成序列码发生器，写出 74194 状态转移表，写出电路输出的序列信号 F。 状态转移表：

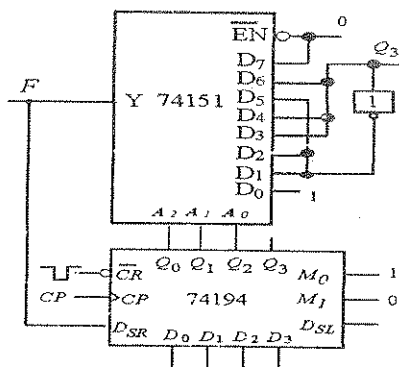


图 3

CP 个数	Q_0	Q_1	Q_2	Q_3	F
0	0	0	0	0	0
1	1	0	0	0	1
2	0	1	0	0	1
3	1	0	1	0	1
4	1	1	0	1	1
5	1	1	1	0	0
6	0	1	1	1	1
7	1	0	1	1	0
8	0	1	0	1	0
9	0	0	1	0	1
10	1	0	0	1	0
11	1	1	0	0	1
12	0	1	1	0	0
13	0	0	1	1	0
14	0	0	0	1	1

序列 F = 1 0 1 1 0 1 0 0 1 1 0 0 0 1

- 6、试用 74194 设计产生序列码为 101100,且能自启动的移存型序列码发生器，要求：填写下面的综合表、卡诺图并导出 74194 的 D_{SL} 的最简与或表达式（没有导出过程不给分）。（10 分）

Q_1	Q_2	Q_3	D_{SL}
1	0	1	1
0	1	1	0
1	1	0	0
1	0	0	1
0	0	1	0
0	1	0	1

$Q_1 \backslash Q_2 Q_3$	00	01	11	10
0	0	0	0	1
1	1	1	0	0

$$D_{SL} = \overline{Q_1} \overline{Q_3} + \overline{Q_2} Q_1$$

$$D_{SL} = \overline{Q_1} \overline{Q_3} + \overline{Q_2} Q_1$$

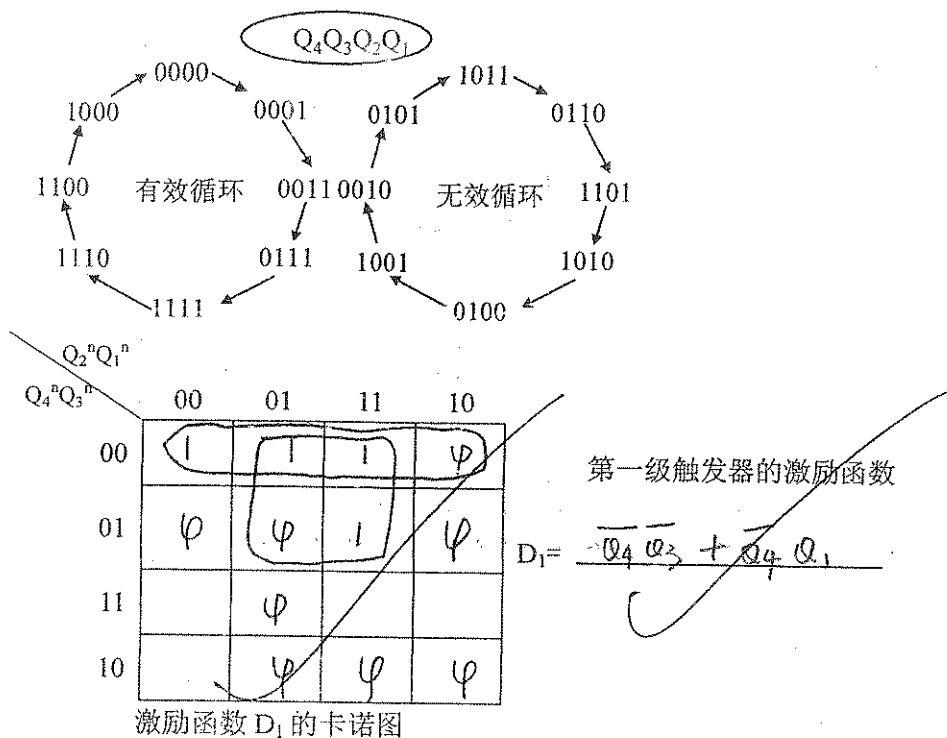
$$= \overline{Q_1 \overline{Q_3}} \overline{Q_1 \overline{Q_2}}$$

$$000 \rightarrow 001 \checkmark$$

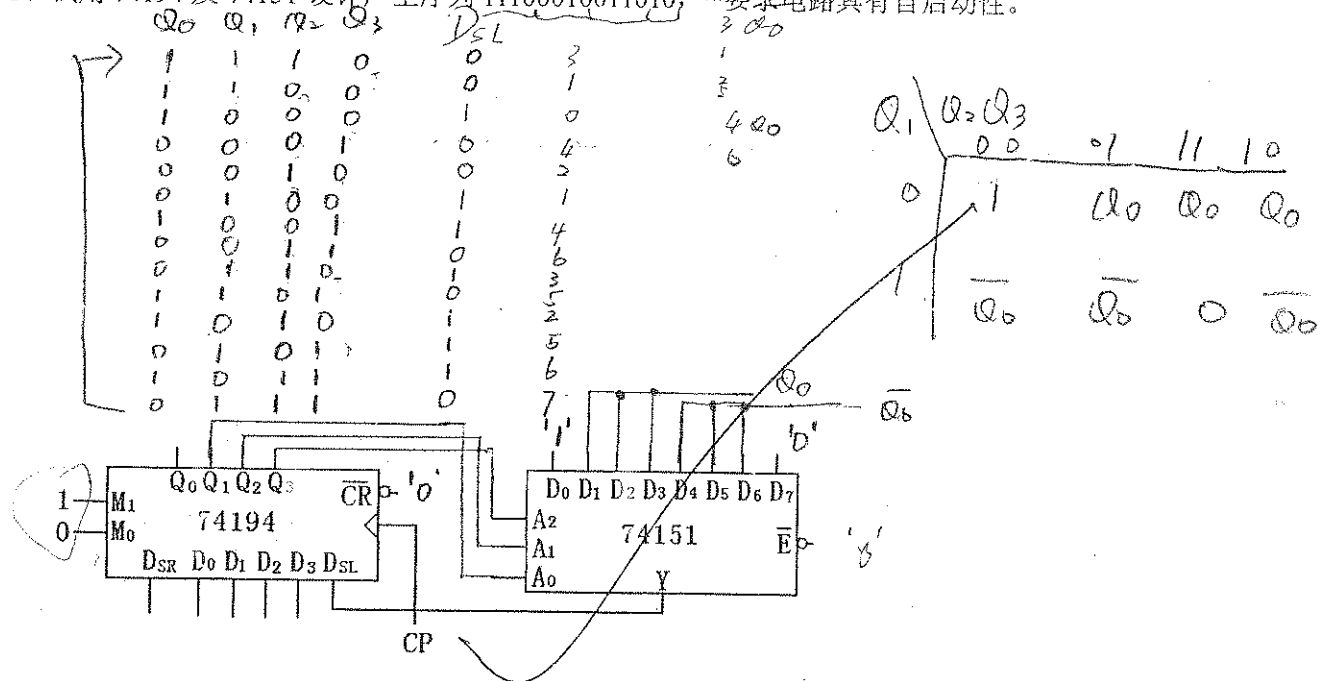
$$111 \rightarrow 110 \checkmark$$

所有相邻状态

7、由 D 触发器构成的四级扭环形计数器的状态转移图如下为使该计数器能自启动，现规定在原状态转移的基础上，只有当计数器处于 0100 状态和 0110 状态时，次态才能进入有效循环，试填写第一级触发器激励 D_1 的卡诺图，并化简为最简与或式。



8、试用 74194 及 74151 设计产生序列 11100910011010, ... 要求电路具有自启动性。



9、试分析图 4 电路，完成要求 (1) 和要求 (2)。

(1)、74194 的状态转移表为：

(2)、F 端输出的序列信号为：

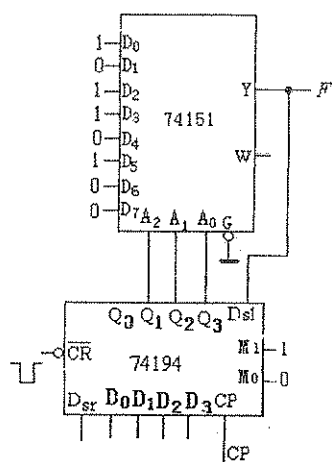


图 4

Q_3	Q_2	Q_1
0	0	0
1	0	0
0	1	0
1	0	1
1	1	0
1	1	1
0	1	1
0	0	1

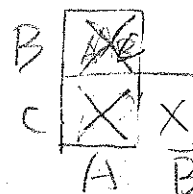
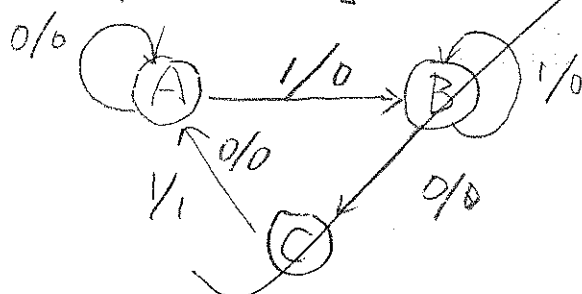
F 为 10111000

10、试作出 101 序列检测器的状态图，该同步电路由一根输入线 X，一根输出线 Z，对应与输入序列的 101 的最后一个“1”，输出 Z=1。其余情况下输出为“0”。101 序列不可以重叠，如：X: 0101011010 Z: 0001000010。

A: 电路准备

B: 收到序列 '1'

C: 连续收到 '10'



A → a

B → b

C → c

S	N		Z	
	X=0	X=1	X=0	X=1
A	A	B	0	0
B	C	B	0	0
C	A	A	0	1

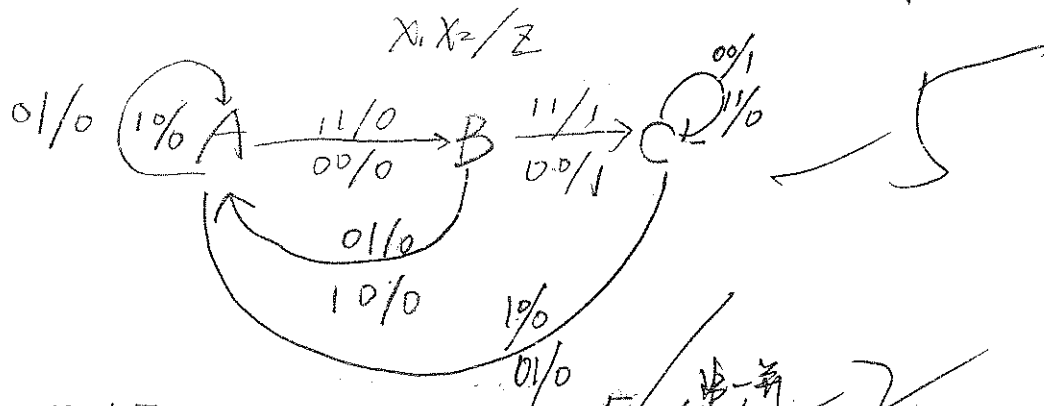
S	N/Z	
	X=0	X=1
a	a/0	b/0
b	c/0	b/0
c	a/0	a/1

11、试设计一电动机控制电路。要求该电路有两个控制输入端 X_1 和 X_2 ，只有在连续两个或两个以上的时钟脉冲作用期间，两个输入都一致时，电动机才转动。画出状态转移图。

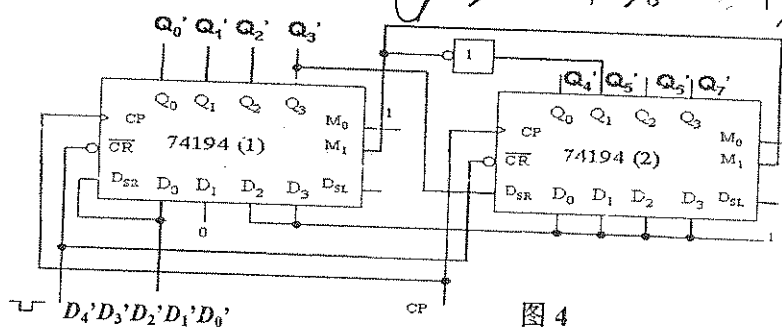
A: 初始状态

B: $X_1 X_2 = 00$ 或 11

C: 在 B 的基础上，再次输入 00 或 11



12、如图 4 所示，两片 74194 构成了 5 位 ~~并行~~ 转换电路。设清 0 后输入端依次输入 $D_0' D_1' D_2' D_3' D_4'$ ，当 D_3' 出现在数据输入端，下一个 CP↑ 到来后瞬间，74194 输出端 $Q_0' Q_1' Q_2' Q_3' Q_4' Q_5' Q_6' Q_7'$ 值依次排列为 $D_3' D_2' D_1' D_0' 0 1 1 1$ X-2



$Q_0' Q_1' Q_2' Q_3' Q_4' Q_5' Q_6' Q_7'$
0 0 0 0 0 0 0 0

$D_0' 0 1 1 1 1 1 1$

$D_1' D_0' 0 1 1 1 1 1$

$D_2' D_1' D_0' 0 1 1 1 1$

$D_3' D_2' D_1' D_0' 0 1 1 1$

$Q_0 + Q_1 + Q_2$

$\overline{Q_0} \overline{Q_1} \overline{Q_2}$

第八章 测试卷

一、选择题和填空题

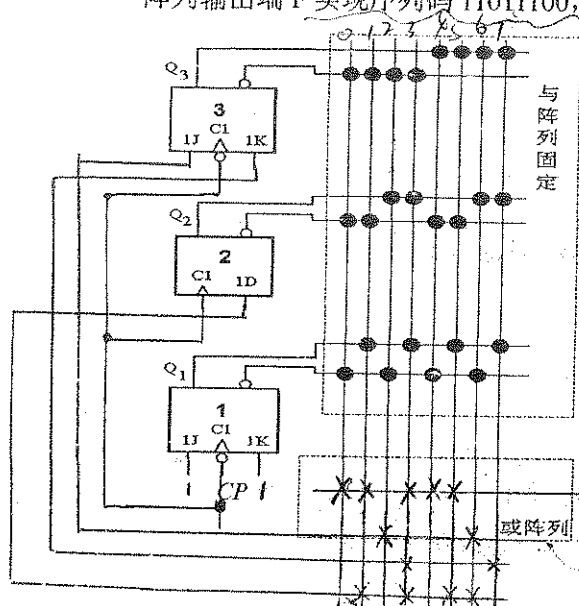
- 1、在 A/D 转换器中, 已知 Δ 是量化单位, 若采用“四舍五入”方法划分量化电平, 则最大量化误差为 B Δ 。
A. $1/4$ B. $1/2$ C. 1 D. 2
- 2、一个倒 T 网络的 10 位 D/A 转换器的最小输出电压为 $0.01V$, 则当输入为 $(1100000100)_2$ 时, 对应的输出电压为 A V 。
A. 7.72 B. 8.56 C. 9.64 D. 10.25
- 3、在转换器中, 已知 Δ 是量化单位, 若采用“舍尾”方法划分量化电平, 则最大量化误差为 C Δ 。
A. $1/4$ B. $1/2$ C. 1 D. 2
- 4、若一个 10 位二进制 D/A 转换器的满刻度输出电压为 $10.23V$, 当输入为 $(1100000010)_2$ 时, 输出电压为 C。
A. 2.56 B. 5.12 C. 7.7 D. 8.58
- 5、已知 T_{CP} 是 8 位逐次渐近型 A/D 转换器的输入时钟周期, 则完成一次转换需要的时间是 B T_{CP} 。
A. 8 B. 9 C. 10 D. 11
- 6、若一个 10 位二进制 D/A 转换器的满刻度输出电压为 $10.23V$, 当输入为 $(1100000010)_2$ 时, 输出电压为 C V 。
A. 2.56 B. 5.12 C. 7.7 D. 8.58
- 7、已知 4 位倒 T 型 DAC, 输入数字量为 0110, $u_{REF} = -16V$, $R_f = R$, 则输出模拟量 $u_O =$ 6V; 满量程电压 $U_{om} =$ 16V。
- 8、8 位 D/A 转换器当输入数字量 10000000 为 $5v$ 。若输入数字量只有最低位为 1, 则输出电压为 $\frac{5}{256}$ v ; 当输入为 10001000, 则输出电压为 $\frac{5}{16}$ v 。
- 9、将模拟信号转换为数字信号, 需要经过 采样、保持、量化、编码 四个过程。
- 10、已知 4 位倒 T 型 DAC, 输入数字量为 1010, $u_{REF} = -8V$, $R_f = R$, 则输出模拟量 $u_O =$ 5 V , 该 DAC 的分辨率为 $\frac{1}{16}$ V 。
- 12、若输入模拟信号的频率为 $1000Hz$, 则取样保持电路的取样频率 f 应满足以下条件: $f \geq 2000Hz$ 。
- 13、某 ADC 电路, $u_{imax} = 10V$, $n = 4$, 若 $u_{REF} = 4.7V$, 则采用舍尾量化的量化单位 $\Delta =$ $\frac{5}{8}V$; 转换后的数字量为 0111; 采用四舍五入量化方式的量化单位 $\Delta =$ $\frac{5}{8}V$ 。
- 14、有一个 DAC 电路, $n = 8$, 其分辨率是 $\frac{1}{255}$ 。
- 15、有一个 ADC 电路, $u_{imax} = 10V$, $n = 4$, 分别求出采用舍尾量化和四舍五入量化方式时的量化单位。并分别求 $u_i = 6.28V$ 时, 两种量化方法转化后的数字量 1010 和 1011。
- 16、ADC 和 DAC 的主要技术指标有 量化误差 和 分辨率。

第九章 测试卷

一、选择题和填空题

- 1、信息可随时读出或写入，断电后信息立即全部消失的存储器是 B。
A. ROM B. RAM C. PROM D. Flash Memory
- 2、只能读出、不能写入，但信息可永久保存的存储器是 A。信息可随时读出或写入，断电后信息立即全部消失的存储器是 B。
A. ROM B. RAM C. PROM D. Flash Memory
- A. ROM B. RAM C. EPROM D. DRAM
- 3、16K×8RAM，其地址线和数据线的数目分别为 D。
A. 8条地址线，8条数据线 B. 10条地址线，4条数据线
C. 15条地址线，8条数据线 D. 14条地址线，8条数据线
- 4、已知某存储器芯片有地址线12条，数据线8条，则该存储器的存储容量是 CD位。
A. 1024×8 B. 4096×4 C. 2048×8 D. 4096×8
- 5、若用ROM实现“两个三位二进制数相乘的乘法器”，则ROM的容量至少应为 $2^3 \times 6$
- 6、随机存储器存储容量的扩展两种基本方式分别为 位扩展 和 字扩展。
- 7、若用ROM实现“将八位二进制数转换成十进制数(用BCD码表示)的转换电路”，则ROM的容量至少应为 $2^8 \times 12$ 。
- 8、用1K×4位的2114RAM扩展成一个16K×8位的存储器需要 32片2114芯片，扩展后的存储器共有地址线 14根。
- 9、一容量为1024×4位的RAM，其存储单元排列成64行×64列的矩阵形式，该存储器有 6根行地址线，4根列地址线，每次访问 4个基本存储单元。总共可访问 1024个字。
- 10、RAM2114的有 DA条行地址选择线。
A. 6 B. 8 C. 9 D. 10
- 11、用0, 1两个符号对100个信息进行编码，则至少需要 B。
(A) 8位 (B) 7位 (C) 9位 (D) 6位
- 12、8K×8位的RAM有 13条地址线。
- 13、一个RAM的容量为256×4位，则该RAM有 1024个基本存储单元，工作时每次访问 4个基本存储单元，有 8个地址端。
- 14、一个RAM的容量为1024×8位，则该RAM有 8192个基本存储单元，工作时每次访问 8个基本存储单元，有 10个地址端。总共可访问 1024个字。
- 15、一片8K×8位的ROM存储器有 8k个字，字长为 8位。
- 16、已知某RAM的每个字所存储的信息为4位，且其存储矩阵按照128行×64列排列，则该RAM的地址译码器的列地址线有 4根，能存储的字总数为 2k。
- 17、半导体存储器中一个字包含的二进制码元的位数称为 字长。
- 18、存储器容量的扩展有 位扩展和 字扩展两种方式。如把1K×4容量的RAM2114扩展为16K×16的RAM，则需 64片RAM2114和一个 译码器。

二、用图 5 中给出的三个触发器设计一个三位二进制异步加法计数器，时钟 CP 接入 DFF1，直接在电路图上连线；设实现后的计数器与 PROM 的输入端连线如图示，要求在 PROM 或阵列输出端 F 实现序列码 11011100，在图中完成编程连接。



Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	F
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

三、试用 ROM 阵列图实现下列一组多输出逻辑函数

$$\begin{cases} F_1(A, B, C) = \bar{A}B + A\bar{B} + BC \\ F_2(A, B, C) = \sum_m(1, 4, 6, 7) \\ F_3(A, B, C) = \bar{A}BC + A\bar{B}C + ABC + ABC \end{cases}$$

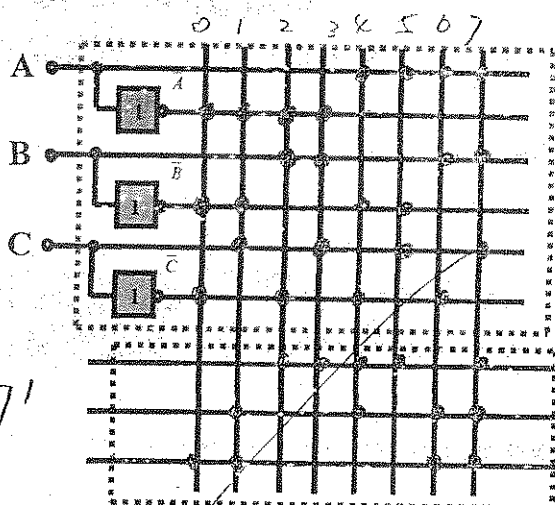
$$Q_3^{h+1} = \bar{Q}_3 Q_2 \bar{Q}_1 + Q_3 \bar{Q}_1 + Q_3 \bar{Q}_2$$

$$= \bar{Q}_2 \bar{Q}_1 + Q_3 Q_1 + Q_3 Q_2 \bar{Q}_1$$

$$\begin{aligned} F_1(A, B, C) &= \bar{A}\bar{B}C + \bar{A}B\bar{C} \\ &\quad + A\bar{B}C + A\bar{B}\bar{C} \\ &\quad + \bar{A}BC + \bar{A}\bar{B}C \\ &\quad + A\bar{B}C + A\bar{B}\bar{C} \\ &\quad + ABC \\ &= \sum_m(2, 3, 4, 5, 7) \end{aligned}$$

$$F_2 = \sum_m(1, 4, 6, 7)$$

$$F_3 = \sum_m(0, 1, 6, 7)$$



$$Q_3^{h+1} = \bar{Q}_2 \bar{Q}_1 + Q_3 Q_1 + Q_3 Q_2 \bar{Q}_1 = \bar{Q}_1$$

F₁
F₂
F₃

三、由 PROM 和 DFF 构成的电路如图所示，设 Q1Q2Q3 的初态为 000。

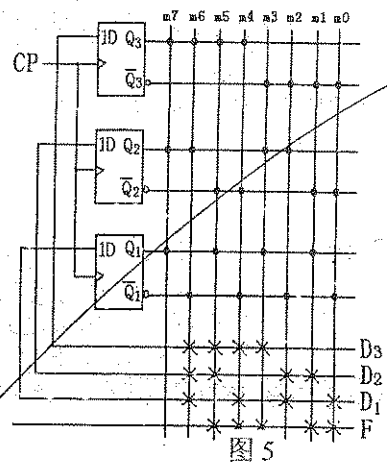
- 1) 试填写 Q1Q2Q3 的状态转移表。(10 分)
- 2) 试写出序列码 F 码型。
- 3) 试说明这是什么功能的电路。

状态转移表

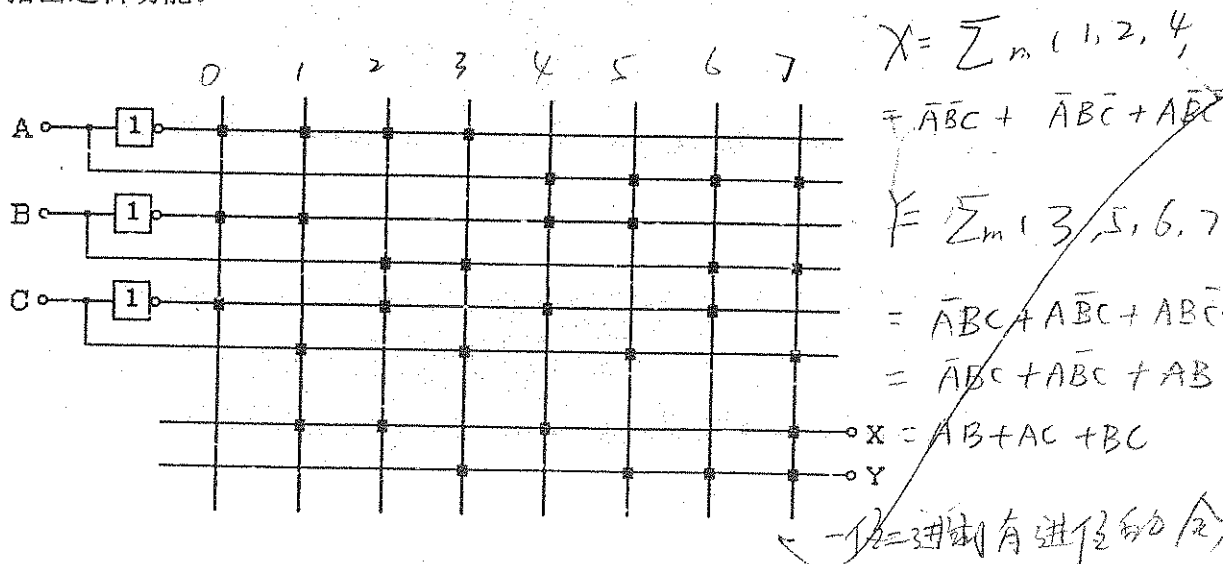
Q ₃	Q ₂	Q ₁
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

F = 11011100

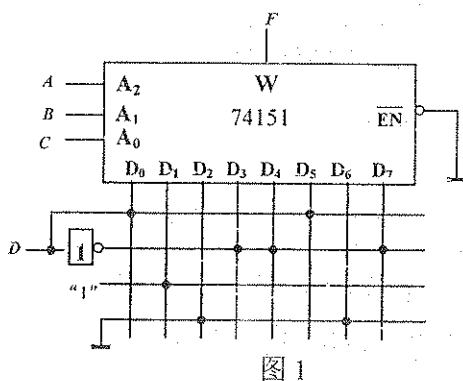
计数型序列
码发生器



四、根据 ROM 存储矩阵连线图写出输出逻辑表达式，能化简则化简至最简与或式。指出逻辑功能。



五、8 选 1 数据选择器 74151 构成图 1 所示电路，写出 $F(A, B, C, D)$ 最小项和形式的表达式。



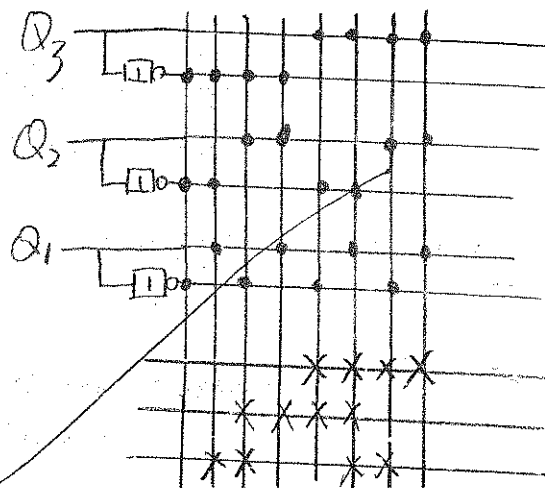
A B C D F

0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

$$F(A, B, C, D) = \sum m(1, 2, 3, 6, 8, 11, 14)$$

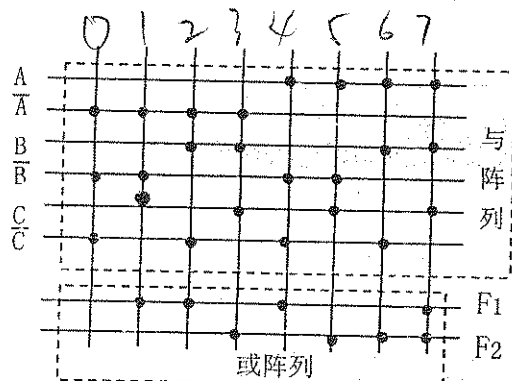
六、用 PROM 实现 3 位二进制自然码转换成二进制格雷码并画出 ROM 阵列图。

Q_3	Q_2	Q_1	Q_3^{h+1}	Q_2^{h+1}	Q_1^{h+1}
0	0	0	0	0	0
0	1	1	0	0	1
0	1	0	0	1	1
0	1	1	0	1	0
1	0	0	1	1	0
1	0	1	1	1	1
1	1	0	1	0	1
1	1	1	1	0	0



七、ROM 的阵列如图 4 所示，试列出真值表，并说明其功能。（10 分）

①该阵列的真值表为:



A	B	C	F ₁	F ₂
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

图 4

②该阵列实现的逻辑功能是

一位二进制有进位的加法

第十二章 测试卷

一、选择题和填空题

1. 数字系统一般由 输入接口、输出接口、数据处理器 和 控制器 四部分构成。
2. 数据处理器具体操作过程可用处理器明细表来说明，它包括 操作表 和 状态变量表 两个子表。
3. 控制器的结构由 组合逻辑电路 和 存储电路 组成。
4. ASM 图由 3 个基本符号组成，它们分别是 状态框、条件框 和 判断框。
5. $A \leftarrow B$ 这条语句是属于 传送语句 (传送语句、运算语句、逻辑运算语句、移位语句、条件语句)。
6. 数字系统设计过程中，涉及三个阶段，a 电路设计，b 系统设计，c 逻辑设计，按设计先后进行的排序为 D。
A $b \rightarrow a \rightarrow c$ B $a \rightarrow b \rightarrow c$ C $c \rightarrow b \rightarrow a$ D $b \rightarrow c \rightarrow a$
7. 控制器的描述方法和设计依据是 状态转移表 状态转移图。
8. ASM 图中每个 ASM 块必须包含的项是 (B)。
A 传输框 B 状态框 C 条件框 D 判断框

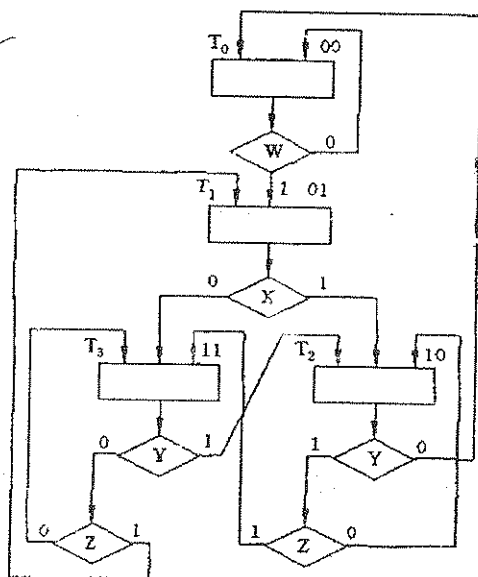
二、某数字系统的 ASM 图如图 1 所示。试用每态一个触发器 (DFF) 的方法实现系统控制器 (不用画电路图)。

$$D_0 = T_0 \bar{W} + T_2 \bar{Y}$$

$$D_1 = T_0 W + T_3 \bar{Y} Z$$

$$D_2 = T_2 X + T_3 Y + T_2 \bar{Y} Z$$

$$D_3 = T_1 \bar{X} + T_2 Y Z + T_3 \bar{Y} \bar{Z}$$



三、根据题图 2 所示 ASM 图，写出控制器状态转移图。

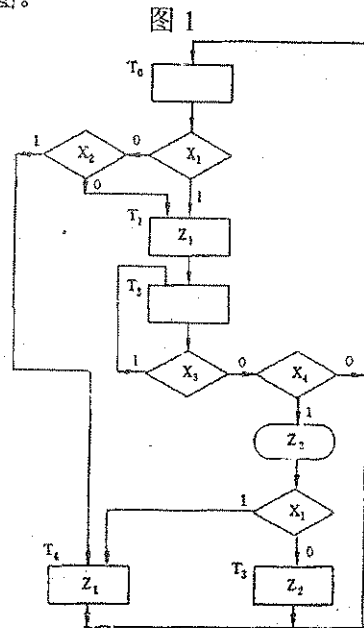
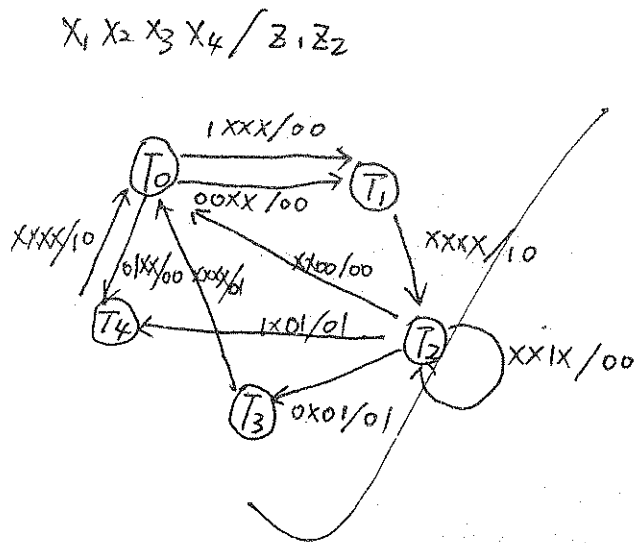


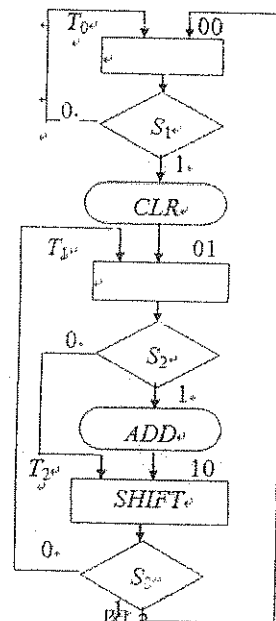
图 2

四、图 3 为某系统的 ASM 图，若采用每态一个触发器（用 DFF）的方法设计控制器，试写出控制器中输出控制信号 CLR 、 ADD 、 $SHIFT$ 的逻辑表达式。

$$CLR = T_0 S_1$$

$$ADD = T_1 S_2$$

$$SHIFT = T_2$$



状态转移图:

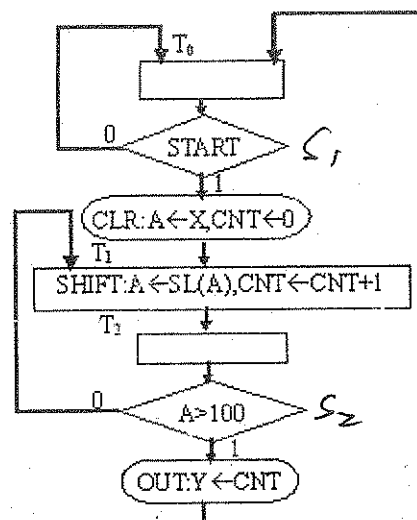
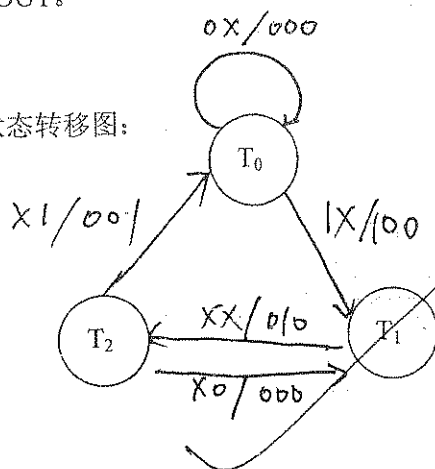


图 4

(2)对于图 4 的 ASM 图,若用每态一个触发器(DFF)的方法实现该系统的控制器,试写出控制器输出的控制信号的逻辑表达式,和控制器中 D 触发器激励函数的逻辑表达式,若 X 为 8 位并行数据输入端,输出 Z 取自寄存器 Y,试描述该系统实现的功能。

SHIFT= 71

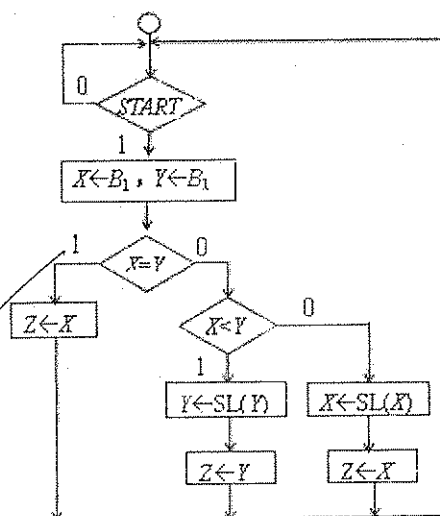
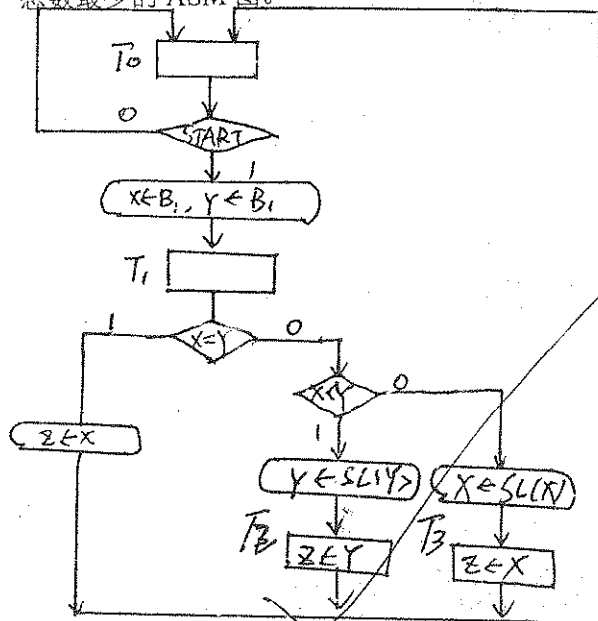
OUT= $T_2 S_2$ /

$$D_0 = T_2 S_2 + T_0 \bar{S}_1 /$$
$$D_1 = T_0 S_1 + T_2 S_2$$

D₂ = T₁ /

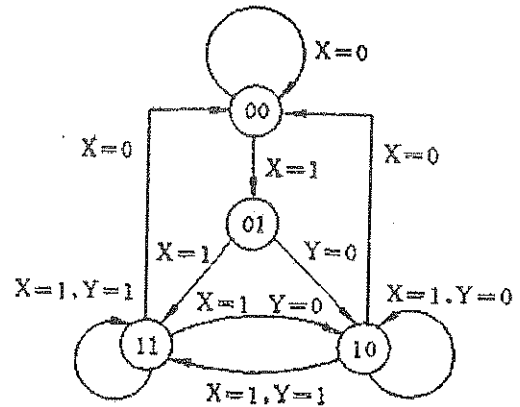
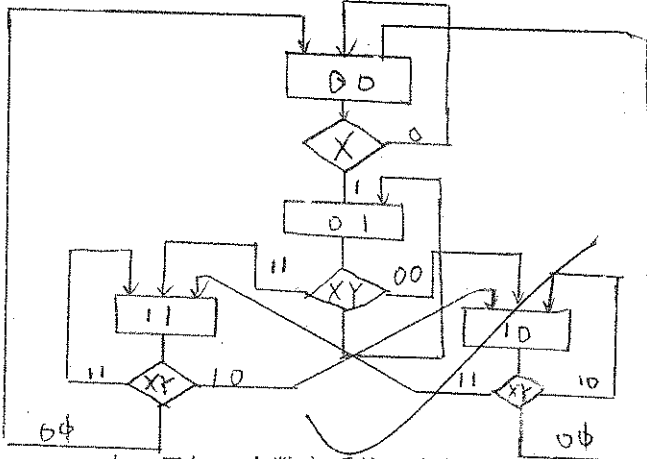
功能: 找出使 $x \cdot 2^y > 100$ 的最小正整数 y .

六、已知一个数字系统，它有三个寄存器 X、Y、Z，它的算法流程图如图 5 所示，请导出状态数最少的 ASM 图。



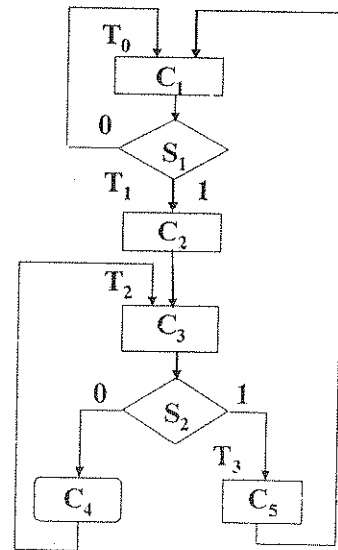
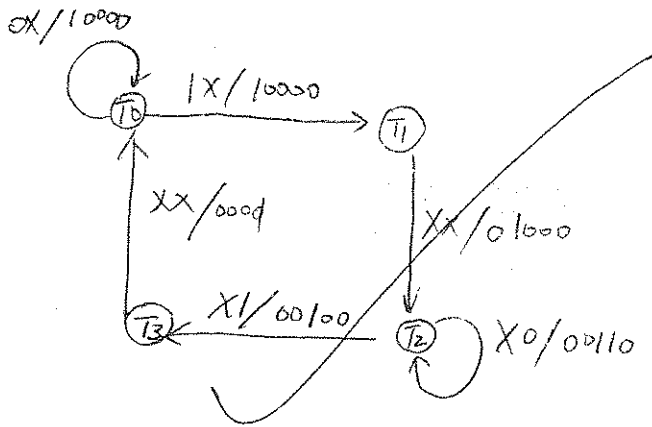
57

九、控制器的状态转移图如下图所示，它有四个状态和两个输入端。请画出等效的 ASM 图。



十、已知一个数字系统，它的 ASM 图如下图所示，请导出控制器的状态转移图。

$S_1, S_2 / C_1, C_2, C_3, C_4, C_5$



十一、已知一个数字系统，它有三个寄存器 CNT、A、Z，它的算法流程图如下图所示，其中，X 为外部输入，请导出状态数最少的 ASM 图。

