浙 江 工 商 大 学

计算机与信息工程学院

**《VHDL数字逻辑电路设计》**

实 验 作 业 报 告



实验名称： 单周期risc-v处理器设计

学 号：

姓 名：

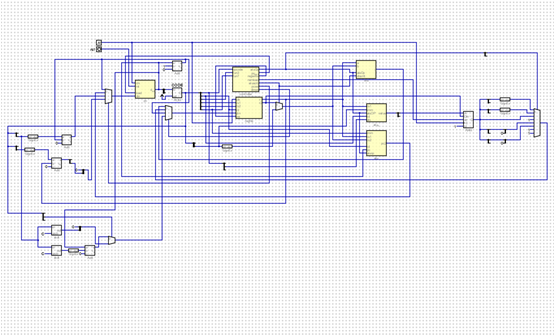
班 级：

1. **实验内容与要求**

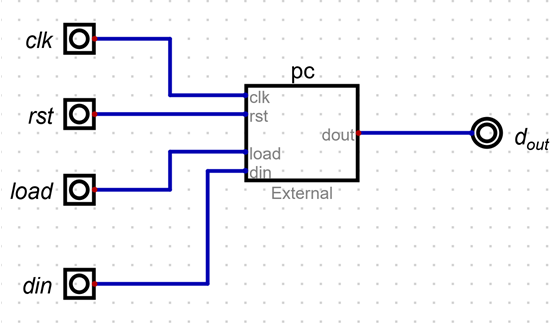
完成单周期risc-v处理器设计。要求支持risc-v32I指令集中的算术逻辑运算指令、访存指令（地址对齐）、jal、jalr、beq、bne、blt、lgte、bltu、bgtu等指令

二、核心源程序代码及说明

处理器总体结构设计



PC部分设计



代码：

module pc(clk, rst, load, din, dout);

input clk, rst, load;

input [31:0] din;

output [31:0] dout;

reg [31:0] d;

assign dout = d;

always @(posedge clk)

begin

if (rst)

d = 0;

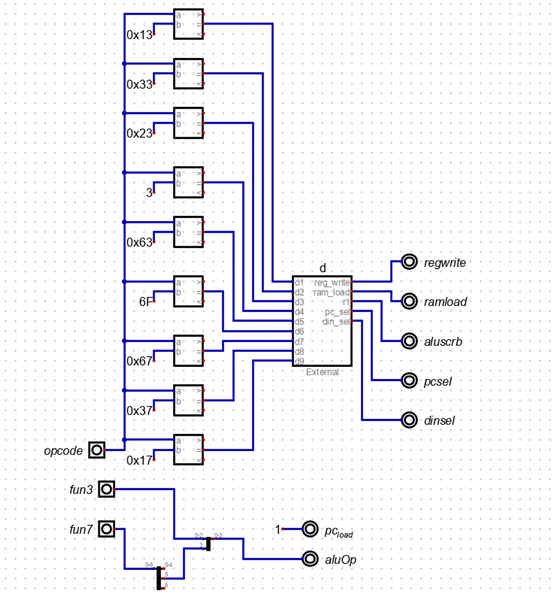
else if(load)

d = din;

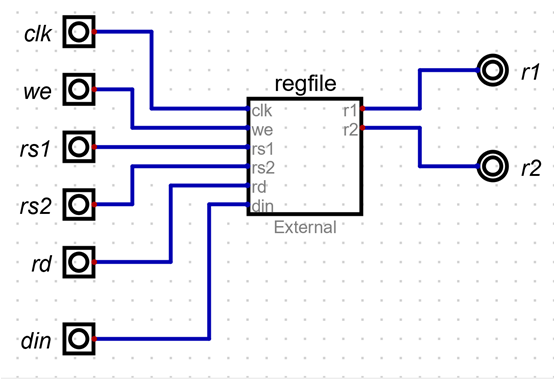
end

endmodule

控制器部分



Regfile部分：



**程序代码：**

**module regfile(clk, we, rs1, rs2, rd, din, r1, r2);**

**input clk, we;**

**input [4:0] rs1, rs2, rd;**

**input [31:0] din;**

**output [31:0] r1, r2;**

**reg [31:0] d[31:0];**

**assign r1 = (rs1 == 0) ? 0 : d[rs1];**

**assign r2 = (rs2 == 0) ? 0 : d[rs2];**

**always @(posedge clk)**

**begin**

**if (we)**

**d[rd] = din;**

**end**

**Endmodule**

ALU部分：

