HỌC VIỆN CÔNG NGHỆ BƯU CHÍNH VIỄN THÔNG

BÀI GIẢNG MÔN

ĐIỆN TỬ SỐ

Giảng viên: ThS.Nguyễn Hồng Hoa

Điện thoại : 0904505559

Email : hoanh@ptit.edu.vn

Bộ môn : Kỹ thuật điện tử - Khoa KTĐT1

Học kỳ I - Năm học 2009 - 2010

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

GIỚI THIỆU MÔN HỌC

*** Mục đích:**
- Giúp sinh viên nắm được phương pháp phân tích cũng như thiết kế, chế tạo một hệ thống số.
- Giúp sinh viên nắm được thế nào là phần cứng, phần mềm, mối liên hệ giữa phần cứng, phần mềm.
- Là cơ sở để sinh viên học tiếp hệ thống số, vi xử lý,…

*** Đối tượng: Cao đẳng Viễn thông**

*** Thời lượng:** 4 đvht
- Lý thuyết : 46 tiết
- Kiểm tra : 2 tiết
- Thí nghiệm: 12 tiết

*** Điểm thành phần:**
- Chuyên cần : 10%
- Kiểm tra : 10%
- Thí nghiệm : 10%
- Thi kết thúc học phần : 70%

NỘI DUNG

- **Chương 1: Hệ đếm**
- **Chương 2: Đại số Boole**
- **Chương 3: Cổng logic**
- **Chương 4: Mạch logic tổ hợp**
- **Chương 5: Mạch logic tuần tự**
- **Chương 6: Mạch phát xung**
- **Chương 7: Bộ nhớ bán dẫn**

TÀI LIỆU HỌC TẬP

-**Tài liệu chính :** *Giáo trình Điện tử số*, Trần Thị Thúy Hà – Đỗ Mạnh Hà, Học viện CNBCVT, 2008

- Tài liệu tham khảo:

1. *Giáo trình Kỹ thuật số* - Trần Văn Minh, NXB Bưu điện, 2002
2. *Cơ sở kỹ thuật điện tử số* - Đại học Thanh Hoa, Bắc Kinh, NXB Giáo dục, 1996
3. *Kỹ thuật số* - Nguyễn Thuý Vân, NXB Khoa học và kỹ thuật, 1994
4. *Giáo trình kỹ thuật số* - Nguyễn Viết Nguyên, NXB Giáo dục, 2004
5. *Toán logic và kỹ thuật số* - Nguyễn Nam Quân, Khoa ĐHTC, 2004
6. *Cấu trúc máy vi tính* – Trần Quang Vinh, NXB ĐHQG HN, 2005
7. *Fundamentals of logic design,* fourth edition, Charles H.Roth, Prentice Hall, 1991
8. *Digital engineering design,* Richard F.Tinder, Prentice Hall, 1991

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

Chương 1 – HỆ ĐẾM

1.1. Biểu diễn số

1.2. Chuyển đổi cơ số giữa các hệ đếm

1.3. Số nhị phân có dấu

1.4. Dấu phẩy động

1.5. Một số mã nhị phân thông dụng

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

Biểu diễn số

* *Nguyên tắc:* Dùng một số hữu hạn các ký hiệu ghép với nhau theo qui ước về vị trí.

- Số ký hiệu được dùng là cơ số của hệ.
- Giá trị biểu diễn của các chữ khác nhau được phân biệt thông qua trọng số của hệ.

* *Biểu diễn tổng quát:*

$$N = a_{n-1} \times r^{n-1} + ... + a_1 \times r^1 + a_0 \times r^0 + a_{-1} \times r^{-1} + ... + a_{-m} \times r^{-m}$$
$$= \sum_{n-1}^{-m} a_i \times r^i$$

Một số hệ đếm thông dụng

Tên hệ đếm	Số ký hiệu	Cơ số (r)
Hệ nhị phân (Binary)	0, 1	2
Hệ bát phân (Octal)	0, 1, 2, 3, 4, 5, 6, 7	8
Hệ thập phân (Decimal)	0, 1, 2, 3, 4, 5, 6, 7, 8, 9	10
Hệ thập lục phân (Hexadecimal)	0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F	16

1.1.1. Hệ thập phân

* *Các ký hiệu:* 0, 1, 2, 3, 4, 5, 6, 7, 8, 9

* *Biểu diễn số:* $N_{10} = \sum_{n-1}^{-m} a_i \times 10^i$

- Nếu chỉ có phần nguyên thì $i = (n-1) \div 0$

* *Ưu điểm*:

- tính phổ biến (dễ nhận biết)
- khả năng biểu diễn lớn (do có nhiều ký hiệu)
- biểu diễn ngắn gọn, tốn ít thời gian ghi và đọc.

* *Nhược điểm*: khó số hoá.

1.1.2. Hệ nhị phân (1)

**** Các ký hiệu***: 0,1

**** Tổ chức hệ***:

- Đếm khởi đầu từ giá trị 0, sau đó cộng liên tiếp thêm 1 vào kết quả đếm trước theo quy tắc:

  0 + 0 = 0, 1 + 0 = 1, 1 + 1 = 10 ($10_2 = 2_{10}$).

**** Biểu diễn số***: $N_2 = \sum_{n-1}^{-m} a_i \times 2^i$

1.1.2. Hệ nhị phân (2)

** Các phép tính trong hệ nhị phân:*

- Phép cộng
  Qui tắc: 0 + 0 = 0 ; 1 + 0 = 1 ; 1 + 1 = 10 ($10_2 = 2_{10}$).
- Phép trừ
  Qui tắc: 0 - 0 = 0 ; 1 - 1 = 0 ; 1 - 0 = 1 ; 0 - 1 = 1 (mượn 1)
- Phép nhân
  Qui tắc: 0 x 0 = 0 ; 0 x 1 = 0 ; 1 x 0 = 0 ; 1 x 1 = 1
- Phép chia
  Thực hiện tương tự như phép chia số thập phân.

** Ưu điểm :* dễ thể hiện bằng các thiết bị cơ điện.
** Nhược điểm :* biểu diễn dài, tốn thời gian ghi đọc.
** Một số định nghĩa :* bit, byte, LSB, MSB,…

1.1.3. Hệ bát phân – Hệ cơ số 8

** Các ký hiệu*: 0, 1, 2, 3, 4, 5, 6, 7

** Tổ chức hệ*:

** Biểu diễn số*: $N_8 = \sum_{n-1}^{-m} a_i \times 8^i$

** Các phép tính trong hệ bát phân:*

Phép cộng:

Qui tắc: khi kết quả cộng ở một cột lớn hơn hoặc bằng 8: lấy kết quả đó chia cho 8, phần dư ghi vào cột tổng tương ứng, nhớ 1 lên trọng số ở cột kế tiếp.

- Phép trừ:

Qui tắc: khi số bị trừ nhỏ hơn số trừ (ở một cột): mượn 1 ở cột kế tiếp (tương đương với cộng thêm 8 vào cột đó) rồi trừ.

** Ưu điểm*:

- Biểu diễn ngắn gọn
- Có thể dùng một từ nhị phân 3 bit để biểu thị các ký hiệu bát phân (vì 8 = 2^3)

** Nhược điểm*: các phép tính phức tạp.

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

1.1.4. Hệ thập lục phân – Hệ cơ số 16

** Các ký hiệu*: 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F

** Tổ chức hệ*:

** Biểu diễn số*: $N_{16} = \sum_{n-1}^{-m} a_i \times 16^i$

** Các phép tính trong hệ thập lục phân: sgk*

** Ưu điểm*:

- Biểu diễn ngắn gọn
- Có thể dùng một từ nhị phân 4 bit để biểu thị các ký hiệu thập lục phân (vì 16 = 2^4)

** Nhược điểm*: các phép tính phức tạp

Chương 1 – HỆ ĐẾM

1.1. Biểu diễn số

1.2. Chuyển đổi cơ số giữa các hệ đếm

1.3. Số nhị phân có dấu

1.4. Dấu phẩy động

1.5. Một số mã nhị phân thông dụng

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

1.2.1. Chuyển từ hệ thập phân sang các hệ khác

* *Phần nguyên*:

- Chia liên tiếp số cần chuyển đổi cho cơ số của hệ cần chuyển đến, dừng chia khi thương bằng 0.
- Viết đảo ngược trật tự số dư sau mỗi lần chia được kết quả.

* *Phần phân số*:

- Nhân liên tiếp phần phân số với cơ số của hệ cần chuyển đến, dừng nhân khi phần phân số triệt tiêu.
- Viết tuần tự phần nguyên thu được sau mỗi lần nhân được kết quả.

* *Ví dụ:*

1.2.2. Chuyển từ các hệ khác sang hệ thập phân

** Qui tắc*:

- Sử dụng công thức : $N_{10} = \sum_{i=n-1}^{-m} a_i.r^i$

- Thực hiện lấy tổng vế phải sẽ có kết quả cần tìm.

- Trong biểu thức trên, a_i là các ký hiệu và r cơ số của hệ cần chuyển đổi.

** Ví dụ:*

1.2.3. Chuyển từ hệ nhị phân sang hệ 8 và hệ 16

** Qui tắc*:

- Chia số nhị phân cần đổi (kể từ dấu phẩy thập phân) sang trái và phải thành từng nhóm 3 bit (hệ cơ số 8) hoặc 4 bit (hệ cơ số 16).
- Thay các nhóm bit đã chia bằng ký hiệu tương ứng của hệ cần chuyển tới.

** Ví dụ:*

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

Chương 1 – HỆ ĐẾM

1.1. Biểu diễn số

1.2. Chuyển đổi cơ số giữa các hệ đếm

1.3. Số nhị phân có dấu

1.4. Dấu phẩy động

1.5. Một số mã nhị phân thông dụng

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

1.3.1. Biểu diễn số nhị phân có dấu (1)

a. Sử dụng bit dấu:

- Qui ước: Dùng một bit phụ, đứng trước các bit trị số để biểu diễn dấu, ‘0’ chỉ dấu dương (+), ‘1’ chỉ dấu âm (-).
- Ưu điểm: dễ nhận biết, vì trị số của biểu diễn dương và âm là như nhau.
- Nhược điểm: chỉ thích ứng với hệ nhị phân.
- Ví dụ:

1.3.1. Biểu diễn số nhị phân có dấu (2)

b. Sử dụng phép bù 1:

* *Định nghĩa bù 1* (của số N): $\overline{N_1} = 2^n - N - 2^{-m}$

Nếu N chỉ có phần nguyên: $\overline{N_1} = 2^n - N - 1$

* *Cách lấy bù 1:* lấy đảo các bit cần lấy bù.

* *Qui ước:* vẫn sử dụng MSB là bit dấu

Số dương : bit dấu là '0', giữ nguyên phần trị số

Số âm : bit dấu là '1', lấy bù 1 phần trị số

* *Ví dụ:*

1.3.1. Biểu diễn số nhị phân có dấu (3)

c. Sử dụng phép bù 2:

* *Định nghĩa bù 2* (của số N): $\overline{N_2} = 2^n - N$

* *Cách lấy bù 2:*

- Cách 1: $\overline{N_2} = \overline{N_1} + 1$

- Cách 2 (Phương pháp xen kẽ): Đi từ LSB đến MSB, giữ nguyên các bit cho đến khi gặp bit '1' đầu tiên, lấy đảo các bit còn lại.

* *Qui ước:* vẫn sử dụng MSB là bit dấu

Số dương : bit dấu là '0', giữ nguyên phần trị số

Số âm : bit dấu là '1', lấy bù 2 phần trị số

* *Ví dụ:*

1.3.2. Các phép cộng và trừ số nhị phân có dấu – theo bù 1

** Qui tắc:*

- Hai số dương: cộng như cộng nhị phân thông thường, kể cả bit dấu.
- Hai số âm: biểu diễn chúng ở dạng bù 1 và cộng như cộng nhị phân, kể cả bit dấu. Bit tràn cộng vào kết quả. Chú ý, kết quả được viết dưới dạng bù 1.
- Hai số khác dấu và số âm lớn hơn: cộng số dương với bù 1 của số âm. Kết quả không có bit tràn và ở dạng bù 1.
- Hai số khác dấu và số dương lớn hơn: cộng số dương với bù 1 của số âm. Bit tràn được cộng vào kết quả.

** Ví dụ:*

1.3.2. Các phép cộng và trừ số nhị phân có dấu – theo bù 2

** Qui tắc:*

- Hai số dương: cộng như cộng nhị phân thông thường. Kết quả là dương.
- Hai số âm: lấy bù 2 cả hai số hạng và cộng, kết quả ở dạng bù 2.
- Hai số khác dấu và số dương lớn hơn: lấy số dương cộng với bù 2 của số âm. Kết quả bao gồm cả bit dấu, bit tràn bỏ đi.
- Hai số khác dấu và số âm lớn hơn: số dương được cộng với bù 2 của số âm, kết quả ở dạng bù 2 của số dương tương ứng. Bit dấu là 1.

** Ví dụ:*

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

Chương 1 – HỆ ĐẾM

1.1. Biểu diễn số

1.2. Chuyển đổi cơ số giữa các hệ đếm

1.3. Số nhị phân có dấu

1.4. Dấu phẩy động

1.5. Một số mã nhị phân thông dụng

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

Dấu phẩy động

**** Biểu diễn theo dấu phẩy động:*** $2^{E}.M$

- số mũ E (phần đặc tính): độ dài (5- 20) bit.
- phần định trị M (trường phân số): độ dài (8 đến 200) bit.

Điều kiện chuẩn hoá: $1/2 \le |M| \le 1$

**** Các phép toán với số nhị phân biểu diễn theo dấu phẩy động:***

$X = 2^{E_x}(M_x)$; $Y = 2^{E_y}(M_y)$

Tích: $Z = X.Y = 2^{E_x+E_y}(M_x.M_y) = 2^{E_Z}M_z$

Thương: $W = X/Y = 2^{E_x-E_y}(M_x/M_y) = 2^{E_w}M_w$

Muốn lấy tổng và hiệu, cần đưa các số hạng về cùng số mũ, sau đó số mũ của tổng và hiệu sẽ lấy số mũ chung, còn định trị của tổng và hiệu sẽ bằng tổng và hiệu các định trị.

Chương 1 – HỆ ĐẾM

1.1. Biểu diễn số

1.2. Chuyển đổi cơ số giữa các hệ đếm

1.3. Số nhị phân có dấu

1.4. Dấu phẩy động

1.5. Một số mã nhị phân thông dụng

1.5.1. Mã nhị - thập phân BCD (1)

a. Mã BCD: mã hóa 10 ký hiệu thập phân bằng 4 bit nhị phân (1 đềcat).

Từ số 10 trở lên: mỗi ký hiệu số được biểu thị ít nhất bằng 2 đềcat nhị phân.

* Một số mã BCD thông dụng:

- Mã BCD tự nhiên (N-BCD: Nature BCD hay BCD 8421):

Các chữ số thập phân được nhị phân hoá theo trọng số: 2^3, 2^2, 2^1, 2^0

Có 6 tổ hợp dư, ứng với các số thập phân 10, 11, 12, 13, 14 và 15.

- Mã BCD 7421, 5121, 2421 (mã Aiken), 4221

b. Mã dư 3:

- Cộng thêm 3 vào mỗi tổ hợp mã NBCD
- Chủ yếu dùng trong truyền dẫn

1.5.1. Mã nhị - thập phân BCD (2)

Số thập phân	Trọng số của mã BCD				
	8421	7421	5121	2421	4221
0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0000
1	0 0 0 1	0 0 0 1	0 0 0 1	0 0 0 1	0001
2	0 0 1 0	0 0 1 0	0 0 1 0	0 0 1 0	0010
3	0 0 1 1	0 0 1 1	0 0 1 1	0 0 1 1	0011
4	0 1 0 0	0 1 0 0	0 1 1 1	0 1 0 0	1000
5	0 1 0 1	0 1 0 1	1 0 0 0	1 0 1 1	0111
6	0 1 1 0	0 1 1 0	1 0 0 1	1 1 0 0	1100
7	0 1 1 1	1 0 0 0	1 0 1 0	1 1 0 1	1101
8	1 0 0 0	1 0 0 1	1 0 1 1	1 1 1 0	1110
9	1 0 0 1	1 0 1 0	1 1 1 1	1 1 1 1	1111

1.5.2. Các dạng mã nhị phân khác (1)

a. Mã Gray (mã cách 1):

- Các tổ hợp mã kề nhau chỉ khác nhau duy nhất 1 bit.
- Không có tính trọng số.
- Chỉ có thể giải mã thông qua bảng mã.

Cũng tương tự như mã BCD, ngoài mã Gray chính còn có mã Gray dư-3.

b. Mã Johnson (vòng xoắn):

- Sử dụng 5 bit nhị phân để biểu diễn 10 ký hiệu thập phân.
- Mã Johnson có số bit 1 tăng dần từ trái qua phải cho đến khi đầy, sau đó giảm dần bit 1.

c. Mã vòng:

- Sử dụng 10 bit nhị phân để biểu diễn 10 ký hiệu thập phân với các trọng số 9876543210.
- Mỗi tổ hợp mã chỉ bao gồm một bit 1 chạy vòng từ phải qua trái.

1.5.2. Các dạng mã nhị phân khác (2)

Số thập phân	Số nhị phân	Mã dư 3	Mã Gray	Mã Gray Dư 3	Mã Johnson	Mã vòng
0	0 0 0 0	0 0 1 1	0 0 0 0	0 0 1 0	0 0 0 0 0	0 0 0 0 0 0 0 0 0 1
1	0 0 0 1	0 1 0 0	0 0 0 1	0 1 1 0	1 0 0 0 0	0 0 0 0 0 0 0 0 1 0
2	0 0 1 0	0 1 0 1	0 0 1 1	0 1 1 1	1 1 0 0 0	0 0 0 0 0 0 0 1 0 0
3	0 0 1 1	0 1 1 0	0 0 1 0	0 1 0 1	1 1 1 0 0	0 0 0 0 0 0 1 0 0 0
4	0 1 0 0	0 1 1 1	0 1 1 0	0 1 0 0	1 1 1 1 0	0 0 0 0 0 1 0 0 0 0
5	0 1 0 1	1 0 0 0	0 1 1 1	1 1 0 0	1 1 1 1 1	0 0 0 0 1 0 0 0 0 0
6	0 1 1 0	1 0 0 1	0 1 0 1	1 1 0 1	0 1 1 1 1	0 0 0 1 0 0 0 0 0 0
7	0 1 1 1	1 0 1 0	0 1 0 0	1 1 1 1	0 0 1 1 1	0 0 1 0 0 0 0 0 0 0
8	1 0 0 0	1 0 1 1	1 1 0 0	1 1 1 0	0 0 0 1 1	0 1 0 0 0 0 0 0 0 0
9	1 0 0 1	1 1 0 0	1 1 0 1	1 0 1 0	0 0 0 0 1	1 0 0 0 0 0 0 0 0 0

Kết chương 1

- Biểu diễn số và các phép tính số học trong các hệ đếm (thập phân, nhị phân, cơ số 8, cơ số 16)
- Chuyển đổi cơ số giữa các hệ đếm
- Biểu diễn số nhị phân có dấu và các phép tính số học (bù 1, bù 2)
- Biểu diễn và các phép tính số học với dấu phẩy động
- Các dạng mã nhị phân thông dụng (BCD, Gray, mã vòng, mã vòng xoắn)

Chương 2 – ĐẠI SỐ BOOLE

2.1. Đại số Boole

2.2. Các phương pháp biểu diễn hàm Boole

2.3. Các phương pháp rút gọn hàm Boole

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

Ba phép toán cơ sở:

- Là một tập hợp các đối tượng có hai trạng thái: có hoặc không, đúng hoặc sai, được biểu diễn bằng biến logic với hai giá trị 1(A) và 0 ($\overline{A}$).

- Phép phủ định logic: $f(A) = \overline{A}$

- Phép cộng logic (phép hoặc): $f(A,B) = A + B$

- Phép nhân logic (phép và): $f(A,B) = A.B = AB$

2.1.1. Các định lý cơ bản

STT	Tên gọi	Dạng tích	Dạng tổng
1	Đồng nhất	X.1 = X	X + 0 = X
2	Phần tử 0, 1	X.0 = 0	X + 1 = 1
3	Bù	$X.\overline{X} = 0$	$X + \overline{X} = 1$
4	Bất biến	X.X = X	X + X = X
5	Hấp thụ	X + X.Y = X	X.(X + Y) = X
6	Phủ định đúp	$\overline{\overline{X}} = X$	
7	Định lý DeMorgan	$\overline{(X.Y.Z...)} = \overline{X} + \overline{Y} + \overline{Z} + ...$	$\overline{(X + Y + Z + ...)} = \overline{X}.\overline{Y}.\overline{Z}...$

2.1.2. Các định luật cơ bản

- Hoán vị: $X.Y = Y.X$

  $X + Y = Y + X$

- Kết hợp: $X.(Y.Z) = (X.Y).Z$

  $X + (Y + Z) = (X + Y) + Z$

-Phân phối: $X.(Y + Z) = X.Y + X.Z$

  $(X + Y).(X + Z) = X + Y.Z$

- Nhất quán: nếu $X + Y = Y$ thì $X.Y = X$

2.1.3. Ba quy tắc về đẳng thức

- *Quy tắc thay thế:* trong bất kỳ đẳng thức logic nào, nếu thay một biến bằng một hàm thì đẳng thức vẫn được thiết lập.
- *Quy tắc tìm hàm đảo:* Phép đảo của hàm số được thực hiện bằng cách đổi dấu nhân thành dấu cộng và ngược lại; đổi 0 thành 1 và ngược lại; đổi nguyên biến thành đảo biến và ngược lại. Giữ nguyên dấu đảo của hàm nhiều biến, tuân thủ nguyên tắc "nhân trước, cộng sau".
- *Quy tắc đối ngẫu:* Hàm F và F' được gọi là đối ngẫu với nhau khi các dấu cộng và dấu nhân, các số 0 và số 1 được đổi chỗ cho nhau một cách tương ứng.

Chương 2 – ĐẠI SỐ BOOLE

2.1. Đại số Boole

2.2. Các phương pháp biểu diễn hàm Boole

2.3. Các phương pháp rút gọn hàm Boole

2.2.1. Bảng trạng thái (1)

- Bảng trạng thái gồm các cột, liệt kê giá trị (trạng thái) mỗi biến theo từng cột và giá trị hàm theo một cột riêng (thường là bên phải bảng).
- Bảng trạng thái còn được gọi là ***bảng sự thật*** hay ***bảng chân lý***.
- Hàm n biến sẽ có 2^n bộ giá trị.

A	B	C	f	m	M
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

2.2.1. Bảng trạng thái (2)

- Hạng tích (**minterm)**: ký hiệu m_i, với i = 0 đến 2^n -1, là các tổ hợp gồm tích các biến, trong đó:

  Giá trị '1' được biểu diễn bằng nguyên biến (biến trực tiếp)

  Giá trị '0' được biểu diễn bằng đảo biến (biến phủ định)

- Hạng tổng (**Maxterm**): ký hiệu M_i, với i = 0 đến 2^n -1, là các tổ hợp gồm tổng các biến, trong đó:

  Giá trị '0' được biểu diễn bằng nguyên biến (biến trực tiếp)

  Giá trị '1' được biểu diễn bằng đảo biến (biến phủ định)

- Mối quan hệ giữa minterm và Maxterm:

$$\overline{m_i} = M_i$$

$$m_i = \overline{M_i}$$

2.2.2. Biểu thức đại số (1)

- Có 2 dạng biểu diễn:

  Dạng tuyển (tổng các tích): Mỗi số hạng là một *hạng tích* hay *minterm* (m_i).

  Dạng hội (tích các tổng): Mỗi thừa số là một *hạng tổng* hay *Maxterm* (M_i).

- Nếu trong tất cả các hạng tích hay hạng tổng có đủ mặt các biến thì dạng tổng các tích hay dạng tích các tổng tương ứng được gọi là dạng chuẩn. Dạng chuẩn là duy nhất.

- Biểu diễn hàm dưới dạng tổng các tích: $f(X_{n-1},...,X_0) = \sum_{i=0}^{2^n-1} a_i m_i$

- Biểu diễn hàm dưới dạng tích các tổng: $f(X_{n-1},...,X_0) = \prod_{i=0}^{2^n-1} (a_i + M_i)$

Với a_i chỉ nhận hai giá trị 0 và 1.

2.2.2. Biểu thức đại số (2)

** Chuẩn hoá hàm về dạng chuẩn tắc tuyển:*

- Thêm các biến còn thiếu vào các hạng tích mà không làm ảnh hưởng đến kết quả bằng cách nhân hạng tích đó với '1' (tổng của nguyên biến và đảo biến còn thiếu).
- Loại bỏ các hạng tích lặp lại (hạng tích thừa).

** Chuẩn hoá hàm về dạng chuẩn tắc hội:*

- Thêm các biến còn thiếu vào các hạng tổng mà không làm ảnh hưởng đến kết quả bằng cách cộng hạng tổng đó với '0' (tích của nguyên biến và đảo biến còn thiếu).
- Loại bỏ các hạng tổng lặp lại (hạng tổng thừa).

2.2.3. Bảng Karnaugh (1)

- *Tổ chức của bảng Karnaugh:*
  - Các tổ hợp biến được viết theo một dòng (thường là phía trên) và một cột (thường là bên trái).
  - Hàm logic n biến có 2^n ô.
  - Mỗi ô thể hiện một hạng tích hay một hạng tổng, các hạng tích trong hai *ô kế cận* chỉ khác nhau một biến.
- *Tính tuần hoàn của bảng Các nô:*
  - Không những các *ô kế cận khác nhau một biến* mà *các ô đầu dòng* và *cuối dòng*, *đầu cột* và *cuối cột* cũng chỉ *khác nhau một biến* (kể cả 4 góc vuông của bảng). Bởi vậy *các ô này cũng gọi là kế cận*.

A \ BC	00	01	11	10
0				
1				

AB \ CD	00	01	11	10
00				
01				
11				
10				

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

2.2.3. Bảng Karnaugh (2)

- *Thiết lập bảng Các nô của một hàm:*

-Dưới dạng tổng các tích: ghi giá trị 1 vào các ô ứng với hạng tích có mặt trong biểu diễn, các ô còn lại lấy giá trị 0.

-Dưới dạng tích các tổng: ghi giá trị 0 vào các ô ứng với hạng tổng có mặt trong biểu diễn, các ô còn lại lấy giá trị 1.

-Có thể tồn tại một số hạng tích hay hạng tổng mà tại đó hàm không xác định (có thể lấy giá trị '1' hoặc '0'). Các giá trị này gọi là các giá trị tuỳ chọn (x).

$$f_1(A,B,C) = \sum(3,4,5,6,7)$$

A \ BC	00	01	11	10
0				
1				

$$f_2(A,B,C) = \prod(0,1,2)$$

A \ BC	00	01	11	10
0				
1				

Chương 2 – ĐẠI SỐ BOOLE

2.1. Đại số Boole

2.2. Các phương pháp biểu diễn hàm Boole

2.3. Các phương pháp rút gọn hàm Boole

2.3.1. Phương pháp đại số

* *Quy tắc:*

- Dựa vào các định lý đã học để đưa biểu thức về dạng tối giản.
- Thường áp dụng cho những trường hợp hàm cho trước có ít biến hoặc đơn giản.

* *Ví dụ:*

2.3.2. Phương pháp bảng Karnaugh (1)

**** Quy tắc:*** Các bước tối thiểu hóa (cho hàm dạng tổng các tích):

- Biểu diễn hàm đã cho trên bảng Karnaugh
- Gộp các ô kế cận có giá trị '1' (hoặc '0') lại thành từng nhóm 2, 4, ..., 2^i các ô.
- Thay mỗi nhóm bằng một hạng tích mới, trong đó giữ lại các biến giống nhau theo hàng và cột.
- Cộng các hạng tích mới, được hàm đã tối giản.

2.3.2. Phương pháp bảng Karnaugh (2)

** Chú ý:*

- Số ô trong mỗi nhóm càng lớn kết quả thu được càng tối giản. Gộp 2^i các ô lân cận, rút gọn được i biến.
- Một ô có thể được gộp nhiều lần trong các nhóm khác nhau. Mỗi nhóm phải có ít nhất một ô mới (ô chưa được gộp trong các nhóm khác).
- Nếu gộp theo các ô có giá trị '0' ta sẽ thu được biểu thức bù của hàm.
- Với các giá trị tuỳ chọn, chọn 'x' bằng '1' hoặc '0' để số ô gộp được là tối đa.

2.3.3. Phương pháp Quine Mc. Cluskey

** Quy tắc:*

- Lập bảng liệt kê các hạng tích dưới dạng nhị phân theo từng nhóm với số bit '1' giống nhau và xếp theo thứ tự số bit '1' tăng dần.
- Gộp 2 hạng tích (của mỗi cặp nhóm) chỉ khác nhau một bit để tạo các nhóm mới. Trong mỗi nhóm mới, giữ nguyên các biến giống nhau, biến khác nhau thay bằng một dấu ngang (-).

  Lặp lại cho đến khi trong các nhóm tạo thành không còn khả năng gộp nữa. Mỗi lần rút gọn, đánh dấu # vào các hạng ghép cặp được.
- Tập hợp các hạng tích không được rút gọn (không đánh dấu #) để lựa chọn biểu thức tối giản theo nguyên tắc sau:

  Đánh dấu 'x' vào các hạng tích tương ứng với các hạng tích trong bảng lựa chọn (dấu (-) có thể bằng '0' hoặc '1').

  Chỉ quan tâm đến các cột có một dấu 'x'. Biểu thức tối giản là tổng của các hạng tích tương ứng với các cột này. Trong các hạng tích đó, bỏ đi các biến ương ứng với dấu (-).

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

Kết chương 2

- Các định lý, định luật cơ bản trong đại số Boole
- Các phương pháp biểu diễn hàm Boole: bảng trạng thái, biểu thức đại số, bảng Karnaugh
- Các phương pháp rút gọn hàm Boole: phương pháp đại số, phương pháp bảng Karnaugh, phương pháp Quine Mc. Cluskey

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

Chương 3 – CỔNG LOGIC

3.1. Cổng logic và các tham số chính

3.2. Các họ cổng logic

3.3. Giao tiếp giữa các họ cổng logic

3.4. Một số lưu ý khi sử dụng IC số

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

3.1.1. Cổng logic cơ bản (1) – Cổng AND

* Biểu thức: $f(A,B) = A.B$

$$f(A,B,C,D,...) = A.B.C.D...$$

* Ký hiệu:

Bảng trạng thái cổng AND 2 lối vào

A	B	f
0	0	0
0	1	0
1	0	0
1	1	1

Theo giá trị logic

A	B	f
L	L	L
L	H	L
H	L	L
H	H	H

Theo mức logic

3.1.1. Cổng logic cơ bản (2) – Cổng OR

* Biểu thức: $f(A,B) = A + B$

$$f(A,B,C,D...) = A + B + C + D + ...$$

* Ký hiệu:

Bảng trạng thái cổng OR 2 lối vào

A	B	f
0	0	0
0	1	1
1	0	1
1	1	1

Theo giá trị logic

A	B	f
L	L	L
L	H	H
H	L	H
H	H	H

Theo mức logic

3.1.1. Cổng logic cơ bản (3) – Cổng NOT

* Biểu thức: $f = \overline{A}$

* Ký hiệu:

Bảng trạng thái cổng NOT

A	f
0	1
1	0

Theo giá trị logic

A	f
L	H
H	L

Theo mức logic

3.1.2. Logic dương và logic âm

- *Logic dương*: điện thế mức cao (H) luôn lớn hơn điện thế mức thấp (L).
- *Logic âm*: điện thế mức cao (H) luôn nhỏ hơn điện thế mức thấp (L).

3.1.3. Một số cổng ghép thông dụng (1) – Cổng NAND

* Sơ đồ:

* Biểu thức:

$$f = \overline{AB}$$

$$f = \overline{ABCD...}$$

* Ký hiệu:

ANSI IEEE

* Bảng trạng thái:

A	B	f
0	0	1
0	1	1
1	0	1
1	1	0

3.1.3. Một số cổng ghép thông dụng (2) – Cổng NOR

* Sơ đồ:

* Biểu thức:

$$f = \overline{A+B}$$

$$f = \overline{A+B+C+D+...}$$

* Ký hiệu:

* Bảng trạng thái:

A	B	f
0	0	1
0	1	0
1	0	0
1	1	0

3.1.3. Một số cổng ghép thông dụng (3) – Cổng XOR

* Sơ đồ:

* Biểu thức: $f = A\overline{B} + \overline{A}B = A \oplus B$

* Ký hiệu:

* Bảng trạng thái:

A	B	f
0	0	0
0	1	1
1	0	1
1	1	0

* Hàm XOR nhiều biến:
- Số bit '1' trên các lối vào lẻ: $f = '1'$
- Số bit '1' trên các lối vào chẵn: $f = '0'$

$$f = A \oplus B \oplus C \oplus ...$$

3.1.3. Một số cổng ghép thông dụng (4) – Cổng XOR

Một số tính chất của hàm XOR:

1. Luật giao hoán: $A \oplus B = B \oplus A$
2. Luật kết hợp: $(A \oplus B) \oplus C = A \oplus (B \oplus C)$
3. Luật phân phối: $A(B \oplus C) = A.B \oplus A.C$
4. Các phép toán của biến và hằng số:

$$A \oplus 1 = \overline{A} \qquad A \oplus A = 0$$

$$A \oplus 0 = A \qquad A \oplus \overline{A} = 1$$

5. Luật đổi chỗ nhân quả :

Nếu $A \oplus B = C$ thì $A \oplus C = B$ và $B \oplus C = A$

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

3.1.3. Một số cổng ghép thông dụng (5) – Cổng XNOR

* Sơ đồ:

$f = AB + \overline{A}\overline{B}$

* Bảng trạng thái:

A	B	f
0	0	1
0	1	0
1	0	0
1	1	1

* Biểu thức:

$$f = AB + \overline{A}\overline{B} = \overline{A \oplus B} = A \sim B$$

* Ký hiệu:

ANSI

IEEE

* Hàm XNOR nhiều biến:
- Số bit '1' trên các lối vào lẻ: $f = '0'$
- Số bit '1' trên các lối vào chẵn: $f = '1'$

$$f = \overline{A \oplus B \oplus C \oplus ...}$$

3.1.4. Tính đa chức năng của cổng NAND, NOR

- Từ cổng NAND tạo được các cổng:
  - NOT
  - AND
  - OR
  - NOR
  - XOR
- Từ cổng NOR tạo được các cổng:
  - NOT
  - OR
  - AND
  - NAND
  - XNOR

3.1.5. Các tham số chính (1) – Mức logic

- *Mức logic:* là mức điện thế trên đầu vào và đầu ra của cổng tương ứng với logic "1" và logic "0“
- Mức logic phụ thuộc điện thế nguồn nuôi của cổng

3.1.5. Các tham số chính (2) – Độ chống nhiễu

- *Độ chống nhiễu* (hay độ phòng vệ nhiễu) là mức nhiễu lớn nhất tác động tới đầu vào hoặc đầu ra của cổng mà chưa làm thay đổi trạng thái vốn có của nó.
- Là tiêu chuẩn đánh giá độ nhạy của mạch logic đối với tạp âm xung trên đầu vào vi mạch.
- Có thể chia thành hai trường hợp: nhiễu mức cao và nhiễu mức thấp.

3.1.5. Các tham số chính (3) – Hệ số mắc tải

- *Hệ số mắc tải* cho biết khả năng nối được bao nhiêu đầu vào tới đầu ra của một cổng đã cho mà vẫn đảm bảo sự hoạt động tin cậy, đảm bảo tốc độ, giới hạn về nhiệt độ và các tham số khác.
- Hệ số mắc tải phụ thuộc dòng ra (hay dòng phun) của cổng chịu tải và dòng vào (hay dòng hút) của các cổng tải ở cả hai trạng thái H, L.

3.1.5. Các tham số chính (4) – Công suất tiêu thụ

- *Công suất tiêu tán:*

  - Đây là tiêu chuẩn để đánh giá lượng công suất tiêu thụ (tổn hao) trên các phần tử trong vi mạch. Công suất tiêu hao thường cỡ vài mW đối với một vi mạch số và là giá trị trung bình giữa công suất tiêu tán.khi đầu ra ở mức 0, 1 (Các công suất này thường khác nhau).

  - Công suất tiêu tán càng nhỏ càng tốt và có ý nghĩa đặc biệt quan trọng trong các thiết bị xách tay hay các thiết bị dùng pin.

- *Công suất điều khiển:* là công suất của tín hiệu điều khiển ở đầu vào sao cho mạch vẫn hoạt động tốt. Công suất điều khiển càng nhỏ càng tốt.

3.1.5. Các tham số chính (5) – Trễ truyền đạt

- Trễ truyền đạt là khoảng thời gian để đầu ra của mạch có đáp ứng khi có sự thay đổi mức logic của đầu vào.

- Trễ truyền đạt là tiêu chuẩn để đánh giá tốc độ làm việc của mạch. Trễ truyền đạt càng nhỏ thì càng tốt tương ứng với tốc độ làm việc càng lớn càng tốt.

- Trễ truyền đạt thường được tính toán ở điểm 50% biên độ trên các sườn trước và sườn sau tương ứng giữa xung vào và xung ra.

- Trễ truyền đạt trung bình được tính theo công thức: $t_{pd} = \frac{t_{PHL} + t_{PLH}}{2}$

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

Chương 3 – CỔNG LOGIC

3.1. Cổng logic và các tham số chính

3.2. Các họ cổng logic

3.3. Giao tiếp giữa các họ cổng logic

3.4. Một số lưu ý khi sử dụng IC số

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

3.2.1. Họ DDL (1)

- *Sơ đồ cổng AND, OR hai đầu vào:*
- *Nguyên lý hoạt động:*

a) Cổng AND

b) Cổng OR

3.2.1. Họ DDL (2)

➢ *Bảng trạng thái:*

➢ *Ưu điểm:* mạch điện đơn giản, dễ tạo ra các cổng AND, OR nhiều lối vào, công suất tiêu thụ nhỏ, tần số công tác cao.

➢ *Nhược điểm:* độ phòng vệ nhiễu thấp, hệ số mắc tải nhỏ.

3.2.2. Họ RTL

➢ Chỉ dùng các loại transistor và điện trở.

➢ Hiện nay họ RTL không còn tồn tại vì các họ logic khác có công suất tiêu thụ nhỏ hơn và độ chống nhiễu cao hơn.

Cổng NOT họ RTL

Cổng NOR họ RTL

3.2.3. Họ DTL

- Gồm các điện trở, diode, transsistor.
- Độ chống nhiễu và hệ số ghép tải cao hơn họ DDL và RTL.

3.2.4. Họ TTL (1) – Cổng NAND TTL

* *Mạch điện:* gồm 3 phần:

- Mạch vào: T_1 và R_1
- Mạch giữa: T_2 và R_2, R_3
- Mạch ra: T_3, T_4, T_5 và R_4, R_5.

* *Nguyên lý hoạt động:*

3.2.4. Họ TTL (2) – Cổng TTL có diode Schottky

- Độ sâu bão hòa của T (thời gian tồn trữ điện tích): ảnh hưởng đến tốc độ đóng mở T
- Hạn chế độ sâu bão hòa: sử dụng bán dẫn Schottky
- *Ưu điểm:* rút ngắn được thời gian truyền đạt trung bình (<10ns), tần số công tác cao, công suất tiêu thụ nhỏ
- *Nhược điểm:* năng lực chống nhiễu kém

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

3.2.4. Họ TTL (3) – Cổng TTL hở collector

- Cho phép nối trực tiếp đầu ra của các cổng với nhau
- Khi hoạt động: nối thêm điện trở gánh từ collector để hở đến dương nguồn
- Sơ đồ cổng NAND hở collector:
- Ký hiệu cổng:

3.2.4. Họ TTL (4) – Cổng TTL ba trạng thái

- *Mạch điện:*
- *Nguyên lý hoạt động:*

- *Bảng trạng thái:*
- *Ký hiệu:*

E	D_i	D_O
0	x	Trở kháng cao
1	0	0
1	1	1

3.2.4. Họ TTL (5) – Một số mạch Transistor khác

- Họ HTL (HIGH THRESHOLD – LOGIC) - vi mạch số mức ngưỡng cao: sử dụng nguồn 15V để tăng khả năng chống nhiễu, phù hợp với các thiết bị điều khiển của công nghiệp (không cần tốc độ quá cao nhưng cần độ tin cậy cao).
- Họ ECL (EMITTER COUPLED LOGIC) - vi mạch số ghép emitter: tốc độ hoạt động nhanh nhất, dùng trong các ứng dụng yêu cầu tốc độ cao. Đặc điểm: thời gian đóng/mở ngắn, khả năng chịu tải lớn, tạp âm nội bộ thấp, mức tạp âm cho phép nhỏ, tiêu hao công suất lớn, mức điện áp ra thay đổi theo nhiệt độ.
- Họ I2L – vi mạch số tích hợp phun: mức độ tích hợp khoảng 500 cổng/1mm2. Đặc điểm: đơn giản, điện áp thấp, dòng cực nhỏ, mức độ tích hợp cao, tốc độ đóng/mở khá thấp, biên độ điện áp ra nhỏ.

3.2.5. Họ MOSFET (1) – Đặc điểm

- Sử dụng các transistor IGFET (MOSFET)
- Cổng CMOS rất nhạy với trạng thái tĩnh điện, có thể bị hỏng khi gặp điện áp cao và có thể ở bất kỳ trạng thái nào nếu các đầu vào để hở.
- Công suất tiêu thụ nhỏ hơn các cổng TTL tương đương, công suất tăng theo tần số tín hiệu.
- Dải nguồn nuôi từ 3 đến 15 V
- Dải tần số làm việc thấp hơn TTL do điện dung tại đầu vào của cổng MOSFET

3.2.5. Họ MOSFET (2) – PMOS

- Dùng MOSFET có kênh dẫn loại P.
- G_: tín hiệu kích thích có cực tính âm mức thấp tác động thì FET thông.

3.2.5. Họ MOSFET (3) – NMOS

- Dùng MOSFET có kênh dẫn loại N.
- G+: tín hiệu kích thích có cực tính âm mức thấp tác động thì FET thông.

NOT

NAND

3.2.5. Họ MOSFET (4) – CMOS

- Sử dụng kết hợp hai loại MOSFET kênh P và kênh N, giảm công suất tiêu thụ của mạch.

NOT

NAND

3.2.5. Họ MOSFET (5) – Cổng truyền dẫn

- Cổng truyền dẫn hay còn gọi là chuyển mạch hai chiều cung cấp trạng thái chuyển mạch bật/tắt cho các loại tín hiệu điện (tương tự và số).
- Gồm 2 transistor N-MOS và P-MOS kênh cảm ứng mắc song song với nhau.
- Ứng dụng: mạch tạo xung, mạch đếm, ghi dich, vi xử lý, bộ nhớ, chuyển mạch tương tự…

Chương 3 – CỔNG LOGIC

3.1. Cổng logic và các tham số chính

3.2. Các họ cổng logic

3.3. Giao tiếp giữa các họ cổng logic

3.4. Một số lưu ý khi sử dụng IC số

3.3.1. Một số đặc điểm khi ghép nối (1) – Với cổng TTL

- Tất cả các đầu vào của cổng TTL để hở sẽ hoạt động như mức logic 1, trường hợp này gọi là thả nổi đầu vào.
- Khi không sử dụng một đầu vào nào đó của cổng thì ta phải nối nó với đất hoặc dương nguồn sao cho chức năng của cổng không bị thay đổi.
- Không được nối trực tiếp hai đầu ra của hai cổng TTL với nhau, trong trường hợp này phải sử dụng cổng collector để hở -OC.

3.3.1. Một số đặc điểm khi ghép nối (2) – Với cổng MOS

- Không được phép thả nổi các đầu vào không sử dụng, phải nối chúng với đất hoặc dương nguồn hoặc đầu khác sao cho chức năng của cổng không bị thay đổi.
- Điện trở đầu vào cao gây nên hiện tượng tích tụ hạt tĩnh điện, dẫn đến phát sinh điện thế có thể đủ lớn để đánh thủng lớp điện môi mỏng giữa cực G và kênh dẫn. Do vậy người ta chế tạo lưới diode điện trở ở đầu vào nhằm bảo vệ transistor.
- Điện trở đầu ra thường nhỏ nên tốc độ chuyển mạch tương đối nhanh.

3.3.2. Giao tiếp giữa TTL với CMOS

- Cùng điện áp cung cấp 5V:

- Khác điện áp cung cấp:

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

3.3.3. Giao tiếp giữa CMOS với TTL

- Cùng điện áp cung cấp 5V:

- Khác điện áp cung cấp:

Chương 3 – CỔNG LOGIC

3.1. Cổng logic và các tham số chính

3.2. Các họ cổng logic

3.3. Giao tiếp giữa các họ cổng logic

3.4. Một số lưu ý khi sử dụng IC số

3.4.1. Phân loại IC theo mật độ tích hợp

- SSI: Small Scale Integration - Độ tích hợp nhỏ:
  số cổng logic < 10
- MSI: Medium Scale Integration - Độ tích hợp trung bình:
  10 < số cổng logic < 100
- LSI: Large Scale Integration - Độ tích hợp lớn:
  100 < số cổng logic < 1000
- VLSI: Very Large Scale Integration - Độ tích hợp rất lớn
- ULSI: Ultra Large Scale Integration - Độ tích hợp cực lớn
- SLSI: Super Large Scale Integration - Độ tích hợp siêu lớn

3.4.2. Ký hiệu vỏ IC

TTL	CMOS
. . 74 . . x x x . : mục đích thương mại . . 54 . . x x x . : mục đích quân sự	. . 14 . . x x x . . . 4 . . x x x .

- Mỗi dấu chấm (.) thay cho một chữ cái:
  - Hai chữ cái đầu: tên hãng sản xuất
  - Hai chữ cái giữa: đặc điểm cấu trúc và tính năng
  - Chữ cái cuối: kết cấu vỏ
- Các dấu 'x': là tập hợp số từ 0 đến 999, cho biết chức năng logic của IC.
- VD: SN 74 LS 00 J

3.4.3. Đóng vỏ IC

- - 3 phương pháp: T05, đóng vỏ dạng hộp, DIP (hai hàng chân song song)
- DIP: phổ biến nhất, dễ lắp ráp và sử dụng. Thường gặp: SSI (8, 14, 16 chân), MSI (14, 16, 24 chân), LSI (24, 28, 40 chân).
- Loại IC phổ biến nhất là hình chữ nhật, hình vuông hoặc hình tròn.

3.4.4. Sơ đồ chân một số IC TTL

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

Kết chương 3

- Các cổng logic cơ bản: AND, OR, NOT
- Một số cổng ghép thông dụng: NAND, NOR, XOR, XNOR
- Tính đa chức năng của các cổng NAND, NOR
- Các tham số chính của cổng logic
- Các họ cổng logic: DDL, RTL, DTL, TTL, MOS
- Giao tiếp giữa các họ cổng TTL và CMOS, CMOS và TTL
- Một số lưu ý khi sử dụng IC số

Chương 4 – MẠCH LOGIC TỔ HỢP

4.1. Khái niệm chung

4.2. Phân tích mạch logic tổ hợp

4.3. Thiết kế mạch logic tổ hợp

4.4. Mạch mã hóa – giải mã

4.5. Mạch hợp kênh – phân kênh

4.6. Mạch số học

4.7. Mạch so sánh

4.8. Mạch tạo/ kiểm tra chẵn lẻ

4.9. Đơn vị số học và logic ALU

4.10. Hazard trong mạch tổ hợp

Mạch tổ hợp (1)

➢ *Đặc điểm:*

- Trị số của tín hiệu đầu ra ở thời điểm đang xét chỉ phụ thuộc vào tổ hợp các giá trị tín hiệu đầu vào.
- Được cấu trúc nên từ các cổng logic.

➢*Phương pháp biểu diễn chức năng logic của mạch tổ hợp:*

- Hàm logic (thường áp dụng cho vi mạch cỡ nhỏ - SSI)
- Bảng trạng thái (vi mạch cỡ vừa – MSI)
- Bảng Karnaugh
- Đồ thị dạng xung ...

Mạch tổ hợp (2) – Sơ đồ khối tổng quát

Hệ phương trình tổng quát:

$Y_0 = f_1(x_0,x_1,...,x_{n-1});$

$Y_1 = f_2(x_0,x_1,...,x_{n-1});$

…

$Y_{m-1} = f_{m-1}(x_0,x_1,...,x_{n-1}).$

Chương 4 – MẠCH LOGIC TỔ HỢP

4.1. Khái niệm chung
4.2. Phân tích mạch logic tổ hợp
4.3. Thiết kế mạch logic tổ hợp
4.4. Mạch mã hóa – giải mã
4.5. Mạch hợp kênh – phân kênh
4.6. Mạch số học
4.7. Mạch so sánh
4.8. Mạch tạo/ kiểm tra chẵn lẻ
4.9. Đơn vị số học và logic ALU
4.10. Hazard trong mạch tổ hợp

Phân tích mạch logic tổ hợp

- Phân tích mạch logic tổ hợp là từ sơ đồ cho trước xác định chức năng, dạng sóng, tính năng kỹ thuật,... của mạch. Từ đó có thể rút gọn, chuyển đổi dạng thực hiện của mạch điện để có được lời giải tối ưu.
- Phương pháp:
  - Với mạch đơn giản: tiến hành lập bảng trạng thái, viết biểu thức, rút gọn, tối ưu (nếu cần) và vẽ lại mạch điện.
  - Với mạch phức tạp: tiến hành phân đoạn mạch để viết biểu thức, sau đó rút gọn, tối ưu (nếu cần) và vẽ lại mạch điện.
- Ví dụ:

Chương 4 – MẠCH LOGIC TỔ HỢP

4.1. Khái niệm chung
4.2. Phân tích mạch logic tổ hợp
4.3. Thiết kế mạch logic tổ hợp
4.4. Mạch mã hóa – giải mã
4.5. Mạch hợp kênh – phân kênh
4.6. Mạch số học
4.7. Mạch so sánh
4.8. Mạch tạo/ kiểm tra chẵn lẻ
4.9. Đơn vị số học và logic ALU
4.10. Hazard trong mạch tổ hợp

Thiết kế mạch logic tổ hợp

- Thiết kế mạch logic tổ hợp là bài toán từ yêu cầu (chức năng, dạng sóng, tính năng kỹ thuật, ...) xây dựng sơ đồ mạch thực hiện (ngược với bài toán phân tích).
- Phương pháp:

Chương 4 – MẠCH LOGIC TỔ HỢP

4.1. Khái niệm chung
4.2. Phân tích mạch logic tổ hợp
4.3. Thiết kế mạch logic tổ hợp
4.4. Mạch mã hóa – giải mã
4.5. Mạch hợp kênh – phân kênh
4.6. Mạch số học
4.7. Mạch so sánh
4.8. Mạch tạo/ kiểm tra chẵn lẻ
4.9. Đơn vị số học và logic ALU
4.10. Hazard trong mạch tổ hợp

4.4.1. Mạch mã hóa (1): Mã hóa thập phân - NBCD

➢ *Sơ đồ khối:*

➢ *Bảng trạng thái:*

➢ *Biểu thức hàm ra:*

Vào thập phân	Ra BCD 8 4 2 1 A B C D
1	0 0 0 1
2	
3	
4	
5	
6	
7	
8	
9	

4.4.1. Mạch mã hóa (2): Mã hóa thập phân - NBCD

➢ *Mạch điện* (dạng ma trận OR)*:*

➢ *Mạch điện* (dạng ma trận AND)*:*

4.4.1. Mạch mã hóa (3): Mạch mã hóa ưu tiên

➢Khi có nhiều đầu vào tác động đồng thời, chỉ mã hoá tín hiệu vào có mức ưu tiên cao nhất. Mức ưu tiên do người thiết kế mạch xác định.

➢*Sơ đồ khối:*

➢*Bảng trạng thái:*

Vào thập phân									Ra BCD			
1	2	3	4	5	6	7	8	9	A	B	C	D
0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0				
X	1	0	0	0	0	0	0	0				

4.4.1. Mạch mã hóa (4): Mạch mã hóa ưu tiên

➢*Biểu thức:*

4.4.2. Mạch biến mã

➢*Bài toán:* Thiết kế mạch biến mã từ nhị phân 3 bit sang Gray.

➢*Sơ đồ khối:*

➢*Bảng trạng thái:*

B2	B1	B0	G2	G1	G0

➢*Biểu thức:*

4.4.3. Mạch giải mã (1): Mạch giải mã 7 đoạn

➢*Dụng cụ 7 đoạn:*

- Dùng để hiển thị chữ số của một hệ đếm bất kỳ.
- Cấu tạo: gồm 7 đoạn làm bằng vật liệu có khả năng phát sáng (LED, LCD,...).
- Có hai loại: Anode chung và Kathode chung.

4.4.3. Mạch giải mã (2): Mạch giải mã 7 đoạn

➢ *Sơ đồ khối:*

➢ *Bảng trạng thái:*

➢ *Biểu thức:*

	A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	0							
1	0	0	0	1							
2	0	0	1	0							
3	0	0	1	1							
4	0	1	0	0							
5	0	1	0	1							
6	0	1	1	0							
7	0	1	1	1							
8	1	0	0	0							
9	1	0	0	1							

4.4.3. Mạch giải mã (3): Mạch giải mã 7 đoạn

➢ *IC giải mã 7 đoạn:*

TTL: A chung: 7447, 74247 (đầu ra ở mức tích cực thấp)

K chung: 7448 (đầu ra ở mức tích cực cao)

CMOS: 4511

4.4.3. Mạch giải mã (4): Mạch giải mã nhị phân

➢ *Sơ đồ khối:* lựa chọn duy nhất một lối ra ứng với một tổ hợp mã nhị phân đầu vào.

➢ *Bảng trạng thái:*

A1	A0	D0	D1	D2	D3

➢ *Biểu thức:*

4.4.3. Mạch giải mã (5): Mạch giải mã nhị phân

➢ *Mạch điện:*

➢ *IC thực tế: 74154*

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

Chương 4 – MẠCH LOGIC TỔ HỢP

4.1. Khái niệm chung
4.2. Phân tích mạch logic tổ hợp
4.3. Thiết kế mạch logic tổ hợp
4.4. Mạch mã hóa – giải mã
4.5. Mạch hợp kênh – phân kênh
4.6. Mạch số học
4.7. Mạch so sánh
4.8. Mạch tạo/ kiểm tra chẵn lẻ
4.9. Đơn vị số học và logic ALU
4.10. Hazard trong mạch tổ hợp

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

4.5.1. Mạch hợp kênh – MUX (1)

➢ *Sơ đồ khối:*

➢ *Bảng trạng thái:*

A1	A0	Y

➢ *Biểu thức:*

4.5.1. Mạch hợp kênh – MUX (2)

- *Mạch điện:*

- *IC thực tế: 74151*

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

4.5.2. Mạch phân kênh – DEMUX (1)

- *Sơ đồ khối:*

- *Bảng trạng thái:*

A1	A0	Y0	Y1	Y2	Y3

- *Biểu thức:*

4.5.2. Mạch phân kênh – DEMUX (2)

- *Mạch điện:*

- *IC thực tế: 74138*

4.5.3. Mạch hợp kênh - phân kênh hỗn hợp

- *Sơ đồ:*

4.5.4. Một số ứng dụng của bộ hợp kênh – phân kênh

- Chuyển đổi luồng dữ liệu từ nối tiếp sang song song và ngược lại
- Tạo dãy nhị phân tuần hoàn
- Tạo hàm logic

Chương 4 – MẠCH LOGIC TỔ HỢP

4.1. Khái niệm chung
4.2. Phân tích mạch logic tổ hợp
4.3. Thiết kế mạch logic tổ hợp
4.4. Mạch mã hóa – giải mã
4.5. Mạch hợp kênh – phân kênh
4.6. Mạch số học
4.7. Mạch so sánh
4.8. Mạch tạo/ kiểm tra chẵn lẻ
4.9. Đơn vị số học và logic ALU
4.10. Hazard trong mạch tổ hợp

4.6.1. Mạch tổng (1) – Mạch bán tổng

- *Sơ đồ khối:*

- *Bảng trạng thái:*

a0	b0	S0	C0

- *Biểu thức:*

- *Mạch điện:*

4.6.1. Mạch tổng (2) – Mạch tổng toàn phần

- *Sơ đồ khối:*

- *Bảng trạng thái:*

C_{i-1}	a_i	b_i	S_i	C_i

- *Biểu thức:*

- *Mạch điện:*

4.6.1. Mạch tổng (3) – Mạch cộng nhị phân song song

➢ *Sơ đồ khối:*

➢ *IC thực tế: 7483, 7483A*

4.6.2. Mạch hiệu (1) – Mạch bán hiệu

➢ *Sơ đồ khối:*

➢ *Bảng trạng thái:*

a0	b0	D0	B0

➢ *Biểu thức:*

➢ *Mạch điện:*

4.6.2. Mạch hiệu (2) – Mạch hiệu toàn phần

- *Sơ đồ khối:*

- *Bảng trạng thái:*

a_i	b_i	B_{i-1}	D_i	B_i

- *Biểu thức:*

- *Mạch điện:*

4.6.3. Mạch cộng trừ theo phương pháp bù (1) – bù 1

- *Sơ đồ:*

- *Hoạt động:*

4.6.3. Mạch cộng trừ theo phương pháp bù (2) – bù 2

➢ *Sơ đồ:*

➢ *Hoạt động:*

Chương 4 – MẠCH LOGIC TỔ HỢP

4.1. Khái niệm chung
4.2. Phân tích mạch logic tổ hợp
4.3. Thiết kế mạch logic tổ hợp
4.4. Mạch mã hóa – giải mã
4.5. Mạch hợp kênh – phân kênh
4.6. Mạch số học
4.7. Mạch so sánh
4.8. Mạch tạo/ kiểm tra chẵn lẻ
4.9. Đơn vị số học và logic ALU
4.10. Hazard trong mạch tổ hợp

4.7.1. Bộ so sánh bằng nhau

➢ *Bộ so sánh bằng nhau 1 bit:*

-Bảng trạng thái:

-Biểu thức:

-Mạch điện:

a_i	b_i	g_i
0	0	
0	1	
1	0	
1	1	

➢ *Bộ so sánh bằng nhau 4 bit:*

A = $a_3a_2a_1a_0$ với B = $b_3b_2b_1b_0$

4.7.2. Bộ so sánh 1 bit

➢ *Sơ đồ khối:*

➢ *Bảng trạng thái:*

a_i	b_i	$f_<$	$f_=$	$f_>$
0	0			
0	1			
1	0			
1	1			

➢ *Biểu thức:*

➢ *Mạch điện:*

4.7.3. Bộ so sánh 4 bit

- *So sánh hai số nhị phân 4 bit A = $a_3a_2a_1a_0$ với B = $b_3b_2b_1b_0$.*

- *IC so sánh:* 7485

Chương 4 – MẠCH LOGIC TỔ HỢP

4.1. Khái niệm chung
4.2. Phân tích mạch logic tổ hợp
4.3. Thiết kế mạch logic tổ hợp
4.4. Mạch mã hóa – giải mã
4.5. Mạch hợp kênh – phân kênh
4.6. Mạch số học
4.7. Mạch so sánh
4.8. Mạch tạo/ kiểm tra chẵn lẻ
4.9. Đơn vị số học và logic ALU
4.10. Hazard trong mạch tổ hợp

4.8.1. Mã chẵn lẻ

- Mã chẵn lẻ: là loại mã phát hiện lỗi thông dụng nhất.
- Thiết lập mã chẵn lẻ: thêm một bit chẵn/lẻ (parity bit) vào tổ hợp mã, sao cho:

-Tổng số bit '1' là chẵn (mã chẵn hay tính chẵn)

-Tổng số bit '1' là lẻ (mã lẻ hay tính lẻ)

BCD 8421	BCD 8421chẵn	P_C	BCD 8421 lẻ	P_L
0000	0000	0	0000	1
0001	0001	1	0001	0
0010	0010	1	0010	0
0011	0011	0	0011	1
0100	0100	1	0100	0
0101	0101	0	0101	1
0110	0110	0	0110	1
0111	0111	1	0111	0
1000	1000	1	1000	0
1001	1001	0	1001	1

4.8.2. Mạch tạo bit chẵn lẻ

- *Sơ đồ khối:*

- *Bảng trạng thái:*

Vào			Ra	
d_3	d_2	d_1	P_e	P_o
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

- *Biểu thức:*

4.8.3. Mạch kiểm tra chẵn lẻ

➢ *Sơ đồ khối:*

➢ *Bảng trạng thái:*

➢ *Biểu thức:*

d_3	d_2	d_1	P	f_e	f_o
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	0	1	1		
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		
1	0	0	0		
1	0	0	1		
1	0	1	0		
1	0	1	1		
1	1	0	0		
1	1	0	1		
1	1	1	0		
1	1	1	1		

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

Chương 4 – MẠCH LOGIC TỔ HỢP

4.1. Khái niệm chung
4.2. Phân tích mạch logic tổ hợp
4.3. Thiết kế mạch logic tổ hợp
4.4. Mạch mã hóa – giải mã
4.5. Mạch hợp kênh – phân kênh
4.6. Mạch số học
4.7. Mạch so sánh
4.8. Mạch tạo/ kiểm tra chẵn lẻ
4.9. Đơn vị số học và logic ALU
4.10. Hazard trong mạch tổ hợp

Đơn vị số học và logic ALU – Arithmetic Logic Unit

- ➢ALU là một thành phần cơ bản không thể thiếu được trong các máy tính. Nó bao gồm 2 khối chính là khối logic và khối số học và một khối ghép kênh.
- Khối logic: Thực hiện các phép tính logic: AND, OR, NOT, XOR…
- Khối số học: Thực hiện các phép tính số học: cộng, trừ, tăng 1, giảm 1.
- ➢Sơ đồ khối ALU 4 bit:

Chương 4 – MẠCH LOGIC TỔ HỢP

4.1. Khái niệm chung
4.2. Phân tích mạch logic tổ hợp
4.3. Thiết kế mạch logic tổ hợp
4.4. Mạch mã hóa – giải mã
4.5. Mạch hợp kênh – phân kênh
4.6. Mạch số học
4.7. Mạch so sánh
4.8. Mạch tạo/ kiểm tra chẵn lẻ
4.9. Đơn vị số học và logic ALU
4.10. Hazard trong mạch tổ hợp

Hazard trong mạch tổ hợp

- Là hiện tượng hoạt động lúc được lúc không của mạch (còn gọi là sự sai nhầm)
- Bản chất của Hazard: do sự chạy đua của các tín hiệu vào.
- Phân loại:
  - Hazard tĩnh
  - Hazard động
  - Hazard hàm số
  - Hazard logic
- Biện pháp khắc phục:
  - Không để có hiện tượng chạy đua của tín hiệu vào
  - Chọn linh kiện hay IC có thời gian trễ nhỏ
  - Sử dụng xung đồng bộ làm xung khóa hoặc xung mở
  - Dùng tụ lọc
  - Thay đổi chức năng điều khiển

Kết chương 4

- Khái niệm mạch tổ hợp
- Phương pháp phân tích, thiết kế mạch tổ hợp
- Giới thiệu một số mạch tổ hợp thông dụng (mã hóa, giải mã, hợp kênh, phân kênh, mạch số học, mạch so sánh, mạch tạo/kiểm tra chẵn lẻ, mạch tạo/kiểm tra mã Hamming, ALU) dưới dạng bài toán phân tích hay thiết kế
- Hiện tượng Hazard trong mạch tổ hợp

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

Chương 5 – MẠCH LOGIC TUẦN TỰ

5.1. Khái niệm chung

5.2. Phương pháp mô tả mạch tuần tự

5.3. Phần tử nhớ của mạch tuần tự

5.4. Phân tích mạch tuần tự

5.5. Thiết kế mạch tuần tự

5.6. Mạch tuần tự thông dụng

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

Mạch tuần tự

- *Đặc điểm:* Trạng thái hoạt động của mạch điện không chỉ phụ thuộc vào các lối vào mà còn phụ thuộc vào trạng thái bên trong trước đó của mạch.
- *Mô hình toán học:*

  Z = f(Q(n),X)

  Q(n+1) = f(Q(n),X)

  W = f(Q(n),X)

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

Chương 5 – MẠCH LOGIC TUẦN TỰ

5.1. Khái niệm chung

5.2. Phương pháp mô tả mạch tuần tự

5.3. Phần tử nhớ của mạch tuần tự

5.4. Phân tích mạch tuần tự

5.5. Thiết kế mạch tuần tự

5.6. Mạch tuần tự thông dụng

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

5.2.1. Bảng (1) – Bảng chuyển đổi trạng thái

- Các hàng: ghi các trạng thái trong Q
- Các cột: ghi giá trị tín hiệu vào X
- Các ô: ghi trạng thái kế tiếp ứng với giá trị ở hàng và cột.

Tín hiệu vào

Trạng thái trong

V S	V1	V2	…….	Vn
S_1				→
S_2				
. .				
S_n				

Trạng thái kế tiếp Qk

5.2.1. Bảng (2) – Bảng tín hiệu ra

- Các hàng: ghi các trạng thái trong Q
- Các cột: ghi giá trị tín hiệu vào X
- Các ô: ghi tín hiệu ra tương ứng với giá trị ở hàng và cột.

Tín hiệu vào

Trạng thái trong

V S	V1	V2	…….	Vn
S_1				→
S_2				
. .				
S_n				

Tín hiệu ra Z

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

5.2.1. Bảng (3) – Bảng chuyển đổi trạng thái/tín hiệu ra

- Các hàng: ghi các trạng thái trong Q
- Các cột: ghi giá trị tín hiệu vào X
- Các ô: ghi trạng thái kế tiếp/tín hiệu ra.

Tín hiệu vào

Trạng thái trong

V S	V1	V2	…….	Vn
S_1				→
S_2				
. .				
S_n				

Trạng thái kế tiếp Qk/tín hiệu ra Z

5.2.2. Đồ hình trạng thái

- Là hình vẽ phản ánh quy luật chuyển đổi trạng thái và tình trạng các giá trị ở lối vào và lối ra tương ứng của mạch tuần tự.
- Đồ hình trạng thái là một đồ hình có hướng gồm hai tập:

  M - Tập các đỉnh và K - Tập các cung có hướng.

- Mô hình Mealy:

- Mô hình Moore:

Chương 5 – MẠCH LOGIC TUẦN TỰ

5.1. Khái niệm chung

5.2. Phương pháp mô tả mạch tuần tự

5.3. Phần tử nhớ của mạch tuần tự

5.4. Phân tích mạch tuần tự

5.5. Thiết kế mạch tuần tự

5.6. Mạch tuần tự thông dụng

5.3.1. Các loại Trigơ (1)

➢ *Sơ đồ khối:*

➢ *Phân loại:*

5.3.1. Các loại Trigơ (2) – RS không đồng bộ

➢ *Sơ đồ khối:*

➢ *Mạch điện:*

➢ *Bảng trạng thái:*

S	R	Q^k	Chế độ
0	0	Q	Nhớ
0	1	0	Xóa
1	0	1	Lập
1	1	X	Cấm

5.3.1. Các loại Trigơ (3) – RS không đồng bộ

➢ *Phương trình đặc trưng:*

Q \ RS	00	01	11	10
0				
1				

➢ *Đồ hình trạng thái:*

➢ *Giản đồ xung:*

5.3.1. Các loại Trigơ (4) – RS đồng bộ

➢ *Sơ đồ khối:*

➢ *Mạch điện:*

5.3.1. Các loại Trigơ (5) – RS đồng bộ

- *Bảng trạng thái (RS NAND):*
- *Phương trình đặc trưng:*

C	S	R	Q^k	Chế độ
0	X	X	Q	Nhớ
1	0	0	Q	Nhớ
1	0	1	0	Xóa
1	1	0	1	Lập
1	1	1	X	Cấm

- *Giản đồ xung:*

5.3.1. Các loại Trigơ (6) – D không đồng bộ

- *Sơ đồ khối:*

- *Mạch điện (RS NAND):*
- *Bảng trạng thái:*
- *Phương trình:*

Q	D	Q^k
0	0	0
0	1	1
1	0	0
1	1	1

- *Đồ hình trạng thái:*

5.3.1. Các loại Trigơ (7) – D đồng bộ

➢ *Sơ đồ khối:*

➢ *Mạch điện:*
(RS NAND)

➢ *Bảng trạng thái:*

C	D	Q^k
0	x	Q
1	0	0
1	1	1

5.3.1. Các loại Trigơ (8) – JK đồng bộ

➢ *Sơ đồ khối:*

➢ *Mạch điện:*

5.3.1. Các loại Trigơ (9) – JK đồng bộ

- *Bảng trạng thái:*
- *Phương trình đặc trưng:*

C	J	K	Q^k
0	X	X	Q
1	0	0	Q
	0	1	0
	1	0	1
	1	1	Q'

- *Đồ hình trạng thái:*

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

5.3.1. Các loại Trigơ (10) – JK đồng bộ

- *Giản đồ xung:*

5.3.1. Các loại Trigơ (11) – T đồng bộ

➢ *Sơ đồ khối:*

➢ *Mạch điện (RS NAND):*

➢ *Bảng trạng thái:*

➢ *Phương trình:*

C	T	Q^k
0	x	Q
1	0	Q
1	1	Q'

5.3.1. Các loại Trigơ (12) – T đồng bộ

➢ *Đồ hình trạng thái:*

➢ *Giản đồ xung:*

5.3.2. Đầu vào không đồng bộ của Trigơ

- Các đầu vào D, S, R, J, K, T là những đầu vào đồng bộ vì chúng có ảnh hưởng lên các đầu ra khi có tác động của xung Clock.
- Trong thực tế các trigơ còn có thêm 2 đầu vào không đồng bộ, các lối này tác động trực tiếp lên các đầu ra mà không phụ thuộc vào xung Clock.
- Các đầu vào này thường được ký hiệu là: PRE (lập) và CLR (R - xóa) hoặc $\overline{PRE}$ và $\overline{CLR}\,(\overline{R})$

5.3.3. Trigơ chính – phụ (MS: Master – Slave)

- Do hiện tượng trễ truyền lan, khi làm việc ở tần số cao thì lối ra Q của trigơ không đáp ứng kịp với sự thay đổi của xung nhịp, dẫn đến mạch hoạt động ở tình trạng không tin cậy.

* *Cấu trúc:* gồm hai trigơ đồng bộ giống nhau nhưng cực tính của xung điều khiển clock ngược nhau, để đảm bảo tại mỗi sườn xung nhịp chỉ có một trigơ hoạt động.

* *Sơ đồ:*

5.3.4. Chuyển đổi giữa các loại Trigơ (1) – Sơ đồ

5.3.4. Chuyển đổi giữa các loại Trigơ (2) – Phương pháp

- *Cách 1:* Dùng phương trình đặc trưng: (cần kỹ năng biến đổi toán nhưng nhanh gọn)

B1: Sử dụng phép biến đổi logic đưa phương trình đặc trưng của trigơ đã cho về dạng phương trình đặc trưng của trigơ cần tìm.

B2: Từ phương trình đặc trưng, viết hàm kích thích của trigơ cần tìm.

B3: Vẽ sơ đồ tương ứng.

- *Cách 2:* Dùng bảng hàm kích:

Bảng hàm kích: bảng trạng thái mô tả sự phụ thuộc của các đầu vào kích thích với Q.

B1: Xác định hệ hàm theo bảng hàm kích.

B2: Tối thiểu hoá các hàm Y.

B3: Vẽ sơ đồ tương ứng.

5.3.4. Chuyển đổi giữa các loại Trigơ (3) – Bảng hàm kích

Q	Q^k	S	R	J	K	T	D
0	0						
0	1						
1	0						
1	1						

Chương 5 – MẠCH LOGIC TUẦN TỰ

5.1. Khái niệm chung

5.2. Phương pháp mô tả mạch tuần tự

5.3. Phần tử nhớ của mạch tuần tự

5.4. Phân tích mạch tuần tự

5.5. Thiết kế mạch tuần tự

5.6. Mạch tuần tự thông dụng

Các bước phân tích mạch tuần tự

- B1: Xác định chức năng từng phần tử
- B2: Xác định đầu vào, đầu ra, số trạng thái trong của mạch
- B3: Xác định pt hàm ra, pt hàm kích, pt chuyển đổi trạng thái
- B4: Lập bảng chuyển đổi trạng thái và tín hiệu ra
- B5: Vẽ đồ hình trạng thái
- B6: Vẽ đồ thị dạng xung

Nêu chức năng của mạch

Chương 5 – MẠCH LOGIC TUẦN TỰ

5.1. Khái niệm chung

5.2. Phương pháp mô tả mạch tuần tự

5.3. Phần tử nhớ của mạch tuần tự

5.4. Phân tích mạch tuần tự

5.5. Thiết kế mạch tuần tự

5.6. Mạch tuần tự thông dụng

Các bước thiết kế mạch tuần tự (1)

- *Bước 1:* Xác định bài toán, gán hàm và biến, tìm hiểu mối quan hệ giữa chúng.
- *Bước 2:* Xây dựng đồ hình trạng thái, bảng chuyển đổi trạng thái và hàm ra.
- *Bước 3:* Rút gọn trạng thái (tối thiểu hoá trạng thái).
  - Việc tối thiểu hoá trạng thái chủ yếu dựa vào khái niệm trạng thái tương đương.
  - Các trạng thái tương đương với nhau có thể được thay bằng một trạng thái chung đại diện cho chúng.

Các bước thiết kế mạch tuần tự (2)

- *Bước 4:* Mã hoá trạng thái
  - Số biến nhị phân dùng để mã hoá các trạng thái trong của mạch phụ thuộc vào số lượng trạng thái trong của mạch.
  - Có rất nhiều cách mã hoá khác nhau, mỗi cách cho một sơ đồ thực hiện mạch khác nhau. Cần mã hoá sao cho sơ đồ mạch thực hiện là đơn giản nhất.

Các bước thiết kế mạch tuần tự (3)

- *Bước 5:* Xác định hệ phương trình của mạch. Có hai cách xác định:

+ Lập bảng chuyển đổi trạng thái và tín hiệu ra, từ đó xác định các phương trình kích cho các trigơ.

+ Dựa trực tiếp vào đồ hình trạng thái, viết hệ phương trình Ton, Toff của các trigơ và phương trình hàm ra.

Cả hai cách này đều có dạng phương trình:

+ Phương trình của mạch chỉ dùng NAND.

+ Phương trình của mạch dùng trigơ RS không đồng bộ và các mạch NAND.

+ Phương trình của mạch dùng các loại trigơ khác.

- *Bước 6:* Vẽ sơ đồ thực hiện

Chương 5 – MẠCH LOGIC TUẦN TỰ

5.1. Khái niệm chung

5.2. Phương pháp mô tả mạch tuần tự

5.3. Phần tử nhớ của mạch tuần tự

5.4. Phân tích mạch tuần tự

5.5. Thiết kế mạch tuần tự

5.6. Mạch tuần tự thông dụng

5.6.1. Bộ đếm (1) – Định nghĩa

- Bộ đếm là một mạch tuần tự tuần hoàn có một lối vào đếm và một lối ra, mạch có số trạng thái trong bằng chính hệ số đếm (ký hiệu là Md).
- Dưới tác dụng của tín hiệu vào đếm, mạch sẽ chuyển từ trạng thái trong này đến một trạng thái trong khác theo một thứ tự nhất định.
- Cứ sau Md tín hiệu vào đếm mạch lại trở về trạng thái xuất phát ban đầu.

5.6.1. Bộ đếm (2) – Phân loại

5.6.1. Bộ đếm (3) – Phương pháp phân tích bộ đếm

- B1: Viết phương trình định thời, phương trình hàm ra, phương trình hàm kích
- B2: Thay phương trình hàm kích vào phương trình đặc trưng để tìm phương trình chuyển đổi trạng thái
- B3: Thay các tổ hợp có thể có của trạng thái hiện tại và tín hiệu vào vào pt chuyển đổi trạng thái để tìm trạng thái kế tiếp và tín hiệu ra
- B4: Vẽ đồ hình trạng thái, giản đồ xung để tìm chức năng của bộ đếm

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

5.6.1. Bộ đếm (4) – VD1: Phân tích bộ đếm đồng bộ

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

5.6.1. Bộ đếm (5) – VD2: Phân tích bộ đếm đồng bộ

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

5.6.1. Bộ đếm (6) – VD3: Phân tích bộ đếm không đồng bộ

5.6.1. Bộ đếm (7) – VD4: Phân tích bộ đếm không đồng bộ

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

5.6.1. Bộ đếm (8) – Phương pháp thiết kế bộ đếm

- B1: Phân tích bài toán để xây dựng đồ hình trạng thái.
- B2: Xác định số lượng và loại trigơ sử dụng, thực hiện mã hoá trạng thái.
- B3: Xác định hệ phương trình: phương trình định thời, phương trình hàm ra, phương trình chuyển đổi trạng thái. Tìm phương trình hàm kích và tối thiểu hóa. Kiểm tra khả năng tự khởi động (nếu cần).
- B4: Vẽ mạch điện thực hiện.

5.6.1. Bộ đếm (9) – Ví dụ

- VD1: Thiết kế bộ đếm nhị phân đồng bộ có Md=4
- VD2: Thiết kế bộ đếm đồng bộ có Md=5
- VD3: Thiết kế bộ đếm nhị phân không đồng bộ có Md=8
- VD4: Thiết kế bộ đếm không đồng bộ có Md=6

5.6.1. Bộ đếm (10) – Một số IC đếm

7492	Gồm 4 trigơ JK mắc thành hai bộ đếm không đồng bộ mod 2 và mod 6 độc lập.	
7493	Gồm 4 trigơ JK mắc thành hai bộ đếm không đồng bộ mod 2 và mod 8 độc lập.	
74190	Bộ đếm thuận nghịch (UP/DOWN) thập phân	Preset đồng bộ và không Clear
74191	Bộ đếm thuận nghịch (UP/DOWN) nhị phân 4 bit	Preset đồng bộ và không Clear
74192	Bộ đếm thuận nghịch (UP/DOWN) thập phân	Preset đồng bộ và Clear
74193	Bộ đếm thuận nghịch (UP/DOWN) nhị phân 4 bit	Preset đồng bộ và Clear
74390	Gồm hai khối giống hệt nhau, mỗi khối gồm 4 trigơ JK mắc thành hai bộ đếm không đồng bộ mod 2 và mod 5 độc lập	

5.6.1. Bộ đếm (11) – IC đếm 74192, 74193

- Trong các bộ đếm này, khi thức hiện đếm thuận thì xung Clock được nối với CLK-UP, còn chân CLK-DOWN được nối với logic 1; khi đếm nghịch thì ngược lại.
- Các chân CARRY (nhớ) và BORROW (mượn) có logic 1 và nó sẽ chuyển mức thấp khi tràn mức hoặc dưới mức.
- Chân LOAD = 0 có thể nạp dữ liệu vào bộ đếm.

5.6.1. Bộ đếm (12) – IC đếm 7490, 74390

- 7490 bao gồm 4 trigơ cung cấp bộ đếm gồm hai Mod đếm độc lập: Mod 2 và Mod 5.
- Trigơ A thực hiện đếm Mod 2, Trigơ B, C, D thực hiện đếm Mod 5.
- IC 74390 là bản kép (dual) của 7490

5.6.1. Bộ đếm (13) – IC đếm 7492, 7493

- Bao gồm 4 trigơ cung cấp bộ đếm gồm hai Mod đếm: Mod 2 và Mod 6 (7492) hoặc mod 8 (7493).
- Trigơ A thực hiện đếm Mod 2, Trigơ B, C, D thực hiện đếm Mod 6 hoặc mod 8.
- Hoạt động của những bộ đếm này giống như IC 7490, chỉ khác là không có các lối vào lập và Mod 6 không đếm theo trình tự nhị phân.

5.6.1. Bộ đếm (14) – Thiết kế bộ đếm bất kỳ dùng IC đếm

- Xây dựng mod đếm bất kỳ sử dụng phương pháp hồi tiếp đầu ra về đầu vào xóa:

- Biểu diễn mod đếm M dưới dạng nhị phân
- Xác định số bit ‘1’ cần xoá về ‘0’: bằng cách đưa đầu ra Q tương ứng hồi tiếp về chân Reset.
- Nếu có nhiều hơn hai bit ‘1’ cần xoá, sử dụng cổng AND hoặc NAND trước khi đưa về chân Reset.

- Ví dụ: Sử dụng IC 7493 thực hiện bộ đếm có M = 4.

- M = 4 = 100 nên cần hồi tiếp QD về chân Reset.
- Sơ đồ:

5.6.2. Bộ ghi dịch (1) – Định nghĩa

- Bộ ghi dịch (thanh ghi dịch) là phần tử không thể thiếu được trong CPU, trong các hệ vi xử lí.
- Nó có khả năng ghi (nhớ) số liệu và dịch thông tin (sang phải hoặc sang trái).
- Bộ ghi dịch được cấu tạo từ một dãy phần tử nhớ được mắc liên tiếp với nhau và một số các cổng logic cơ bản hỗ trợ.
- Muốn ghi và truyền một từ nhị phân n bit cần n phần tử nhớ (n trigơ). Trong các bộ ghi dịch thường dùng các trigơ đồng bộ như trigơ RS, T, JK, D.
- Thông thường người ta hay dùng trigơ D hoặc các trigơ khác nhưng mắc theo kiểu trigơ D để tạo thành các bộ ghi.
- Hoạt động dịch dữ liệu được thực hiện từng bit theo điều khiển của xung nhịp.

5.6.2. Bộ ghi dịch (2) – Phân loại

5.6.2. Bộ ghi dịch (3) – Sơ đồ bộ ghi dịch nối tiếp 4 bit

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

5.6.2. Bộ ghi dịch (4) – Hoạt động của bộ ghi dịch nối tiếp

Cách ghi dữ liệu vào:

- Số liệu: D_1, D_2, D_3, D_4
- Dịch phải, nhập D_4 trước.
- Sau 4 xung nhịp: ghi xong.

Cách lấy số liệu ra:

- Ra song song:

Sau 4 xung nhịp:

$Q_1\ Q_2\ Q_3\ Q_4 = D_1\ D_2\ D_3\ D_4$

Đặt "Điều khiển ra" = 1.

- Ra nối tiếp:

Lấy ra ở Q_4 (trigơ cuối cùng).

Sau 4 xung nhịp:

D_4 xuất hiện ở Q_4

Cần 3 xung nữa để D_1 D_2 D_3 được đưa ra Q_4.

CLK	Q_1	Q_2	Q_3	Q_4
0	0	0	0	0
1	D_4	0	0	0
2	D_3	D_4	0	0
3	D_2	D_3	D_4	0
4	D_1	D_2	D_3	D_4
5	0	D_1	D_2	D_3
6	0	0	D_1	D_2
7	0	0	0	D_1

5.6.2. Bộ ghi dịch (5) – Ứng dụng

- ***Bộ chuyển dữ liệu từ nối tiếp sang song song***

  Dùng bộ ghi dịch SIPO.

- ***Bộ chuyển dữ liệu từ song song sang nối tiếp***

  Dùng bộ ghi dịch PISO.

- ***Bộ đếm vòng***
- ***Bộ đếm vòng xoắn***
- ***Bộ phát xung tuần tự***

  Dùng làm bộ đếm, bộ phát xung giả ngẫu nhiên, ...

- ***Thanh chốt dữ liệu (Latch)***

  Sử dụng trong các mạch giao tiếp Bus dữ liệu, các bộ phân kênh, hợp kênh, và trong các mạch điều khiển…

5.6.2. Bộ ghi dịch (6) – Phân tích Bộ đếm vòng

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

5.6.2. Bộ ghi dịch (7) – Phân tích Bộ đếm vòng xoắn

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

5.6.2. Bộ ghi dịch (8) – Phân tích Bộ tạo tín hiệu giả ngẫu nhiên

Kết chương 5

- Mạch logic tuần tự có tín hiệu đầu ra phụ thuộc không những tín hiệu đầu vào ở thời điểm xét mà cả vào trạng thái mạch điện sẵn có ở thời điểm đó.
- Để nhớ trạng thái mạch điện, mạch tuần tự phải có phần tử nhớ - trigơ.
- Tính chất cơ bản của Trigơ: có hai trạng thái ổn định, dưới tác dụng của tín hiệu bên ngoài có thể chuyển đổi từ trạng thái ổn định này sang trạng thái ổn định kia, nếu không có tác dụng tín hiệu bên ngoài thì nó duy trì mãi trạng thái ổn định vốn có.
- Đặc điểm của các loại trigơ và chuyển đổi giữa chúng.
- Một số loại mạch tuần tự điển hình: bộ đếm, bộ ghi dịch…
- Phương pháp chung khi phân tích và thiết kế mạch tuần tự.

Chương 6 – MẠCH PHÁT XUNG VÀ TẠO DẠNG XUNG

6.1. Mạch phát xung

6.2. Trigơ Schmit

6.3. Mạch đa hài đợi

6.4. IC định thời

Một số chỉ tiêu đánh giá dạng xung vuông

* Các đặc trưng kỹ thuật của xung vuông:

T: Chu kỳ xung

$f = \frac{1}{T}$: Tần số xung

T_W : Độ rộng xung

V_m : Biên độ xung

t_r : Sườn trước

t_f : Sườn sau

* Các chỉ tiêu đánh giá xung đồng hồ:

- Độ ổn định tần số
- Độ ổn định pha
- Độ ổn định biên độ

Mạch phát xung (Mạch dao động đa hài)

➢ *Đặc điểm:*

–Có hai trạng thái không ổn định

–Tự dao động, không cần sự kích hoạt bên ngoài

–Tín hiệu ra là dãy xung vuông

➢ *Phân loại:*

–Mạch dao động đa hài NAND TTL

–Mạch dao động đa hài vòng RC

–Mạch dao động đa hài thạch anh

–Mạch dao động đa hài CMOS

➢ *Dạng sóng tín hiệu ra:*

6.1.1. Mạch dao động đa hài cơ bản cổng NAND TTL (1)

** Sơ đồ mạch điện:*

- Ghép điện dung hai cổng NAND thành mạch vòng.

V_K: đầu vào điều khiển.

V_K=1: mạch phát xung khi được nối nguồn.

V_K=0: mạch ngừng phát xung.

** Nguyên lý hoạt động:*

6.1.1. Mạch dao động đa hài cơ bản cổng NAND TTL (2)

** Dạng sóng tín hiệu ra:*

** Chu kỳ tín hiệu ra :* $T = t_{M1} + t_{M2}$

- Để xung ra vuông đều: $\Leftrightarrow t_{M1} = t_{M2}$

- Nếu $R_{f1}=R_{f2}=R_f$, $C_1=C_2=C$,

V_{OH}=3 V, V_{OL}=0,35 V,

V_T = 1,4 V:

$T \approx 2(R_f // R_1)C$

6.1.2. Mạch dao động đa hài vòng RC

** Sơ đồ:*

- Tần số của tín hiệu đầu ra phụ thuộc vào thời gian trễ của cổng NAND.

** Điều chỉnh tần số bằng mạch trễ RC:*

** Dạng sóng tín hiệu ra:*

6.1.3. Mạch dao động đa hài thạch anh

** Sơ đồ:*

Thay một tụ điện trong sơ đồ bộ dao động đa hài bằng thạch anh.

** Đặc điểm:*

- Tần số của mạch dao động chỉ phụ thuộc vào tinh thể thạch anh mà không phụ thuộc vào giá trị các tụ điện và điện trở trong mạch.
- Độ ổn định tần số cao, do thạch anh có tính chọn lọc tần số rất cao.

** Ứng dụng:* trong các mạch yêu cầu tín hiệu đồng hồ có tần số chính xác và độ ổn định cao.

6.1.4. Mạch dao động đa hài CMOS

** Sơ đồ:*

** Dạng sóng tín hiệu ra:*

** Chu kỳ dao động:*

$$T = T_1 + T_2 = RC\ln\left(\frac{E_D}{E_D - V_T} + \frac{E_D}{V_T}\right)$$

- Nếu $V_T = E_D/2$ thì $T_1 = T_2$:

$$T = RC\ln 4 \approx 1,4RC$$

Chương 6 – MẠCH PHÁT XUNG VÀ TẠO DẠNG XUNG

6.1. Mạch phát xung

6.2. Trigơ Schmit

6.3. Mạch đa hài đợi

6.4. IC định thời

Mạch đa hài hai trạng thái ổn định

➢ *Đặc điểm:*

- Có hai trạng thái ổn định.
- Khi có xung kích thích, mạch chuyển từ trạng thái ổn định này sang trạng thái ổn định khác.

➢ *Trigơ Schmit:*

- Là một bộ so sánh hai ngưỡng
- Biến đổi dạng xung đầu vào thành xung vuông

➢ *Phân loại:* trigơ Schmit TTL, CMOS

➢ *Ứng dụng:* mạch dao động, mạch lọc nhiễu, mạch so sánh, ...

Trigơ Schmit TTL (1)

* *Sơ đồ:*

Trigơ Schmit TTL (2)

** Dạng sóng tín hiệu ra:*

Chương 6 – MẠCH PHÁT XUNG VÀ TẠO DẠNG XUNG

6.1. Mạch phát xung

6.2. Trigơ Schmit

6.3. Mạch đa hài đợi

6.4. IC định thời

Mạch đa hài đợi (đơn ổn, một nhịp)

➢ *Đặc điểm:*

- Một trạng thái ổn định, một trạng thái tạm ổn định.
- Có xung kích, mạch chuyển từ trạng thái ổn định sang trạng thái tạm ổn định.
- Sau một khoảng thời gian nhất định, mạch tự quay trở về trạng thái ổn định.

➢ *Phân loại:*

- Mạch đa hài đợi CMOS
- Mạch đa hài đợi dùng trigơ Schmit
- Mạch đa hài đợi TTL

6.3.1. Mạch đa hài đợi CMOS (1) – Kiểu vi phân

** Sơ đồ:*

** Dạng sóng:*

** Độ rộng xung ra:*

$$T_W = (R + R_0)C * \ln\frac{E_D}{E_D - V_T}$$

R_0 : điện trở đầu ra của cổng 1

- Nếu $V_T = E_D/2$: $T_W = 0,7(R + R_0)C$

6.3.1. Mạch đa hài đợi CMOS (2) – Kiểu tích phân

** Sơ đồ:*

** Dạng sóng:*

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

6.3.2. Mạch đa hài đợi dùng trigơ Schmit

** Sơ đồ:*

** Dạng sóng tín hiệu ra:*

** Độ rộng xung đầu ra:*

$$T_W = RC * \ln \frac{E_D}{E_D - V_T^+}$$

- Nếu $V_{T+} = E_D/2$ thì: $T_W = 0,7RC$

6.3.3. Mạch đa hài đợi TTL

** Sơ đồ:*

** Dạng sóng:*

** Độ rộng xung ra :*

$$T_W = 0,7RC$$

Chương 6 – MẠCH PHÁT XUNG VÀ TẠO DẠNG XUNG

6.1. Mạch phát xung

6.2. Trigơ Schmit

6.3. Mạch đa hài đợi

6.4. IC định thời

6.4.1. Mạch điện của IC 555 (1)

** Sơ đồ:*

- Mạch phân áp (gồm 3 điện trở R).
- Hai bộ so sánh.
- Đầu ra bộ so sánh điều khiển trigơ RS.
- Chân 4 cho phép trigơ hoạt động.
- Đầu ra đảo của trigơ điều khiển transistor T để tạo đầu phóng điện.

6.4.1. Mạch điện của IC 555 (2)

** Bảng chức năng*:

TH (6)	$\overline{TRIG}$ (2)	$\overline{R}$ (4)	OUT (3)	DIS (7)
X	X	L	0	T Thông
$>\frac{2}{3}E_C$	$>\frac{1}{3}E_C$	H	0	T Thông
$<\frac{2}{3}E_C$	$>\frac{1}{3}E_C$	H	Không đổi	T Không đổi
X	$<\frac{1}{3}E_C$	H	1	T Ngắt

6.4.2. Ứng dụng của IC 555 (1) – Trigơ Schmit

- Ngưỡng trên: $V_{T+} = \frac{2}{3}E_{C1}$

- Ngưỡng dưới: $V_{T-} = \frac{1}{3}E_{C1}$

- Độ chênh lệch điện áp:

$$DV = V_{T+} - V_{T-} = \frac{1}{3}E_{C1}$$

- Nếu đưa điện áp vào đầu vào C-V thì có thể điều chỉnh được V_{T+}, V_{T-} và ΔV.

6.4.2. Ứng dụng của IC 555 (2) – Mạch đa hài đợi

** Sơ đồ:*

** Dạng sóng:*

$$T_W \approx RC\ln 3 \approx 1{,}1RC$$

6.4.2. Ứng dụng của IC 555 (3) – Mạch dao động đa hài

** Sơ đồ:*

6.4.2. Ứng dụng của IC 555 (4) – Mạch dao động đa hài

** Dạng sóng:*

** Sơ đồ mạch có xung ra vuông đều:*

** Chu kỳ tín hiệu ra:*

$$T = T_{nap} + T_{ph} = 0,7(R_1 + 2R_2)C$$

Kết chương 6

- Mạch phát xung (mạch dao động đa hài) không cần tín hiệu ngoài đưa vào, sau khi được cấp nguồn một chiều, mạch tự động sinh ra xung vuông.
- Mạch tạo dạng xung (trigơ Schmit, mạch đơn ổn) không tự động phát xung nhưng có thể biến tín hiệu đầu vào hình dạng khác thành xung vuông theo yêu cầu.
- Ứng dụng:

- Bộ dao động đa hài thường dùng làm bộ tạo xung chuẩn thời gian và chuẩn tần số.
- Mạch đơn ổn thường dùng để định thời và làm trễ xung.
- Trigơ Schmit ngoài ứng dụng tạo dạng xung còn ứng dụng so sánh mức và giám sát mức…

Chương 7 – BỘ NHỚ BÁN DẪN

7.1. Khái niệm chung

7.2. Bộ nhớ cố định - ROM

7.3. Bộ nhớ bán cố định

7.4. Bộ nhớ đọc/viết – RAM

7.5. Đĩa cứng Silicon – Bộ nhớ Flash

7.6. Bộ nhớ Cache

7.1.1. Khái niệm

- Bộ nhớ: có khả năng lưu trữ dữ liệu dưới dạng nhị phân (lưu trữ thông tin)
- Mỗi ô nhớ được định vị bằng một mã địa chỉ duy nhất
- Thủ tục truy cập nội dung ô nhớ (viết vào/ đọc ra) được thực hiện thông qua địa chỉ ô nhớ.
- Bộ nhớ gồm: bộ nhớ bán dẫn (rất thông dụng) và bộ nhớ từ
- Ưu điểm của bộ nhớ bán dẫn: thời gian truy cập nhỏ
- Ưu điểm của bộ nhớ từ: khả năng lưu trữ lớn

7.1.2. Những đặc trưng chính của bộ nhớ

- *Dung lượng bộ nhớ* (C): Là khả năng lưu trữ thông tin (số bit thông tin tối đa lưu trữ được)

- Đơn vị: bit, byte, Kbit, Kbyte, Mbit, Mbyte,…
- Biểu thị dung lượng theo từ nhớ n (số bit thông tin có thể đọc hay viết đồng thời vào bộ nhớ) : C/n

- *Phương pháp truy cập thông tin:*

- Truy cập trực tiếp: (truy cập ngẫu nhiên)
- Truy cập liên tiếp: (truy cập tuần tự)

- *Tốc độ truy cập thông tin:*

- Đặc trưng bởi thời gian truy cập thông tin
- Truy cập trực tiếp: khoảng (30 – vài trăm) ns
- Truy cập tuần tự (băng từ, đĩa từ): vài ms đến vài s

7.1.3. Phân loại bộ nhớ (1) – Theo đặc thù lưu trữ dữ liệu

BÀI GIẢNG MÔN: ĐIỆN TỬ SỐ

7.1.3. Phân loại bộ nhớ (2) – Theo công nghệ chế tạo

7.1.3. Phân loại bộ nhớ (3) – So sánh một số loại bộ nhớ

Loại bộ nhớ	Tốc độ	Công suất tiêu thụ	Dung lượng	Độ chống nhiễu	Giá thành
TTL, STTL	Nhanh	Cao	Thấp	Thấp	Cao
ECL	Nhanh nhất	Cao nhất	Thấp nhất	Thấp nhất	Cao nhất
NMOS	Trung bình	Thấp	Cao nhất	Cao	Thấp nhất
CMOS, SOS	Chậm nhất	Thấp nhất	Cao	Cao nhất	Thấp

7.1.4. Tổ chức bộ nhớ (1)

- *Các phần tử chính:*
  - Ma trận nhớ
  - Mạch giải mã địa chỉ ô nhớ
  - Mạch logic cho phép đọc nội dung ô nhớ
  - Mạch logic cho phép viết nội dung ô nhớ
  - Tầng đệm vào ra
  - Mạch mở rộng địa chỉ
- *Tính dung lượng:*
  C = i * j* n (bit)

7.1.4. Tổ chức bộ nhớ (2) – Tổ chức bộ nhớ theo từ

- Ma trận nhớ:
  - Số hàng: số từ của bộ nhớ W
  - Số cột: số bit trong một từ nhớ (n)
- Mạch logic giải mã: lựa chọn một từ duy nhất trong số W từ của bộ nhớ
- Ưu điểm: thời gian truy cập ngắn
- Nhược điểm: Khi W lớn cần bộ giải mã lớn, làm tăng giá thành

Chương 7 – BỘ NHỚ BÁN DẪN

7.1. Khái niệm chung

7.2. Bộ nhớ cố định - ROM

7.3. Bộ nhớ bán cố định

7.4. Bộ nhớ đọc/viết – RAM

7.5. Đĩa cứng Silicon – Bộ nhớ Flash

7.6. Bộ nhớ Cache

7.2.1. Thuộc tính của ROM

- Chỉ cho phép đọc nội dung đã được viết sẵn từ trước chứa trong nó. Nội dung này do người điều hành thiết kế lập trình sẵn và viết vào nó bằng một phương pháp đặc biệt.
- Người sử dụng về nguyên tắc là không thể hoặc rất khó thay đổi nội dung thông tin đã viết nhớ trong ROM.
- Nội dung được viết trong ROM có tính chất cố định, không bị mất đi theo thời gian hay do mất nguồn năng lượng cung cấp cho toàn bộ hệ thống số trong đó có ROM.

7.2.2. Cấu trúc chung của ROM (1)

- *Bộ nhớ:* chứa các ô nhớ (trong các ô nhớ là các từ nhớ).
- *Mạch điều khiển:* tiếp nhận các tín hiệu vào từ kênh điều khiển.
- *Bộ giải mã địa chỉ:* dùng để định vị ô nhớ.
- *Mạch ra:* dùng để đưa nội dung ô nhớ tới các thiết bị có liên quan cần tiếp nhận nội dung này.

7.2.2. Cấu trúc chung của ROM (2) – Khối nhớ

➢Kiểu mảng tuyến tính:

➢Kiểu ma trận:

7.2.2. Cấu trúc chung của ROM (3) – Mở rộng độ dài từ

-Ghép các mảng/ ma trận nhớ (chip nhớ) song song với nhau.

-Tín hiệu điều khiển và địa chỉ dùng chung cho các chip nhớ.

-Lối vào/ra dữ liệu của các chip nhớ được đưa tới các dải Bus dữ liệu khác nhau.

7.2.2. Cấu trúc chung của ROM (4) – Mở rộng dung lượng

-Ghép các mảng/ ma trận nhớ (chip nhớ) nối tiếp với nhau.

-Mỗi chip nhớ lưu trữ một phần dữ liệu.

-Lối vào/ra dữ liệu của các chip nhớ được nối song song.

-Sử dụng Bus điều khiển để điều khiển chọn chip.

7.2.3. MROM

- Được chế tạo trên một phiến silic theo một số bước xử lý (như quang khắc và khếch tán) để tạo ra những tiếp giáp bán dẫn có tính dẫn điện theo một chiều (như diode, transistor trường).

- Điểm giao nhau giữa các dây từ (hàng) và các dây bit (cột) tạo nên một phần tử nhớ (ô nhớ).

- Vị trí có diode sẽ cho phép lưu trữ số liệu "0". Ngược lại những vị trí không có diode thì sẽ cho phép lưu trữ số liệu "1" (hoặc ngược lại).

7.2.4. PROM

- Tại mỗi vị trí giao nhau giữa dây từ và dây bit đều có một diode, được nối với một cầu chì.
- Khi chưa lập trình, các cầu chì còn nguyên vẹn, nội dung của PROM sẽ toàn là 0.
- Khi định vị đến một bit bằng cách đặt một xung điện ở đầu ra tương ứng, cầu chì sẽ bị đứt và bit này sẽ bằng 1.
- Việc lập trình có thể được thực hiện bởi người sử dụng chỉ một lần duy nhất, không thể sửa đổi được.

Chương 7 – BỘ NHỚ BÁN DẪN

7.1. Khái niệm chung

7.2. Bộ nhớ cố định - ROM

7.3. Bộ nhớ bán cố định

7.4. Bộ nhớ đọc/viết – RAM

7.5. Đĩa cứng Silicon – Bộ nhớ Flash

7.6. Bộ nhớ Cache

7.3.1. EPROM (1)

- Phần tử nhớ: transistor FAMOST
- Trong ô nhớ: cực cửa G nối với đường từ, cực máng D nối với đường bit, cực nguồn S nối với nguồn chuẩn (mức 1).
- Khi cửa nổi F không có điện tích: transistor hoạt động như bình thường.
- Khi cửa nổi F có các điện tử mang điện tích âm: ngăn trường điều khiển của cực cửa.

7.3.1. EPROM (2)

➢ *Nạp thông tin:* (nạp điện tử vào vùng cửa nổi, tạo ra các ô nhớ mang bit '0')

- Dùng xung điện đặt giữa cực G và cực D (20V), các điện tích mang năng lượng lớn đi qua lớp cách điện giữa đế và cửa nổi, được giữ trong vùng cửa nổi sau khi xung lập trình tắt.
- Điện tích tích tụ trong vùng cửa nổi trong một thời gian dài (> 10 năm)
- Thời gian lập trình: 50ms/từ

➢ *Xóa thông tin:* (làm mất các điện tích trong vùng cửa nổi)

- Chiếu tia tử ngoại UV vào chip nhớ, khi đó các điện tích hấp thụ được năng lượng đủ lớn để thoát khỏi vùng cửa nổi.
- Trong chip EPROM có một cửa sổ thạch anh chỉ cho ánh sáng tử ngoại đi qua khi cần xóa số liệu trong bộ nhớ.
- Thời gian xóa: 15 – 30 phút
- Sau khi xóa, tất cả các bit là bit '1'.

7.3.2. EEPROM

➢*Nạp điện tích:* tương tự EPROM, thời gian lập trình khoảng 10ms/từ.

➢*Xóa điện tích:*

- Nhờ lớp kênh màng mỏng oxide giữa vùng cửa nổi trải xuống giữa đế và cực máng, khi điện thế đặt giữa G và D là (– 20V) các điện tử trong vùng cửa nổi được chảy về cực máng qua kênh này, số liệu lưu giữ được xóa đi.
- Thời gian xóa bộ nhớ ngắn, khoảng 10ms.

Chương 7 – BỘ NHỚ BÁN DẪN

7.1. Khái niệm chung

7.2. Bộ nhớ cố định - ROM

7.3. Bộ nhớ bán cố định

7.4. Bộ nhớ đọc/viết – RAM

7.5. Đĩa cứng Silicon – Bộ nhớ Flash

7.6. Bộ nhớ Cache

7.4.1. Cấu trúc chung của RAM

- Cũng gồm 4 phần tử chính như ROM
- *Mạch điều khiển:* có thêm đầu vào R/W điều khiển hai quá trình viết thông tin vào RAM và đọc thông tin từ RAM.
- *Mạch đầu ra:* có khả năng kiểm soát hai chiều trước khi cho phép giao tiếp với kênh dữ liệu (khi đang đọc bộ nhớ thì không được viết và ngược lại).

7.4.2. DRAM

- Cấu tạo ô nhớ DRAM gồm có một transistor trường MOS và một tụ điện C (lưu trữ một bit thông tin).
- Transistor hoạt động như một công tắc, cho phép nạp hay phóng điện tích của tụ khi thực hiện phép đọc hay viết. Cực G nối với WL, cực D nối với BL hoặc $\overline{BL}$, cực S nối với tụ điện C.
- Bộ nhớ DRAM có dung lượng nhớ rất lớn và giá thành thấp.
- Nhược điểm cơ bản của DRAM là có hiện tượng tự bay hơi (do sự rò điện tích trên tụ). Cứ sau 2 ms, phải làm tươi (refresh) DRAM.

7.4.3. SRAM

- Tế bào nhớ: trigơ.
- Cực G nối với WL
- Cực D nối với cặp đường bit.

** Đọc số liệu từ ô nhớ:*

- Bộ giải mã hàng kích hoạt đường từ WL tương ứng.
- Hai transistor T dẫn và nối trigơ nhớ với cặp đường bit.

** Viết số liệu lên ô nhớ:*

- Qua bộ đệm vào và bộ giải mã cột, số liệu viết được đặt vào bộ khuếch đại phù hợp.
- Bộ giải mã hàng kích hoạt đường từ WL và làm transistor T dẫn. Trigơ đưa số liệu được lưu trữ vào cặp dây bit.

Chương 7 – BỘ NHỚ BÁN DẪN

7.1. Khái niệm chung

7.2. Bộ nhớ cố định - ROM

7.3. Bộ nhớ bán cố định

7.4. Bộ nhớ đọc/viết – RAM

7.5. Đĩa cứng Silicon – Bộ nhớ Flash

7.6. Bộ nhớ Cache

Bộ nhớ Flash

- *Cấu trúc:* giống EEPROM, nhưng lớp kênh ôxit ở các ô nhớ mỏng hơn. (điện thế lập trình và xóa cỡ 12 V)
- Không bị mất số liệu khi ngắt nguồn.
- *Phần tử nhớ:* FAMOS
- Bộ nhớ flash không dồn phân kênh địa chỉ.
- *Ưu điểm:* kích thước nhỏ, tiêu thụ năng lượng thấp, không bị ảnh hưởng của va đập.
- *Nhược điểm:* xóa lần lượt từng chip hoặc lần lượt từng trang.

Chương 7 – BỘ NHỚ BÁN DẪN

7.1. Khái niệm chung

7.2. Bộ nhớ cố định - ROM

7.3. Bộ nhớ bán cố định

7.4. Bộ nhớ đọc/viết – RAM

7.5. Đĩa cứng Silicon – Bộ nhớ Flash

7.6. Bộ nhớ Cache

Bộ nhớ Cache

- Bộ nhớ Cache kết hợp ưu điểm nhanh của SRAM và rẻ của DRAM.
- Giữa CPU và bộ nhớ chính bằng DRAM, người ta xen vào một bộ nhớ SRAM nhanh có dung lượng nhỏ bằng 1/10 hoặc 1/100 lần bộ nhớ chính gọi là cache.
- Cache chứa các thông tin mới vừa được CPU sử dụng gần đây nhất.

Kết chương 7

- Khái niệm cơ bản về bộ nhớ
- Nguyên lý cấu tạo, các tính năng cơ bản của một số loại bộ nhớ bán dẫn: ROM, PROM, EPROM, EEPROM, SRAM, DRAM, FLASH, CACHE
- Các chip RAM không thích hợp cho các chương trình khởi động do các thông tin trên đó bị mất khi tắt nguồn.
- Do vậy phải dùng đến ROM, trong đó các số liệu cần lưu trữ được viết một lần theo cách không bay hơi để nhằm giữ được mãi.