

Lab8 report

107061218 謝霖泳

1.

➤ Design Specification

Input: clk, rst, [15:0] audio_left, [15:0] audio_right

Output: audio_mclk, audio_lrcclk, audio_sclk, audio_sdin;

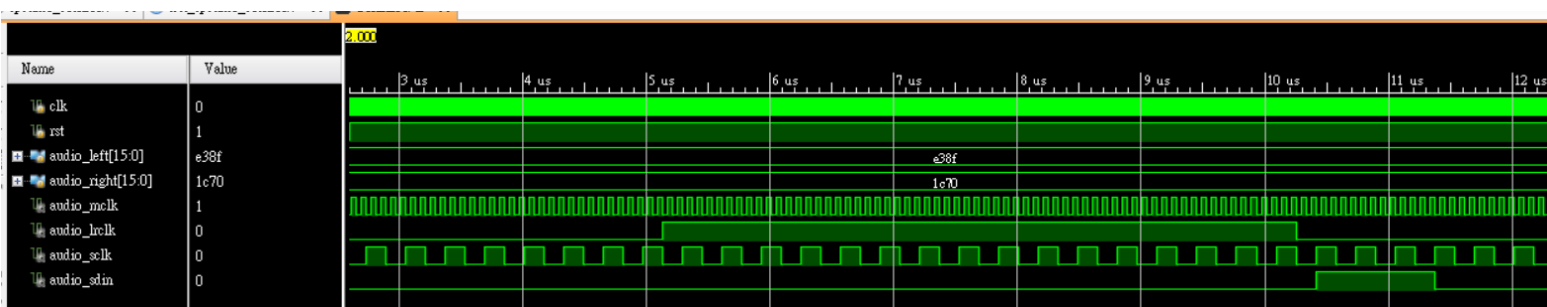
➤ Design Implementation

設計一個 global clock 的 binary up counter，其個位數變化的頻率即為 100MHz，若往左一個位數變化的頻率就會減半，因此，audio_mclk 就會是第 3 位，audio_lrcclk 就會是第 10 位，audio_sclk 就會是第 5 位。

至於 parallel to serial 的部分，則是設計一個以 audio_sclk 為頻率的 5-bit binary up counter，這個 counter 會產生 0~31 的值，並依序對應到從 audio_left 的 MSB 到 audio_right 的 LSB，這樣就可以達到 parallel to serial 的效果了。

➤ Discussion

執行結果如下：



在最前面 10 個時間單位，我先將 rst 訊號設為 0，也就是先讓裝置 reset，之後將 rst 訊號變為 1，clk 訊號以 5 個時間單位為週期規律性地 toggle，便可以看到各種 clk 隨之變化。

Output 的部分，我設定 audio_left = 16'b11100011110001111，audio_right = 16'b000111100011110000，便可觀察到他們以 audio_sclk 為基準一個一個被送出去的現象。

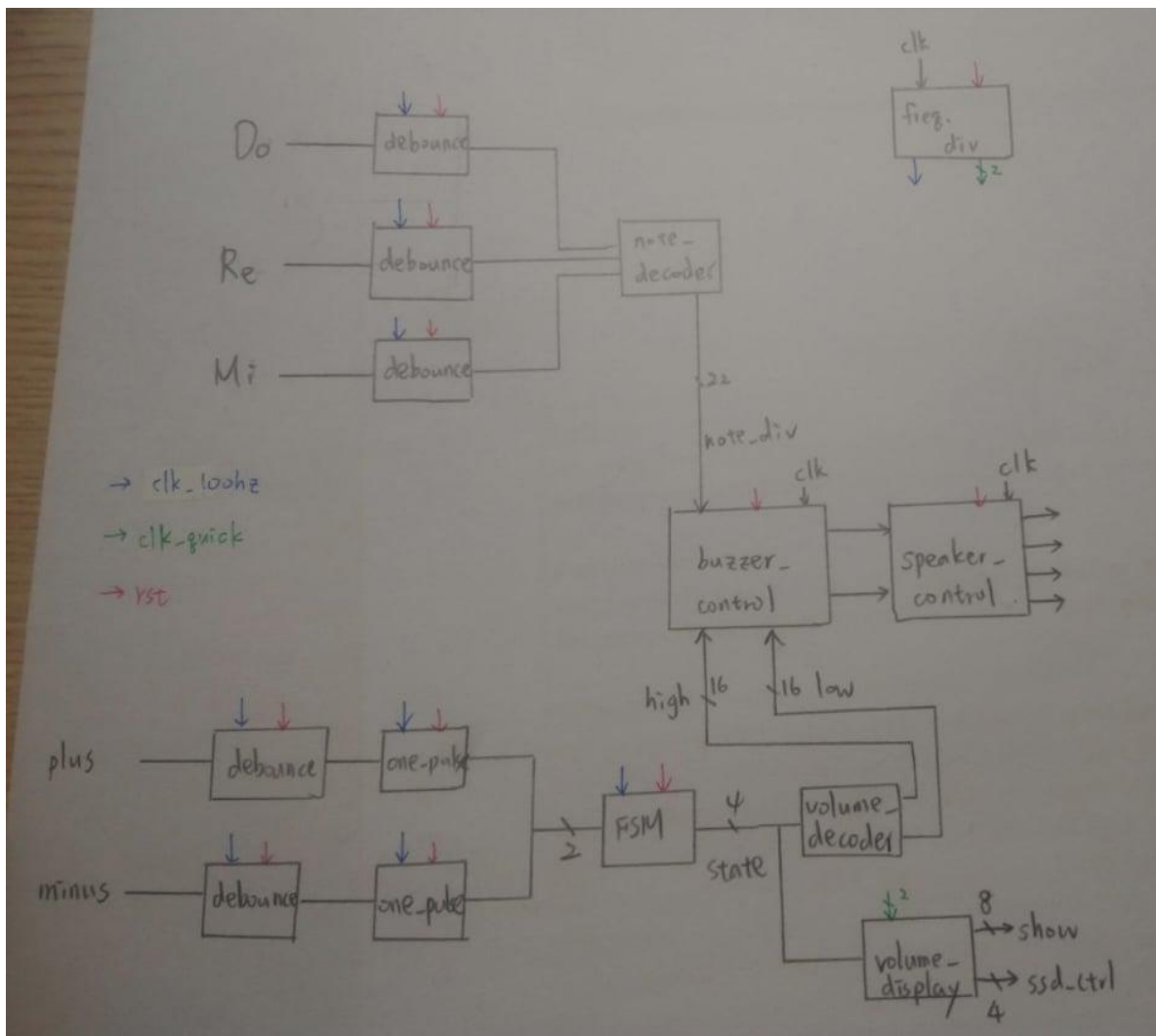
2.

➤ Design Specification

Input: clk, rst, Do, Re, Mi, plus, minus

Output: audio_mclk, audio_lrcclk, audio_sclk, audio_sdin, [3:0] ssd_ctrl, [7:0]

show



➤ Design Implementation

首先，我們必須先建置一個除頻器，負責除出 100Hz 的頻率給 debounce、one_pulse 以及 FSM 使用。此外，也要除出一個快速變動的 clock 供七段顯示器使用。

在我的 block diagram 之中，為了避免畫面凌亂，藍筆表示 clk_100hz，綠筆表示 clk_quick，也就是七段顯示器再用的 clock，紅筆表示 low-active reset。

輸入的部分除了 clk 以及 rst 外，要有 5 個按鈕的 input，分別為 Do、Re、Mi 的輸入以及音量的增高與降低。其中，Do、Re、Mi 這三個輸入經過 debounce 之後，進入 note decoder 的 module 之中，換算出相應之 note_div 傳入 speaker 的 buzzer control 中。

音量增減的這兩個按鈕則必須經過 debounce 以及 one_pulse，並進入 FSM 中，FSM 會輸出 4-bit 的 output，也就恰對應 0~15 等 16 種不同的音量大小。並將現在的聲級傳到七段顯示器上做輸出。此外，這個 FSM 的 4-bit output 也會進到 volume decoder 中，會得到相對應之 low 與 high，也就是在 buzzer control 中最後的那兩個 16 進位數字。

有了 note_div 與 low 和 high 之後，就已經幾乎都完成了。因為再來只需要將他們正確的接到 speaker 的 buzzer control 之中，就可以發出相對應的音高與相對應的音量了。

IO pin assignment:

audio_mclk	audio_lrclk	audio_sclk	audio_sdin	clk	rst
A14	A16	B15	B16	W5	V17

show[7]	show[6]	show[5]	show[4]	show[3]	show[2]	show[1]	show[0]
W7	W6	U8	V8	U5	V5	U7	V7

ssd_ctrl[3]	ssd_ctrl[2]	ssd_ctrl[1]	ssd_ctrl[0]
W4	V4	U4	U2

Do	Re	Mi	minus	plus
W19	U18	T17	U17	T18

➤ Discussion

這一題的主要觀念就是音量的控制與音高的控制，也就是控制 low、high 以及 note_div。如果能依照不同的按鈕輸入去選擇不同的數值，這一題應該不難完成。

4. conclusion

這是第一次接觸除了板子以外的其他元件，讓我感受到了許多新鮮感，但同時也花了較多時間 debug，因為不再是以往熟悉的 FPGA 板上的按鈕或 DIP switch。