|  |
| --- |
| 數位積體電路  Lab4  智能系統所 312581006 張宸瑋 |
| **4-1 Minimal Energy-Delay Product** |
| **實驗流程:** |
| 1. 透過**irun TESTBED.v -define RTL -debug -notimingchecks -loadpli1 debpli:novas\_pli\_boot**指令進行驗證，確認功能無誤。 |
|  |

|  |
| --- |
| 1. 透過**dc\_shell-t -f syn.tcl | tee syn.log**進行合成 |
|  |
| Report/timing |
|  |
| Report/area |

|  |
| --- |
| 1. 透過nWave查看波型是否正確 |
|  |
| 1. 進行GATE level驗證，透過**irun TESTBED.v -define GATE -debug -v asap7sc7p5t\_SIMPLE\_RVT\_TT\_08302018.v asap7sc7p5t\_SEQ\_RVT\_TT\_08302018.v asap7sc7p5t\_INVBUF\_RVT\_TT\_08302018.v -nontcglitch -loadpli1 debpli:novas\_pli\_boot**指令進行驗證 |
|  |

|  |
| --- |
| 1. 透過verilog2spice轉換成.sp檔案，並且查看波形來驗證功能是否正確 |
|  |
| **實驗結果:** |
|  |
| Worst Case delay:  當Pattern從0000 0000 0000 0000 0011 1011 0011 1111變成  1111 1111 1111 1111 0011 1011 0011 1011會有Worst Case delay |
|  |
|  |
|  |
| 討論:  從上面的實驗結果中，我們可以看到當電壓為0.7的時候，可以獲得最小的energy-delay product，而從其他實驗結果中，我們也可以觀察到，當電壓的值逐漸變小後，電路的energy會逐漸上升，也證明了能量的公式(1)，當電壓上升，所消耗的能量也會跟著上升，我們也可以看到，當電壓下降後，電路的延遲會跟著上升，因為電路操作在低電壓的模式下，驅動能力會跟著減弱，導致電路的響應速度變慢，造成延遲上升。  透過這個實驗讓我了解到，當我們在設計電路時，我們必須要去做取捨，根據我們電路的需求，是以性能為優先，還是功耗為優先，確定了這些因素後，我們才能夠去設計合適的電路。   |  | | --- | |  | | (1)能量公式 | |
| **4-2 Minimal Delay** |
| **實驗流程:** |
| 1. 透過**01\_run\_Synthesis**合成 |
|  |
| Report/timing |
|  |
| Report/area |
| 1. 透過**verilog2spice**轉換成.sp檔案，並且查看波型驗證功能是否正確 |
|  |
| **實驗結果:** |
| * Minimize the Delay |
|  |
| 未優化前 |
|  |
| 優化後 |
| 討論:  在優化前我觀察到了電路的tr太大，代表電路的驅動能力較弱，信號上升慢，因此我在輸出端加了一個BUFX3\_ASAP7\_75T\_R(1)，透過增加這個buffer，可以減少電路的負載電容，一旦負載電容減小，同樣電壓的情況下，對電容的充電速度就快，信號上升緣也會因此變得陡峭，因此透過這種方式，不但可以提高電路的驅動能力，也可以有效的降低電路的延遲，並且在查看每個cell的基本特性後，我發現NOR的延遲相較於NAND來的較大，因此，我透過NAND來實現NOR閘(2)，並且在wire loading的部分，都加上一個buffer(3)，來降低電路的延遲。     1. 示意圖      1. 示意圖      1. 示意圖 |
| * Measure the PPA at 0.4v and 0.7v of minimized and synthesized comparator,and analyze (Time unit :50ns) |
| 優化前 |
|  |
| Supply voltage = 0.4v |
|  |
| Supply voltage = 0.7v |
| 優化後 |
|  |
| Supply voltage = 0.4v |
|  |
| Supply voltage = 0.7v |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| |  |  | | --- | --- | | 功能驗證 | | |  |  | | 優化前 | 優化後 | |
| PPA |
| |  |  |  |  | | --- | --- | --- | --- | | 優化前 | | | | |  | Power (W) | Performance (latency) | Area(um^2) | | 0.7V | 0.196e-6 | 436.7641ps | 161.66 | | 0.4V | 0.064e-6 | 2.1510ns | 161.66 | |
| |  |  |  |  | | --- | --- | --- | --- | | 優化後 | | | | |  | Power (W) | Performance (latency) | Area(um^2) | | 0.7V | 0.429e-6 | 231.956ps | 315.87 | | 0.4V | 0.135e-6 | 1.0699ns | 315.87 | |
| 討論:  透過在不同的Supply voltage下，測量PPA，我們可以觀察到當電壓上升，電路的Power也會隨之上升，根據Power公式，我們也可以推測出此結論，雖然Power上升，但帶來的好處是，電路的Performance也會提高，而因為電路在不同的Supply voltage功能皆正常，因此所使用的都是同一個，Area因此不會變，而從這個實驗我們也可以知道，如果要增加電路的性能，Power勢必會跟著上升，在Power跟Performance之間做取捨，是設計電路很重要的一個觀念。 |