|  |
| --- |
| 數位積體電路  Lab5  智能系統所 312581006 張宸瑋 |
| **5-1 Sequential circuits** |
| Implement a 3x3 convolution kernel without clock gating.   * Area ≤**5,100** 𝝁𝒎𝟐 * Clock period≤**1ns** |
| **實驗流程:** |
| 1. 透過**irun TESTBED.v -define RTL -debug -notimingchecks -loadpli1 debpli:novas\_pli\_boot**指令進行驗證，確認功能無誤。 |
|  |
|  |
| 透過nWave查看波型是否正確 |
| 1. 透過**dc\_shell-t -f syn.tcl | tee syn.log**進行合成 |
|  |
| Report/timing |
|  |
| Report/area |
| 1. 進行GATE level驗證，透過**irun TESTBED.v -define GATE -debug -v asap7sc7p5t\_SIMPLE\_RVT\_TT\_08302018.v asap7sc7p5t\_SEQ\_RVT\_TT\_08302018.v asap7sc7p5t\_INVBUF\_RVT\_TT\_08302018.v -nontcglitch -loadpli1 debpli:novas\_pli\_boot**指令進行驗證 |
|  |
| **5-2 Power Analysis of sequential circuits** |
| Use the pattern provided by TA to generate the waveform under gate-level simulation, and measure the power consumption of 3x3 convolution kernel using PrimePower |
| 1. 透過PrimePower測量5-1的3\*3 convolution的power |
|  |
| 1. **Power reduction using a data-driven clock gating technique**   Based on the gating cell: ICGx3\_ASAP7\_75t\_R   * Power ≤**150** 𝝁𝑾 * Pattern CANNOT be modified |
| 2.1 透過**irun TESTBED.v -define RTL -debug -notimingchecks -loadpli1 debpli:novas\_pli\_boot**指令進行驗證，確認功能無誤。 |
|  |
| 2.2 透過**dc\_shell-t -f syn.tcl | tee syn.log**進行合成 |
|  |
| Report/timing |
|  |
| Report/area |
| 2.3 進行GATE level驗證，透過**irun TESTBED.v -define GATE -debug -v asap7sc7p5t\_SIMPLE\_RVT\_TT\_08302018.v asap7sc7p5t\_SEQ\_RVT\_TT\_08302018.v asap7sc7p5t\_INVBUF\_RVT\_TT\_08302018.v -nontcglitch -loadpli1 debpli:novas\_pli\_boot**指令進行驗證 |
|  |
| 2.4 透過PrimePower測量power |
|  |
| 1. Compare and analyze the area and critical path |
| 討論:  在這次的實驗中，我在三個地方加入了clock gating，分別是當input的值都等於0時，會把輸入訊號送到輸入訊號暫存的地方gate住，以及當weight\_valid以及out\_valid還沒等於1的時候也都會gate住，透過這樣的操作，我們在面積增加不多的情況下，power的消耗減少了一倍，因此在不需要使用到訊號時，將不會用到的訊號的clk關閉，能夠在不需要增加太多面積的情況下，大幅度的優化我們的訊號。  在critical path方面，我認為加了clock gating 僅是將電路處於閒置狀態時，將clock關閉，理論上不會影響到critical path，但是從報告的分析上來看，critical path卻改變了，我認為可能是因為我們加入的clock gating的邏輯，並沒有影響到critical path，但是卻增加了其他路徑的延遲，導致兩者的critical path不一樣。 |