

Sequential Logic(循序邏輯)

-(變化型)計數器電路設計

(Behavior Modeling-III)

電子實驗

組別:第三組

系級:資訊二乙

組員 1: 10927202 陽彩柔

組員 2: 10927207 蒲品憶

組員 3: 10927248 連翊安

(1)程式碼

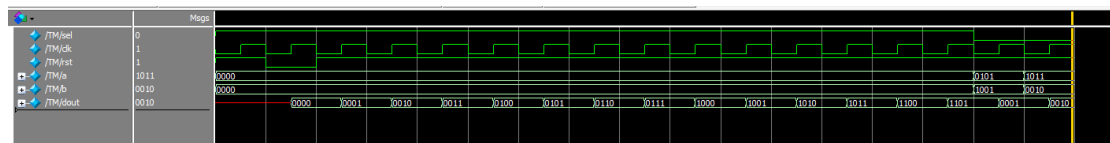
Counter_sel

```
1  module Counter_sel( a, b, sel, clk, rst ,dout) ;
2  input clk, rst, sel ;
3  input[3:0] a, b ;
4  output reg[3:0] dout;
5
6  always@(posedge clk) begin
7
8      if (rst==0)
9          dout <= 4'b0000 ;
10
11     else
12         if ( sel == 0 )
13             dout <= a&b;
14
15         else if ( sel == 1 )
16             dout <= dout + 1 ;
17
18     end
19 endmodule
```

TM

```
1  module TM;
2
3  reg          sel,clk, rst ;
4  reg[3:0] a, b;
5  wire [3:0]  dout;
6
7  parameter    t = 200;
8  parameter    th= 100;
9
10 Counter_sel  U_Counter_sel ( .a(a), .b(b), .sel(sel), .clk(clk), .rst(rst), .dout(dout) );
11
12 always #th clk=~clk;
13 initial begin
14     rst = 1;
15     sel = 1 ;
16     clk =0 ;
17     a = 4'b0000 ;
18     b = 4'b0000 ;
19
20     #t rst = 0 ;
21     #t rst = 1 ;
22     #(t*13) sel = 0 ;
23     a = 4'b0101 ;
24     b = 4'b1001 ;
25     #t
26     a = 4'b1011 ;
27     b = 4'b0010 ;
28
29     #t $stop;
30 end
31 endmodule
```

(2) 模擬 waveform



說明:當 `rst=0` 時初始化 `dout` ;

當 `rst != 0` 且 `sel=0` 時 `dout = a&b` ;

當 `rst != 0` 且 `sel != 1` 時 `dout = dout+1`

(3) 心得

這次因為多增加一個加法器，所以一開始有點找不方向，寫錯幾次，後來修正後，又因為變數宣告的問題卡了一陣子，所幸有組員以及同學的幫助，最終順利完成實驗。