

112 邏輯設計實驗二

Lab 3 8-bit Up/down Counter Design (type I)

實驗報告

組別：第三組

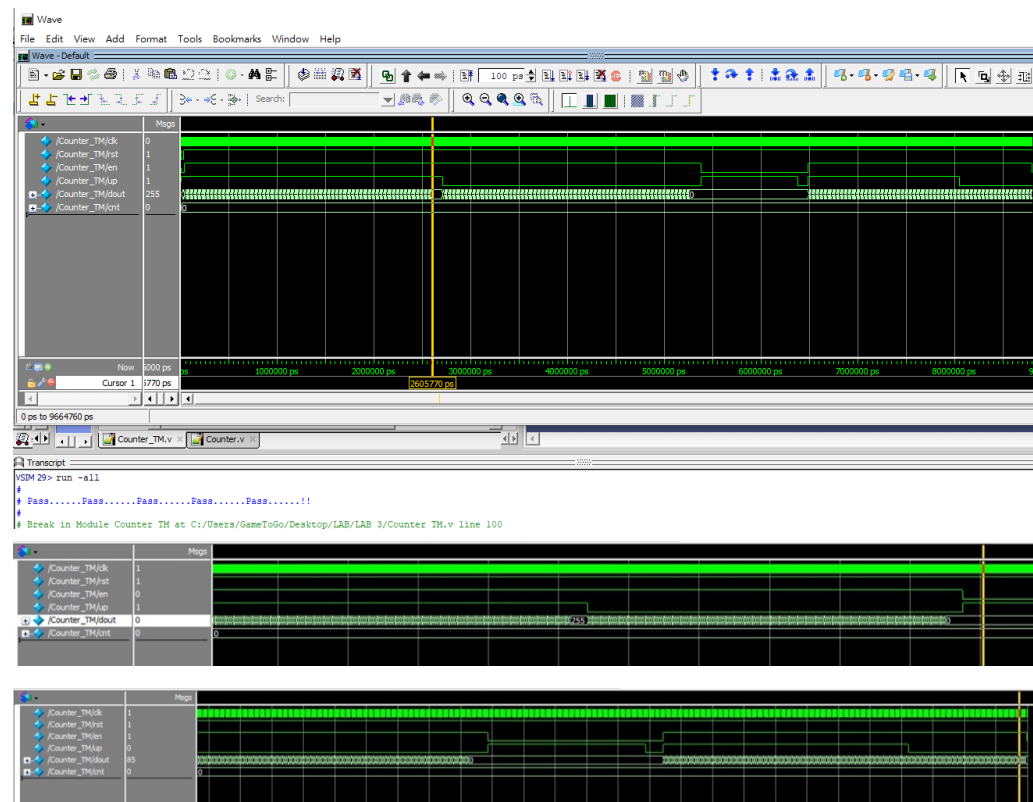
學號：10927202/10927207

姓名：陽彩柔/蒲品憶

1. Verilog Code

```
1 module Counter(dout, clk, rst, en, up);
2
3     input clk, rst, en, up;
4     output reg[7:0] dout;
5
6     always @(posedge clk) begin
7         if (rst == 0) dout = 0 ;
8
9         else begin
10             if (en == 1) begin
11
12                 if (up == 0) begin
13                     if (dout != 8'd0 )
14                         dout = dout - 1 ;
15                 end
16                 else begin
17                     if (dout != 8'd255 )
18                         dout = dout + 1 ;
19                 end
20             end
21         end
22     end
23
24
25 endmodule
```

2. 模擬 waveform



說明：此 8-bit 計數器在

1. clk 正源向上且 rst = 0 會初始化 dout=0
 2. en = 1, up = 0, dout != 8'd0 時會將 dout 減 1
 3. en = 1, up = 1, dout != 8'd255 時會將 dout 加 1
- 當以上兩個條件都不符何時會保留原本的 dout 值。

3.心得報告

陽彩柔：我覺得這次的實驗相對簡單，在過程中，我們發生了一些趣事，我們把 dout 加減的條件式寫反，以至於我們一開始以為寫錯了，接下來是一件我們原本以為沒有什麼差別的小事情，就是在看 wave 圖時，我們通常都會用 Decimal 但在實驗時，發現會有正負問題，之後去問了助教才知道要用 unsigned，因為沒有用 unsigned 的話會把最高位元的 1 當成是負數，以至於我們的 dout 在 127 時變成-127，透過助教的講解，讓我了解到自己不會注意的小細節，並知道以後看 wave 時要用 unsigned 看數字才不會出錯。

蒲品憶：這次實驗比起前兩次又更加簡單，我覺得有很大一部分是老師允許我們使用循序邏輯的方式撰寫，這種寫法就類似我們平常在寫 C 語言，因此比較熟悉。這次只有出現三個小錯誤，第一個是我們將 dout 想得太複雜，另外設了一個 count 做加減法儲存，作法沒錯但是將 count 設成 wire 應該在 always 的是 reg 才對；第二個是在 up 的判斷條件寫顛倒，蠻搞笑的；最後一個我覺得是比較有意義的問題，就是在看 wave 時我們將數字改成 decimal，觀察到數字從 127 後會變成-127~，數字不符很奇怪，於是跑去問助教，後來才知道應該要用 unsigned 去看才是對的，因為 decimal 會分配成正負一半 127~-127 之類的，unsigned 才是正的 0~255，我覺得觀察到這個現象還蠻有意義的，也因為又知道一件以前沒注意到的事情很開心。