

112 邏輯設計實驗二

Lab 4 8-bit Up/down Counter Design (type II)

實驗報告

組別：第三組

學號：10927202/10927207

姓名：陽彩柔/蒲品憶

1. Verilog Code

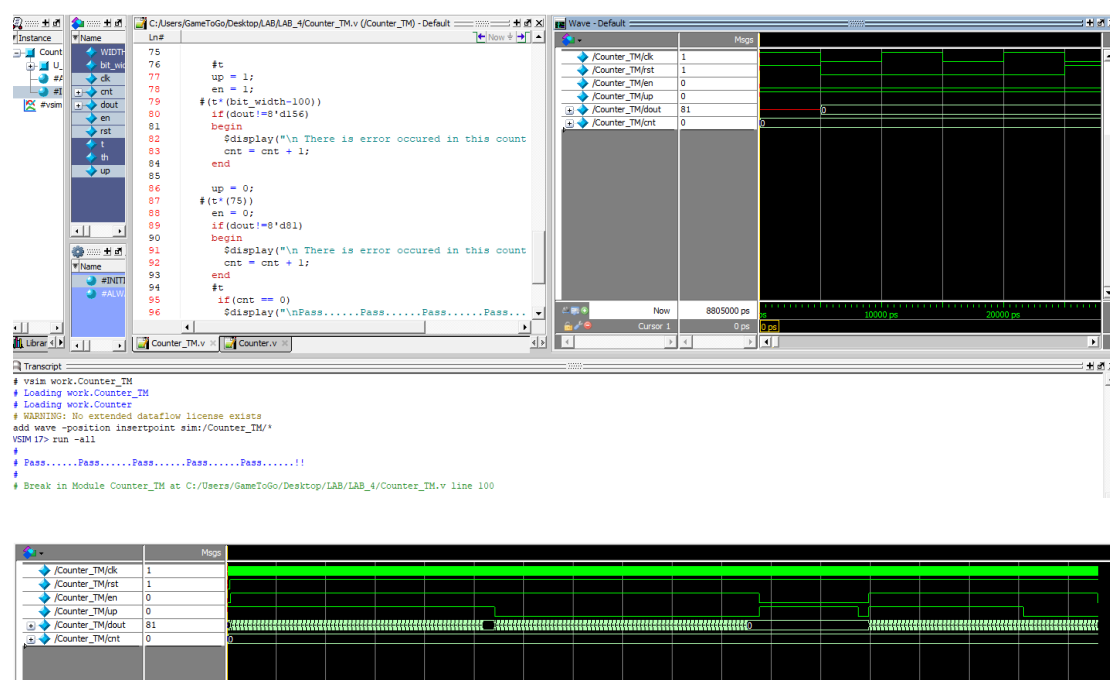
```
module Counter(dout, clk, rst, en, up);

    input clk, rst, en, up;
    output reg[7:0] dout;

    always @(posedge clk or negedge rst) begin
        if (rst == 0) dout = 0 ;

        else begin
            case( {en, up} )
                2'b11: begin
                    if ( dout != 8'd255 )
                        dout = dout + 1 ;
                    end
                2'b10: begin
                    if ( dout != 8'd0 )
                        dout = dout - 1 ;
                    end
            endcase
        end
    end
endmodule
```

2. 模擬 waveform



說明：此 8-bit 計數器在

1. $\text{rst} = 0$ 會初始化 $\text{dout}=0$
2. $\text{en} = 1, \text{up} = 0, \text{dout} \neq 8'd0$ 時會將 dout 減 1
3. $\text{en} = 1, \text{up} = 1, \text{dout} \neq 8'd255$ 時會將 dout 加 1

當以上兩個條件都不符何時會保留原本的 dout 值。

3.心得報告

陽彩柔：這次的實驗與上次不同的是：運用 `case` 並與 `if` 結合，且是要使用非同步，剛開始在看 `wave` 圖時，我們以為沒有什麼改變，直到比對了上一次的同步圖，才了解到其中的差別，兩者在初始化 dout 時，會依 clk 在正源或負源而做出初始動作，因此產生同步和非同步的差別。

蒲品憶：這次的程式延續上週，只需要將 `body` 修改成用 `case` 進行條件判斷，和將同步改成非同步，因此很快就寫完了。但是我們對同步跟非同步的 `wave`，不太會看所以還有跑去問助教，經過助教細心解答，終於恍然大悟，非同步-- rst 為零的時候 clk 負源向下會做初始化 dout , 同步-- rst 為零 clk 正源向上，才初始化 dout 。還有下周是遠距上課好開心，期待下次的實作課程。