

112 邏輯設計實驗二

Lab 2 - 4-bits (unsigned) Add/Subtract

Unit Design

實驗報告

組別：第三組

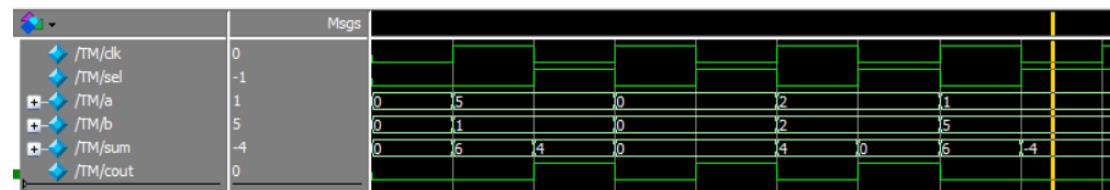
學號：10927202/10927207

姓名：陽彩柔/蒲品憶

1. Verilog Code

```
1  module AddSub4(a, b, sum, cout, sel);
2
3  input sel;
4  input [3:0] a, b;
5  output [3:0] sum;
6  output cout;
7  wire [4:0] result, tmpA, tmpB ;
8
9  assign tmpA = {1'b0, a} ;
10 assign tmpB = (sel == 1'd0) ? {1'd0, b} : {1'd0, ~b}+1'd1 ;
11 assign result = tmpA + tmpB ;
12 assign sum = result[3:0];
13 assign cout = result[4];
14
15
16 endmodule
```

2. 模擬 waveform



說明：當 $sel = 0$ ， $a+b$

當 $sel = 1$ ， $a-b$ ， b 要取補數加一， 夠減 $cout = 1$ ， 不夠減 $cout = 0$

3. 心得報告

陽彩柔：這次實驗是 lab01 的簡化版本，我們不需打另一個 FA module，所有的計算只需透過一個 module，且過程相對簡單，在實驗時，我們把轉換二補數的順序搞錯，導致花了一段時間找問題出自於哪裡，且這次實驗中讓我們恢復補位數的方式，每一次要使用都會忘記，在搜尋關鍵字也無法精準找到，還好實驗讓我們印象更加深刻也記住了這個方法。

蒲品憶：這次實驗延續上次，但從接線路的形式轉變成平常會看到的加減運算，我覺得比起上周簡單所以這次很快就完成此次實驗。在做實驗當中有發生一個我覺得蠻有趣的邏輯錯誤，就是當計算 $A-B$ 時要先將 B 取補數再加一，那問題來了，要取補數然後在最高位元補零再加一，還是要取補數加一再補零？答案是前者，因為如果是選後者若 B 取補數是 1111 再加一就會溢位，所以不能用，想通之後還蠻開心的。