

Dado el siguiente código escrito en C, que compilamos para un sistema linux de 32 bits:

```
int examen(char a, char b[3][3], short c) {  
    short x;  
    char y[3][3];  
    short z;  
    int w;  
    . . .  
    w=examen(y[2][2], y, z);  
    . . .  
}
```

- c) **Dibuja** el bloque de activación de la rutina examen, indicando claramente los desplazamientos respecto a **%ebp** y el tamaño de todos los campos.

- d) **Traduce** a ensamblador x86 la instrucción `w=examen(y[2][2], y, z);` que se encuentra en el interior de la subrutina, usando el mínimo número de instrucciones.

Para el resto del problema tendremos en cuenta solo la fase de calculo del programa, es decir solo tiempo de CPU (usuario + sistema).

- e) **Calcula** la ganancia en energía que tendría el sistema si ejecutara el programa en el modo de bajo consumo en vez del modo de alto rendimiento suponiendo que el CPI medio no varía.

Este procesador tiene direcciones físicas de 32 bits, una cache de datos de primer nivel (L1) 4-asociativa con tamaño de bloque 64 bytes y política de escritura *Copy Back + Write Allocate*. Las etiquetas (TAGS) de la cache son de 18 bits.

- f) **Calcula** el numero de bloques (líneas) de la cache.

El procesador dispone ademas de un TLB que se accede en paralelo a L1.

- g) **Calcula** el tamaño mínimo que pueden tener las páginas de memoria virtual para que sea posible el acceso paralelo a cache y TLB.

Para la fase de cálculo el tiempo medio de acceso a memoria (T_{ma}) es de 1,3 ciclos. En caso de acierto en L1 el tiempo de acceso es de un ciclo. En caso de fallo hay una penalización (T_{pf}) de 10 ciclos adicionales si el bloque reemplazado tiene el *dirty bit* $D=0$ y de 20 ciclos si el bloque reemplazado tiene $D=1$. Sabemos que en media el 50% de los bloques tiene $D=1$. La influencia de los fallos de TLB y de los fallos de página es despreciable.

- h) **Calcula** la tasa de fallos de la cache L1.