

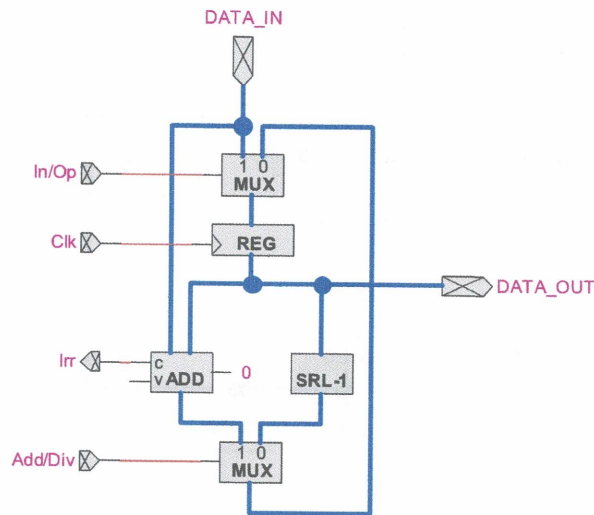
S'ha d'entregar un únic fitxer PDF que inclogui la solució que vosaltres proposeu als problemes plantejats. El fitxer PDF no te que ser necessàriament una solució feta per ordinador, pot ser una solució escrita a ma i digitalitzada. El PDF ha d'incloure una capçalera on s'indiqui el vostre nom i cognoms, i l'enunciat de cada pregunta abans de la vostra resposta.

Exercici 1

A partir de la Unitat de Procés d'un processador de propòsit específic, completa el graf de Moore de la Unitat de Control perquè el processador realitzi el càlcul de la mitjana aritmètica.

La Unitat de Procés té un bus d'entrada, DATA_IN, i un altre de sortida, DATA_OUT. A més, també té dos senyals que formen la paraula de control, Op/In i Add/Div, i un senyal per la paraula de condició, Irr. La Unitat de Control té dos senyals d'entrada, Begin i Irr, i tres senyals de sortida, Op/In, Add/Div i End.

A la figura hi tenim l'esquema de la Unitat de Procés (tots els busos són de 8 bits).

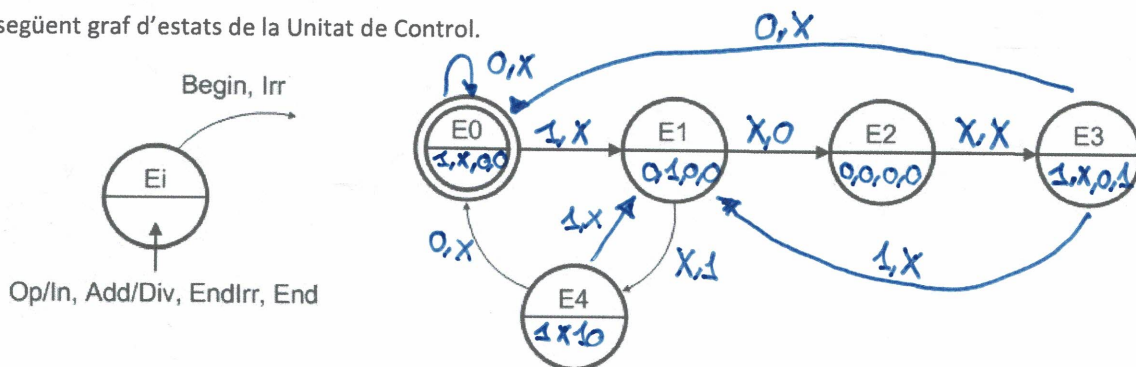


El processador de propòsit específic mostra pel bus de sortida DATA_OUT el resultat del càlcul que s'indica a cada apartat. Els operands per a realitzar el càlcul arriben al processador un per cycle pel bus DATA_IN. El significat dels senyals de control Begin i End s'especifica a cada apartat.

Si $\text{Begin}(c)=1$ llavors $\text{DATA_OUT}_u(c+3)=(\text{DATA_IN}_u(c)+\text{DATA_IN}_u(c+1))/2$ i $\text{End}(c+3)=1$. End val 0 a la resta dels cycles. S'ha d'ignorar el valor del senyal Begin durant els cycles en què s'està realitzant el càlcul, $c+1$ i $c+2$, però no durant el cycle en el que se mostra el resultat en la sortida, $c+3$. En el cas que la suma acumulada excedeixi el valor 0xFF llavors el circuit ha de posar el senyal EndIrr a 1 al cycle següent i ha de quedar-se preparat de nou per tornar a començar una operació. En aquest últim cas el valor present al bus DATA_OUT al cycle on End val 1 s'ignora, ja que és incorrecte. Us donem el següent cronograma per a clarificar el funcionament del processador:

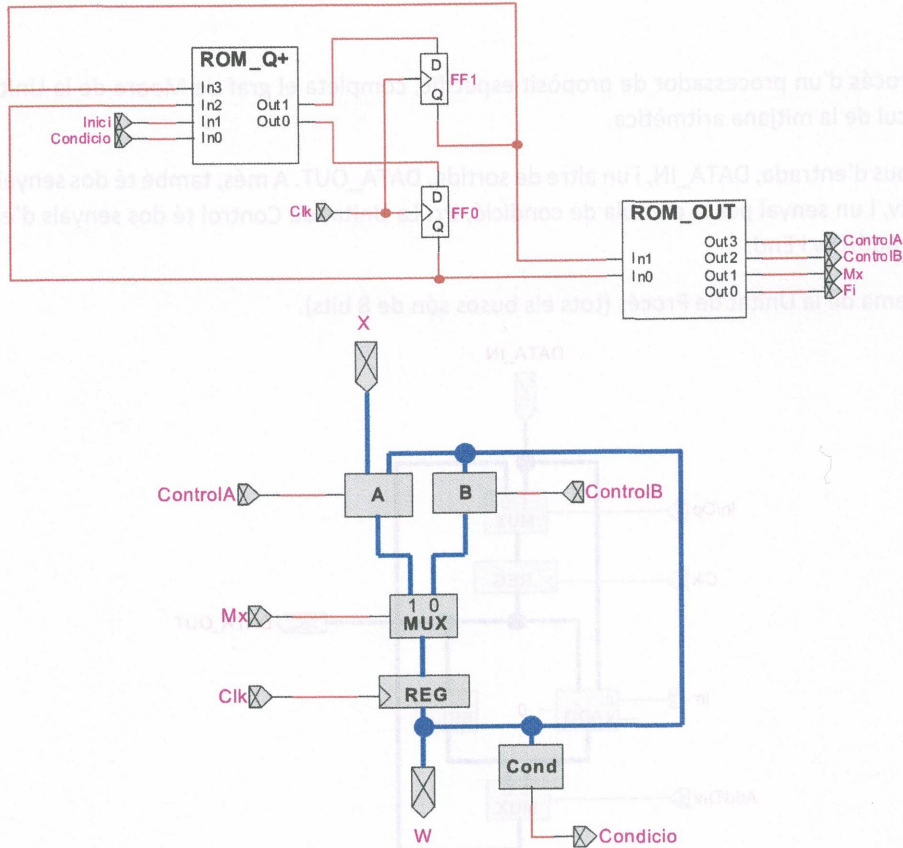
Ciclo	00	01	02	03	04	05	06	07	08	09	10
DATA_IN	0x02	0x34	0x55	0xFF	0x16	0x04	0x11	0x01	0xFF	0x02	0x02
Begin	1	0	1	1	0	1	0	0	0	0	0
EndIrr	0	0	0	0	0	1	0	0	0	0	0
End	0	0	0	1	0	0	0	0	1	0	0
DATA_OUT	0x00	0x02	0x36	0x1B	0xFF	0x15	0x04	0x15	0x0A	0xFF	0x02

Completa el següent graf d'estats de la Unitat de Control.



Exercici 2

A partir del circuit format per la Unitat de Control i la Unitat de Procés que es donen a continuació i dels temps indicats, especifica quin és el camí crític (si n'hi ha més d'un posa només un d'ells) i quin és el temps de cicle mínim. Suposa que les entrades X i Inici arriben directament d'un registre (REGX) i un biestable (FFInici), respectivament. Les sortides W i Fi han d'estar estables 70u.t. abans del següent flanc de rellotge.

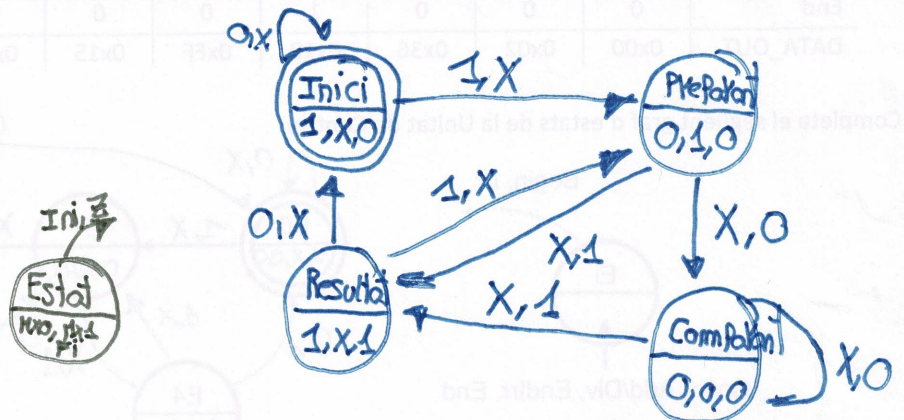
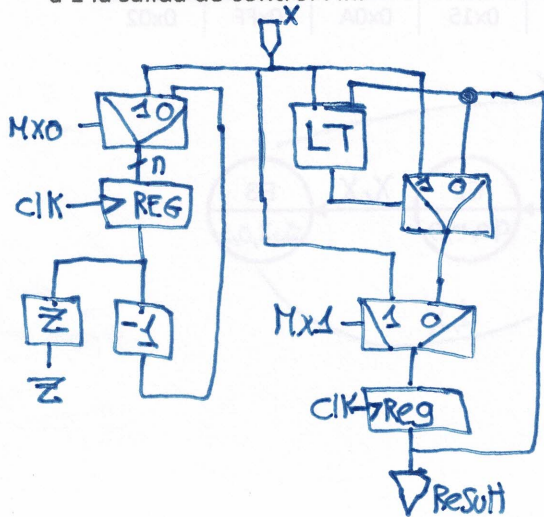


Per indicar el camí crític llisteu la seqüència de blocs que el formen, separats per comes. Els possibles elements del camí són: REGX, FFinici, W, FFFi, FF0, ROM_Q+, ROM_OUT, A, B, MUX, REG, COND. ($T_{ROM-Q+}=80u.t.$, $T_{ROM-OUT}=60u.t.$, $T_{Biestable}=100u.t.$, $T_A=90u.t.$, $T_B=150u.t.$, $T_{Cond}=170u.t.$, $T_{MUX}=50u.t.$, $T_{REG}=100u.t.$)

cc: FF1 $\xrightarrow{100}$ ROM_OUT $\xrightarrow{60}$ B $\xrightarrow{150}$ MUX $\xrightarrow{50}$ REG
Tc mínim = 360 u.t

Exercici 3

Diseñar un circuito que obtenga el mínimo valor de entre n números naturales que llegan al sistema ciclo a ciclo. En el primer ciclo, cuando la entrada de control Ini vale 1, en la única entrada de datos del sistema está disponible el valor n . En los siguientes n ciclos estarán disponibles, en esa misma entrada, los valores de los n números a razón de uno por ciclo. El valor mínimo debe estar disponible en la salida **RESULT** cuando finalice el cálculo. La salida se validará poniendo a 1 la salida de control **Fin**.



Eric Díez Apolo

Exercici 4

Diseñar un sistema que cuente el número de unos presentes en una palabra de 8 bits. La palabra está disponible en la entrada DATO durante el ciclo en que la señal Ini vale 1. El resultado debe estar disponible en la salida RESULT, de 4 bits, durante un ciclo y se validará poniendo a 1 la señal Fin. Este ejercicio se puede resolver de muchas formas distintas con latencias en el resultado muy dispares. Existen diseños de circuitos que pueden llegar a calcular el resultado en un único ciclo y otros necesitarán más de 8 ciclos. Hacedlo como deseáis, lo importante es que el diseño que entreguéis funcione y no lo eficiente que sea.

