

Dado el siguiente código escrito en C:

```
int examen(short a, char b, int v[10], short M[4][4]) {  
    int ii;  
    short aa;  
    short *matriz;  
    int *vector;  
    ...  
    return v[ii];  
}
```

- c) **Dibuja** el bloque de activación de la rutina examen, indicando claramente los desplazamientos respecto a **%ebp** y el tamaño de todos los campos.

- d) **Traduce** a ensamblador del x86 la instrucción `return v[ii]` USANDO EL MÍNIMO NÚMERO DE INSTRUCCIONES y suponiendo que la subrutina ha usado los registros `%eax`, `%ebx`, `%ecx` y `%edx`.

El procesador P dispone de una cache con una política de escritura *Copy Back* y *Write Allocate*. En caso de acierto en la cache el tiempo de acceso es de 1 ciclo. En caso de fallo, hay una penalización de 60 ciclos para reemplazar un bloque NO modificado y de 120 ciclos para reemplazar un bloque modificado.

PNA realiza 8 millones de accesos a memoria y tiene una tasa de fallos (miss) del 10%. Sabemos que el 15% de los accesos son escrituras y que la probabilidad de que un bloque haya sido modificado en cache es del 20%.

e) **Calcula** el tiempo medio de acceso a memoria (T_{ma}) en ciclos de la parte no acelerada (PNA).

Leer o escribir un bloque en memoria principal consume 100 nanoJoules (nJ).

f) **Calcula** el consumo total de energía de la memoria principal causada por los fallos de cache.

El procesador P genera direcciones lógicas de 36 bits y direcciones físicas de 24 bits. La jerarquía completa de memoria está compuesta por un TLB, la memoria cache y la memoria principal. El TLB tiene 4 entradas y es completamente asociativo. La cache tiene un tamaño de 64 Kbytes, líneas de 64 bytes y es 4-asociativa. El tamaño de página del sistema es de 4 KBytes. El TLB se accede antes que la cache, por lo que la cache se indexa con direcciones físicas.

g) **Calcula** el número de líneas, vías y conjuntos que tiene la cache. **Especifica claramente** cómo has realizado los cálculos.

El procesador lanza un acceso a la dirección lógica 0xEFABCD012 y sabemos que el contenido del TLB es:

VPN	PPN
0xFABCD0	0xA00
0xBCD012	0xB01
0xEFABCD	0xC02
0xABCD01	0xD03

h) **Indica** a qué dirección física se accede, en qué conjunto de la cache se encuentra el dato y cuál es la etiqueta guardada en memoria cache. **Justifica** la respuesta.