

QuartusII 基本使用方法

电子工程学院 电路中心

2006 年 3 月

目 录

1、 QuartusII 的设计流程	2
2、 计数器的 VHDL 设计	3
2 . 1 创建工程和编辑设计文件	3
2 . 2 创建工程.....	4
2 . 3 编译前设置.....	7
2 . 4 编译.....	9
2 . 5 仿真.....	11
2 . 6 引脚锁定和下载.....	15

QuartusII 基本使用方法

Altera 的 QuartusII 提供了完整的多平台设计环境,能满足各种特定设计的需要,是单芯片可编程系统 (SOPC) 设计的综合性环境和 SOPC 开发的基本设计工具,并为 Altera DSP 开发包进行系统模型设计提供了集成综合环境。QuartusII 设计环境完全支持 VHDL、Verilog 的设计流程,其内部嵌有 VHDL、Verilog 逻辑综合器。QuartusII 也具备仿真功能,此外,与 MATLAB 和 DSP Builder 结合,可以进行基于 FPGA 的 DSP 系统开发,是 DSP 硬件系统实现的关键 EDA 工具。

本章将以数个简单的例子详细介绍 QuartusII 的使用方法,包括设计输入、综合与适配、仿真测试、优化设计和编程下载等方法。

1、QuartusII 的设计流程

QuartusII 的一般设计流程如图 1, QuartusII 支持多种设计输入方法,如:原理图式图形设计输入、文本编辑、第三方工具等。

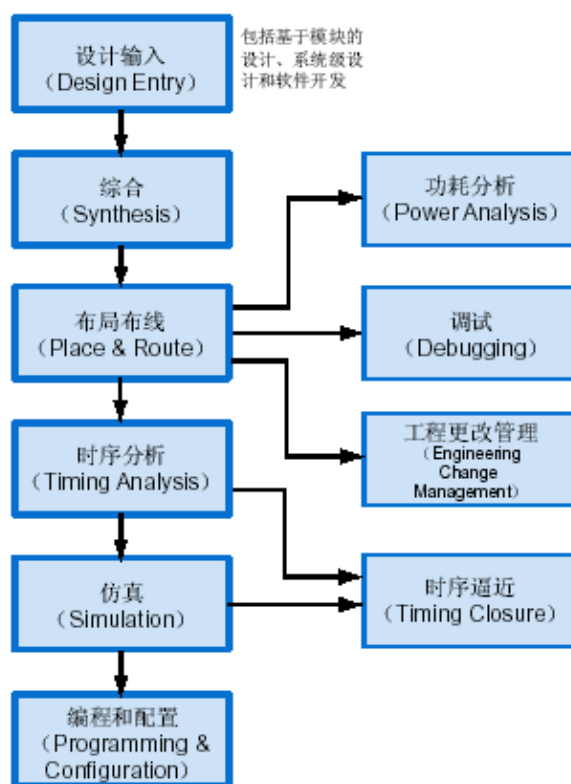


图 1 QuartusII 的设计流程

2、计数器的 VHDL 设计

本节将通过一个 4 位二进制计数器的设计实例，对 QuartusII 的重要功能和使用方法作一些说明，并详细介绍 QuartusII 的基本设计流程。

2.1 创建工程和编辑设计文件

首先建立工作库目录，以便设计工程项目的存储。

任何一项设计都是一项工程（Project），都必须首先为此工程建立一个放置与此工程相关的所有文件的文件夹。此文件夹将被 EDA 软件默认为工作库（Work Library）。一般，不同的设计项目最好放在不同的文件夹中，而同一工程的所有文件都必须放在同一文件夹中。

在建立了文件夹后就可以通过 QuartusII 的文本编辑器编辑设计文件，步骤如下：

- （1）新建一个文件夹。这里假设本项设计的文件夹取名为 CNT，在 D 盘中，路径为 D:\CNT。

注意：文件夹名不能用中文，也最好不要用数字。

- （2）输入源程序。打开 QuartusII，选择菜单“File”“New”，在 New 窗口中的“Device Design Files”中选择编辑文件的语言类型，这里选择“VHDL File”（如图 2-1 所示）。然后在 VHDL 文本编辑窗口中输入如图 2-2 所示 4 位二进制计数器的 VHDL 程序。

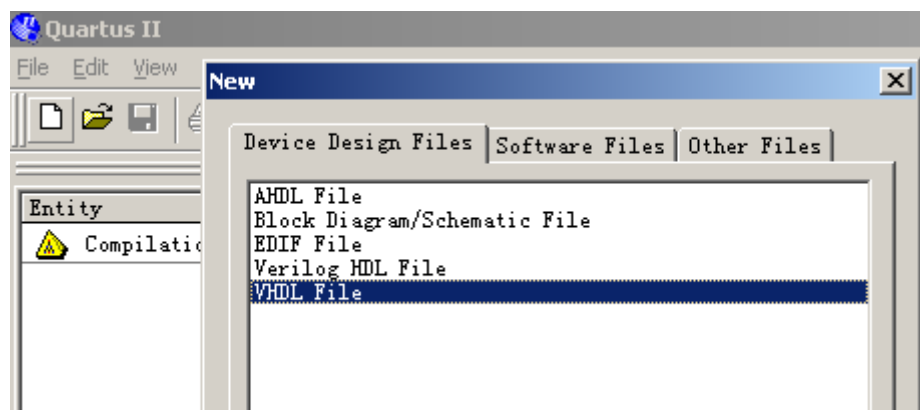


图 2-1 选择编辑文件的语言类型

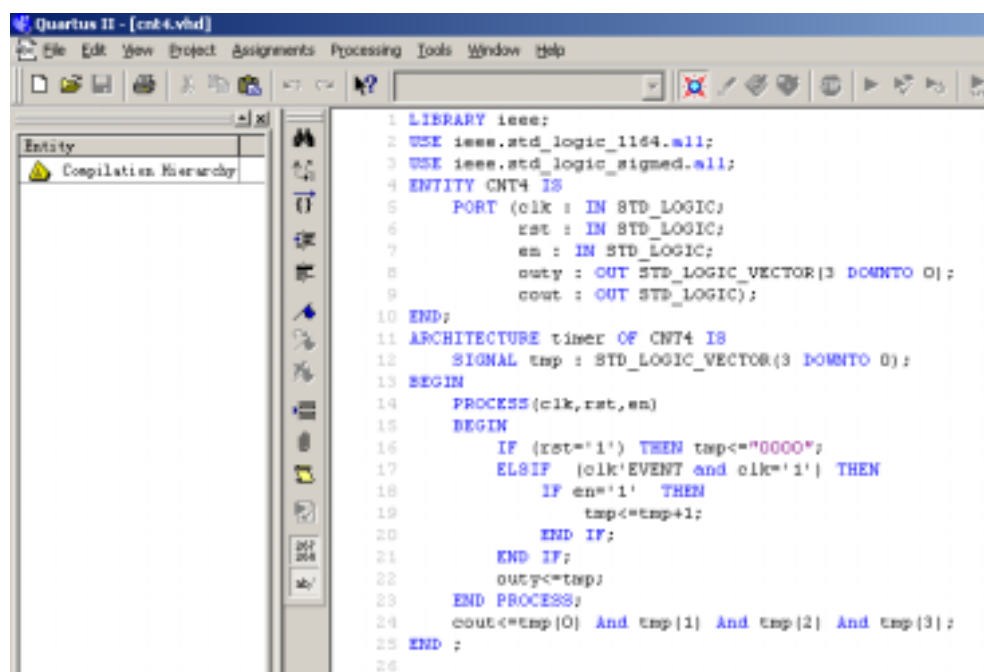


图 2-2 编辑输入设计文件

- (3) 文件存盘。选择菜单“File”→“Save As”，找到要保存的文件夹 D:\CNT，文件名应与实体名一致，即 cnt4.vhd。当出现图 2-3 中所示的“Do you want to create a new project with this file?”对话框时，若单击“是”，则直接进入创建工程流程；若单击“否”，则可以以后再为该设计创建工程。如果保存文件时将“Create new project based on this file”前的“☐”，则不会出现该对话框。

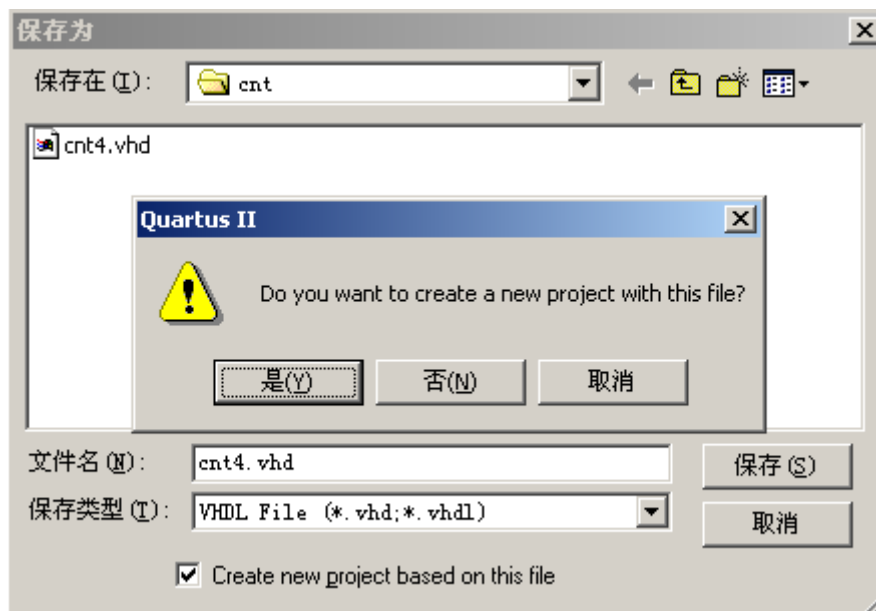


图 2-3 保存设计文件

2.2 创建工程

在此要利用 New Project Wizard 工具选项创建此设计工程，即令 cnt4.vhd 为工程，并设

定此工程的一些相关的信息，如工程名、目标器件、综合器、仿真器等。

详细步骤如下：

(1) 打开建立新工程管理窗。选择菜单“File” “New Project Wizard”，即弹出工程设置对话框(如图 2-4 所示)。单击此对话框最上一栏右侧的“...”按钮，找到文件夹 D:\CNT，选中文件 cnt4.vhd(一般应设顶层设计文件为工程)，在单击“打开”按钮，即可出现图 2-4 所示的设置情况。其中第一行的 D:\CNT 表示工程所在的工作库文件夹；第二行的 cnt4 表示此项工程的工程名，此工程名可以取任何名字，一般直接用顶层文件的实体名作为工程名；第三行是顶层文件的实体名，这里即为 cnt4。

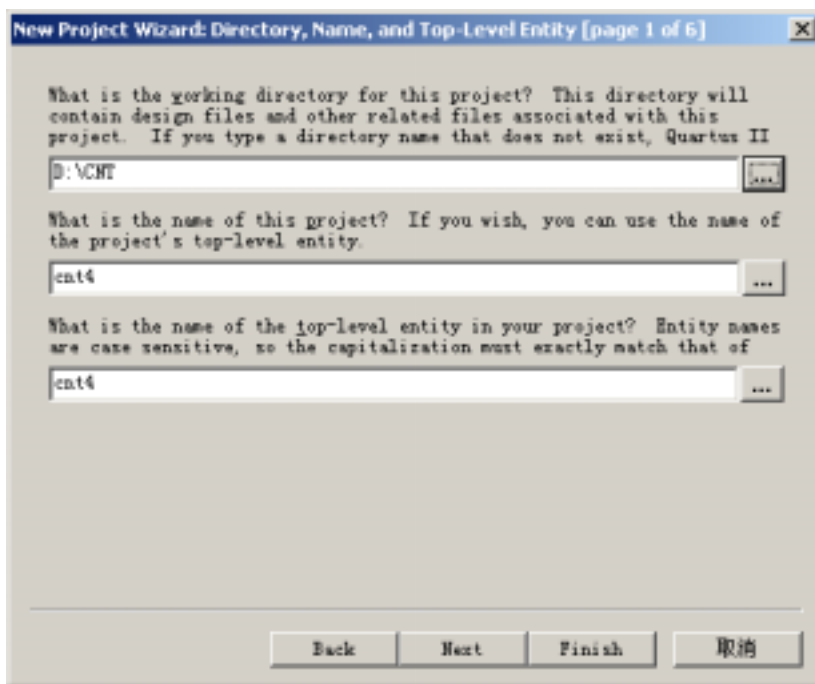


图 2-4 利用 New Project Wizard 创建工程 cnt4

(2) 将设计文件加入工程。单击图 2-4 中的 Next 按钮，在弹出的对话框中单击 File 栏的按钮，将与工程相关的所有 VHDL 文件加入此工程，即得到如图 2-5 所示的情况。将工程文件加入的方法有 2 种：

第 1 种是单击 Add All 按钮，将设定的工程目录中的所有 VHDL 文件加入到工程文件栏中；第 2 种方法是单击 Add...按钮，从工程目录中选出相关的 VHDL 文件。

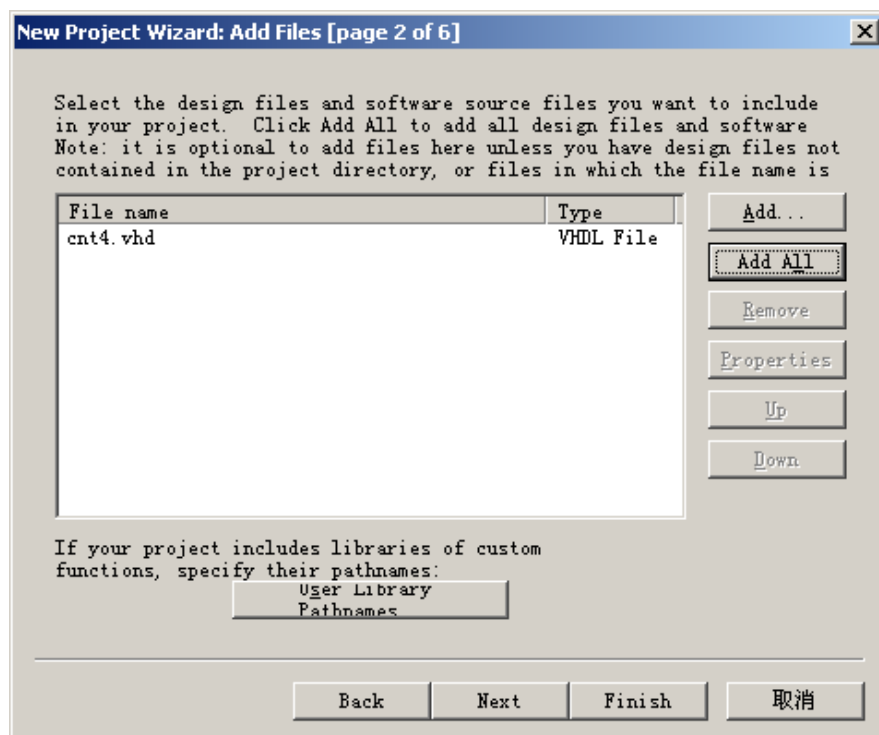


图 2-5 将相关文件加入工程

(3) 选择综合器和仿真器类型。单击图 2-5 中的 Next 按钮，这时弹出的窗口是选择仿真器和综合器类型，如果都选择默认的“NONE”，表示都选 QuartusII 中自带的仿真器和综合器。在此都选择默认项“NONE”。

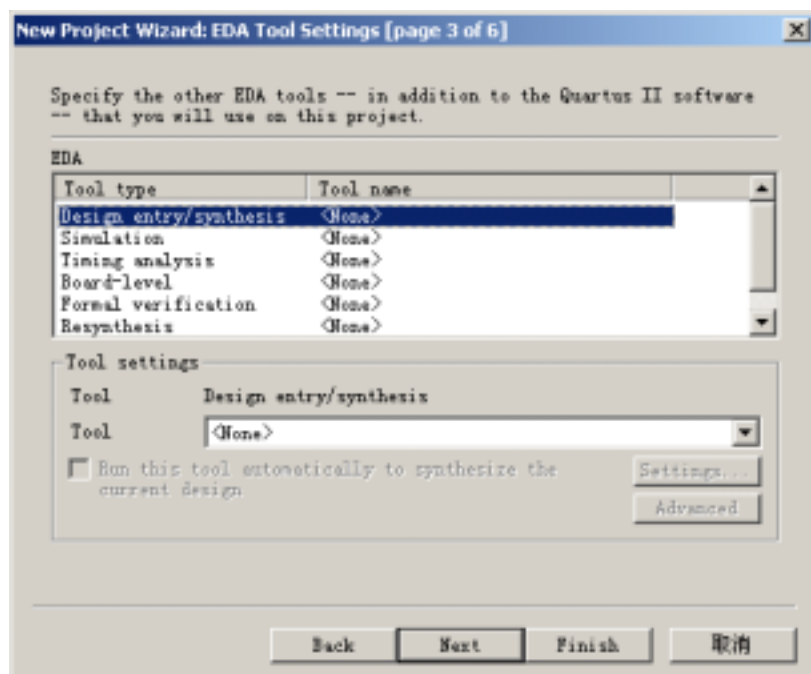


图 2-6 选择仿真器和综合器

(4) 选择目标芯片。单击图 2-6 中的 Next 按钮，选择目标芯片。首先在 Family 栏选择 MAX7000S，在 Available devices 栏选择 EPM7128SLC84-15，可通过右侧的封装、引脚

数、速度等条件来过滤选择，选好之后按“OK”。

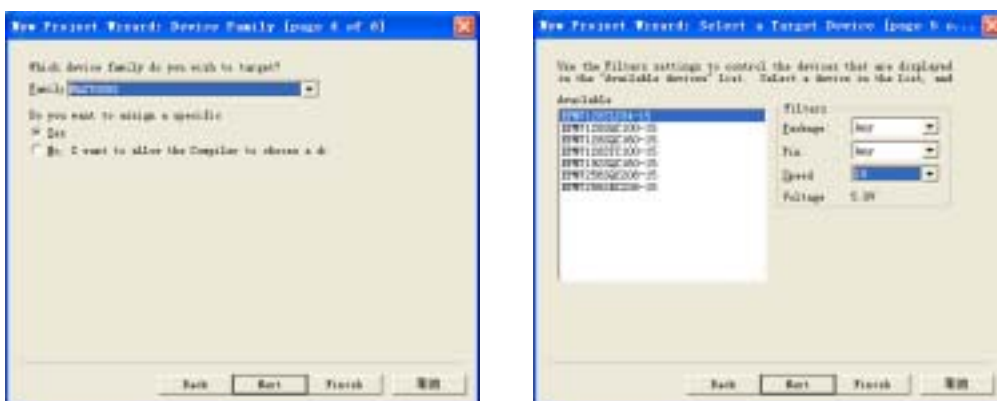


图 2-7 选择目标器件

(5) 结束设置。单击 Next 按钮，即弹出“工程设置统计”窗口，上面列出了此项工程相关设置情况。最后单击 Finish 按钮，即可设定好此工程，并出现 cnt4 的工程管理窗，或称 Compilation Hierarchies 窗口，主要显示本工程项目的层次结构和各层次的实体名。

QuartusII 将工程信息存储在工程配置文件（quartus）中，它包含有关 QuartusII 工程的所有信息，包括设计文件、波形文件、SignalTapII 文件、内存初始化文件以及构成工程的编译器、仿真器和软件构建设置。

建立工程后，可以使用 Settings 对话框（Assignments 菜单）的 Add/Remove 页在工程中添加和删除、设计其他文件。如果现有的 Max+PLUS II 的工程，还可以使用 Convert Max+PLUS II Project 命令（File 菜单）将 Max+PLUS II 的分配与配置文件（acf）转换为 QuartusII 工程。

2.3 编译前设置

在对工程进行编译处理前，必须做好必要的设置，步骤如下：

(1) 选择目标芯片。目标芯片的选择也可以这样来实现：选择 Assignments 菜单中的 Settings 项，在弹出的对话框中选择 Category 项下的 Device（也可以直接选择 Assignments 菜单中的 Device 项），然后选择目标芯片（方法同创建工程中的第 4 步），如图 2-8 所示。

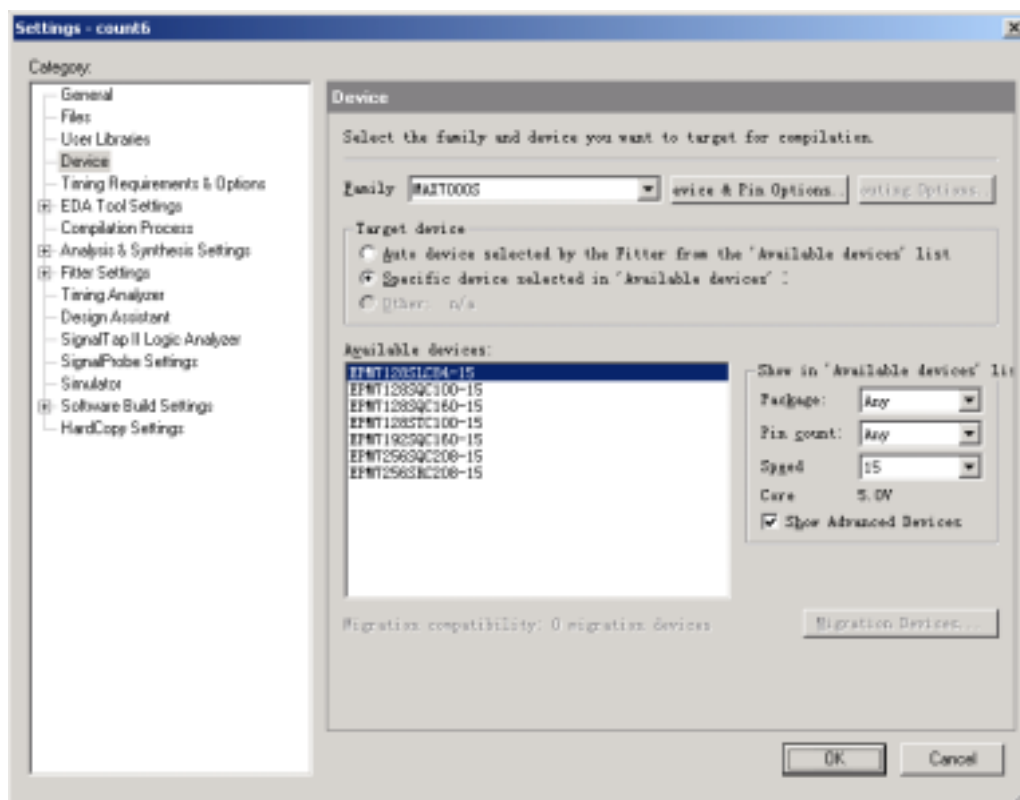


图 2-8 选定目标芯片

(2) 选择目标器件闲置引脚的状态。在 Device & Pin Options 窗口中，选择 Unused Pin 项，设置目标器件闲置引脚的状态为输入状态（呈高阻态）。



图 2-9 设置闲置引脚状态

2.4 编译

QuartusII 编译器是由一系列处理模块构成的，这些模块负责对设计项目的检错、逻辑综合、结构综合、输出结果的编辑配置，以及时序分析。在这一过程中将设计项目适配进 FPGA/CPLD 目标器件中，同时产生多种用途的输出文件，如功能和时序仿真文件、器件编程的目标文件等。编译器首先从工程设计文件间的层次结构描述中提取信息，包括每个低层次文件中的错误信息，供设计者排除，然后将这些层次构建产生一个结构化的以网表文件表达的电路原理图文件，并把各层次中所有的文件结合成一个数据包，以便更有效地处理。

在编译前，设计者可以通过各种不同的设置，指导编译器使用各种不同的综合和适配技术，以便提高设计项目的工作速度，优化器件的资源利用率。而且在编译过程中和编译完成后，可以从编译报告窗中获得所有相关的详细编译结果，以利于设计者及时调整设计方案。

下面首先选择 Processing 菜单的 Start Compilation 项，启动全程编译。注意这里所谓的编译(Compilation)，包括以上提到的 QuartusII 对设计输入的多项处理操作，其中包括排错、数据网表文件提取、逻辑综合、适配、装配文件(仿真文件与编程配置文件)生成，以及基于目标器件的工程时序分析等。

如果工程中的文件有错误，在下方的 Processing 栏中会显示出来(如图 2-10)。对于 Processing 栏中显示的语句格式错误，可双击此条文，即弹出对应的 VHDL 文件，在深色标记条处即为文件中的错误。修改后再次编译直至排除所有错误。

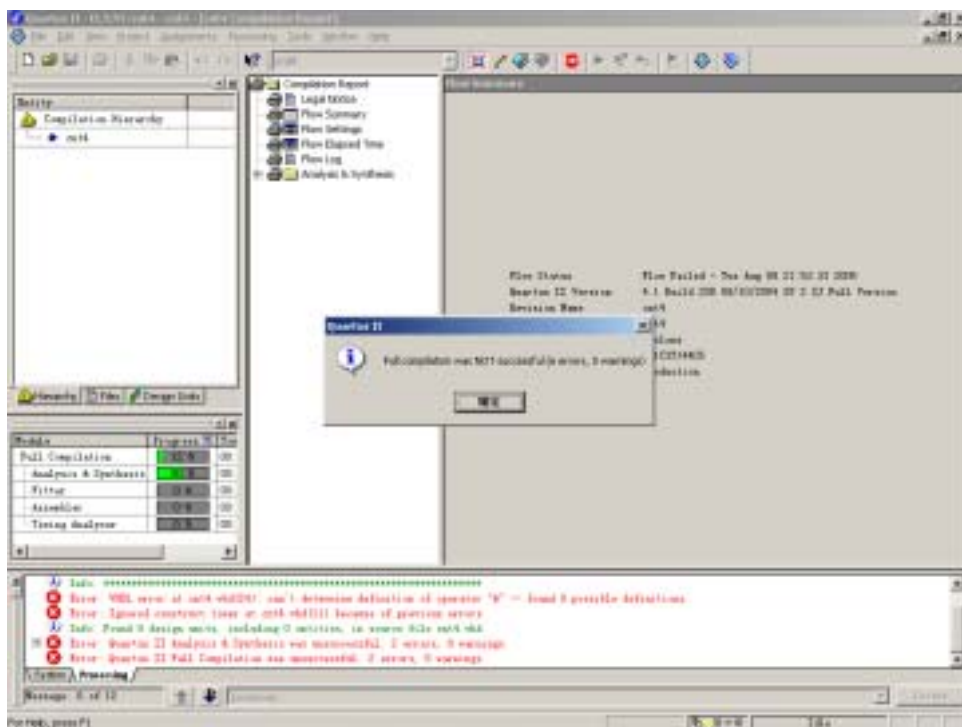


图 2-10 全程编译后出现报错信息

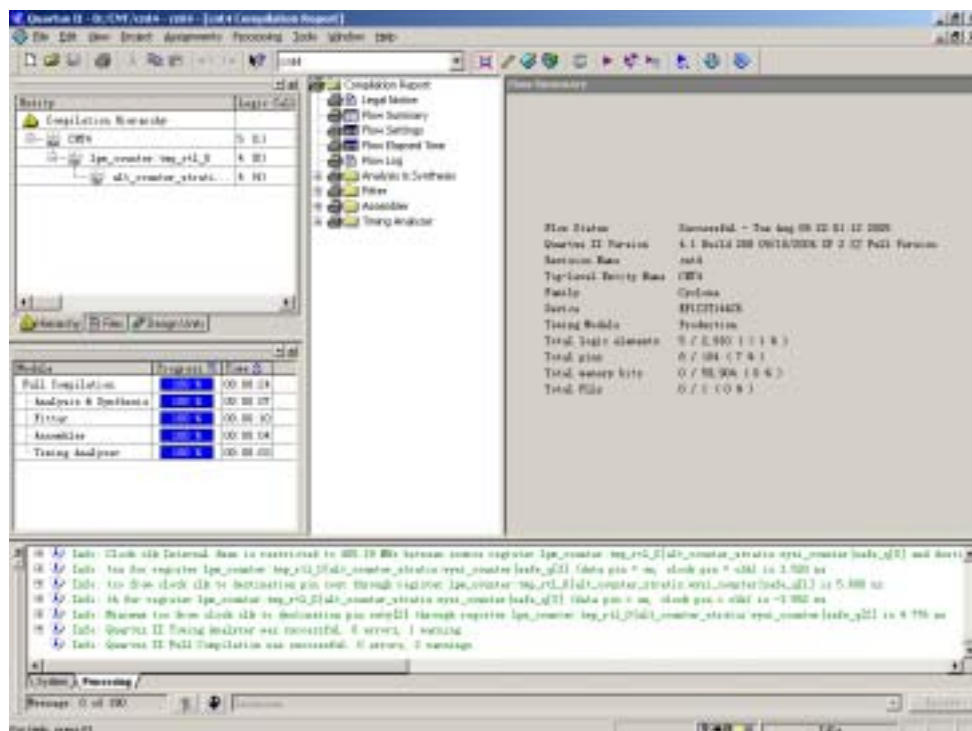


图 2-11 编译完成后的 QuartusII 管理窗界面

了解编译结果包括以下一些内容：

(1) 阅读编译报告。编译成功后可以见到如图 2-11 的界面。此界面左上角是工程管理窗；在此栏下是编译处理流程，包括数据网表建立、逻辑综合、适配、配置文件装配和时序分析；最下栏是编译处理信息；右栏是编译报告，可以通过 Processing 菜单下的 Compilation Report 查看。

(2) 了解工程的时序报告。点击图 2-11 中间一栏的 Timing Analyses 项左侧的“+”号，可以看到相关信息。

(3) 了解硬件资源应用情况。点击图 2-11 中间一栏的 Flow Summary 项，可以查看硬件耗用统计报告；点击图 2-11 中间一栏的 Fitter 项左侧的“+”号，选择 Floorplan View，可以查看此工程在 PLD 器件中逻辑单元的分布情况和使用情况。

(4) 查看 RTL 电路。选择菜单 Tools 下的 RTL Viewer，即可看到综合后的 RTL 电路图，如图 2-12 所示。

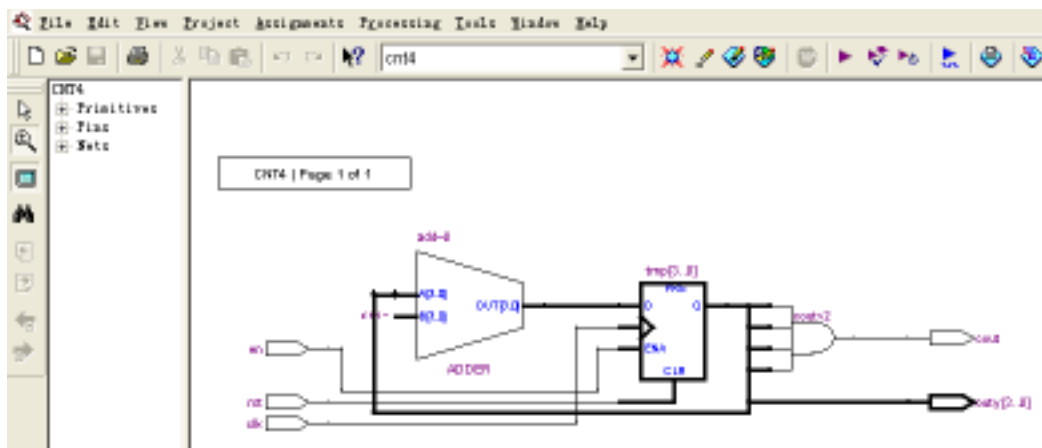


图 2-12 RTL 电路图

2.5 仿真

仿真就是对设计项目进行全面彻底的测试，以确保设计项目的功能和时序特性，以及最后的硬件器件的功能与原设计相吻合。仿真可分为功能方针和时序仿真。功能仿真只测试设计项目的逻辑行为，而时序仿真则既测试逻辑行为，也测试实际器件在最差条件下设计项目真实运行情况。

仿真操作前必须利用 QuartusII 波形编辑器建立一个矢量波形文件（VWF）作为仿真激励。VWF 文件将仿真输入矢量和仿真输出描述成为一波形的图形来实现仿真，但也可以将仿真激励矢量用文本表达，即文本方式的矢量文件（.vec）。

QuartusII 允许对整个设计项目进行仿真测试，也可以对该设计中的任何子模块进行仿真测试。对工程的编译通过后，必须对其功能和时序性质进行仿真，以了解设计结果是否满足原设计要求。以 VWF 文件方式的仿真流程的详细步骤如下：

（1）打开波形编辑器。选择菜单 File 中的 New 项，在 New 窗中选 Other Files 中的 Vector Waveform File（如图 2-13），点击 OK，即出现空白的波形编辑器（图 2-14）。

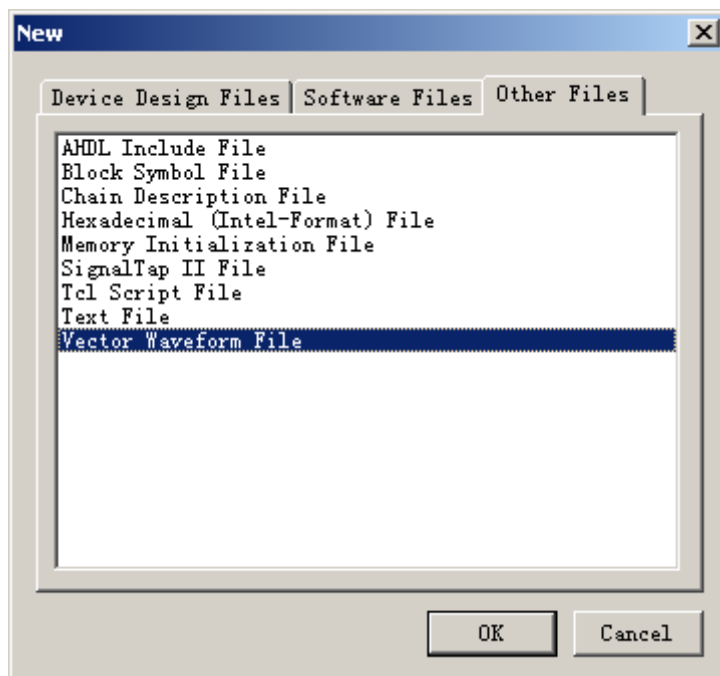


图 2-13 新建矢量波形文件

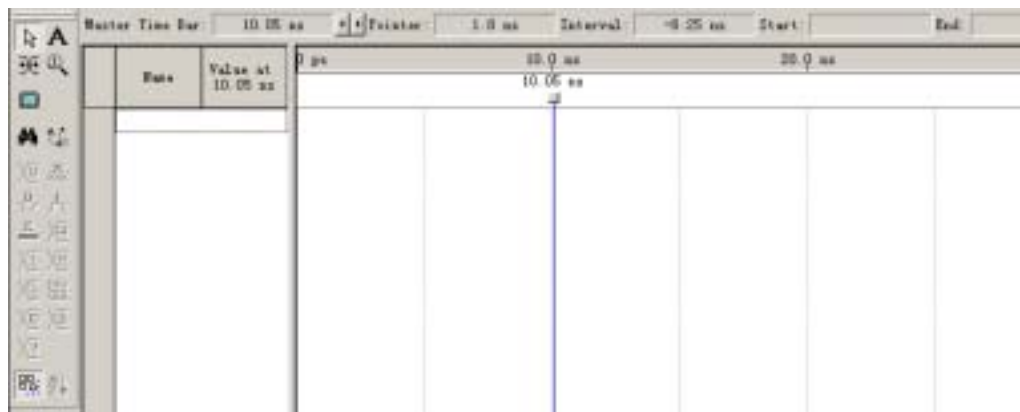


图 2-14 波形编辑器

(2) 设置仿真时间区域。为了使仿真时间轴设置在一个合理的时间区域上，在 Edit 菜单中选择 End Time 项，在弹出的窗口中的 Time 栏中输入 50，单位选择 “us”，即整个仿真域的时间设定为 50 μ s，单击 “OK”，结束设置。

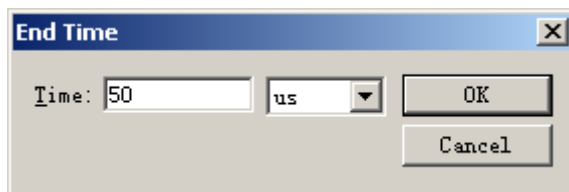




图 2-15 设置仿真时间区域

(3) 保存波形文件。选择 File 中的 Save As，将名为 cnt4.vwf（默认名）的波形文件存入文件夹 D:\CNT 中。

(4) 输入信号节点。将计数器的端口信号选入波形编辑器中，方法是首先选 Edit 菜单中的 Insert Node Or Bus...选项(如图 2-16)，然后单击 Node Finder...按钮，在图 2-17 的 Filter 框中选 Pins：all，然后单击 List，则在下方的 Nodes Found 窗口出现 Cnt4 工程的所有引脚名（如果此对话框中的 List 不显示，需要重新编译一次，然后再重复以上操作过程）。选择要插入的节点，可以按 “ ”、“ ” 逐个添加或删除节点，也可以按 “>>”、“<<” 添加或删除所有节点，选择完毕后按 “OK”。点击波形窗口左侧的全屏显示按钮 ()，使波形全屏显示，然后按放大缩小按钮 ()，使仿真坐标处于适当位置（图 2-18）。

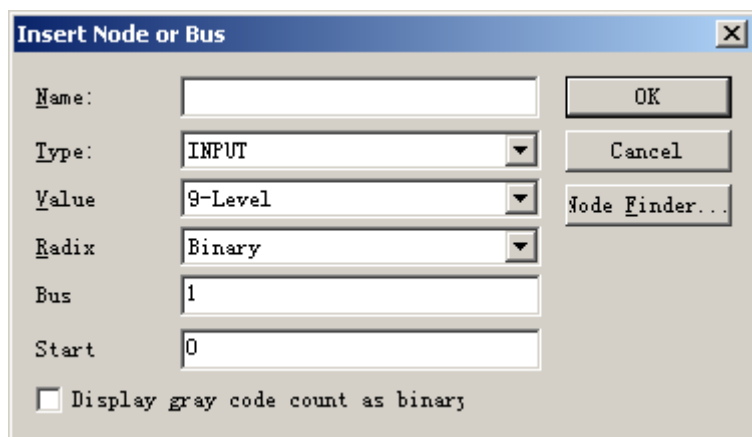


图 2-16 插入节点

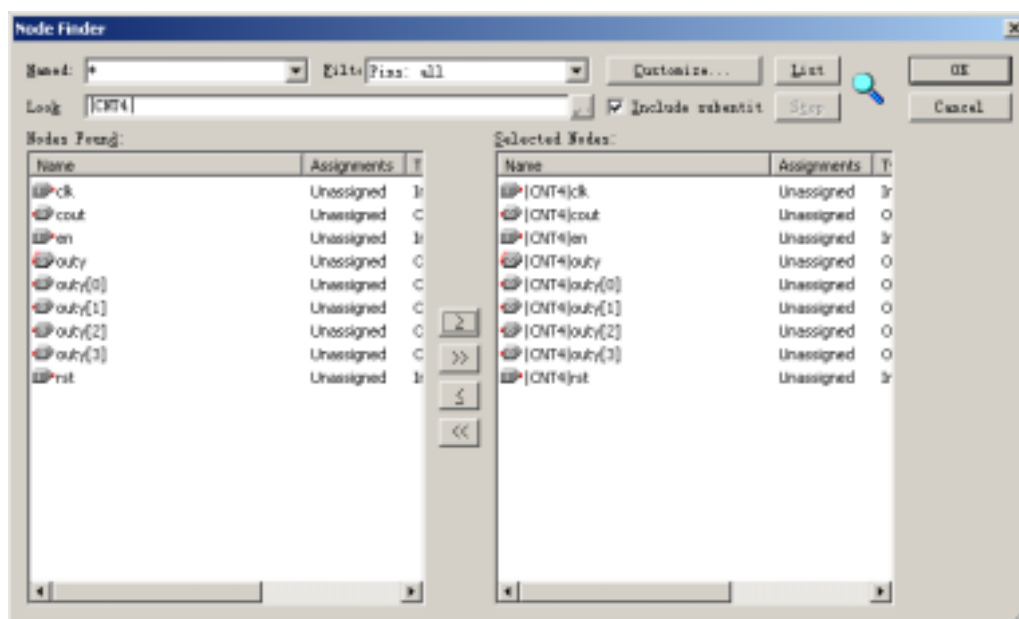


图 2-17 选择节点

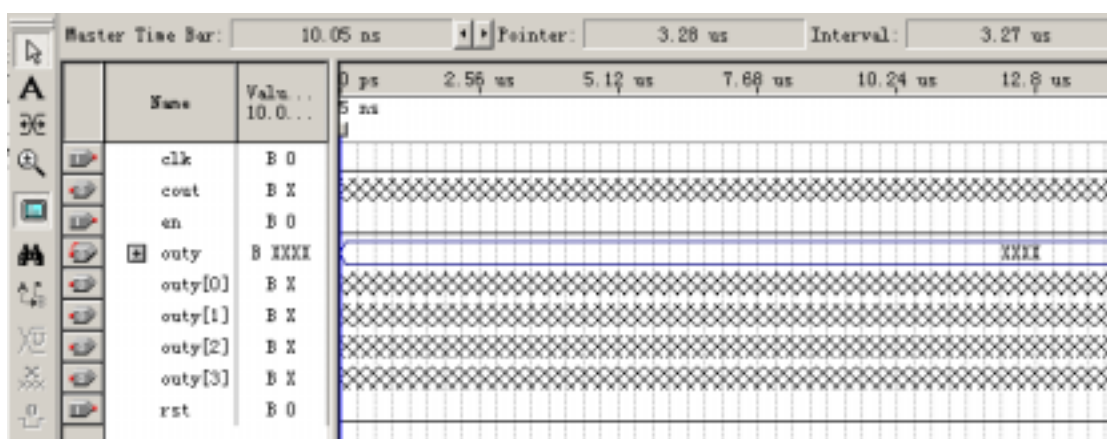






图 2-18 插入了信号节点的波形编辑器

(5) 编辑输入波形(输入激励信号)。点击图 2-18 中的时钟信号名 clk, 使之变成蓝色, 再点击左侧的时钟设置键 () , 在 Clock 窗口中设置 clk 的周期为 1 μ s (如图 2-19)。图中的 Duty Cycle 是占空比, 可以选 50, 即占空比为 50% 的方波。点击 en 和 rst 设置其波形, 可以通过  和  直接将信号设为“0”或“1”, 也可以按住鼠标左键在波形编辑区拖动选择某一段波形, 将其值设为“0”或“1”。对于总线数据, 可以通过  设置其波形。

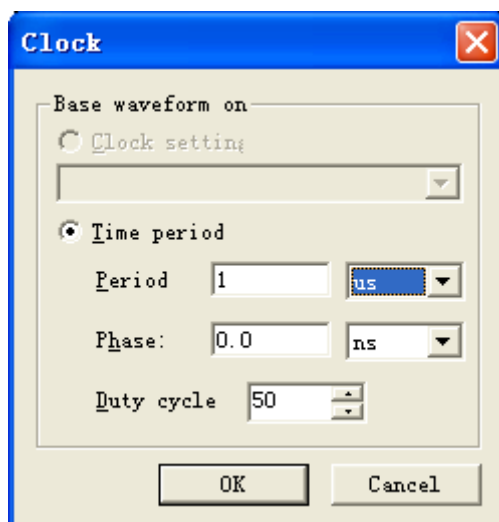


图 2-19 设置时钟波形

(6) 仿真器参数设定。选择菜单 Assignment 中的 Settings，在 Settings 窗口的 Category 下选 Simulator，在此项下可观察仿真总体设置情况；在 Simulation 栏确认仿真模式为时序仿真“Timing”；在 Simulation Options 栏，确认选定 Simulation coverage reporting，毛刺检测 Glitch detection 为 1ns 宽度。

(7) 启动仿真器。在菜单 Processing 项选择 Start Simulation，直到出现图 2-20 中的仿真成功信息，仿真结束。

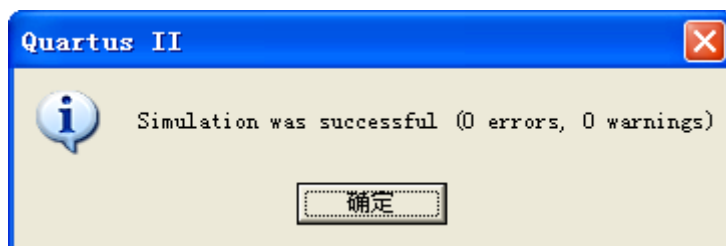


图 2-20 仿真成功信息

(8) 观察仿真结果。仿真波形文件 Simulation Report 通常会自动弹出(图 2-21)。注意 QuartusII 中，波形编辑文件 (*.vwf) 与波形仿真报告文件 (Simulation Report) 是分开的，而 Max+Plus II 中编辑与仿真报告波形是合二为一的。如果在启动仿真后，没有出现仿真完成后的波形图，而是出现文字“Can't open Simulation Report Window”，但报告仿真成功，则可以通过选择 Processing Simulation Report 自己打开仿真波形报告。

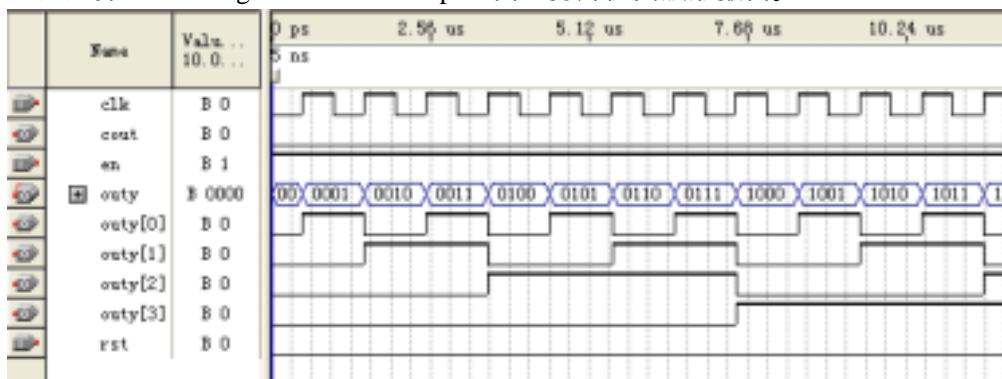


图 2-21 仿真波形输出

2.6 引脚锁定和下载

为了能对计数器进行硬件测试，应将计数器的输入输出信号锁定在芯片确定的引脚上。将引脚锁定后应再编译一次，把引脚信息一同编译进配置文件中，最后就可以把配置文件下载进目标器件中。具体步骤如下：

(1) 引脚锁定。在菜单 Assignments 中选择 Pins 项，在图 2-22 中下面的表格里 To 列对应的行中双击鼠标左键，将显示本工程中所有的输入输出端口，选择要分配的端口即可，在 Location 对应的行中双击鼠标左键，将显示芯片所有的引脚，选择要使用的引脚即可。以同样的方法可将所有端口锁定在对应的引脚上。引脚锁定后，必须再编译一次（Processing Start Compilation），将引脚信息编译进下载文件中。

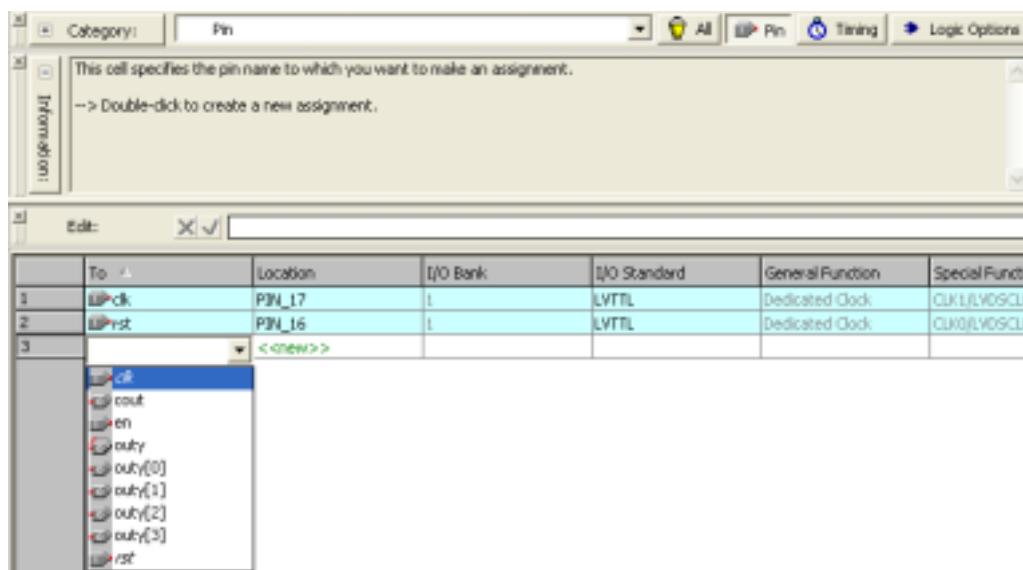


图 2-22 引脚分配

(2) 为了将编译产生的下载文件写入芯片中进行测试，首先将系统连接好，上电，然后在菜单 Tool 中，选择 Programmer，将出现图 2-23 所示的编程窗口。



图 2-23 编程窗口

(3) 硬件设置。在菜单 Tools 中选择 Programmer 项，如图 3-2，单击左上角的 Hardware Setup，可见图 2-24 所示的界面。

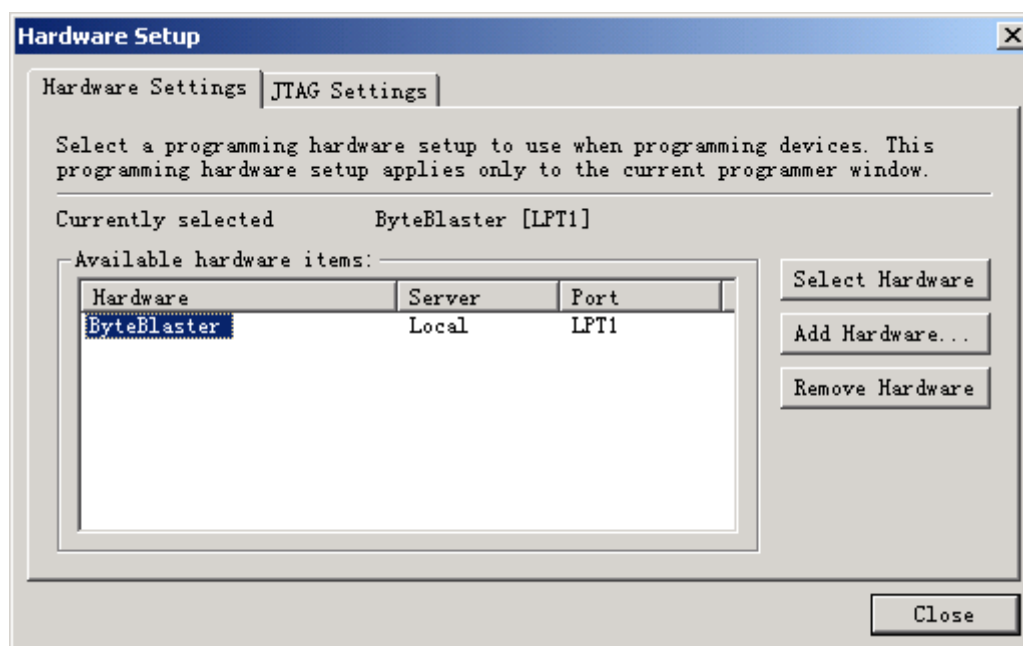


图 2-24 硬件设置

单击图 2-24 中的 Add Hardware 按钮，硬件类型选择 ByteBlasterMV or ByteBlaster II，端口为 LPT1（图 2-25），然后按 OK，再在图 2-24 的 Hardware 栏选中 ByteBlaster，然后按 Select Hardware 选择该硬件，然后按 Close 关闭该窗口。

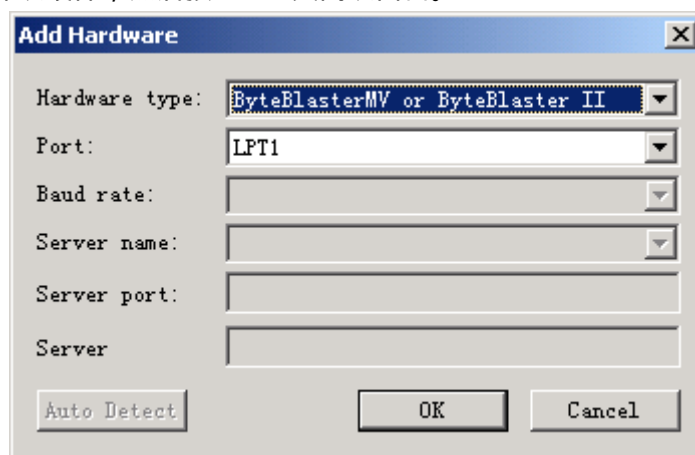


图 2-25 增加硬件

(4) 下载。将图 2-26 中的 Program/Configure、Verify、Blank-Check 下的小方框选中(打)，然后按 Start 开始编程。

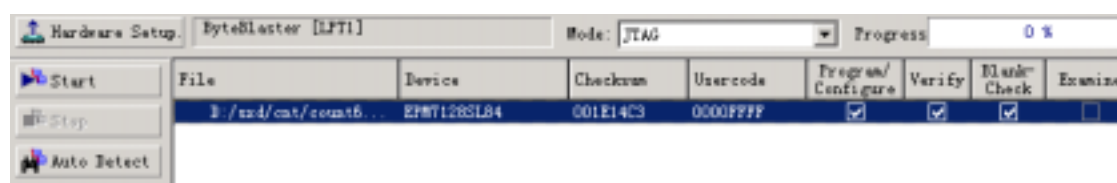


图 2-26 下载