

系统总线

xyfjASON

-
- 1 基本概念
 - 2 总线分类
 - 2.1 片内总线
 - 2.2 系统总线
 - 2.3 通信总线
 - 3 总线特性及其性能指标
 - 4 总线结构
 - 4.1 单总线结构
 - 4.2 多总线结构
 - 5 总线控制
 - 5.1 总线判优控制
 - 5.2 总线通信控制
-

1 基本概念

分散连接：各部件之间单独连接

总线连接：各部件连在一组公共信息传输线上。

在某一时刻，只允许有一个部件向总线发送信息，而多个部件可以同时从总线上接受相同的信息。

总线实际上是由许多传输线或通路组成，每条线可一位一位地传输二进制代码，一串二进制代码可在一段时间内逐一传输完成。

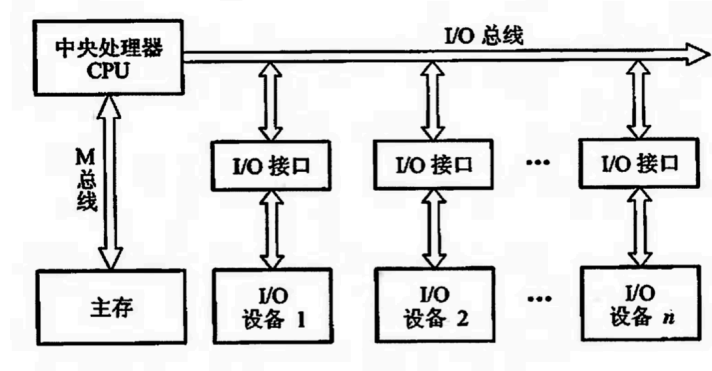


图 3.1 面向 CPU 的双总线结构框图

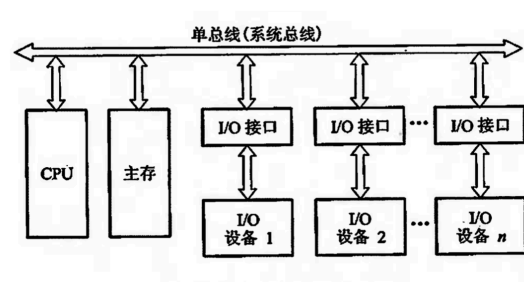


图 3.2 单总线结构框图

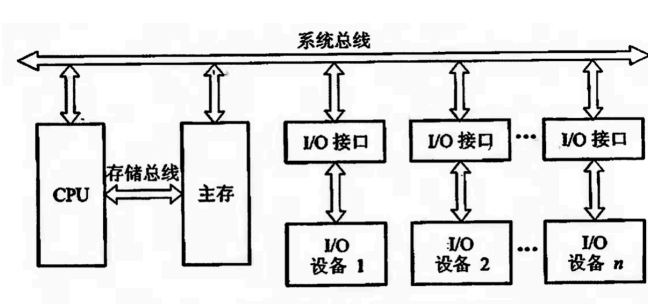


图 3.3 以存储器为中心的双总线结构框图

2 总线分类

2.1 片内总线

芯片内部的总线。

2.2 系统总线

系统总线指 CPU、主存、I/O 设备各大部件之间的信息传输线。

1. 数据总线：双向，传输数据信息
2. 地址总线：单向
3. 控制总线：对任一控制线而言是单向的，对控制总线总体而言可以认为是双向的

2.3 通信总线

用于计算机系统之间或者计算机系统和其他系统之间的通信。

串行通信，并行通信

3 总线特性及其性能指标

总线特性：机械特性、电气特性、功能特性、时间特性

性能指标：总线宽度、总线带宽（MBps）、时间同步/异步、总线复用、信号线数、总线控制方式、其他指标（负载能力、电压电源、能否扩展等）

4 总线结构

4.1 单总线结构

结构简单，便于扩充，但极易产生瓶颈。

4.2 多总线结构

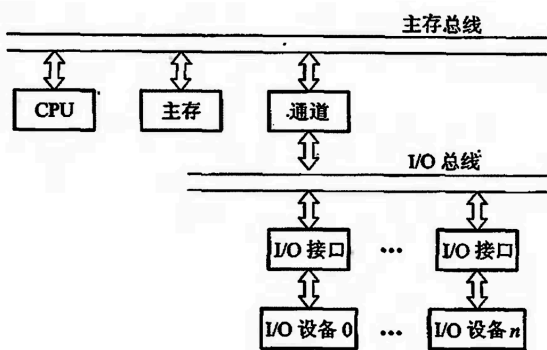


图 3.7 双总线结构

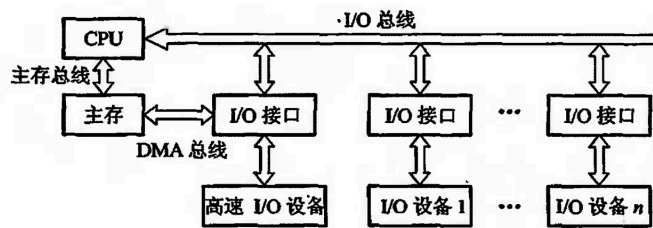


图 3.8 三总线结构

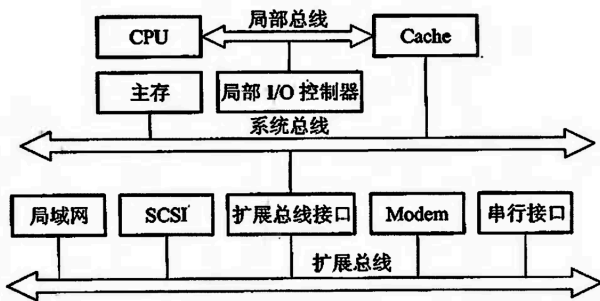


图 3.9 三总线结构的又一形式

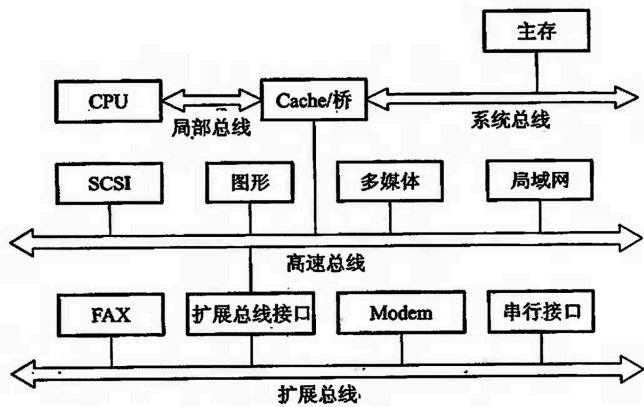


图 3.10 四总线结构

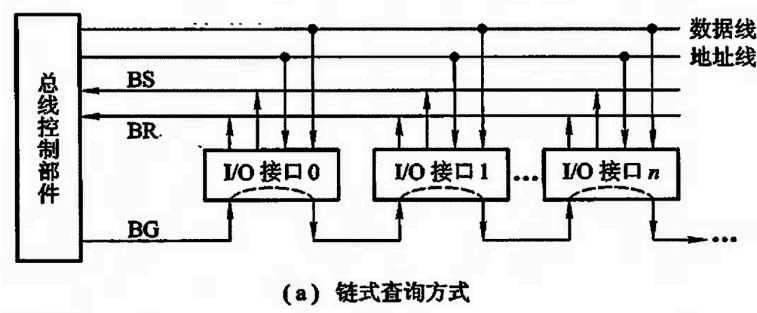
5 总线控制

5.1 总线判优控制

1. 链式查询：

3 根线用于总线控制（BS 总线忙、BR 总线请求、BG 总线同意），当 BG 到达的接口有总线请求，就不再往下传，并建立总线忙 BS 信号表示占用了总线。

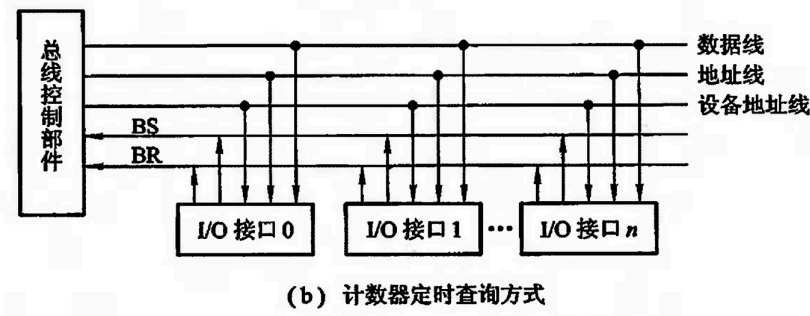
结构简单，容易扩充，但对电路故障敏感，优先级低的设备很难获得请求。



2. 计数器定时查询：

当总线控制部件接收到 BR 请求信号后，计数器开始计数，通过设备地址线向各设备发送地址信号。当某请求总线占用的设备地址与计数值一致时获得总线使用权，终止计数查询。

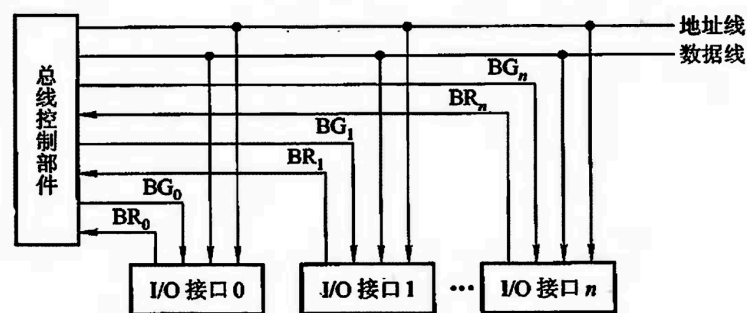
计数器可以固定从 "0" 开始计数，也可以循环技术，还可以由程序设置，故优先次序可以改变。对电路故障不敏感，但增加了 $\log_2 n$ 根设备地址线，控制较复杂。



3. 独立请求：

每台设备均有总线请求线 BR 和总线同意线 BG。当设备要求用总线时便发出请求信号，总线控制部件内的排队电路决定相应谁的请求。

响应速度快，优先次序控制灵活（通过程序改变），但需要用 $2n$ 根控制线，总线控制更复杂。



(c) 独立请求方式

5.2 总线通信控制

完成一次总线操作的时间称为总线周期，可分为 4 个阶段：

1. 申请分配阶段
2. 寻址阶段
3. 传数阶段
4. 结束阶段

总线通信控制解决通信双方如何获知传输开始和结束，以及通信双方如何协调如何配合。有四种方式：

1. 同步通信：双方由统一时标控制数据传送。总线上两个部件完成一次完整且可靠的信息传输所用时间称为总线传输周期。

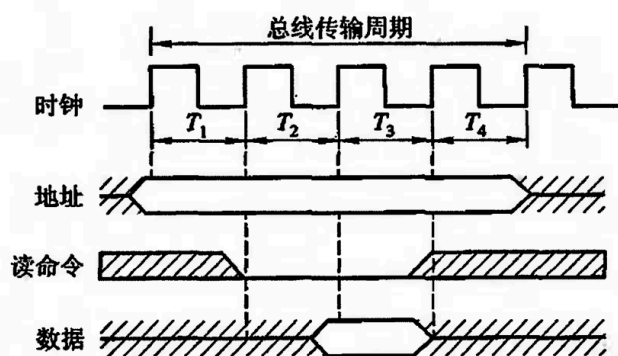


图 3.16 同步式数据输入传输

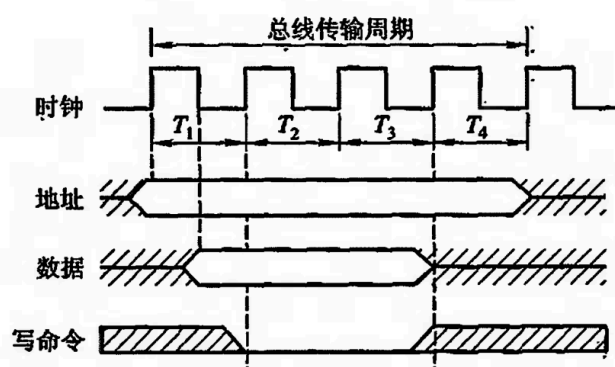


图 3.17 同步式数据输出传输

2. 异步通信：没有公共的始终标准，采用应答方式（握手方式），有三种类型：

1. 不互锁方式：主模块发出请求后，不等待从模块回答，而是经过一段时间后，确认从模块已收到请求信号后便撤回请求信号；从模块接到请求信号后，在条件允许时发出回答信号，并经过一段时间确认主模块已收到回答信号后，自动撤销回答信号。
2. 半互锁方式：主模块发出请求后，必须等待接到从模块的回答信号后再撤销其请求信号；从模块在接到请求信号后发出回答信号，不必等待获知主模块的请求信号已经撤销，而是隔一段时间后自动撤销其回答信号。

- 全互锁方式：主模块发出请求后，必须等待接到从模块的回答信号后再撤销其请求信号；从模块发出回答信号，必须等待获知主模块请求信号已撤销后，再撤销其回答信号。

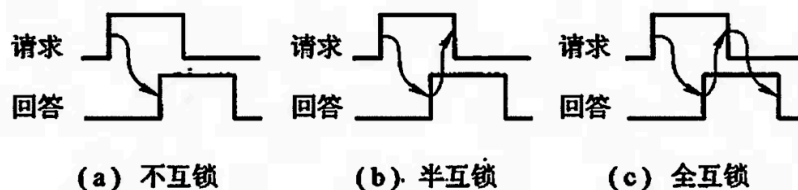
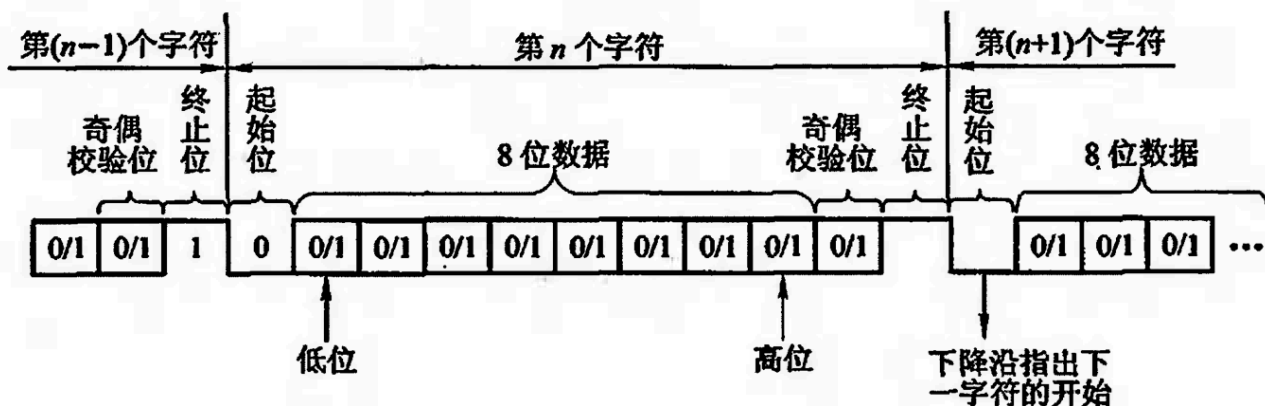


图 3.18 异步通信中请求与回答的互锁

异步通信中没有时钟，为了确认被传送的字符，约定字符格式为：1 个起始位（低电平）、5 ~ 8 个数据位（起始位后面紧跟最低位）、1 个奇偶校验位、1 或 1.5 或 2 个终止位（高电平）。从起始位到终止位构成一帧，两帧之间可以有空闲位（高电平）。



异步串行通信的数据传送速率用波特率衡量。波特率指单位时间内传送二进制数据的位数，单位用 bps，记作波特。

- 半同步通信：双方严格参照系统时钟，但又像异步通信那样，允许不同速度的模块和谐工作。为此增设“等待”相应信号线，当从模块工作速度较慢时，通知主模块给出 $\overline{\text{WAIT}}$ 信号。

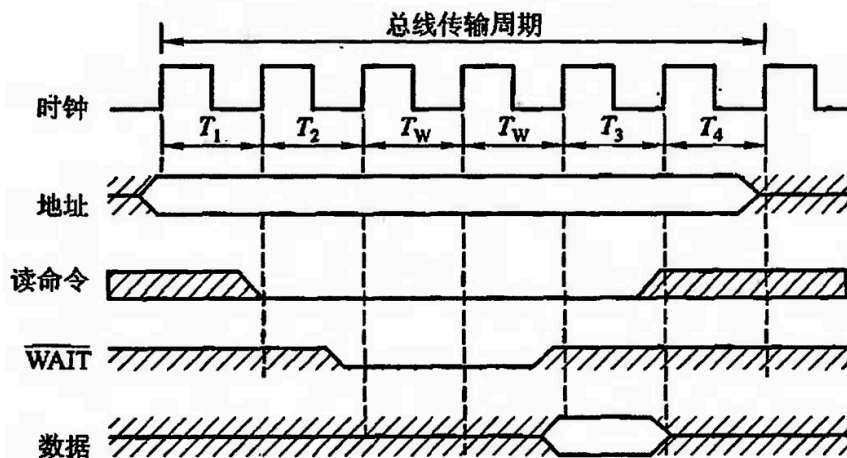


图 3.22 半同步通信数据输入过程

上图中， T_2 结束后从模块不能很快准备好数据，所以给了 $\overline{\text{WAIT}}$ 信号，使主模块插入了两个 T_W 周期等待。

比异步简单，可靠性较高，同步结构较方便。但是系统时钟频率不能太高，故

4. 分离式通信：上三种通信方式中，从模块准备数据的时间内总线空闲，为了克服这种消极等待，提出分离式通信。

一个总线周期分解为两个子周期。第一个子周期中，主模块 A 获取总线使用权，将命令、地址、模块编号及有关信息发到系统总线上，经总线传输后，由有关的从模块 B 接收下来，随即放弃总线使用权。第二个子周期中， B 收到 A 的有关命令后进行内部数据准备，申请总线使用权，将 A 编号、 B 地址、数据等信息送到总线上供 A 接收。

这种方式下，两个传输子周期都只有单方向的信息流，每个模块都变成了主模块。