

一、(10分) 有三个 cache 存储器, 每个由 4 个 block 组成, 每个 block 只有一个字。第一个 cache 存储器采用全相联映象, 第二个 cache 存储器采用 2-way 组相联映象, 第三个 cache 存储器采用直接相联映象。下面是程序执行过程中的 block 地址流:

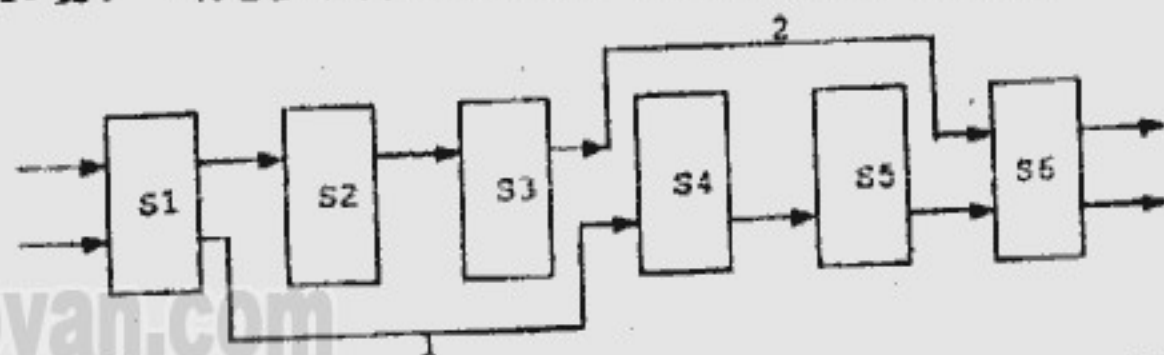
0, 8, 0, 6, 8

请计算三种结构的缺失次数各为多少?

二、(10分) 假设我们有一个需要运行 100 秒的标准程序, 其中有 90 秒是 CPU 时间而剩下的是 I/O 占用的时间。如果在以后的五年中, CPU 速度每年提高 50% 且 I/O 时间保持不变, 那么五年后我们的程序要耗费多少时间?

三、(10分) 假定在 1000 次内存访问中, 在第一级 Cache 中有 40 次缺失, 在第二级 Cache 中有 20 次缺失。两种缺失率分别为多少?

四、(10分) 一动态多功能流水线由 6 个功能段组成, 如下图:



其中: S1、S4、S5、S6 组成乘法流水线, S1、S2、S3、S6 组成加法流水线, 各个功能段时间均为 50ns。假定该流水线的输出结果可以直接返回流水线输入端, 而且设置有足够的缓冲寄存器。若按照最快的方式用

该流水线计算 $f = \sum_{i=1}^3 x_i y_i z_i$ 。

(1) (4分) 请画出其处理过程的时空图。

(2) (6分) 计算其实际吞吐率, 加速比和效率。

五、(10分) 一个由高速缓冲存储器与主存储器组成的二级存储系统。已知主存容量为 1MB, 缓存容量为 32KB, 采用组相联方式进行地址映象与变换。主存与缓存的每一块为 64B, 缓存共分 8 组。

(1) (4分) 写出主存与缓存的地址格式。(地址码长度及各字段名称与位数)。

(2) (6分) 假定 Cache 的存取周期为 20ns, 命中率为 0.95, 希望采用 Cache 后的加速比大于 10, 那么要求主存储器的存取速度应大于多少?

1.图(一)所示总线上接有 8 个 TTL 型驱动器和 16 个 TTL 型接收器。驱动器和接收器的功能表如图(二)所示,它们的主要有关直流参数为:

正常态下“1”输出电流 $I_{OH} \geq 6\text{mA}$

高阻态下输出漏电流 $I_{OZ} \leq 20\mu\text{A}$

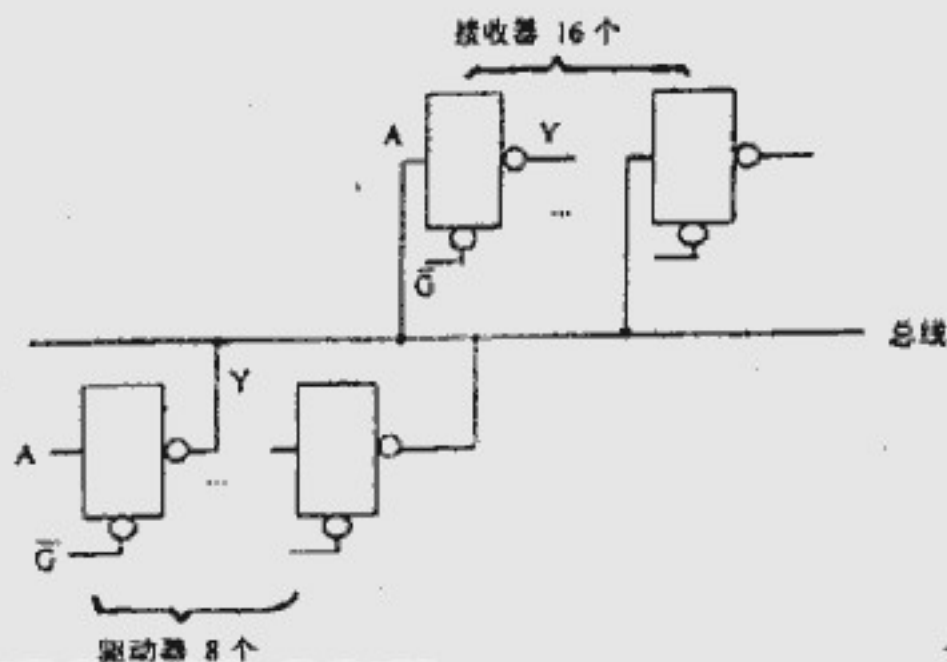
正常态下“0”输出电流 $I_{OL} \geq 24\text{mA}$

数据端“1”输入电流 $I_{IH} \leq 100\mu\text{A}$

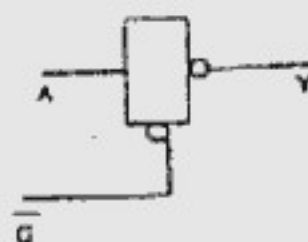
正常态下数据端“0”输入电流 $I_{IL} \leq 1.6\text{mA}$

高阻态下数据端“0”输入电流 $I_{IIZ} \leq 40\mu\text{A}$

请分析:驱动器能否可靠驱动接收器。(10分)



图(一)

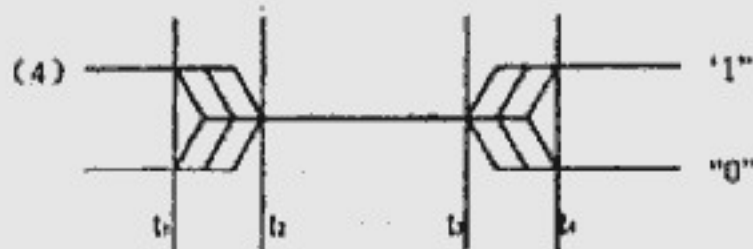
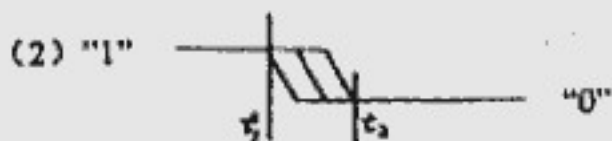
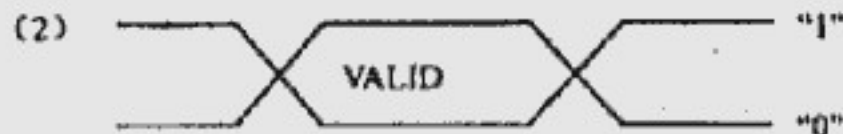
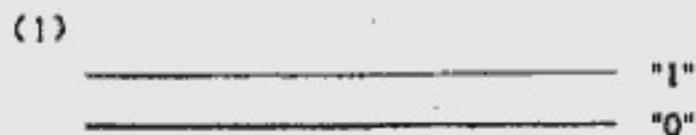


图(二)

功能表

\overline{G}	A	Y
0	A	\overline{A}
1	x	Z

2.在数字集成电路手册的时序图中,可常见到表达电路输入或输出电压状态变化的一些时序符号,请说明以下表达输出电压变化的符号的意义。(16分)



3. (1) 设计一个能周期性地产生“01110001”序列信号的移位寄存器,该电路工作前要清零。记忆元件用正沿延迟型D触发器,附加门电路限用NAND电路。给出设计过程。

(2) 对本题(1)的移位寄存器电路,如果触发器的参数有: $t_{pd} = 20\text{ns}$ 、数据建立时间 $t_{su} = 10\text{ns}$ 、数据保持时间 $t_h = 4\text{ns}$, NAND的 t_{od} 为 6ns , 请估算寄存器的最高工作频率,

(24分)