



本章总览

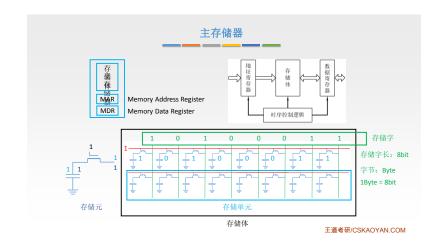
存储器的简单模型及寻址的概念
主存与CPU的选择

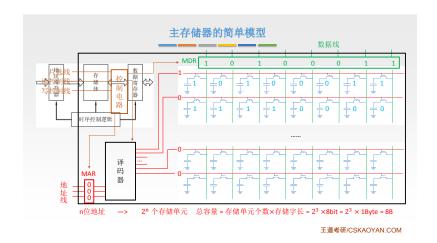
双口RAM和多键块存储器
虚拟存储器
虚拟存储器

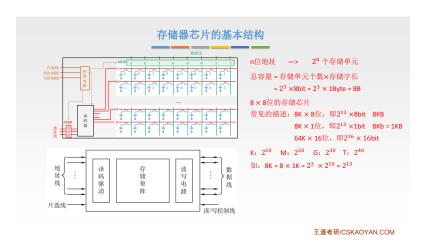
FRAM、DRAM的工作展现
ROM的特点和基本类型

全维指标

正道考研/CSKAOYAN.COM

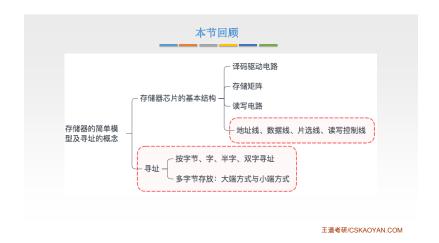




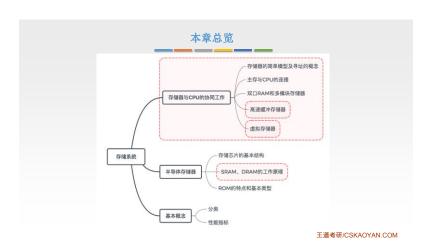


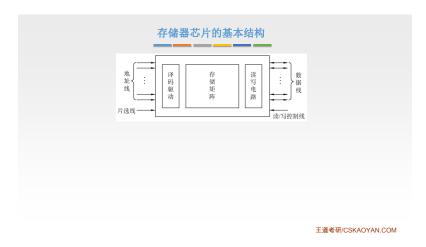
寻址 十进制: 地址: 00 0000 0000 地址线 存储矩阵 读写电路 00 0000 0001 00 0000 0010 00 0000 0011 00 0000 0100 00 0000 0101 片选线-读/写控制线 00 0000 0110 字长为4B 总容量为1KB地址线: 10根 按字节寻址: 1K个单元 每个单元1B 按字寻址: 256个单元, 每个单元4B 按半字寻址: 512个单元,每个单元2B 按双字寻址: 128个单元,每个单元8B 王道考研/CSKAOYAN.COM

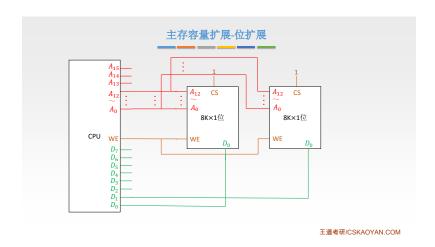


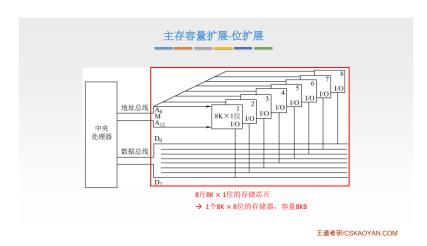


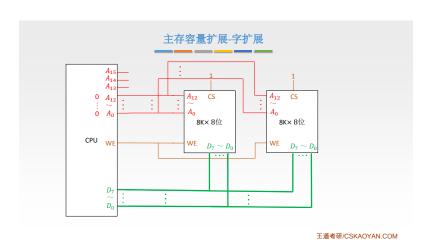


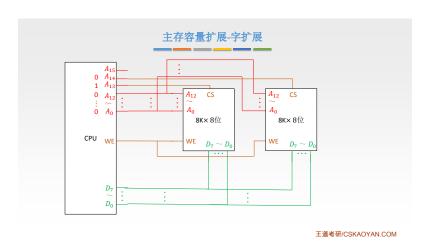


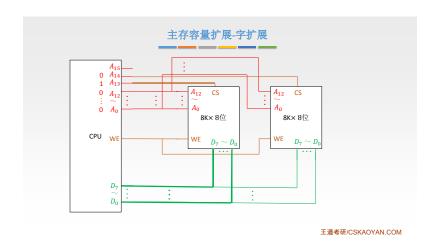


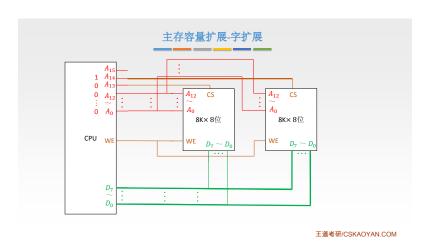


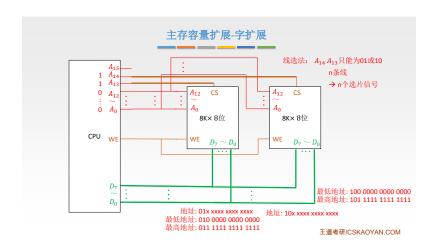


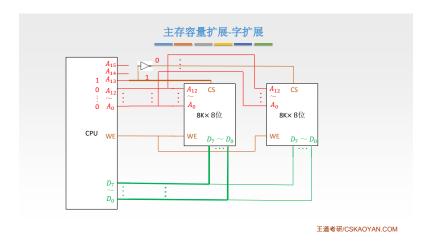


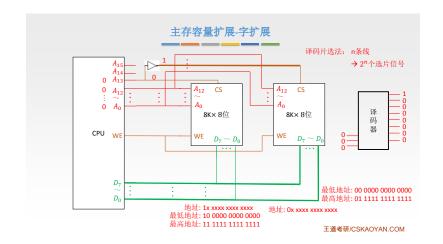


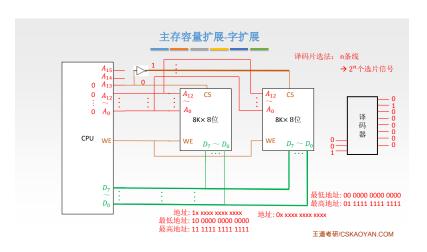


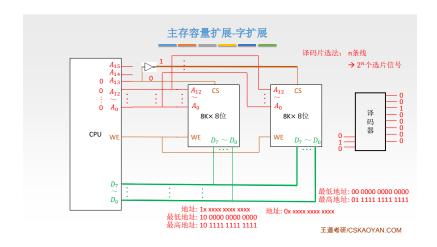


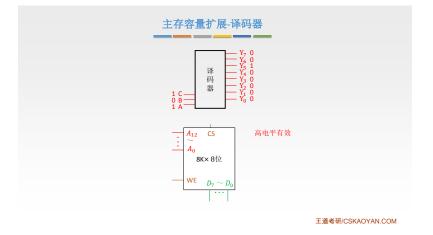


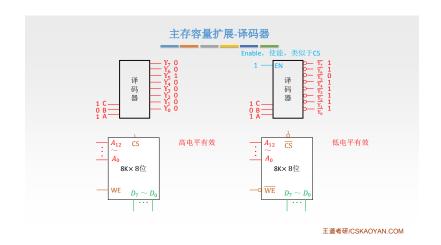


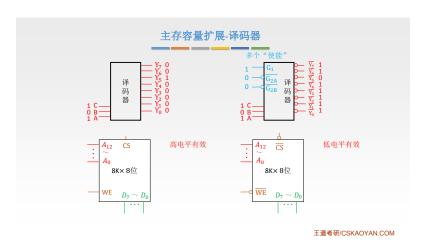


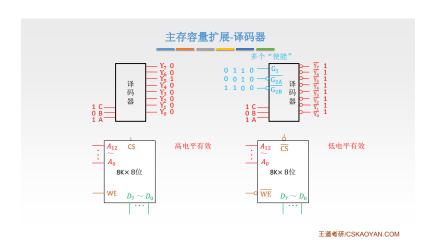


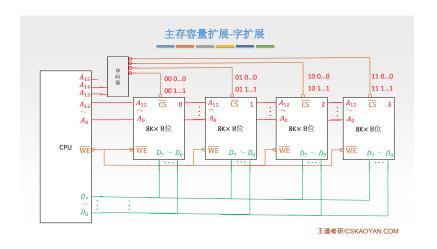


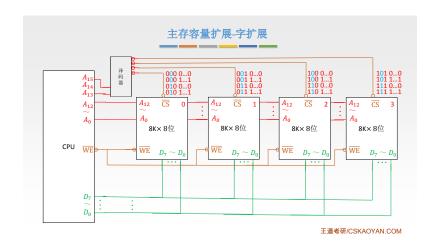




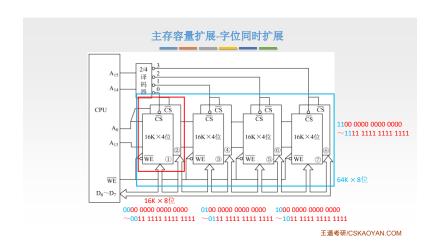












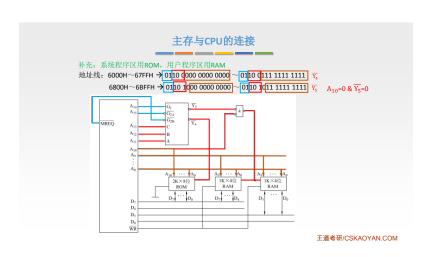


存储系统
主存与CPU
的连接-例题

主存与CPU的连接 设CPU有16根地址线,8根数据线,并用MREQ作为访存控制信号(低电平有效),用WR作 为读/写控制信号(高电平为读,低电平为写)。现有下列存储芯片: 1K×4位RAM, 4K×8位 RAM, 8K×8位RAM, 2K×8位ROM, 4K×8位ROM, 8K×8位ROM及74LS138译码器和各种门电路。画 出CPU与存储器的连接图,要求: 1) 主存地址空间分配: 6000H~67FFH为系统程序区; 6800H~6BFFH为用户程序区。 2) 合理选用上述存储芯片,说明各选几片? 3) 详细画出存储芯片的片选逻辑图。 补充:系统程序区用ROM,用户程序区用RAM 1. 确认地址线、数据线,选择存储芯片 数据线: CPU数据线8根 → 存储器位数应扩展为8位 地址分配: $6000H\sim67FFH\rightarrow67FFH-6000H+1=800H$, $8\times16^2=2^3\times2^8=2^{11}=2K$ ROM地址线11根 → 用1片2K×8位ROM 6800H \sim 6BFFH → 6BFFH − 6800H + 1 = 400H, $4 \times 16^2 = 2^2 \times 2^8 = 2^{10} = 1$ K → 用2片1K×4位RAM, 位扩展 RAM地址线10根

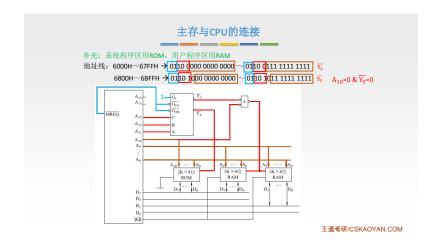
王道考研/CSKAOYAN.COM

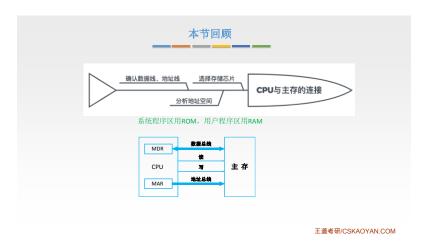
主存与CPU的连接 设CPU有16根地址线,8根数据线,并用MREQ作为访存控制信号(低电平有效),用WR作 为读/写控制信号(高电平为读,低电平为写)。现有下列存储芯片: 1K×4位RAM, 4K×8位 RAM, 8K×8位RAM, 2K×8位ROM, 4K×8位ROM, 8K×8位ROM及74LS138译码器和各种门电路。画 出CPU与存储器的连接图,要求: 1) 主存地址空间分配: 6000H~67FFH为系统程序区: 6800H~6BFFH为用户程序区。 补充:系统程序区用ROM,用户程序区用RAM 1. 确认地址线、数据线,选择存储芯片 数据线: CPU数据线8根 → 存储器位数应扩展为8位 地址分配: $6000\text{H}\sim67\text{FFH}\to67\text{FFH}-6000\text{H}+1=800\text{H}$, $8\times16^2=2^3\times2^8=2^{11}=2\text{K}$ → 用1片2K×8位ROM ROM地址线11根 6800H \sim 6BFFH → 6BFFH – 6800H + 1 = 400H, 4× 16 2 = 2^2 × 2^8 = 2^{10} = 1K → 用2片1K×4位RAM, 位扩展 RAM地址线10根 $6800 \text{H} \sim 68 \text{FFH} \rightarrow 0110 \ 1000 \ 0000 \ 0000 \ \sim 0110 \ 1011 \ 1111 \ 1111 \ \text{V}_c$ 王道考研/CSKAOYAN.COM



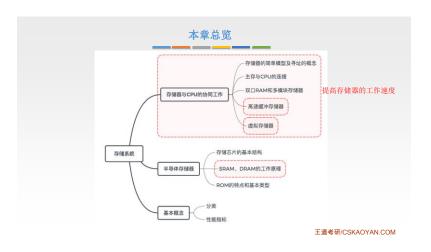
王道考研/cskaoyan.com 9

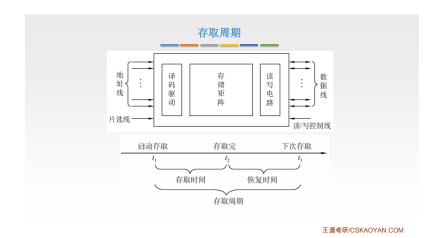
王道考研/CSKAOYAN.COM

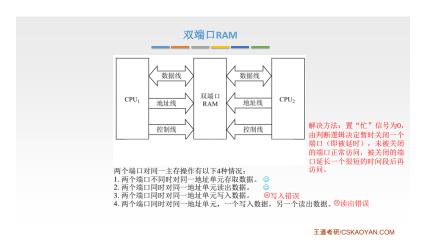


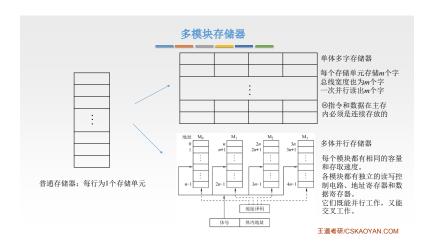


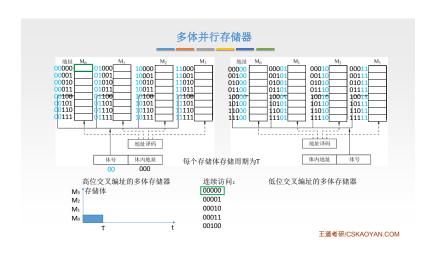


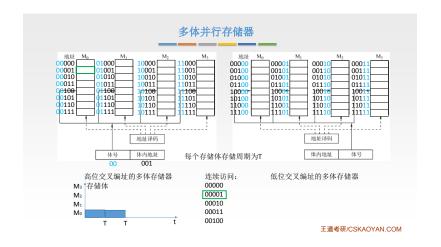










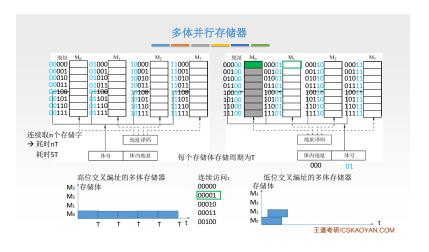


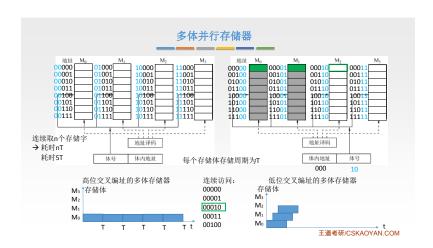






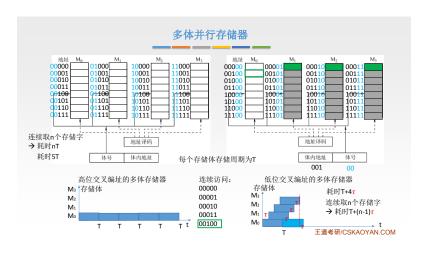


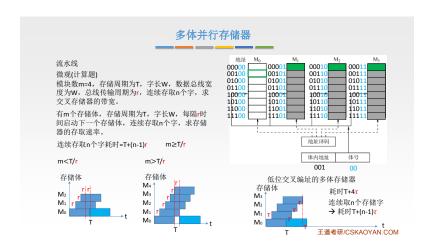


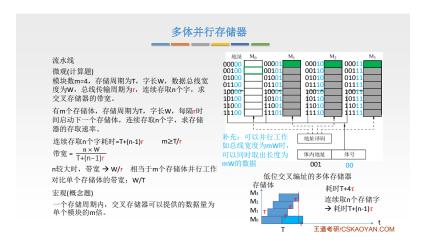


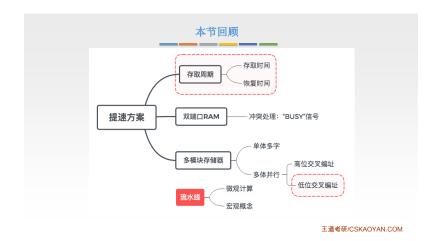




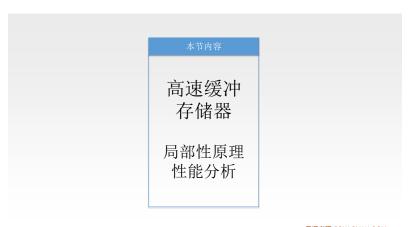




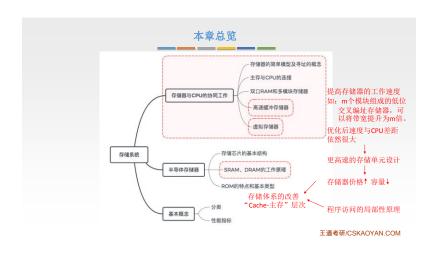


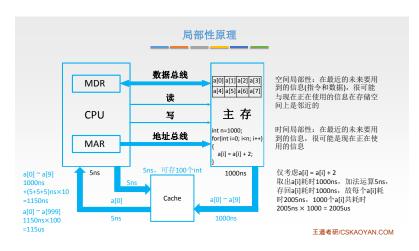


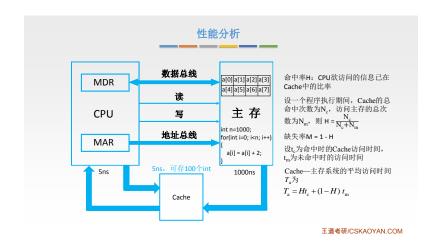


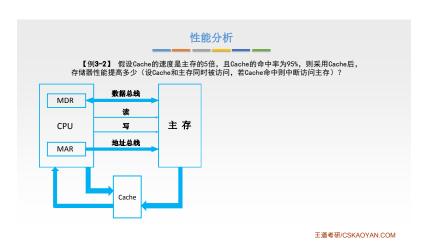


王道考研/CSKAOYAN.COM

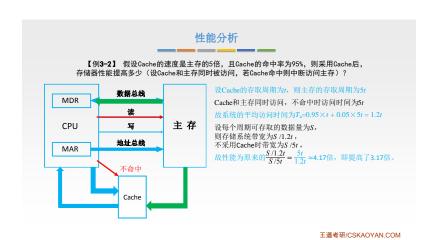






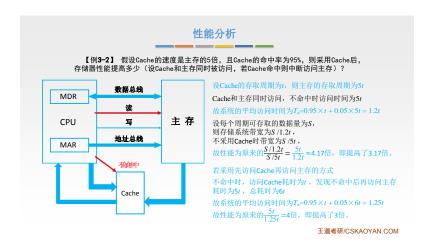


性能分析 【例3-2】 假设Cache的速度是主存的5倍,且Cache的命中率为95%,则采用Cache后, 存储器性能提高多少(设Cache和主存同时被访问,若Cache命中则中断访问主存)? 设Cache的存取周期为t,则主存的存取周期为5t 数据总线 MDR Cache和主存同时访问,不命中时访问时间为5t 读 故系统的平均访问时间为 T_a =0.95×t + 0.05×5t = 1.2t写 主 存 CPU 设每个周期可存取的数据量为S, 则存储系统带宽为S/1.2t, 地址总线 不采用Cache时带宽为S/t, 故性能为原来的 $\frac{S/1.2t}{S/5t} = \frac{5t}{1.2t} \approx 4.17$ 倍,即提高了3.17倍。 MAR 福帥 Cache



王道考研/cskaoyan.com 2

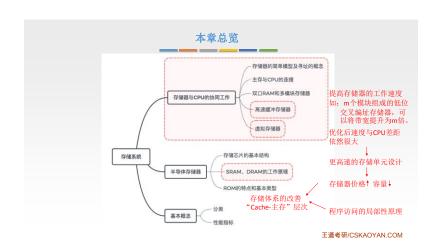
王道考研/CSKAOYAN.COM



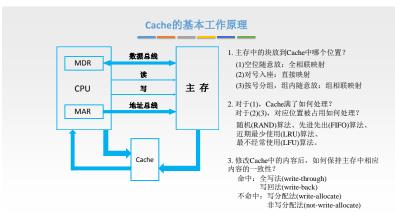


王道考研/CSKAOYAN.COM

高速缓冲 存储器 地址映射方式



王道考研/CSKAOYAN.COM



王道考研/CSKAOYAN.COM

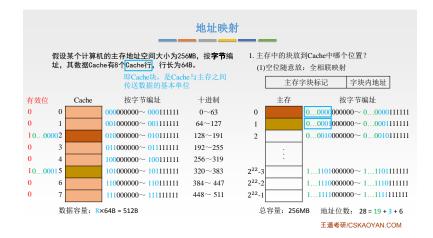


地址映射 1. 主存中的块放到Cache中哪个位置? 假设某个计算机的主存地址空间大小为256MB,按字节编 址, 其数据Cache有8个Cache行, 行长为64B。 (1)空位随意放:全相联映射 即Cache块,是Cache与主存之间 传送数据的基本单位 按字节编址 十进制 主存 按字节编址 Cache $0000000000 \sim 0001111111$ $0 \sim 63$ 0 $001000000 \sim 0011111111$ $0...0001000000 \sim 0...00011111111$ $64 \sim 127$ 2 $0...0010000000 \sim 0...0010111111$ $010000000 \sim 0101111111$ $128 \sim 191$ 0110000000~ 0111111111 $192 \sim 255$ $1000000000 \sim 1001111111$ 256~319 $2^{22}-3$ 1010000000~ 1011111111 320~383 1...1101000000~ 1...1101111111 222-2 1100000000~ 110111111 $384 \sim 447$ $1...11100000000 \sim 1...11101111111$ 222-1 1...1111000000~ 1...1111111111 1110000000~ 1111111111 $448 \sim 511$ 数据容量: 8×64B = 512B 总容量: 256MB 地址位数: 28 = 19 + 3 + 6 王道考研/CSKAOYAN.COM





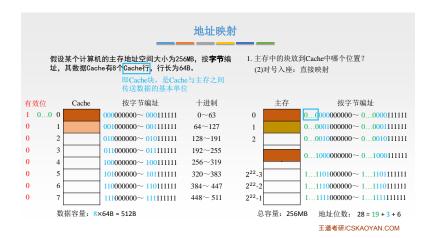


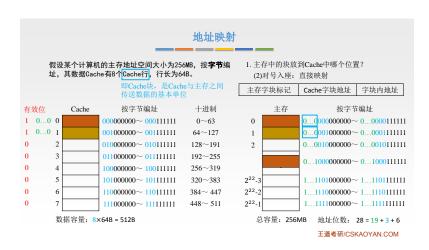










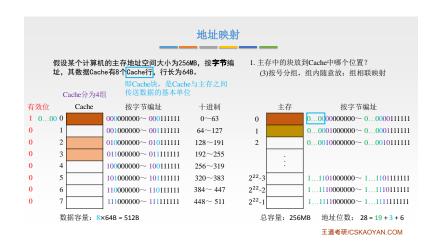


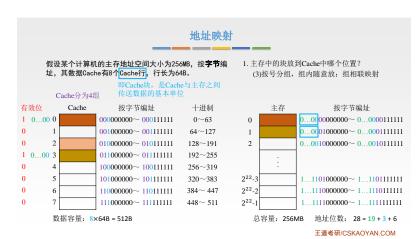


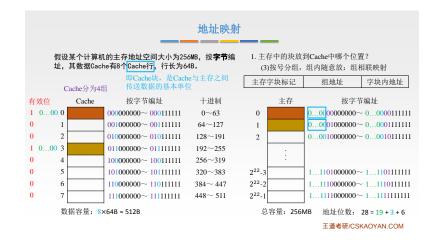
			地址映射		
假设某个计算机的主存地址空间大小为256MB,按 字节 编址,其数据Cache有8个Cache行,行长为64B。				1. 主存中的块放到Cache中哪个位置?	
	亚, 具剱据			(3)按号分约	组,组内随意放:组相联映射
	Cache分	即Cache块,是Cach 步4组 传送数据的基本单位			
自效位	Cach	• -	十进制	主存	按字节编址
)	0	000000000~ 000111111	0~63	0	000000000000~ 000001111
)	1	001000000~ 001111111	64~127	1	000010000000~ 000011111
)	2	010000000~ 010111111	128~191	2	00010000000~ 000101111
)	3	011000000~ 011111111	192~255		
)	4	100000000~ 100111111	256~319	:	
)	5	101000000~ 1011111111	320~383	222-3	11101000000~ 1110111111
)	6	110000000~ 110111111	$384\sim447$	222-2	111100000000~ 1111011111
)	7	111000000~ 111111111	$448{\sim}\ 511$	2 ²² -1	1111110000000~ 11111111111

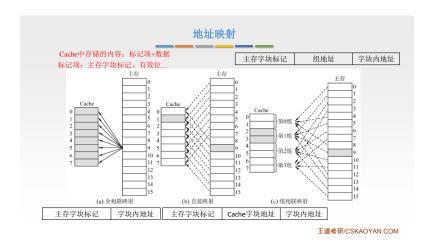
地址映射 1. 主存中的块放到Cache中哪个位置? 假设某个计算机的主存地址空间大小为256MB,按字节编 址, 其数据Cache有8个Cache行, 行长为64B。 (3)按号分组,组内随意放:组相联映射 即Cache块,是Cache与主存之间 传送数据的基本单位 Cache分为4组 有效位 按字节编址 十进制 主存 按字节编址 Cache 0 $000000000 \sim 000111111$ 0 $0 \sim 63$ 0 $001000000 \sim 0011111111$ $64 \sim 127$ $0...00010000000 \sim 0...00011111111$ 0 2 $010000000 \sim 010111111$ 2 $128 \sim 191$ $0...00100000000 \sim 0...00101111111$ $011000000 \sim 0111111111$ $192 \sim 255$ $1000000000 \sim 1001111111$ 256~319 $2^{22}-3$ 1...1101000000~ 1...1101111111 $1010000000 \sim 1011111111$ 320~383 222-2 $1100000000 \sim 1101111111$ $384 \sim 447$ $1...11100000000 \sim 1...11101111111$ 222-1 $1...11110000000 \sim 1...111111111111$ 1110000000~ 1111111111 $448 \sim 511$ 数据容量: 8×64B = 512B 总容量: 256MB 地址位数: 28 = 19 + 3 + 6 王道考研/CSKAOYAN.COM

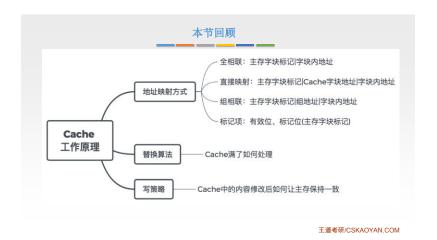






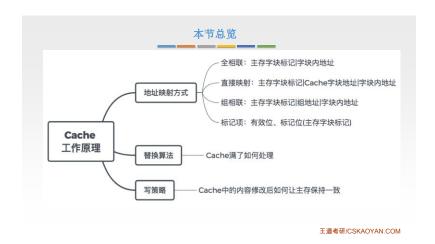


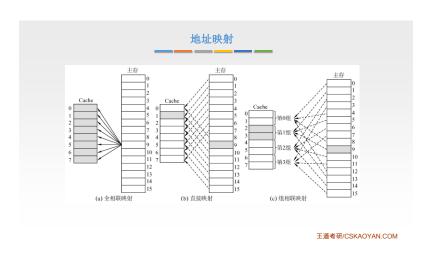






王道考研/CSKAOYAN.COM





替换算法

- 1. **随机算法(RAND)**: 随机地确定替换的Cache块。它的实现比较简单,但没有依据程序访问的局部性原理,故可能命中率较低。
- 2. 先进先出算法(FIO): 选择最早调入的行进行替换。它比较容易实现。但也没有依据程序访问的局部性原理,可能会把一些需要经常使用的程序块(如循环程序)也作为最早进入Cache的块替换掉。
- 3. 近期最少使用算法(LRU): 依据程序访问的局部性原理选择近期内长久未访问过的存储行作为替换的行,平均命中率要比FIFO要高,是堆栈类算法。
- LRU算法对每行设置一个计数器,Cache每命中一次,命中行计数器清0,而其他各行计数器均加1,需要替换时比较各特定行的计数值,将计数值最大的行换出。
- 4. 聚不经常使用算法(LFU): 将一段时间内被访问次数最少的存储行换出。每行也设置 一个计数器。新行建立后从0开始计数,每访问一次,被访问的行计数器加1。需要替 换时比较各特定行的计数值,将计数值最小的行换出。

替换算法

设Cache由8个块构成, CPU依次访问的主存地址块号为: 4, 6, 12, 4, 8, 14, 22, 6, 4, 11, 5, 2(十进制), 求:

- 1) 假设地址映射方式为全相联映射,在采用FIFO、LRU、LFU替换算法时,分别求Cache命中次数。
- 2) 假设地址映射方式为直接映射, 求Cache命中次数。
- 3)假设地址映射方式为二路组相联映射,在采用FIFO、LRU、LFU替换算法时,分别求Cache命中次数。

王道考研/CSKAOYAN.COM 王道考研/CSKAOYAN.COM

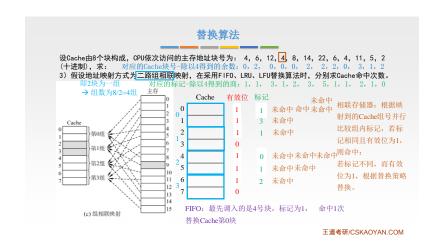
替换算法 设Cache由8个块构成, CPU依次访问的主存地址块号为: 🛂 8, 12, 🛂 8, 14, 22, 6, 4, 11, 5, 1) 假设地址映射方式为全相联映射,在采用FIFO、LRU、LFU替换算法时,分别求Cache命中次数。 Cache 有效位 标记 1 2←4 未命中 命中 命中 相联存储器: 并行比 较标记, 若有标记与 6 未命中 命中 当前将要访问的地址 1 2←12→2未命中 的标记相同, 且有效 8 未命中 14 未命中 位为1,则命中 FIFO: 最先调入的是4号块, 22 未命中 替换Cache第0块 11 未命中 LRU: Least Recently Used 5 未命中 最近最少使用的是12号块, 15 LFU: Least Frequently Used 4号块用了3次,6号块用了2次,其他几块均用 替换Cache第2块 (a) 全相联映射

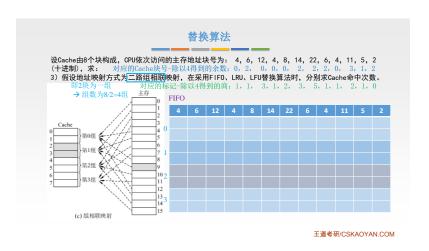
了1次,需要更多判断依据,替换Cache第2块

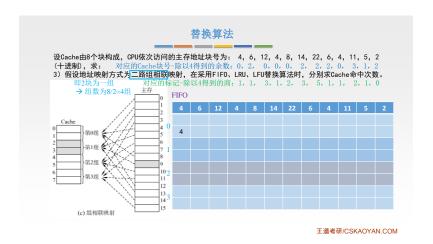
王道考研/CSKAOYAN.COM

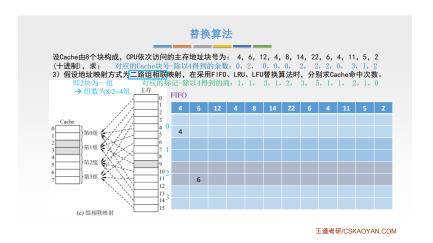


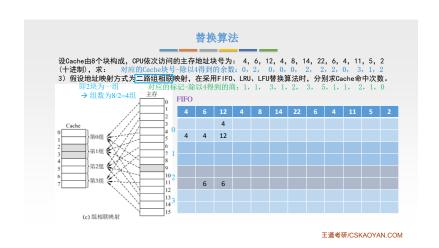
王道考研/CSKAOYAN.COM

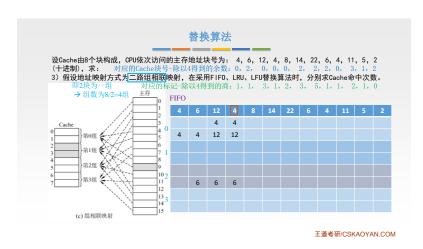


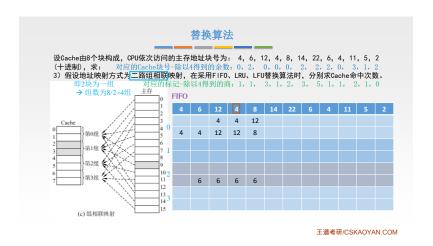


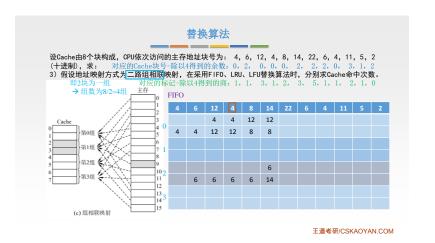


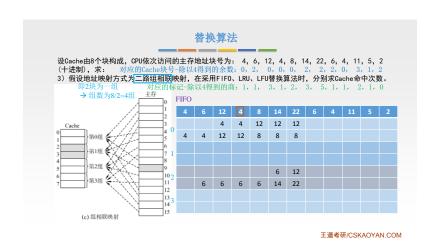


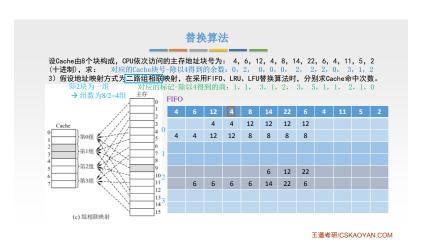


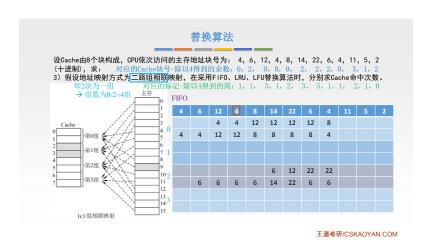


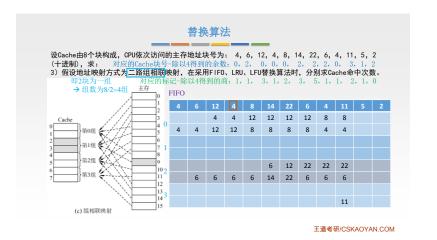


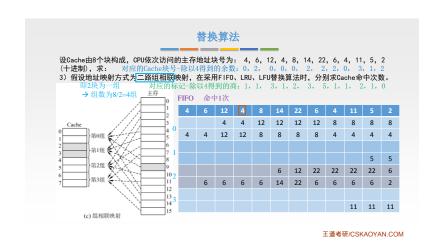


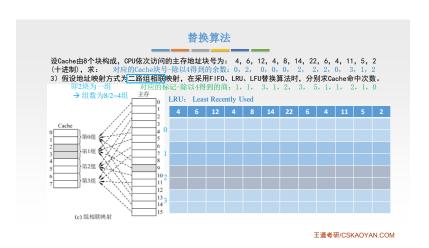


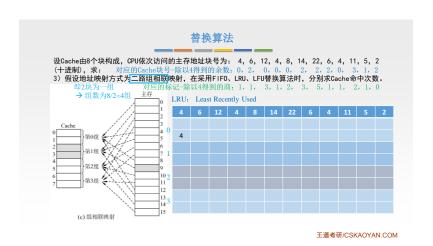


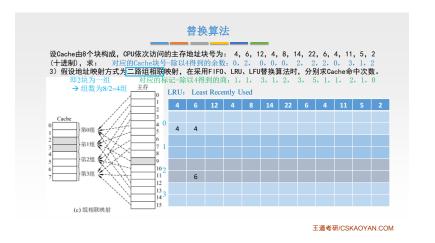


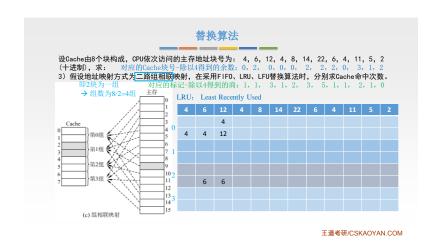


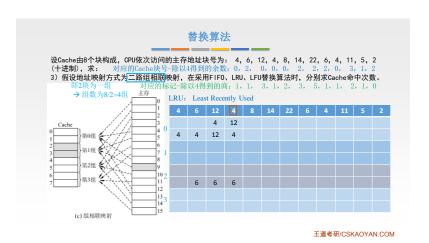


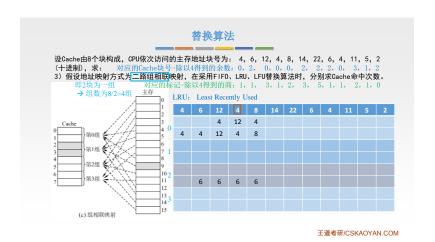


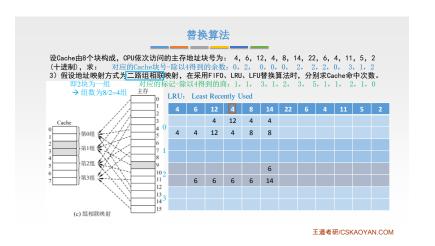


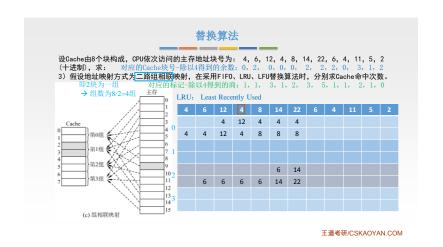


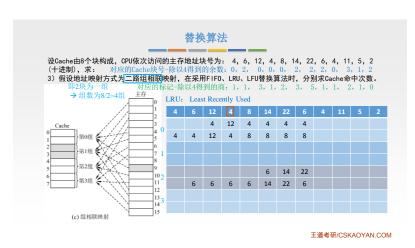


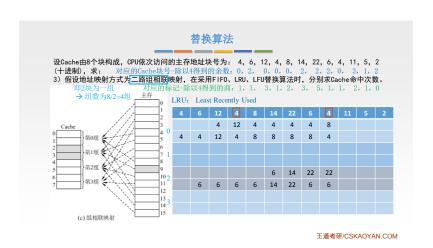


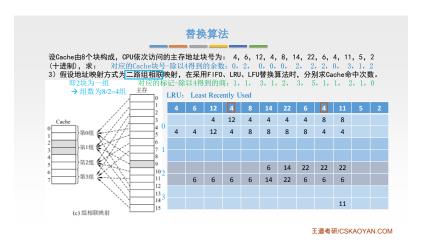


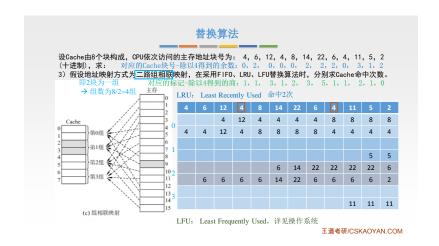


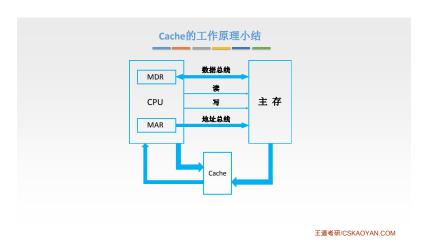


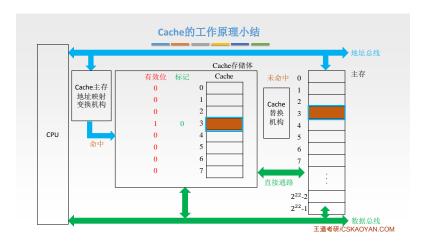


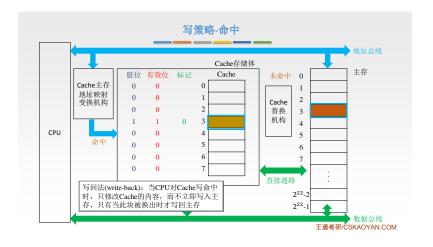


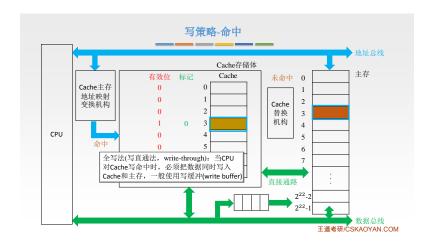


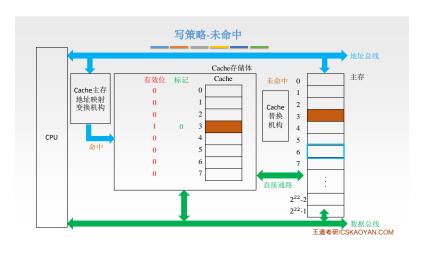


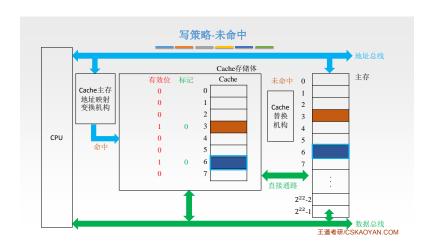


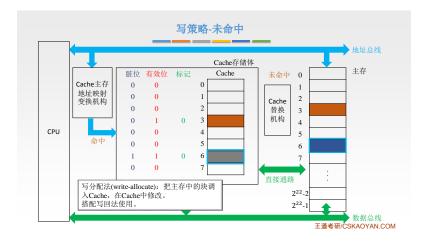


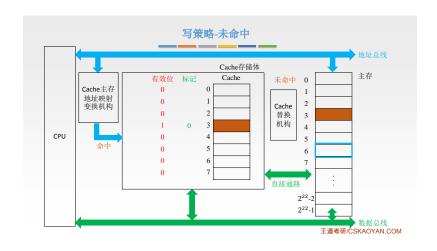


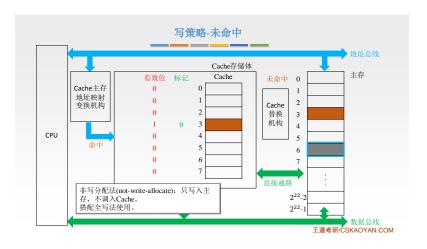


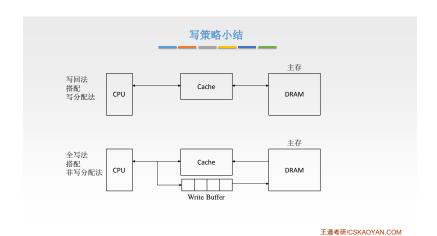


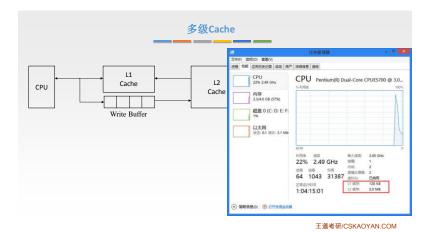




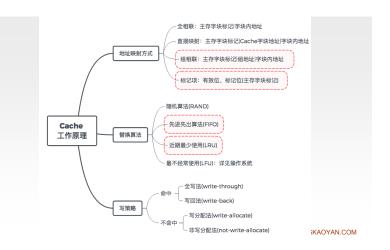








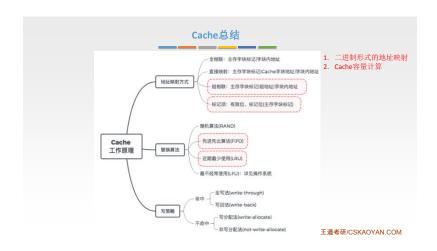








王道考研/CSKAOYAN.COM







替换算法 设主存地址空间大小为1KB,按字节编址, Cache由8个块构成,每个Cache块大小为16B,CPU依次访 1111010000、0011001001(十进制为78、626、79、194、328、754、976、201)。 求: 1) 假设地址映射方式为全相联映射,在采用FIFO、LRU、LFU替换算法时,分别求Cache命中次数。 1KB → 主存地址为10位 有效位 标记 主存字块标记 字块内地址 0001000000 000100 0 ~0001001111 10 - 4 = 6 %4位. 0001001110 未命中 1001110010 0001001111 0011000010 0101001000 1011110010 1111010000 0 0011001001 (a) 全相联映射

王道考研/CSKAOYAN.COM







替换算法 设主存地址空间大小为1KB, 按字节编址, Cache由8个块构成,每个Cache块大小为16B, CPU依次访 1111010000、0011001001(十进制为78、626、79、194、328、754、976、201)。 求: 1) 假设地址映射方式为全相联映射,在采用FIFO、LRU、LFU替换算法时,分别求Cache命中次数。 十进制的观点:每16个字节为一 1KB → 主存地址为10位 → 0~15号为一块,16~31号为 ..64~79为一块 有效位 标记 字块内地址 主存字块标记 0001000000 1 000100 0 ~0001001111 10 - 4 = 6 %100111 1 1001110000 0001001110 未命中 1001110010 未命中 0001001111 命中 0011000010 0101001000 1011110010 0 1111010000 0011001001 (a) 全相联映射

替换算法 设主存地址空间大小为1KB、按字节编址、 Cache由8个块构成、每个Cache块大小为16B、CPU依次访 1111010000、0011001001(十进制为78、626、79、194、328、754、976、201), 求: 1) 假设地址映射方式为全相联映射,在采用FIFO、LRU、LFU替换算法时,分别求Cache命中次数。 1KB → 主存地址为10位 +进制的观点: 每16个字节为一个块 → 0~15号为一块, 16~31号为_一块...64~79为一块 有效位 标记 主存字块标记 字块内地址 0001000000 1 000100 0 ~0001001111 10 - 4 = 6位 1001110000 1 100111 1 ~1001111111 0011000000 0001001110 未命中 1 001100 2 1001110010 未命中 ~0011001111 0001001111 命中 0011000010 未命中 0101001000 1011110010 1111010000 0011001001 (a) 全相联映射



王道考研/cskaoyan.com

王道考研/CSKAOYAN.COM



替换算法 设主存地址空间大小为1KB, 按字节编址, Cache由8个块构成,每个Cache块大小为16B, CPU依次访 1111010000、0011001001(十进制为78、626、79、194、328、754、976、201)。 求: 1) 假设地址映射方式为全相联映射,在采用FIFO、LRU、LFU替换算法时,分别求Cache命中次数。 十进制的观点:每16个字节为一 1KB → 主存地址为10位 → 0~15号为一块,16~31号为 ..64~79为一块 有效位 标记 字块内地址 主存字块标记 0001000000 1 000100 0 ~0001001111 10 - 4 = 6 %1001110000 1 100111 1 $^{\sim 10011111111}_{00110000000}$ 0001001110 未命中 1 001100 2 1001110010 未命中 ~0011001111 0001001111 命中 1 010100 3 0101000000 ~0101001111 0011000010 未命中 1 101111 4 1011110000 ~1011111111 1111010000 0101001000 未命中 1 111101 5 1011110010 未命中 ~1111011111 1111010000 0 未命中 0011001001 (a) 全相联映射

王道考研/CSKAOYAN.COM

替换算法 设主存地址空间大小为1KB、按字节编址、 Cache由8个块构成、每个Cache块大小为16B、CPU依次访 1111010000、0011001001(十进制为78、626、79、194、328、754、976、201), 求: 1) 假设地址映射方式为全相联映射,在采用FIFO、LRU、LFU替换算法时,分别求Cache命中次数。 1KB → 主存地址为10位 +进制的观点: 每16个字节为一个块 → 0~15号为一块, 16~31号为_一块...64~79为一块 Cache 有效位 标记 主存字块标记 字块内地址 0001000000 1 000100 0 ~0001001111 10 - 4 = 6位 1001110000 1 100111 1 ~1001111111 0011000000 0001001110 未命中 1 001100 2 1001110010 未命中 ~0011001111 1 010100 3 0101000000 0001001111 命中 ~0101001111 1011110000 0011000010 未命中 1 101111 4 0101001000 未命中 ~1011111111 1 111101 5 1011110010 未命中 ~1111011111 1111010000 未命中 0011001001 (a) 全相联映射

未涉及替换问题,故使用三种替换算法时,Cache命中次数均为2次

王道考研/CSKAOYAN.COM

替换算法 设主存地址空间大小为1KB、按字节编址、 Cache由8个块构成、每个Cache块大小为16B、CPU依次访 1111010000、0011001001(十进制为78、626、79、194、328、754、976、201), 求: 2) 假设地址映射方式为直接映射, 求Cache命中次数。 1KB \rightarrow 主存地址为10位 \rightarrow $0\sim15$ 号为0 号块 16 \sim 31 号为1 号块 ... $64\sim79$ 为4 号块 主存字块标记 Cache字块地址 字块内地址 10 - 4 - 3 = 3 (\overrightarrow{v}). 4位 0001001110 1001110010 0001001111 0011000010 0101001000 1011110010 1111010000 0011001001 (b) 直接映射 王道考研/CSKAOYAN.COM

































