

北京航空航天大学 2001 年硕士研究生入学考试试题

一、(数字逻辑) 本题 10 分 (第 1 小题 3 分、第 2 小题 4 分、第 3 小题 3 分)

1) 用卡诺图化简下列逻辑函数:

$$F = B \bar{C} D + \bar{A} B \bar{C} D + A \bar{B} \bar{C} D$$

其约束条件为: $C \oplus D = 1$ 。

2) 一个 3:8 译码器构成的逻辑电路如图 1 所示, 写出逻辑函数 F_1 、 F_2 的表达式。

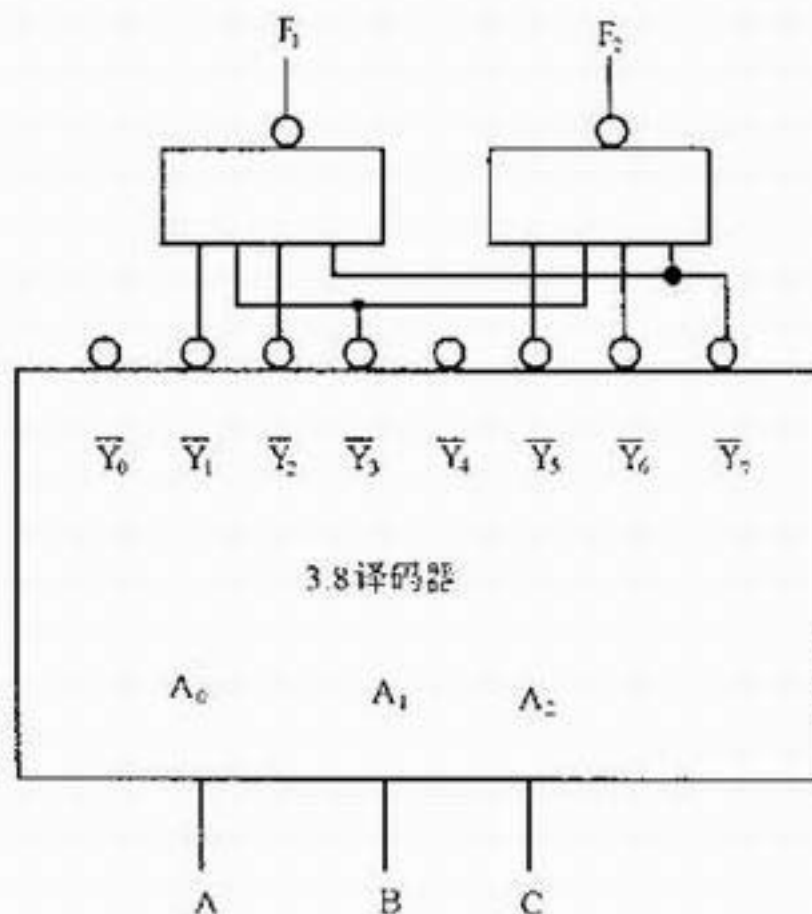


图 1

3) 试分析图 2 所示电路的逻辑功能, 并与基本 RS 触发器的逻辑功能进行比较。

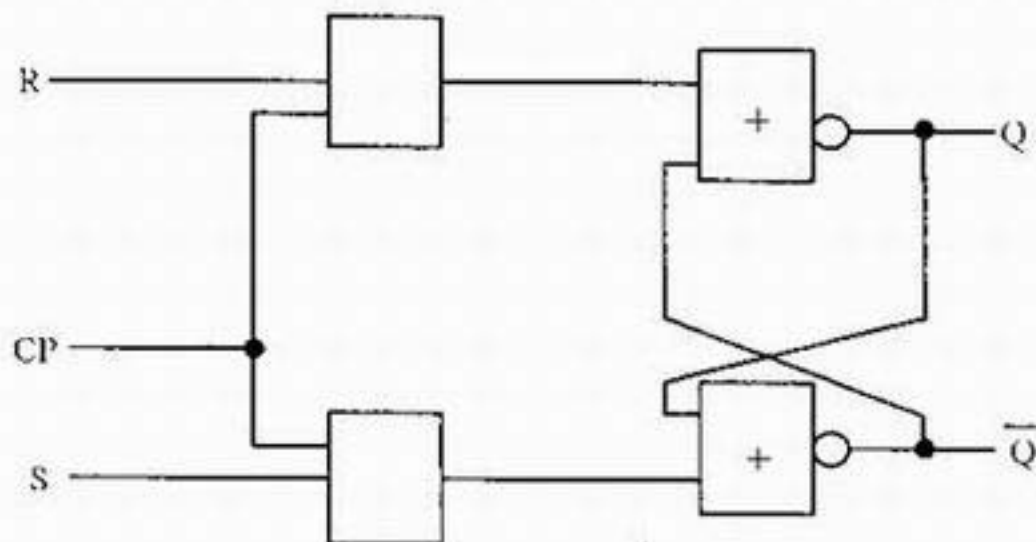


图 2

1) 作出状态转移表:

2)说明电路完成的功能。

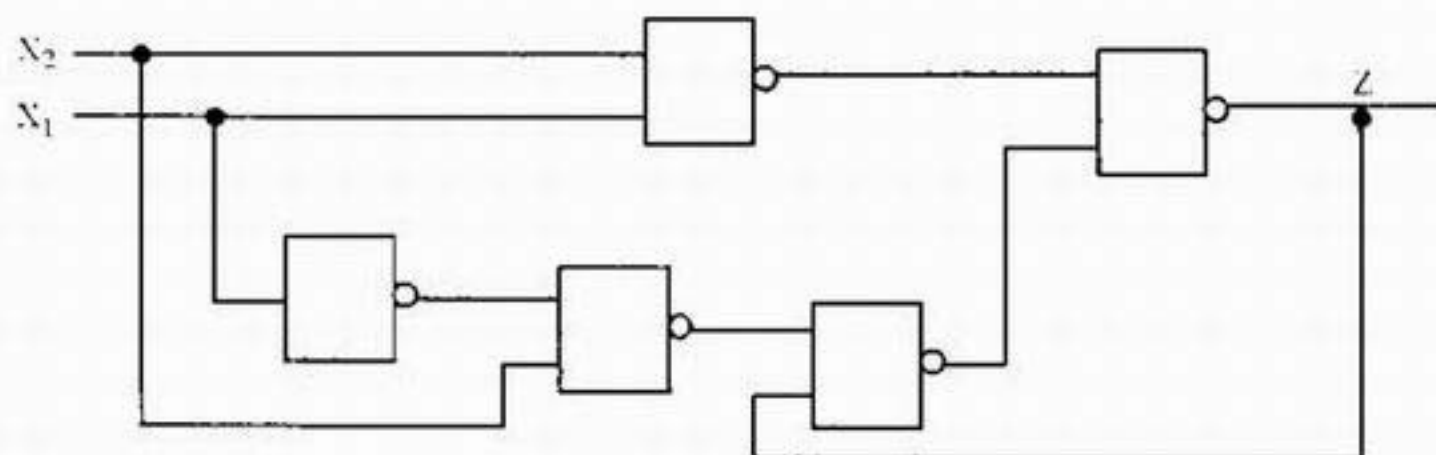


图 3

三、(数字逻辑)本题 10 分

投币式复印有一个输入口 X 接受 0.1 元的硬币,有三个按钮 A、B、C 控制复印机的尺寸。复印不同的尺寸应投入不同数量的硬币:B5 为 0.3 元,A4 为 0.4 元,A3 为 0.5 元。分别由相应的输出 Y_1 、 Y_2 、 Y_3 控制复印机的复印尺寸。请用 D 触发器实现该电路。

四、(计算机组成原理)填空题(本题 10 分,每小题各 2 分)

1. 决定指令执行顺序的寄存器是_____，而记录指令执行结果的状态的寄存器是_____。

2. 由 $16\text{K} \times 4$ 的 SDRAM 芯片组成的 RAM, 其刷新地址计数器为 位。

3. 由 5 个 9GB 的硬盘组成一个 RAID5, 其有效的存储容量为_____。

4. 补码乘法的基本等式是: $[A \times B]_{\text{补}} =$ 。

5. 构造一个具有 14 位地址和 8 位字长的存储器,需要_____个 $1\text{K} \times 1$ 的存储芯片。

五、(计算机组成原理)简单回答题(本题 20 分,每题 5 分)

1. 画出控制器的一般结构框图,并结合指令的执行过程阐述各部件的作用。

2. 总线的同步控制和异步控制有何区别? 比较它们的优缺点。

3. 简述 DMA 接口的基本组成。

4. 一台磁盘机, 知其有 10 个盘面, 100 个柱面, 总容量为 3200K 字节, 磁盘旋转一周的时间为 25ms, 每个磁道分 4 个区, 区与区之间有一个间隙, 磁头通过每个间隙需要 1.25ms。请计算该磁盘机的数据传输率。

六、(计算机组成原理)(本题 15 分)

某计算机系统主存大小为 32K 字,高速缓存大小为 4K 字,采用列(组)相联地址映射

方法,每列含 4 块,每块大小 64 个字。假定高速缓存开始为空,CPU 从主存地址单元 0 开始按顺序依次读取 4352 个字。重复此过程共 10 次。若高速缓存的速度是主存的 10 倍,且采用 LRU 替换算法。

1. 画出主存和高速缓存的地址格式;
2. 利用缓存后获得的加速比是多少?

七、(计算机组成原理)(本题 10 分)

某机内存 64KB,CPU 内部有 8 个 16 位通用寄存器(其中 4 个又可以当成 8 个 8 位通用寄存器),该机指令系统有 64 条指令,全部为双地址指令,且必有一个操作数在寄存器中。指令采用下列寻址方式:

- (1)寄存器直接寻址;
- (2)寄存器间接寻址(用 16 位数寄存器);
- (3)存储器直接寻址;
- (4)变址寻址(用任意 16 位寄存器做变址寄存器,位移量 16 位)。

要求:

1. 设计适合该计算机的指令格式,并画出各种类型的指令格式示意图。
2. 写出各种寻址方式计算有效地址的表达式。

八、(计算机组成原理)(本题 15 分)

余 3 码十进制加法运算的基本规则是:两个十进制的余 3 码相加,当本位和产生进位时,其本位和应做加 3 修正;当本位和不产生进位时,其本位和应做减 3 修正。请设计一个完成两个一位十进制数余 3 码加法运算的运算部件。假定两个一位十进制数的余 3 码已分别存放在寄存器 R0 和 R1 中,常数 3 也存放在寄存器 R2 中,和的个位存放到寄存器 R3 中,和的十位舍弃不管。寄存器均为 4 位,要求:

1. 画出该运算部件的逻辑框图,并定义各数据通路上的微操作。
2. 设计一个微程序控制器控制该运算部件完成上述余 3 码加法运算(写出运算微操作流程,定义微指令格式,写出微程序编码)。