1、C

解析:栈本身就是一种逻辑结构,没有体现出存储结构,只是一种先进后出的逻辑结构。

2、D

解析:画图显而易见,注意 top2 和 top1 的大小关系。不要误选 C, top1+top2 的值是不确定的。

3、A

解析:基本操作,都应该掌握

4、A

解析:注意题干、是求 nextval 数组、不是 next 数组。

KMP 算法,这个要掌握。求 next 数组,说的简略点,就是在模式串中找两个相同的子串,比如说 ababc,在与主串的匹配中,c不匹配,那么下一步子串应该移动到 3 的位置,也就是说 ababc 的 next 数组, next[5] = 3,因为 c 不匹配,那说明前面 abab 都匹配,而子串的 1、2 位置与 3、4 位置相同,都是 ab,那就没必要重新移动到 1 接着匹配,移动到 3 就行了

求 nextval 数组:

nextval 数组的求解方法是: nextval[1]=0。从第二位开始,若要求 nextval[i],将next[i]的值对应的位的值与i的值进行比较(例如,第i 为的值为'b',next[i]=3,则将i的值'b'与第三位的值进行比较),若相等,nextval[i]=nextval【next[i]】(例,

nextval[i]=nextval[3]);若不相等,则nextval[i]=next[i](例,nextval[i]=next[i]=3)。

模式串	а	b	а	а	b	С	а	С
next值	0	1	1	2	2	3	1	2
nextval值	0	1	0	2	1	3	0	2

- 1.第一位的nextval值必定为0,第二位如果与第一位相同则为0,如果不同则为1。
- 2.第三位的next值为1,那么将第三位和第一位进行比较,均为a,相同,则,第三位的nextval值为0。
- 3.第四位的next值为2,那么将第四位和第二位进行比较,不同,则第四位的nextval值为其next值,为2。
- 4.第五位的next值为2,那么将第五位和第二位进行比较,相同,第二位的next值为1,则继续将第二位与第一位进行比较,不同,则第五位的nextval值为第二位的next值,为1。
- 5.第六位的next值为3,那么将第六位和第三位进行比较,不同,则第六位的nextval值为其next值,为3。
- 6.第七位的next值为1,那么将第七位和第一位进行比较,相同,则第七位的nextval值为0。
- 7. 第八位的next值为2,那么将第八位和第二位进行比较,不同,则第八位的nextval值为其next值,为2。

nextval 数组的解释摘抄自:

http://blog.sina.com.cn/s/blog 59b4a0b701015jtk.html

这个博客 2013 年写的这个题,这个题是一个原题,一点没变

5. D

解析:注意行列都是从 0 开始的,在 A[5][3]之前有 5 个整行和第六行前面有 3 个数字, 所以就是 (5*10+3)*3+1000=1159

6、A

解析: m 阶 B 树每个结点,每个结点最多可以有 m-1 个关键字,所以 3 阶 B 树每个结点最多可以有 2 个关键字。

7、A

解析:关键路径是最长的。

8、C

解析:首先强连通图是对于有向图来说的,任意一对结点都存在路径,所以这个题 n 条边就可以了,组成一个环。

9、D

解析:每种排序方法的特点要记住。

10、A

解析:堆排序

11、B

解析:量级都是 logn

12、B

解析:是控制(指令)流驱动,不是数据流驱动。

13、A

解析:首先不能确定是哪种码,如果是移码的话,这个数表示一个正数。如果是正反补的话,表示一个负数。

14、D

解析:阶码用移码表示,排除 AB。IEEE754 标准可以表示非规格化数

15、B

解析:首先注意是八体低位交叉, 最终结果单位是 B 而不是 b, 并且求得的是最大带宽, 所以是 8B*8/80ns = 800MB/S

16、C

解析:本题首先应该确定主存地址的位数,根据题意,默认应根据字节编址,算出主存占 19 位, cache 块分为 8 组,所以组号占 3 位,块内地址占 6 位。

17、C

解析:注意是数据先入栈还是先修改指针。

18、C

解析:时钟周期应该以最长的为基准。

19、D

解析:一般电脑上都有好几个 PCI 插槽,所以 A 对了,B 对,如果不知道 C 的话,看 D,PCI 支持即插即用,肯定是独立于处理器的,所以 D 错了。C 对了。

20. B

解析:注意 200MHz, 因为每次传数据的时候先要传地址, 所以实际上只有 20ns 传数据, 所以是 128 位

21、A

解析:统一编址不需要,独立编址需要。

22、D

解析:DMA 方式下数据的传送是硬件完成的。不需要经过 CPU。DMA 请求和中断请求同时发生,先相应 DMA,因为 DMA 传送数据,不及时相应,可能会丢失或者失效。

23、A

解析:这个错了说明你基本与世隔绝了

24、B

解析:一定要明白,就绪、运行、阻塞这三个是怎么互相转换的,或者转换的条件是什么。

25、C

解析: I/O 结束后, 还有分配 CPU 才能进入运行状态。所以Ⅱ错了, 排除法选。Ⅳ 也明显错了。

26、C

解析:用短作业优先。

27、A

解析:页面大小都是相等的。所以逻辑空间和物理空间页面大小都是 1024 字节。

28、D

29、B

解析:银行家算法是最具有代表性的避免死锁的算法。

30、C

解析:一个盘块用1位表示,所以是4096位也就是512字节,注意问的是字节数。

31、D

解析:硬实时系统对响应时间有严格的要求,也就是要求反应速度快。

32、A

33、B

34、B

解析:香农定理算出来是C,但是同时也要满足奈奎斯特定理,两者取小。

35、A

解析:因为信道有噪音,采用字符计数法,如果数错了,就会导致后面的都错误,就不能正常工作。

36、A

解析:链路状态路由协议不会定期交换路由表,只有在拓扑发生改变的时候才会交换路由表。

37、D

解析:题干要求发送广播数据报,应该是主机号全为1

38、C

39、C

40、D

二、综合应用题

41、

先序: HBCDEFGAIJK 中序: CBEDFHAJKIG 后序: CEFDBKJIAGH

```
42、
(1) full:同步信号量 表示缓冲区已占有空间的个数,初值为0
   empty:同步信号量,表示缓冲区空间为空的个数,初值为N
   mutux: 互斥信号量, 用于互斥的访问缓冲区, 初值为1;
Producer:
While (1)
{
     P(empty);//是否还有一个空间
     P(empty);//是否还有另一个空间
     P(mutux);
     写入两个数据;
     V(mutux);
     V(full)
     V(full);
}
Consumer:
While(1)
{
     P(full);
     P(mutex);
     取走一个数据;
     V(mutex);
     V(empty);
}
43、
解析:首先有8个寄存器, 所以Rd和Rs占3位, 根据下表可以, Ms和Md也占3位
(1) 根据计算,可以得到 OP 占 4 位,所以最多可以定义 2^4= 16 个指令
(3) E001H -24577
44、
解析: 首先要算出一个时钟周期是 2ns
(1) 400*2*50= 40000ns
   (40000/10^9) *100\% = 0.004\%
 (2)传输两个字节所需要的时间为:
 T1 = 2B/0.1MB/s = 2 *10^{(-5)} s
 查询一次用的时间为:
 T2 = 400 * 2 = 800 ns
 所以占的比例为
 T2/T1 * 100\% = 4\%
 (3)原理同上一问
 T1 = 16B/8MB/s = 2 * 10^{-6}s
 T2 = 800 \text{ns}
```

T2/T1*100% = 40%

(4)可以采用 DMA

45、

解析:

共发生 10 次缺页(这里可以画个图表示一下缺页)

缺页率:10/15 * 100% = 66.7%

46、

47、

- (1) 发送延迟 T= 1024/64kbps(根据谢希仁书, kpbs = 1000bps, 而不是 1024bps) 所以信道利用率为 T/(0.256*2+T) * 100% = 3.0%
- (2) 信道利用率为: 7*T/(0.256*2 +T) * 100% = 21.2%
- (3) 信道利用率为: n*T/(0.256*2 + T) * 100% = m

当 m 最大的时候, n= 33;

所以需要6位

(4) 0.512s (应该是这个)