

试题内容：

一、(10 分) 某 RISC 处理机各类指令使用频率和理想 CPI (指令和数据访问 Cache 命中率为 100% 时的 CPI) 如下表所示。而实际测得的指令访问 Cache 缺失率 (miss rate) 为 5%，数据访问的 Cache 缺失率为 10%，Cache 的缺失损失 (miss penalty) 为 40 个时钟周期。

该机器在无 Cache 缺失 (理想情况) 时的 CPI 是多少? (3 分)

该机器在无 Cache 缺失 (理想情况) 时的速度比有 Cache 缺失时快多少倍? (7 分)

指令类型	使用频率	CPI ideal
ALU 操作	43%	1
Loads	21%	2
Stores	12%	2
Branches	24%	2

二、(13 分) 一台模型机共有 7 条指令，主频 25MHz，各指令的使用频率与 CPI 如下表所示。该模型机有 8 位和 16 位两种指令字长，采用 2-4 扩展操作码。8 位字长指令为寄存器 (R-R) 二地址类型，16 位字长指令为寄存器-存储器 (R-M) 二地址变址寻址类型 ($-128 \leq \text{变址范围} \leq 127$)。

指令 (字长)	使用频度 f	CPI
I1 (8 位)	35%	1
I2 (8 位)	25%	2
I3 (8 位)	20%	2
I4 (16 位)	10%	2
I5 (16 位)	5%	1
I6 (16 位)	3%	2
I7 (16 位)	2%	2

计算该机的 MIPS 速率。(4 分)

计算操作码的平均码长。(3 分)

该机允许使用多少个可编址的通用寄存器，多少变址寄存器? (3 分)

设计该机的两种指令格式，标出各字段位数并给出操作编码。(3 分)

三、(12 分) 假设在一个采用组织相联映像方式的 Cache 中，主存有 B0~B7 共 8 块组成，Cache 有 C0~C3 共 4 块，组内块数为 2 块。每块的大小为 32 个字节，采用 FIFO 块替换算法。在一个程序执行过程中依次访问块地址流如下：

B1, B4, B6, B3, B0, B4, B6, B2, B4, B5

写出主存地址的格式，并标出各字段的长度 (3 分)

写出 Cache 地址的格式，并标出各字段的长度 (3 分)

画出主存与 Cache 之间各个块的映像对应关系 (3 分)

列出程序执行过程中 Cache 的块地址流分布情况。并计算 Cache 的块命中率。(3 分)

四、(15 分) 有 4 个中断源 D1、D2、D3、D4，它们的中断优先级和中断屏蔽码见下表，表中，“1”表示该中断源被屏蔽，“0”表示该中断源开放。假设从处理机响应中断源的中断服务请求到运行中断服务程序中第一次开中断所用的时间为 1 微秒，其它中断服务时间为 10 微秒。

处理机在 0 时刻开始响应中断请求，这时 4 个中断源都已经申请中断服务，写出处理机开始

响应各中断源的中断请求和处理机为各中断源完成中断服务的时刻。(7分)

处理机在 0 时刻开始响应中断请求, 这时中断源 D3 和 D4 已经申请中断服务, 在 6 微秒时中断源 D1 和 D2 同时申请中断服务, 写出处理机开始响应各中断源的中断请求和处理机为各中断源完成中断服务的时刻。(8分)

中断源	中断优先级	中断屏蔽码 D1 D2 D3 D4
D1	1 (最高)	1 1 0 0
D2	2 (第二)	0 1 0 1
D3	3 (第三)	1 0 1 0
D4	4 (最低)	1 0 1 1

五、(10分) 假定我们将某一执行部件性能改进后速度提高 10 倍。改进后被改进部件执行时间占系统总运行时间的 50%。则改进后获得的加速比 S_p 是多少?

六、(10分) 在下列单级互连网络中, 将信息从一个 PE 播送给所有其它 PE 要用多少步 ($N=2n$ 个 PE)?

混洗交换网络, 每步只能做一次混洗或一次交换。(5分)

超立方体网络, 每步 i ($0 \leq i \leq n-1$) 可实现寻径函数 C_i 。(5分)

七、(15分) 在一台单流水线处理机上执行下面的程序。每条指令都要经过“取指令”、“译码”、“执行”和“写结果”4个流水段, 每个流水段的延迟时间都是 5ns。在“执行”流水段, LS 部件完成 LOAD 和 STORE 操作, 其他操作都在 ALU 部件中完成, 两个操作部件的输出端有直接数据通路与任意一个操作部件的输入端相连接, ALU 部件产生的条件码也能够直接送入控制器。

1: SUB R0, R0 :R0 ← 0

2: LOAD R1, #8 :R1 ← 向量长度 8

3: LOOP: LOAD R2, A(R1) :R2 ← A 向量的一个元素

4: MUL R2, R1 :R2 ← (R2) × (R1)

5: ADD R0, R2 :R0 ← (R0) + (R2)

6: DNE R1, LOOP :R1 ← (R1) - 1, 若 (R1) ≠ 0 转向 LOOP

7: STORER0, S: 保存结果

采用静态分支预测技术, 每次都预测转移不成功。画出指令流水线的时空图(中间部分可以省略, 图中可用指令序号表示), 计算流水线的吞吐率和加速比, 并分别计算译码部件和 ALU 部件的使用效率。(8分)

采用静态分支预测技术, 每次都预测转移成功。计算指令流水线的吞吐率和加速比, 并分别计算译码部件和 ALU 部件的使用效率。(7分)

八、(15分) 分别在下面三种计算机系统上用最短的时间来计算表达式 $s = \prod_{i=0}^{35} (A_i + B_i)$ 。假设加法和乘法分别需要 2 个和 4 个单位时间, 从存储器取指令、取数据、译码的时间忽略不计, 所有的指令和数据已装入有关的 PE 或处理机中。PE 或处理机中有一个加法器和一个乘法器, 同一时刻只有其中一个可以使用。试确定下列每种情况的最小计算时间。

一台串行计算机, 这种单处理机系统不需要数据寻径操作。(3分)

一台有 8 个 PE (PE0, PE1, ..., PE7) 的 SIMD 计算机, 8 个 PE 连成单向环结构。每个 PE 用一个单位时间可以把数据直接送给它的相邻 PE。操作数 A_i 和 B_i 最初存放在 $PE_{i \bmod 8}$ 中, 其中 $i=0, 2, \dots, 35$ 。(6分)(原题为 2, 但我认为可能是 1。录入者注)

分布存储器的 MIMD 多处理机, 8 个 CPU 用立方体网连接。在相邻 CPU 之间传送一个数据需要一个单位时间。操作数 A_i 和 B_i 最初存放在 CPU $i \bmod 8$ 中, 其中 $i=0, 1, \dots, 35$ 。最终结果 s 可以放在任意 CPU 的寄存器中。(6分)

总共用时=35+1 次乘法=39 单位时间。

考试科目 数字逻辑

请将逻辑表达式：

$$f(A,B,C,D)=\sum m(1,3,4,7,11)+\sum d(5,12,13,14,15)$$

（其中 m 表示最小项， d 为以最小项形式表示的不管项）

转换成最简的“或与”表达式，给出转换的主要过程。（10 分）

转换成最大项之积的表示形式（须包括不管项），给出转换的主要过程。（10 分）

设计一个能对串行二进制码序列进行奇偶检验的电路。

要求每检测三位输入后，输出结果是：若三位输入中“1”的个数为“奇”时，输出为“1”，否则，输出为“0”。但当每检测第一位输入及第二位输入后，输出均为“0”。

给出电路的状态表及状态图。（15 分）

电路中指出：所用触发器为正沿触发的 D 型触发器。请给出电路中各触发器的 D 端表达式及电路输出的表达式。（15 分）