

2016 年《综合课程设计 2-1》课程实验报告（第一类实验）

实验题二：在 FPGA 芯片内用图形设计方法 实现一个无条件输入端口

姓名：王科

学号：1310583

专业：计算机科学与技术

完成日期：2016/3/11

目录

一、	实验内容	- 2 -
二、	实验原理	- 2 -
三、	实验步骤	- 3 -
	1. 使用 quartus 设计无条件输入端口电路图	- 3 -
	2. 观察 FPGA 电路板，将输入输出端口进行引脚绑定	- 3 -
	3. 电路连接示意图	- 4 -
	4. 实验结果	- 5 -
四、	实验程序	- 8 -
五、	实验总结	- 9 -

一、 实验内容

端口所用的三态门可用 74244，该端口的数据输入来自用户实验板的手动数字量输入模块，读入的结果在机器屏幕上显示出来。

二、 实验原理

数字量输入是指输入信号是数字量即数字信号。为使实验者对数字量输入有个直观了解，实验板提供了 8 位手动数字量输入模块。该模块由 8 个开关和一个排电阻（此为 A 型排电阻，所有电阻被封装在一起，而它们的一端被连在一起，作为公共端）组成，具体电路如图 2.1 所示。

开关拨到上方表示 1，否则表示 0（在实验板上，每个开关的接点 3 位于上方，而接点 1 位于下方）。该模块的输出 DD7~DD0（安排有插孔）可作为无条件输入端口的输入；也可直接接 LED 显示模块，即由手拨开关控制 LED 的亮灭；还可以接七段数码显示模块，以控制数码显示。在实际应用中手动数字量输入通常用来控制一些设备或装置的动作，或进行分步操作。

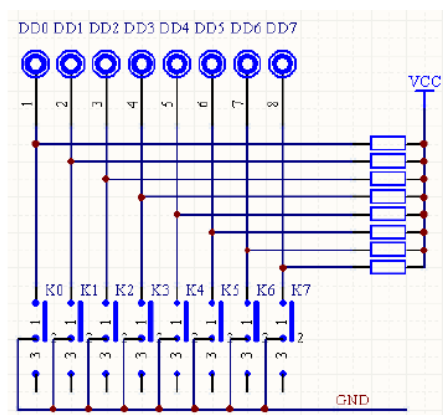


图 2.1 手动数字量输入模块的电路图

无条件输入端口通常也是接口的组成部分。从原理上看，无条件输入端口是由三态门、地址译码器和负与逻辑构成的。利用 FPGA 板可构成一个典型的 8 位无条件输入端口。无条件输入端口电路实际是一个进行了相关连接的八三态门（74LS244），如图 2.2 所示。

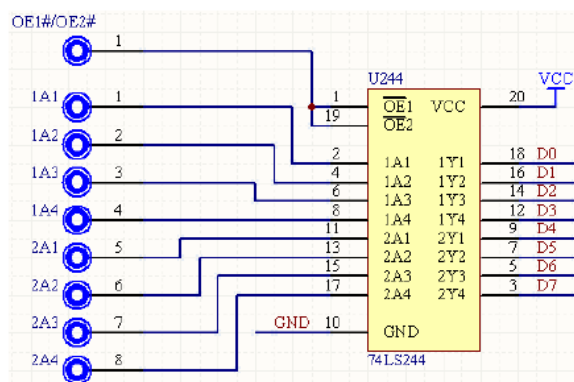


图 2.2 无条件输入模块的电路图

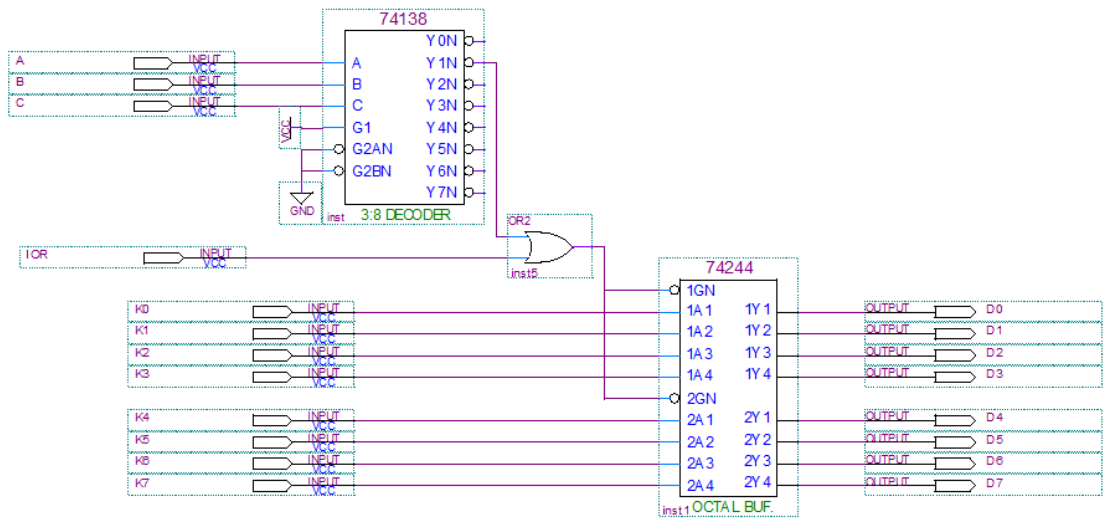
74LS244 内部的 8 个三态门被分成两组。1A1~1A4 分别是第一组四个三态门的输入，1Y1~1Y4 分别是第一组四个三态门的输出，2A1~2A4 是第二组的输入，2Y1~2Y4 是第二组的输出。两组三态门分别设置了控制信号（OE1#和 OE2#），低电平有效，即控制信号为低电平时，对应的一组三态门为开放状态，否则为关闭状态。

三、 实验步骤

1. 使用 quartus 设计无条件输入端口电路图

构造一个无条件输入电路：其使用 74LS244 暂存器存放从手动输入开关的数据, 然后将其输出到实验箱数据总线上。使用 74LS244 暂存器存入手动输入的数据，同时使用 7LS138 和 IOR 信号构成译码电路。将 7LS138 的 001 输出端和 IOR 信号进行或操作后作为 74LS244 芯片的 GN 端输入数据信号，达到地址译码的目的。

设计电路图如下：

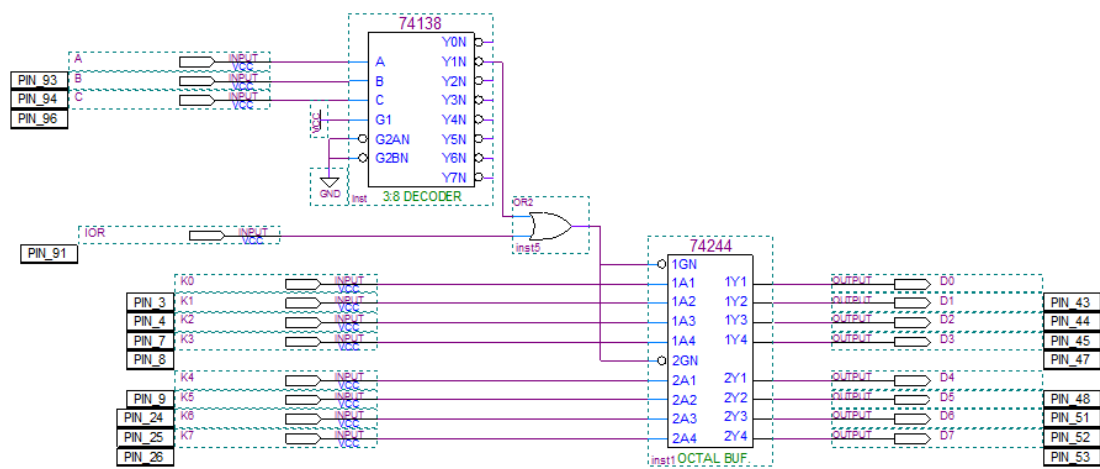


2. 观察 FPGA 电路板，将输入输出端口进行引脚绑定

根据 FPGA 电路板上空闲的剩余引脚，在这次实验中个输入输出端对应的引脚号如下表：

Node Name	Direction	Location	I/O Bank	Vref Group	I/O Standard	Reserved	Group	Current Strength
A	Input	PIN_93	3	B3_N0	3.3-V LVTTTL (default)			24mA (default)
B	Input	PIN_94	3	B3_N0	3.3-V LVTTTL (default)			24mA (default)
C	Input	PIN_96	3	B3_N0	3.3-V LVTTTL (default)			24mA (default)
D0	Output	PIN_43	4	B4_N1	3.3-V LVTTTL (default)			24mA (default)
D1	Output	PIN_44	4	B4_N1	3.3-V LVTTTL (default)			24mA (default)
D2	Output	PIN_45	4	B4_N1	3.3-V LVTTTL (default)			24mA (default)
D3	Output	PIN_47	4	B4_N1	3.3-V LVTTTL (default)			24mA (default)
D4	Output	PIN_48	4	B4_N1	3.3-V LVTTTL (default)			24mA (default)
D5	Output	PIN_51	4	B4_N1	3.3-V LVTTTL (default)			24mA (default)
D6	Output	PIN_52	4	B4_N1	3.3-V LVTTTL (default)			24mA (default)
D7	Output	PIN_53	4	B4_N1	3.3-V LVTTTL (default)			24mA (default)
IOR	Input	PIN_91	3	B3_N0	3.3-V LVTTTL (default)			24mA (default)
K0	Input	PIN_3	1	B1_N0	3.3-V LVTTTL (default)			24mA (default)
K1	Input	PIN_4	1	B1_N0	3.3-V LVTTTL (default)			24mA (default)
K2	Input	PIN_7	1	B1_N0	3.3-V LVTTTL (default)			24mA (default)
K3	Input	PIN_8	1	B1_N0	3.3-V LVTTTL (default)			24mA (default)
K4	Input	PIN_9	1	B1_N0	3.3-V LVTTTL (default)			24mA (default)
K5	Input	PIN_24	1	B1_N1	3.3-V LVTTTL (default)			24mA (default)
K6	Input	PIN_25	1	B1_N1	3.3-V LVTTTL (default)			24mA (default)
K7	Input	PIN_26	1	B1_N1	3.3-V LVTTTL (default)			24mA (default)
<new node>>								

将引脚绑定后的电路图如下：



3. 电路连接示意图

连接实验箱与 FPGA 电路板上电路：

- 将 FPGA 板上的 PIN_43~PIN_53 (D0~D7) 接到实验箱的数据总线 XD0~XD7 上；
- 将 FPGA 板上的 PIN_3~PIN_26 (Q0~Q7) 接到 FPGA 电路板的开关上；
- 将 FPGA 板上的 PIN_93 (A)、PIN_94 (B)、PIN_96 (C) 接到实验箱的地址总线的 XA1、XA2、XA3 上；
- 将 FPGA 板上的 PIN_91 (IOR) 接到实验箱的系统总线的读信号 (IOR#) 上。

对应端口连接表			
说明	引脚	说明	引脚
FPGA 板的输出数据端口 (D0~D7)	PIN_43~PIN_53	实验箱的数据总线	XD0~XD7
FPGA 板的输入数据	PIN_3~PIN_26	FPGA 电路板开关	K0~K7

据端口 (Q0~Q7)			
74138 的输入端 A、B、C	PIN_93、 PIN_94、PIN_96	实验箱的地址总 线	XA1、XA2、XA3
FPGA 板上的片选 信号	PIN_91	实验箱的系统总 线的读信号	IOR#

4. 实验结果

由于片选电路选择选通地址是 (0x3002)，则在数据总线上读取数据时地址是 (0X3002)，代码如下：

```
value=inp(0x3002);
```

实验时为了便于循环读取开关上的数值，使用了延时函数和循环结构，循环读取开关的值，具体实现代码如下：

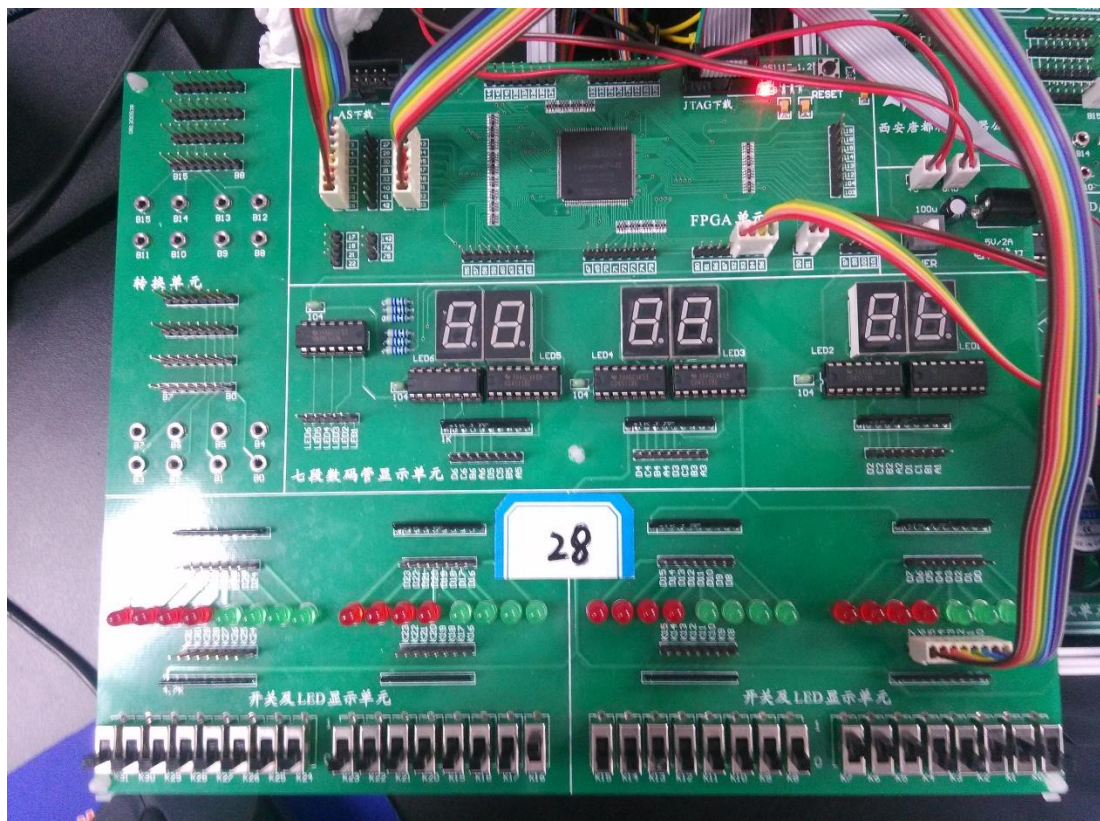
```
int port_r,value;
port_r=0x3002;    //0010
while(1)
{
    //先读入无条件输入端口的数值
    value=inp(port_r);
    delay(40);    //延时一段时间，循环读数据
    printf("Get data is %d \n", value);    //显示在桌面上
}
```

实验时拨动开关，使屏幕上输出不同的值如下：

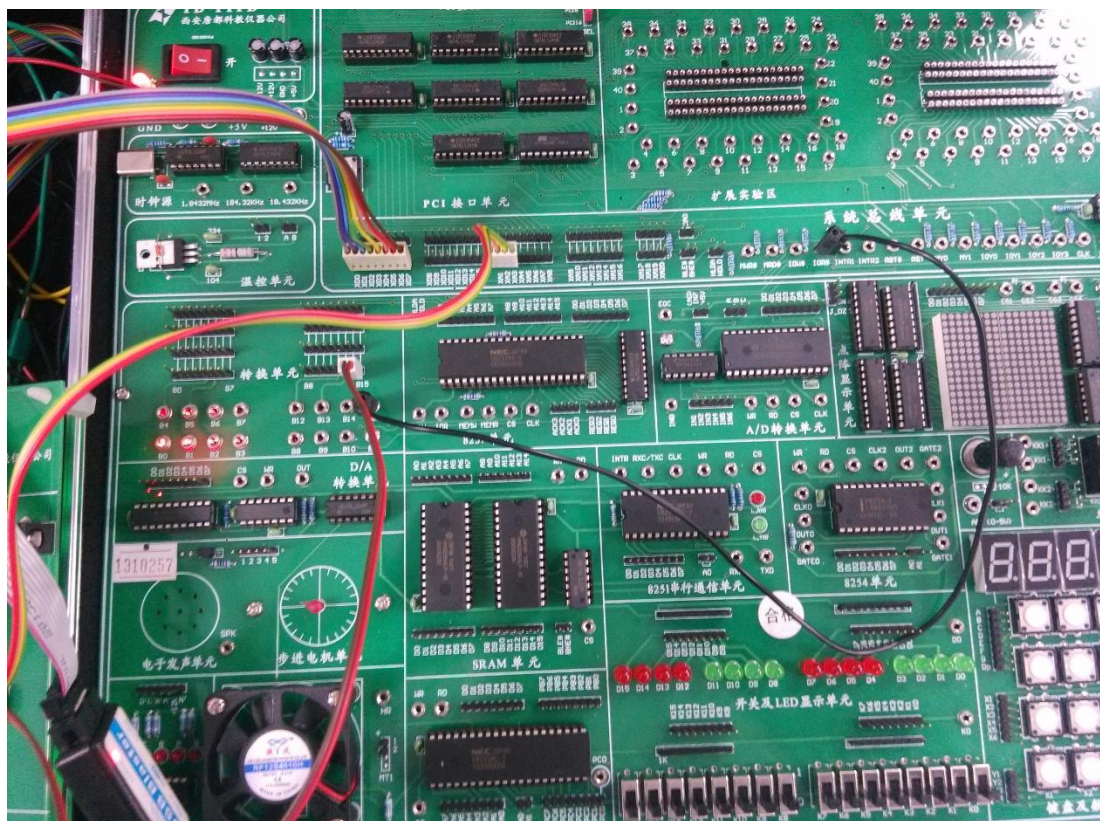
```
C:\WINDOWS\system32\cmd.exe

Get data is 0
Get data is 0
Get data is 0
Get data is 4
Get data is 4
Get data is 4
Get data is 16
Get data is 16
Get data is 48
Get data is 48
Get data is 96
Get data is 96
Get data is 100
Get data is 100
Get data is 100
Get data is 124
Get data is 124
Get data is 124
Get data is 127
Get data is 127
Get data is 255
Get data is 255
Get data is 255
Get data is 255
```

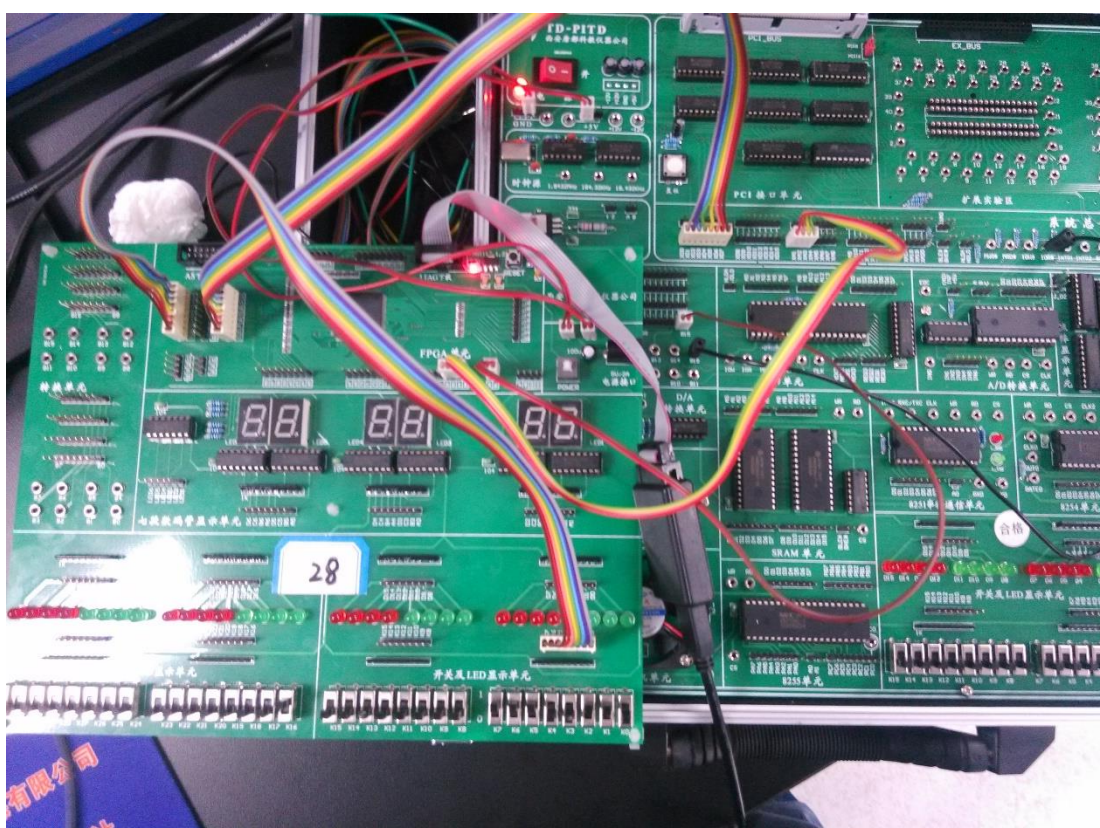
FPGA 电路板上连接图如下：



实验箱上电路连接图如下：



FPGA 电路板与实验箱的总体接线图如下：



四、 实验程序

整个实验所用的程序如下（附件“项目测试程序.txt”）:

```
#include <stdlib.h>
#include <conio.h>
#include <bios.h>
#include <ctype.h>
#include <process.h>

// 延时函数
void delay(int time)
{
    int i;
    long j;
    for(i=0;i<=time;i++)
    {
        for(j=0;j<=0x400000;j++)
        { }
    }
    return;
}

void main()
{
    int port_r,value;
    port_r=0x3002;    //0010
    while(1)
    {
        //先读入无条件输入端口的数值
        value=inp(port_r);
        delay(40);    //延时一段时间，循环读数据
        printf("Get data is %d \n", value);    //显示在桌面上
    }
}
```

五、 实验总结

这次的无条件输入端口电路与前面的无条件输出端口很类似，都是需要理解数据是如何在数据总线和地址总线上协同传输的，根据设计的电路图和连接电路的方式得到对应的选通地址值。

通过这次实验使我对于无条件输出输入端口电路加深了理解，为以后的电路设计打下了基础，对理论知识有了更加深刻的理解和熟练应用。