

2016 年《综合课程设计 2-1》课程实验报告（第一类实验）

实验题一：在 FPGA 芯片内用图形设计 方法实现一个无条件输出端口

姓名：王科

学号：1310583

专业：计算机科学与技术

完成日期：2016/3/11

目录

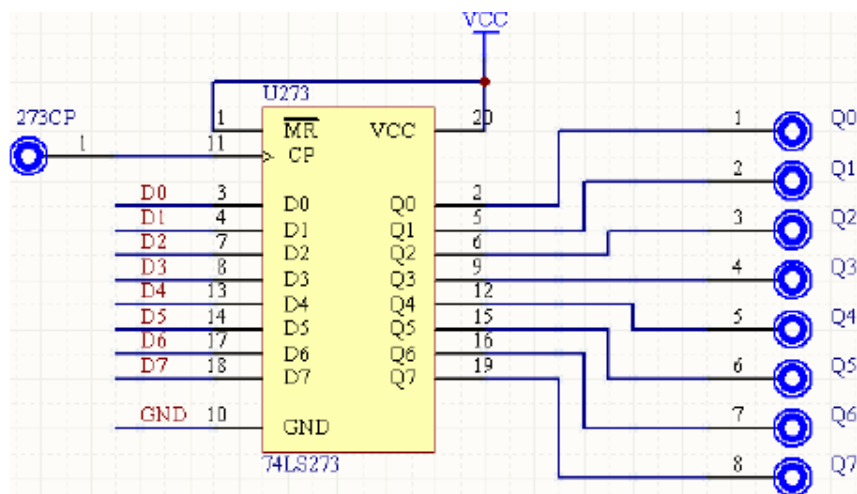
一、	实验内容	- 2 -
二、	实验原理	- 2 -
三、	实验步骤	- 2 -
	1. 使用 quartus 设计无条件输出端口电路图	- 2 -
	2. 观察 FPGA 电路板，将输入输出端口进行引脚绑定	- 3 -
	3. 电路连接示意图	- 4 -
	4. 实验结果	- 4 -
四、	实验程序	- 7 -
五、	实验总结	- 8 -

一、 实验内容

在 FPGA 构建无条件输出端口电路，将该端口的输出接用户实验板的 LED 显示模块，以便显示送到该端口的数据。说明：地址译码器请选用 74138，端口所用的寄存器请选用 74273，该端口的数据来自用户实验板的数据总线。（该实验已经在示例实验 5.1 中给出，要求更改译码的地址重新完成）。

二、 实验原理

从原理上看，无条件输出端口是由寄存器、地址译码器和负与逻辑构成的。利用 FPGA 芯片可构成一个典型的 8 位无条件输出端口。无条件输出端口模块处实际是一个进行了相关连接的 8 位寄存器（74LS273），如下图所示。

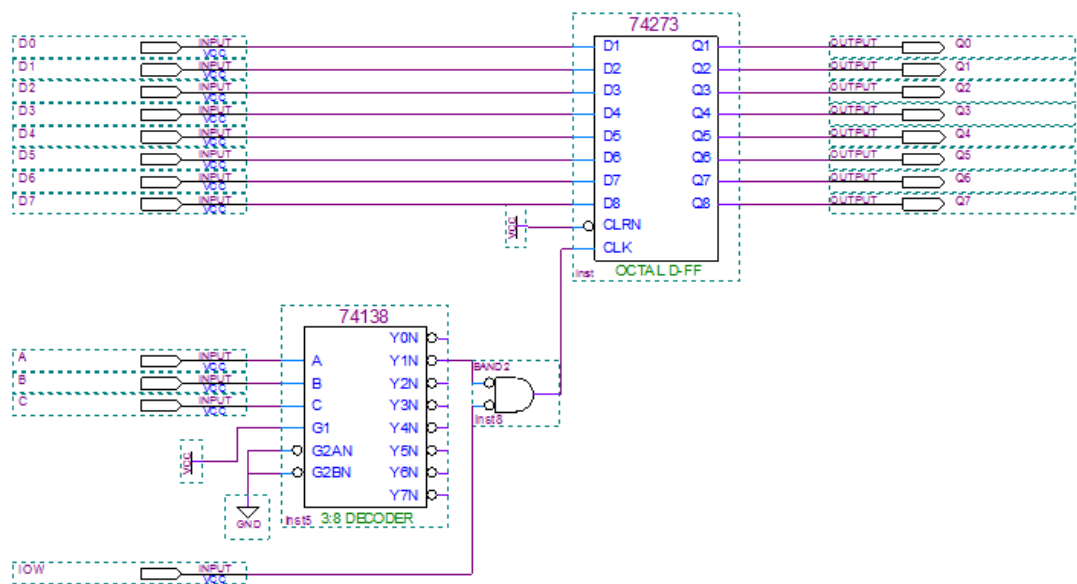


构建无条件输出端口除寄存器外，还需要地址译码器。本次实验的地址译码电路可以自行设定。构成无条件输出端口的关键是产生寄存器的打入脉冲，实际上它是 IO 写信号（IOW#）和地址译码信号的负与。写入时刻是负与逻辑输出负脉冲的后沿。

三、 实验步骤

1. 使用 quartus 设计无条件输出端口电路图

使用 74LS243 芯片 8 位寄存器缓存数据，同时使用 7LS138 和 IOW 信号构成译码电路。将 74LS243 芯片的输出端 Q1-Q8 接到 8 个 LED 小灯泡上观察数据输出。将 7LS138 的 001 输出端和 IOW 信号进行负与，作为 74LS243 芯片的 CLK 端输入信号，达到片选的目的。

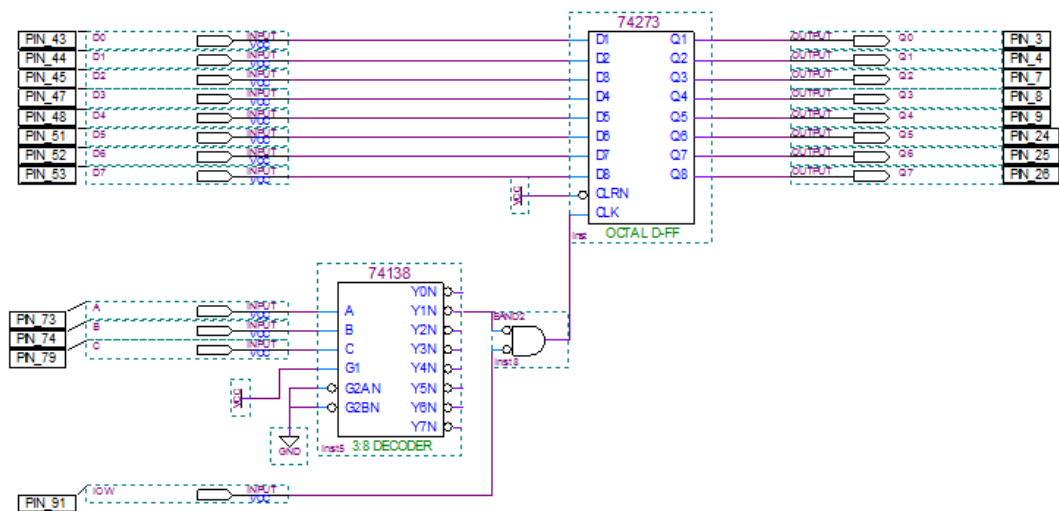


2. 观察 FPGA 电路板，将输入输出端口进行引脚绑定

根据 FPGA 电路板上空闲的剩余引脚，在这次实验中个输入输出端对应的引脚号如下表：

	Node Name	Direction	Location	I/O Bank	Vref Group	I/O Standard	Reserved	Group	Current Strength
1	A	Input	PIN_73	3	B3, N1	3.3-V LVTTTL (default)			24mA (default)
2	B	Input	PIN_74	3	B3, N1	3.3-V LVTTTL (default)			24mA (default)
3	C	Input	PIN_79	3	B3, N1	3.3-V LVTTTL (default)			24mA (default)
4	D0	Input	PIN_43	4	B4, N1	3.3-V LVTTTL (default)			24mA (default)
5	D1	Input	PIN_44	4	B4, N1	3.3-V LVTTTL (default)			24mA (default)
6	D2	Input	PIN_45	4	B4, N1	3.3-V LVTTTL (default)			24mA (default)
7	D3	Input	PIN_47	4	B4, N1	3.3-V LVTTTL (default)			24mA (default)
8	D4	Input	PIN_48	4	B4, N1	3.3-V LVTTTL (default)			24mA (default)
9	D5	Input	PIN_51	4	B4, N1	3.3-V LVTTTL (default)			24mA (default)
10	D6	Input	PIN_52	4	B4, N1	3.3-V LVTTTL (default)			24mA (default)
11	D7	Input	PIN_53	4	B4, N1	3.3-V LVTTTL (default)			24mA (default)
12	D0	Input	PIN_91	3	B3, N0	3.3-V LVTTTL (default)			24mA (default)
13	Q0	Output	PIN_3	1	B1, N0	3.3-V LVTTTL (default)			24mA (default)
14	Q1	Output	PIN_4	1	B1, N0	3.3-V LVTTTL (default)			24mA (default)
15	Q2	Output	PIN_7	1	B1, N0	3.3-V LVTTTL (default)			24mA (default)
16	Q3	Output	PIN_8	1	B1, N0	3.3-V LVTTTL (default)			24mA (default)
17	Q4	Output	PIN_9	1	B1, N0	3.3-V LVTTTL (default)			24mA (default)
18	Q5	Output	PIN_24	1	B1, N1	3.3-V LVTTTL (default)			24mA (default)
19	Q6	Output	PIN_25	1	B1, N1	3.3-V LVTTTL (default)			24mA (default)
20	Q7	Output	PIN_26	1	B1, N1	3.3-V LVTTTL (default)			24mA (default)
21	<<new node>>								

将引脚绑定后的电路图如下：



编译下载到 FPGA 电路板上，然后连接实验箱的电路。

3. 电路连接示意图

连接实验箱与 FPGA 电路板上电路：

- 将 FPGA 板上的 PIN_43~PIN_53 (D0~D7) 接到实验箱的数据总线 XD0~XD7 上；
- 将 FPGA 板上的 PIN_3~PIN_26 (Q0~Q7) 接到 FPGA 电路板的 LED 灯泡上；
- 将 FPGA 板上的 PIN_73 (A)、PIN_74 (B)、PIN_79 (C) 接到实验箱的地址总线的 XA1、XA2、XA3 上；
- 将 FPGA 板上的 PIN_91 (IOW) 接到实验箱的系统总线的写信号 (IOW#) 上。

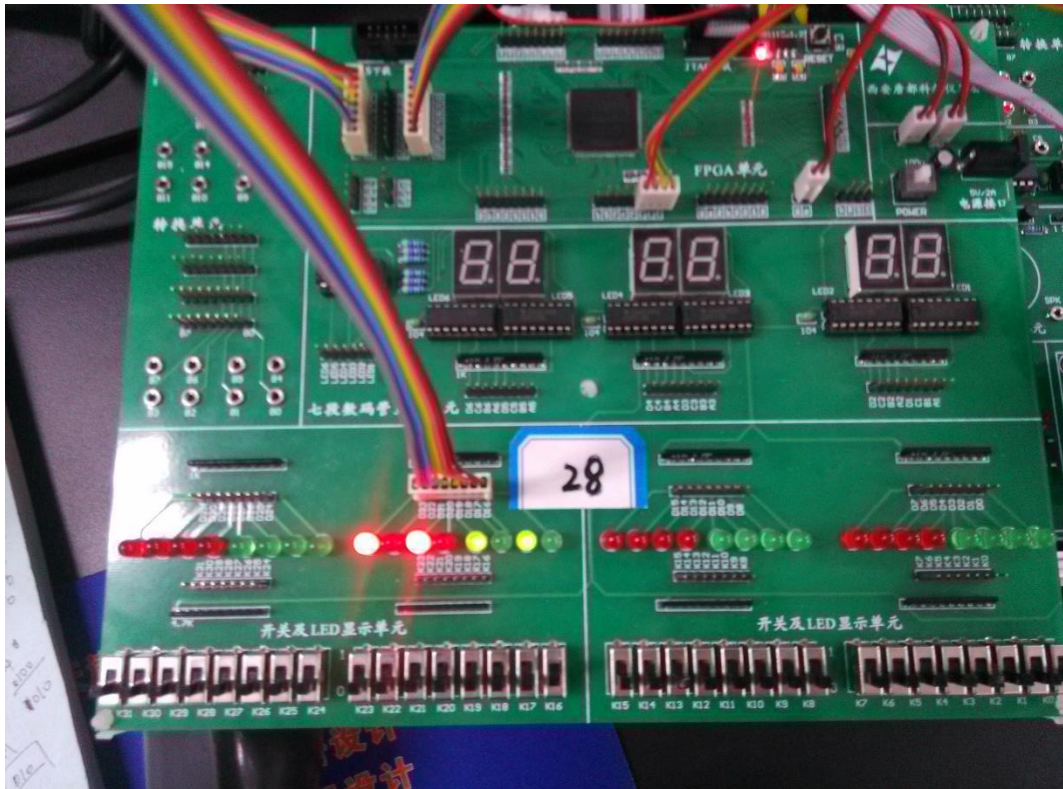
对应端口连接表			
说明	引脚	说明	引脚
FPGA 板的输入数据端口 (D0~D7)	PIN_43~PIN_53	实验箱的数据总线	XD0~XD7
FPGA 板的输出数据端口 (Q0~Q7)	PIN_3~PIN_26	FPGA 电路板 LED 灯泡	L0~L7
74138 的输入端 A、B、C	PIN_73、 PIN_74、PIN_79	实验箱的地址总线	XA1、XA2、XA3
FPGA 板上的片选信号	PIN_91	实验箱的系统总线的写信号	IOW#

4. 实验结果

由于片选电路选择选通地址是 (0x3002)，则向数据总线上输入数据 0xaa 时，代码如下：

```
outp(0x3002, 0xaa);
```

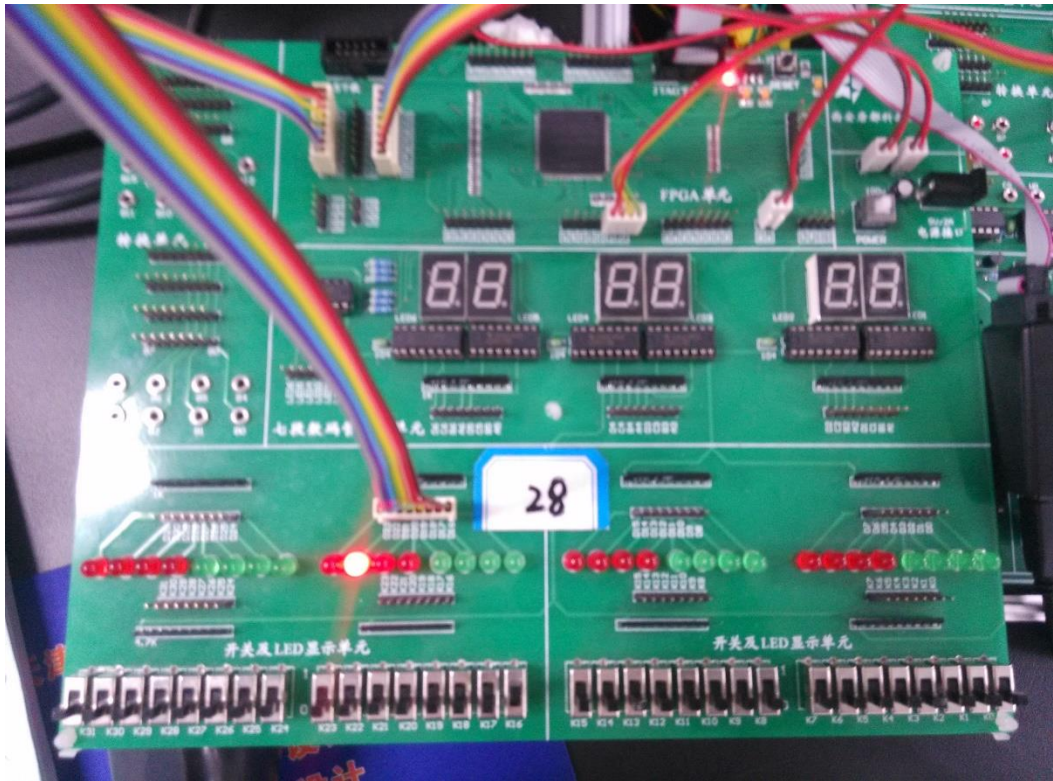
LED 灯泡显示如下：



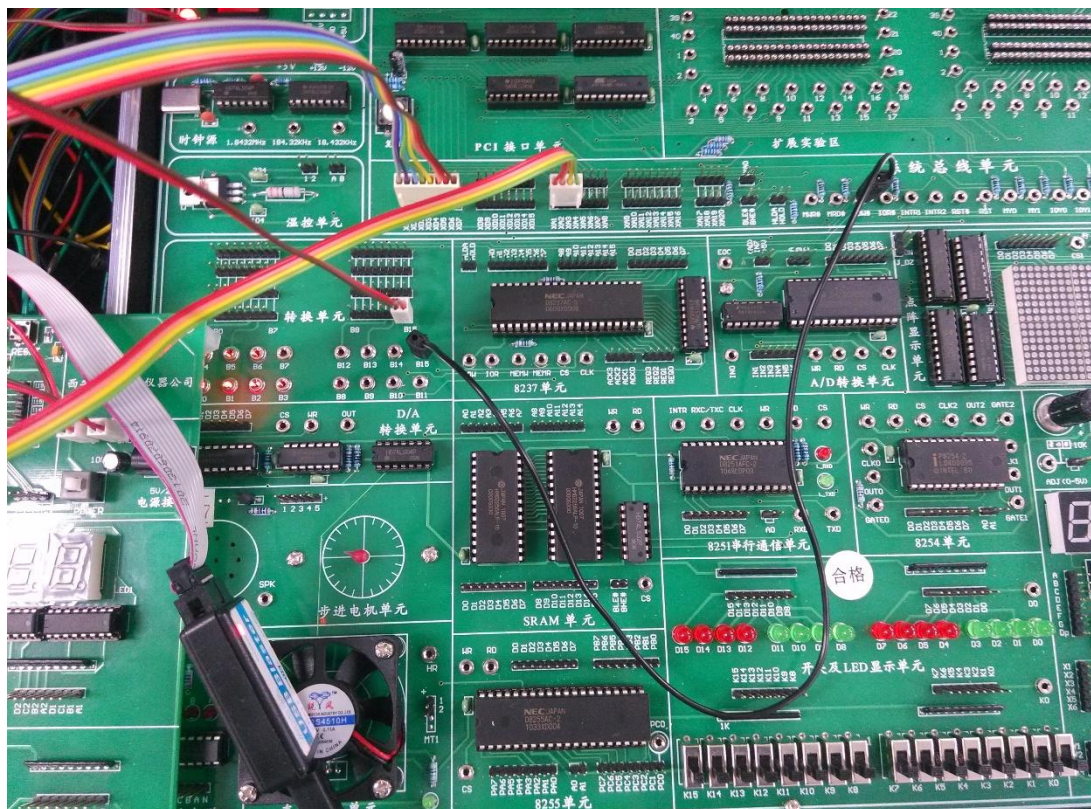
修改程序实现 LED 灯泡的点亮变得有规律，使得灯泡从右到左依次循环点亮。实现上述规律的代码如下：

```
int data=0x01;
while (1)
{
    outp(0x3002 , data);
    data=data<<1;    //每次左移一位
    if(data==0x80)
        data=1;
    delay(4);// 延时
}
```

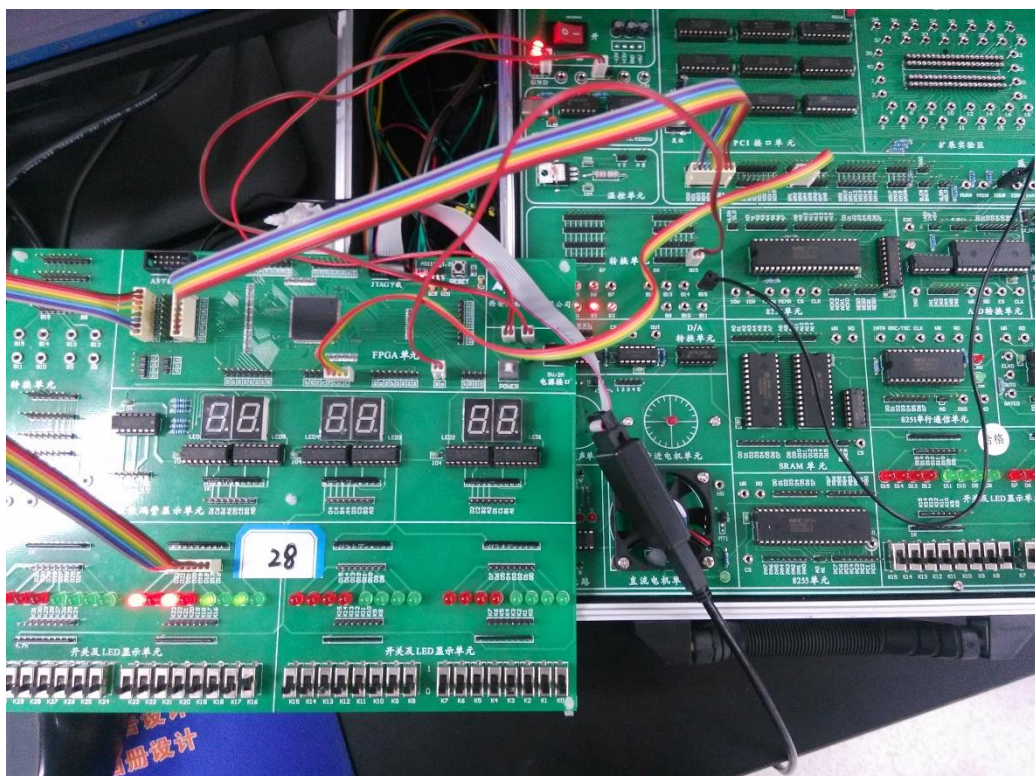
实验时 FPGA 上的接线图如下：



实验箱上的接线图如下：



FPGA 电路板与实验箱的总体接线图如下：



四、 实验程序

整个实验所用的程序如下（附件“项目测试程序.txt”）:

```
#include <stdlib.h>
#include <conio.h>
#include <bios.h>
#include <ctype.h>
#include <process.h>

// 延时函数
void delay(int time)
{
    int i;
    long j;
    for(i=0;i<=time;i++)
    {
        for(j=0;j<=0x400000;j++)
        {
        }
    }
    return;
}
```



```
void main()
{
    //outp(0x3002, 0xaa);
    int data=0x01;
    while (1)
    {
        outp(0x3002, data);
        data=data<<1;    //每次左移一位
        if(data==0x80)
            data=1;
        delay(4); // 延时
    }
}
```

五、实验总结

这次的无条件输出实验与之前的示例文件很类似，由于在第一节课上已经熟练的做出了示例文件，所以这次在上一次的基础上很快的做出来了，并且可以使 LED 灯泡有规律的变化。经过了这次的《无条件输出端口的构成与地址译码》实验使我熟悉了地址译码的功能，熟悉了无条件输出的方式，加深了对理论知识的理解。

最后感谢老师在不厌其烦的为我们一遍又一遍的讲解实验原理，并且帮助我分析电路，使我实验的能力得到了提高。