

2016 年《综合课程设计 2-1》课程实验报告（第二类实验）

实验题二：在 FPGA 芯片内用硬件描述 语言描述一个 8-3 优先编码器

姓名：王科

学号：1310583

专业：计算机科学与技术

完成日期：2016/3/25

目录

一、	实验内容	- 2 -
二、	实验原理	- 2 -
三、	实验步骤	- 2 -
	1. 设计译码器的端口、内部逻辑程序	- 2 -
	2. 观察 FPGA 电路板，将输入输出端口进行引脚绑定	- 3 -
	3. 电路连接示意图	- 4 -
	4. 实验结果	- 4 -
四、	实验程序（.VHD 文件）	- 7 -
五、	实验总结	- 8 -

一、 实验内容

在 FPGA 芯片内用硬件描述语言描述一个 8-3 优先编码器，利用用户实验板上的资源测试该逻辑：输入代码端接用户实验板上的手动开关，输出接 LED 显示模块。进行手动操作，观察该编码器的输入输出特性。

说明：“编码”是“译码”的逆行为，实现编码的逻辑称为“编码器”。编码器有多个输入，多个输出。普通编码器在同一时刻最多只能有一个输入信号有效，当所有输入均无效时，规定产生某种输出。而优先编码器允许几个输入同时有效，但各个输入的优先权不同，编码器自动产生当前优先权最高的输入的编码。本题要实现的编码器有 8 个（即 8 位）输入，3 个输出。

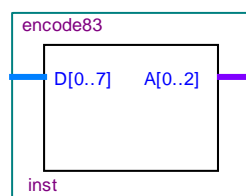
二、 实验原理

和上一个实验类似，该实验使用 VHDL 语言设计一个 8-3 优先编码器，即是 3-8 译码器的逆过程，由于不需要使用使能端故只需要一个 8 位的输入端口和一个 3 位的输出端口即可。而且有优先关系，故可以在 VHDL 程序内使用一个进程顺序判断 8 个端口是否依次有效，达到优先编码的功能。从第 8 位到第 1 位，依次判断是否有效（低电平），若存在一位有效则不需要考虑比它低优先级的端口是否有效，在输出端口输出对应的值即可。

三、 实验步骤

1. 设计译码器的端口、内部逻辑程序

编码器有两个端口，分别是一个 8 位的输入端口和一个 3 位的输出端口，其外部模块图如下：



vhdl 语言设计端口如下：

```

ENTITY encode83 IS
    PORT(
        D:IN STD_LOGIC_VECTOR(0 TO 7);
        A:OUT STD_LOGIC_VECTOR(0 TO 2)
    );
END encode83;

```

其内部逻辑输入输出关系如下：

INPUT								OUTPUT		
D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	A[0]	A[1]	A[2]
0	x	x	x	x	x	x	x	1	1	1
1	0	x	x	x	x	x	x	1	1	0
1	1	0	x	x	x	x	x	1	0	1
1	1	1	0	x	x	x	x	1	0	0
1	1	1	1	0	x	x	x	0	1	1
1	1	1	1	1	0	x	x	0	1	0
1	1	1	1	1	1	0	x	0	0	1
1	1	1	1	1	1	1	0	0	0	0
1	1	1	1	1	1	1	1	0	0	0

由此设计 VHDL 结构体程序如下：

```

ARCHITECTURE content OF encode83 IS
BEGIN
    PROCESS(D)
    BEGIN
        IF (D(7)='0') THEN A<="111";
        ELSIF (D(6)='0') THEN A<="110";
        ELSIF (D(5)='0') THEN A<="101";
        ELSIF (D(4)='0') THEN A<="100";
        ELSIF (D(3)='0') THEN A<="011";
        ELSIF (D(2)='0') THEN A<="010";
        ELSIF (D(1)='0') THEN A<="001";
        ELSIF (D(0)='0') THEN A<="000";
        ELSE A<="ZZZ";
        END IF;
    END PROCESS;
END;

```

2. 观察 FPGA 电路板，将输入输出端口进行引脚绑定

根据 FPGA 电路板上空闲的剩余引脚，在这次实验中个输入输出端对应的引脚号如下表：

	Node Name	Direction	Location	I/O Bank	Vref Group	I/O Standard	Reserved	Group	Current Strength
1	A[0]	Output	PIN_97	3	B3_N0	3.3-V LVTTTL (default)		A[0..2]	24mA (default)
2	A[1]	Output	PIN_99	3	B3_N0	3.3-V LVTTTL (default)		A[0..2]	24mA (default)
3	A[2]	Output	PIN_100	3	B3_N0	3.3-V LVTTTL (default)		A[0..2]	24mA (default)
4	D[0]	Input	PIN_96	3	B3_N0	3.3-V LVTTTL (default)		D[0..7]	24mA (default)
5	D[1]	Input	PIN_94	3	B3_N0	3.3-V LVTTTL (default)		D[0..7]	24mA (default)
6	D[2]	Input	PIN_93	3	B3_N0	3.3-V LVTTTL (default)		D[0..7]	24mA (default)
7	D[3]	Input	PIN_92	3	B3_N0	3.3-V LVTTTL (default)		D[0..7]	24mA (default)
8	D[4]	Input	PIN_87	3	B3_N1	3.3-V LVTTTL (default)		D[0..7]	24mA (default)
9	D[5]	Input	PIN_86	3	B3_N1	3.3-V LVTTTL (default)		D[0..7]	24mA (default)
10	D[6]	Input	PIN_81	3	B3_N1	3.3-V LVTTTL (default)		D[0..7]	24mA (default)
11	D[7]	Input	PIN_80	3	B3_N1	3.3-V LVTTTL (default)		D[0..7]	24mA (default)
12	<<new node>>								

编译下载到 FPGA 电路板上，然后连接实验箱的电路。

3. 电路连接示意图

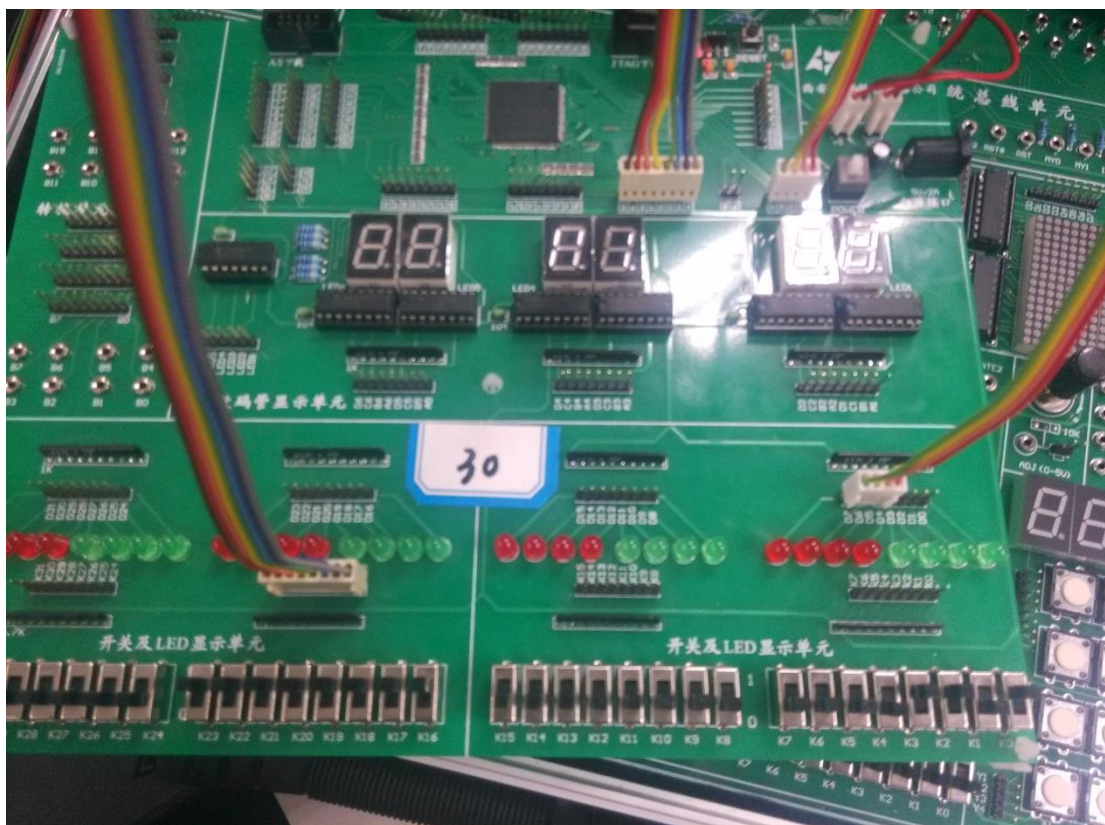
连接 FPGA 电路板上电路：

- 将 FPGA 板上的 PIN_80~PIN_96 (D[7]~D[0]) 接到 FPGA 电路板的控制开关上；
- 将 FPGA 板上的 PIN_97、PIN_99、PIN_100 (A[0]、A[1]、A[2]) 接到 FPGA 电路板的 LED 灯泡上

对应端口连接表			
说明	引脚	说明	引脚
FPGA 板的输入端 (D[7]~D[0])	PIN_80~PIN_96	FPGA 电路板控制 开关	K0~K2
FPGA 板的输出端 口 (A[0]~A[2])	PIN_97、 PIN_99、PIN_100	FPGA 电路板的 LED 灯泡	L7~L0

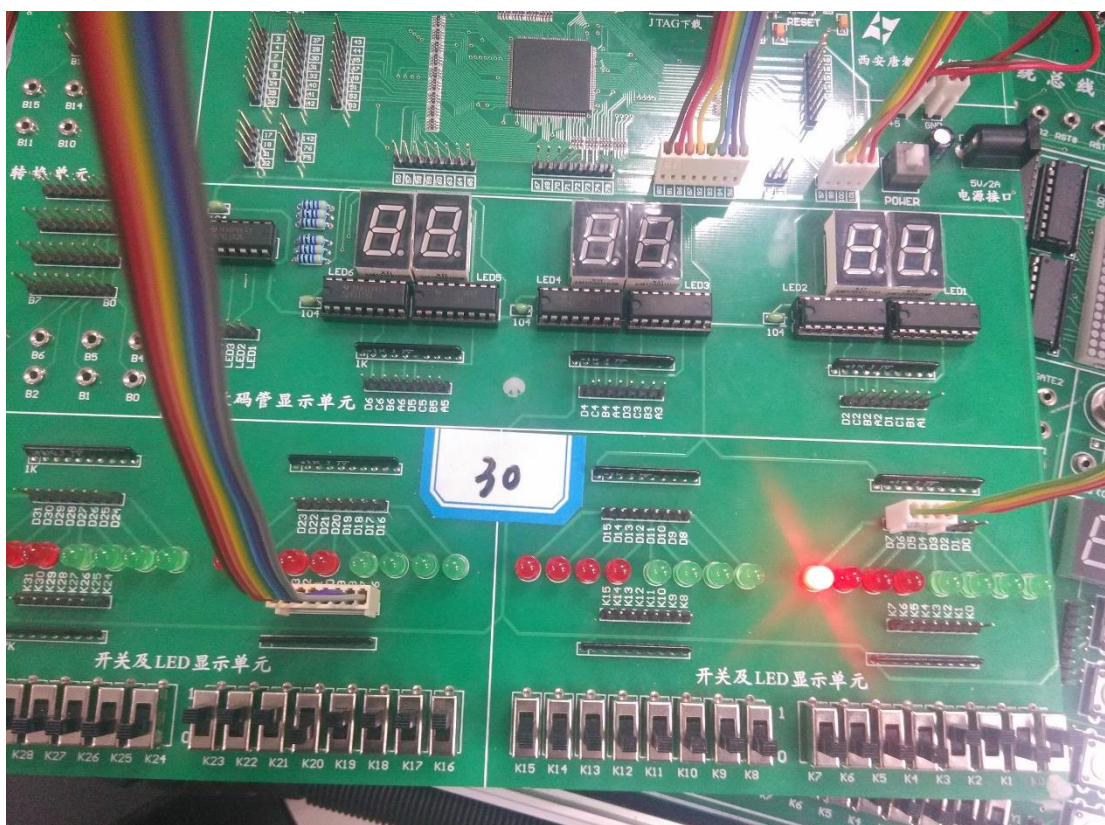
4. 实验结果

实验时当输入端全为高电平即 “11111111” 时，FPGA 上的实验结果如下：



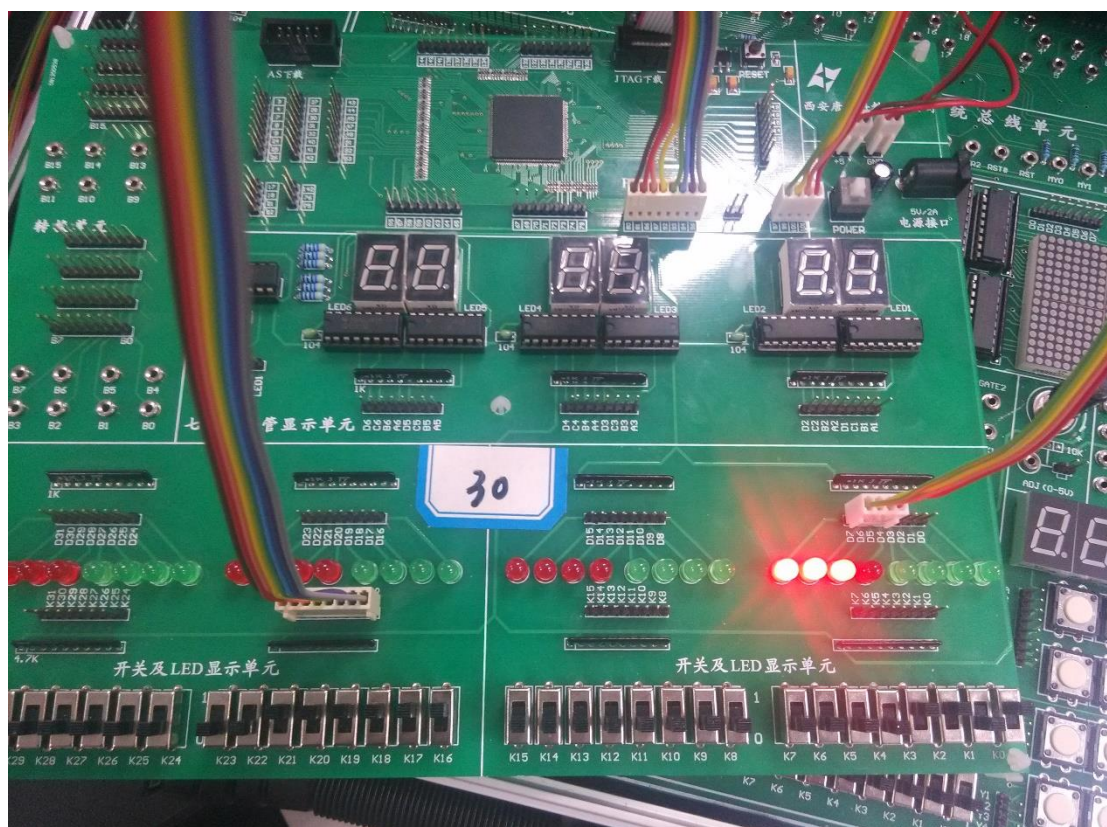
实验 LED 灯输出“000”与预期结果一致。

实验时当输入端为即“11101111”时，FPGA 上的实验结果如下：



实验 LED 灯输出“100”与预期结果一致。

实验时当输入端为即“00111111”时，FPGA 上的实验结果如下：



实验 LED 灯输出“111”，而屏蔽了结果“110”，体现了优先编码的功能，即 D[7] 优先级比 D[6] 高，这与预期结果一致。

四、 实验程序（.VHD 文件）

整个实验所用的程序如下（附件“encode83.vhd”）:

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;

ENTITY encode83 IS
    PORT(
        D:IN STD_LOGIC_VECTOR(0 TO 7);
        A:OUT STD_LOGIC_VECTOR(0 TO 2)
    );
END encode83;

ARCHITECTURE content OF encode83 IS
BEGIN
    PROCESS(D)
    BEGIN
        IF (D(7)='0') THEN A<="111";
        ELSIF (D(6)='0') THEN A<="110";
        ELSIF (D(5)='0') THEN A<="101";
        ELSIF (D(4)='0') THEN A<="100";
        ELSIF (D(3)='0') THEN A<="011";
        ELSIF (D(2)='0') THEN A<="010";
        ELSIF (D(1)='0') THEN A<="001";
        ELSIF (D(0)='0') THEN A<="000";
        ELSE A<="ZZZ";
        END IF;
    END PROCESS;
END;
```


五、 实验总结

这次的使用 VHDL 语言设计 8-3 优先解码器实验是在上一个 3-8 译码器实验的基础上做的，与上一个不同的是这次使用了 PROCESS（）进程语句，在优先选择的过程中必须按照优先级顺序来依次判断是否有效，所以必须将这些需要顺序执行的语句放到一个进程中去。

由于一开始对于 VHDL 语言的并发性和进程的概念不是很理解，导致每次实验的结果都不一样，后来查看 VHDL 的教程过后才发现，如果不是放在同一个进程中的语句，其执行的顺序与书写的顺序无关，这才恍然大悟，终于明白了进程与并发的概念，最后成功的做出了实验。

通过这次的实验，我对于 VHDL 硬件描述语言有了更深的认识，对于其各种描述语句的逻辑有了更深的理解，也对于 VHDL 语言的使用熟练了一些。

最后感谢老师们不厌其烦的为我解答疑惑并帮助我调试 bug，我才能顺利的完成了这次实验！