

2016 年《综合课程设计 2-1》课程实验报告（第二类实验）

实验题一：在 FPGA 芯片内用硬件描述 语言描述一个 3-8 译码器

姓名：王科

学号：1310583

专业：计算机科学与技术

完成日期：2016/3/25

目录

| | | |
|----|------------------------------------|-------|
| 一、 | 实验内容 | - 2 - |
| 二、 | 实验原理 | - 2 - |
| 三、 | 实验步骤 | - 2 - |
| | 1. 设计译码器的端口、内部逻辑程序 | - 2 - |
| | 2. 观察 FPGA 电路板，将输入输出端口进行引脚绑定 | - 3 - |
| | 3. 电路连接示意图 | - 4 - |
| | 4. 实验结果 | - 4 - |
| 四、 | 实验程序（.VHD 文件） | - 6 - |
| 五、 | 实验总结 | - 7 - |

一、 实验内容

在 FPGA 芯片内用硬件描述语言描述一个 3-8 译码器, 利用用户实验板上的资源测试该逻辑: 将使能端和代码输入端接用户实验板上的手动开关, 译码输出接 LED 显示模块。进行手动操作, 观察该译码器的输入输出特性。

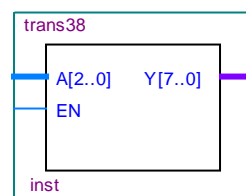
二、 实验原理

和 74LS138 芯片类似, 这次实验仿照 74138 芯片设计一个带有使能端的 3-8 译码器, 当使能端位高电平时译码器可以工作, 使用三个输入端口来选择 8 个输出端口的有效位, 当某一位被选中时输出低电平。

三、 实验步骤

1. 设计译码器的端口、内部逻辑程序

译码器应该有两个输入端口和一个输出端口, 输入端口是一个使能端和 3 位的选择端口, 输出端口是 8 位的被选中的端口。其整体外部模块如下:



vhdl 语言设计端口如下:

```
PORT
(
  A:IN STD_LOGIC_VECTOR(2 downto 0);
  EN: IN STD_LOGIC;
  Y: OUT STD_LOGIC_VECTOR(7 downto 0)
);
```

其内部逻辑输入输出关系如下:

| INPUT | | | | OUTPUT | | | | | | | |
|-------|------|------|------|--------|------|------|------|------|------|------|------|
| EN | A[2] | A[1] | A[0] | Y[7] | Y[6] | Y[5] | Y[4] | Y[3] | Y[2] | Y[1] | Y[0] |
| 0 | x | x | x | x | x | x | x | x | x | x | x |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

由此设计 VHDL 结构体程序如下：













```

ARCHITECTURE dec_behave OF trans38 IS
signal sel: STD_LOGIC_VECTOR(3 downto 0);
BEGIN
    sel <= A&EN;
    WITH sel SELECT
    Y<= "11111110" WHEN "0001",
        "11111101" WHEN "0011",
        "11111011" WHEN "0101",
        "11110111" WHEN "0111",
        "11101111" WHEN "1001",
        "11011111" WHEN "1011",
        "10111111" WHEN "1101",
        "01111111" WHEN "1111",
        "ZZZZZZZZ" WHEN OTHERS;
END dec_behave;

```

2. 观察 FPGA 电路板，将输入输出端口进行引脚绑定

根据 FPGA 电路板上空闲的剩余引脚，在这次实验中个输入输出端对应的引脚号如下表：

| | Node Name | Direction | Location | I/O Bank | vref Group | I/O Standard | Reserved | Group | Current Strength |
|----|--|-----------|----------|----------|------------|------------------------|----------|---------|------------------|
| 1 |  A[2] | Input | PIN_97 | 3 | B3_N0 | 3.3-V LVTTTL (default) | | A[2..0] | 24mA (default) |
| 2 |  A[1] | Input | PIN_99 | 3 | B3_N0 | 3.3-V LVTTTL (default) | | A[2..0] | 24mA (default) |
| 3 |  A[0] | Input | PIN_100 | 3 | B3_N0 | 3.3-V LVTTTL (default) | | A[2..0] | 24mA (default) |
| 4 |  EN | Input | PIN_101 | 3 | B3_N0 | 3.3-V LVTTTL (default) | | | 24mA (default) |
| 5 |  Y[7] | Output | PIN_80 | 3 | B3_N1 | 3.3-V LVTTTL (default) | | Y[7..0] | 24mA (default) |
| 6 |  Y[6] | Output | PIN_81 | 3 | B3_N1 | 3.3-V LVTTTL (default) | | Y[7..0] | 24mA (default) |
| 7 |  Y[5] | Output | PIN_86 | 3 | B3_N1 | 3.3-V LVTTTL (default) | | Y[7..0] | 24mA (default) |
| 8 |  Y[4] | Output | PIN_87 | 3 | B3_N1 | 3.3-V LVTTTL (default) | | Y[7..0] | 24mA (default) |
| 9 |  Y[3] | Output | PIN_92 | 3 | B3_N0 | 3.3-V LVTTTL (default) | | Y[7..0] | 24mA (default) |
| 10 |  Y[2] | Output | PIN_93 | 3 | B3_N0 | 3.3-V LVTTTL (default) | | Y[7..0] | 24mA (default) |
| 11 |  Y[1] | Output | PIN_94 | 3 | B3_N0 | 3.3-V LVTTTL (default) | | Y[7..0] | 24mA (default) |
| 12 |  Y[0] | Output | PIN_96 | 3 | B3_N0 | 3.3-V LVTTTL (default) | | Y[7..0] | 24mA (default) |
| 13 | <<new node>> | | | | | | | | |

编译下载到 FPGA 电路板上，然后连接实验箱的电路。

3. 电路连接示意图

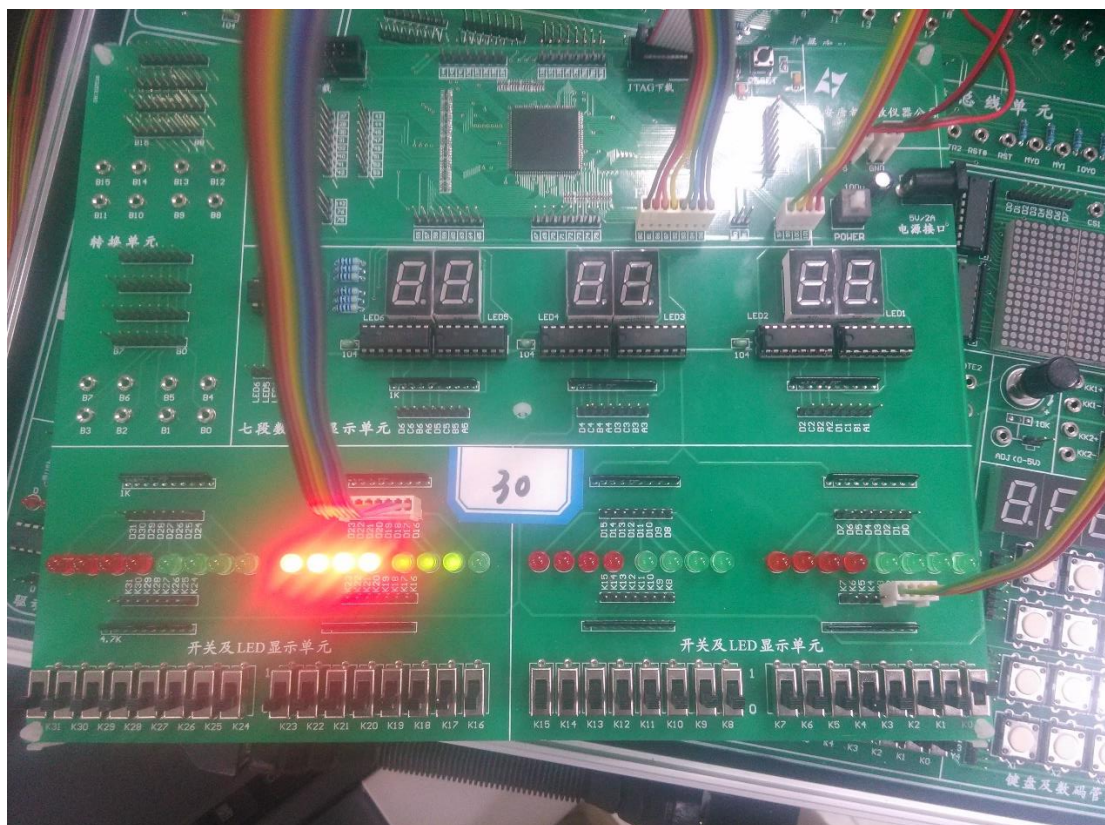
连接 FPGA 电路板上电路：

- 将 FPGA 板上的 PIN_80~PIN_96 (Y7~Y0) 接到 FPGA 电路板的 LED 灯泡上；
- 将 FPGA 板上的 PIN_97、PIN_99、PIN_100 (A[2]、A[1]、A[0]) 接到 FPGA 电路板的控制开关上；
- 将 FPGA 板上的 PIN_101 (EN) 接到 FPGA 电路板的控制开关上；

| 对应端口连接表 | | | |
|-----------------------------|---------------------------|---------------------|-------|
| 说明 | 引脚 | 说明 | 引脚 |
| FPGA 板的输出端 (Y7~Y0) | PIN_80~PIN_96 | FPGA 电路板的 LED 灯泡 | L7~L0 |
| FPGA 板的选择端 口 (A[2]~A[0]) | PIN_97、 PIN_99、PIN_100 | FPGA 电路板控制 开关 | K0~K2 |
| FPGA 板的使能端 (EN) | PIN_101 | FPGA 电路板控制 开关 | K3 |

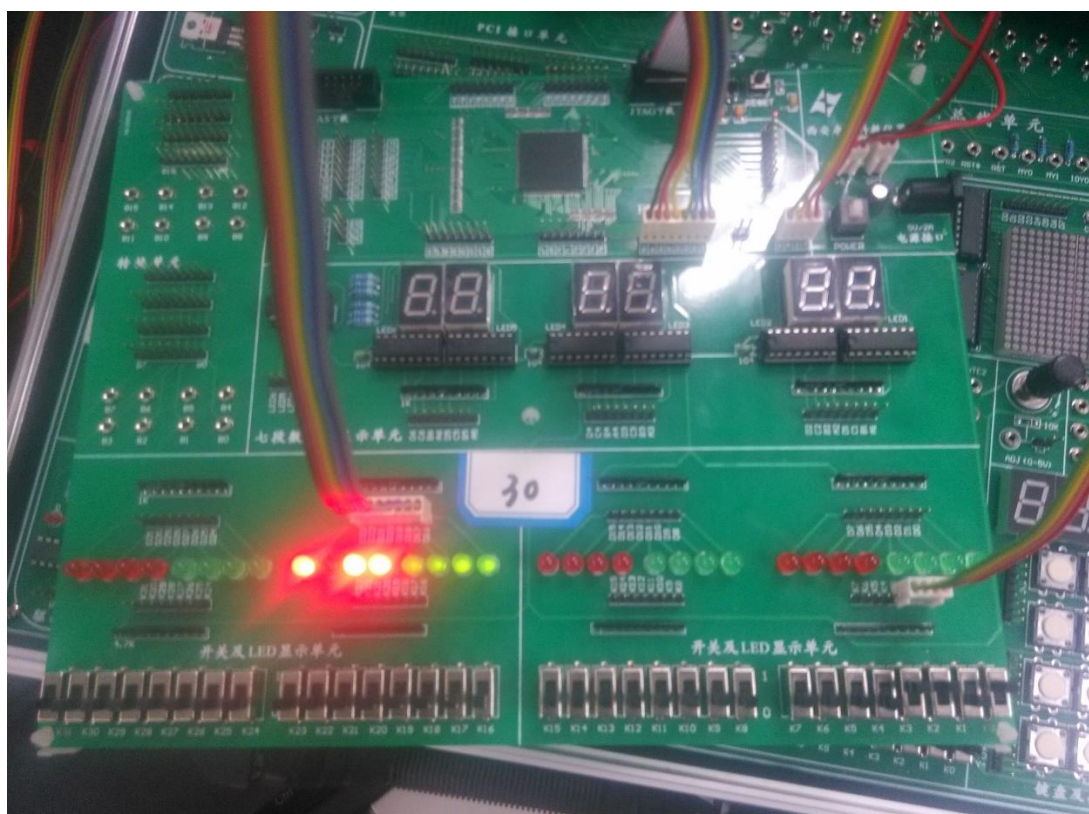
4. 实验结果

实验时当使能端有效且输入 A[2]~A[0] 是 “001” 时 FPGA 上的实验结果如下：



实验 LED 灯输出“11111110”与预期结果一致。

当使能端有效且输入 $A[2] \sim A[0]$ 是“110”时 FPGA 上的实验结果如下：



实验 LED 灯输出“10111111”与预期结果一致。

四、 实验程序（.VHD 文件）

整个实验所用的程序如下（附件“trans38.vhd”）:

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;

ENTITY trans38 IS
    PORT
    (
        A:IN STD_LOGIC_VECTOR(2 downto 0);
        EN: IN STD_LOGIC;
        Y: OUT STD_LOGIC_VECTOR(7 downto 0)
    );
END trans38;

ARCHITECTURE dec_behave OF trans38 IS
    signal sel: STD_LOGIC_VECTOR(3 downto 0);
BEGIN
    sel <= A&EN;
    WITH sel SELECT
    Y<= "11111110" WHEN "0001",
        "11111101" WHEN "0011",
        "11111011" WHEN "0101",
        "11110111" WHEN "0111",
        "11101111" WHEN "1001",
        "11011111" WHEN "1011",
        "10111111" WHEN "1101",
        "01111111" WHEN "1111",
        "ZZZZZZZZ" WHEN OTHERS;
END dec_behave;
```

五、 实验总结

这次的使用硬件描述语言 VHDL 设计电路实验是我第一次接触使用程序语言设计电路，从一开始不断的查询 VHDL 的语法、构造、以及并行语句和进程的相关概念，到后来渐渐明白了如何构造一个基本的 VHDL 电路，再到后来亲眼见证自己做出的 3-8 译码器的正确译码时内心的激动。虽然这次构造 3-8 译码器只有简短的几十句程序，但是像是给我打开了新世界的大门，知道以前即使很复杂的硬件逻辑电路现在都可以像使用软件编程一样实现它。通过这次试验我对 VHDL 硬件描述语言有了更浓厚的兴趣，期待在之后的实验里能够使用它设计出更加复杂有趣的硬件逻辑。

最后感谢老师们不厌其烦的为我解答疑惑并帮助我调试 bug，我才能顺利的完成了这次实验！