王道 2013 年最后 8 套模拟试题 (二)

-,	单项选择题:第 1~40 小题,每小题 2 分,共 80 分。下列每题给出的四个选项中,只有一个选项最符合试题要求。
1.	用 I 表示进栈操作,用 O 表示出栈操作,若元素的进栈顺序是 1234,为了得到 1342 的 出栈顺序,相应的 I 和 O 的操作序列为()。
	A. IOIOIIOO B. IIIOOIOO
	C. IOIIOOIO D. IOIIOIOO
2.	当字符序列t3_作为栈的输入时,则输出长度为3、且可用作C语言标识符的序列有() 个。
	A. 4 B. 5 C. 3 D. 6
3.	若循环队列以数组 Q[0m-1]作为其存储结构,变量 rear 表示循环队列中的队尾元素的实
	际位置,其移动按 rear=(rear+1) MOD m 进行,变量 length 表示当前循环队列中的元素
	个数,则循环队列的队首元素的实际位置是()。
	A. rear-length B. (rear-length+m) MOD m
	C. (1+rear+m-length) MOD m C. m-length
4.	一棵二叉树的前序遍历序列为 1234567, 它的中序遍历序列可能是()。
	A. 3124567 B. 1234567 C. 4135627 D. 2153647
5.	由元素序列(27,16,75,38,51)构造平衡二叉树,则首次出现的最小不平衡子树的根(即
	离插入结点最近且平衡因子的绝对值为 2 的结点)是()。
	A. 27 B. 38 C. 51 D. 75
6.	一棵完全二叉树上有 1001 个结点, 其中叶子结点的个数是()。
	A. 250 B. 500 C. 254 D. 501
7.	下列关于 AOE 网的叙述中,正确的是()。
	A. 关键路径上某个活动的时间缩短,整个工程的时间也就必定缩短
	B. 关键路径上活动的时间延长多少,整个工程的时间也就随之延长多少
	C. 关键路径上任一关键活动改变后,都必然会影响关键路径的改变
	D. 若所有的关键路径一同延长或缩短,则不会引起关键路径的改变
8.	如右图所示,在下面的5个序列中,符合深度优先遍历的序列有
	多少个()。
	1. aebfdc 2. acfdeb 3. aedfcb 4. aefdbc 5. aecfdb
	A. 5 B. 4
0	C. 3 D. 2 (d)—(f)
9.	折半查找有序表(2,10,25,35,40,65,70,75,81,82,88,100),若查找 三表 75 (電標) に表中三表 () 世紀校
	元素 75,需依次与表中元素()进行比较。 A 65.82.75 B 70.82.75 C 65.81.75 D 65.81.70.75
	Δ b5 X / /5

10. 堆排序分为两个阶段, 其中第一阶段将给定的序列建成一个堆, 第二阶段逐次输出堆顶

	元素。设给定序列{48,62,35,77,55,14, <u>35</u> ,98},若在堆排序的第一阶段将该序列建成一个				
	堆(大根堆),那么交换元素的次数为()。				
	A. 5 B. 6 C. 7 D. 8				
11.	18个初始归并段进行5路平衡归并,需要增加()个虚拟归并段。				
	A. 1 B. 2 C. 3 D. 4				
12.	冯 诺伊曼机可以区分指令和数据的部件是()。				
	A. 总线 B. 控制器 C. 控制存储器 D. 运算器				
13.	已知小写英文字母"a"的 ASCII 码值为 61H, 现字母"g"被存放在某个存储单元中, 若采				
	用偶校验(假设最高位作为校验位),则该存储单元中存放的十六进制数是()。				
	A. 66H B. E6H C. 67H D. E7H				
14.	下列关于浮点数的说法中,正确的是()。				
	I. 最简单的浮点数舍入处理方法是恒置"1"法				
	II. IEEE754 标准的浮点数进行乘法运算的结果肯定不需要做"左规"处理				
	III. 浮点数加减运算的步骤中,对阶的处理原则是小阶向大阶对齐				
	Ⅳ. 当补码表示的尾数的最高位与尾数的符号位(数符)相同时表示规格化				
	V. 在浮点运算过程中如果尾数发生溢出,则应进入相应的中断处理				
	A. II、III和V B. II和III				
	C. I、II和III D. II、III、IV和V				
15.	设有一主存-Cache 层次的存储器,其主存容量 1MB, Cache 容量 16KB, 每字块有 8 个				
	字,每字 32 位,采用直接地址映像方式,若主存地址为 35301H,且 CPU 访问 Cache				
	命中,则该主存块在 Cache 的第()字块中(Cache 起始字块为第 0 字块)。				
	A. 152 B. 153 C. 154 D. 151				
16.	下列关于 Cache 和虚拟存储器的说法中,错误的有()。				
16.	I. 当Cache失效(即不命中)时,处理器将会切换进程,以更新Cache中的内容				
16.					
16.	I. 当Cache失效(即不命中)时,处理器将会切换进程,以更新Cache中的内容				
16.	I. 当Cache失效(即不命中)时,处理器将会切换进程,以更新Cache中的内容 II. 当虚拟存储器失效(如缺页)时,处理器将会切换进程,以更新主存中的内容 III. Cache和虚拟存储器由硬件和OS共同实现,对应用程序员均是透明的 Ⅳ. 虚拟存储器的容量等于主存和辅存的容量之和				
16.	I. 当Cache失效(即不命中)时,处理器将会切换进程,以更新Cache中的内容 II. 当虚拟存储器失效(如缺页)时,处理器将会切换进程,以更新主存中的内容 III. Cache和虚拟存储器由硬件和OS共同实现,对应用程序员均是透明的 IV. 虚拟存储器的容量等于主存和辅存的容量之和 A. I和IV B. III和IV				
	I. 当Cache失效(即不命中)时,处理器将会切换进程,以更新Cache中的内容 II. 当虚拟存储器失效(如缺页)时,处理器将会切换进程,以更新主存中的内容 III. Cache和虚拟存储器由硬件和OS共同实现,对应用程序员均是透明的 IV. 虚拟存储器的容量等于主存和辅存的容量之和 A. I和IV B. III和IV C. I、II和III D. I、III和IV				
	I. 当Cache失效(即不命中)时,处理器将会切换进程,以更新Cache中的内容 II. 当虚拟存储器失效(如缺页)时,处理器将会切换进程,以更新主存中的内容 III. Cache和虚拟存储器由硬件和OS共同实现,对应用程序员均是透明的 IV. 虚拟存储器的容量等于主存和辅存的容量之和 A. I和IV B. III和IV C. I、II和III D. I、III和IV 在通用计算机指令系统的二地址指令中,操作数的物理位置可安排在()。				
	I. 当Cache失效(即不命中)时,处理器将会切换进程,以更新Cache中的内容 II. 当虚拟存储器失效(如缺页)时,处理器将会切换进程,以更新主存中的内容 III. Cache和虚拟存储器由硬件和OS共同实现,对应用程序员均是透明的 IV. 虚拟存储器的容量等于主存和辅存的容量之和 A. I和IV B. III和IV C. I、II和III D. I、III和IV 在通用计算机指令系统的二地址指令中,操作数的物理位置可安排在()。 I. 一个主存单元和缓冲存储器 II. 两个数据寄存器				
	I. 当Cache失效(即不命中)时,处理器将会切换进程,以更新Cache中的内容 II. 当虚拟存储器失效(如缺页)时,处理器将会切换进程,以更新主存中的内容 III. Cache和虚拟存储器由硬件和OS共同实现,对应用程序员均是透明的 IV. 虚拟存储器的容量等于主存和辅存的容量之和 A. I和IV B. III和IV C. I、II和III D. I、III和IV 在通用计算机指令系统的二地址指令中,操作数的物理位置可安排在()。 I. 一个主存单元和缓冲存储器 III. 两个数据寄存器 III. 一个数据寄存器				
	I. 当Cache失效(即不命中)时,处理器将会切换进程,以更新Cache中的内容 II. 当虚拟存储器失效(如缺页)时,处理器将会切换进程,以更新主存中的内容 III. Cache和虚拟存储器由硬件和OS共同实现,对应用程序员均是透明的 IV. 虚拟存储器的容量等于主存和辅存的容量之和 A. I和IV B. III和IV C. I、II和III D. I、III和IV 在通用计算机指令系统的二地址指令中,操作数的物理位置可安排在()。 I. 一个主存单元和缓冲存储器 II. 两个数据寄存器 III. 两个数据寄存器 IV. 一个数据寄存器 V. 一个主存单元和一个数据寄存器 IV. 一个数据寄存器 V. 一个主存单元和一个外存单元				
	I. 当Cache失效(即不命中)时,处理器将会切换进程,以更新Cache中的内容 Ⅱ. 当虚拟存储器失效(如缺页)时,处理器将会切换进程,以更新主存中的内容 Ⅲ. Cache和虚拟存储器由硬件和OS共同实现,对应用程序员均是透明的 Ⅳ. 虚拟存储器的容量等于主存和辅存的容量之和 A. I和Ⅳ B. Ⅲ和Ⅳ C. I、Ⅱ和Ⅲ D. I、Ⅲ和Ⅳ 在通用计算机指令系统的二地址指令中,操作数的物理位置可安排在()。 Ⅰ. 一个主存单元和缓冲存储器 Ⅱ. 两个数据寄存器 Ⅲ. 一个主存单元和一个数据寄存器 Ⅳ. 一个数据寄存器 Ⅴ. 一个主存单元和一个外存单元 A. Ⅱ、Ⅲ和Ⅳ B. Ⅱ、Ⅲ				
17.	I. 当Cache失效(即不命中)时,处理器将会切换进程,以更新Cache中的内容 Ⅱ. 当虚拟存储器失效(如缺页)时,处理器将会切换进程,以更新主存中的内容 Ⅲ. Cache和虚拟存储器由硬件和OS共同实现,对应用程序员均是透明的 Ⅳ. 虚拟存储器的容量等于主存和辅存的容量之和 A. I 和IV B. Ⅲ和IV C. I、Ⅱ和Ⅲ D. I、Ⅲ和Ⅳ 在通用计算机指令系统的二地址指令中,操作数的物理位置可安排在()。 I. 一个主存单元和缓冲存储器 Ⅲ. 一个主存单元和一个数据寄存器 Ⅳ. 一个数据寄存器 Ⅳ. 一个数据寄存器 Ⅴ. 一个主存单元和一个外存单元 A. Ⅱ、Ⅲ和IV B. Ⅱ、Ⅲ C. I、Ⅱ和Ⅲ D. I、Ⅱ、Ⅲ和V				
17.	I. 当Cache失效(即不命中)时,处理器将会切换进程,以更新Cache中的内容 Ⅱ. 当虚拟存储器失效(如缺页)时,处理器将会切换进程,以更新主存中的内容 Ⅲ. Cache和虚拟存储器由硬件和OS共同实现,对应用程序员均是透明的 Ⅳ. 虚拟存储器的容量等于主存和辅存的容量之和 A. I 和IV B. Ⅲ和IV C. I、Ⅱ和Ⅲ D. I、Ⅲ和Ⅳ 在通用计算机指令系统的二地址指令中,操作数的物理位置可安排在()。 Ⅰ. 一个主存单元和缓冲存储器 Ⅲ. 一个主存单元和一个数据寄存器 Ⅳ. 一个数据寄存器 Ⅳ. 一个数据寄存器 Ⅴ. 一个主存单元和一个外存单元 A. Ⅱ、Ⅲ和Ⅳ B. Ⅱ、Ⅲ C. Ⅰ、Ⅱ和Ⅲ D. Ⅰ、Ⅱ和Ⅳ 指令()从主存中读出。				
17.	I. 当Cache失效(即不命中)时,处理器将会切换进程,以更新Cache中的内容 Ⅱ. 当虚拟存储器失效(如缺页)时,处理器将会切换进程,以更新主存中的内容 Ⅲ. Cache和虚拟存储器由硬件和OS共同实现,对应用程序员均是透明的 Ⅳ. 虚拟存储器的容量等于主存和辅存的容量之和 A. I和IV B. Ⅲ和IV C. I、Ⅱ和Ⅲ D. I、Ⅲ和IV 在通用计算机指令系统的二地址指令中,操作数的物理位置可安排在()。 Ⅰ. 一个主存单元和缓冲存储器 Ⅲ. 一个主存单元和一个数据寄存器 Ⅳ. 一个数据寄存器 Ⅳ. 一个数据寄存器和一个控制存储器 Ⅴ. 一个主存单元和一个外存单元 A. Ⅱ、Ⅲ和IV B. Ⅱ、Ⅲ C. Ⅰ、Ⅱ和Ⅲ D. Ⅰ、Ⅱ和Ⅲ D. Ⅰ、Ⅲ和V				
17.	I. 当Cache失效(即不命中)时,处理器将会切换进程,以更新Cache中的内容 Ⅲ. 当虚拟存储器失效(如缺页)时,处理器将会切换进程,以更新主存中的内容 Ⅲ. Cache和虚拟存储器由硬件和OS共同实现,对应用程序员均是透明的 Ⅳ. 虚拟存储器的容量等于主存和辅存的容量之和 A. I 和Ⅳ B. Ⅲ和Ⅳ C. I、Ⅱ和Ⅲ D. I、Ⅲ和Ⅳ 在通用计算机指令系统的二地址指令中,操作数的物理位置可安排在()。 Ⅰ. 一个主存单元和缓冲存储器 Ⅱ. 两个数据寄存器 Ⅳ. 一个数据寄存器 Ⅳ. 一个由存单元和一个外存单元 A. Ⅱ、Ⅲ和Ⅳ B. Ⅱ、Ⅲ D. Ⅰ、Ⅱ和Ⅲ D. Ⅰ、Ⅱ、Ⅲ和Ⅴ 指令()从主存中读出。 A. 总是根据程序计数器 PC B. 有时根据 PC,有时根据转移指令 C. 根据地址寄存器				
17.	I. 当Cache失效(即不命中)时,处理器将会切换进程,以更新Cache中的内容 Ⅱ. 当虚拟存储器失效(如缺页)时,处理器将会切换进程,以更新主存中的内容 Ⅲ. Cache和虚拟存储器由硬件和OS共同实现,对应用程序员均是透明的 Ⅳ. 虚拟存储器的容量等于主存和辅存的容量之和 A. I和IV B. Ⅲ和IV C. I、Ⅱ和Ⅲ D. I、Ⅲ和Ⅳ 在通用计算机指令系统的二地址指令中,操作数的物理位置可安排在()。 Ⅰ. 一个主存单元和缓冲存储器 Ⅲ. 一个主存单元和一个数据寄存器 Ⅳ. 一个数据寄存器 Ⅳ. 一个数据寄存器 V. 一个主存单元和一个外存单元 A. Ⅱ、Ⅲ和IV B. Ⅱ、Ⅲ C. Ⅰ、Ⅱ和Ⅲ D. Ⅰ、Ⅱ和Ⅲ D. Ⅰ、Ⅲ和Ⅴ 指令()从主存中读出。 A. 总是根据程序计数器 PC B. 有时根据 PC,有时根据转移指令				

- a. $MAR \leftarrow (PC)$;
- b. MDR←Memory, Read;
- c. $PC \leftarrow (PC)+1$;
- d. IR←(MDR)。
- 一种较好的设计是为其安排()个节拍周期。
- B. 2
- C. 3
- D. 4
- 20. 间址寻址第一次访问内存所得到信息经系统总线的() 传送到 CPU。

- A. 数据总线 B. 地址总线 C. 控制总线 D. 总线控制器
- 21. 传输一幅分辨率为 640×480, 6.5 万色的照片(图像), 假设采用数据传输速度为 56kb/s, 大约需要的时间是()。

 - A. 34.82s B. 42.86s
- C. 85.71s D. 87.77s
- 22. 设 CPU 与 I/O 设备以中断方式进行数据传送, CPU 响应中断时, 该 I/O 设备接口控制 器送给 CPU 的中断向量表(中断向量表存放中段向量)的指针是 0800H, 0800H 单元 中的值为 1200H。则该I/O 设备的中断服务程序在主存中的入口地址为()。
 - A. 0800H
- B. 0801H C. 1200H D. 1201H
- 23. 在操作系统中,以下只能在核心态下执行的指令是()。
 - A. 读时钟

B. 寄存器清零

C. 系统调用

- D. 取数
- 24. 以下描述中,哪个不是多线程系统的特长,()。
 - A. 利用线程并行地执行矩阵乘法运算
 - B. Web 服务器利用线程请求 HTTP 服务
 - C. 键盘驱动程序为每一个正在运行的应用配备一个线程, 用来响应相应的键盘输入
 - D. 基于 GUI 的 debugger 用不同线程处理用户的输入、计算、跟踪等操作。
- 25. 进程从运行状态到等待状态可能是()。

 - A. 运行进程执行 P 操作 B. 进程调度程序的调度
 - C. 运行进程的时间片用完 D. 运行进程执行了 V 操作
- 26. 设有3个作业,它们的到达时间和运行时间如下表所示,并在一台处理机上按单道方式 运行。如按高响应比优先算法,则作业执行的次序和平均周转时间依次为()。

作业提交时间和运行时间表

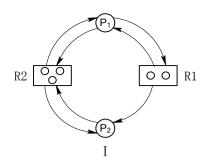
作业号	提交时间	运行时间(小时)			
1	8:00	2			
2	8:30	1			
3	9:30	0.25			

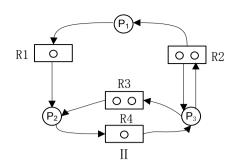
A. J1,J2,J3, 1.73

B. J1.J3.J2, 1.83

C. J1.J3.J2, 2.08

- D. J1.J2.J3, 1.83
- 27. 利用死锁定理简化下列进程资源图,则处于死锁状态的是()。





A. I

B. II

C. I和II

- D. 都不处于死锁状态
- 28. 某个计算机采用动态分区来分配内存,经过一段时间的运行,现在在内存中依地址从小 到大存在 100KB、450KB、250KB、200KB 和 600KB 的空闲分区。分配指针现指向地址 起始点,继续运行还会有 212KB、417KB、112KB 和 426KB 的进程申请使用内存,那么, 对内存充分利用的分配算法是(

A. 首次适应算法

B. 邻近适应算法

C. 最佳适应算法

- D. 最坏适应算法
- 29. 下列关于页式存储的说法中, 正确的是()。
 - I. 在页式存储管理中, 若无 TLB, 则每访问一条数据都要访问 2 次内存。
 - II. 页式存储管理不会产生内部碎片
 - III. 页式存储管理当中的页面是用户可以感知的
 - IV. 页式存储方式可以采用静态重定位

A. I、II和IV

B. I和IV

c. I

- D. I和III
- 30. 下列关于文件系统的说法中,错误的是()。
 - I. 一个文件在同一系统中、不同的存储介质上的拷贝,应采用同一种物理结构
 - Ⅱ. 对一个文件的访问,常由用户访问权限和用户优先级共同限制
 - III. 文件系统采用树型目录结构后,对于不同用户的文件,其文件名应该不同
 - Ⅳ. 为防止系统故障造成系统内文件受损,常采用存取控制矩阵方法保护文件
 - A. I、II和III

B. I. III

c. I、III、IV

- D. I、II、III和IV
- 31. 在文件系统中, "Open"系统调用主要功能是(
 - A. 把文件的内容从外存储器读入到内存
 - B. 把文件控制信息从外存存储器读入到内存
 - C. 把文件的 FAT 表从外存储器读入到内存
 - D. 把磁盘的超级块从外存读到内存
- 32. CPU 输出数据的速度远高于打印机的打印速度,为解决这一矛盾,可采用的技术 是()。
 - A. 并行技术
- B. 通道技术 C. 缓冲技术
- D. 虚存技术
- 33. 设待传送数据总长度为 L 位, 分组长度为 P 位, 其中头部开销长度为 H 位, 源结点到目 的结点之间的链路数为 h,每个链路上的延迟时间为 D 秒,数据传输率为 B bps,电路交

换建立连接的时间为 S 秒,则电路交换方式传送完所有数据需要的时间是()秒。

A. hD+L/B

B. S+hD+L/B

C. S+hD+PL/((P-H)B)

D. S+L/B

34. 以下滑动窗口协议中,一定按序接收到达的分组的有()。

I. 停止一等待协议 II. 后退 N 帧协议 III. 选择重传协议

A. I和II

B. I和III

C. II和III

D. I、II和III

35. 以下几种 CSMA 协议中,什么协议在监听到介质是空闲时一定发送(

I. 1-坚持 CSMA II. p-坚持 CSMA III. 非坚持 CSMA

A. 只有 I

B. I和III

C. I和II

D. I、II和III

36. 下图中, 主机 A 发送一个 IP 数据报给主机 B, 通信过程中以太网 1 上出现的以太网 帧中承载一个 IP 数据报,该以太网帧中的目的地址和 IP 报头中的目的地址分别是()。



A. B的MAC地址, B的IP地址

B. B的MAC地址, R1的IP地址

C. R1的MAC地址, B的IP地址

D. R1的MAC地址, R1的IP地址

37. TCP/IP 网络中,某主机的 IP 地址为 130.25.3.135,子网掩码为 255.255.255.192,那么该 主机所在的子网的网络地址是(),该子网最大可分配地址个数是()。

A. 130.25.0.0, 30

B. 130.25.3.0, 30

C. 130.25.3.128, 62

D. 130.25.3.255, 126

38. UDP 协议和 TCP 协议报文首部的非共同字段有()。

A. 源 IP 地址 B. 目的端口 C. 序列号 D. 校验和

39. TCP 协议中,发送双方发送报文的初始序号分别为 X 和 Y, 在第一次握手时发送方发送 给接收方报文中,正确的字段是()。

A. SYN=1,序号=X

B. SYN=1, 序号=X+1, ACK_x=1

C. SYN=1,序号=Y

D. SYN=1, 序号=Y, ACK_{Y+1}=1

40. 一台域名服务器希望解析域名 www.google.com, 如果这台主机配置的 DNS 地址为 a, Internet 的 根域名服务器为 b, 而存储域名 www.google.com 与其 IP 地址对应关系的 域名服务器为 c, 那么 这台主机通常先查询()。

A. 域名服务器 a

B. 域名服务器 b

C. 域名服务器 c

D. 不确定

- 二、综合应用题: 第 $41 \sim 47$ 题, 共 70 分。
- 41. (13 分) 设记录的关键字(key) 集合: K={24, 15, 39, 26, 18, 31, 05, 22}, 请回答:
 - (1) 依次取 K 中各值,构造一棵二叉排序树(不要求平衡),并写出该树的前序、中序和后序遍历序列。
 - (2) 设 Hash 表表长 m=16, Hash 函数 H(key)=(key)%13, 处理冲突方法为"二次探测再散列",请依次取 K 中各值,构造出满足所给条件的 Hash 表;并求出等概率条件下查找成功时的平均查找长度。
 - (3) 将给定的 K 调整成一个堆顶元素取最大值的堆(即大根堆)。

- 42.(12 分)已知长度为 n(n>1)的单链表,表头指针为 L,结点结构由 data 和 next 两个域构成,其中 data 域为字符型。试设计一个在时间和空间两方面都尽可能高效的算法,判断该单链表是否中心对称(例如 xyx、xxyyxx 都是中心对称的),要求:
 - (1) 给出算法的基本设计思想。
 - (2) 根据设计思想,采用 C 或 C++或 Java 语言描述算法,关键之处给出注释。
 - (3) 说明你所设计算法的时间复杂度和空间复杂度。

43. (12分)以下是计算两个向量点积的程序段:

```
float Dotproduct(float x[8],float y[8]) {
    float sum=0.0;
    int i;
    for(i=0;i<8;i++)
        sum+=x[i]*y[i];
    return sum;
}</pre>
```

请回答下列问题:

- (1) 请分析访问数组 x 和 y 时的时间局部性和空间局部性?
- (2) 假定数据 Cache 采用直接映射方式,数据区容量为 32 字节,每个主存块大小为 16 字节;编译器将变量 sum 和 i 分配在寄存器中,数组 x 存放在 0000 0040H 开始的 32 字节的连续存储区中,数组 y 则紧跟在 x 后进行存放。该程序数据访问的命中率是多少?要求说明每次访问时 Cache 的命中情况。
- (3) 将上述(2) 中的数据 Cache 改用 2-路组相联映射方式,块大小改为 8 字节,其他条件不变,则该程序数据访问的命中率是多少?
- (4) 在上述(2) 中条件不变的情况下,将数组 x 定义为 float[12],则数据访问的命中率是多少?

44. (11 分)某机按字节编址,主存容量为 1MB,采用两路组相联方式(每组仅有两块)的 Cache 容量为 64KB,每个数据块为 256B。已知访问开始前第 2 组(组号为 1)的地址阵 列内容如下图所示(第一列为组内块号)。Cache 采用 LRU 替换策略。

0	00100(二进制)
1	01011(二进制)

- (1) 分别说明主存地址中标记(Tag)、组号和块内地址三部分的位置和位数。
- (2) 若 CPU 要顺序访问地址为 20124H、58100H、60140H 和 60138H 等 4 个主存单元。 上述 4 个数能否直接从 Cache 中读取,若能,请给出实际访问的 Cache 地址。第 4 个数访问结束时,上图中的内容将如何变化。
- (3) 若 Cache 完成存取的次数为 5000 次, 主存完成存取的次数为 200 次。已知 Cache 存取周期为 40ns, 主存存取周期为 160ns, 求该 Cache/主存系统的访问效率。

45. (8分)某系统由R1、R2和R3共3种资源,在T0时刻P1、P2、P3和P4这4个进程对资源的占用和需求情况如下表所示,此时系统的可用资源向量为(2,1,2)。试问:

进程	最大资源需求量		已分配资源数量			
近往	R1	R2	R3	R1	R2	R3
P1	3	2	2	1	0	0
P2	6	1	3	4	1	1
Р3	3	1	4	2	1	1
P4	4	2	2	0	0	2

- (1) 系统是否处于安全状态? 如安全,请给出一个安全序列。
- (2) 如果此时 P1 和 P2 均发出资源请求向量 Request(1,0,1), 为了保证系统的安全性, 应该如何分配资源给这两个进程? 说明你所采用策略的原因。
- (3) 如果(2) 中两个请求立即得到满足后,系统此刻是否处于死锁状态。

46. (8分)在某段式存储管理系统中,逻辑地址为32位,其中高16位为段号,低16位为段内偏移量,以下是段表(其中的数据均为16进制):

段	基地址	长度	保护
0	10000	18C0	只读
1	11900	3FF	只读
2	11D00	1FF	读/写
3	0	0	禁止访问
4	11F00	1000	读/写
5	0	0	禁止访问
6	0	0	禁止访问
7	13000	FFF	读/写

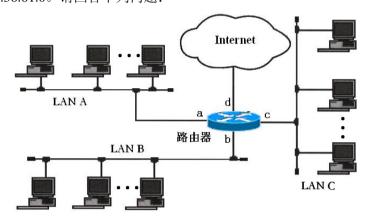
以下是代码段的内容(代码前数字表示存放代码的十六进制逻辑地址):

main		sin	
240	push x[10108]	360	mov 4+(sp), r2
244	call sin	364	push r2
248	•••	366	•••
		488	ret

试问:

- (1) x 的逻辑地址为 10108H, 它的物理地址是多少? 要求给出具体的计算过程。
- (2) 若栈指针 SP 的当前值为 70FF0H, push x 指令的执行过程: 先将 SP 减 4, 然后存储 x 的值。试问存储 x 的物理地址是多少?
- (3) call sin 指令的执行过程: 先将当前 PC 值入栈, 然后在 PC 内装入目标 PC 值。请问: 哪个值被压入栈了? 新的 SP 指针的值是多少? 新的 PC 值是多少?
- (4) "mov 4+(SP), r2"的功能是什么?

47. (9分)下图是三个计算机局域网A、B和C,分别包含10台,8台和5台计算机,通过路由器互联,并通过该路由器的接口d联入因特网。路由器各端口名分别为a、b、c和d(假设端口d接入IP地址为61.60.21.80的互联网地址)。局域网A和局域网B公用一个C类网络IP地址202.38.60.0,并将此IP地址中主机地址的高两位作为子网编号。局域网A的子网编号为01,局域网B的子网编号为10。IP地址的低六位作为子网中的主机编号。局域网C的网络号是202.36.61.0。请回答下列问题:



- (1) 为每个网络的计算机和路由器的端口分配 IP 地址, 并写出三个网段的子网掩码。
- (2) 列出路由器的路由表。
- (3) 若局域网 B 中的一主机要向局域网 B 广播一个分组,写出该分组的目的 IP 地址。
- (4) 若局域网 B 中的一主机要向局域网 C 广播一个分组, 写出该分组的目的 IP 地址。