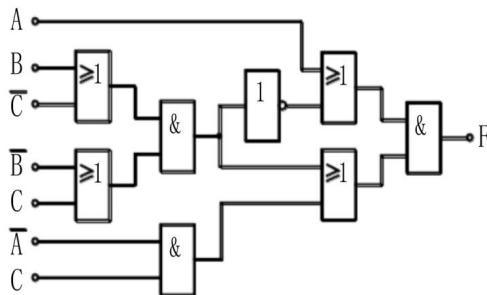


1. 分析下图所示逻辑电路，求出 F 的逻辑函数表达式，并进行必要化简以能使用更少的与非门实现，画出化简后的电路并结合所给的技术参数计算你所设计电路的最大时延(假定逻辑门的时延与其输入端个数无关)。

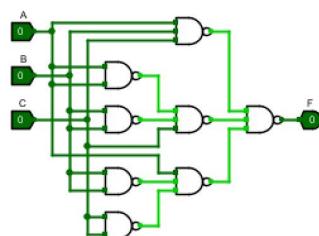


型号	功能	PDT _{MAX}
74LS86	4-2异或	30ns
74LS32	4-2或门	22ns
74LS00	4-2与非门	15ns
74LS04	6-非门	15ns
74LS08	4-2与门	20ns

$$F = A BC + A \bar{B} \bar{C} + \bar{A} \bar{B} C$$

该式已为最简与或式， 题目要求使用更少的与非门,因此，还需要将上式变成与非式

$$\overline{F} = \overline{A} \overline{B} \overline{C} + \overline{A} \overline{B} \overline{C} + \overline{A} \overline{B} \overline{C}$$

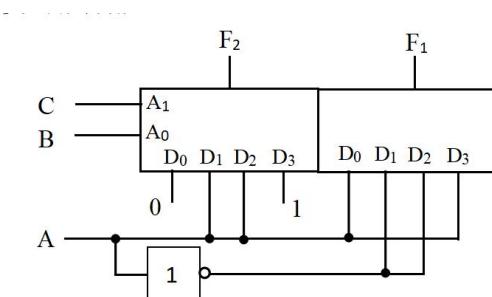
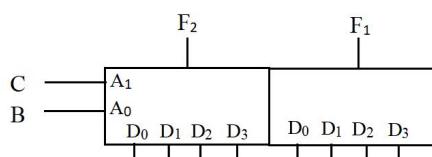


$$\text{其中, } \overline{B} = \overline{B} \overline{B}$$

电路共三级，每级与非门的时延长为 15ns，三级电路时延共 45ns

如果输入端提供了反便利，则电路只有最后两级，此时，电路时延为 30ns

2. 用 2 个 4 路选择器设计有 2 个输出端的组合逻辑电路， $F_2 = \Sigma m(3, 5, 6, 7)$, $F_1 = \Sigma m(1, 2, 4, 7)$, 电路基本结构如下图所示，在该图基础上应用适当的逻辑门完成本设计任务。



3. 设计一个判断 1 位余 3 码范围的电路，当输入余 3 码的值为 3、4、5 时，F1 输出为 1；当输入的余 3 码的值为 6、7、8、9 时，F2 输出为 1；判断 F1 和 F2 是否存在竞争？是否存在险象？给出完整的解题过程。

A B C D	F1	F2
0 0 1 1	0	0
0 1 0 0	0	0
0 1 0 1	0	0
0 1 1 0	1	0
0 1 1 1	1	0
1 0 0 0	1	0
1 0 0 1	0	1
1 0 1 0	0	1
1 0 1 1	0	1
1 1 0 0	0	1

卡诺图化简得到 $F1 = \overline{A} \overline{B} C + A \overline{B} \overline{C} \overline{D}$ 若 F1 不化简，D+D' 出现险象
 $F2 = \overline{A} \overline{B} D + A \overline{B} C + A B \overline{C} \overline{D}$

对 F1 而言，存在变量 B 和 C 同时有原变量和反变量存在，因此电路存在竞争，但当 D=0 A=0 时， $F1 = B \odot C$ ，因此，F1 不能同时出现变量 B 和 C 的分别以原变量和反变量同时出现的情况，因此不存在险象

对 F2 而言，存在变量 B、D 和 C 同时有原变量和反变量存在，因此电路存在竞争，但当 A=1 时，但对任何一个变量而言，其余变量在两个与项中分别是以原变量和反变量出现，因此对任何一个变量 F2 都不可能变成 $X + X'$ 的形式，因此不存在险象

(表达方式可以不同，但结论是相同的)