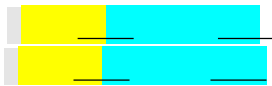


一、(15分) IEEE 754 标准包括半精度浮点数, 它使用 16 位来存储, 由 1 位符号位、5 位阶码 (偏移量为 15)、以及 10 位尾数构成 (含隐藏位), 其余格式规范与单精度和双精度浮点数相同。已知两个半精度浮点数的二进制表示, $X = 0111\ 1000\ 1100\ 1101$, $Y = 1111\ 0110\ 1010\ 1001$, 回答以下问题。

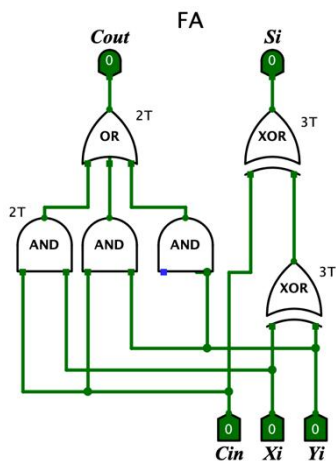
- 1) X 的阶码十进制值为_____, 尾数真值的二进制表示为_____;
Y 的阶码十进制值为_____, 尾数真值的二进制表示为_____。
- 2) 规格化的半精度浮点数的绝对值最小数为_____, 非规格化的半精度浮点数的绝对值最小数为_____。
- 3) 计算 $X - Y$, 按照 IEEE 754 标准运算结果为_____ (16 进制), 给出关键计算过程, 采用两位保留附加位和 0 舍 1 入法。最终运算结果_____ (溢出/不溢出)。



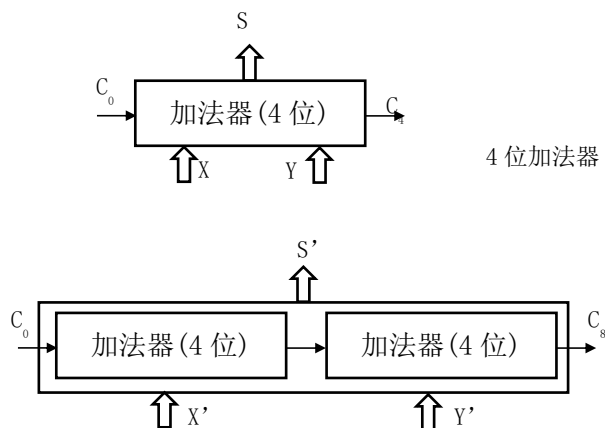
=

分 数	
评卷人	

二、(14分) 用如图所示的 1 位全加器 FA (左图) 串联构建了一个 4 位加法器 (右上)。该 4 位加法器输入分别为被加数 $X = X_4 \sim X_1$, 加数 $Y = Y_4 \sim Y_1$, 进位输入 C_0 , C_4 为最高位进位, 输出 $S = S_4 \sim S_1$, 第 4 位为最高位。请完成下列各题。



1 位全加器 FA



8 位加法器

- 1) 1 位全加器 FA 内部采用如左图结构所示。图中，有一个与门输入未给出，请在图上补充连接完成，并给出 C_{out} 的表达式_____ (2 分)
- 2) 假设 OR、AND 门电路时间延迟均为 $2T$ ，XOR 门电路延迟为 $3T$ ，则该一位全加器的关键时延为_____。(2 分)
- 3) 请用文字说明解释一下 4 位串行加法器中关键时延路径是什么？(2 分)
- 4) 上述 4 位串行加法器关键路径的具体时延为_____。(2 分)
- 5) 上述 4 位串行加法器，如果采用单符号补码，则 S 最大时机器码为 (16 进制)， S 最小时机器码为 (16 进制)， S 为最小数时其真值为 (视为纯小数)_____。(3 分)
- 6) 将上述 2 个 4 位加法器串联为一个 8 位的加法器，被加数、加数与和数分别为 X' 、 Y' 和 S' 。采用双符号补码，如 $X' = -0.110111$ ， $Y' = -0.101100$ ，和数 S' 的机器码为_____ (16 进制)。请写出简要的计算过程。 S' 是否溢出？给出判断理由。(3 分)

分 数	
评卷人	

三、(12分) 某计算机主存容量要求为 128K 个字，按字编址，其地址空间分为三个部分：00000 H ~ 03FFF H 是 ROM 区域，0C000 H ~ 0FFFF H 是保留区域，10000 H ~ 1FFFF H 是 RAM 区域。现有多个 16K × 4 位的 ROM 芯片和 RAM 芯片，它们的存储周期为 $T=50\text{ns}$ 。要求为该计算机设计一个数据传输带宽不低于 80MB/s 的主存储器，请回答以下问题。

- 1) 该主存的字长最少需要 32 位，地址线 17 位，共需要 8 片 ROM 芯片和 32 片 RAM 芯片，才能满足存储容量和数据传输带宽需求。

- 2) 请将 CPU 与存储芯片的连接电路示意图补充完整，图中译码器为 3:8 译码器，请标注译码线。

分 数	
评卷人	

四、(16分) 某 MIPS32 处理器，内存地址空间大小为 128MB，采用页式虚拟存储管理方式，按字节编址，虚拟地址为 32 位，页面大小 4KB；具有分离的指令 Cache 和数据 Cache，容量都是 32KB，主存块大小 64B，均采用 4 路组相联、LRU 替换策略和写穿 (Write Through) 写策略。开始时 Cache

均为空，请问：

(1) 指令 Cache 包括 cache 行，分为 组 。

(2) 数据 Cache 标记字段(Tag)至少需要 位 ，组号(Index)需要 位 ，块内地址(Offset)需要 位 。

(3) TLB 中虚拟页号 (VPN) 是 位 ，物理页号 (PPN) 是 位 ，页内地址 (Offset) 是 位 。

(4) 相对于虚拟存储器，Cache 缺失带来的处理开销 ，而处理缺页的开销 ，原因是 。

(5) 有下列 C 程序：

```
for (i = 0; i < 1024, i++)
    s[i] = 2 * s[i];
```

若数组 s 及其变量 i 均为 int 型 (int 型数据为 32 位)，变量 i 分配在寄存器中，并且数组 s 已经调入主存，s[0] 已经放在 8195 物理页上，为了尽可能的减少缺失，则数组 s 在主存中的起始地址为 (16 进制)，s[1025] 会在数据 Cache 的第 组，该程序运行期间会进行 次数据访问，产生 次数据缓存缺失，数据 Cache 的命中率为 %。

分 数	
评卷人	

六、(20分) 某计算机字长 32 位，支持下表中的五条 MIPS32 指令，CPU 内部采用单总线结构，具体数据通路如图所示。除多路选择器选择控制信号外，图中所有控制信号为 1 时表示有效、为 0 时表示无效，控制信号功能说明见表。

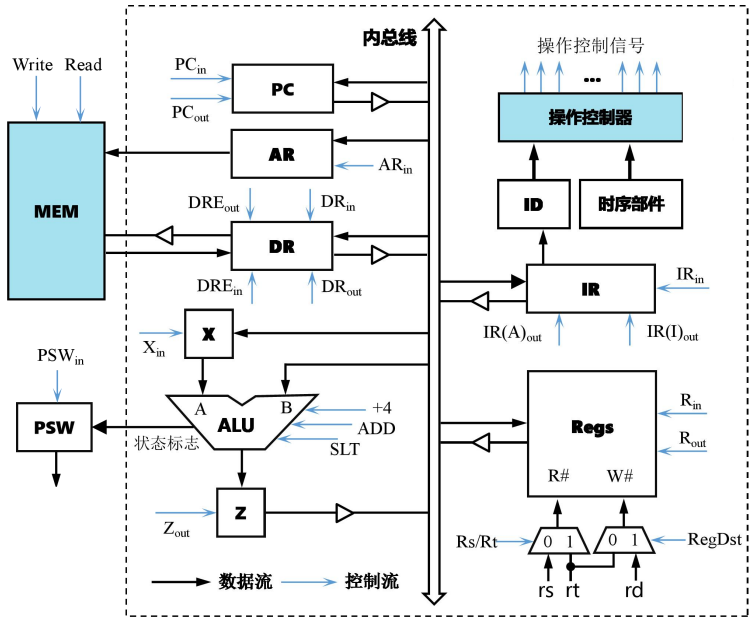


表 1、指令功能描述

#	指令	汇编代码	指令类型	RTL 功能说明
1	lw	lw rt,imm(rs)	I 型	$R[rd] \leftarrow M[R[rs] + \text{SignExt}(imm)]$
2	sw	sw rt,imm(rs)	I 型	$M[R[rs] + \text{SignExt}(imm)] \leftarrow R[rt]$
3	beq	beq rs,rt,imm	I 型	if($R[rs] == R[rt]$) $PC \leftarrow PC + 4 + \text{SignExt}(imm) << 2$
4	addi	addi rt,rs,imm	I 型	$R[rt] \leftarrow R[rs] + \text{SignExt}(imm)$
5	add	add rd,rs,rt	R 型	$R[rd] \leftarrow R[rs] + R[rt]$

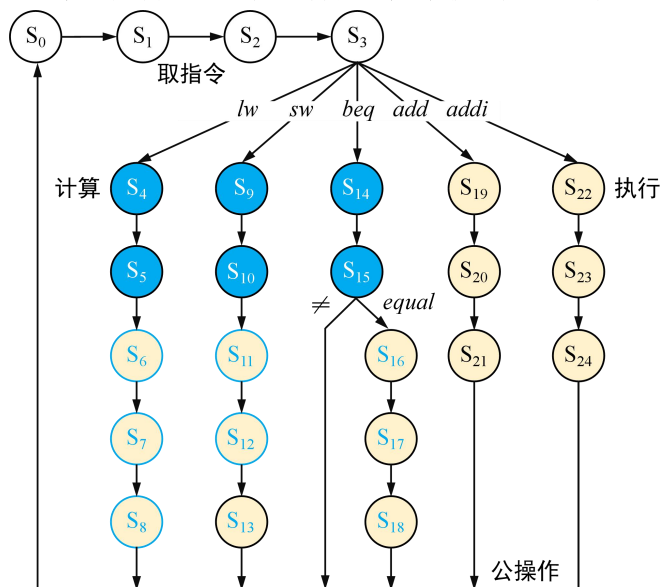
表 2、控制信号功能描述

#	控制信号	功能说明
1	PCin	控制 PC 接收来自内总线的的数据，需配合时钟控制
2	PCout	控制 PC 向内总线输出数据
3	ARin	控制 AR 接收来自内总线的的数据，需配合时钟控制
4	DRin	控制 DR 接收来自内总线的的数据，需配合时钟控制
5	DRout	控制 DR 向内总线输出数据
6	DREin	控制 DR 接收从主存读出的数据，需配合时钟控制
7	DREout	控制 DR 向主存输出数据，以便最后将该数据写入主存
8	Xin	控制暂存寄存器 X 接收来自内总线的的数据，需配合时钟控制
9	+4	将 ALU A 端口的数据加 4 输出
10	ADD	控制 ALU 执行加法，实现 A 端口和 B 端口的两数相加
11	SUB	控制 ALU 执行减法运算
12	PSWin	控制状态寄存器 PSW 接收 ALU 的运算状态，需配合时钟控制
13	Zout	控制 Z 向内总线输出数据
14	IRin	控制 IR 接收来自内总线的指令，需配合时钟控制
15	IR(A)out	控制 IR 中的分支目标地址输出到内总线，指令字中的立即数要转换成目标地址需要相应逻辑

#	控制信号	功能说明
16	IR(I)out	控制 IR 中的立即数输出到内部总线，指令字中的立即数符号扩展为 32 位才能输出
17	Write	存储器写命令，需配合时钟控制
18	Read	存储器读命令
19	Rin	控制寄存器堆接收来自内部总线的数，写入 W#端口对应的寄存器中，需配合时钟控制
20	Rout	控制寄存器堆输出指定编号 R#寄存器的数据，该寄存器组为单端口输出
21	Rs/Rt	控制多路选择器选择送入 R#的寄存器编号，为 0 时送入指令字中 rs 字段，为 1 时送入 rt
22	RegDst	控制多路选择器选择送入 W#的寄存器编号，为 0 时送入指令字中的 rt 字段，为 1 时送入 rd

当 ALU 两操作数相等时，equal 状态信号输出为 1，否则为零，equal 信号与运算无关。

- 1) 单总线结构中 PSW 的输出应输出到图中 部件，ID 部件的功能是 。
如果采用定长指令周期设计三级时序硬布线控制器，一个指令周期应包含 个机器周期，
每个机器周期包含 个时钟节拍。如果采用变长指令周期设计三级时序设计硬布线
控制器，最少需要 个机器周期，最多需要 个机器周期，每个机器周期最
短需要 个时钟节拍。(7 分)
- 2) 如果采用现代时序设计硬布线控制器，CPU 状态机如下图所示，假设状态寄存器输出为 $Q_4Q_3Q_2Q_1Q_0$ ，请给出硬布线控制器 ADD 信号将在哪几个状态产生，给出逻辑表达式。(2 分)



3) 采用微程序设计操作控制器，计数器法，微指令格式如下表所示，左侧为最高位，请给出取指微指令微程序已经给出，请用 16 进制完成如下填空。(7 分)

		<div><div><div><div><div></div><div>PC_{out}</div></div><div><div></div><div>DR_{out}</div></div><div><div></div><div>Z_{out}</div></div><div><div></div><div>R_{out}</div></div><div><div></div><div>IR(I)_{out}</div></div><div><div></div><div>IR(A)_{out}</div></div><div><div></div><div>DRE_{out}</div></div><div><div></div><div>PC_{in}</div></div><div><div></div><div>AR_{in}</div></div><div><div></div><div>DRE_{in}</div></div><div><div></div><div>DR_{in}</div></div><div><div></div><div>X_{in}</div></div><div><div></div><div>R_{in}</div></div><div><div></div><div>PSW_{in}</div></div><div><div></div><div>IR_{in}</div></div><div><div></div><div>Rs/Rt</div></div><div><div></div><div>RegDst</div></div><div><div></div><div>ADD</div></div><div><div></div><div>+4</div></div><div><div></div><div>SUB</div></div><div><div></div><div>Read</div></div><div><div></div><div>Write</div></div><div><div></div><div>P_{IR}</div></div><div><div></div><div>P_{equal}</div></div><div><div></div><div>P_{end}</div></div></div></div></div>																								
功能	微地址	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	P ₀	P ₁	P ₂
取指	0	1								1			1													
	1																			1						
	2			1					1		1											1				
	3		1												1											
add	19				1								1				1									
	20				1														1							
	21			1										1				1								1

取指微程序第 4 条微指令控制字段为 _____，P 字段为 _____

add 指令微程序第 1 条微指令控制字段为 _____，P 字段为 _____

add 指令微程序第 2 条微指令指令控制字段为 _____

add 指令微程序第 3 条微指令控制字段为 _____，P 字段为 _____

5) 如果需要在支持单级中断，需要增加什么指令，如何修改第 2 问中的状态机，请给出状态机图？(4 分)

分 数	
评卷人	

七、(12分) 有一台计算机 CPU 的主频为 2GHz。该计算机接有一台磁盘设备，该外部设备实现数据传输有两种选择：中断方式和 DMA 方式。请完成下面各题（该题中数据传输率、频率中 K/M/G 均以 10 为基数）。

1) 如果采用中断方式，请简述中断响应周期中主要要完成的几个动作并给予说明。（3 分）

2) 如果采用 DMA 方式，在 DMA 操作的准备阶段，主机需要通过 CPU 指令向 DMA 接口发送必要的传送参数，并启动 DMA 工作。具体需要传送的参数如下（请完善）：（3 分）

(1) 。

3) 假定该外设采用中断方式与主机进行数据传送。启动阶段（发送命令和参数）需要 100 个时钟周期，每次中断服务的开销要 400 个时钟周期（包括中断响应和中断处理，不含数据传输），实际数据传输需要 1500 个时钟周期，CPU 访问硬盘的速率是 20MB/s。如果中断方式下 CPU 的占用率要控制在 20% 以下，一次中断至少要传输多少 Byte 数据（假设一次中断可以传送多个字节）？（3 分）

4) 如果改为 DMA 方式来传输，CPU 访问硬盘的速率仍是 20MB/s。如 DMA 的预处理阶段需要 100 个时钟周期，DMA 完成传输后的中断处理需要 400 个时钟周期，1 次 DMA 平均传输的数据长度为 10KB，则 DMA 方式下 CPU 的占用率是多少？（3 分）