

分 数	
评卷人	

一、(14 分) 设有效信息位为 $D_1D_2D_3D_4 = 1011$, 试采用基于偶校验的海明校验进行检错和纠错。

- 1) 给出海明码序列, 指出哪些位对应数据位, 哪些位对应校验位?

给出校验组分组规则, 并给出各校验位逻辑表达式。

- 2) 给出发送方发送的海明校验码。

3)

- 4) 如果接收方收到的有效信息变为1010, 说明如何定位错误并纠正错误。

- 5) 该编码纠错的前提是什么, 能否区分一位错, 两位错, 如果假设没有三位错, 如何识别一位错, 两位错?

分 数	
评卷人	

二、IEEE 754 标准包括半精度浮点数, 它使用 16 位来存储, 由 1 位符号位、5 位阶码 (偏移量为 15)、以及 10 位尾数构成, 其余格式规范与单精度和双精度浮点数相同。已知两个半精度浮点数的二进制表示, $X = 0111\ 1000\ 1100\ 1100$, $Y = 1111\ 0110\ 1010\ 1001$, 回答以下三个问题。(14 分)

- 1) X 的阶码十进制值为_____，尾数真值的二进制表示为_____；
 Y 的阶码十进制值为_____，尾数真值的二进制表示为_____。





- 2) 规格化的半精度浮点数的绝对值最小数为_____，非规格化的半精度浮点数的绝对值最小数为_____。
- 3) 计算 $X - Y$ ，按照 IEEE 754 标准将运算结果表示为二进制形式，并说明运算结果是否溢出。
需要给出关键计算过程，采用两位保留附加位和 0 舍 1 入法。

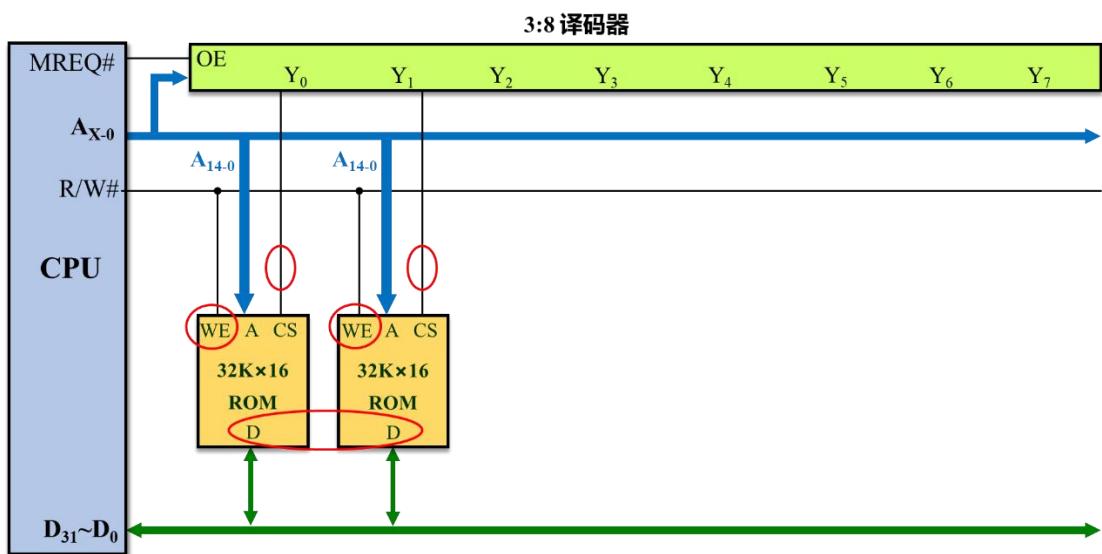
计算 $X - Y$ 需要先对阶，将 Y 右归一位，阶码值为 15，尾数真值为 -0.11 0101 0100 1

分 数	
评卷人	

三、(12 分) 某计算机字长为 32 位, 主存容量为 $384K \times 32$ 位, 按字编址, 其地址空间分为三个部分: $00000H \sim 0FFFFH$ 是 ROM 区域, $10000H \sim 2FFFFH$ 是保留区域, $30000H \sim 5FFFFH$ 是 RAM 区域。要求使用 $32K \times 16$ 位的 ROM 芯片和 $128K \times 32$ 位的 RAM 芯片为该计算机设计一个主存储器。

请回答以下问题。

- 1) 该主存的地址寄存器的位数最少是 _____ 位, 需要 _____ 片 RAM 芯片。
- 2) 下图给出了 CPU 与存储芯片的连接电路示意图的一部分, 其中包含若干错误, 请一一指出并更正。



- 3) 请将 CPU 与存储芯片的连接电路示意图补充完整, 注意标注地址线连接编号。

分 数	
评卷人	

四、(16分)某机器字长为8位，主存按24位地址寻址，Cache每行数据块大小为64B，4路组相联（每组4行）。

1) 若映射地址中标记字段为9位，如果考虑有效位与脏位，求Cache的总容量；

(1分)

(2分)

(1分)

2) 存储单元地址0xABCD8H映射到Cache哪一组的哪一行（给出十进制答案）；

3) 有如下两个伪代码程序段A与B

```
int sumaryrows A(int A[64][64])
{
    int i,j,sum =0;
    for ( i =0 ; i< 64 ,i++)
        for ( j=0 ; j< 64 ,j++)
            sum += A[i][j];
    return sum ;
}
```

```
int sumaryrows B(int A[64][64])
{
    int i,j,sum =0;
    for ( j=0 ; j< 64 ,j++)
        for ( i=0 ; i< 64 ,i++)
            sum += A[i][j];
    return sum ;
}
```

假设int型为8位，分别求程序段A、B在本机的存储体系中对数组访问的Cache命中率，并从系统观的角度对计算结果进行简要分析；

由

(6分)

4) 说明存储体系中Cache存储层次的作用，并简要分析Cache存储层次能发挥这样作用的机理。

(2分)

。

(2分)

分 数	
评卷人	

五、(12分) 现有一款24位的处理器，拥有24个24位的寄存器，可访问 2^{24} 字节的内存空间，无浮点指令，指令集与MIPS指令集类似，包括R型、I型、J型三类指令，定长指令格式，其中分支指令使用PC相对寻址，跳某计算机

字长为16位，采用单字长指令格式和隐含寻址方式，其I型指令格式如图：



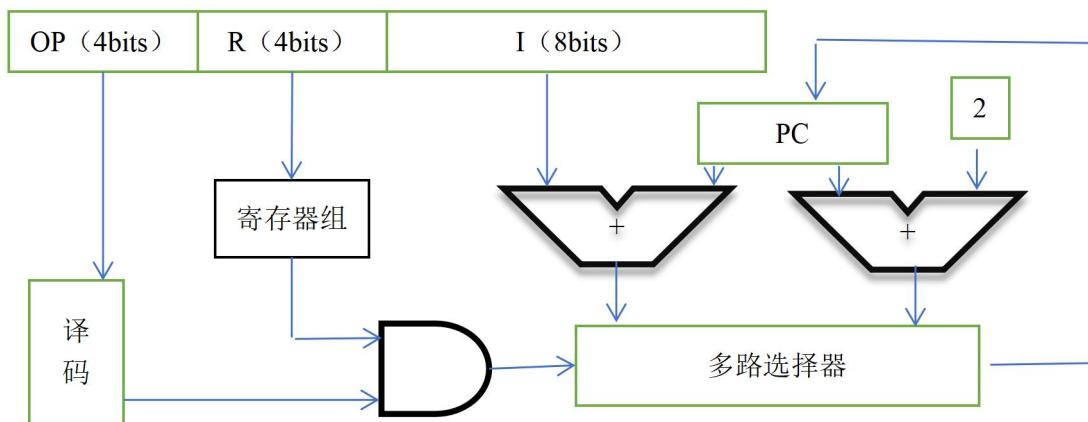
其中，R采用寄存器寻址，I采用立即数寻址、补码编码。

1. 该计算机最多有多少个通用寄存器？该指令格式最多支持多少I型指令？若LI指令将立即数I加载到寄存器R，最大可一次加载多大的立即数？(3分)

2. 若用I型指令加载大于8位的立即数(1234H)，如何设计指令功能？需多少指令？(3分)

。

3. I型指令同时可用于条件跳转。其中，BZ指令实现当寄存器R的值为零时，以PC值为基址进行转移跳转。跳转的最大范围为多少？请画出该指令执行的数据通路示意图，并对主要部件的功能和PC计算方法进行说明。(6分)



分 数	
评卷人	

六、某计算机字长 32 位，支持下表中的五条 MIPS32 指令，CPU 内部采用单总线结构，具体数据通路如图所示。除多路选择器选择控制信号外，图中所有控制信号为 1 时表示有效、为 0 时表示无效，控制信号功能说明见表。

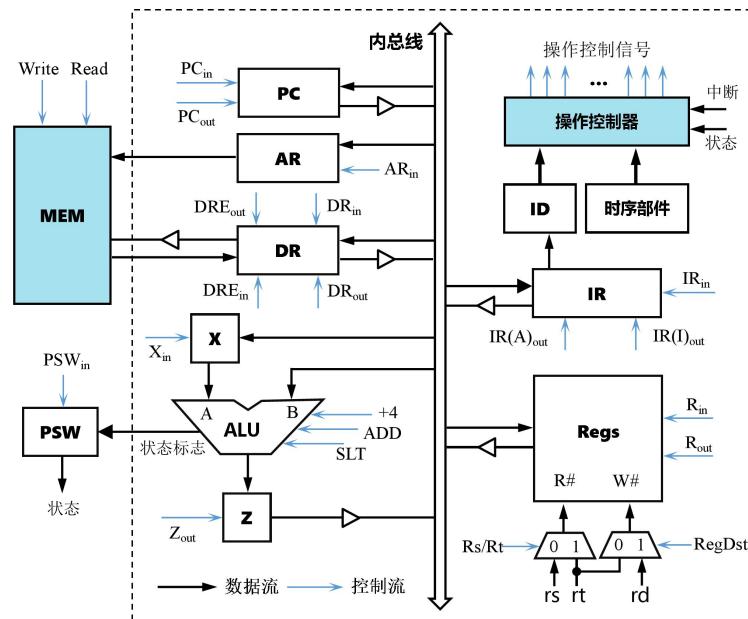


表 1、指令功能描述

#	指令	汇编代码	指令类型	RTL 功能说明
1	lw	lw rt,imm(rs)	I 型	$R[rd] \leftarrow M[R[rs] + \text{SignExt}(imm)]$
2	sw	sw rt,imm(rs)	I 型	$M[R[rs] + \text{SignExt}(imm)] \leftarrow R[rt]$
3	beq	beq rs,rt,imm	I 型	$\text{if}(R[rs] == R[rt]) \quad PC \leftarrow PC + 4 + \text{SignExt}(imm) \ll 2$
4	addi	addi rt,rs,imm	I 型	$R[rt] \leftarrow R[rs] + \text{SignExt}(imm)$
5	slt	slt rd,rs,rt	R 型	If ($rs < rt$) $R[rd] \leftarrow 1$ else $R[rd] \leftarrow 0$

表 2、控制信号功能描述

#	控制信号	功能说明
1	PCin	控制 PC 接收来自内总线的数据，需配合时钟控制
2	PCout	控制 PC 向内总线输出数据
3	ARin	控制 AR 接收来自内总线的数据，需配合时钟控制
4	DRin	控制 DR 接收来自内总线的数据，需配合时钟控制
5	DRout	控制 DR 向内总线输出数据
6	DREin	控制 DR 接收从主存读出的数据，需配合时钟控制
7	DREout	控制 DR 向主存输出数据，以便最后将该数据写入主存
8	Xin	控制暂存寄存器 X 接收来自内总线的数据，需配合时钟控制
9	+4	将 ALU A 端口的数据加 4 输出
10	ADD	控制 ALU 执行加法，实现 A 端口和 B 端口的两数相加
11	SLT	控制 ALU 执行 SLT 小于置位运算
12	PSWin	控制状态寄存器 PSW 接收 ALU 的运算状态，需配合时钟控制
13	Zout	控制 Z 向内总线输出数据

#	控制信号	功能说明
14	IRin	控制 IR 接收来自内总线的指令，需配合时钟控制
15	IR(A)out	控制 IR 中的分支目标地址输出到内总线，指令字中的立即数要转换成目标地址需要相应逻辑
16	IR(I)out	控制 IR 中的立即数输出到内部总线，指令字中的立即数符号扩展为 32 位才能输出
17	Write	存储器写命令，需配合时钟控制
18	Read	存储器读命令
19	Rin	控制寄存器堆接收来自内总线的数据，写入 W#端口对应的寄存器中，需配合时钟控制
20	Rout	控制寄存器堆输出指定编号 R#寄存器的数据，该寄存器组为单端口输出
21	Rs/Rt	控制多路选择器选择送入 R#的寄存器编号，为 0 时送入指令字中 rs 字段，为 1 时送入 rt
22	RegDst	控制多路选择器选择送入 W#的寄存器编号，为 0 时送入指令字中的 rt 字段，为 1 时送入 rd

当 ALU 两操作数相等时， equal 状态信号输出为 1，否则为零， equal 信号与运算无关。

- 1) 在单总线结构中 Z 寄存器为什么没有使能控制信号，会带来什么问题？（2 分）

•

- 2) 如果采用定长指令周期设计三级时序设计硬布线控制器，一个指令周期包含_____个机器

周期，每个机器周期包含_____个时钟节拍，如果采用现代时序设计硬布线控制器，

那么指令周期最短需要_____个时钟节拍，最长需要_____个时钟节拍。

（4 分）

- 3) 控制信号中哪些信号是互斥的，如果采用编码表示法，微指令控制字段为多少位？（5 分）

4) 采用微程序设计操作控制器, 计数器法, 取指微程序已经给出, 请用 16 进制完成如下填空。

(7 分)

功能	微地址	1	2	3	4	5	6	$IR(A)_{out}$	PC_{in}	DRE_{in}	X_{in}	IR_{in}	RS/Rt	ADD	SUB	$Write$	P_{equal}	P_{IR}	P_0	P_1	P_2	
取指	0	1							1		1											
	1																1					
	2			1					1	1								1				
	3		1										1							1		
lw					1							1										
						1											1					
				1								1							1			
										1										1		
		1										1										1

取指微程序最后一条微指令字 P 字段为_____

lw 指令第 1 条微指令字控制字段为_____，P 字段为_____

lw 指令第 2 条微指令字控制字段为_____，P 字段为_____

lw 指令第 5 条微指令字控制字段为_____，P 字段为_____ (16 进制填写)

5) 实验中采用了单级中断, 如果同一时刻有 A, B 两个中断产生, 系统响应了 A 中断服务程序, 当执行完 A 中断服务程序后, 下一条指令执行什么, 请给出原因? (3 分)

分 数	
评卷人	

七、有一台计算机 CPU 的主频为 2.5GHz， CPI 为 8。该计算机接有一台外部设备，以 64 位为传输单位。该外部设备实现数据传输有两种选择：中断方式和 DMA 方式。请完成下面各题。（12 分）

1) 请补充完成下述关于中断方式与 DMA 方式的比较。（4 分）

- (1) 中断通过程序传送数据，DMA 靠_____来实现。
- (2) 中断时机为两指令之间，DMA 响应时机为两_____之间。
- (3) DMA 仅挪用了一个存储周期，不改变_____现场。
- (4) DMA 请求的优先权比中断请求_____。

2) 假定该外设采用中断方式与主机进行数据传送。外设与的数据传输率为 8MB/s。对应的中断服务程序包含 21 条指令，中断服务的其他开销相当于 4 条指令的执行时间。请问 CPU 可用于 I/O 的时间的百分比是多少？（4 分）

3) 如改用 DMA 方式，假设 CPU 只安排 0.8% 的时间用于 I/O。DMA 传送块大小为 10KB，且 DMA 预处理和后处理的总开销为 400 个时钟周期，则可支持的最大数据传输率为是多少？（假定 DMA 与 CPU 之间没有访存冲突）（4 分）