

# 第九章 中央处理器

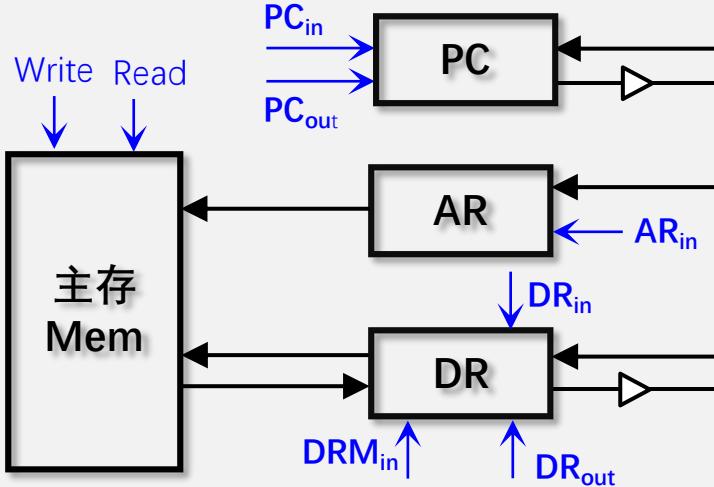
## 9.4 指令周期流程图

## 9.4 指令周期流程图

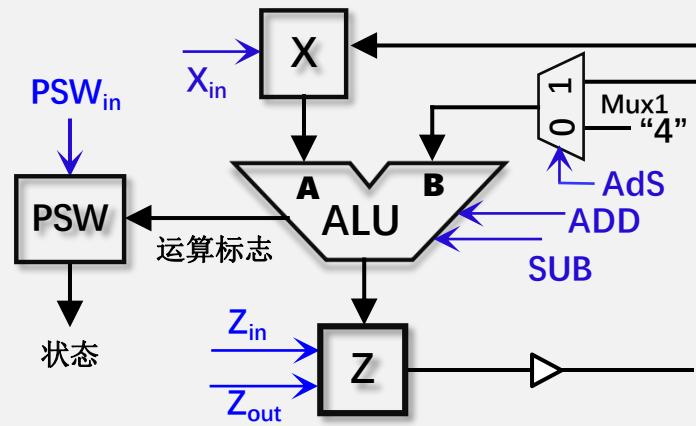
数据通路：指令周期中信息在功能部件间传送的路径 (与功能和寻址方式有关)



## 9.4 指令周期流程图

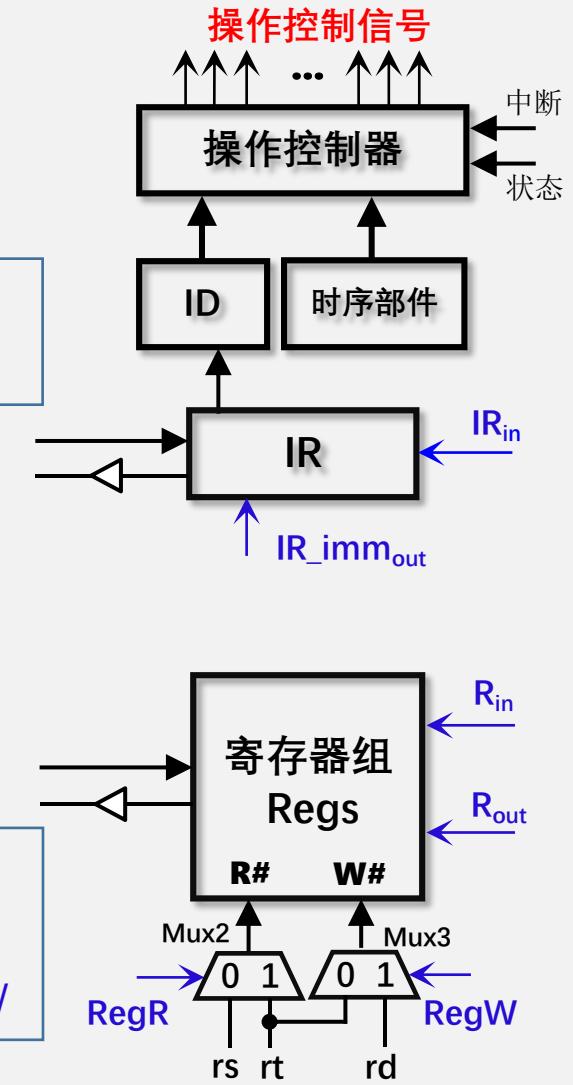


操作控制: Write、Read  
输入控制: PC<sub>in</sub>、AR<sub>in</sub>、DRM<sub>in</sub>、DR<sub>in</sub>  
输出控制: PC<sub>out</sub>、DR<sub>out</sub>

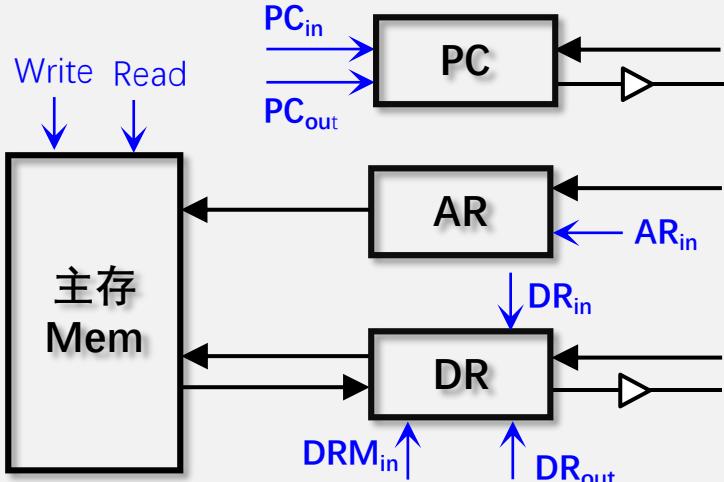


操作控制: ADD、SUB  
输入控制: X<sub>in</sub>、Z<sub>in</sub>、PSW<sub>in</sub>  
输出控制: Z<sub>out</sub>  
选择控制: Ads

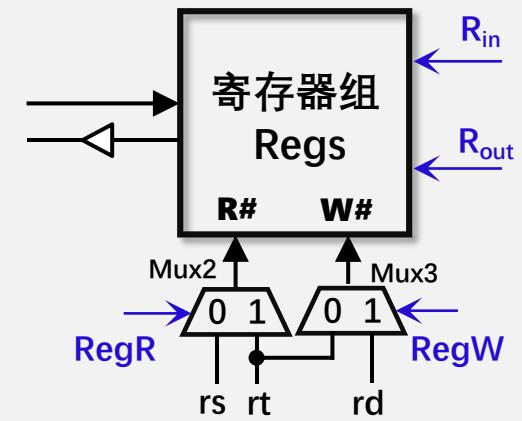
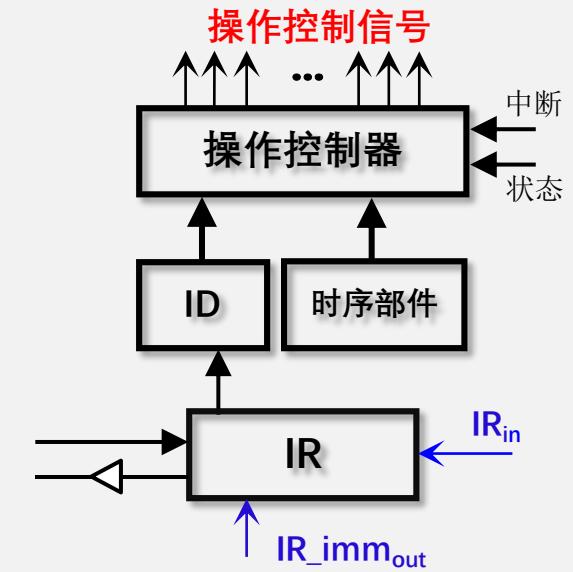
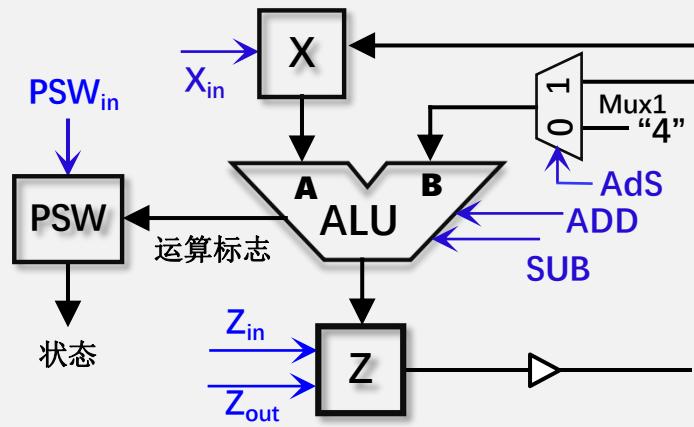
输入控制: R<sub>in</sub>  
输出控制: R<sub>out</sub>  
选择控制: RegR、RegW



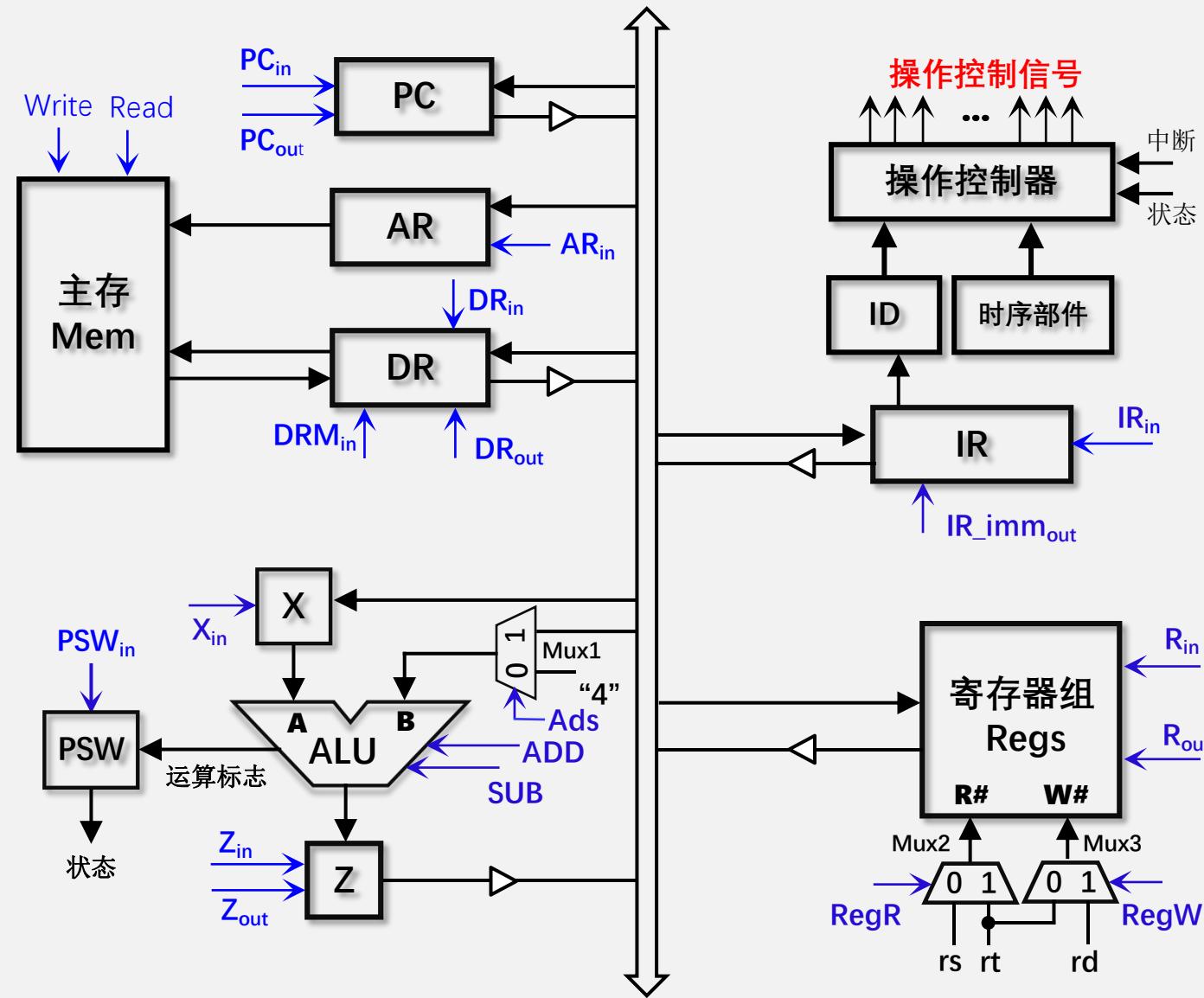
## 9.4 指令周期流程图



- 1) 所有向公共总线的输出端具有三态功能，图中白色小三角；  
2) 数据通路的构建是一个动态过程，与需要支持的指令有关

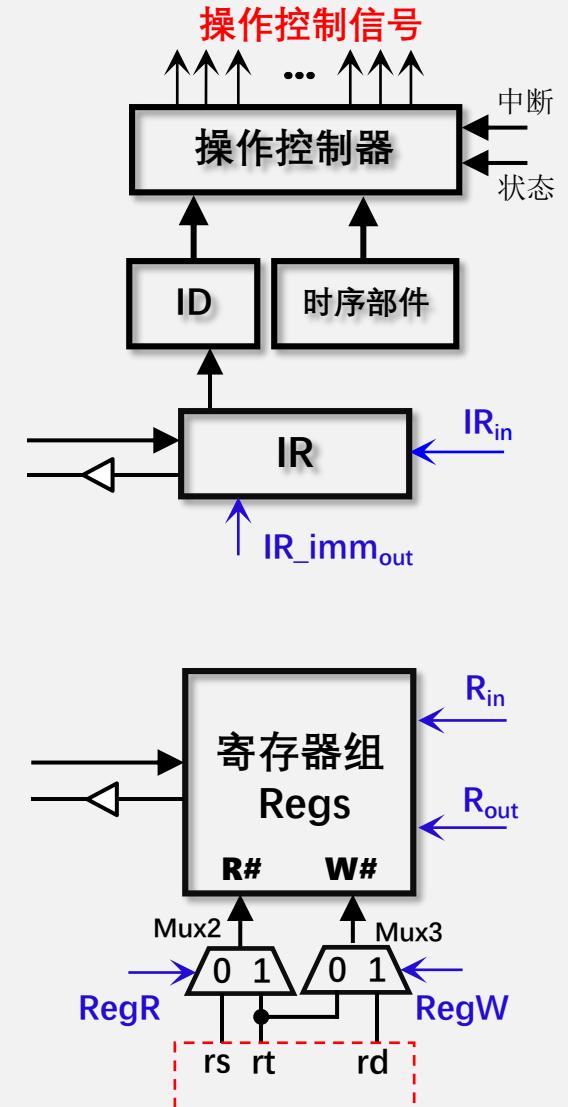
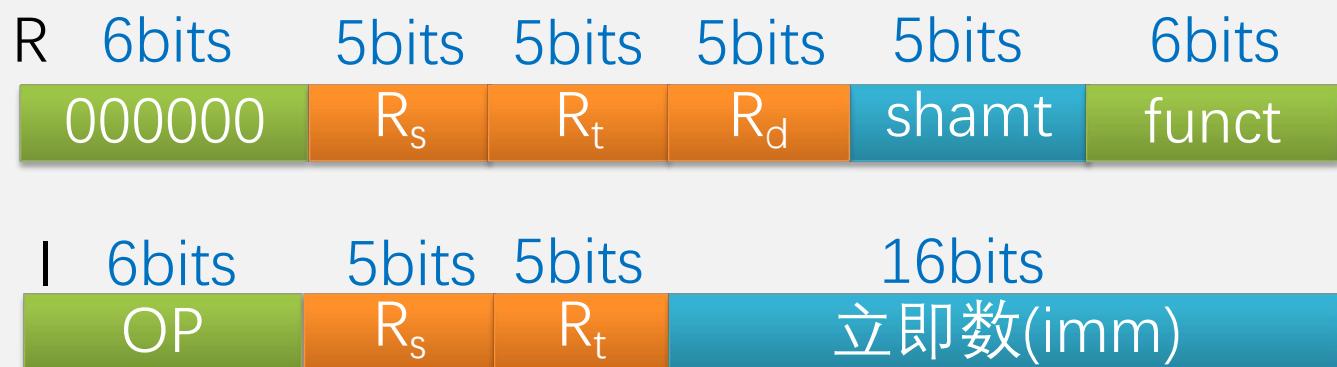


## 9.4 指令周期流程图



## 9.4 指令周期流程图

指令	指令功能
Add rd,rs,rt	$(R_{[rs]}) + (R_{[rt]}) \rightarrow R_{[rd]}$
Addi rt,rs,imm	$(R_{[rs]}) + S\_Ext_{32}(imm) \rightarrow R_{[rt]}$
Iw rt, imm(rs)	$(M[(R_{[rs]})+S\_Ext_{32}(imm)]) \rightarrow R_{[rt]}$
Sw rt, imm(rs)	$(R_{[rt]}) \rightarrow M[((R_{[rs]})+S\_Ext_{32}(imm))]$
Beq rs,rt,imm	当 $(R_{[rs]}) = (R_{[rt]})$ $PC \leftarrow PC + 4 + sign\_extend(offset    0^2)$



# 9.4 指令周期流程图

## 1. 取指阶段的数据通路

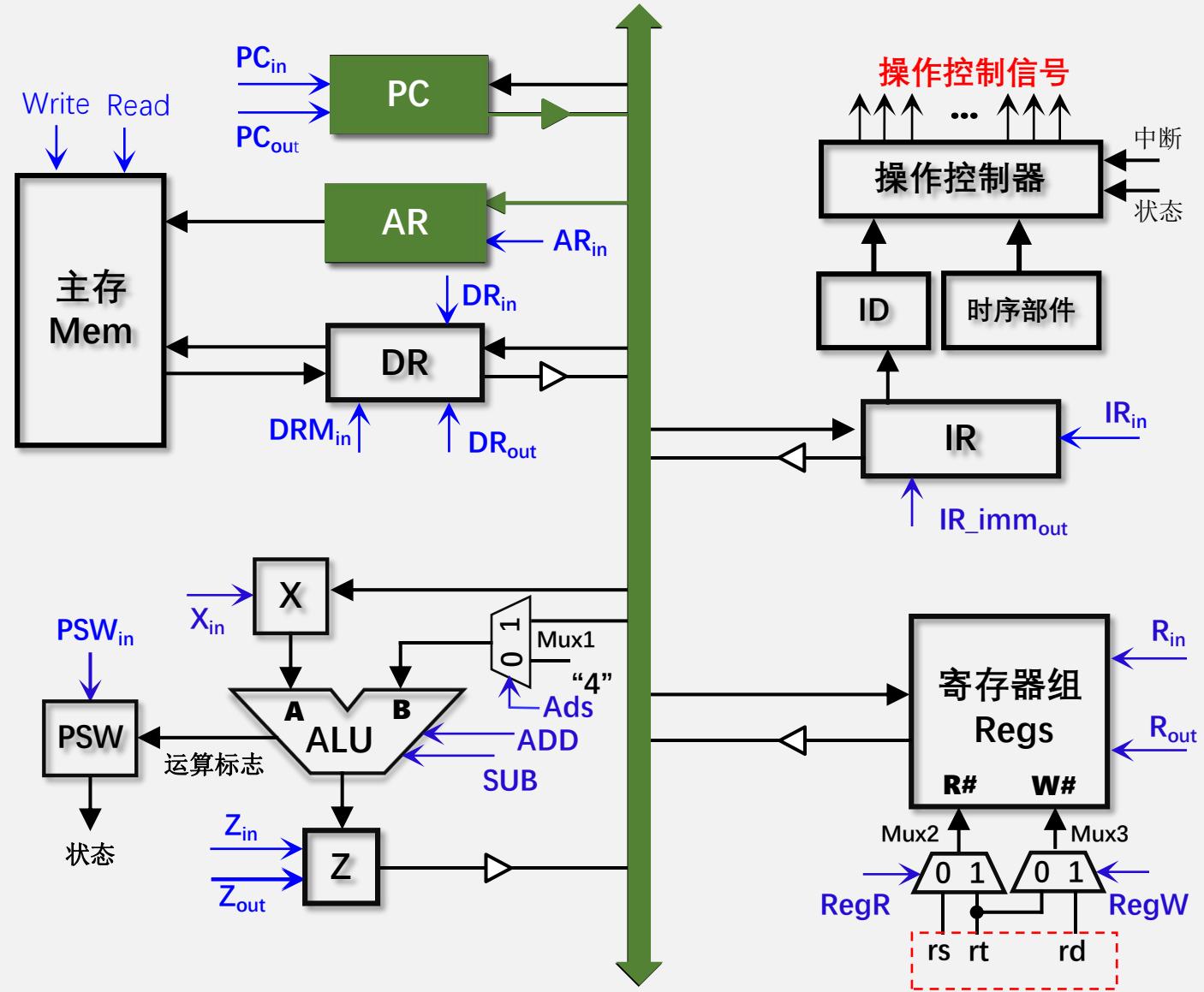
### 1) 取指令阶段的任务

$(Mem_{[PC]}) \rightarrow IR$

$(PC) + 4 \rightarrow PC$

### 2) 数据通路1

$PC \rightarrow AR \rightarrow MEM \rightarrow DR \rightarrow IR$



# 9.4 指令周期流程图

## 1. 取指阶段的数据通路

### 1) 取指令阶段的任务

$(Mem_{[PC]}) \rightarrow IR$

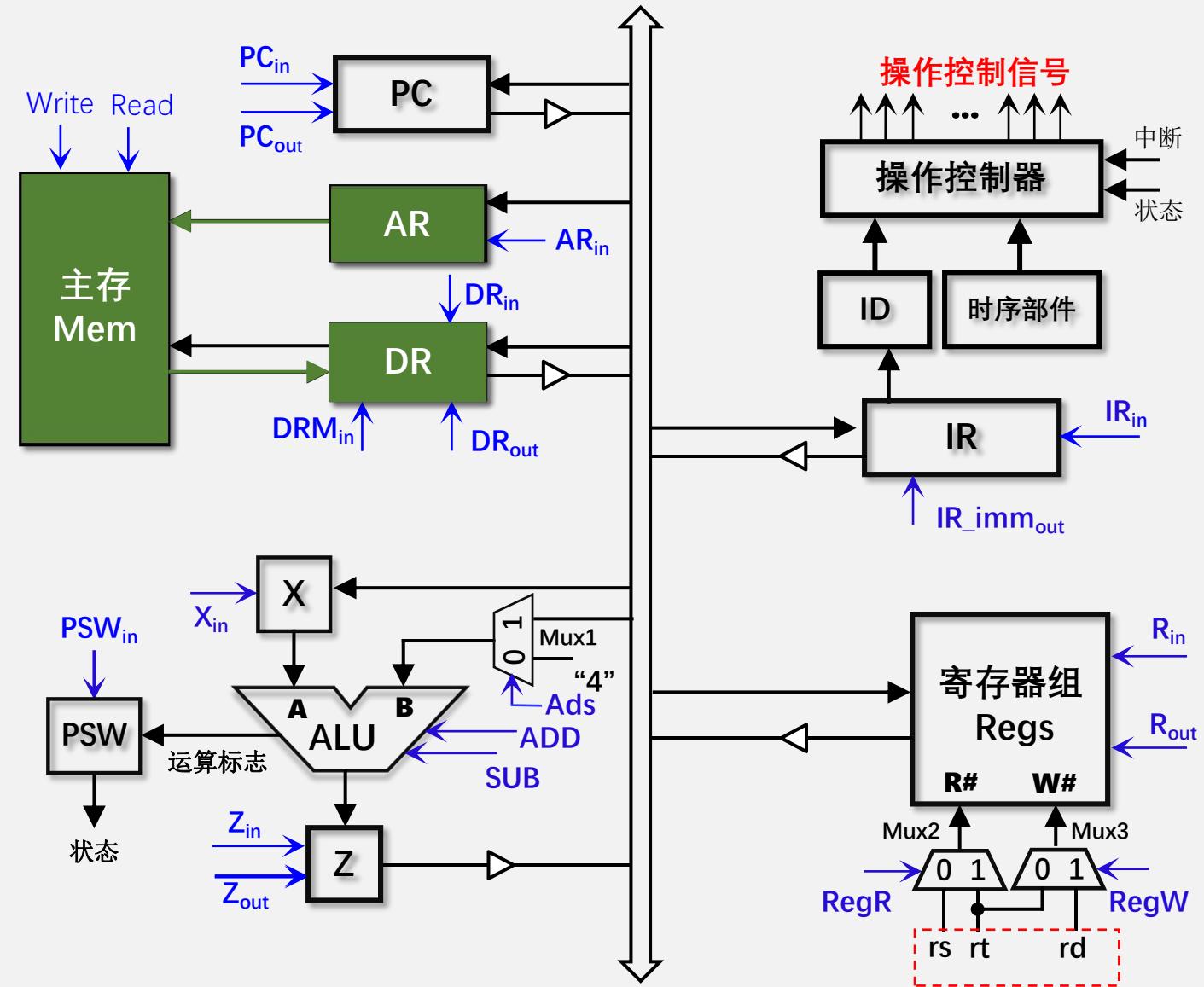
$(PC) + 4 \rightarrow PC$

### 2) 数据通路1

$PC \rightarrow AR \rightarrow MEM \rightarrow DR \rightarrow IR$

$T_1 : PC_{out}, AR_{in}$

$T_2 : Read, DRM_{in}$



## 9.4 指令周期流程图

### 1. 取指阶段的数据通路

#### 1) 取指令阶段的任务

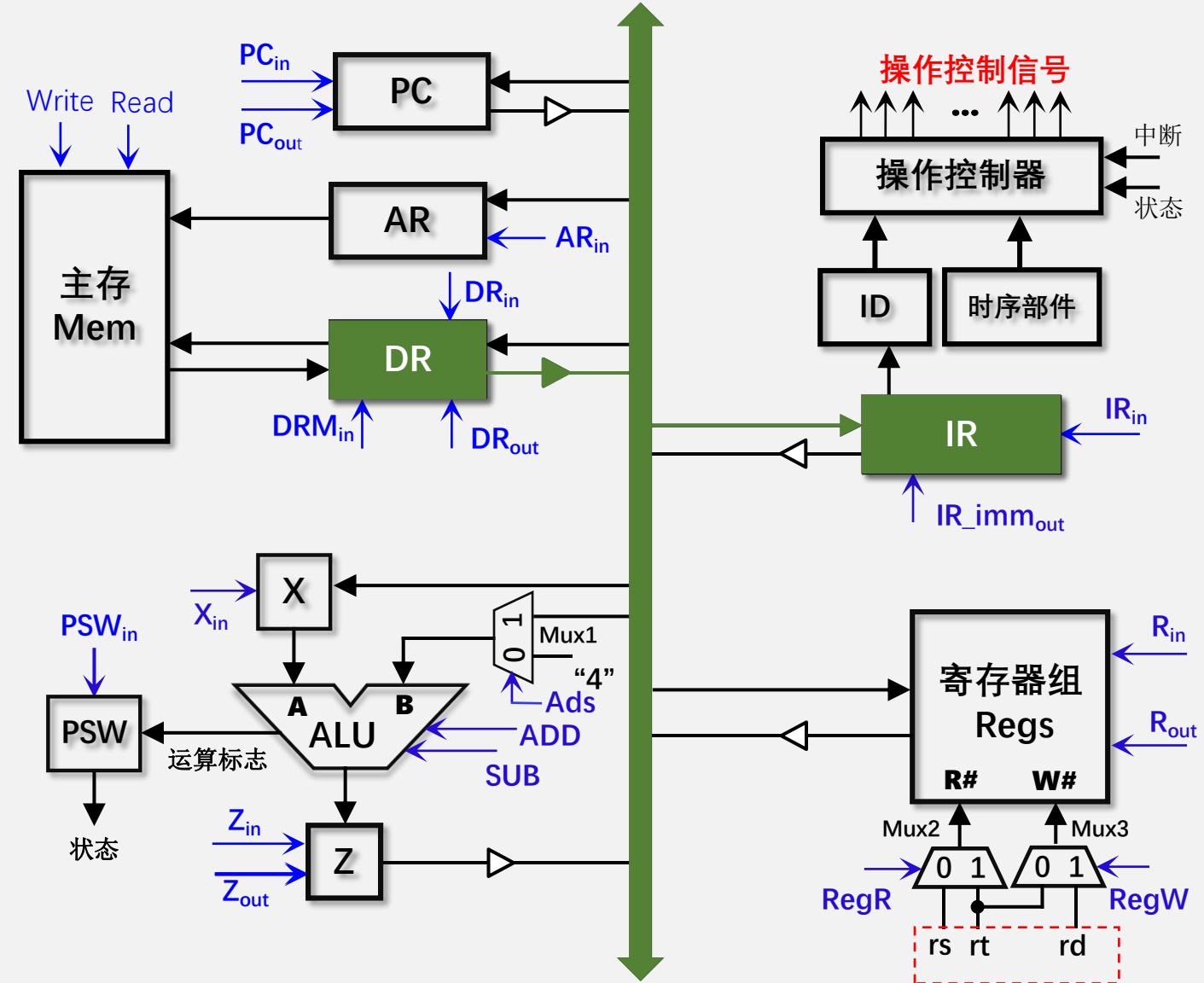
$(Mem_{[PC]}) \rightarrow IR$

$(PC) + 4 \rightarrow PC$

#### 2) 数据通路1

$PC \rightarrow [AR \rightarrow MEM \rightarrow DR] \rightarrow IR$

$T_1$	$PC_{out}, AR_{in}$
$T_2$	Read、 $DRM_{in}$
$T_3$	$DR_{out}, IR_{in}$



# 9.4 指令周期流程图

## 1. 取指阶段的数据通路

### 1) 取指令阶段的任务

$(Mem_{[PC]}) \rightarrow IR$

$(PC) + 4 \rightarrow PC$

### 2) 数据通路1

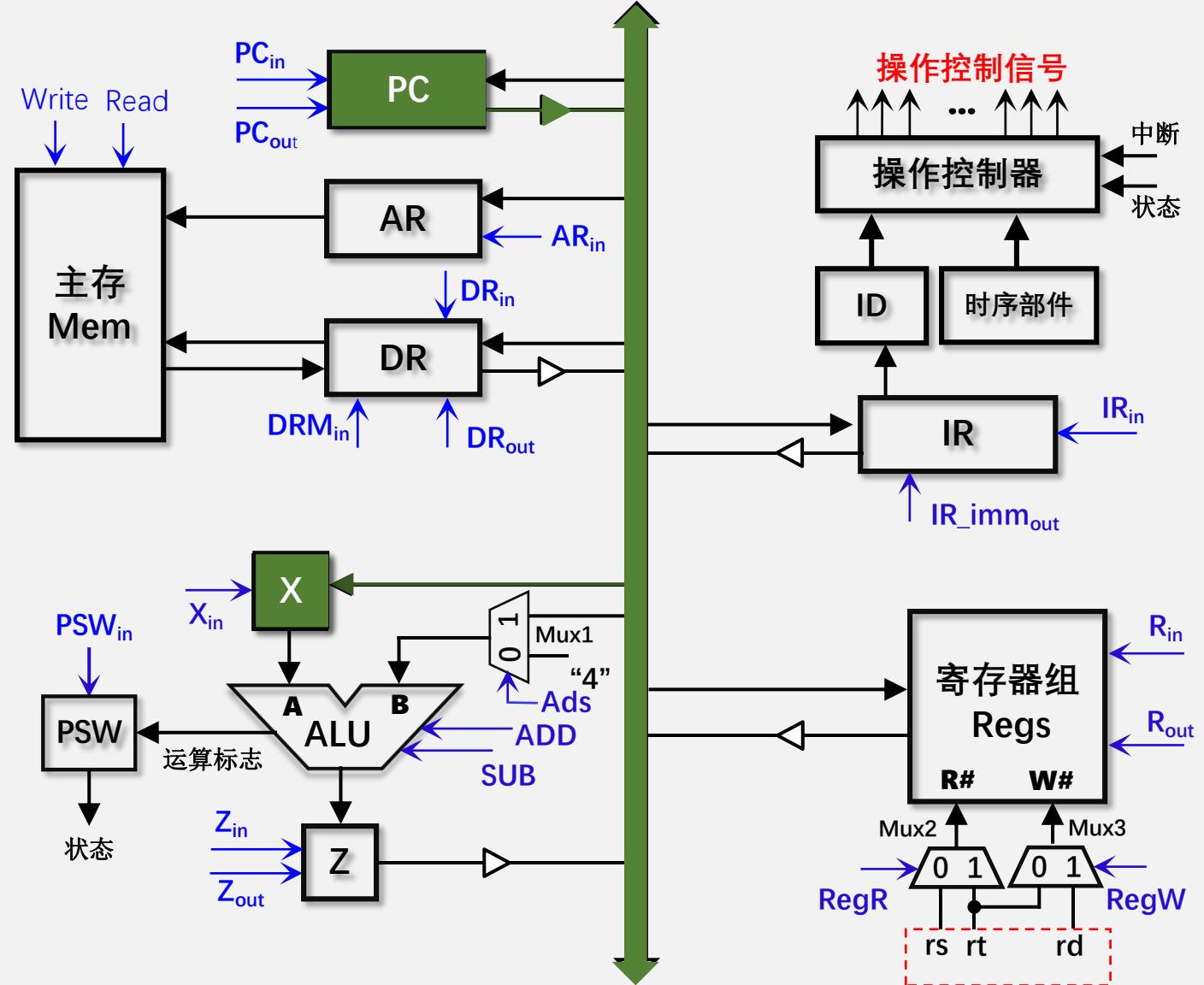
$PC \rightarrow AR \rightarrow MEM \rightarrow DR \rightarrow IR$

$T_1$	$PC_{out}, AR_{in}$
$T_2$	Read, $DRM_{in}$
$T_3$	$DR_{out}, IR_{in}$

### 3) 数据通路2

$PC \rightarrow X/Mux1 \rightarrow ALU \rightarrow Z \rightarrow PC$

$T_1$	$PC_{out}, X_{in}$
-------	--------------------



# 9.4 指令周期流程图

## 1. 取指阶段的数据通路

### 1) 取指令阶段的任务

$(Mem_{[PC]}) \rightarrow IR$

$(PC) + 4 \rightarrow PC$

### 2) 数据通路1

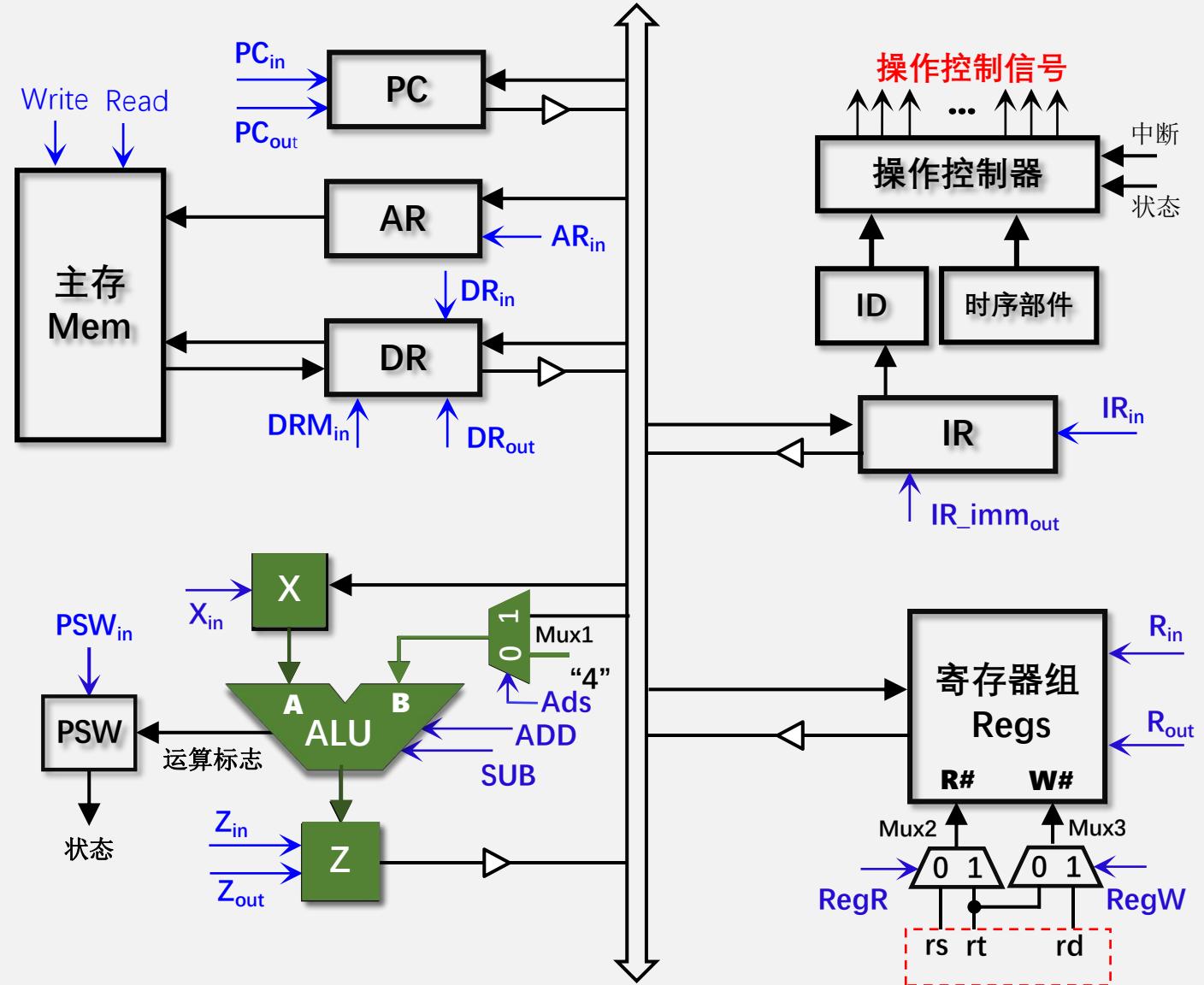
$PC \rightarrow AR \rightarrow MEM \rightarrow DR \rightarrow IR$

$T_1$	$PC_{out}, AR_{in}$
$T_2$	Read、 $DRM_{in}$
$T_3$	$DR_{out}, IR_{in}$

### 3) 数据通路2

$PC \rightarrow X/Mux1 \rightarrow ALU \rightarrow Z \rightarrow PC$

$T_1$	$PC_{out}, X_{in}$
$T_2$	$Ads=0, ADD, Z_{in}$



# 9.4 指令周期流程图

## 1. 取指阶段的数据通路

### 1) 取指令阶段的任务

$$(\text{Mem}_{[\text{PC}]} \rightarrow \text{IR})$$

$$(\text{PC}) + 4 \rightarrow \text{PC}$$

### 2) 数据通路1

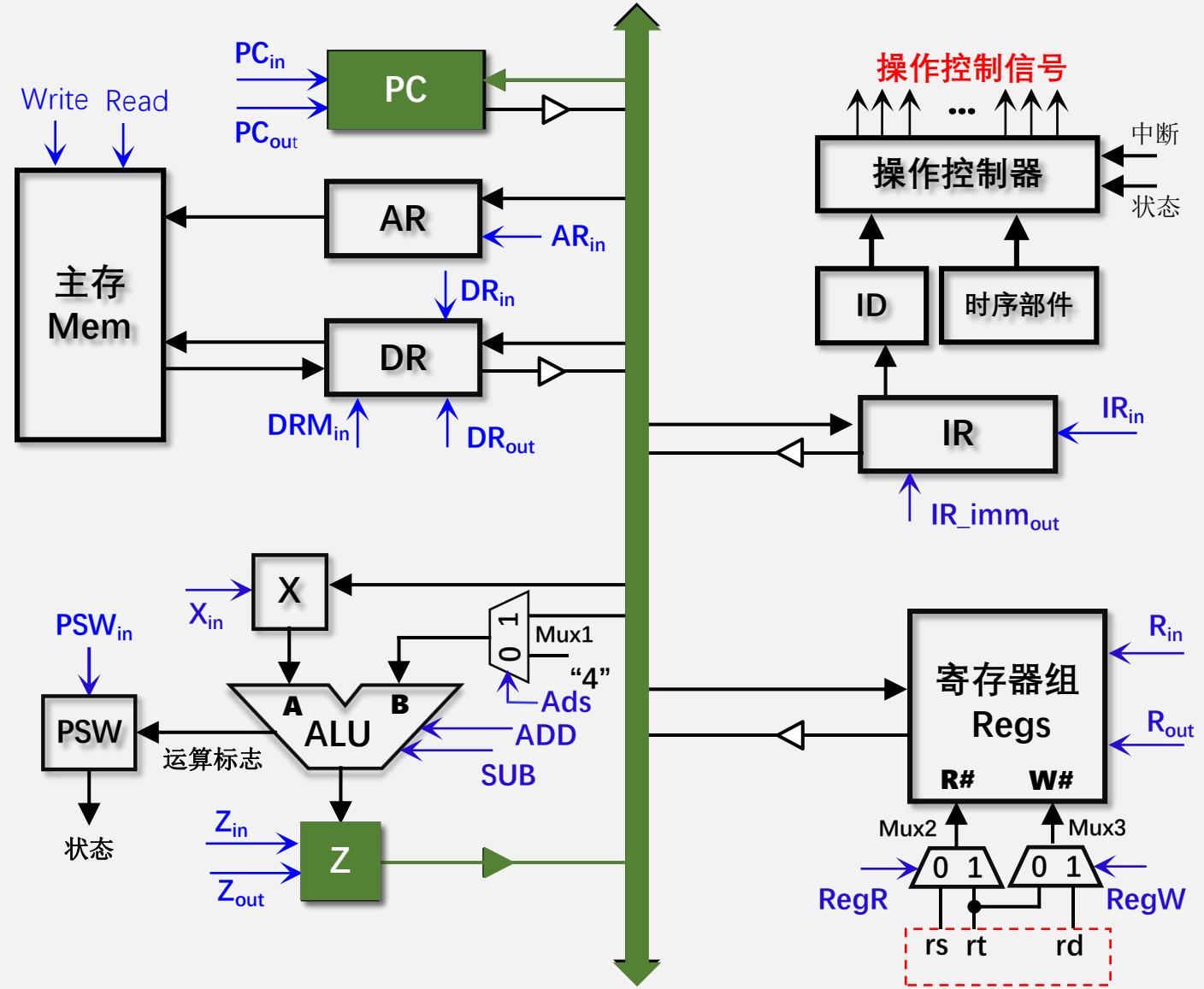
$$\text{PC} \rightarrow \text{AR} \rightarrow \text{MEM} \rightarrow \text{DR} \rightarrow \text{IR}$$

T <sub>1</sub>	PC <sub>out</sub> 、 AR <sub>in</sub>
T <sub>2</sub>	Read、 DRM <sub>in</sub>
T <sub>3</sub>	DR <sub>out</sub> 、 IR <sub>in</sub>

### 3) 数据通路2

$$\text{PC} \rightarrow [X/\text{Mux1} \rightarrow \text{ALU} \rightarrow Z] \rightarrow \text{PC}$$

T <sub>1</sub>	PC <sub>out</sub> 、 X <sub>in</sub>
T <sub>2</sub>	Ads=0、 ADD、 Z <sub>in</sub>
T <sub>3</sub>	Z <sub>out</sub> 、 PC <sub>in</sub>



# 9.4 指令周期流程图

## 1. 取指阶段的数据通路

### 1) 取指令阶段的任务

$(Mem_{[PC]}) \rightarrow IR$

$(PC) + 4 \rightarrow PC$

### 2) 数据通路1

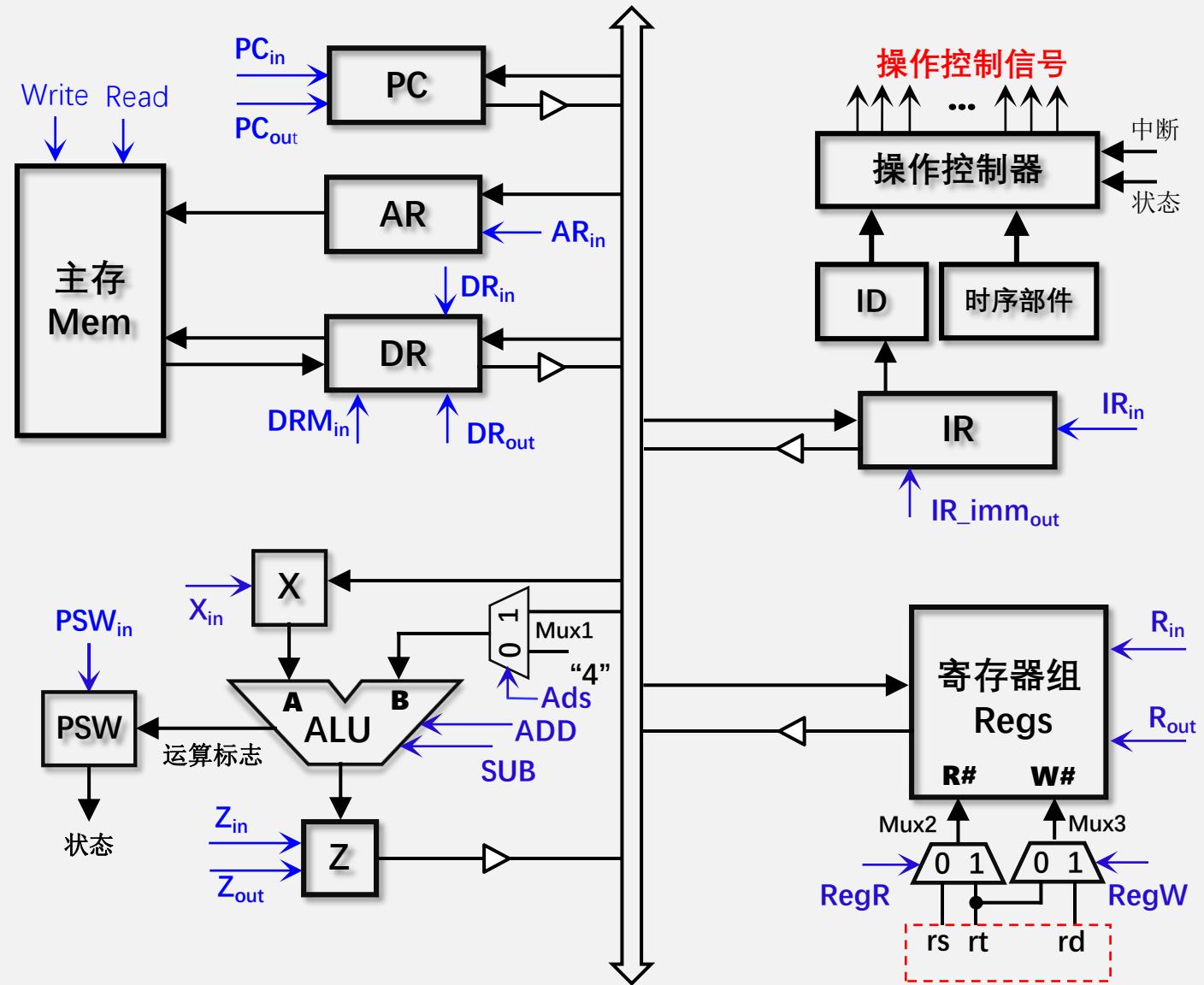
$PC \rightarrow AR \rightarrow MEM \rightarrow DR \rightarrow IR$

$T_1$	$PC_{out}, AR_{in}$
$T_2$	Read、 $DRM_{in}$
$T_3$	$DR_{out}, IR_{in}$

### 3) 数据通路2

$PC \rightarrow X/Mux1 \rightarrow ALU \rightarrow Z \rightarrow PC$

$T_1$	$PC_{out}, X_{in}$
$T_2$	$Ads=0, ADD, Z_{in}$
$T_3$	$Z_{out}, PC_{in}$



## 9.4 指令周期流程图

### 1. 取指阶段的数据通路

#### 1) 取指令阶段的任务

$(Mem_{[PC]}) \rightarrow IR$

$(PC) + 4 \rightarrow PC$

#### 2) 数据通路1

$PC \rightarrow AR \rightarrow MEM \rightarrow DR \rightarrow IR$

$T_1$	$PC_{out}、AR_{in}$
$T_2$	Read、 $DRM_{in}$
$T_3$	$DR_{out}、IR_{in}$

$T_1$	$PC_{out}、AR_{in}、X_{in}$
-------	---------------------------

$T_2$	Read、 $DRM_{in}$ 、 $Ads=0$ 、ADD、 $Z_{in}$
-------	---

$T_3$	$Z_{out}、PC_{in}$
-------	-------------------

#### 3) 数据通路2

$PC \rightarrow X/Mux1 \rightarrow ALU \rightarrow Z \rightarrow PC$

$T_1$	$PC_{out}、X_{in}$
$T_2$	$Ads=0$ 、ADD、 $Z_{in}$
$T_3$	$Z_{out}、PC_{in}$

$T_4$	$DR_{out}、IR_{in}$
-------	--------------------

## 9.4 指令周期流程图

## 2. ADD指令执行数据通路

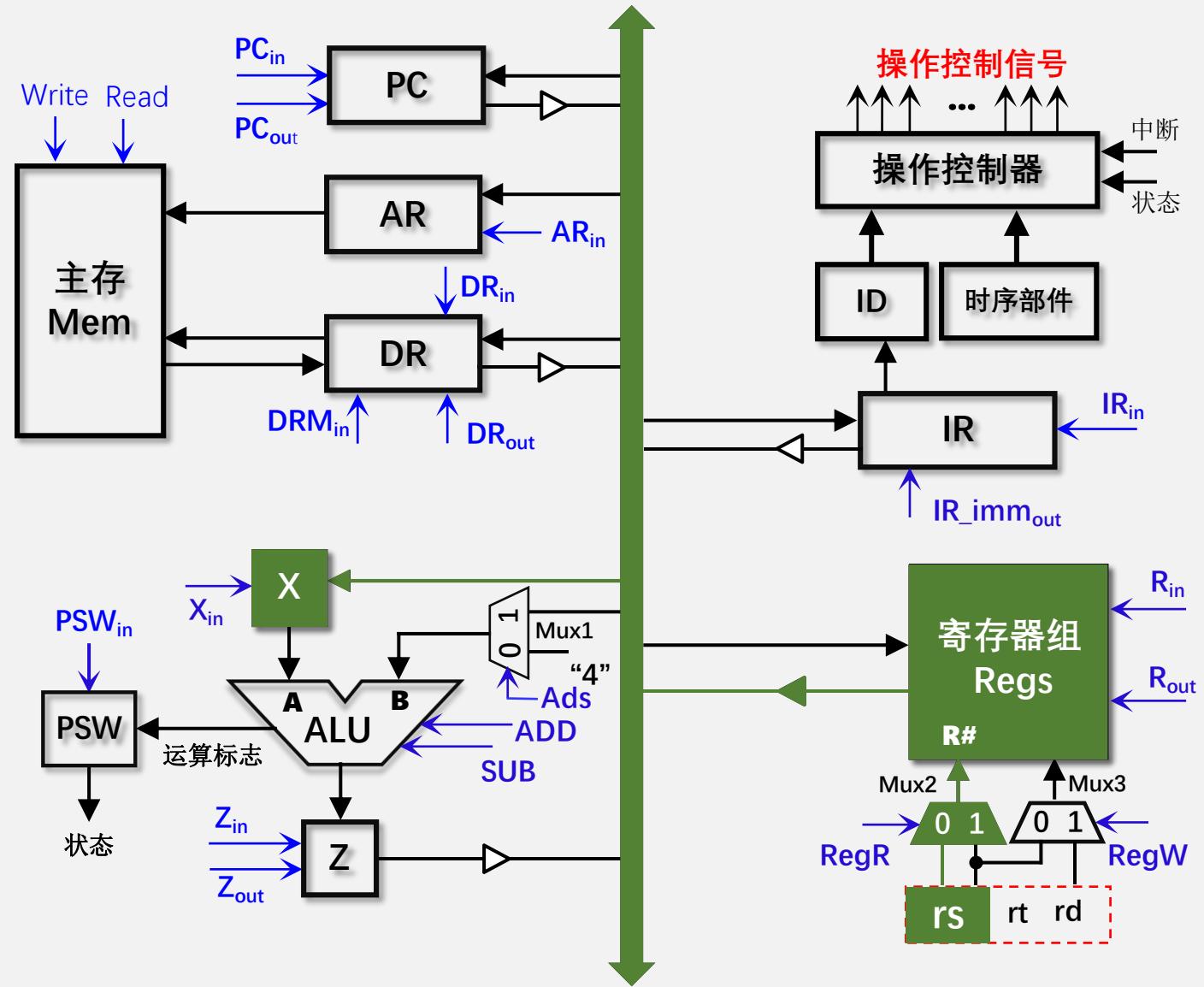
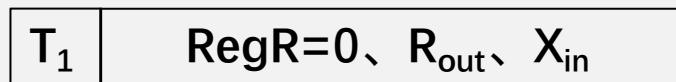
1) Add rd,rs,rt 的功能

$$(R_{[rs]}) + (R_{[rt]}) \rightarrow R_{[rd]}$$

## 2) 执行阶段的数据通路

## (1)数据通路1

rs → M<sub>ux2</sub> → Regs → X



## 9.4 指令周期流程图

### 2. ADD指令执行数据通路

#### 1) Add rd,rs,rt 的功能

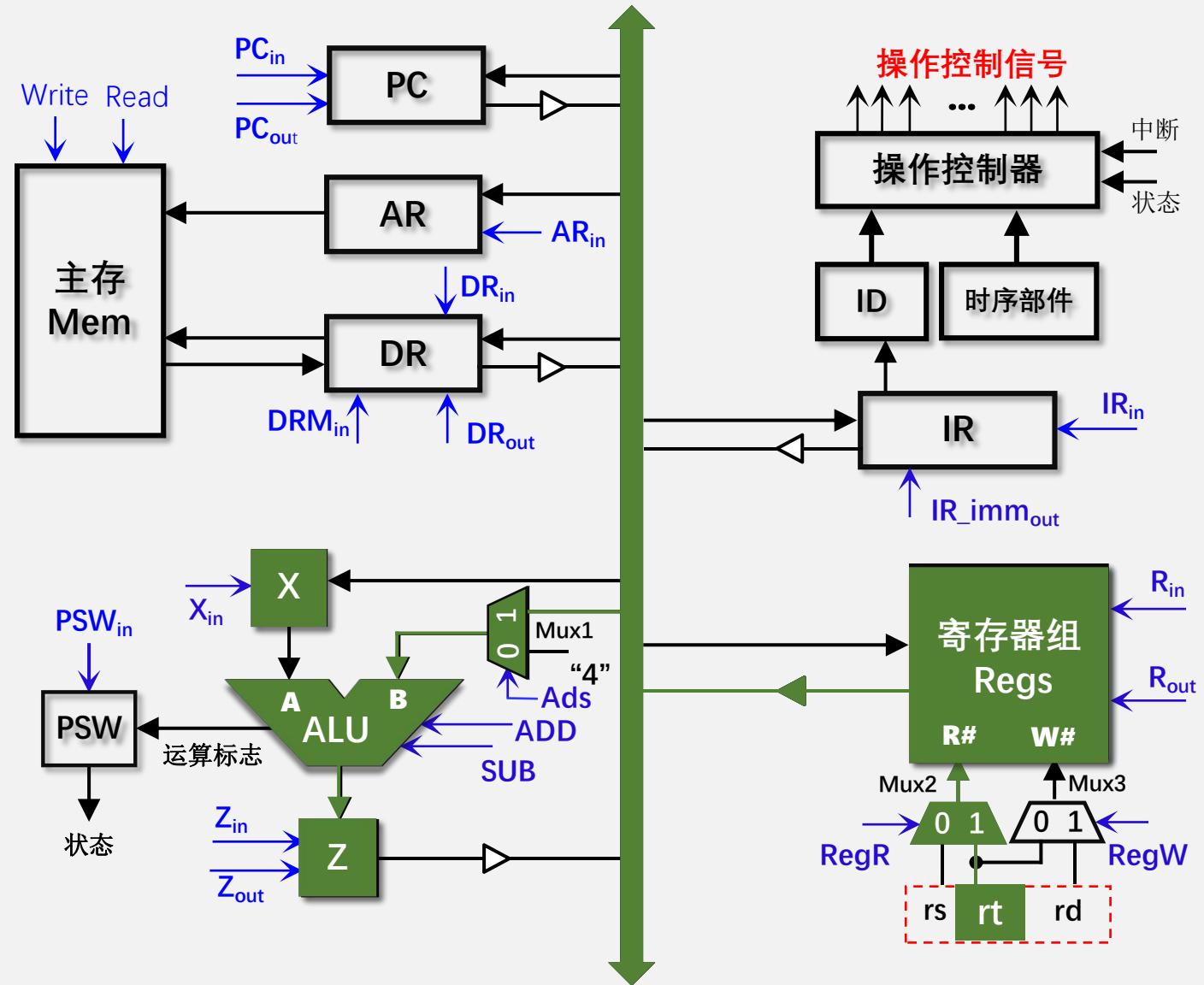
$$(R_{[rs]}) + (R_{[rt]}) \rightarrow R_{[rd]}$$

#### 2) 执行阶段的数据通路

##### (2) 数据通路2

rt  $\rightarrow M_{ux2} \rightarrow \text{Regs} \rightarrow M_{ux1} \rightarrow \text{ALU} \rightarrow Z$

T<sub>1</sub> | RegR、R<sub>out</sub>、Ads、ADD、Z<sub>in</sub>



## 9.4 指令周期流程图

### 2. ADD指令执行数据通路

#### 1) Add rd,rs,rt 的功能

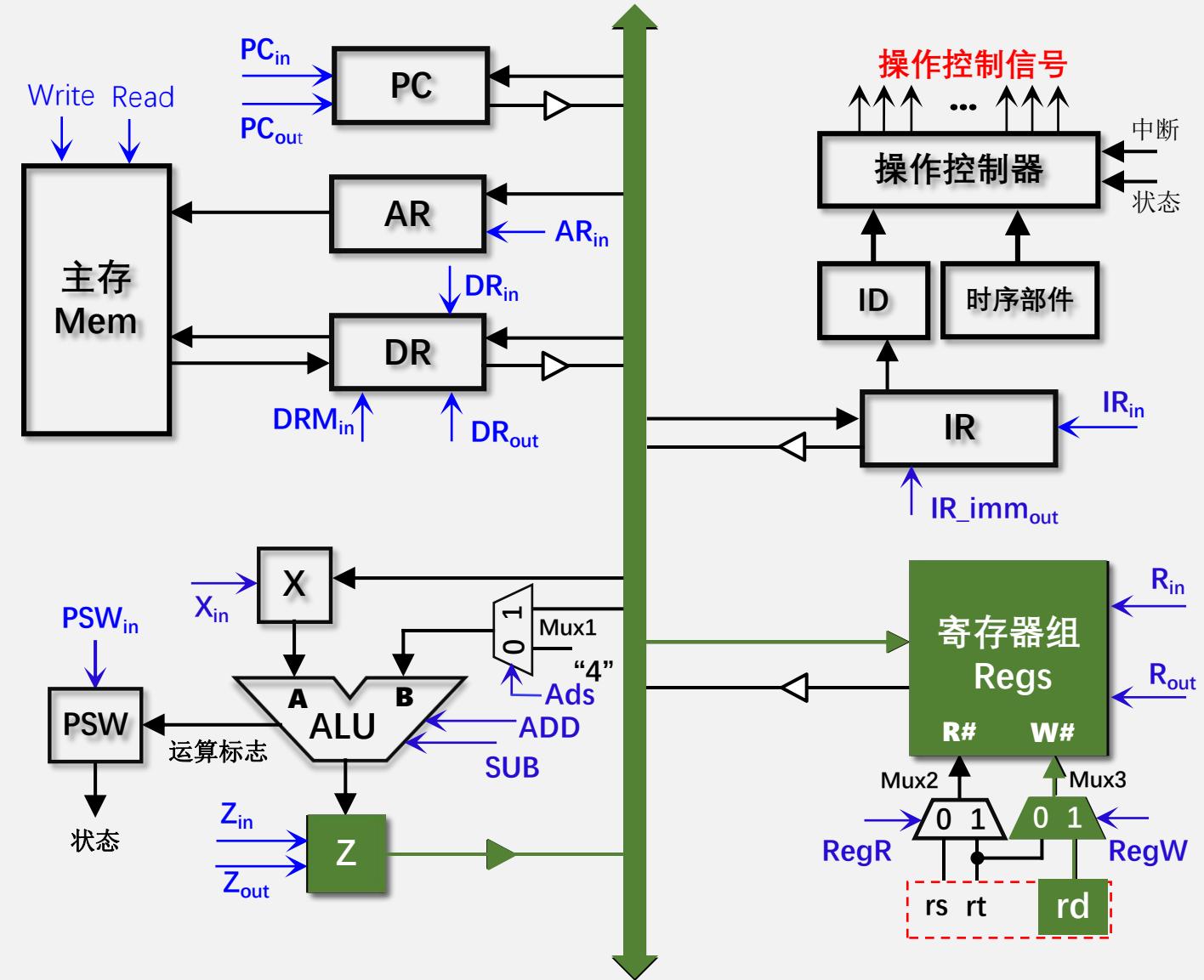
$$(R_{[rs]}) + (R_{[rt]}) \rightarrow R_{[rd]}$$

#### 2) 执行阶段的数据通路

#### (3) 数据通路3

Z → Regs ; rd → M<sub>ux3</sub> → Regs

T <sub>1</sub>	Z <sub>out</sub> 、RegW、R <sub>in</sub>
----------------	--



## 9.4 指令周期流程图

### 2. ADD指令执行数据通路

#### 1) Add rd,rs,rt 的功能

$$(R_{[rs]}) + (R_{[rt]}) \rightarrow R_{[rd]}$$

#### 2) 执行阶段数据通路汇总

$rs \rightarrow M_{ux2} \rightarrow Regs \rightarrow X$

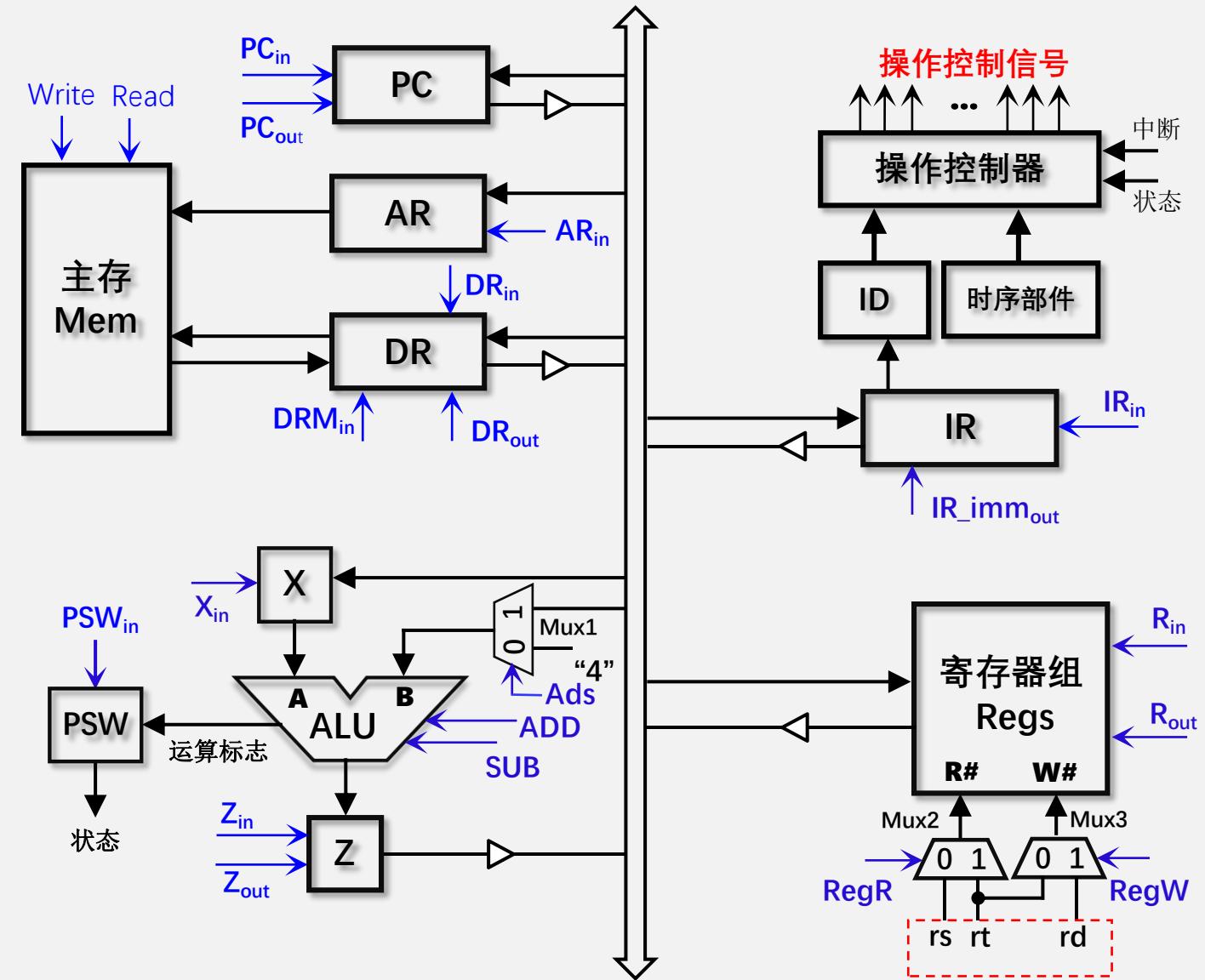
T <sub>1</sub>	RegR=0、R <sub>out</sub> 、X <sub>in</sub>
----------------	--

$rt \rightarrow M_{ux2} \rightarrow Regs \rightarrow M_{ux1} \rightarrow ALU \rightarrow Z$

T <sub>1</sub>	RegR、R <sub>out</sub> 、Ads、ADD、Z <sub>in</sub>
----------------	--

$Z \rightarrow Regs ; rd \rightarrow M_{ux3} \rightarrow Regs$

T <sub>1</sub>	Z <sub>out</sub> 、RegW、R <sub>in</sub>
----------------	--



## 9.4 指令周期流程图

### 2. ADD指令执行数据通路

#### 1) Add rd,rs,rt 的功能

$$(R_{[rs]}) + (R_{[rt]}) \rightarrow R_{[rd]}$$

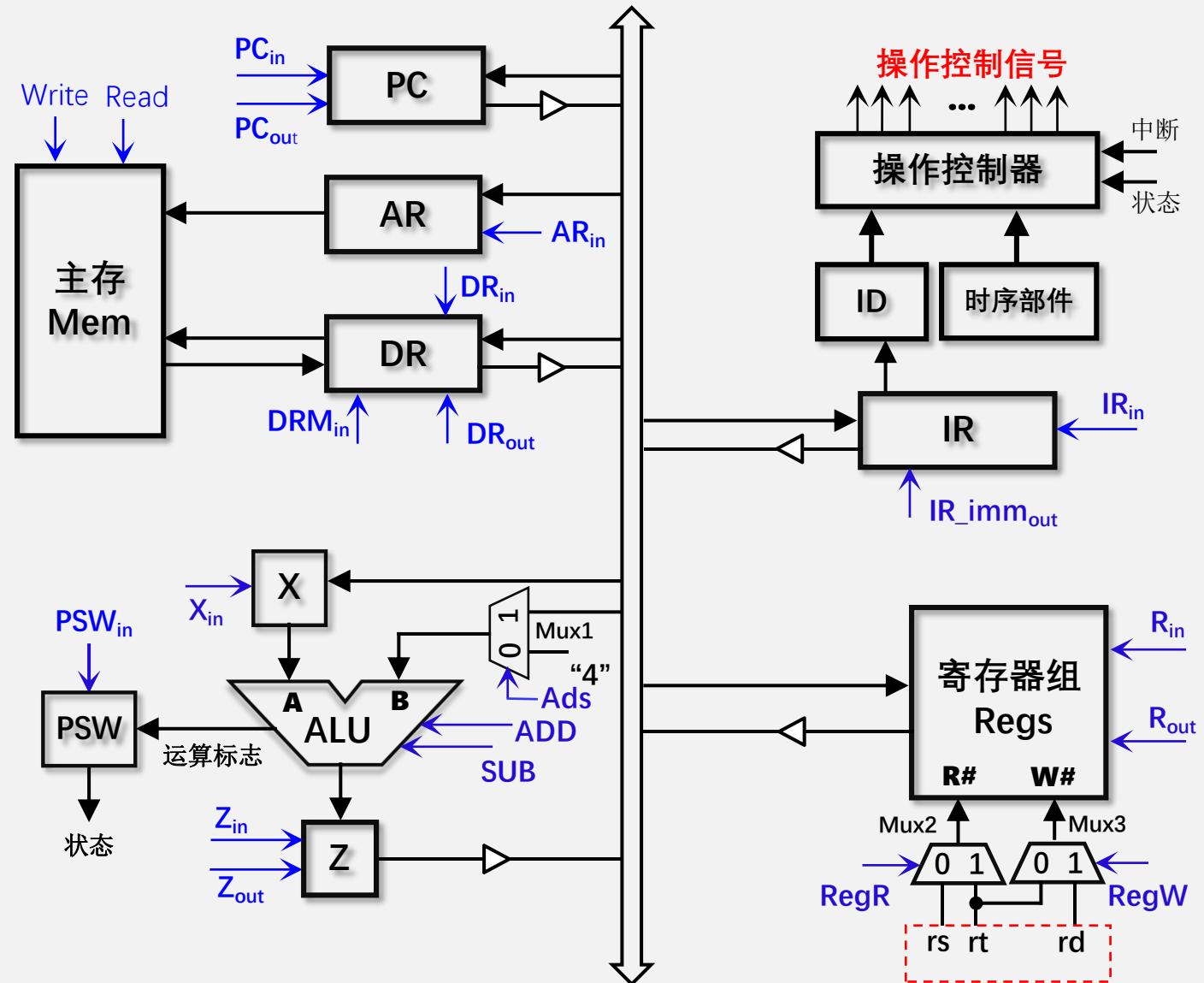
#### 2) 执行阶段数据通路汇总

rs  $\rightarrow M_{ux2} \rightarrow \text{Regs} \rightarrow X$

rt  $\rightarrow M_{ux2} \rightarrow \text{Regs} \rightarrow M_{ux1} \rightarrow \text{ALU} \rightarrow Z$

Z  $\rightarrow \text{Regs} ; rd \rightarrow M_{ux3} \rightarrow \text{Regs}$

T <sub>1</sub>	RegR=0、R <sub>out</sub> 、X <sub>in</sub>
T <sub>2</sub>	RegR、R <sub>out</sub> 、Ads、ADD、Z <sub>in</sub>
T <sub>3</sub>	Z <sub>out</sub> 、RegW、R <sub>in</sub>



## 9.4 指令周期流程图

### 2. Addi 指令执行数据通路

#### 1) Addi rt,rs,imm 指令的功能

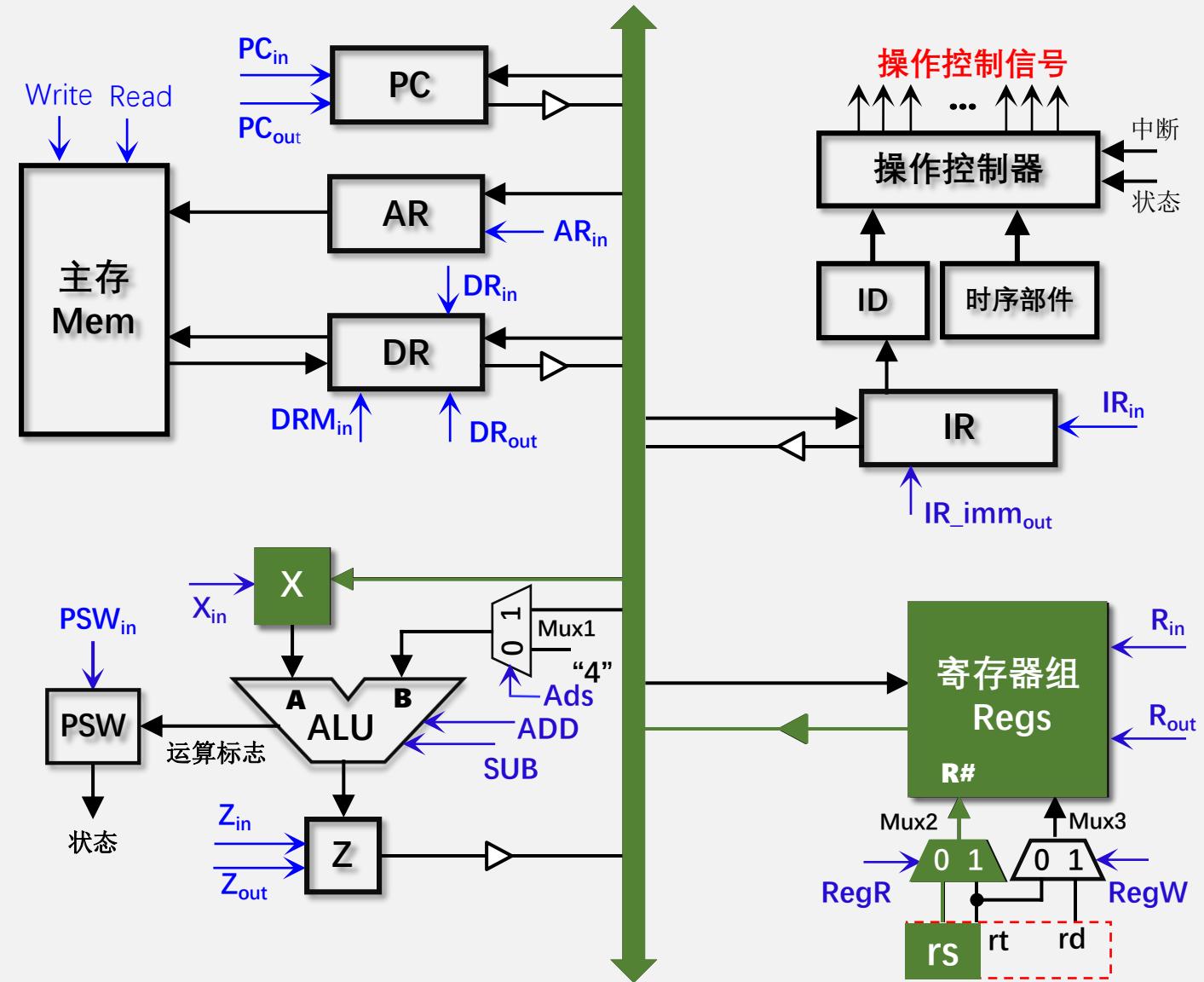
$$(R_{[rs]}) + S\_Ext_{32}(imm) \rightarrow R[rt]$$

#### 2) 执行阶段的数据通路

##### (1) 数据通路1

$$rs \rightarrow M_{ux2} \rightarrow Regs \rightarrow X$$

T <sub>1</sub>	RegR=0、R <sub>out</sub> 、X <sub>in</sub>
----------------	--



## 9.4 指令周期流程图

### 2. Addi 指令执行数据通路

#### 1) Addi rt,rs,imm 指令的功能

$$(R_{[rs]} + S\_Ext_{32}(imm)) \rightarrow R[rt]$$

#### 2) 执行阶段的数据通路

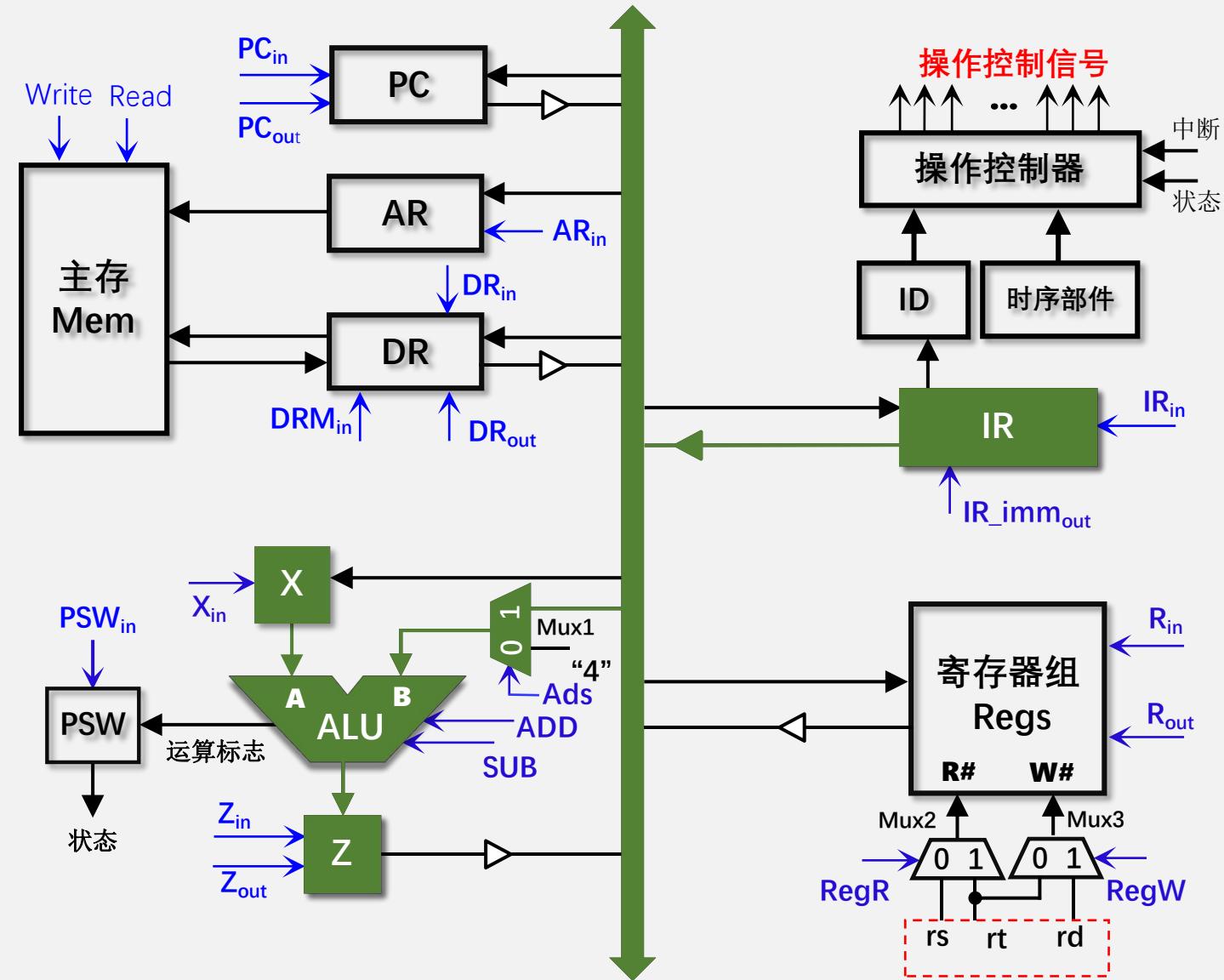
##### (2) 数据通路2

$$IR_{[imm]} \rightarrow Mux1 \rightarrow ALU \rightarrow Z$$

该数据通路能满足  
指令功能要求吗？

为什么？

如何完善？



## 9.4 指令周期流程图

### 2. Addi 指令执行数据通路

#### 1) Addi rt,rs,imm 指令的功能

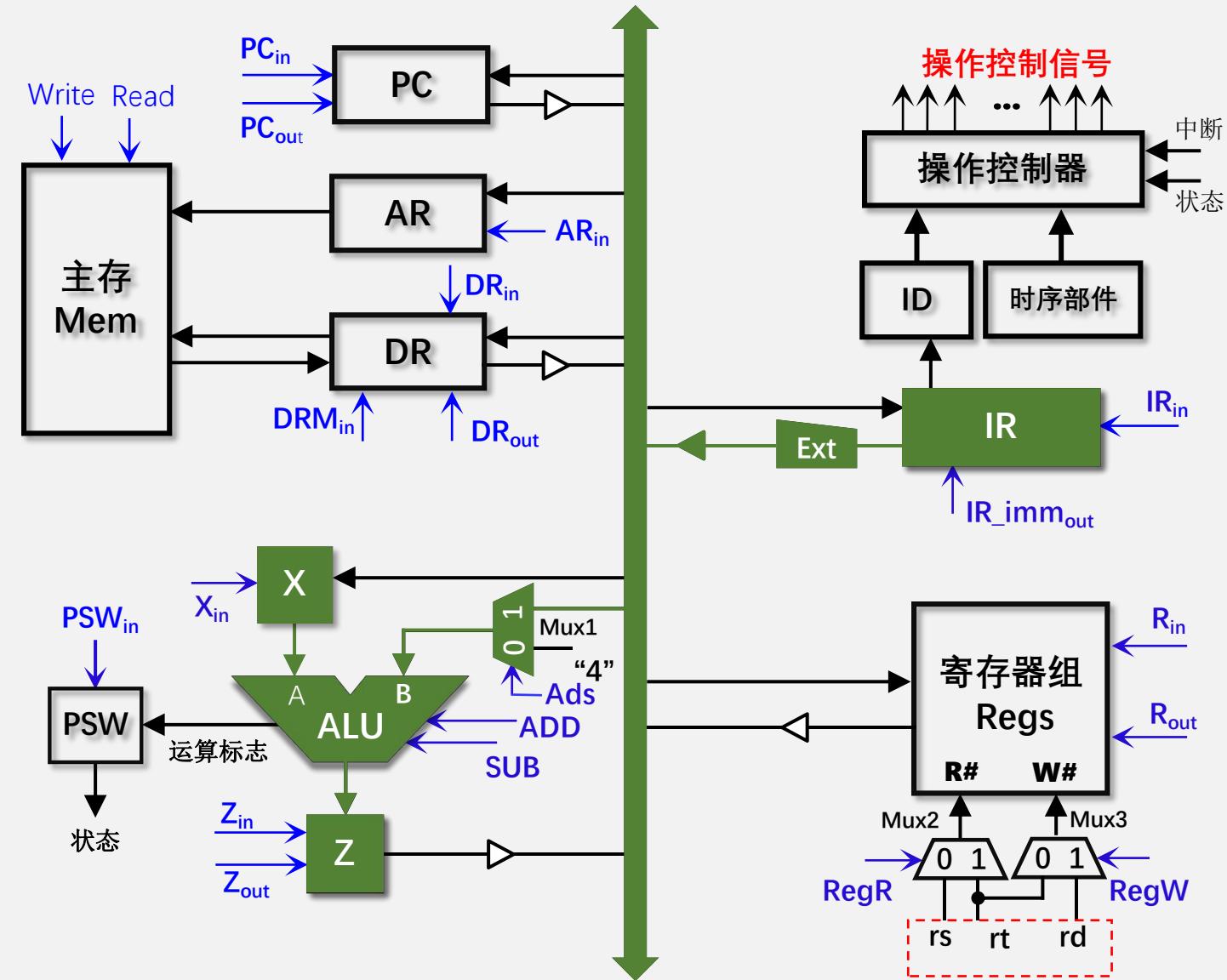
$$(R_{[rs]} + S\_Ext_{32}(imm)) \rightarrow R[rt]$$

#### 2) 执行阶段的数据通路

##### (2) 数据通路2

[IR<sub>[imm]</sub> → Ext → Mux1 → ALU → Z]

T<sub>1</sub> | IR<sub>imm</sub><sub>out</sub>、Ads、ADD、Z<sub>in</sub>



## 9.4 指令周期流程图

### 2. Addi 指令执行数据通路

#### 1) Addi rt,rs,imm 指令的功能

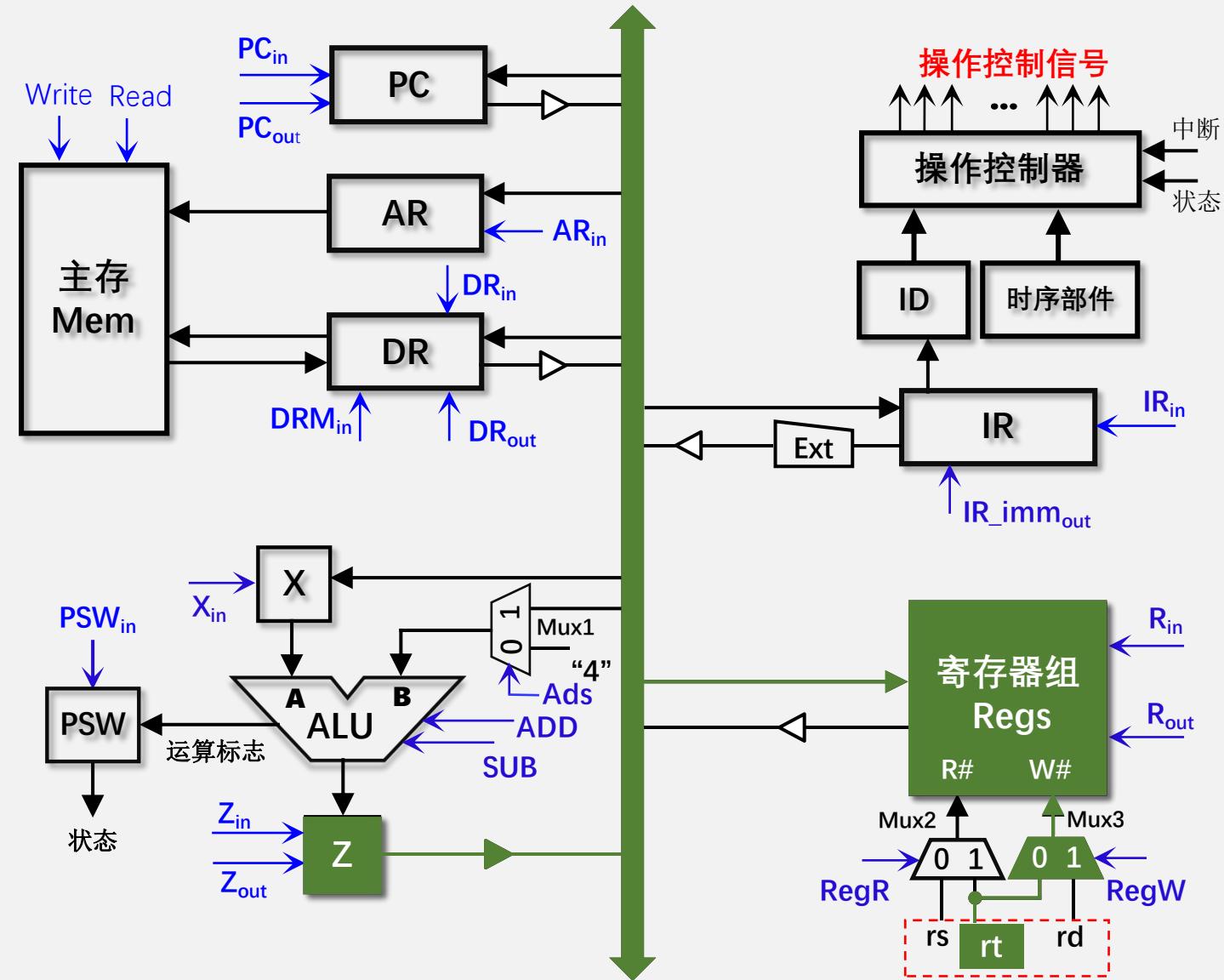
$$(R_{[rs]} + S\_Ext_{32}(imm)) \rightarrow R[rt]$$

#### 2) 执行阶段的数据通路

##### (3) 数据通路3

$Z \rightarrow \text{Regs} / rt \rightarrow M_{ux3} \rightarrow \text{Regs}$

$T_1$  |  $Z_{out}$ 、 $\text{RegW}=0$ 、 $R_{in}$



## 9.4 指令周期流程图

### 2. Addi 指令执行数据通路

#### 1) Addi rt,rs,imm 指令的功能

$$(R_{[rs]}) + S\_Ext_{32}(imm) \rightarrow R[rt]$$

#### 2) 执行阶段的数据通路汇总

rs → M<sub>ux2</sub> → Regs → X

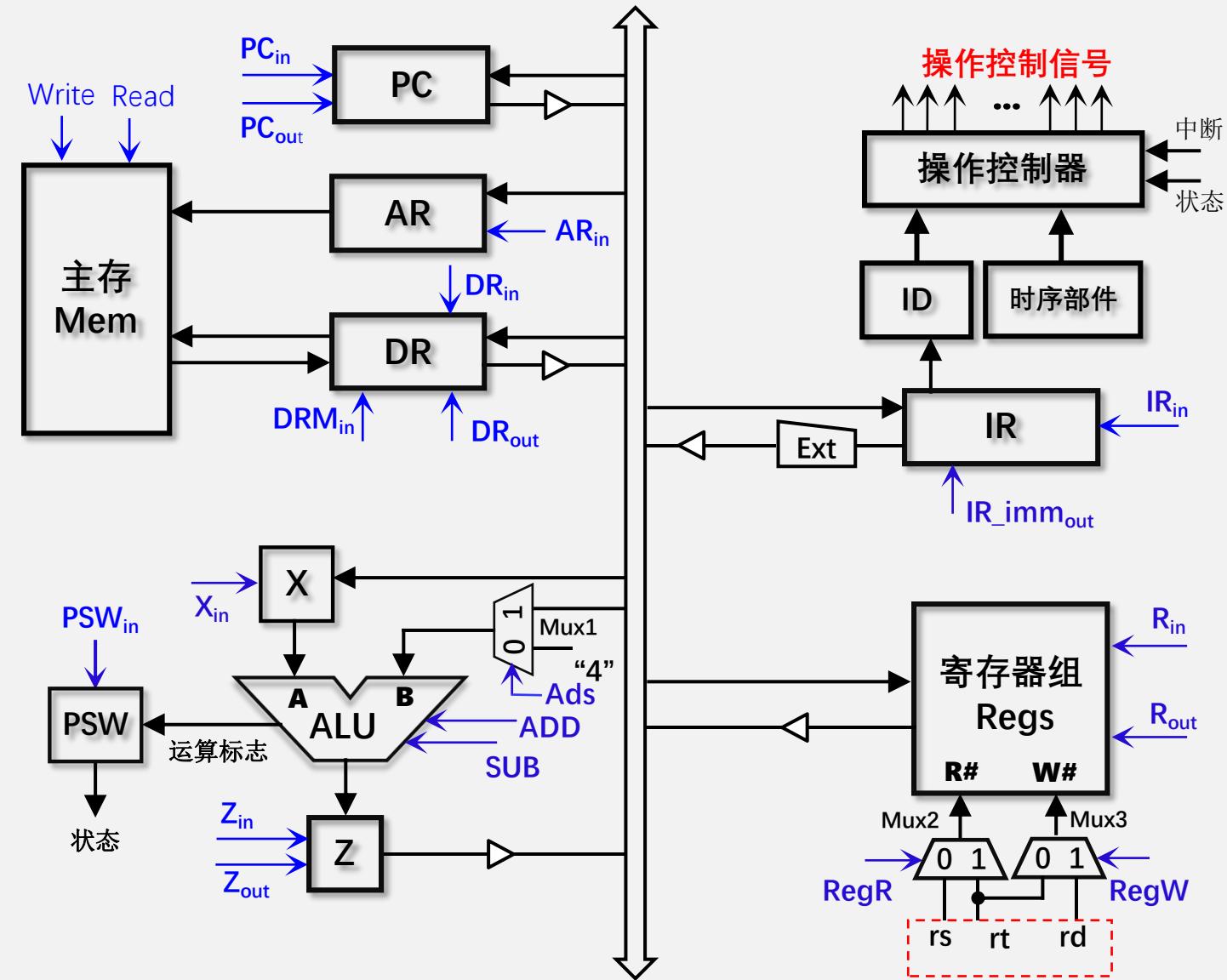
T <sub>1</sub>	RegR=0、R <sub>out</sub> 、X <sub>in</sub>
----------------	--

IR<sub>[imm]</sub> → Ext → Mux1 → ALU → Z

T <sub>1</sub>	IR <sub>imm_out</sub> 、Ads、ADD、Z <sub>in</sub>
----------------	--

Z → Regs ; rt → M<sub>ux3</sub> → Regs

T <sub>1</sub>	Z <sub>out</sub> 、RegW=0、R <sub>in</sub>
----------------	--



## 9.4 指令周期流程图

### 2. Addi 指令执行数据通路

#### 1) Addi rt,rs,imm 指令的功能

$$(R_{[rs]}) + S\_Ext_{32}(imm) \rightarrow R[rt]$$

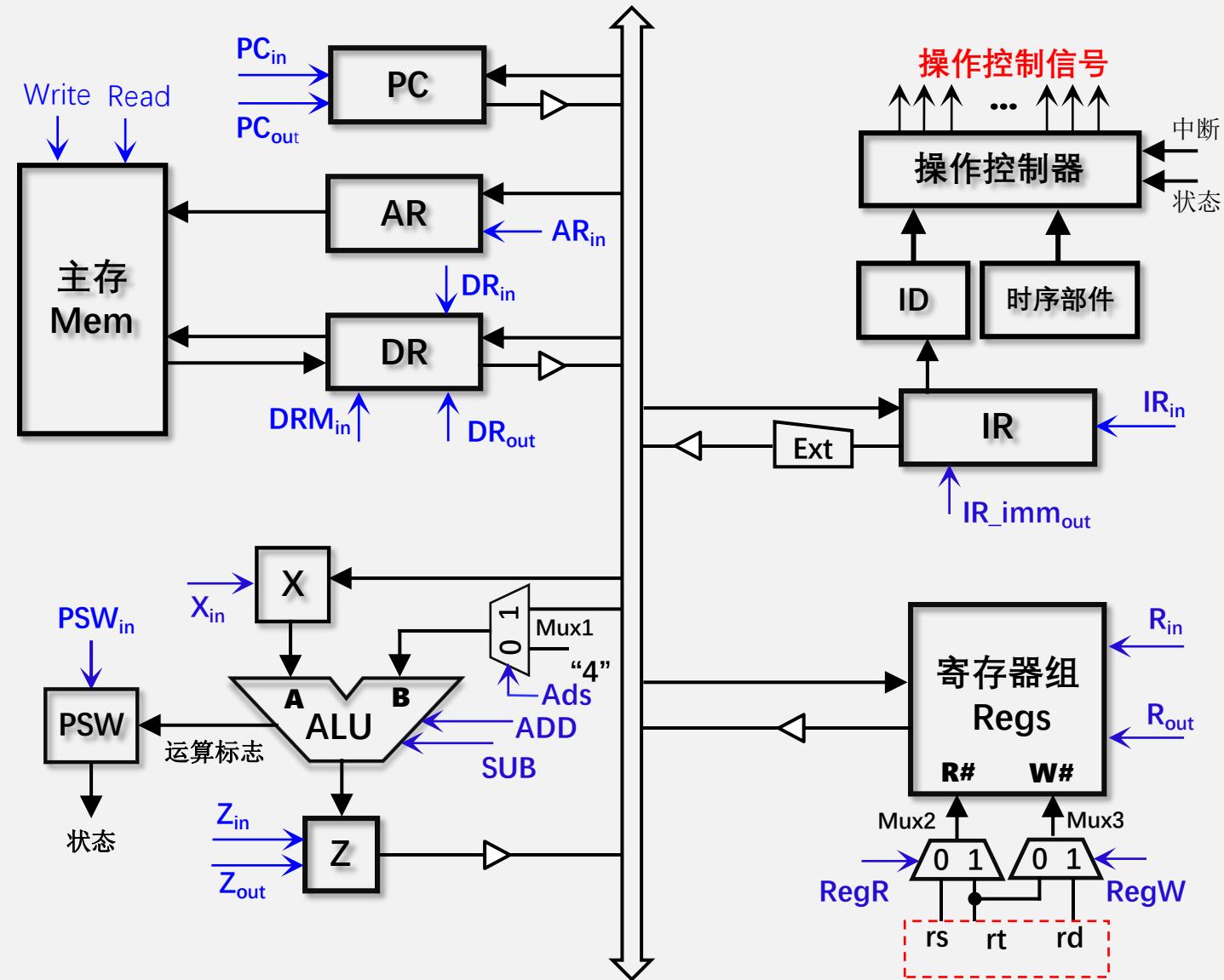
#### 2) 执行阶段的数据通路

T<sub>1</sub> RegR=0、R<sub>out</sub>、X<sub>in</sub>

T<sub>2</sub> IR\_imm<sub>out</sub>、Ads、ADD、Z<sub>in</sub>

T<sub>3</sub> Z<sub>out</sub>、RegW=0、R<sub>in</sub>

- ◆ 设计CPU时，指令功能  $\leftrightarrow$  功能部件
- ◆ 编程的平台相关性



## 9.4 指令周期流程图

### 3. LW 指令执行数据通路

#### 1) lw rt, imm(rs)指令的功能

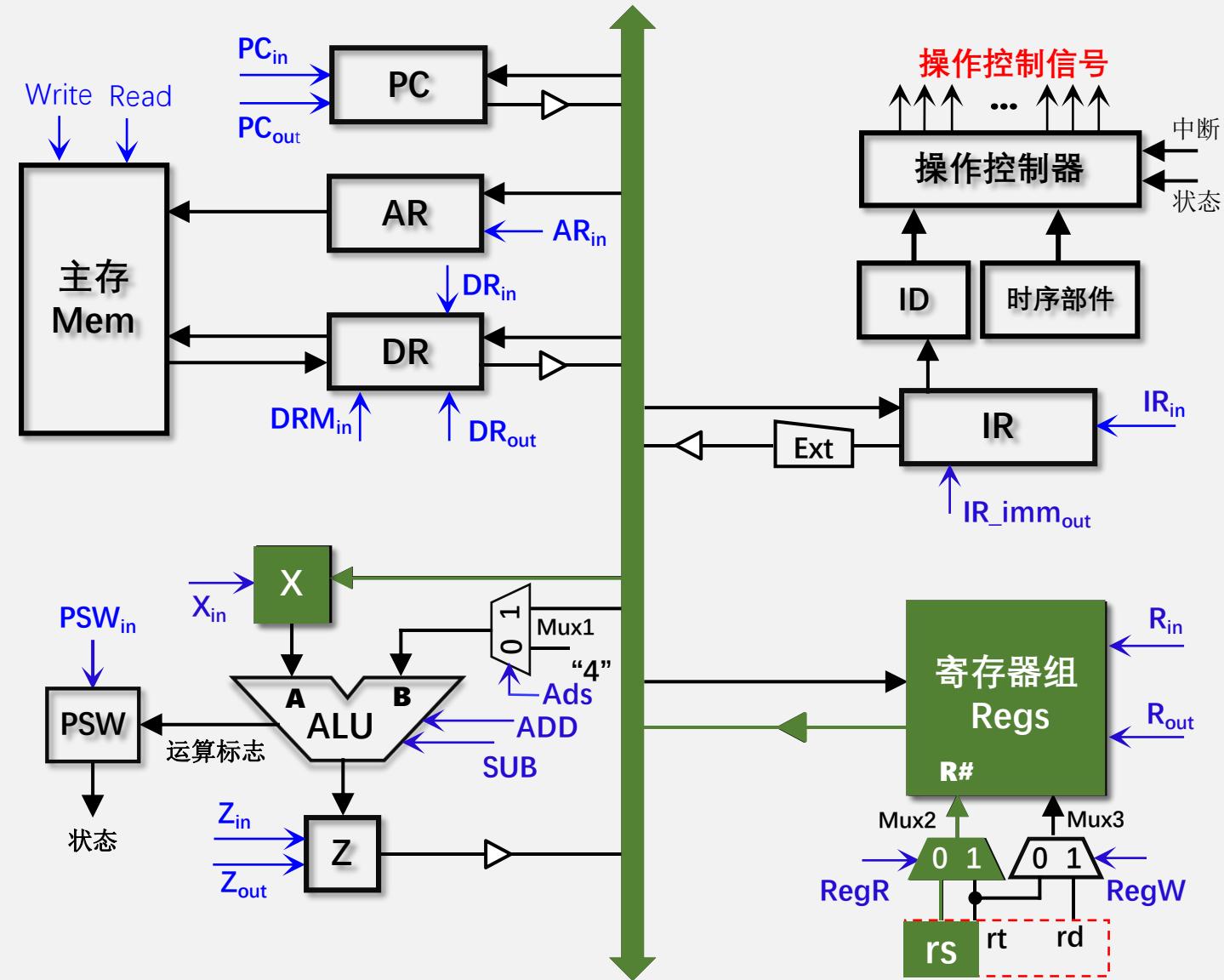
$$(M[(R_{[rs]} + S\_Ext_{32}(imm))] \rightarrow R[rt])$$

#### 2) 执行阶段的数据通路

##### (1) 数据通路1

$$rs \rightarrow M_{ux2} \rightarrow Regs \rightarrow X$$

T <sub>1</sub>	RegR=0、R <sub>out</sub> 、X <sub>in</sub>
----------------	--



## 9.4 指令周期流程图

### 3. LW 指令执行数据通路

#### 1) lw rt, imm(rs)指令的功能

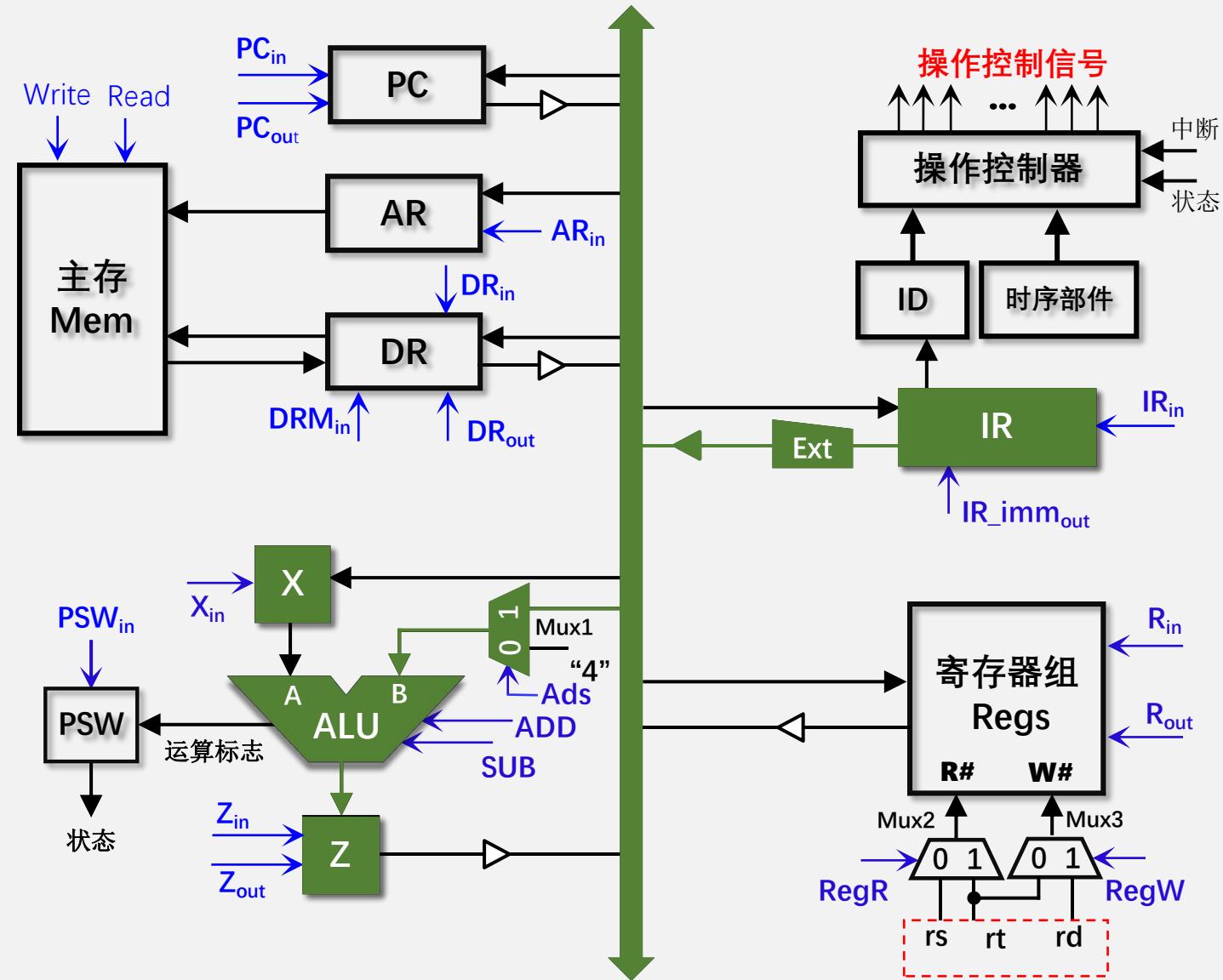
$$(M[(R_{[rs]} + S\_Ext_{32}(imm))] \rightarrow R[rt])$$

#### 2) 执行阶段的数据通路

##### (2) 数据通路2

[IR<sub>[imm]</sub> → Ext → M<sub>ux1</sub> → ALU → Z → AR]

T<sub>1</sub> | IR<sub>imm\_out</sub>、Ads、ADD、Z<sub>in</sub>



## 9.4 指令周期流程图

### 3. LW 指令执行数据通路

### 1) lw rt, imm(rs) 指令的功能

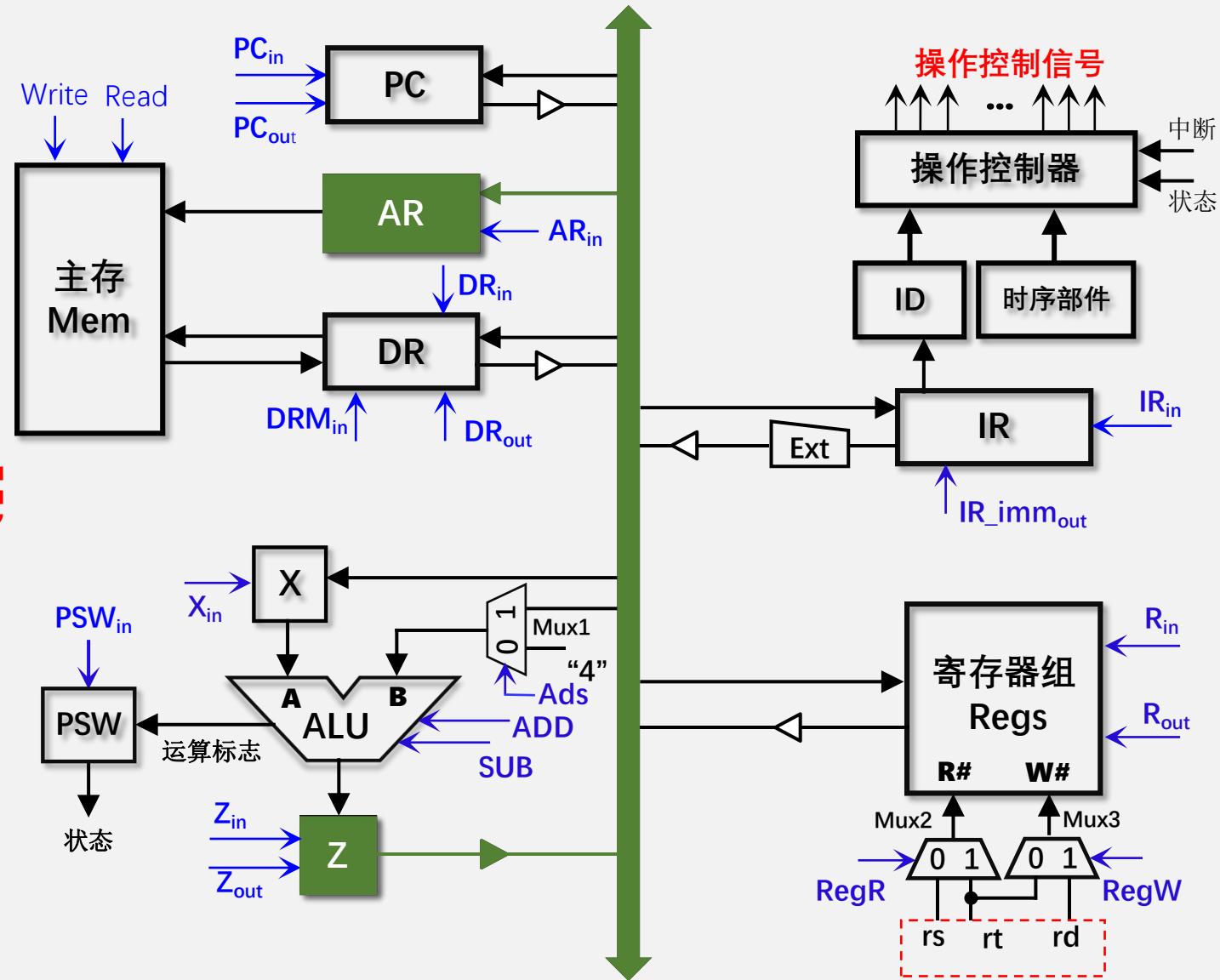
$(M[(R_{[rs]}) + S\_Ext_{32}(imm)]) \rightarrow R[rt]$

## 2) 执行阶段的数据通路

## (2)数据通路2

The diagram shows a horizontal flow of data from left to right. It starts with a red dashed box containing the text "IR<sub>[imm]</sub>". An arrow points from this box to the word "Ext". Another arrow points from "Ext" to the label "M<sub>ux1</sub>". A third arrow points from "M<sub>ux1</sub>" to the label "ALU". A fourth arrow points from "ALU" to the letter "Z". A fifth arrow points from "Z" to the label "AR". The entire sequence from "IR<sub>[imm]</sub>" to "AR" is enclosed within a red dashed rectangular border.

$T_1$	$IR_{immout}$ 、 Ads、 ADD 、 $Z_{in}$
$T_2$	$Z_{out}$ 、 AR <sub>in</sub>



## 9.4 指令周期流程图

### 3. LW 指令执行数据通路

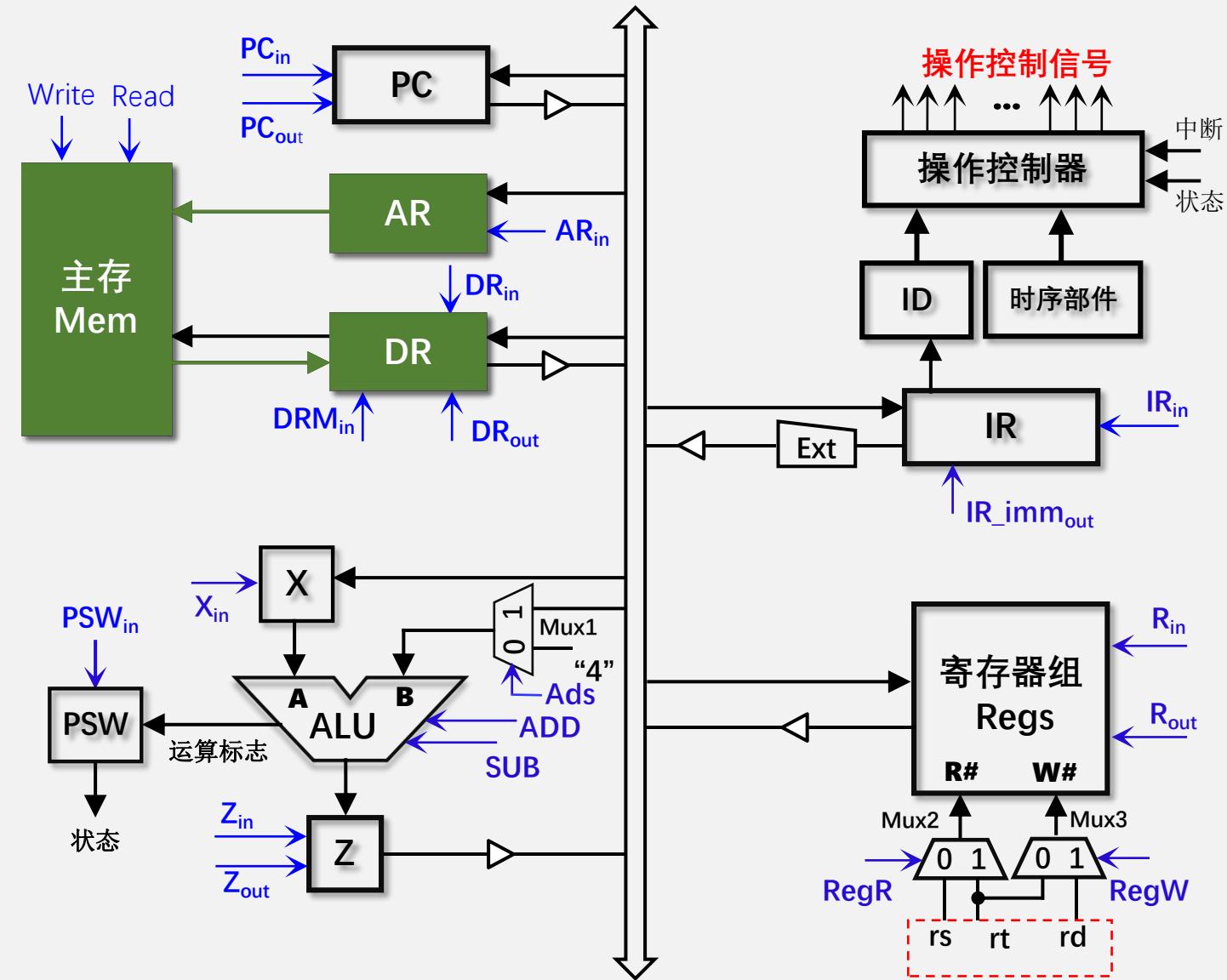
#### 1) lw rt, imm(rs)指令的功能

$$(M[(R_{[rs]} + S\_Ext_{32}(imm))] \rightarrow R[rt])$$

#### 2) 执行阶段的数据通路

##### (3) 数据通路3

$$AR \rightarrow Mem \rightarrow DR$$



## 9.4 指令周期流程图

### 3. LW 指令执行数据通路

#### 1) lw rt, imm(rs)指令的功能

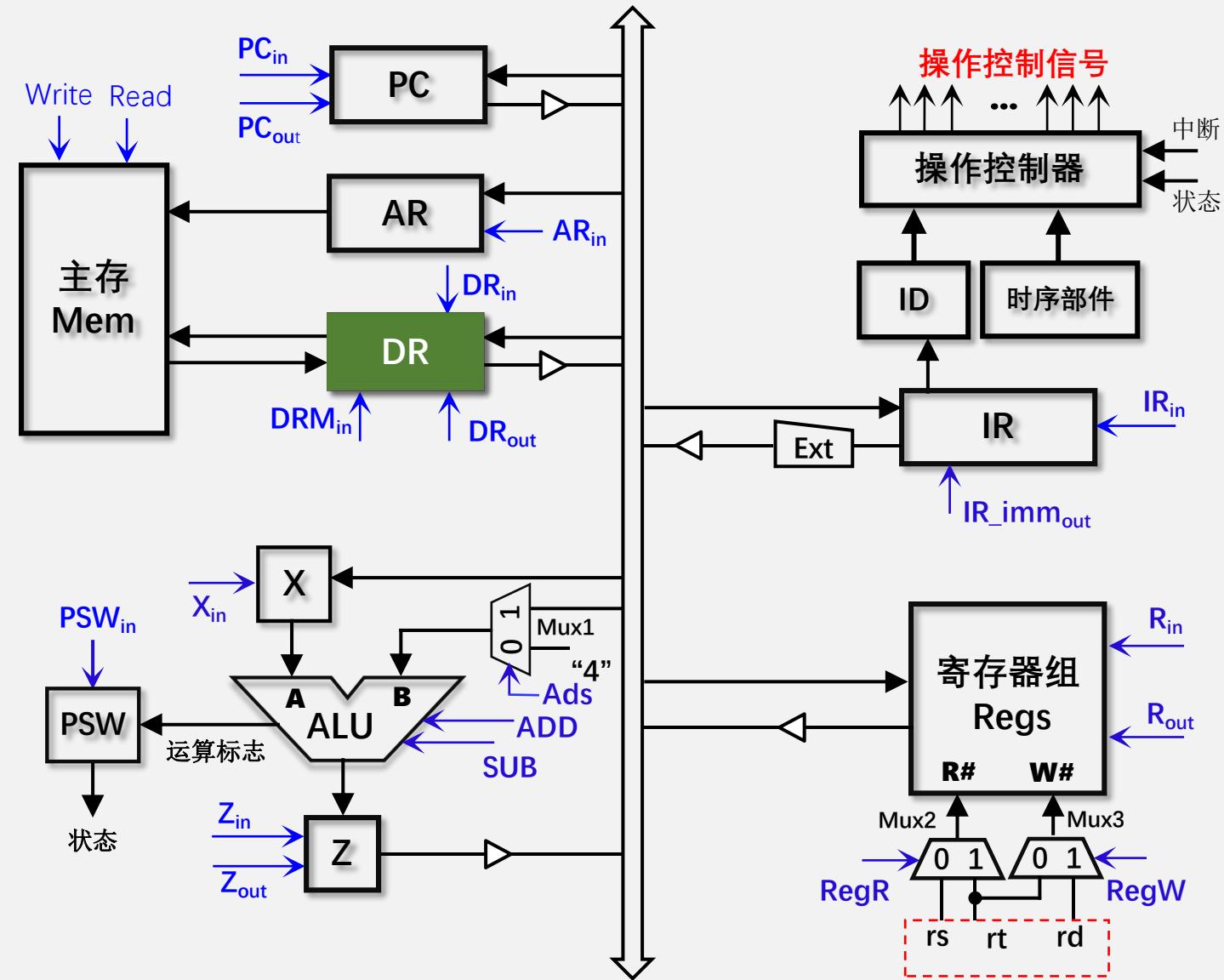
$$(M[(R_{[rs]} + S\_Ext_{32}(imm))] \rightarrow R[rt])$$

#### 2) 执行阶段的数据通路

##### (3) 数据通路3

$$AR \rightarrow Mem \rightarrow DR$$

T<sub>1</sub> | Read、DRM<sub>in</sub>



## 9.4 指令周期流程图

### 3. LW 指令执行数据通路

#### 1) lw rt, imm(rs)指令的功能

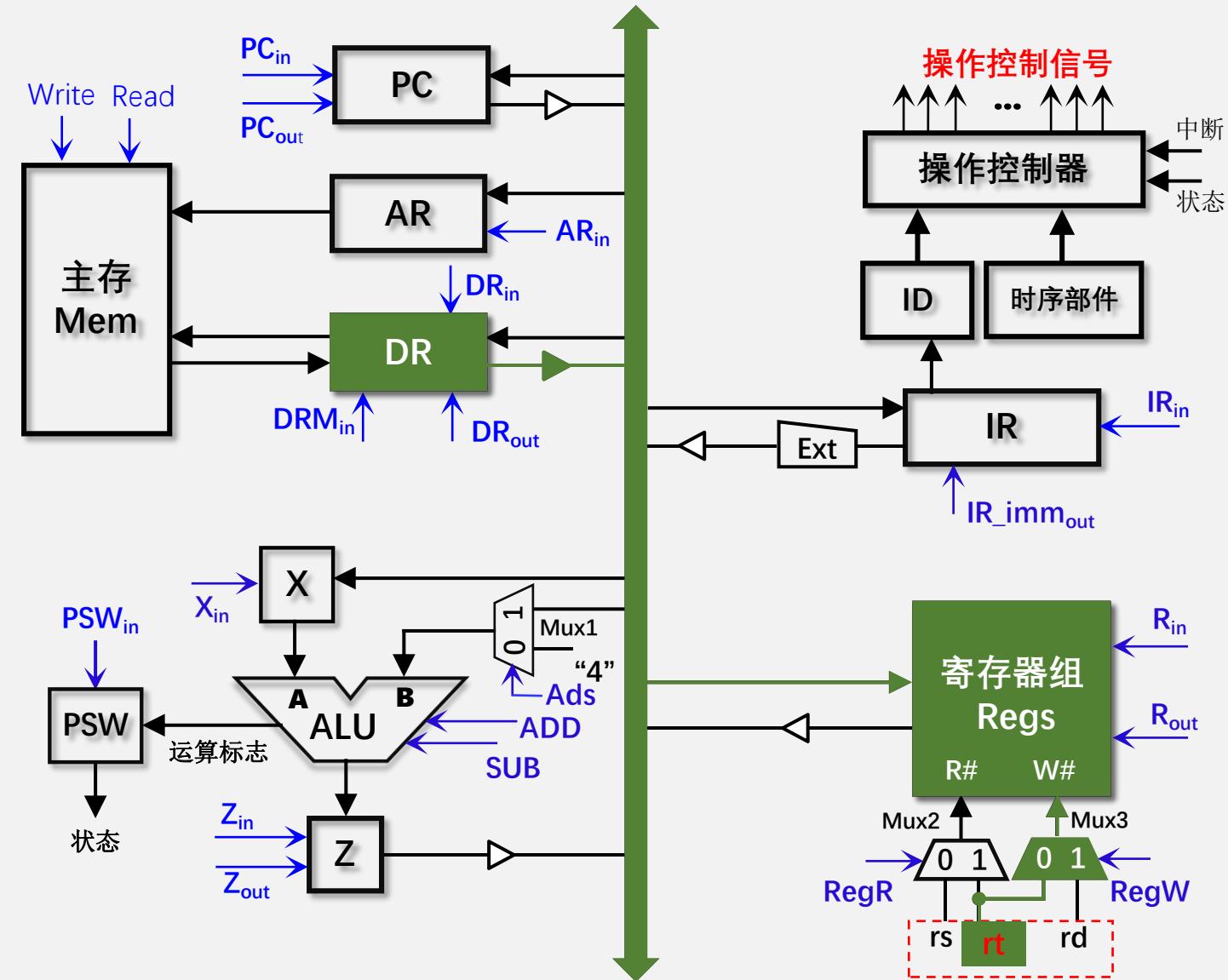
$$(M[(R_{[rs]} + S\_Ext_{32}(imm))] \rightarrow R[rt])$$

#### 2) 执行阶段的数据通路

##### (4) 数据通路4

$$DR \rightarrow Regs / rt \rightarrow M_{ux3} \rightarrow Regs$$

T <sub>1</sub>	DR <sub>out</sub> 、RegW=0、R <sub>in</sub>
----------------	---



## 9.4 指令周期流程图

### 3. LW 指令执行数据通路

#### 1) lw rt, imm(rs)指令的功能

$$(M[(R_{[rs]} + S\_Ext_{32}(imm))] \rightarrow R[rt])$$

#### 2) 执行阶段的数据通路汇总

$rs \rightarrow M_{ux2} \rightarrow Regs \rightarrow X$

T <sub>1</sub>	RegR=0、R <sub>out</sub> 、X <sub>in</sub>
----------------	--

IR<sub>[imm]</sub> → Ext → M<sub>ux1</sub> → ALU → Z → AR

T <sub>1</sub>	IR <sub>imm_out</sub> 、Ads、ADD、Z <sub>in</sub>
----------------	--

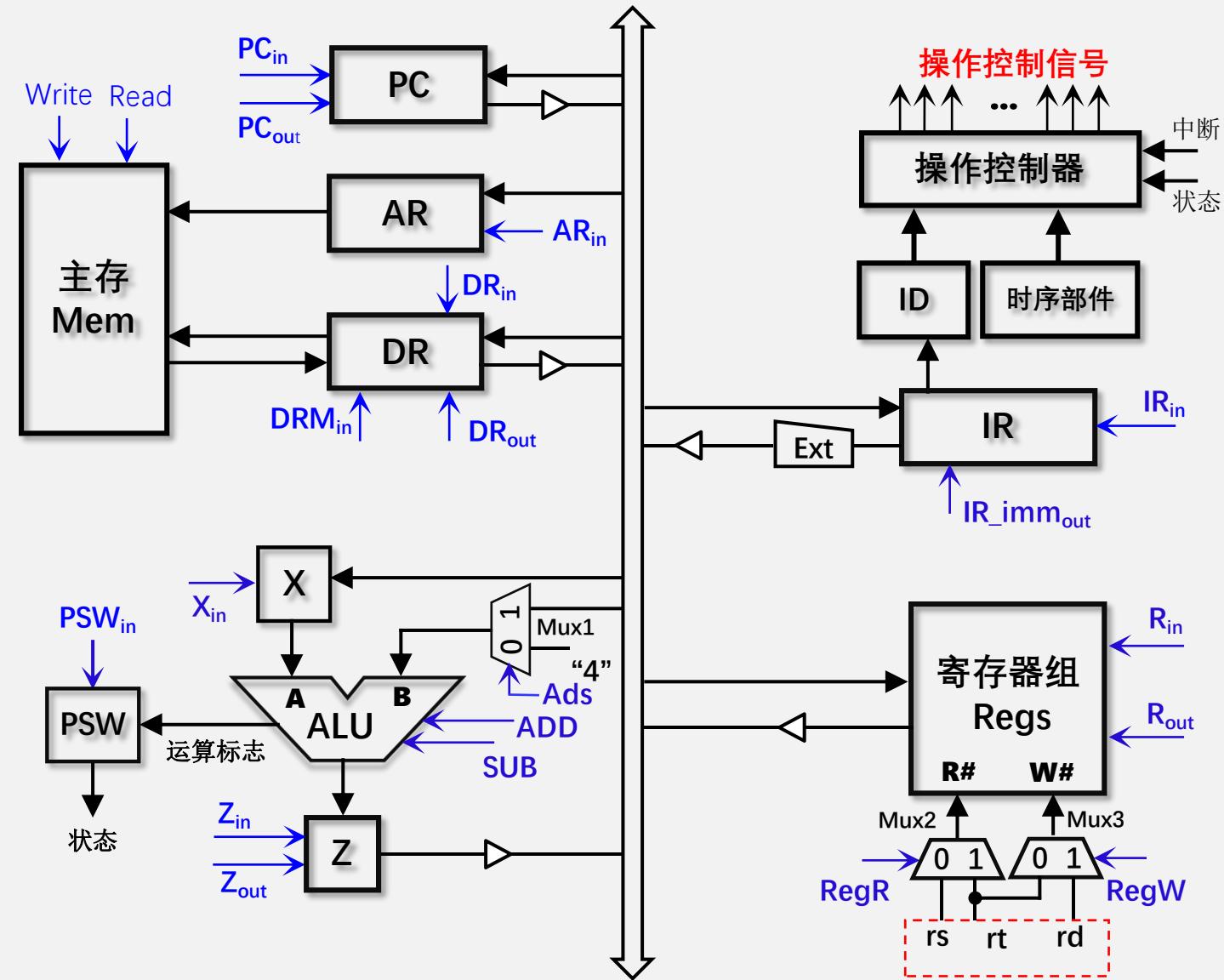
Z<sub>out</sub>、AR<sub>in</sub>

AR → Mem → DR

T <sub>1</sub>	Read、DRM <sub>in</sub>
----------------	------------------------

DR → Regs / rt → M<sub>ux3</sub> → Regs

T <sub>1</sub>	DR <sub>out</sub> 、RegW=0、R <sub>in</sub>
----------------	---



## 9.4 指令周期流程图

### 3. LW 指令执行数据通路

#### 1) lw rt, imm(rs)指令的功能

$$(M[(R_{[rs]} + S\_Ext_{32}(imm))] \rightarrow R[rt])$$

#### 2) 执行阶段的数据通路汇总

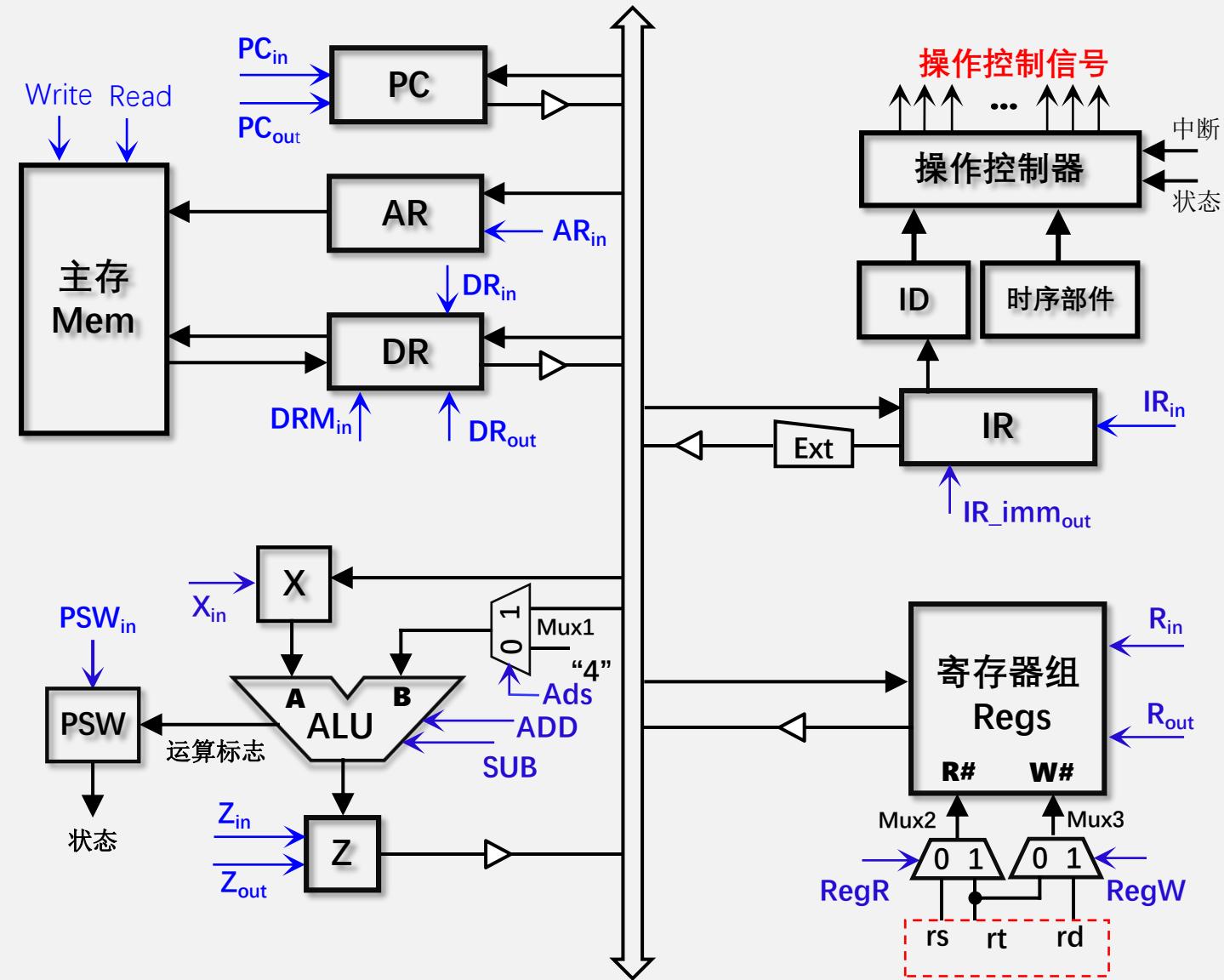
$rs \rightarrow M_{ux2} \rightarrow Regs \rightarrow X$

$IR_{[imm]} \rightarrow Ext \rightarrow M_{ux1} \rightarrow ALU \rightarrow Z \rightarrow AR$

$AR \rightarrow Mem \rightarrow DR$

$DR \rightarrow Regs / rt \rightarrow M_{ux3} \rightarrow Regs$

$T_1$	RegR=0、 $R_{out}$ 、 $X_{in}$
$T_2$	$IR_{imm_{out}}$ 、 $Ads$ 、 $ADD$ 、 $Z_{in}$
$T_3$	$Z_{out}$ 、 $AR_{in}$
$T_4$	Read、 $DRM_{in}$
$T_5$	$DR_{out}$ 、 $RegW=0$ 、 $R_{in}$



## 9.4 指令周期流程图

### 4. SW 指令执行数据通路

#### 1) Sw rt, imm(rs)指令的功能

$$(R_{[rt]}) \rightarrow M[((R_{[rs]})) + S\_Ext_{32}(imm))]$$

#### 2) lw 执行阶段的数据通路

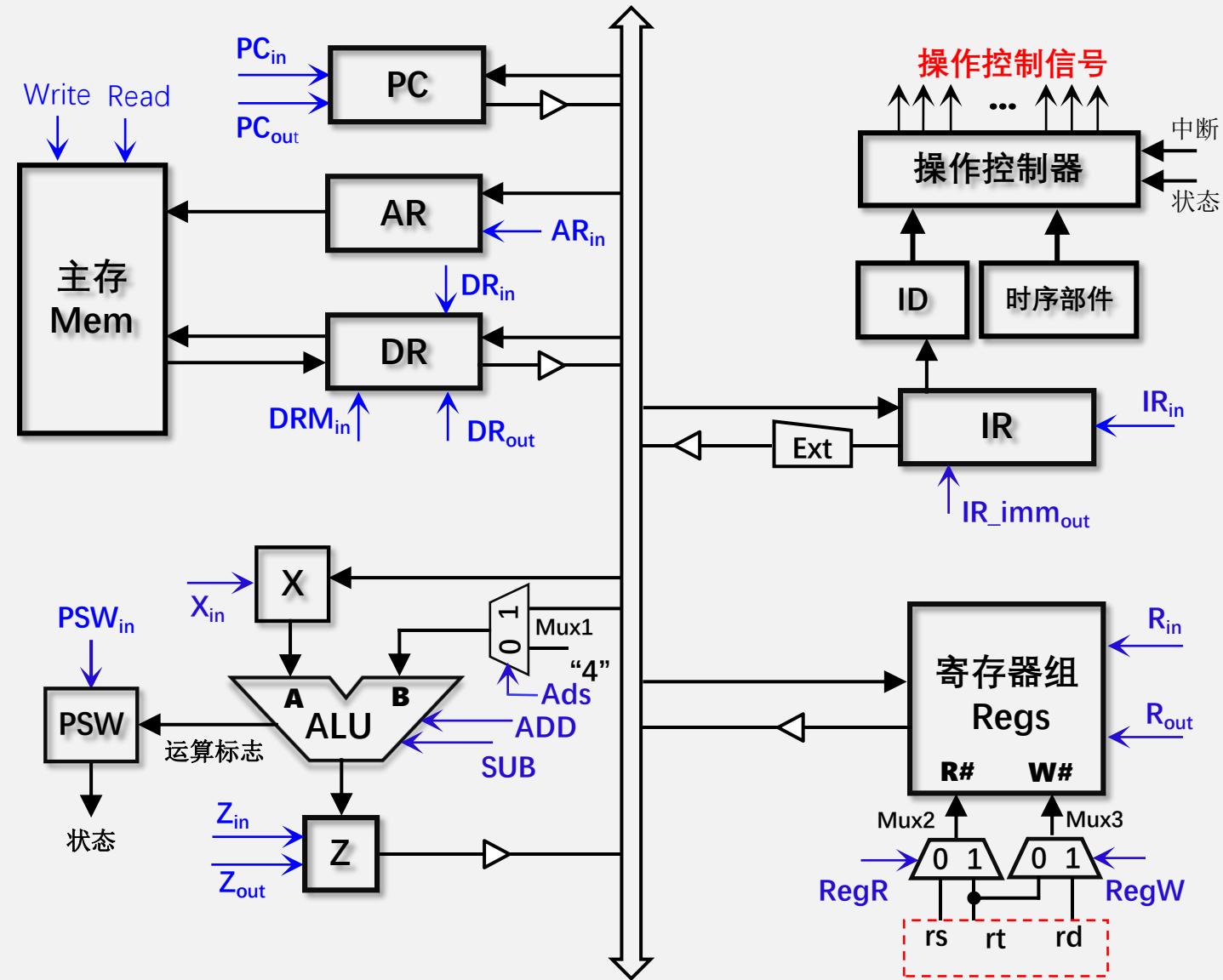
$$rs \rightarrow M_{ux2} \rightarrow Regs \rightarrow X$$

$$IR_{[imm]} \rightarrow Ext \rightarrow M_{ux1} \rightarrow ALU \rightarrow Z \rightarrow AR$$

$$AR \rightarrow Mem \rightarrow DR$$

$$DR \rightarrow Regs / rt \rightarrow M_{ux3} \rightarrow Regs$$

$T_1$	RegR=0、 $R_{out}$ 、 $X_{in}$
$T_2$	$IR\_imm_{out}$ 、 $Ads$ 、 $ADD$ 、 $Z_{in}$
$T_3$	$Z_{out}$ 、 $AR_{in}$
$T_4$	Read、 $DRM_{in}$
$T_5$	$DR_{out}$ 、 $RegW=0$ 、 $R_{in}$



## 9.4 指令周期流程图

### 4. SW 指令执行数据通路

#### 1) Sw rt, imm(rs)指令的功能

$$(R_{[rt]}) \rightarrow M[((R_{[rs]}) + S\_Ext_{32}(imm))]$$

#### 2) 执行阶段的数据通路

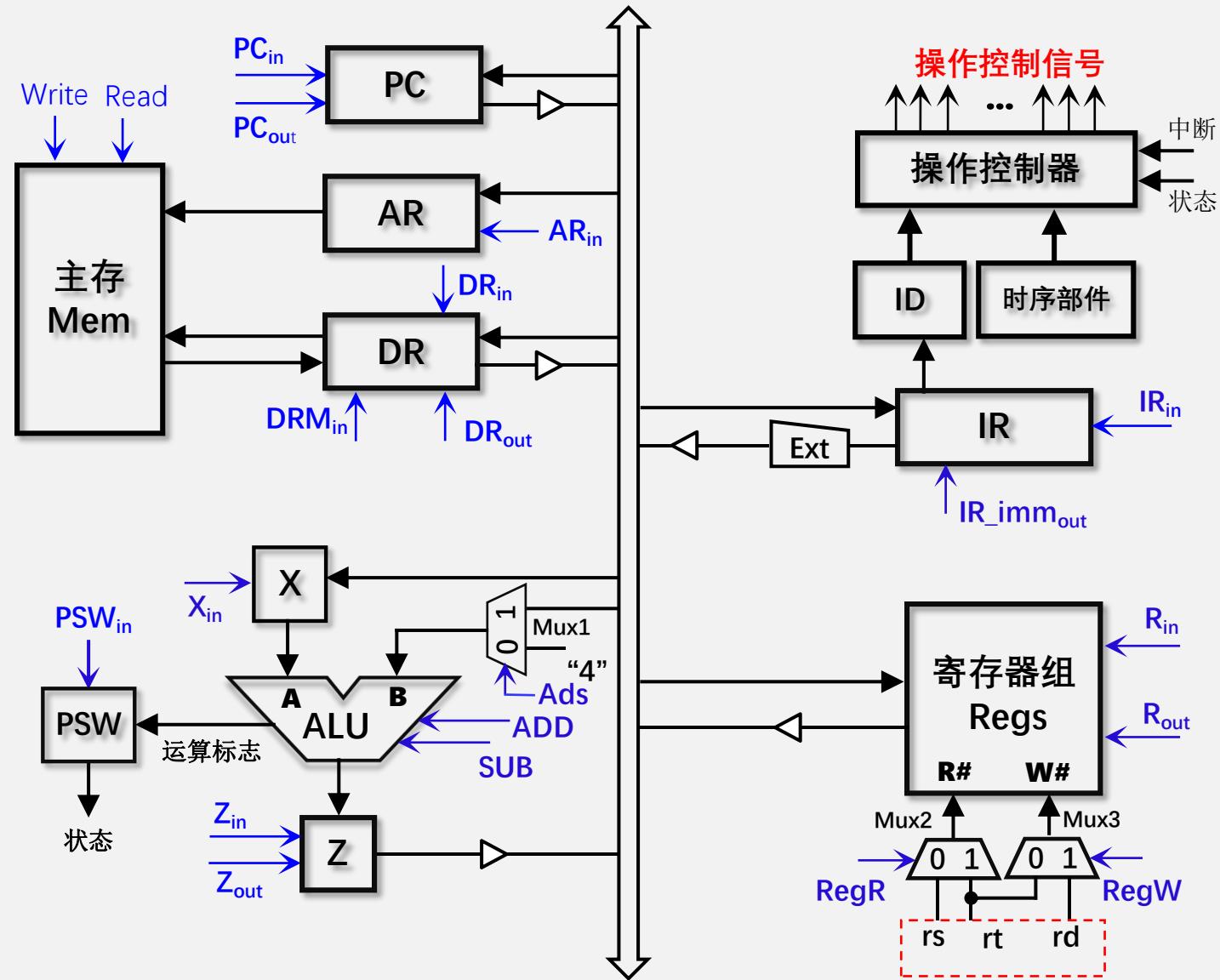
$$rs \rightarrow M_{ux2} \rightarrow Regs \rightarrow X$$

$$IR_{[imm]} \rightarrow Ext \rightarrow M_{ux1} \rightarrow ALU \rightarrow Z \rightarrow AR$$

$$rt \rightarrow M_{ux2} \rightarrow Regs / Regs \rightarrow DR$$

$$DR \rightarrow M[AR]$$

$T_1$	RegR=0、 $R_{out}$ 、 $X_{in}$
$T_2$	$IR\_imm_{out}$ 、Ads、ADD、 $Z_{in}$
$T_3$	$Z_{out}$ 、 $AR_{in}$
$T_4$	RegR、 $R_{out}$ 、 $DR_{in}$
$T_5$	Write



## 9.4 指令周期流程图

## 5. Beq 指令执行数据通路

## 1) beq rs,rt,imm指令的功能

当( $R_{[rs]}$ )=( $R_{[rt]}$ )

$\text{PC} \leftarrow \text{PC} + 4 + \text{imm} \ll 2$



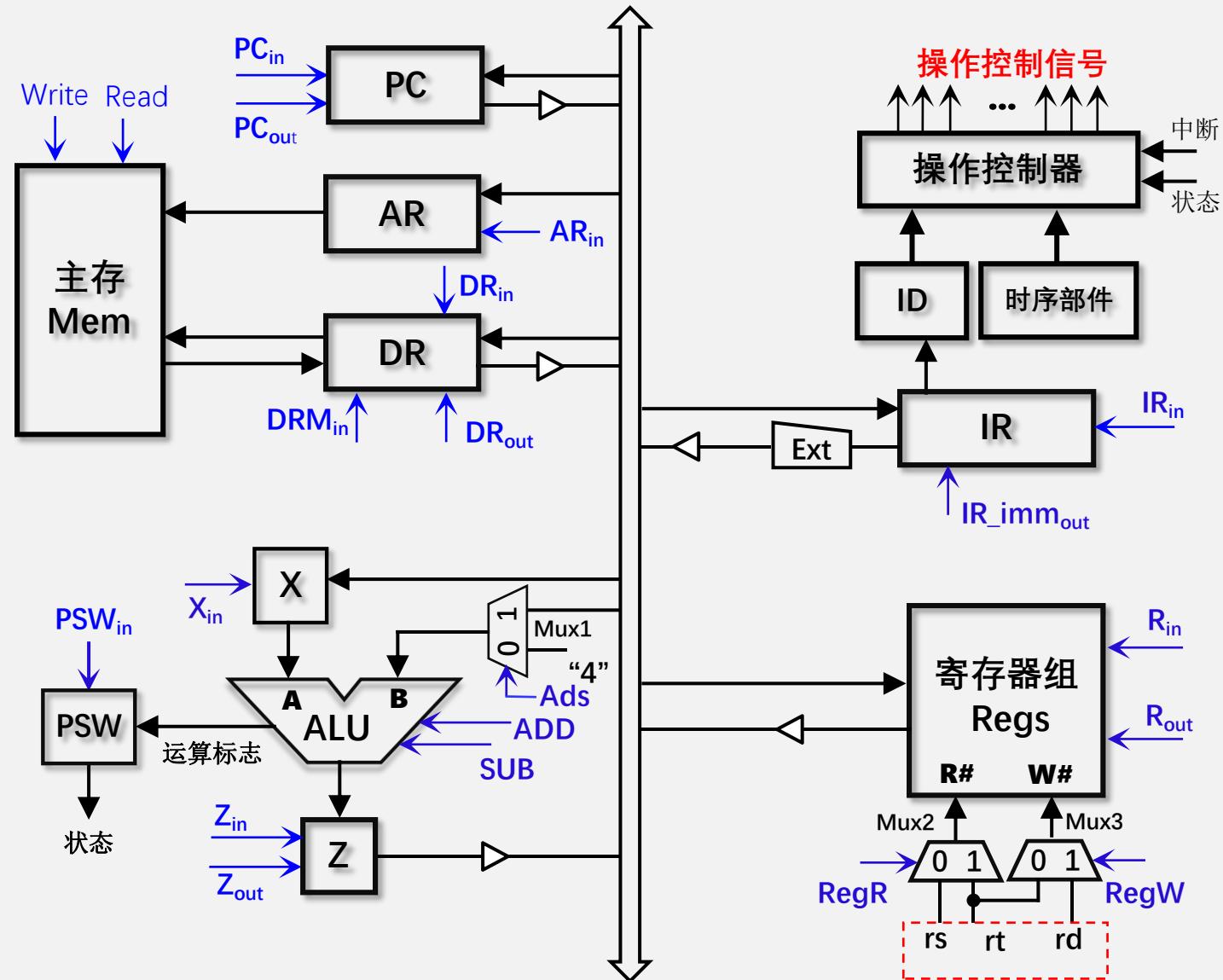
## PC+4 如何理解？

指令执行阶段PC内容即为"PC + 4 "



如何判斷( $R_{[rs]}$ )=( $R_{[rt]}$ )?

## 利用ALU的减法功能实现



## 9.4 指令周期流程图

### 5. Beq 指令执行数据通路

#### 1) beq rs,rt,imm指令的功能

当( $R_{[rs]} = R_{[rt]}$ )

$$PC \leftarrow PC + 4 + \text{sign\_extend}(\text{offset} \parallel 0^2)$$

#### 2) 执行阶段的数据通路

##### (1) 数据通路1

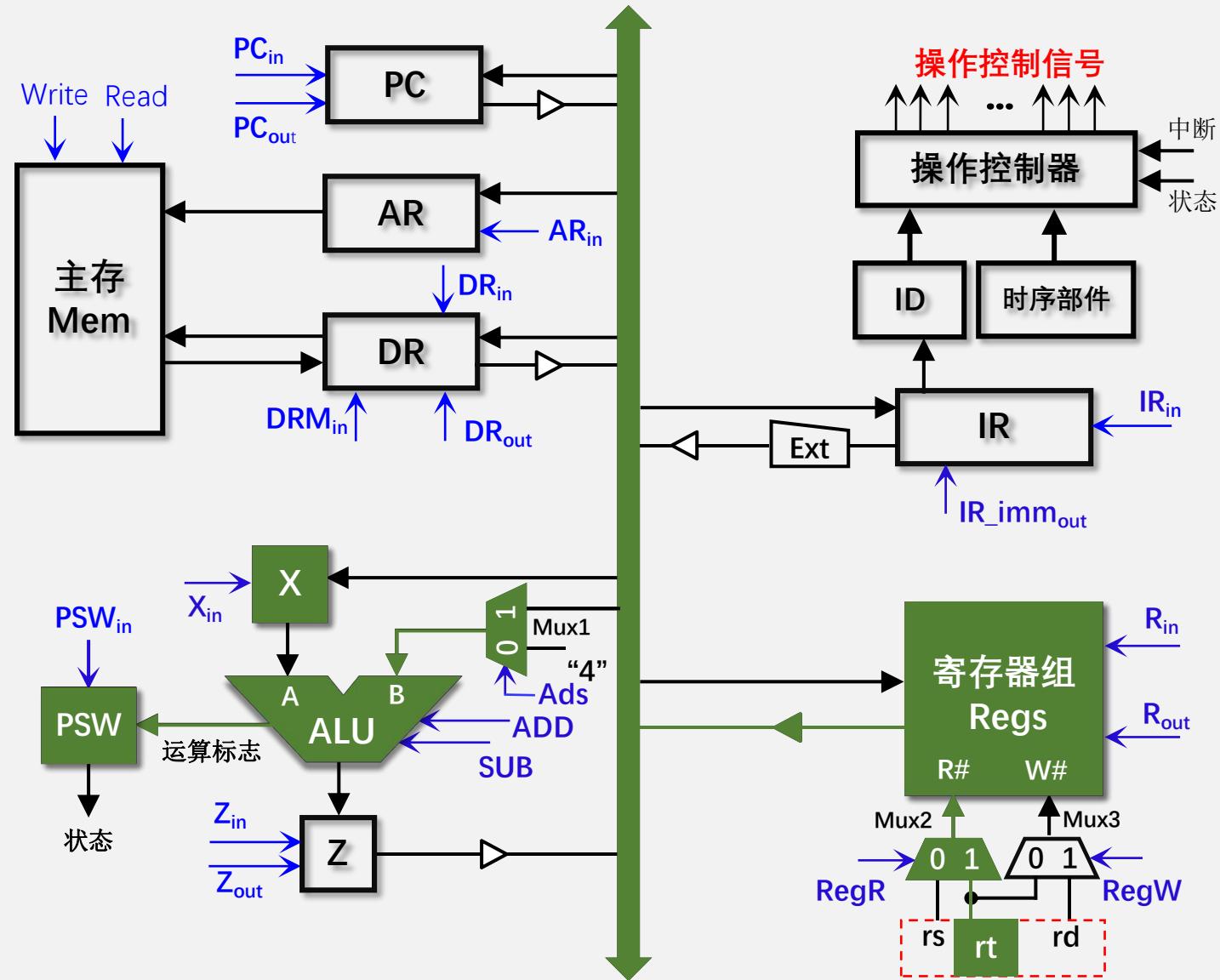
$$rs \rightarrow M_{UX2} \rightarrow \text{Regs} \rightarrow X$$

T <sub>1</sub>	RegR=0、R <sub>out</sub> 、X <sub>in</sub>
----------------	--

##### (2) 数据通路2

$$rt \rightarrow M_{UX2} \rightarrow \text{Regs} \rightarrow M_{UX1} \rightarrow \text{ALU} \rightarrow \text{PSW}$$

T <sub>1</sub>	RegR , R <sub>out</sub> , Ads , SUB , PSW <sub>in</sub>
----------------	---



## 9.4 指令周期流程图

### 5. Beq 指令执行数据通路

#### 1) beq rs,rt,imm指令的功能

当( $R_{[rs]} = R_{[rt]}$ )

$$PC \leftarrow PC + 4 + \text{sign\_extend}(\text{offset} \parallel 0^2)$$

#### 2) 执行阶段的数据通路

##### (3) 数据通路3

PC  $\rightarrow$  X

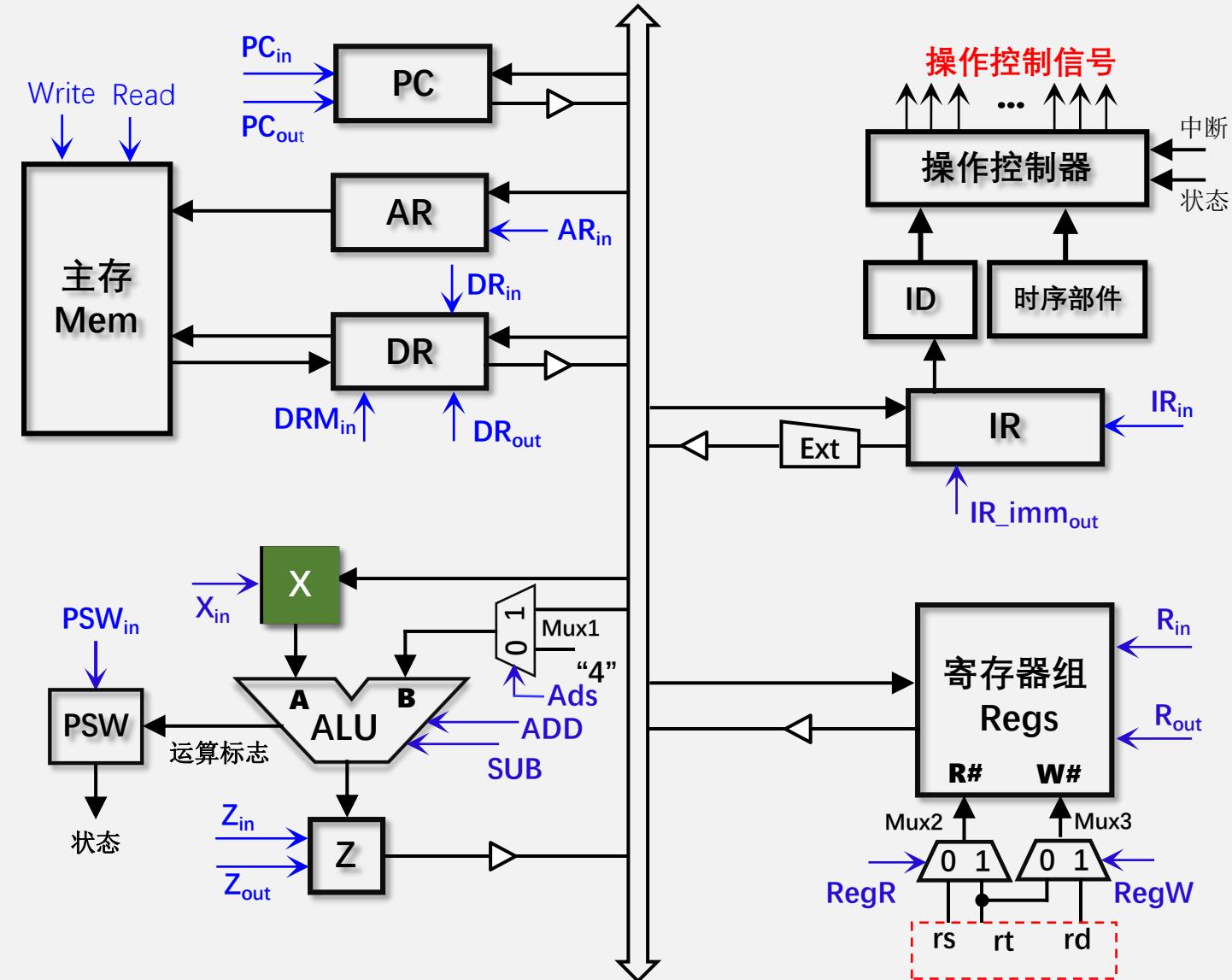


##### (4) 数据通路4

IR<sub>[imm]</sub>  $\rightarrow$  Ext  $\rightarrow$  M<sub>ux1</sub>  $\rightarrow$  ALU  $\rightarrow$  Z  $\rightarrow$  PC



通路4能实现指令的功能吗?



## 9.4 指令周期流程图

### 5. Beq 指令执行数据通路

#### 1) beq rs,rt,imm指令的功能

当( $R_{[rs]} = R_{[rt]}$ )

$$PC \leftarrow PC + 4 + \text{sign\_extend}(\text{offset} \parallel 0^2)$$

#### 2) 执行阶段的数据通路

##### (3) 数据通路3

$PC \rightarrow X$

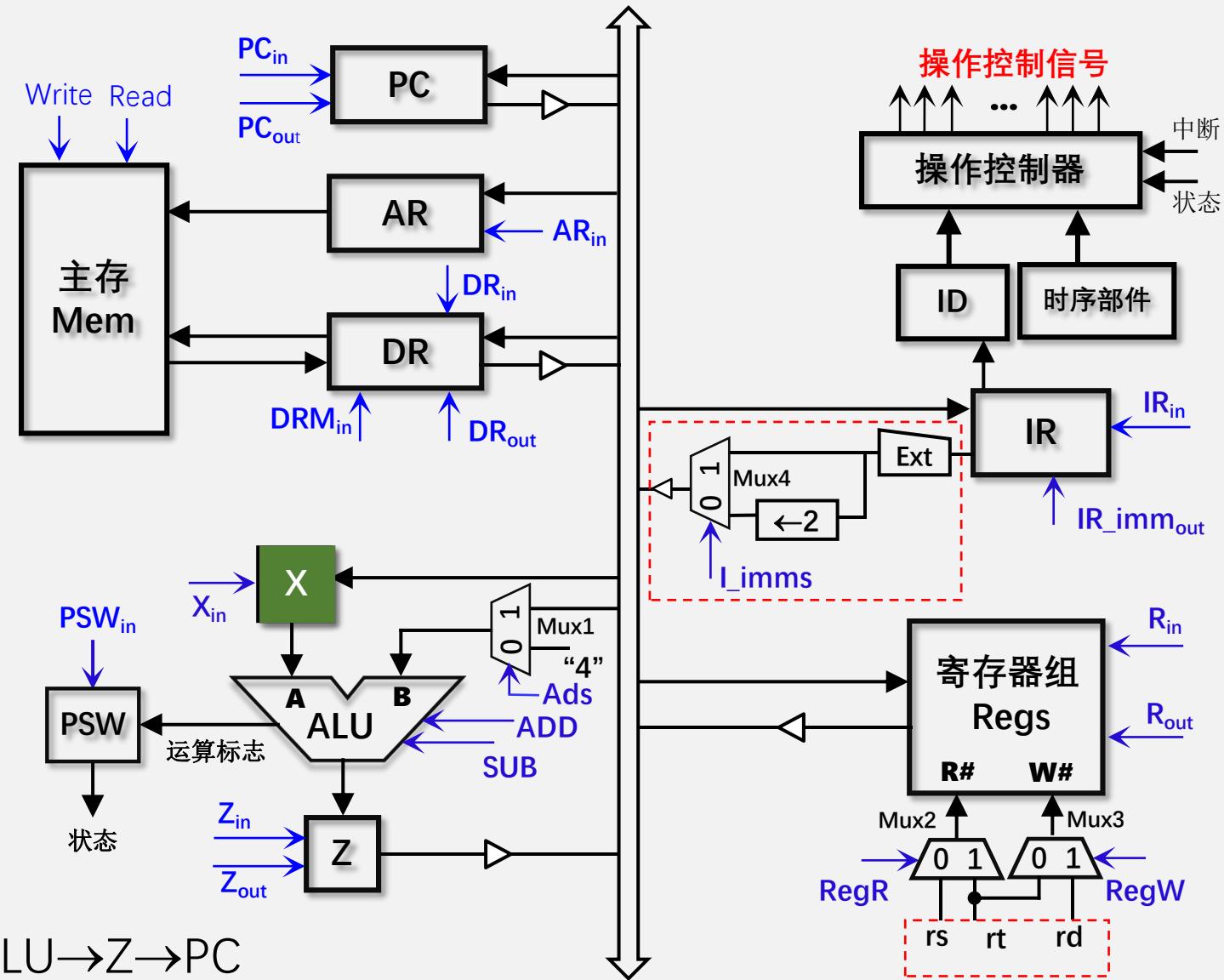


##### (4) 数据通路4

$$IR_{[imm]} \rightarrow Ext \rightarrow M_{ux1} \rightarrow ALU \rightarrow Z \rightarrow PC$$



$$IR_{[imm]} \rightarrow Ext \rightarrow \leftarrow 2 \rightarrow M_{ux4} \rightarrow M_{ux1} \rightarrow ALU \rightarrow Z \rightarrow PC$$



## 9.4 指令周期流程图

### 5. Beq 指令执行数据通路

#### 1) beq rs,rt,imm指令的功能

当( $R_{[rs]} = R_{[rt]}$ )

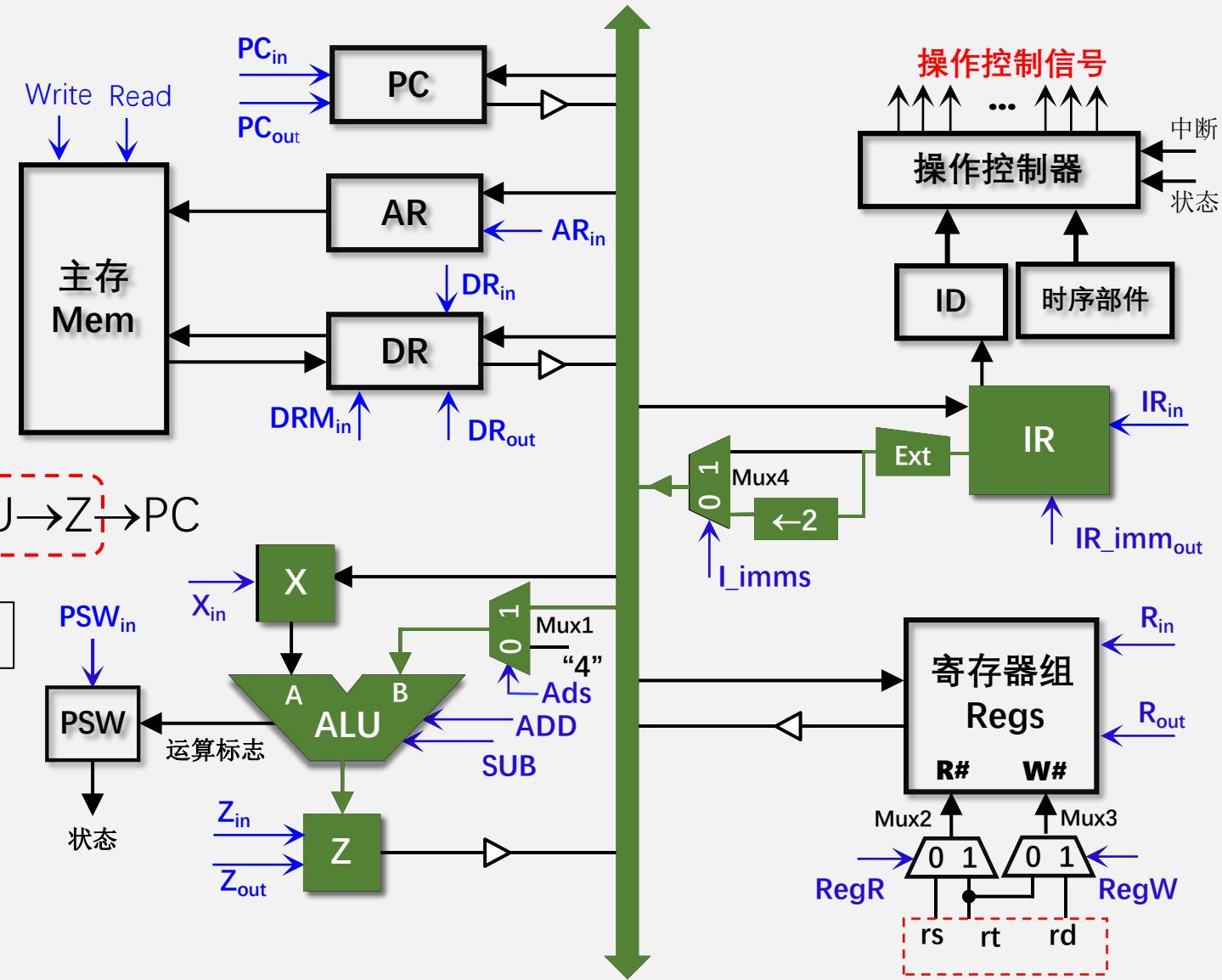
$$PC \leftarrow PC + 4 + \text{sign\_extend}(\text{offset} \parallel 0^2)$$

#### 2) 执行阶段的数据通路

##### (4) 数据通路4



$T_1$   $IR_{imm_{out}}, I_{imms}=0, Ads, ADD, Z_{in}$



## 9.4 指令周期流程图

### 5. Beq 指令执行数据通路

#### 1) beq rs,rt,imm指令的功能

当( $R_{[rs]} = R_{[rt]}$ )

$$PC \leftarrow PC + 4 + \text{sign\_extend}(\text{offset} \parallel 0^2)$$

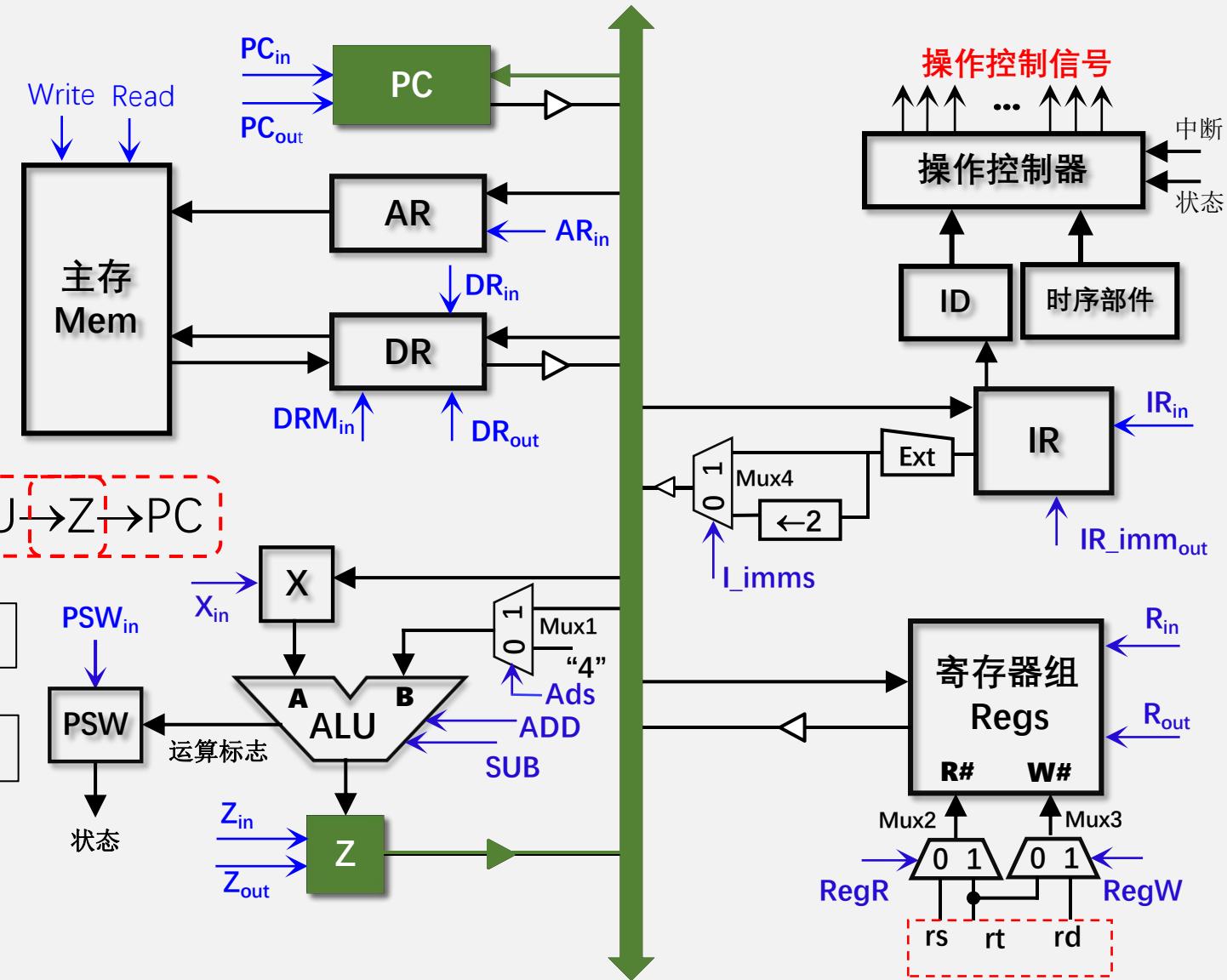
#### 2) 执行阶段的数据通路

##### (4) 数据通路4



T <sub>1</sub>	IR <sub>imm</sub> <sub>out</sub> , I_imms=0, Ads, ADD、Z <sub>in</sub>
----------------	---

T <sub>2</sub>	Z <sub>out</sub> , PC <sub>in</sub>
----------------	-------------------------------------



## 9.4 指令周期流程图

### 5. Beq 指令执行数据通路

#### 1) beq rs,rt,imm指令的功能

当( $R_{[rs]}$ ) = ( $R_{[rt]}$ )

$PC \leftarrow PC + 4 + \text{sign\_extend}(\text{offset} \parallel 0^2)$

#### 2) 执行阶段的数据通路

$rs \rightarrow M_{UX2} \rightarrow \text{Regs} \rightarrow X$

T <sub>1</sub>	RegR=0、 R <sub>out</sub> 、 X <sub>in</sub>
----------------	--

$rt \rightarrow M_{UX2} \rightarrow \text{Regs} \rightarrow M_{UX1} \rightarrow \text{ALU} \rightarrow \text{PSW}$

T <sub>1</sub>	RegR , R <sub>out</sub> , Ads , SUB, PSW <sub>in</sub>
----------------	--

$PC \rightarrow X$

T <sub>1</sub>	PC <sub>out</sub> 、 X <sub>in</sub>
----------------	-------------------------------------

$IR_{[imm]} \rightarrow \text{Ext} \rightarrow \boxed{\leftarrow 2} \rightarrow M_{UX4} \rightarrow M_{UX1} \rightarrow \text{ALU} \rightarrow Z \rightarrow PC$

T <sub>1</sub>	IR <sub>imm out</sub> , I <sub>imms=0</sub> , Ads , ADD 、 Z <sub>in</sub>
----------------	---

T <sub>2</sub>	Z <sub>out</sub> , PC <sub>in</sub>
----------------	-------------------------------------

## 9.4 指令周期流程图

### 5. Beq 指令执行数据通路

#### 1) beq rs,rt,imm指令的功能

当( $R_{[rs]}$ ) = ( $R_{[rt]}$ )

$PC \leftarrow PC + 4 + \text{sign\_extend}(\text{offset} \parallel 0^2)$

#### 2) 执行阶段的数据通路

$rs \rightarrow M_{ux2} \rightarrow \text{Regs} \rightarrow X$

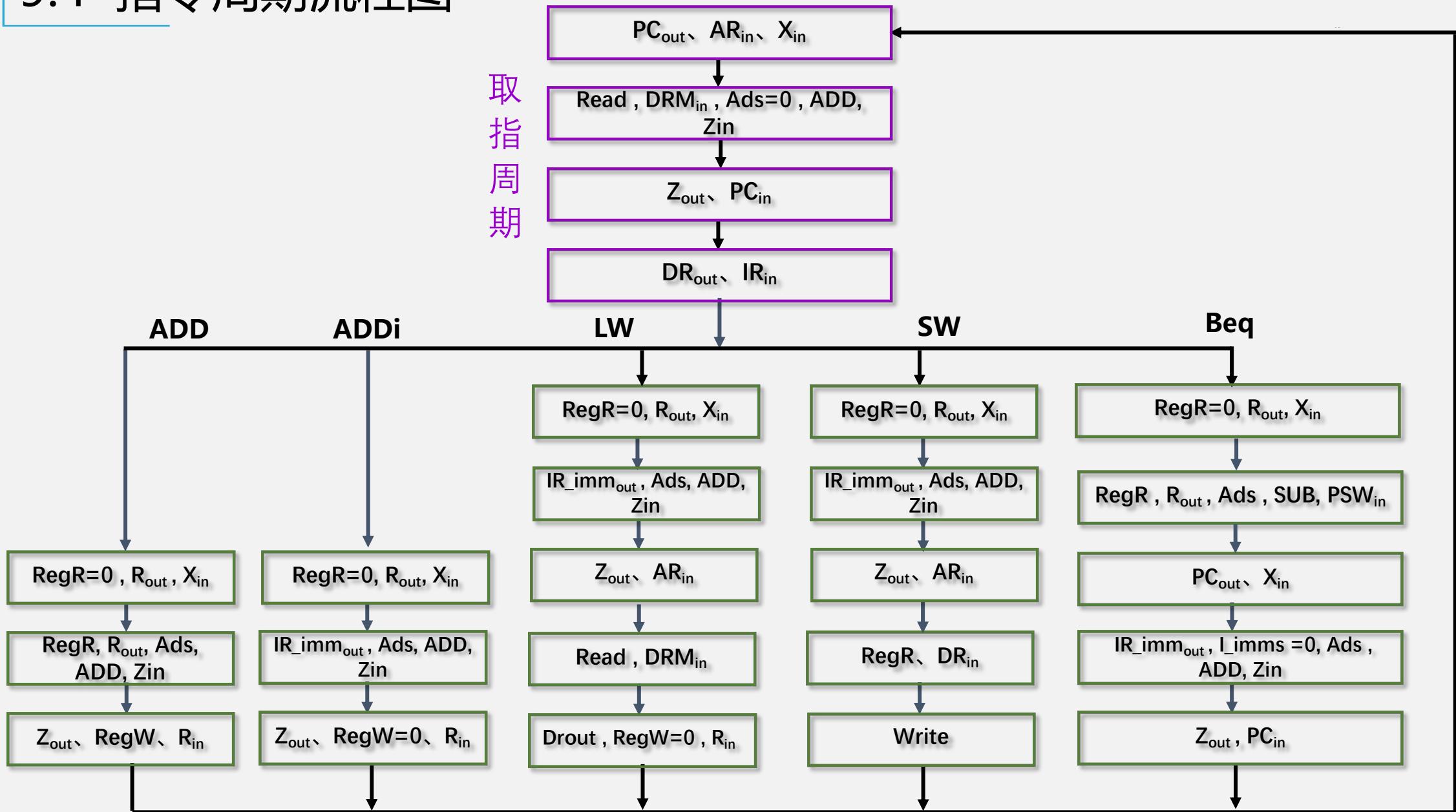
$rt \rightarrow M_{UX2} \rightarrow \text{Regs} \rightarrow M_{ux1} \rightarrow \text{ALU} \rightarrow \text{PSW}$

$PC \rightarrow X$

$IR_{[imm]} \rightarrow \text{Ext} \rightarrow \boxed{\leftarrow 2} \rightarrow M_{ux4} \rightarrow M_{ux1} \rightarrow \text{ALU} \rightarrow Z \rightarrow PC$

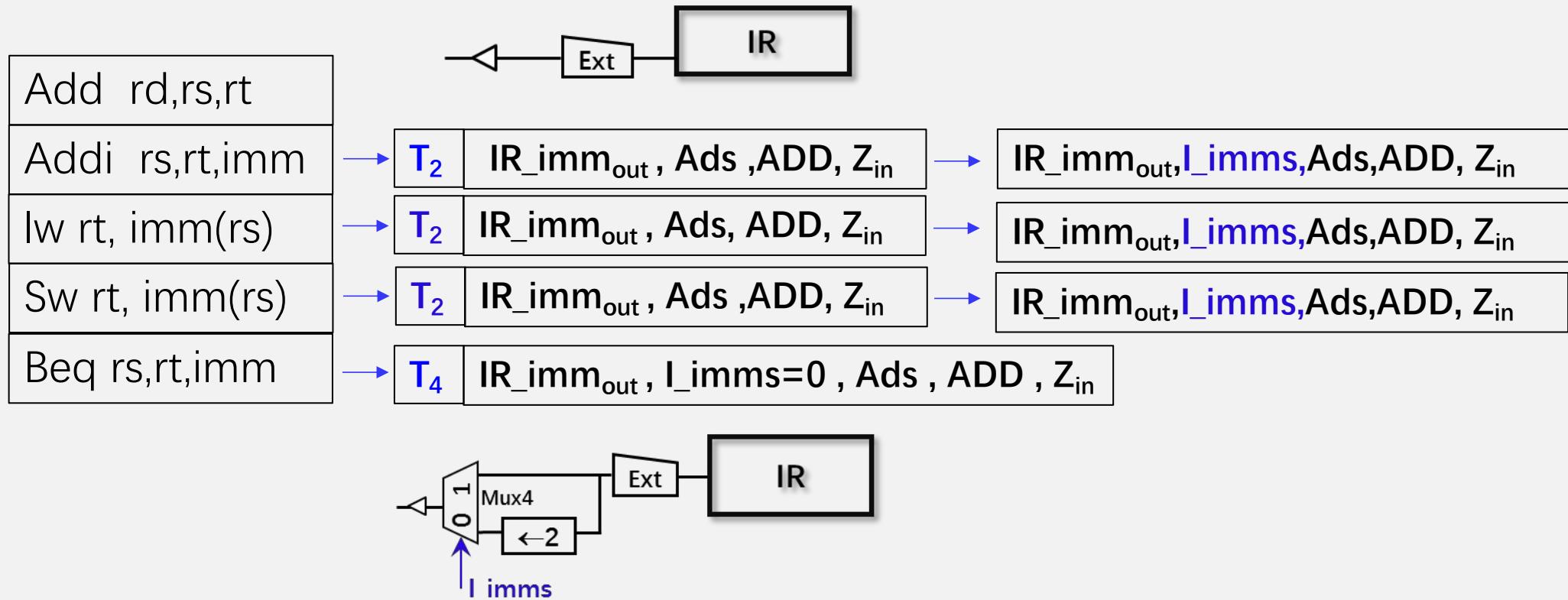
T <sub>1</sub>	RegR=0、R <sub>out</sub> 、X <sub>in</sub>
T <sub>2</sub>	RegR , R <sub>out</sub> , Ads , SUB, PSW <sub>in</sub>
T <sub>3</sub>	PC <sub>out</sub> 、X <sub>in</sub>
T <sub>4</sub>	IR <sub>imm</sub> <sub>out</sub> , I <sub>imms</sub> =0 , Ads , ADD 、 Z <sub>in</sub>
T <sub>5</sub>	Z <sub>out</sub> , PC <sub>in</sub>

## 9.4 指令周期流程图



## 9.4 指令周期流程图

### 6. 指令周期流图的回溯修改



## 9.4 指令周期流程图

