

# 逻辑与计算机设计（回忆版:能保证能做 实际描述有出入但不多byfrancis）

2025年6月29日 8:30-11:00

一.

- 1.把公式 $F = \overline{(\overline{a}\overline{b} + ab + c)}\overline{ab}$ 化为最简与或式，并且求他的标准或与式和对偶式
- 2.一个逻辑函数表达式的最简式和标准式是否唯一？简要说明理由 $Q_C$

二.

- 1.求编码为1011，校验码为1011的CRC编码，并且写出完整的编码过程。当最后一位（编码的最右边一位）出现错误，请问错误编码的余数是多少？并且写出过程
- 2.如果我们选取101作为CRC编码的生成多项式，我们能否实现CRC编码的一位纠错功能？简要说明理由
- 3.在考虑系统存储容量和保真能力，在奇偶校验，CRC编码和海明编码当中，你会选取哪一种编码方式？请说明理由

三.

两浮点数 $x = 2^{101} \times 0.11011011$ ， $y = 2^{111} \times (-0.10101100)$ 。假设尾数在计算机中以补码表示，尾数位共12位，采用双符号位，阶码以补码表示，共5位，也采用双符号位，求 $x + y$ 。

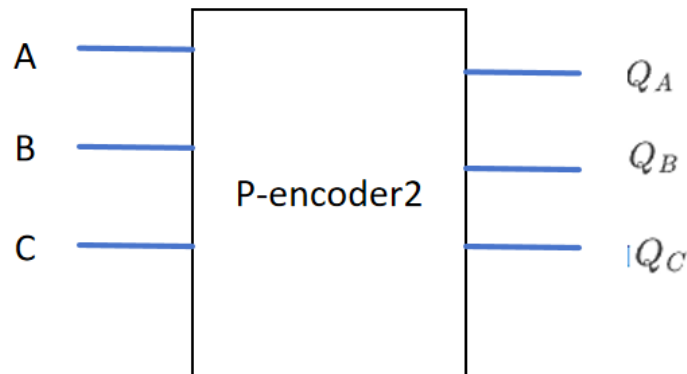
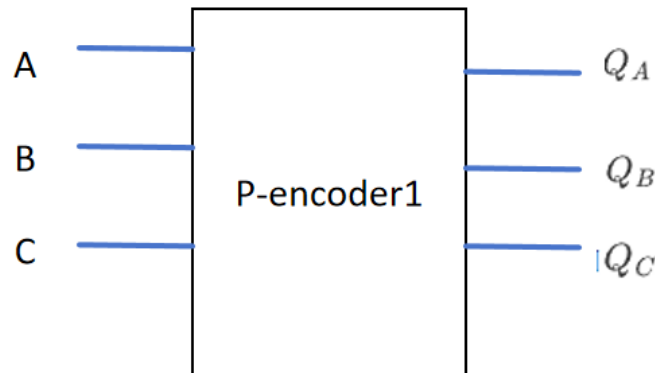
四.

现在有使能端的优先级编码器（ $P - encoder$ ）它的作用是：在自身被使能（ $E$ 有效）的前提下，从多个可能同时有效的输入信号（ $A, B, C$ 等）中，找出优先级最高的一个，并输出其对应的二进制编码，现在的规则是当 $E$ 有效的时候，当 $C$ 有效的时候， $Q_c$ 输出为1，当 $B$ 有效的时候， $B$ 的等级比 $C$ 高， $Q_B$ 输出为1，当 $A$ 有效的时候， $Q_A$ 输出为1，当 $E$ 的时候， $Q_A, Q_B, Q_C$ 都输出为0，请填写下面的逻辑函数表，写出三个输出接口的逻辑代数表达式，然后画出优先编码器的逻辑电路，并且现在有一个两层级联的优先编码器，并且现在 $P - encoder1$ 的等级大于 $P - encoder2$ 的等级，请你用一定的逻辑元件组

A	B	C	E	Q <sub>A</sub>	Q <sub>B</sub>	Q <sub>C</sub>

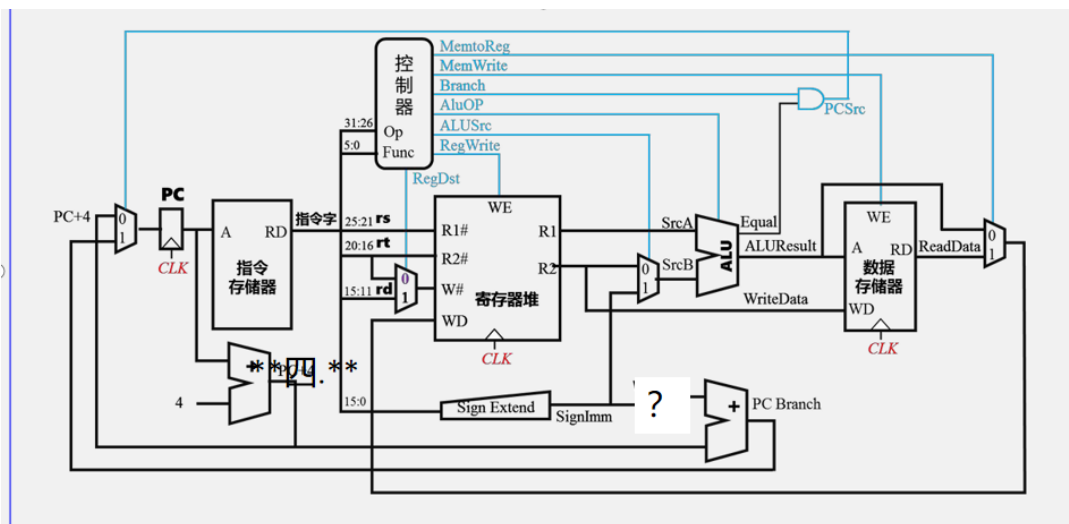
$Q_A =$   
 $Q_B =$   
 $Q_C =$

电路：



五.

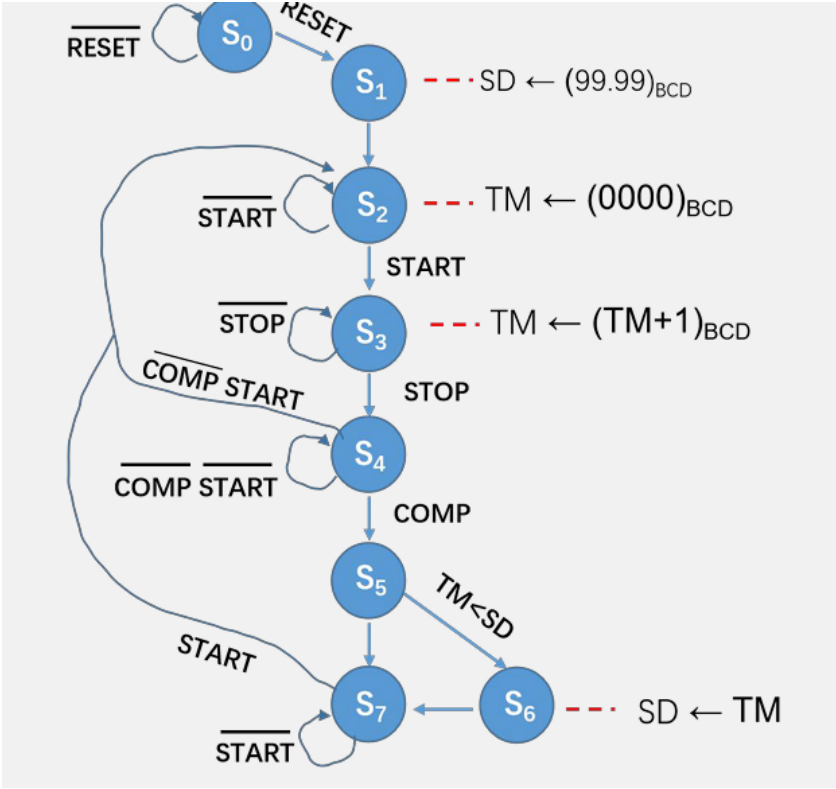
下图是一个CPU的数据通路，根据图中内容回答问题，已知该机器的字长为32位



- 1.这个CPU是多周期CPU还是单周期CPU?请说明理由
- 2.请问这个通路能不能满足LHU指令，LHU指令的含义为，在主存中寻找并返回一个16位无符号数
- 3.图中beg指令需要用到的数据命令接口有哪些？
- 4.对于转移指令命令 $pc < -pc + 4 + imm < 2$ ，图中？部分的仪器是什么？为什么需要这个仪器对应的操作？
- 5.请描述一个设计的CPU里面至少需要哪四种寻址方式，并且给出相应的理由

六.

如图所示为码表的住在状态图和接口含义，请回答下面问题：



接口	接口含义
RESET	计时复位，记录恢复为99.99
START	开始计时
STOP	停止记时
load/store	存储时间记录
COMP	将存储的时间和现在测量的时间比较
SD	现在存储的最短时间
TM	现在测出来的时间

- 如果我们现在要给状态S1入START信号，请补全状态转移图
- 在状态S4时，COMP信号和RESET信号可不可以同时有效？为什么？
- 根据状态转移图，设计一个merely电路，先画出状态转移表，写出变量的逻辑函数表达式，使用D触发器，并且画出你设计的电路

七.

某4×10的二维数组按列优先存放在主存连续地址单元，主存每个存储单元存放二维数组中的一个数据，主存每块只包含一个字。该机器的Cache分为数据Cache和指令Cache，数据Cache被分成8行。Cache的初始状态为空，Cache的替换算法采用LRU。某程序的伪代码如下：

```
SUM:= 0
for j:= 0 to 9 do
    SUM:= SUM + A( 0,j )
end
ave:= SUM/10
for i:=9 down to 0 do
    A(0,i):= A( 0,i ) / AVE
end
```

- 请计算在数据cache下四路组相联和直接相联的cache命中率
- cache主要是由静态存储器SRAM还是动态存储器DRAM构成？为什么？
- 分析这个存储单元命中率的问题，尝试从程序优化和存储优化的角度，描述这段程序命中率不高的原因，并且给出你的解决方法