

1. 将逻辑函数表达式 $F(A,B,C) = \overline{(\overline{AB} + \overline{BC})} \cdot \overline{AB}$ 转换成标准“或-与”表达式。(代数法)

2. 求下列函数的最小项、最大项表达式及该反函数、对偶式

$F = \overline{A} \overline{B} \overline{C} D + \overline{A} B \overline{D} + A \overline{B}$ 的最小项和最大项表达式。

3. 用代数法化简逻辑函数 $F = \overline{A} + AB + \overline{B}E$

4.用代数法化简 $F = \overline{AC + \overline{A}BC + \overline{B}C + \overline{A}BC + \overline{A}C} + BC$ ，并说明逻辑函数化简的意义。
最后的结果= C'

1. (计算题)

求 101100100101 的格雷码，请给出求解过程，简要说明应用格雷码的好处

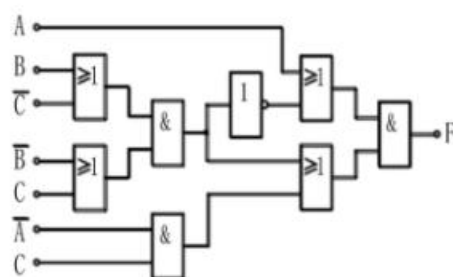
1. (计算题)

被校验的数据信息为 1110，生成多项式为 1011，求对应的 CRC 编码和最后一位出错时接收方校验得到的余数。请给出求解过程。

1. (计算题)

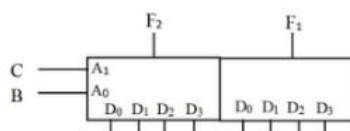
4. 被传输的二进制信息为 1011001，求对应的海明编码。请给出求解过程，并简要分析什么条件下海明校验无错结论可信，什么条件下无错结论不可信。

1.分析下图所示逻辑电路，求出 F 的逻辑函数表达式，并进行必要化简以能使用更少的与非门实现，画出化简后的电路并结合所给的技术参数计算你所设计电路的最大时延(假定逻辑门的时延与其输入端个数无关)。



型号	功能	POT_{max}
74LS86	4-2异或	30ns
74LS32	4-2或门	22ns
74LS00	4-2与非门	15ns
74LS04	6-非门	15ns
74LS08	4-2与门	20ns

2.用 2 个 4 路选择器设计有 2 个输出端的组合逻辑电路， $F_2 = \sum m(3,5,6,7)$, $F_1 = \sum m(1,2,4,7)$ ，电路基本结构如下图所示，在该图基础上应用适当的逻辑门完成本设计任务。



3.设计一个判断 1 位余 3 码范围的电路，当输入余 3 码的值为 3、4、5 时，F1 输出为 1；当输入余 3 码的值为 6、7、8、9 时，F2 输出为 1；判断 F1 和 F2 是否存在竞争？是否存在险像？给出完整的解题过程。

1. (计算题)

已知两个二进制数的真值分别为 $X=-1101$ ， $Y=-11$ ，用补码一位乘法公式求 $X \times Y$ ，给出完整的过程

1. (计算题)

求 $(-103.5)_{10}$ 对应的 32 位 IEEE754 格式的浮点数，给出完整的过程且最后的结果以 16 进制方式给出

1. (计算题)

已知两个二进制数的真值分别为 $x = 1001$ $y = -1101$ 用补码一位除法求 x/y ，商保留小数点后 4 位，给出完整过程

1. (计算题)

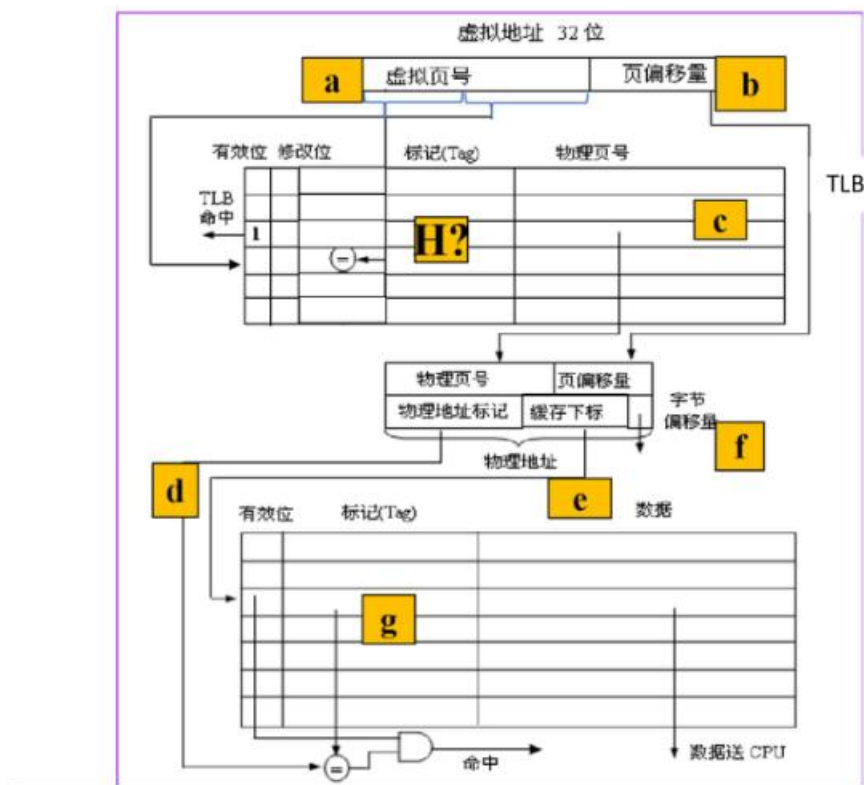
两浮点数 $x = 2^{101} \times (-0.11011011)$, $y = 2^{111} \times 0.10101100$ 。假设尾数在计算机中以补码表示, 尾数位共 12 位, 采用双符号位, 阶码以补码表示, 共 5 位, 也采用双符号位, 求 $x + y$ 。 (注: 题目中的阶码和位数都是二进制)

1. (计算题)

用 D 触发器设计 1011 序列检测器 (序列不可重叠) 的 Moore 型同步时序逻辑电路

1. (计算题)用 JK 触发器设计 1011 序列检测器(序列可重叠)的 Mealy 型同步时序逻辑电路

存储器系统页大小为4K,地址空间为32位,假设物理地址长度与虚拟地址相同,TLB包含64个表项,采用直接映射.主存块大小为16B. Cache 采用8路组相联,数据区容量为16KB,包含1位有效位.图中a表示虚页号, b表示页内偏移地址, c表示物理页号, f表示块内偏移地址, e表示Cache组相相联映射中的索引字段, d表示Cache组相相联映射中的标记字段.请根据题目条件及TLB和Cache的工作原理,分别给出图中a、b、c、d、e、f、g、H的二进制位数多少位?给出计算理由(图中H,g代表的内容在题目中未明确说明,但不影响题目求解)。



某 4×10 的二维数组按列优先存放在主存连续地址单元，主存每个存储单元存放二维数组中的一个数据，主存每块只包含一个字。该机器的Cache分为数据Cache和指令Cache，数据Cache被分成8行。Cache的初始状态为空，Cache的替换算法采用LRU。某程序的伪代码如下：

```
SUM:= 0
for j:= 0 to 9 do
    SUM:= SUM + A( 0,j )
end
ave:= SUM/10
for i:=9 down to 0 do
    A(0,i):= A( 0,i ) / AVE
end
```

计算四路组相联方式下 Cache 读操作的命中率