

数字逻辑设计大作业说明

[设计目的]

大作业是在学完本门课程后，对所学知识的综合性考察。知识覆盖面宽，实验所需时间长。要求学生灵活运用学过的计数器、触发器、译码电路等方面的知识，独立完成从设计、选片、连线、调试、排除故障到实现一个数字系统的全过程，详细书写项目报告。通过综合设计性实验，培养学生灵活运用所学知识解决比较复杂的实际问题的能力。

[项目考核]

课程结束递交报告，大作业成绩占总成绩的 10%。

[项目内容]

1. 写出设计过程，说明系统的工作原理
2. 查阅相关资料，选取恰当的元器件
3. 完成数字系统电路原理图的设计
4. 给出模块仿真实验结果

[完成方式]

2 人合作完成（或 1 人独立完成）

[报告内容]

1. 目录
2. 设计要求
3. 工作原理及系统方框图
4. 各部分模块具体功能及设计思路
5. 调试过程
6. 设计结论
7. 设计心得与总结（要具体落实到小组每个成员）
8. 参考文献
9. 附录一：总体设计图
附录二：各模块仿真截图
附录三：小组各成员所做工作说明（设计者排序），每个成员对最终方案的贡献（哪个地方是谁设计的）

[评分规则]

详见评分规则文档说明
允许失败，但不姑息雷同！

[验收时间] 13 周

(12 月 4 日) 周六 1-4 节
(具体时间各位老师根据自己班级实验课时间设定)

[携带资料]

大作业纸质报告 1 份
FPGA 开发板卡现场演示

[电子资料] 上传到任课教师指定位置

- 1) vivado 设计文件 (需要有详细注释)、测试文件、约束文件
- 2) 大作业报告 word 文档