**数字逻辑与数字系统设计**

实验大作业报告

（2021年）

课程名称：数字逻辑与数字系统设计

任课教师：张英涛老师

作业题目：电子密码锁的设计

完成人： 瞿久尧 谢扬

学号： 120L022314 120L022023

班级： 2003012

报告日期：2021年12 月1日

|  |  |
| --- | --- |
| **报告成绩** | * **优秀: 4分;** □**良好: 3分;** □**中等：2.5分;** * **及格及其他：< 2.5分;** □**雷同报告：0分** |
| **评判标准** | * **报告格式规范；（1分）** * **各部分原理讲述清晰，逻辑图准确，仿真结果正确；（1分），** * **有调试过程的说明，尤其是有对存在问题及解决方法的详细说明（要有截图）；（1分）** * **设计结论客观准确，参考文献、设计心得与总结及附录等内容齐全。小组成员分工明确；（1分）** |

**目录**

[报告正文 3](#_Toc21473)

[一、 设计要求 3](#_Toc31577)

[1.1 主要功能 3](#_Toc871)

[1.2 附加功能 3](#_Toc27783)

[二、 工作原理及系统方框图 3](#_Toc30522)

[2.1 工作原理 3](#_Toc26393)

[2.2 系统方框图 3](#_Toc262)

[三、 各部分模块具体功能及设计思路 4](#_Toc27219)

[3.1储存模块 4](#_Toc28192)

[3.2 显示模块 4](#_Toc13520)

[3.3 计时模块 5](#_Toc30440)

[3.4 流水灯模块 6](#_Toc2267)

[四、 调试过程 6](#_Toc14912)

[五、 设计结论 6](#_Toc24711)

[六、 心得体会 6](#_Toc11713)

[6.1 成员1 6](#_Toc30609)

[6.2 成员2 7](#_Toc28823)

[附录 8](#_Toc340)

[附录1 8](#_Toc7714)

[附录2 8](#_Toc21332)

[附录3 8](#_Toc26329)

报告正文

1. 设计要求

1.1 主要功能

1. 设计一个开锁密码至少为4位数字（或更多）的密码锁。

（2）当开锁按钮开关（可设置8位或更多，其中只有4位有效，其余位为虚设）的输入代码等于所设密码时启动开锁控制电路，用F1灯（代表绿灯）亮、F2灯（代表红灯）灭表示开锁状态，并用数码管显示英文大写OP。

（3）从第一个按钮触动后的10秒内若未能将锁打开，则电路自动复位，同时用F1灯（代表绿灯）灭、F2灯（代表红灯）亮表示关锁状态,并用数码管显示英文大写LC。

（4）10秒开锁倒计时要求用数码管显示。

1.2 附加功能

（1）能够在输入数据时进行重置到初始状态的操作；

（2）可以将正在输入的四位密码以7段数码管进行记录和显示；

（3）可以在输入正确的密码后对密码进行修改；

（4）可以在密码锁打开后进行流水灯显示

1. 工作原理及系统方框图

2.1 工作原理

密码锁功能基本分为储存、显示与计时三块。

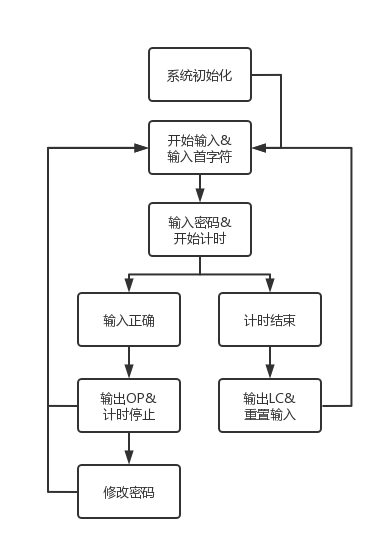
在使用时，首先预设密码为0000，将其储存。

当输入密码时，从第一个字符开始进行10s计时，并判断输入的密码是否与已储存的密码相同，如在10s之内输入正确的密码，则显示OP并停止计时，此时可将密码修改为新的输入，并在关闭修改功能时进行储存。

若10s之内未成功输入密码，则将已输入数字清零，显示LC并停止接受输入。再次输入需再次拨动输入键。

在输入过程中，将输入次数以8421BCD码形式进行储存，并将其译为7段数码管上显示的数字。使用重置键可将已输入的内容清零。

2.2 系统方框图



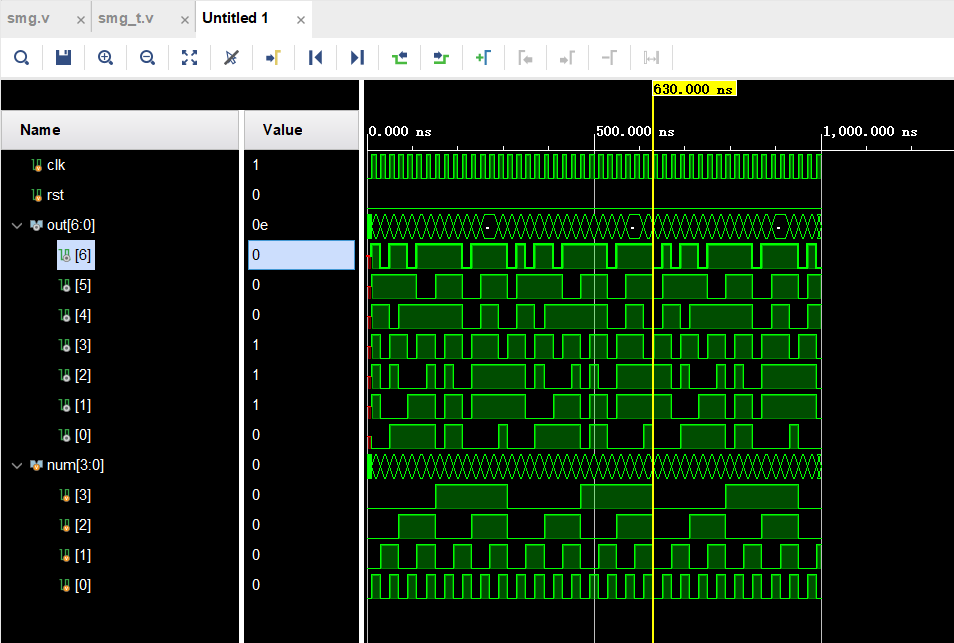
1. 各部分模块具体功能及设计思路

3.1储存模块

此模块用于储存实时输入的内容。在设计中，使用四个模10计数器，分别以密码4位的输入分别连接4计数器的clk输入，即可实现进行4位数据输入的储存。当进行比较时，将4计数器输出的值直接与已储存的密码（以内置变量进行存储）进行比较，若相同则可停止计时，并亮起f1灯，显示OP。若超时时未输入正确，便清空存储，亮起f2灯，并显示LC。

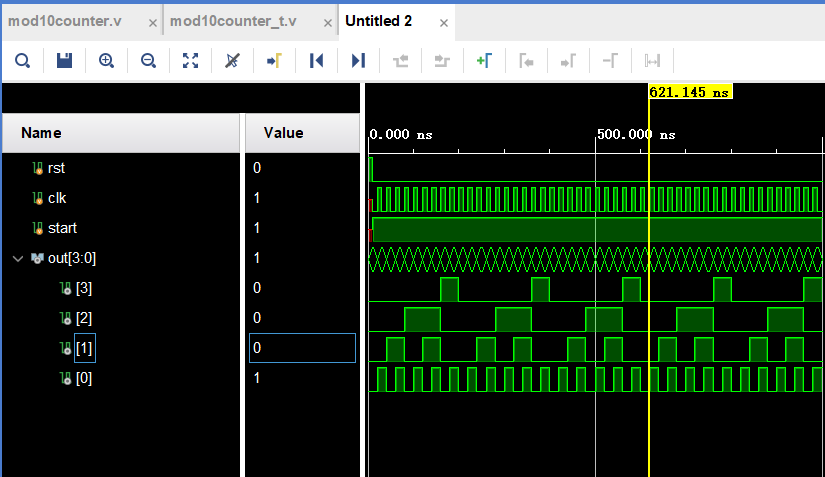
3.2 显示模块

此模块用于所有输出的7段数码管的显示。设计中使用一7位的变量对7段数码管发光与否进行判断。在该模块中，将8421BCD码对应相应的字形的发光形式上，而当需输入其他字形时，使用无关项（即1010至1111）对应其发光形式。



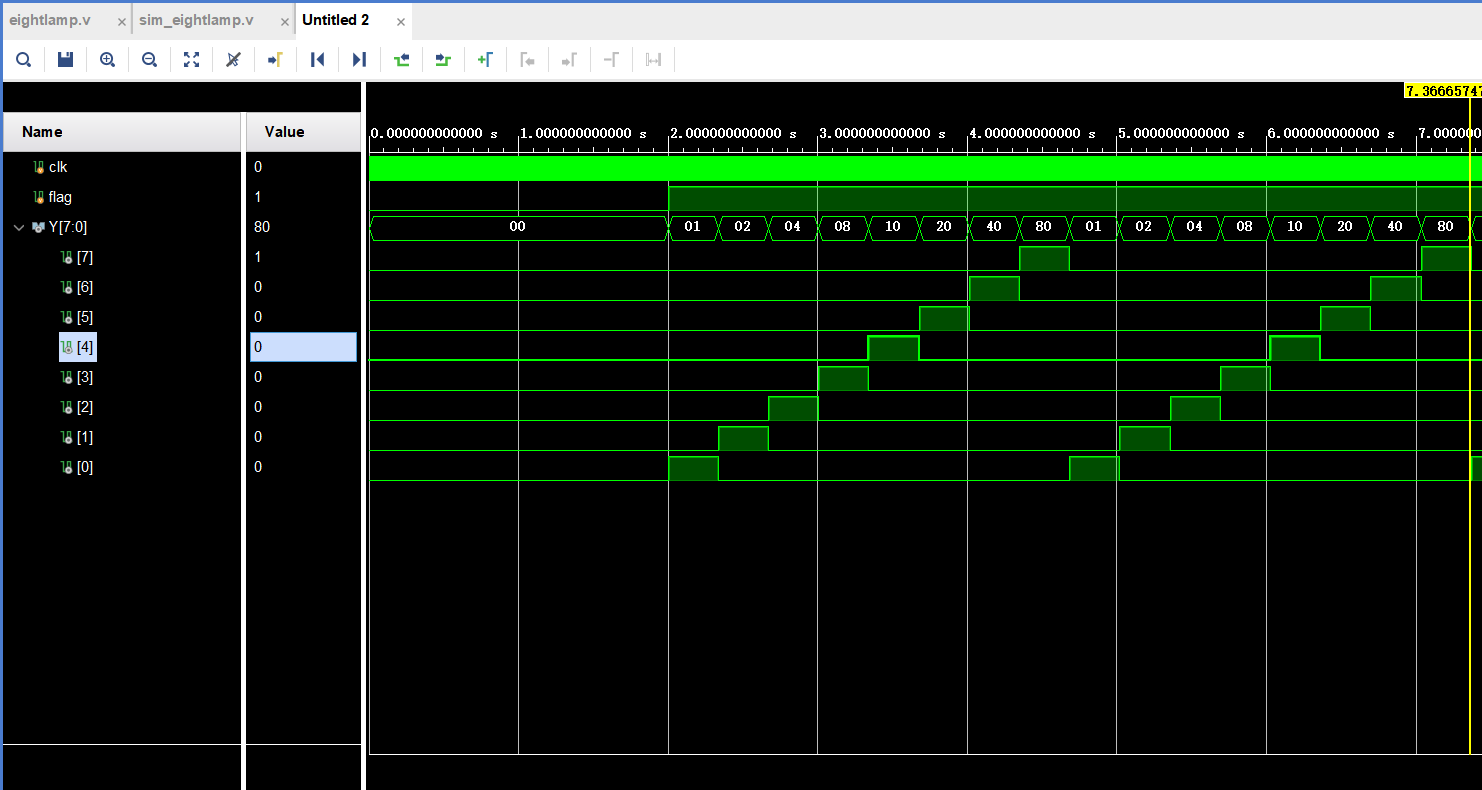
3.3 计时模块

此模块用于进行密码锁开锁过程中的计时。设计中，使用一位数较大的变量（程序中为32位）进行分频。每当达到一秒的时长（即10^9个clk刻）时，将显示的值减一（即将传递给计时部分的显示模块的8421BCD码递推一位）。而当到最小值时，复位信号置1，令所有数码管显示0，并显示LC。

****

3.4 流水灯模块

此模块用于在密码锁打开时进行流水灯显示，表示开锁成功，可以理解为庆祝开锁成功。设计中对于时钟控制进行分频处理，使流水灯以能分辨的速度进行。流水灯即利用右移循环计数器，当遇到分频后时钟的上升沿，每一位向右移一位，末尾的位置移到开头。



1. 调试过程

在测试工程中，我们首先对于各个模块进行了分块的测试，从而对各部分的工作情况进行了确认，以确保调用的可行性。这之后，整合了完整的程序之后，用开发板进行了实操的测试，从而确保了其功能的完善。

其中，由于数码管只有八个数字可以显示，我们的附加功能中包含了显示输入时的密码，因此必须将OP&LC的显示与倒计时显示功能放在四段数码管中，因此在调试的过程中需要在倒计时的基础上进行限制与修改。

1. 设计结论

本设计逻辑清晰，操作明确的实现了密码锁限时、开锁、修改密码、清除输入等功能，并有相应的指示灯、数码管指示，功能较为完备。

1. 心得体会

6.1 成员1

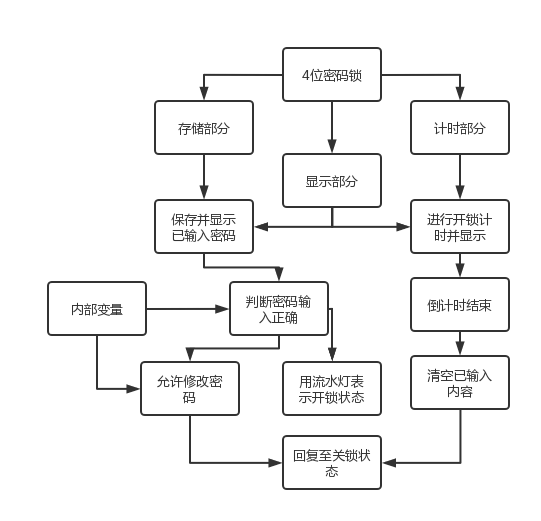
Verilog编程语言与我们平常使用的C、C++、JAVA等语言都有很大不同，其中的并行操作在硬件中能够较好地让硬件完成相应的功能，但在编程中考虑到这一因素，不能对一个变量在多个并行操作中赋值，与其他编程语言有些出入。必须对自己所要实现的硬件功能多加了解分析，才能用合适的代码实现。

6.2 成员2

实际设计中，把功能进行模块化设计实在非常重要，这样在使用的时候不管是除错还是反复调用都很方便，我们在进行verilog设计时，应该学会尽量使用模块化的设计方案。

附录

附录1

总体设计图

附录2

各模块仿真截图：见点三

附录3

小组成员分工：

瞿久尧：存储及显示模块设计，总体程序统合，管口约束代码设计，报告修改

谢扬：计时模块设计，仿真设计，报告撰写