

第 2 章 逻辑门电路

§ 2.1 概述

用以实现逻辑运算单元电路称为逻辑门电路。

Output \sim Input

逻辑函数

逻辑运算和逻辑门:

二进制系统: $\left\{ \begin{array}{ll} \text{逻辑高} & (\text{Logic 1}) \\ \text{逻辑低} & (\text{Logic 0}) \end{array} \right.$

用电压（电平）表示逻辑高和低：

逻辑高 – 高电平

逻辑低 – 低电平

获得高 (logic 1)、低 (logic 0) 输出电平的基本原理：

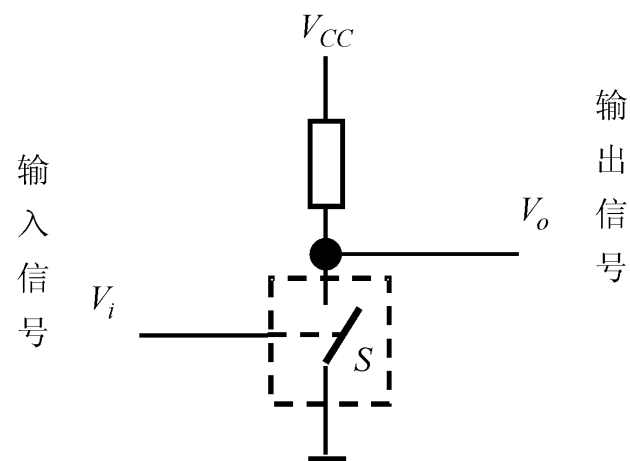
开关 S

断开
接通

输出电位 V_o

高
低

S { Diode
Transistor
MOS FET

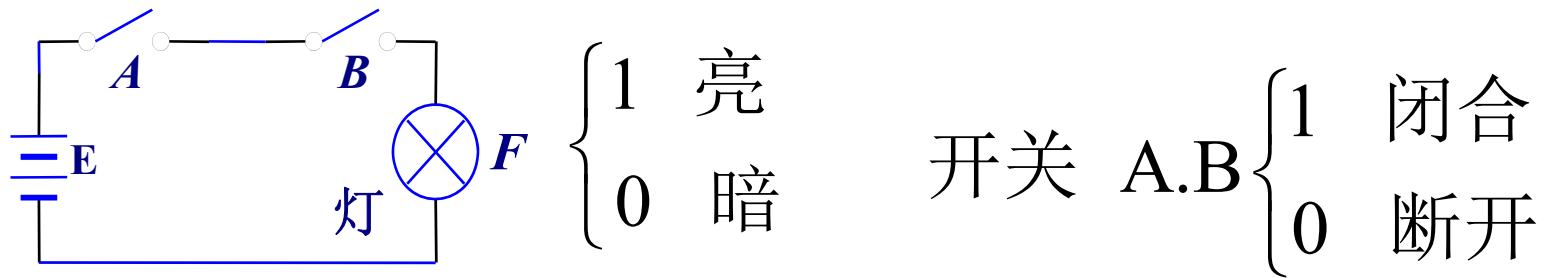


输入信号 V_i 控制其工作在截止和导通两个状态， S 起开关作用。

§ 2.2 逻辑门电路

1. 与门 (AND)

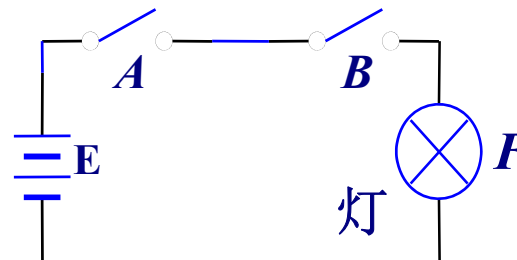
1) 与开关电路



两个开关串联

只有当 A 和 B 都闭合 (逻辑 1), 灯 (F) 才亮。

2) 真值表



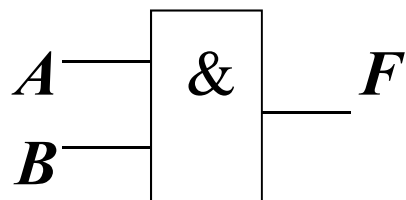
表：输入的所有可能取值
按二进制数大小排列
在左；对应的输出列
在右。

A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

3) 与功能

输入只要有低，输出为低；
输入都为高时，输出为高。

4) 与门符号及表达式



最多 8 输入端

表达式: $F = A \cdot B = AB$

(A and B) (逻辑乘)

5) 与运算

$$0 \cdot 0 = 0$$

$$0 \cdot 1 = 1 \cdot 0 = 0$$

$$1 \cdot 1 = 1$$

$$A \cdot 0 = 0$$

$$A \cdot 1 = A$$

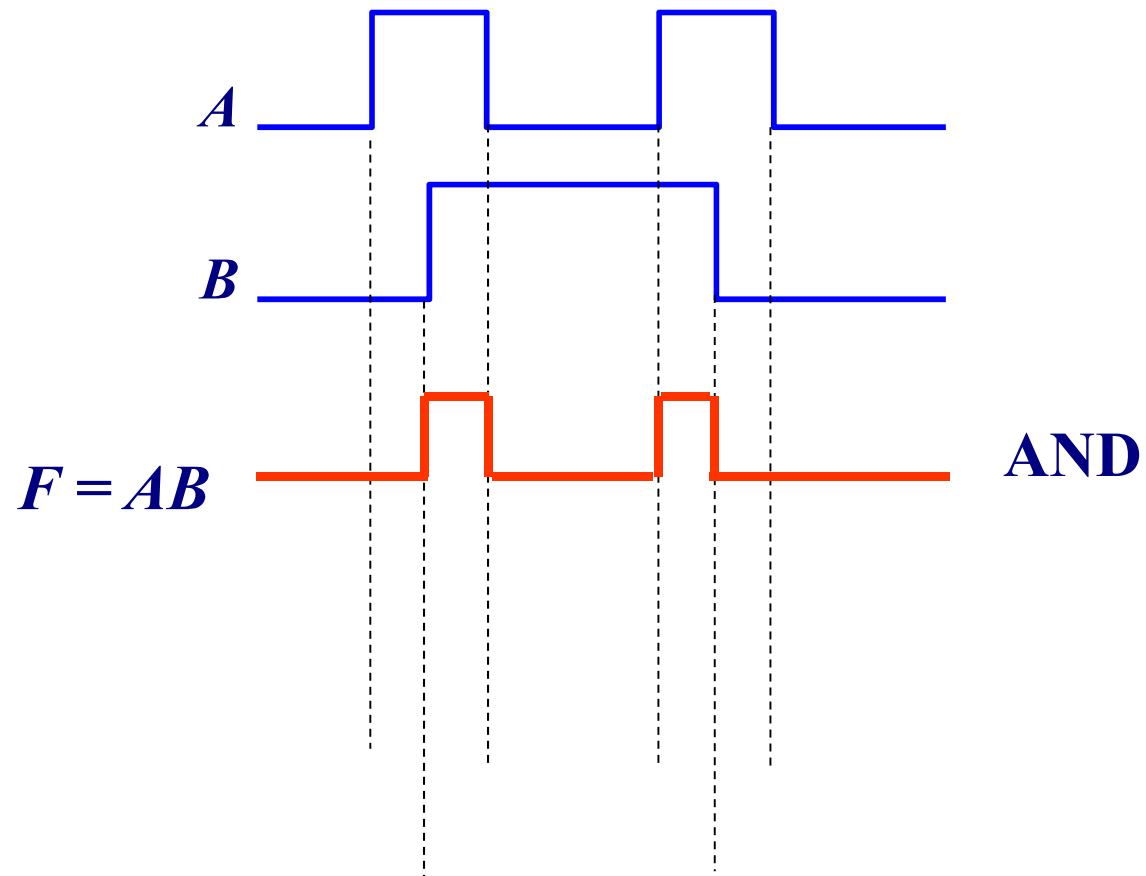
$$A \cdot A = A$$

$$A \cdot \overline{A} = 0$$

A : 变量输入

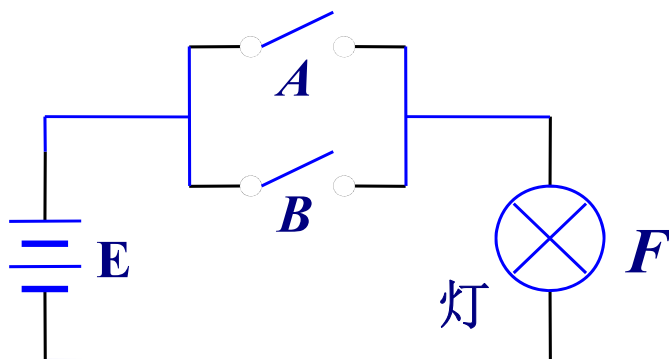
6) 波形图, 时序图

输出波形必须对应输入波形



2. 或 (OR)

1) 或开关电路



2) 真值表

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

两个开关 (A, B) 并联

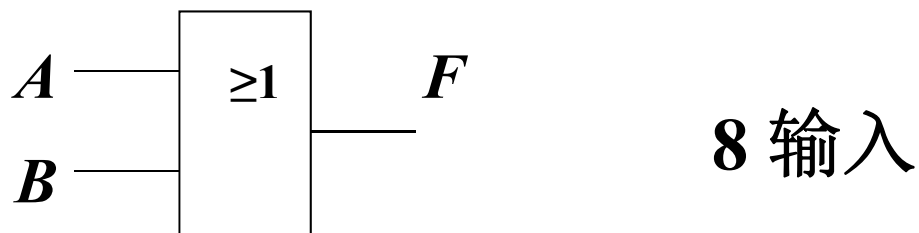
任何一个开关闭合, 灯 F 亮。

3) 或功能描述

或关系：

只要有一个输入为高电平1，输出就为高电平1；
只有输入全为低电平 0 时，输出才为低电平0。

4) 或门符号及表达式



$$F = A + B \quad \text{逻辑加}$$

5) 或运算

$$0+0= 0$$

$$0+1= 1$$

$$1+1= 1$$

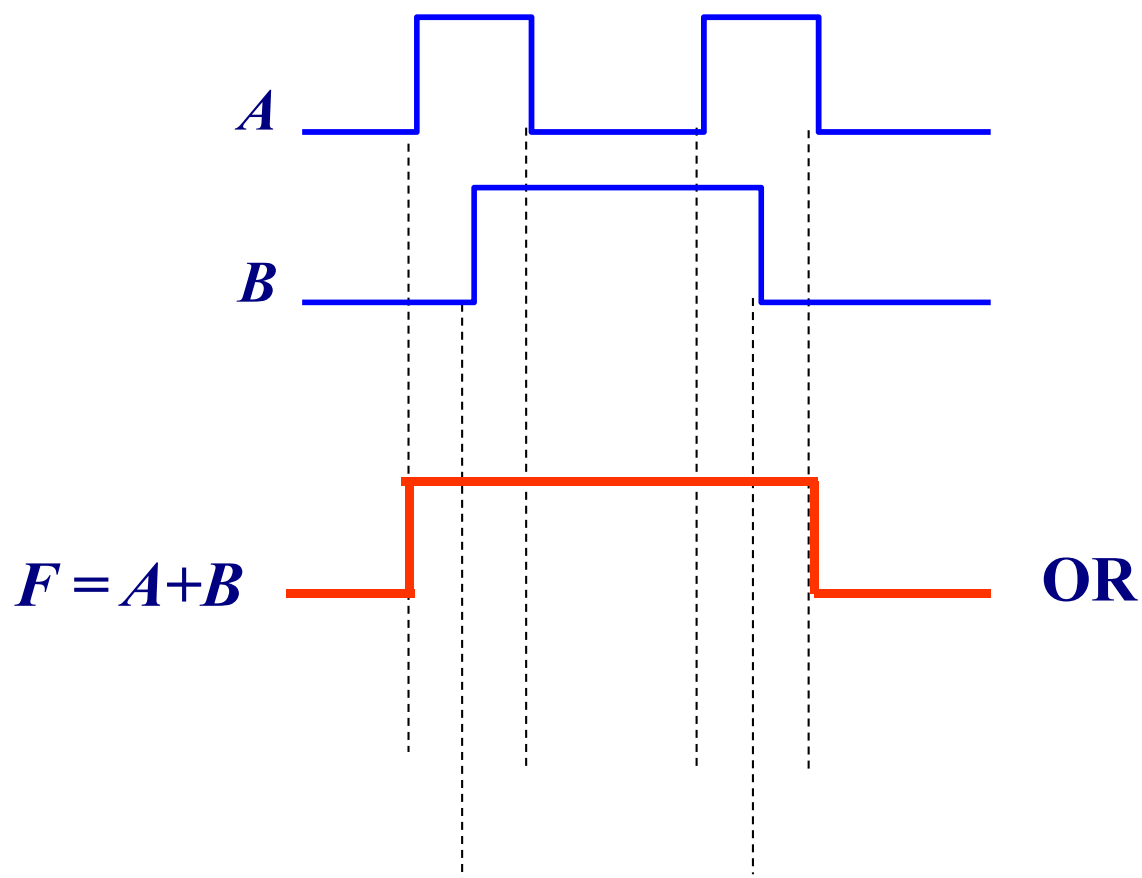
$$A+0= A$$

$$A+1= 1$$

$$A+A= A$$

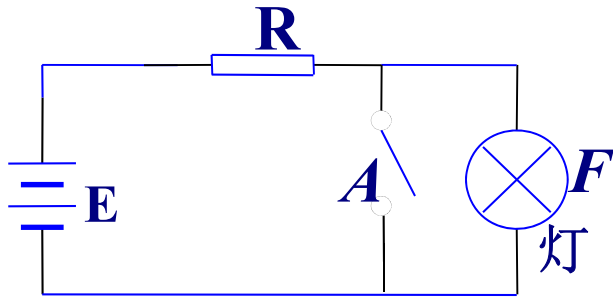
$$A+\overline{A}= 1$$

6) 波形图



3. 非门 (NOT)

1) 非开关电路



如果 A 闭合，灯 F 灭。

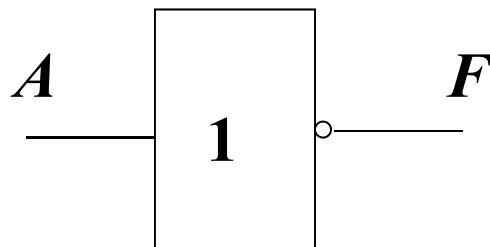
2) 真值表

A	F
0	1
1	0

3) 非功能描述

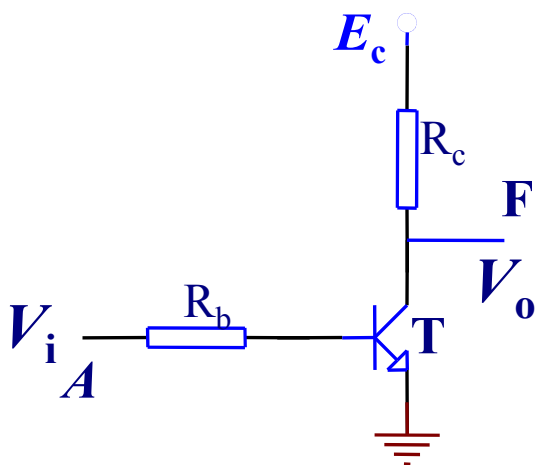
输出与输入波形相反，
产生反向输出波形。

4) 非门符号及表达式



$$F = \overline{A}$$

5) 非门电路



V_i	V_o
0	E_c (1) T 截止
1	$V_{ces}(0)$ T 导通

6) 非运算

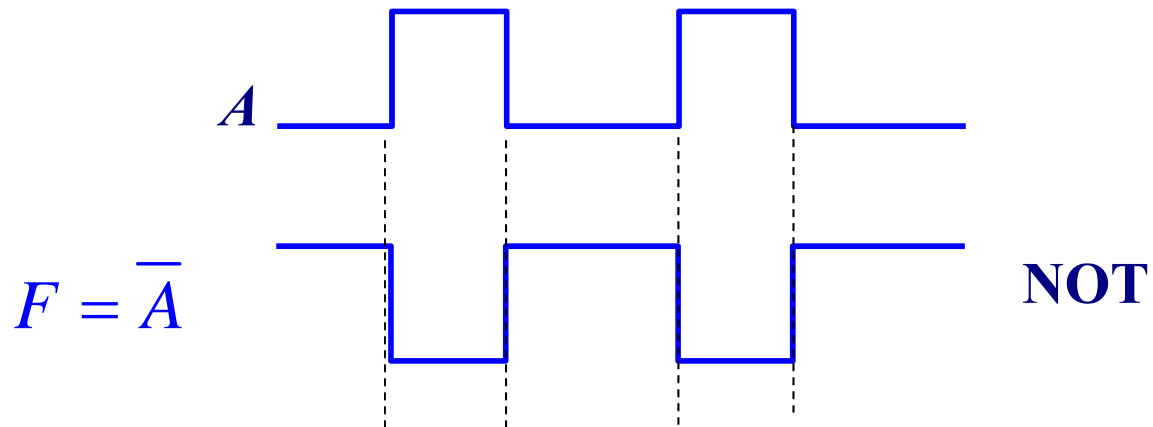
$$\bar{0} = 1 \quad \bar{1} = 0$$

$$\overline{\bar{A}} = A$$

$$A \cdot \bar{A} = 0$$

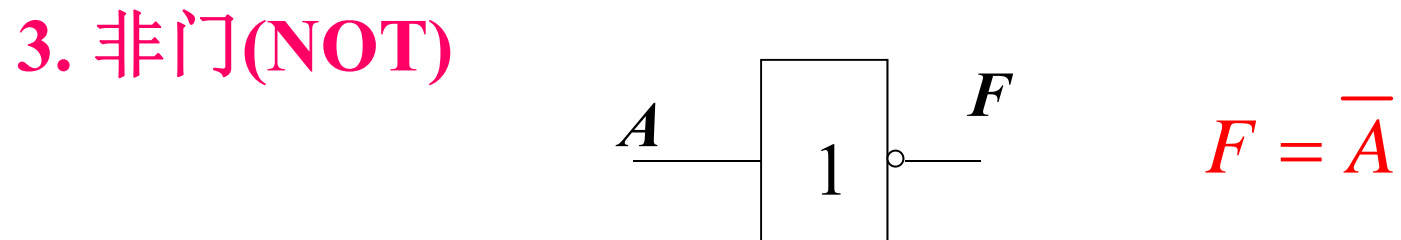
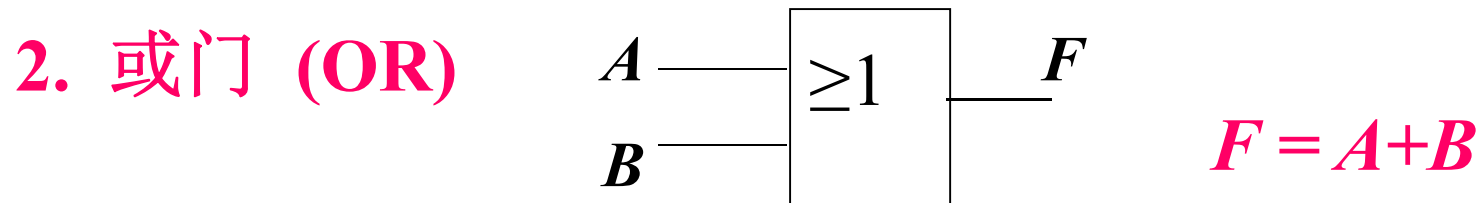
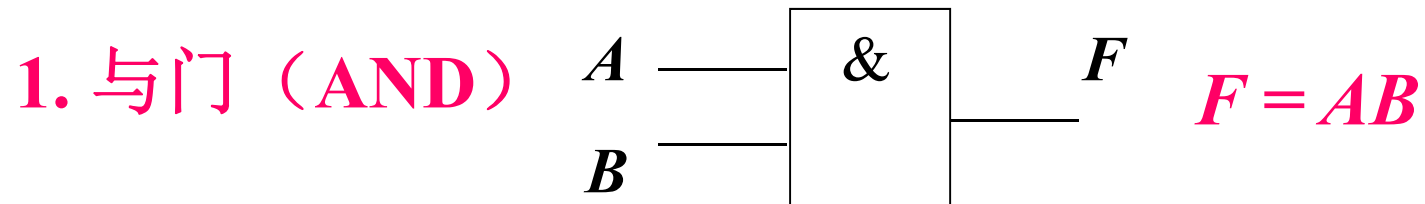
$$A + \bar{A} = 1$$

7) 波形图

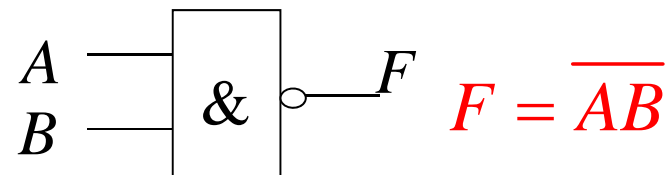


2.2.2 复合逻辑门

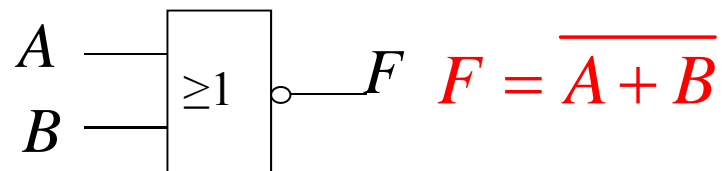
逻辑门及表达式



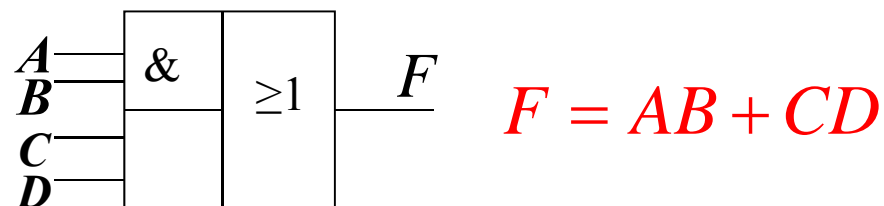
4. 与非门(NAND)



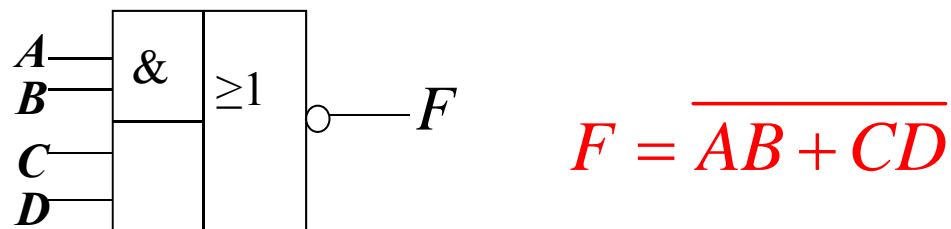
5. 或非门(NOR)



6. 与或门 (AND-OR)

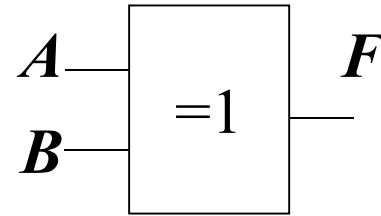


7. 与或非门 (AND-OR-NOT)



8. 异或门 (XOR : Exclusive - OR)

$$F = A \oplus B$$
$$= \overline{A}B + A\overline{B}$$



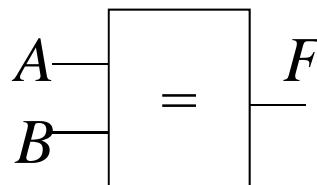
真值表:

<i>A</i>	<i>B</i>	<i>F(xor)</i>
0	0	0
0	1	1
1	0	1
1	1	0

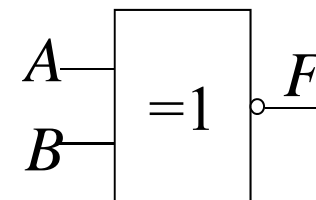
输入端只有2个且必须 2 个，
两输入相异时输出高电平。

9. 同或门 (XNOR: (Exclusive-NOR))

真值表:



$$F = A \odot B = AB + \bar{A} \cdot \bar{B}$$



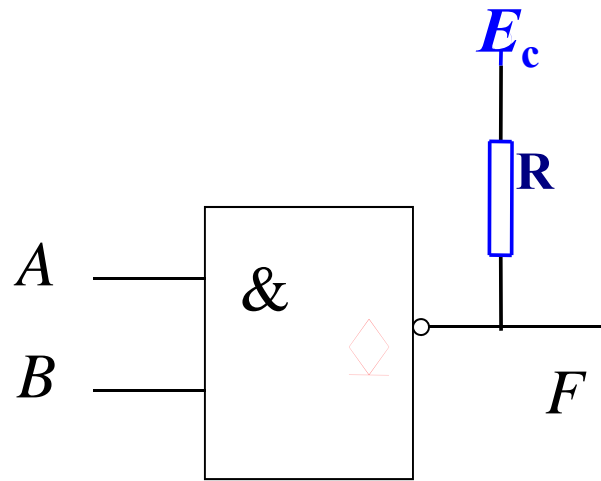
$$F = \overline{A \oplus B}$$

A	B	F (XOR)	F (XNOR)
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

同或门2输入，输出
与异或门相反；两输入
相同时输出高电平。

10. 集电极开路与非门

(OC: Open collector NAND Gate)

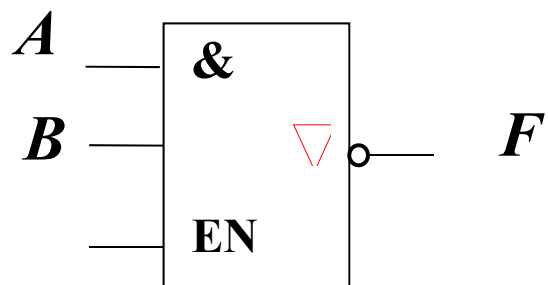


$$F = \overline{AB}$$

11. 三态门 (TSL: Three State Logic)

Tristates: 1, 0, Hi-Z (高阻态)

1) 高电平有效 (Active High)

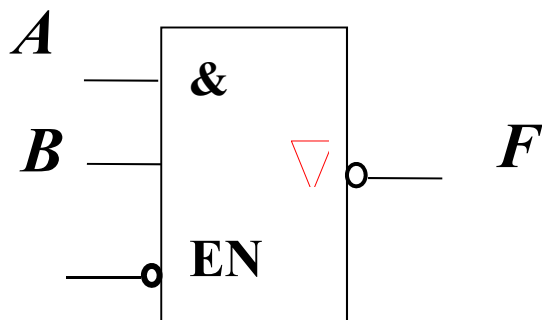


EN: 使能输入端enable input

EN=1, $F = \overline{AB}$ (与非门)

EN=0, $F = \text{Hi-Z}$ (高阻抗)

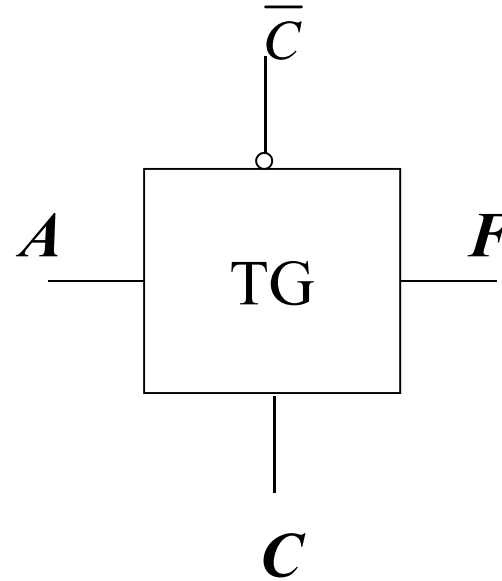
2) 低电平有效 (Active Low)



EN=0, $F = \overline{AB}$ (与非门)

EN=1, $F = \text{Hi-Z}$

12. 传输门 (TG: Transmission Gate)



C : Control

$C=1, \overline{C}=0$, $F=A$ (开关合上信号传过)

$C=0, \overline{C}=1$, (开关断开)

§ 2.3 TTL 集成门电路

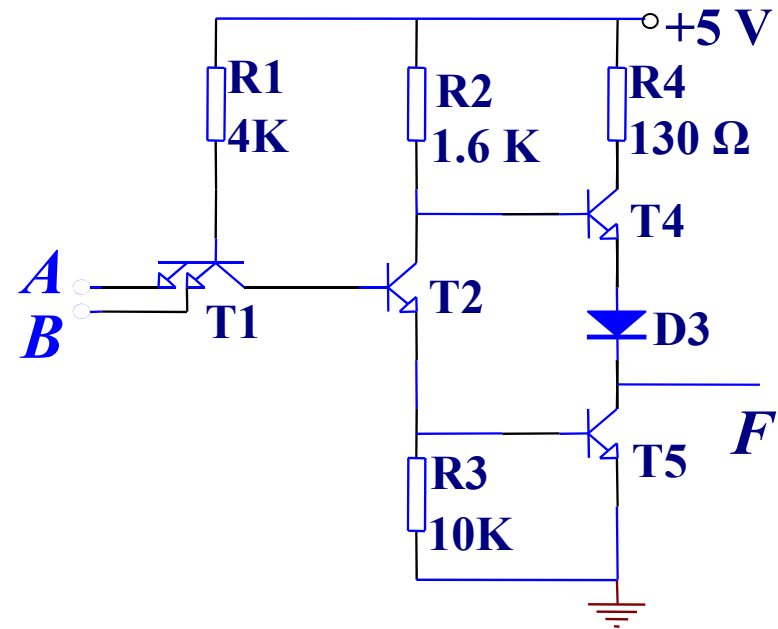
Transistor-Transistor- Logic

2.5.1 TTL集成电路概述

2.5.2 TTL 与非门

1. 工作原理

T1: 两发射极 (多发射极),
两个eb结

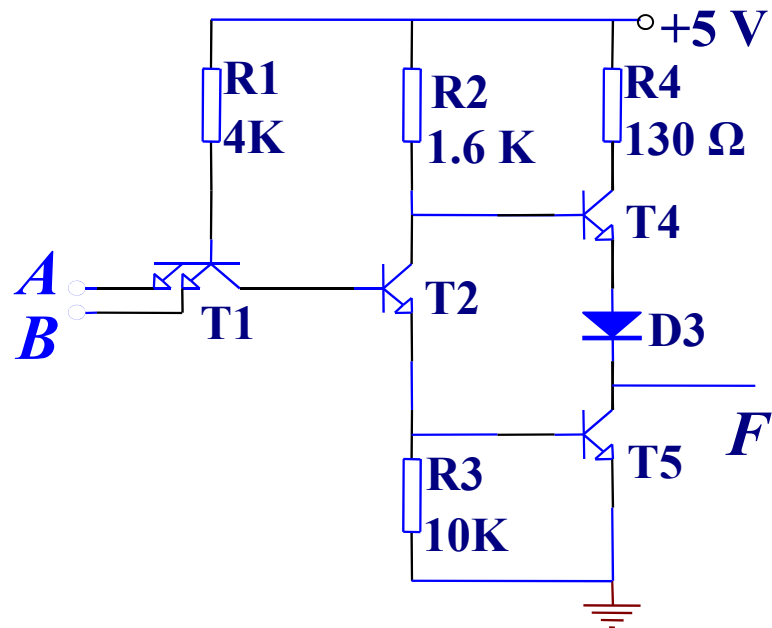


$$F = \overline{AB}$$

与非门真值表

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

$\left. \begin{array}{l} 0 \ 0 \\ 0 \ 1 \\ 1 \ 0 \end{array} \right\} A \text{ 或 } B \text{ 或二者为低, } F \text{ 为高电平}$
 $\rightarrow A \text{ 和 } B \text{ 都为高电平时, } F \text{ 为低电平}$



1) 入端有低

A 或 *B* 或二者接地，
电流从 +5 V 电源经 R1
和 T1 到地。

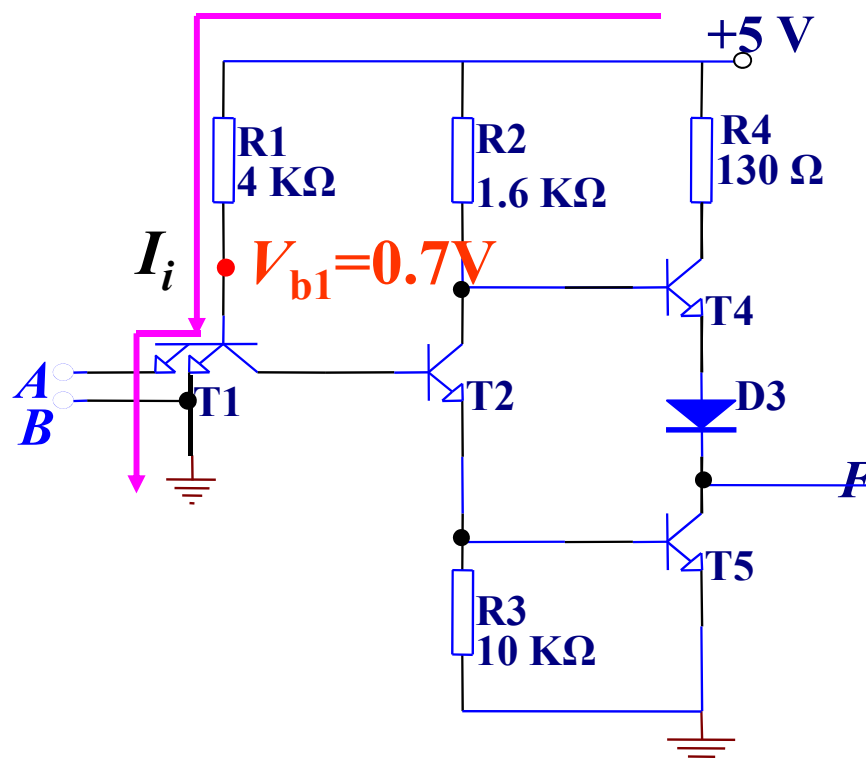
$$I_i = \frac{5 - 0.7}{4 \times 10^3} = 1.1 \text{ mA}$$

$$V_{b1} = 0.7 \text{ V}$$

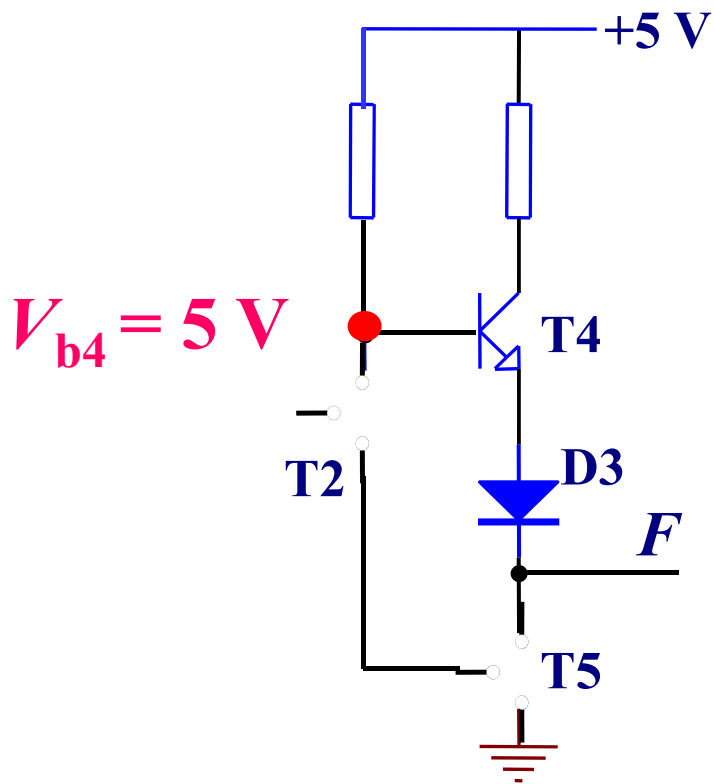
T1管基极电位钳位 $V_{b1} \approx 0.7 \text{ V}$.

0.7 V 不足以使 $T1_{bc}$ 和 $T2_{be}$ 正向导通

$\therefore T2$ 截止, $T5$ 截止



等效电路:



$$V_{b4} \approx 5 \text{ V}$$

输出

$$F = 5 - 0.7 \text{ V} - 0.7 \text{ V} = 3.6 \text{ V}$$

T4_{be}

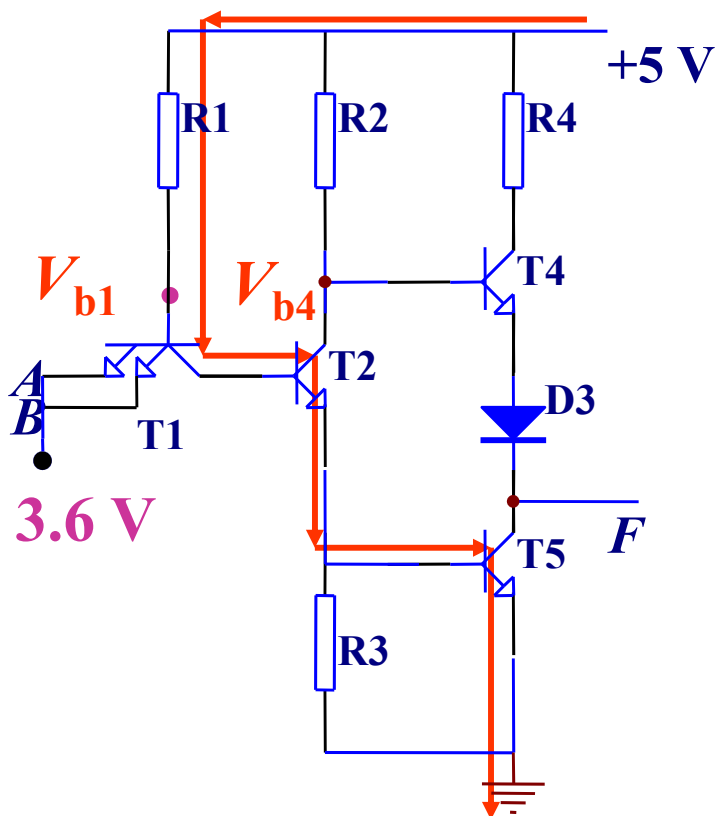
D3

典型高电平

输入端有低电平，输出为高电平.

关门状态

2) 入都为高 (A 和 B 都为高电平) 3.6 V



A 和 B 都是 3.6 V ,

$T1$ 导通,

V_{b1} 钳位 4.3 V ($=3.6 + 0.7$).

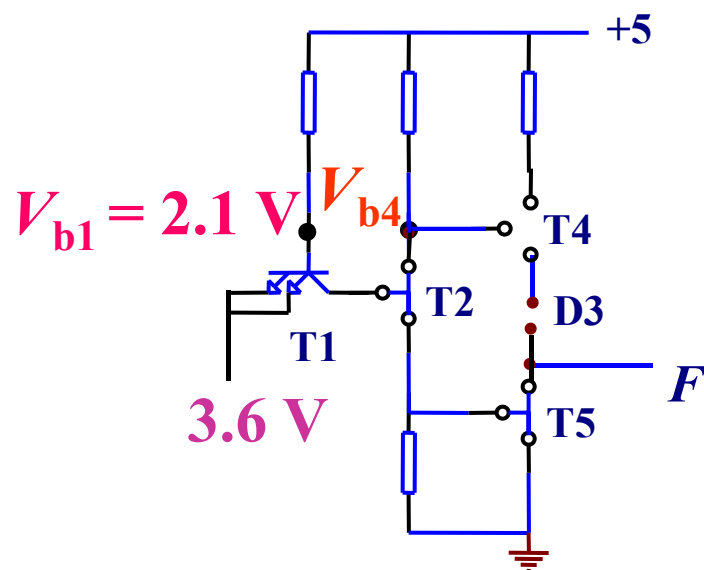
4.3 V 足以正向导通

$T1_{bc}$, $T2_{be}$ 和 $T5_{be}$ 结。

$\therefore T2, T5$ 导通

电流从 $+5\text{ V}$ 电源, 经 $T1, T2$ 和 $T5$ 流向地.

等效电路:



输入全高, 输出低.
开门状态

实现与非功能:

$$F = \overline{AB}$$

T2 和 T5导通, $V_{b1} = 2.1 \text{ V}$

$$\begin{aligned} V_{b4} &= V_{be5} + V_{ce2} \\ &= 0.7 + 0.3 = 1.0 \text{ V} \end{aligned}$$

V_{b4} 不足以
正向导通T4_{be} 和 D3

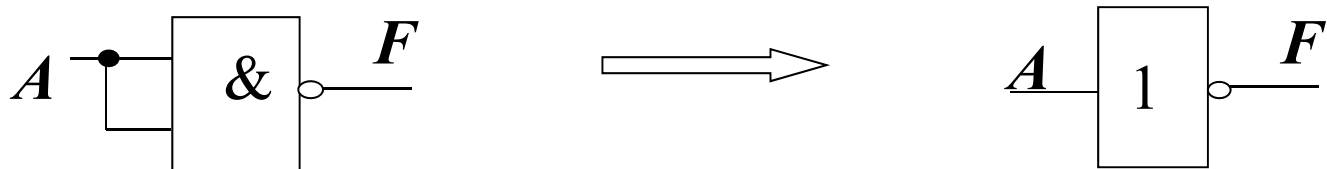
T4, D3 截止

输出

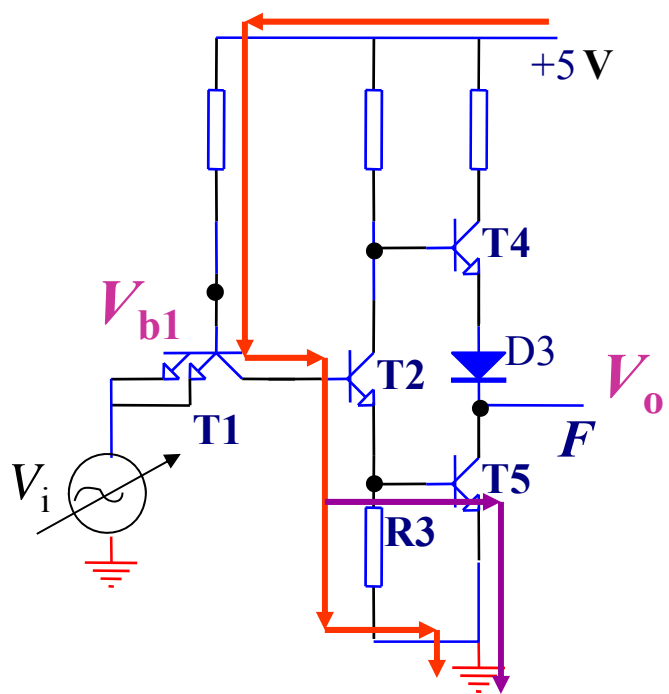
$$F = V_{ce5} = 0.1 \sim 0.3 \text{ V (低)}$$

T5 饱和压降

2. 电压传输特性



研究当输入 $V_i(A)$ 从低到高时，输出 $V_o(F)$ 如何从高到低



$V_i: 0 \rightarrow 0.7 \rightarrow 1.4 (V_T=1.4 \text{ V}) \rightarrow >1.4 \text{ V}$

$V_{b1}: 0.7 \rightarrow 1.4 \rightarrow 2.1 \rightarrow >2.1 \text{ V}$

T2 导通 **T5 导通**

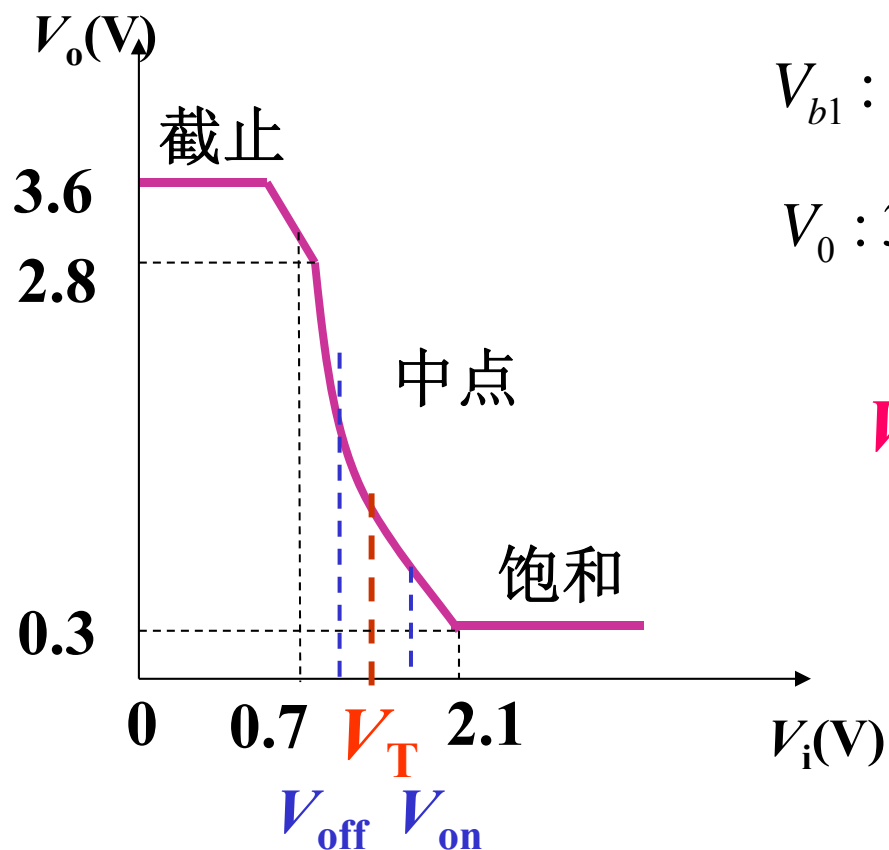
$V_o: 3.6 \rightarrow 3.6 \rightarrow 2.8 \xrightarrow{V_o \downarrow \downarrow} 0.3 \text{ V}$

T4, D3 导通

$T2 \rightarrow R3 \rightarrow GND$

$V_o \downarrow (V_{b4} < 5 \text{ V})$

电压传输特性



$V_i : 0 \rightarrow 0.7 \rightarrow 1.4 (V_T = 1.4 \text{ V}) \rightarrow > 1.4 \text{ V}$

$V_{b1} : 0.7 \rightarrow 1.4 \rightarrow 2.1 \longrightarrow > 2.1 \text{ V}$

$V_o : 3.6 \rightarrow 3.6 \rightarrow 2.8 \xrightarrow{v_o \downarrow \downarrow \downarrow} 0.3 \text{ V}$

V_T : 阈值电压 (门坎电压)

TTL 系列典型值

高电平 1: 2.8~3.6 V;

低电平 0: 0~0.3 V.

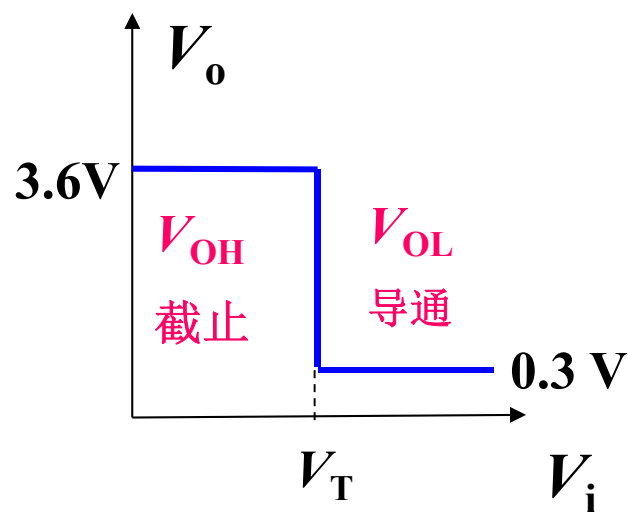
V_{off} V_{on} 噪声容限:

在保证逻辑门正常逻辑功能情况下, 输入端所能承受的最大干扰电压值。

2.2.3 TTL与非门的电气特性

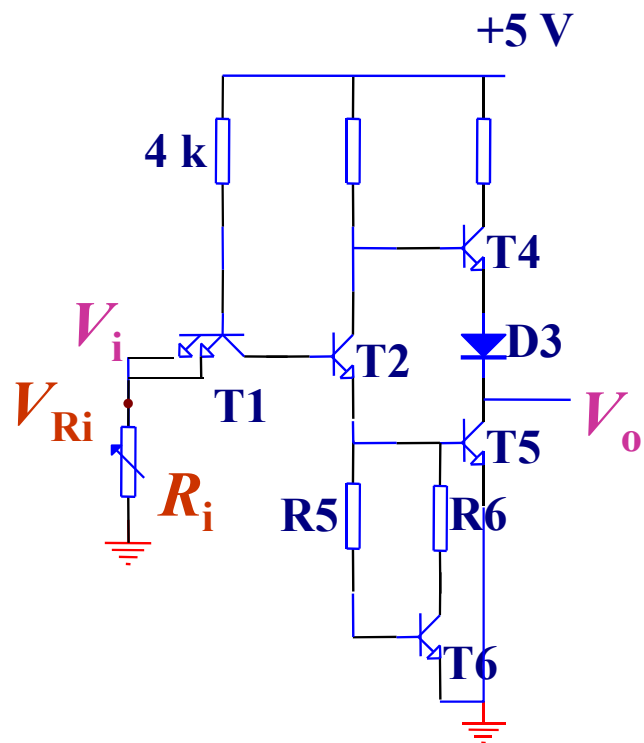
1. 输入负载特性

理想的TTL与非门电压传输特性是：



输入电阻 R_i $V_{Ri} = V_i$

求出当 $V_T = 1.4 \text{ V}$ 时的输入电阻值 R_T

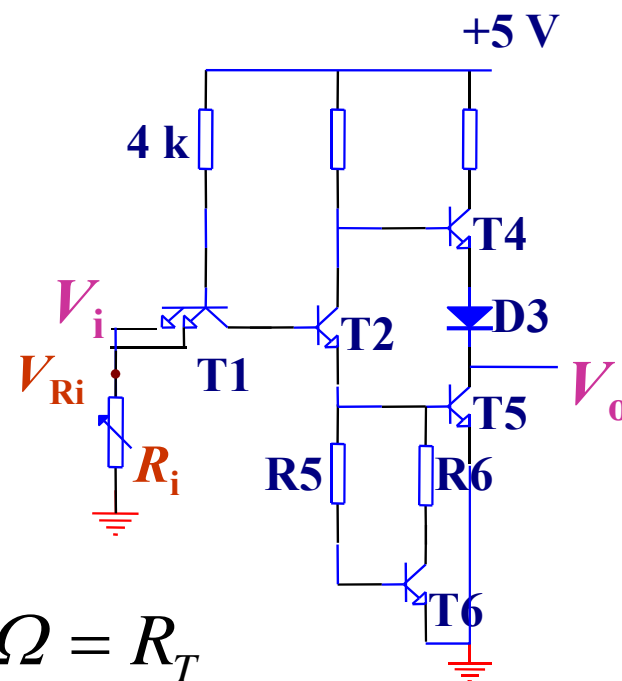


R_i 小, V_{Ri} 低 \Rightarrow 输入低电平

$$R_i \text{ 大, } V_{Ri} \text{ 高} \Rightarrow \text{输入高电平}$$

$$V_{Ri} = \frac{R_i}{4 \times 10^3 + R_i} (5 - 0.7)$$

$$= 1.4 \text{ V} \quad (V_T)$$



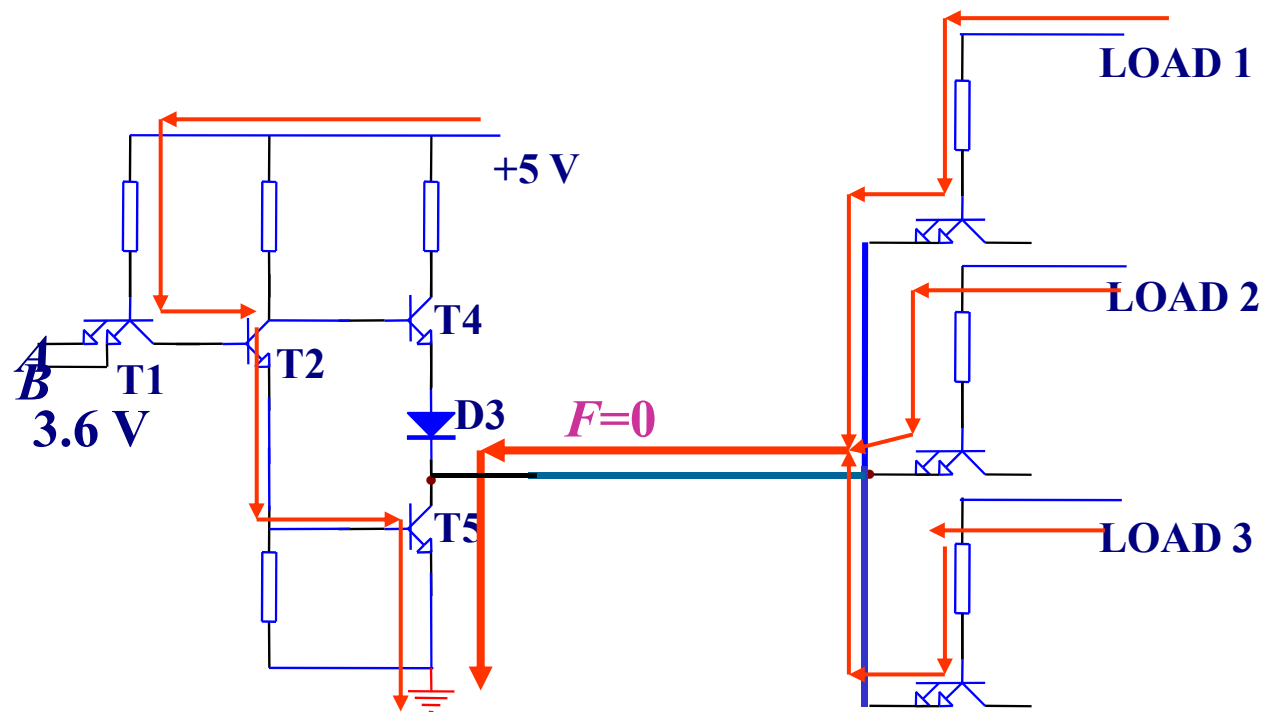
门坎电压时的 R_i $R_i = 1.9 \text{ k}\Omega \approx 2 \text{ k}\Omega = R_T$

R_T : 门坎电阻

输入电阻 R_i { $R_i < R_T$, 等效于输入低电平 (0)
 $R_i > R_T$, 等效于输入高电平 (1)
 R_i 对地悬空 (∞) 逻辑高电平 (1)

2. 输出特性（带负载能力—同类门）

1) 输出低—灌流负载



驱动门

负载门

当 $F=0$, 电流从 5 V 电源
经 T1, T2 和 T5 流向地.

负载门:
输入低电平

驱动门:

$$i_{b5} > 0, \quad I_{cs5} = 0,$$

$$\therefore i_{b5} \gg \frac{I_{cs5}}{\beta} = I_{b5}$$

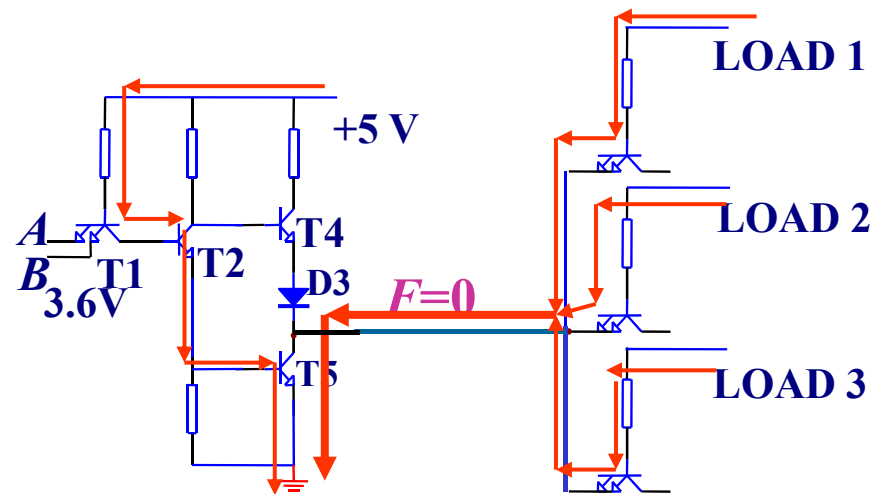
$\therefore T5$ 深饱和和

每个负载门有电流 I_i 灌入, 灌电流。

$$I_i = \frac{5 - 0.7}{4 \times 10^3} = 1.1 \text{ mA}$$

灌入驱动门, 这时的负载为灌流负载。

$$I_{\max} = 1.6 \text{ mA}$$



如果驱动门从每一个负载门接收 **1.1 mA (1.6 mA)** 灌电流, I_{cs5} 就要升高, 饱和就会变浅, 输出脱离标准低电平。

因此, TTL 不能带过多负载门。驱动门的最大容许灌电流 16 mA。

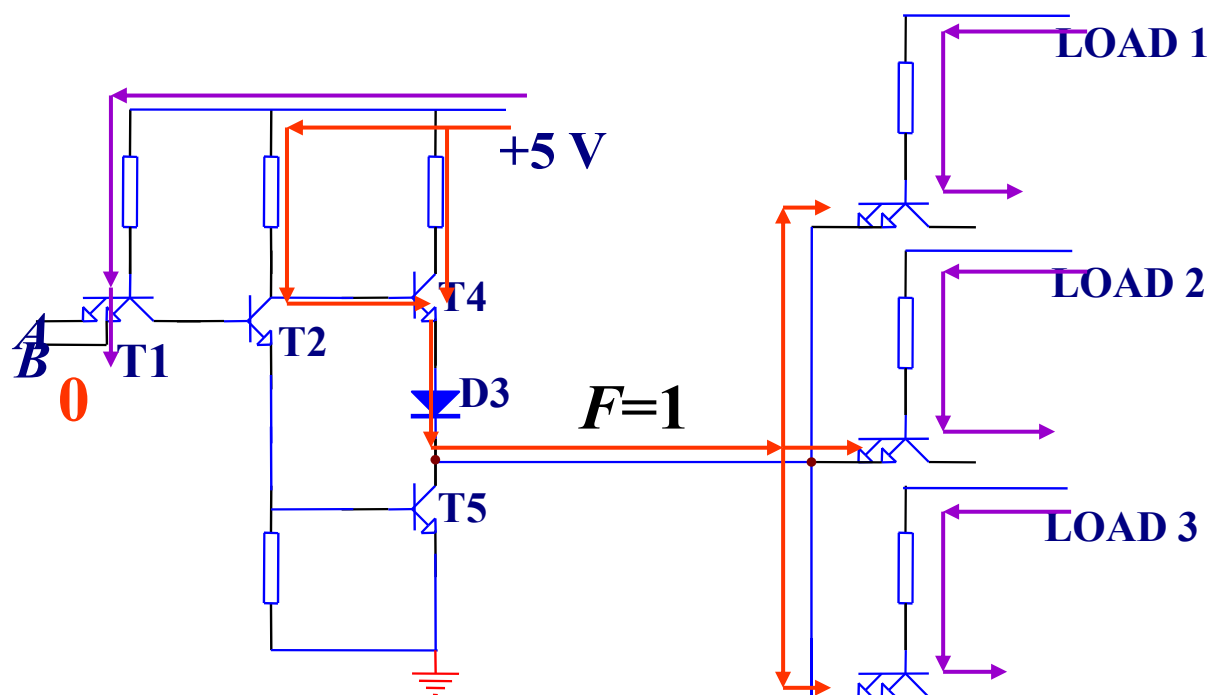
扇出系数:

一个输出所能驱动的同类门的最大数目。

$$N = \frac{16 \text{ mA}}{1.6 \text{ mA}} = 10$$

手册上规定:
 $N \leq 8$

2) 输出高一拉流负载



驱动门

负载门

从 F 拉出的电流是负载门 T1 管的反向漏电流。

驱动门输出高电平时，要承受各负载门的拉电流。拉电流越大，驱动门中 **R4** 上压降越大。**F** 非高非低，脱离标准逻辑高电平。

每负载门的拉电流为**40μA**，驱动门最大允许拉电流**400μA**

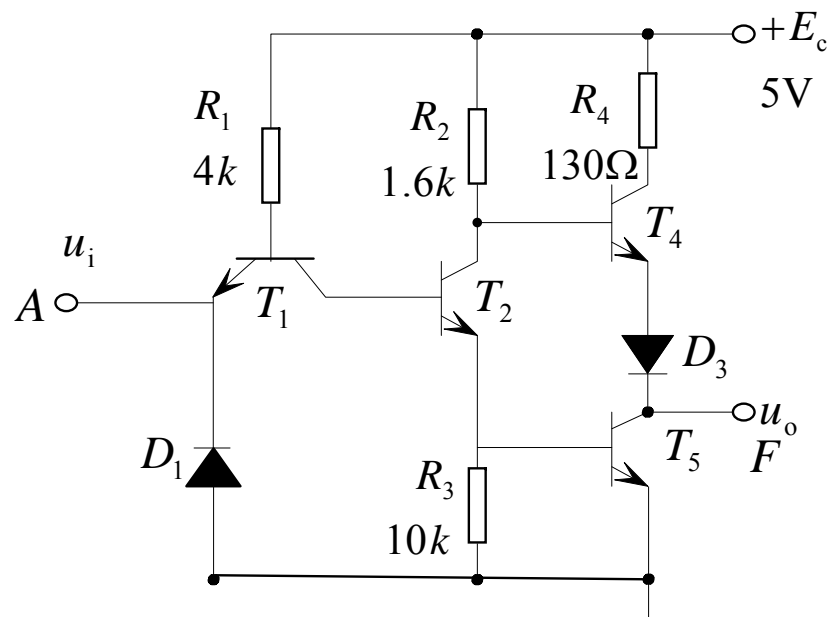
扇出系数与灌电流时相同：
$$\frac{400 \mu A}{40 \mu A} = 10$$

手册规定： $N \leq 8$

§ 2.3.4 其他类型TTL门电路

1. TTL 非门

TTL 非门与 TTL 与非门基本相同。



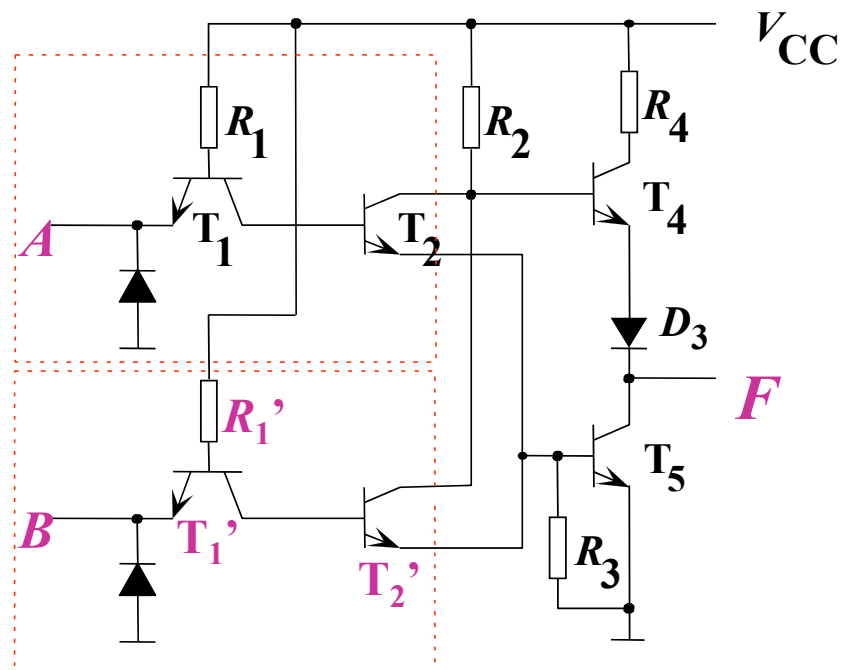
$$F = \overline{A}$$

2. 或非门

$A: T_1, T_2, R_1$
 $B: T_1', T_2', R_1'$

相同电路

中间级和输出级与非门相同



$A: \text{高}$

$\left\{ \begin{array}{l} T_2, T_5 \text{ 导通} \\ T_4, D_3 \text{ 截止} \end{array} \right\} F: \text{低}$

$B: \text{高}$

$\left\{ \begin{array}{l} T_2', T_5 \text{ 导通} \\ T_4, D_3 \text{ 截止} \end{array} \right\} F: \text{低}$

集电极 $\rightarrow T_4$
发射极 $\rightarrow T_5$

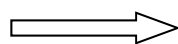
只有当 A 和 B 同时低

$\left\{ \begin{array}{l} T_2', T_2 \text{ 都截止} \\ T_5 \text{ 截止} \\ T_4 \text{ 导通} \end{array} \right\} F: \text{高}$

$F = \overline{A + B}$

3. 与或非门

或非门的输入端



多发射极晶体管

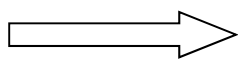
A 和 B 都高, F 低;

C 和 D 都高, F 低;

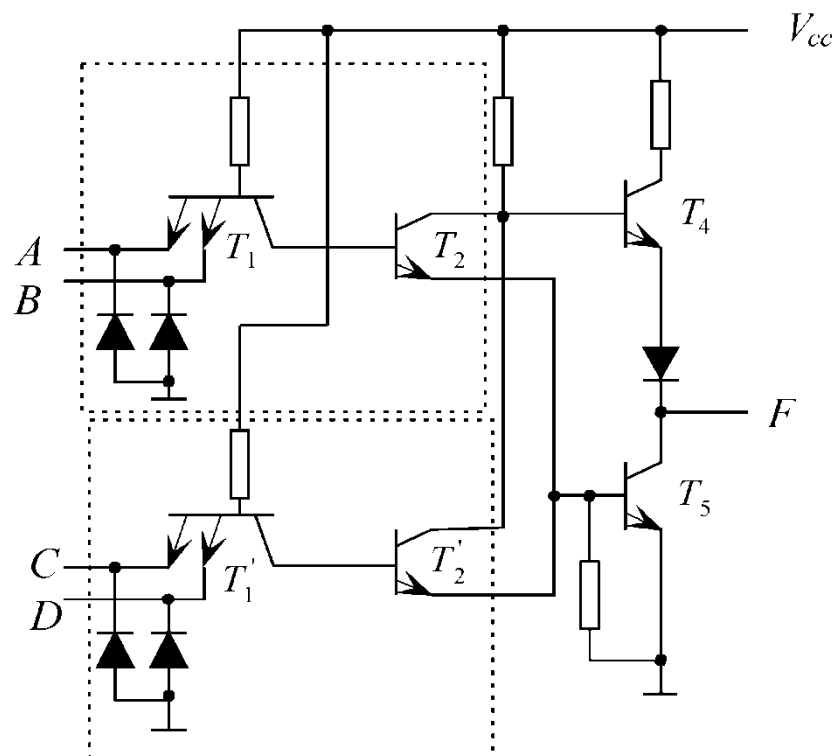
只有当

$\left\{ \begin{array}{l} A \text{ 和 } B \\ C \text{ 和 } D \end{array} \right\}$

不同时为高 时



F 高



$$F = \overline{A \cdot B + C \cdot D}$$

4. 异或门

A, B 都高

$\left\{ \begin{array}{l} T_6, T_9 \text{ 导通} \\ T_8 \text{ 截止} \end{array} \right\}$

F 低

A, B 都低

$\left\{ \begin{array}{l} T_2, T_3 \text{ 发射极导通} \\ T_4, T_5 \text{ 截止} \\ T_7, T_9 \text{ 导通} \\ T_8 \text{ 截止} \end{array} \right\}$

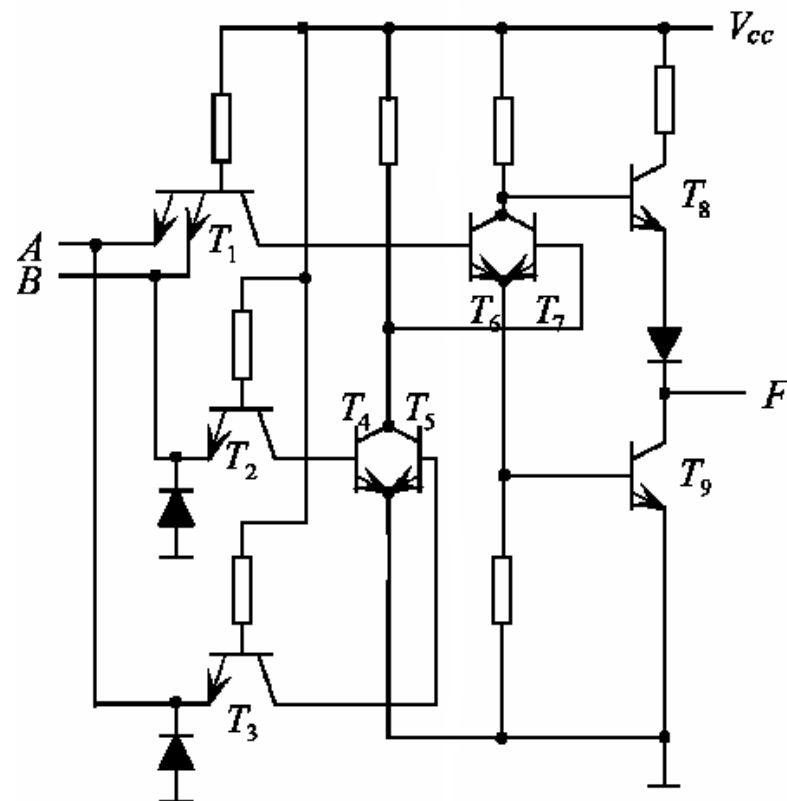
F 低

A, B
不同

$\left\{ \begin{array}{l} T_1 \text{ 导通}, T_6 \text{ 截止} \\ T_4, T_5 \text{ 之一导通}, \rightarrow T_7 \text{ 截止} \\ T_8 \text{ 导通}, T_9 \text{ 截止} \end{array} \right\}$

F 高

$$F = A \oplus B$$

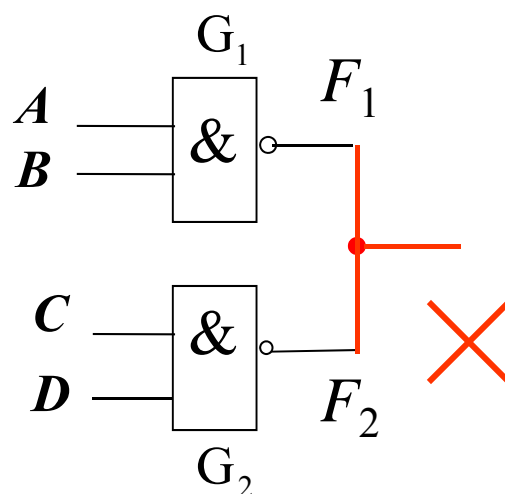


5. 集电极开路与非门

当需要下面运算时

$$F = F_1 \cdot F_2 = \overline{AB} \cdot \overline{CD}$$

有一种连接方法
如图

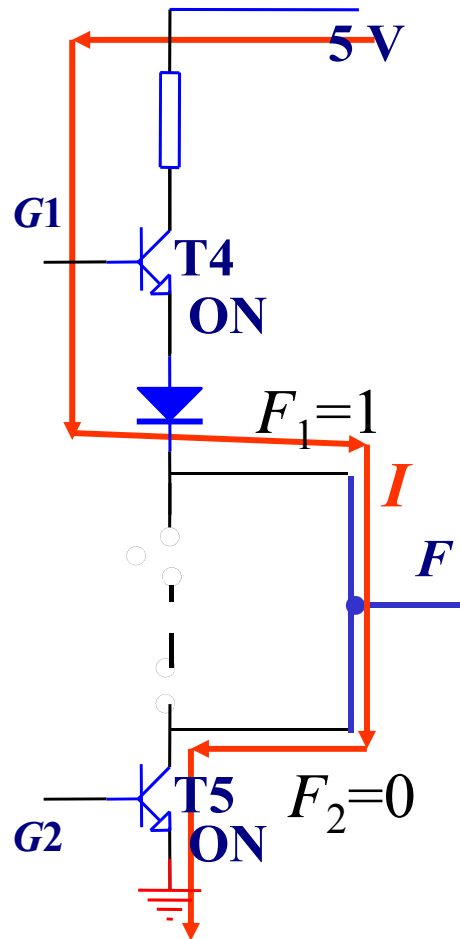


$$\begin{aligned} F &= F_1 \cdot F_2 \\ &= \overline{AB} \cdot \overline{CD} \end{aligned}$$

这种连法称“线与”

普通TTL门电路禁止这种连接方法

原因：



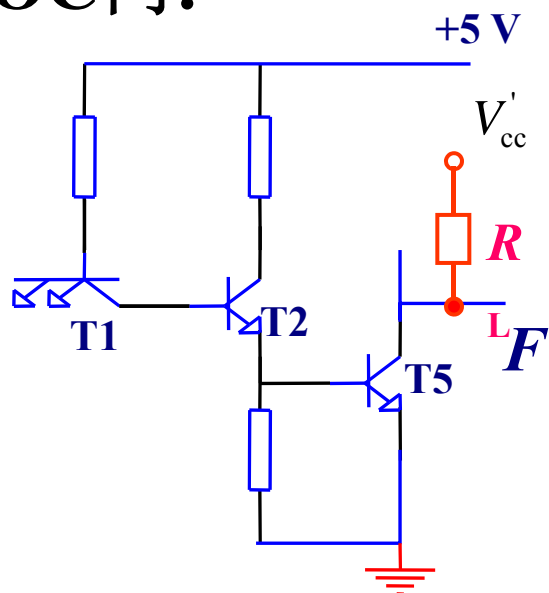
TTL 门输入电阻很小。如果 $G1$ 输出高，而 $G2$ 输出低，会形成一个很大电流 I 从 $G1$ T4 流向 $G2$ T5.

导致：

I { $G2$ T5 烧毁
输出 F 脱离标准逻辑电平

非 1 非 0, 逻辑错误。

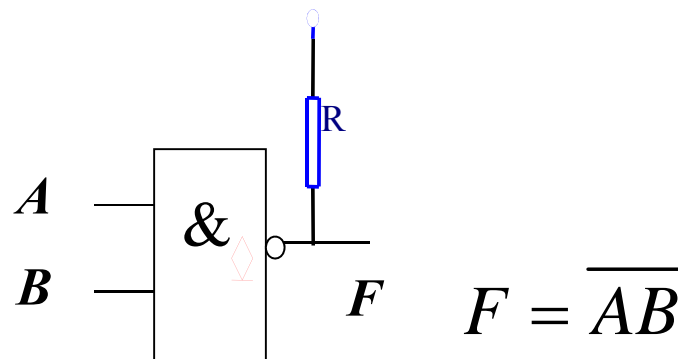
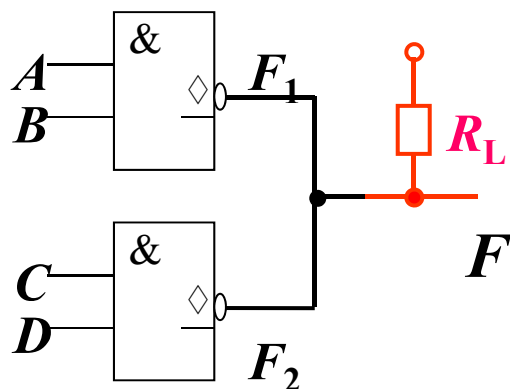
OC门:



集电极开路与非门去掉了 T4 和 D3, 用一个上拉电阻 R_L 替代。

选择适当 V_{cc}' 和 R_L 值, 就可以实现高电平和线与。

OC 门符号:



(负载电阻的计算, 见书)

$$F = F_1 \cdot F_2 = \overline{AB} \cdot \overline{CD} = \overline{AB + CD}$$

6. 三态门 TSL

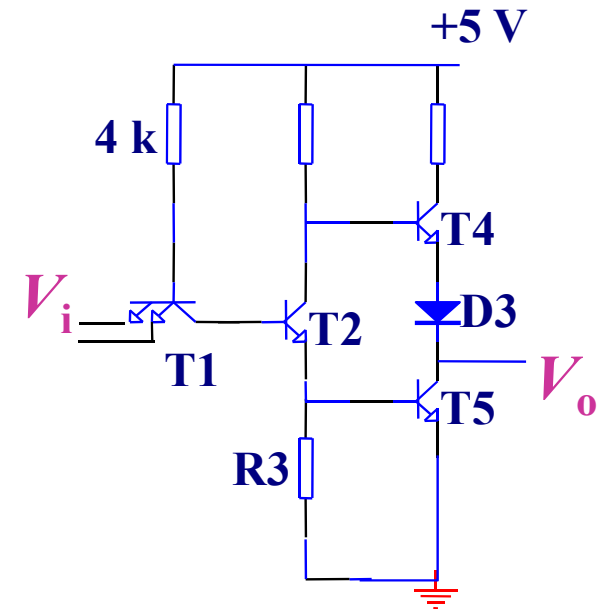
三态门输出:

高, 低, 高阻抗 (Hi-Z)

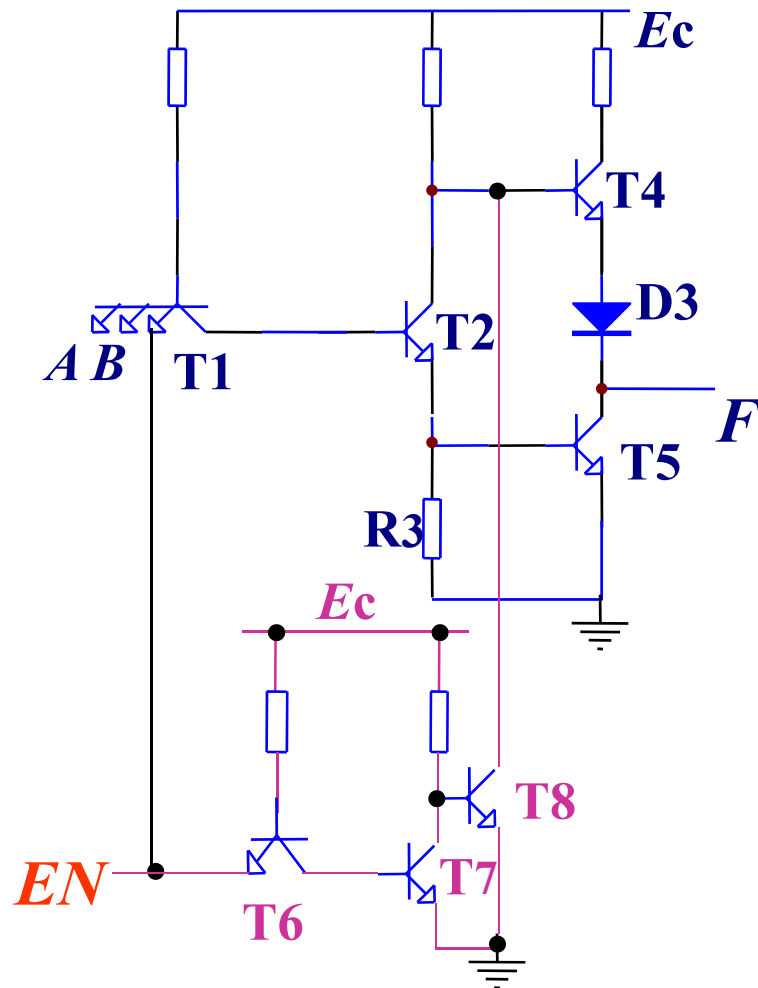
高阻抗是 T_4 和 T_5 管都截止, 输出对地和对电源 E_c 都为高阻抗.

输出是悬浮的终端, 既不是逻辑低也不是逻辑高电平.

实际中, 输出端是一个几兆欧或更大的电阻.



TTL 三态门



三态钳位电路示意图

高电平有效

$EN = 1$, T6倒置放大, T7 导通, T8 截止, T8 集电极开路; 三态钳位电路不起作用, 输入完全取决于A、B。

$EN = 0$, T8 导通,
 V_{b4} 钳位 0.3 V,

T4 D3 截止

T1 导通, $V_{b1} \leq 1.0 \text{ V}$

T2 T5 截止

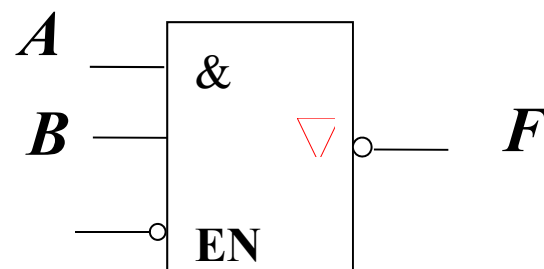
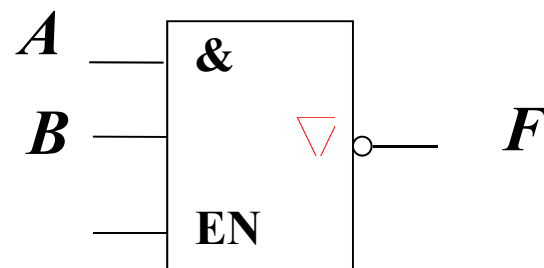
F : Hi-Z 悬浮导线

三态门:

高电平有效 $\begin{cases} \text{EN}=1, F=\overline{AB} \\ \text{EN}=0, F: \text{Hi-Z} \end{cases}$

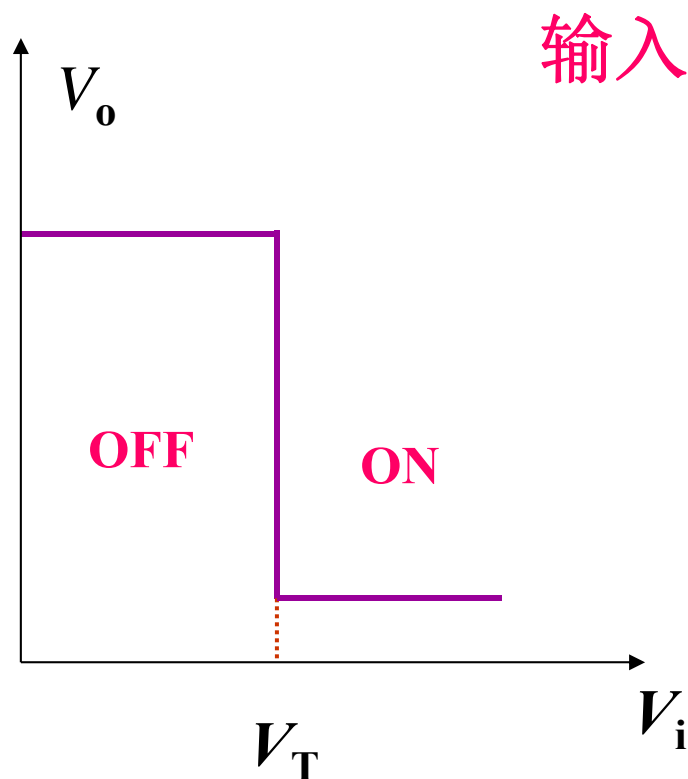
低电平有效 $\begin{cases} \text{EN}=0, F=\overline{AB} \\ \text{EN}=1, F: \text{Hi-Z} \end{cases}$

符号:



2.3.5 TTL 电路的改进

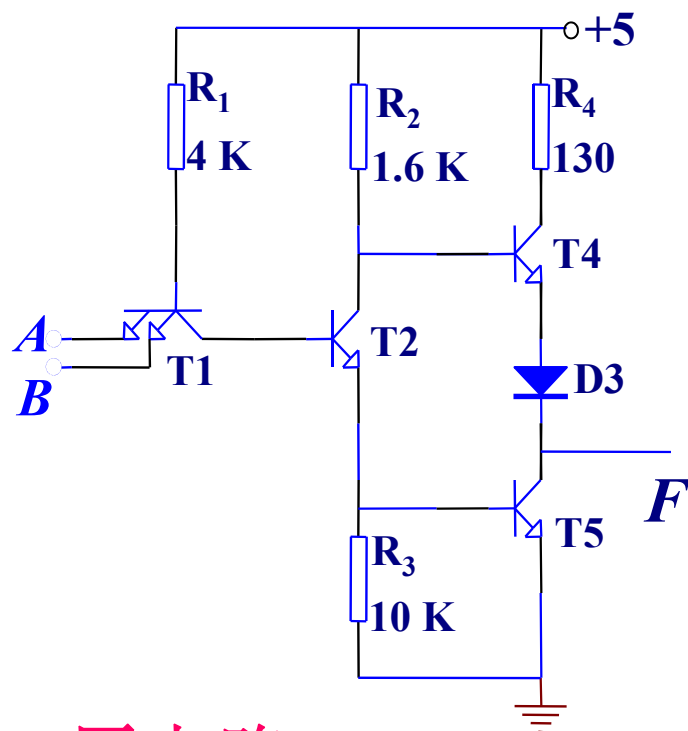
理想电压传输特性:



输入电压在 V_T 时, 输出电压翻转.

多种改进的方法。

一种是在TTL电路中
增加T6 管:



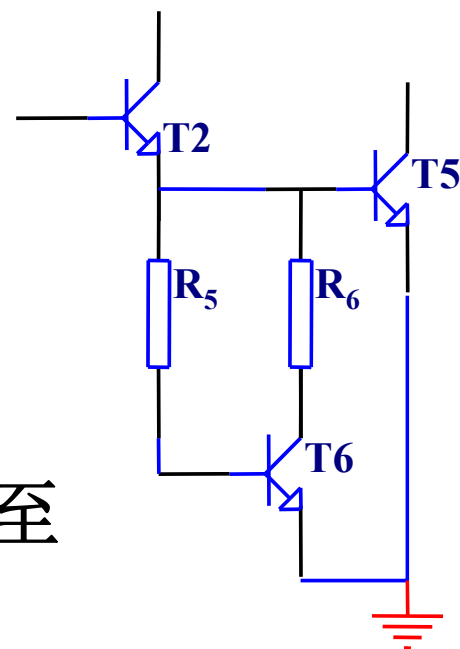
R_3 造成电压传输特性不理想.
用 R_5 , R_6 , T_6 替代 R_3 .

原电路:

$V_i = 0.7 \text{ V}$, T2 导通
($R_3 \rightarrow$ 地)

改进电路:

$V_i = 0.7 \text{ V}$, T2 截至



只有当 $V_i = 1.4 \text{ V}$, T2 和 T5 同时导通, 或 T2 和 T6 同时导通.

R_5 的存在, 通常T6 滞后于T5.

只有 V_T , 没有 V_{on} 和 V_{off}

V_T : 预置电压 **threshold voltage** , $V_T = \mathbf{1.4\ V}$

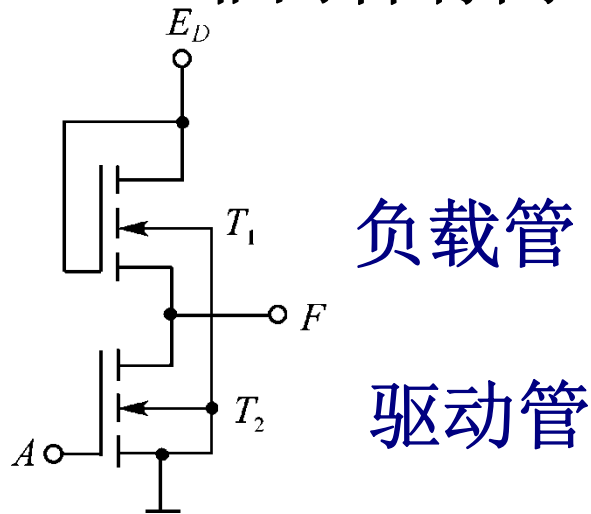
$$\text{输入 } V_i \left\{ \begin{array}{ll} V_i < 1.4\ \text{V} & \text{相当于 } V_i = 0 \\ V_i > 1.4\ \text{V} & \text{相当于 } V_i = 1 \\ V_i \text{ 悬空} & V_i = 1 \end{array} \right.$$

§ 2.6 MOS 逻辑电路

2.6.1 NMOS 门电路

1. NMOS 非门

NMOS 非门含有两个 N-沟 FETs:



T_1 : 负载管

T_2 : 驱动管

负载管 T_1 栅极接 E_D ,
总是导通, 基本作用为
负载电阻

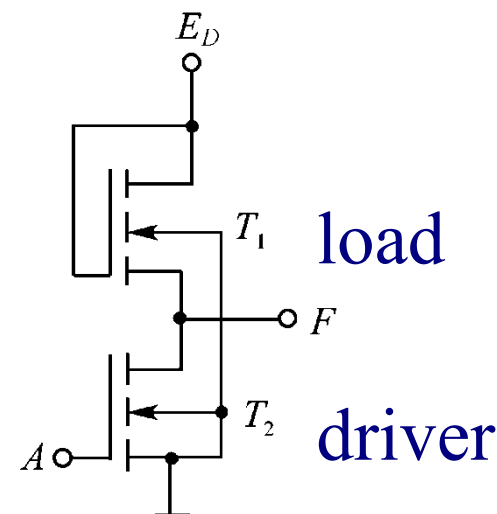
$$R_{ON1} = 100 \text{ k}\Omega$$

输入 $A = 0 \text{ V}$ (logic 0), $V_{GS2} < V_T$,

T_2 截至, $R_{off} \geq 10^{10} \Omega$

输出: $F = \frac{10^{10}}{10^5 + 10^{10}} \times E_D \approx E_D$

$F = E_D$ (logic 1) $\therefore A = 0, F = 1$



输入 $A = 5 \text{ V}$ (logic 1), $V_{GS} > V_T$, T_2 导通, $R_{on2} = 1 \text{ k}\Omega$

$$F = \frac{R_{ON2}}{R_{ON1} + R_{ON2}} E_D = \frac{1k}{100k + 1k} E_D \approx 0.01 E_D \approx 0$$

$\therefore F = 0$ (logic 0)

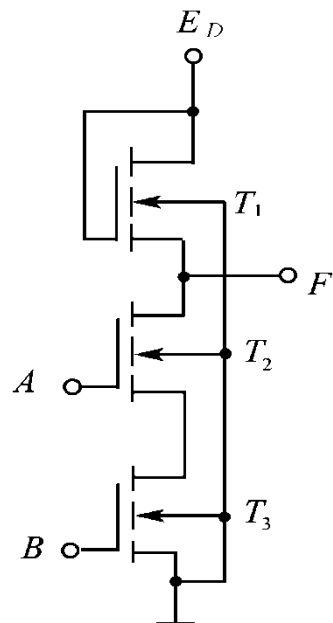
真值表

A	T_1	T_2	F
0	on	off	1
1	on	on	0

实现逻辑功能

$$F = \bar{A}$$

2. NMOS 与非门



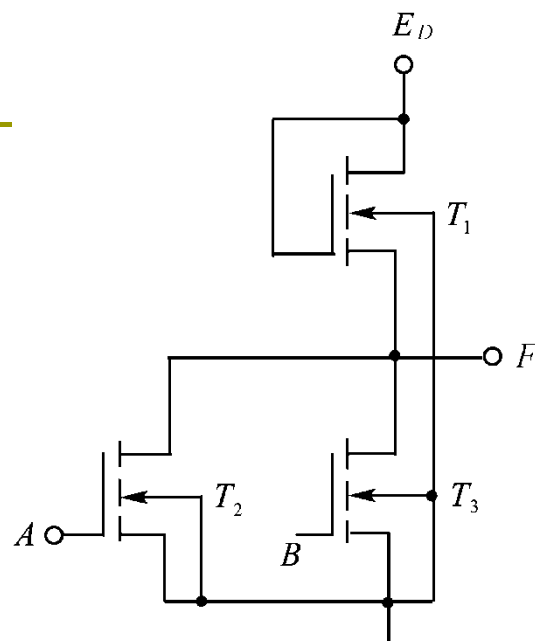
两个驱动管 T_2 和 T_3 **串联**，输入分别为 A 和 B 。

输入、输出列于真值表：

A	B	T_1	T_2	T_3	F
0	0	on	off	off	1
0	1	on	off	on	1
1	0	on	on	off	1
1	1	on	on	on	0

∴ 输出 $F = \overline{AB}$

3. NMOS 或非门



A	B	T_1	T_2	T_3	F
0	0	on	off	off	1
0	1	on	off	on	0
1	0	on	on	off	0
1	1	on	on	on	0

两个驱动管 T_2 和 T_3
并联，输入分别为 A 和 B 。

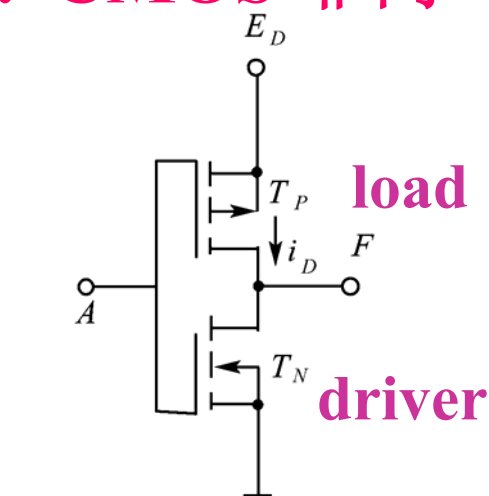
$$\therefore F = \overline{A + B}$$

注意：无负载管不是逻辑电路

2.6.2 CMOS 门电路

互补型MOS (CMOS: **complementary**) 逻辑门在一个电路中同时包含 P - 和 N - 沟道FET。

1. CMOS 非门



A	T_P	T_N	F
0	on	off	1
1	off	on	0

$$F = \bar{A}$$

PMOS: 负载 NMOS: 驱动

$$E_D = 10 \text{ V}$$

$$E_D > (V_{TN} + |V_{TP}|) \quad V_{TN} = |V_{TP}|$$

大于两门坎电压代数和

$A = 0$, T_N Off, T_P On

$$(V_{GSN} < V_{TN}, V_{GSP} = 0 - E_D = -E_D$$

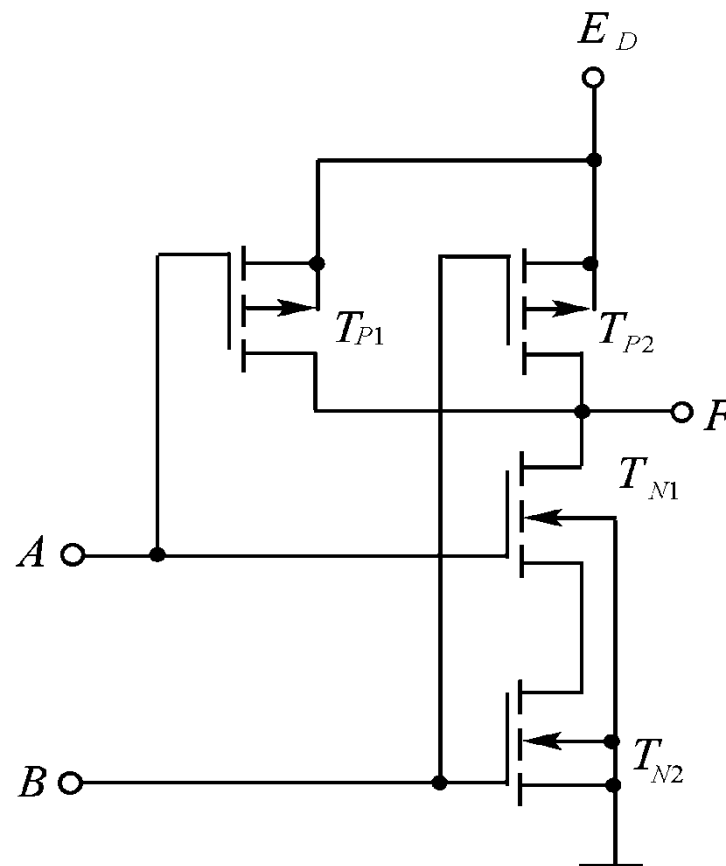
$$|V_{GSP}| > |V_{TP}|) \quad F = E_D = 1$$

$A = 1$, T_N On, T_P Off

$$(V_{GSP} = E_D - E_D = 0 < |V_{TP}|) \quad F = 0$$

2. CMOS 与非门

A	B	T_{n1}	T_{n2}	T_{p1}	T_{p2}	F
0	0	off	off	on	on	1
0	1	off	on	on	off	1
1	0	on	off	off	on	1
1	1	on	on	off	off	0

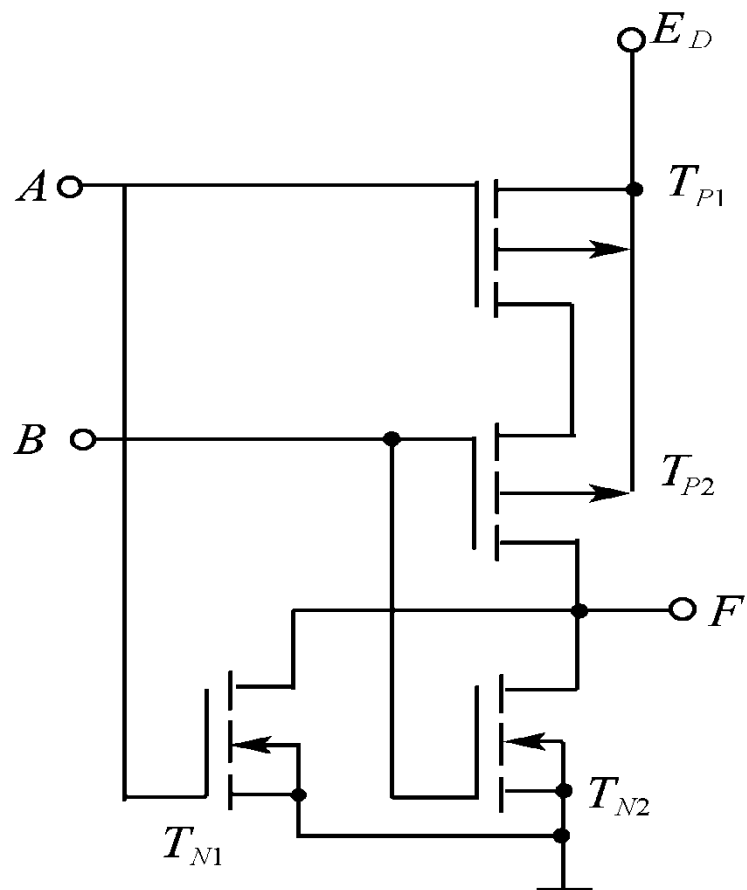


两个驱动管 T_{n1} 和 T_{n2} 串联.

两个负载管 T_{p1} 和 T_{p2} 并联。

功能：与非

$$F = \overline{AB}$$



3. CMOS 或非门:

<i>A</i>	<i>B</i>	<i>T_{n1}</i>	<i>T_{n2}</i>	<i>T_{p1}</i>	<i>T_{p2}</i>	<i>F</i>
0	0	off	off	on	on	1
0	1	off	on	on	off	0
1	0	on	off	off	on	0
1	1	on	on	off	off	0

两 **N**MOSFETs 并联作为驱动管.

两 **P**MOSFETs 串联作为负载管.

功能: 或非

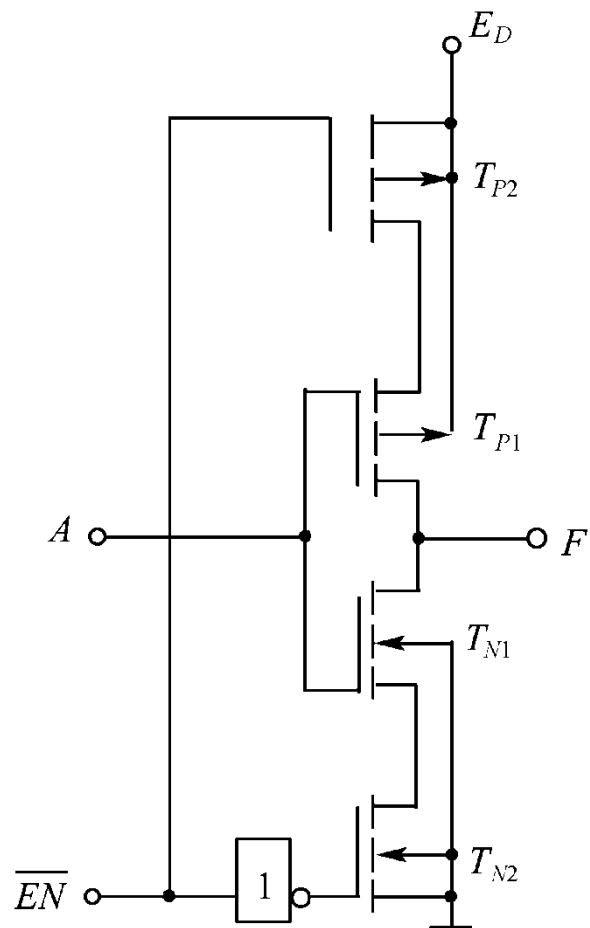
$$F = \overline{A+B}$$

4. CMOS 三态门

低电平有效三态门

T_{P1} 、 T_{N1} ：非功能

增加 T_{N2} 和 T_{P2} 分别与驱动管 T_{N1} 及负载管 T_{P1} 串联

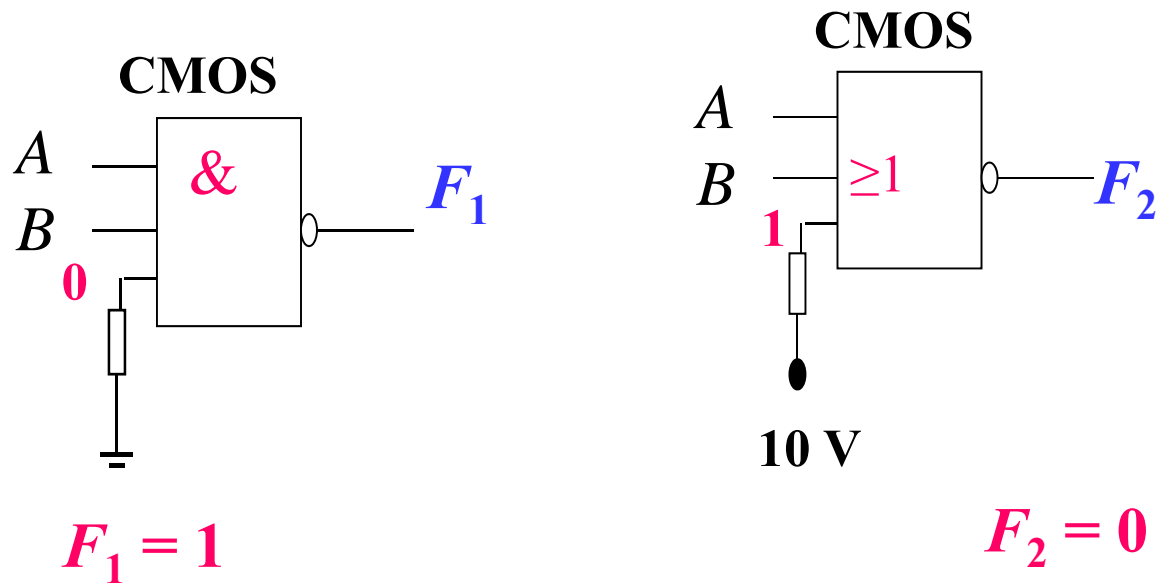


$\overline{EN}=1$ $\left\{ \begin{array}{l} T_{N2}、T_{P2} \text{ 截至,} \\ F \text{ 悬浮 } (F = \text{Hi-Z}); \end{array} \right.$

$\overline{EN}=0$ $\left\{ \begin{array}{l} T_{N2}、T_{P2} \text{ 导通} \\ T_{N1}、T_{P1} \text{ 非门工作} \end{array} \right.$

$$F = \overline{A}$$

MOS电路输入电阻 $R_{GS} > 10^{10} \Omega$, 所以无论外接电阻多大, 都是: 接地 $\rightarrow 0$, $E_c \rightarrow 1$ 。



§ 2.7 TTL 与 CMOS 电路的连接

两种电路匹配条件：

电压匹配

voltage

$$\begin{cases} V_{OH} > V_{IH} \\ V_{OL} < V_{IL} \end{cases}$$

电流匹配

current

$$\begin{cases} I_{OH} > I_{IH} \\ I_{OL} > I_{IL} \end{cases}$$

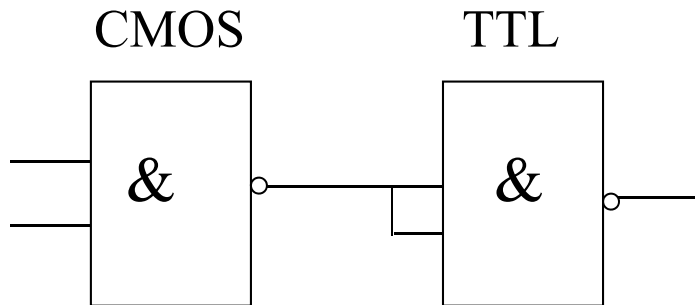
驱动管

负载管

TTL, CMOS 参数:

	TTL CT1000 系列	TTL CT4000 系列	CMOS CC4000 系列 $E_D = 5\text{ V}$
$V_{OH(\min)}(\text{V})$	2.4	2.7	4.95
$V_{OL(\min)}(\text{V})$	0.4	0.5	0.05
$I_{OH(\max)}(\text{mA})$	0.4	0.4	0.5
$I_{OL(\max)}(\text{mA})$	16	8	0.5
$V_{IH(\min)}(\text{V})$	2	2	3.5
$V_{IL(\min)}(\text{V})$	0.8	0.8	1.5
$I_{IH}(\mu\text{A})$	40	20	0.1
$I_{IL}(\text{mA})$	1.6	0.4	0.1×10^{-3}

1. COMS 驱动 TTL



	TTL 1000	TTL 4000	CMOS 4000
$V_{OH(min)}(V)$	2.4	2.7	4.95
$V_{OL(min)}(V)$	0.4	0.5	0.05
$I_{OH(max)}(mA)$	0.4	0.4	0.5
$I_{OL(max)}(mA)$	16	8	0.5
$V_{IH(min)}(V)$	2	2	3.5
$V_{IL(min)}(V)$	0.8	0.8	1.5
$I_{IH}(\mu A)$	40	20	0.1
$I_{IL(mA)}$	1.6	0.4	0.1×10^{-3}

$$\begin{cases} V_{OH} > V_{IH} \\ V_{OL} < V_{IL} \end{cases}$$

$$\begin{cases} I_{OH} > I_{IH} \\ I_{OL} > I_{IL} \end{cases}$$

从表中看出，

△COMS驱动TTL 4000系列时，
4个条件全都满足，可以直接驱动

△COMS驱动TTL 1000系列时，
第4个条件不满足，即：

$$I_{OL} > I_{IL}$$

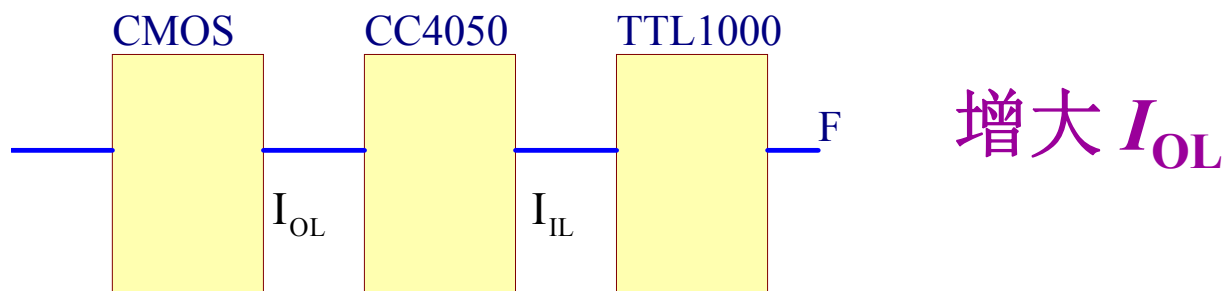
$$0.5 \text{ mA} < 1.6 \text{ mA}$$

不能直接连接。

连接方法:

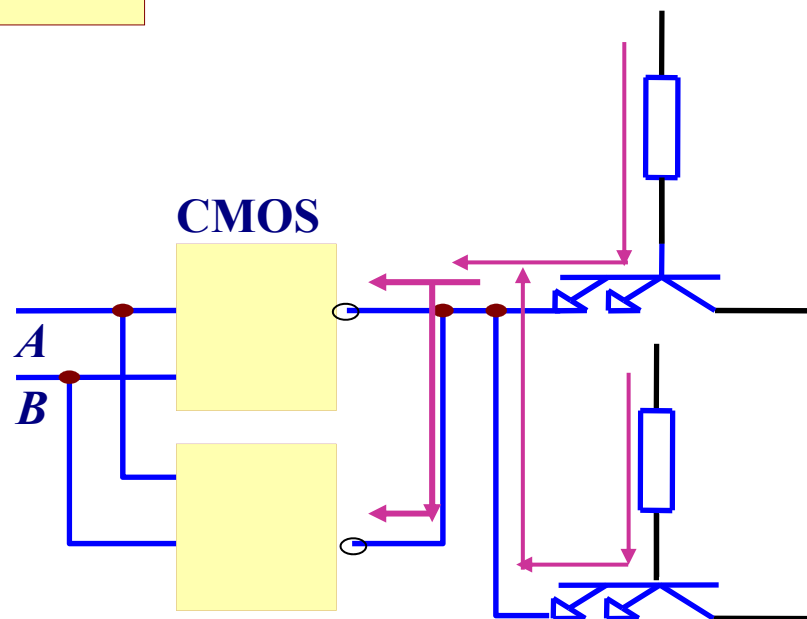
$$I_{OL} > I_{IL} \quad 0.5 \text{ mA} < 1.6 \text{ mA}$$

1) 接转换电路 CC4049, CC4050



2) 并联几个CMOS门.

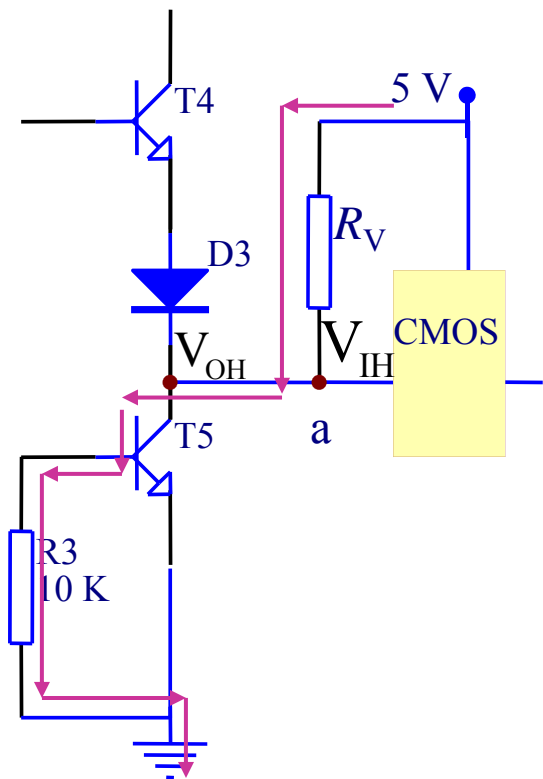
灌入每个门的电流减小.



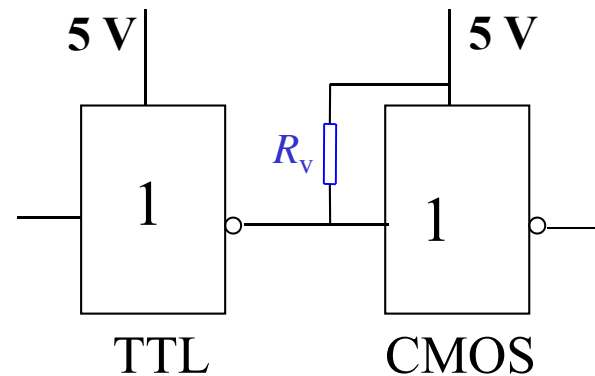
2. TTL 驱动 CMOS

第1条不满足: $V_{OH} > V_{IH}$

当TTL输出高时:



连接方法: 加一上拉电阻 R_V



TTL: T5, T2截止, 此时T5的反向漏电流约 $1\sim 2\mu\text{A}$, 按

$1\times 10^{-6}\text{ A}$ 计算 (R_V 取 $5\text{ k}\Omega$)

$$1\times 10^{-6}\times 5\times 10^3 = 0.005\text{ V}$$

在 R_V 上降 0.005 V

a 点电位 $V_a = 5\text{ V} - 0.005\text{ V} = 4.995\text{ V}$

提高了 V_{OH}