

第 6 章 时序逻辑电路

Sequential Logic Circuits

§ 6.1 概述

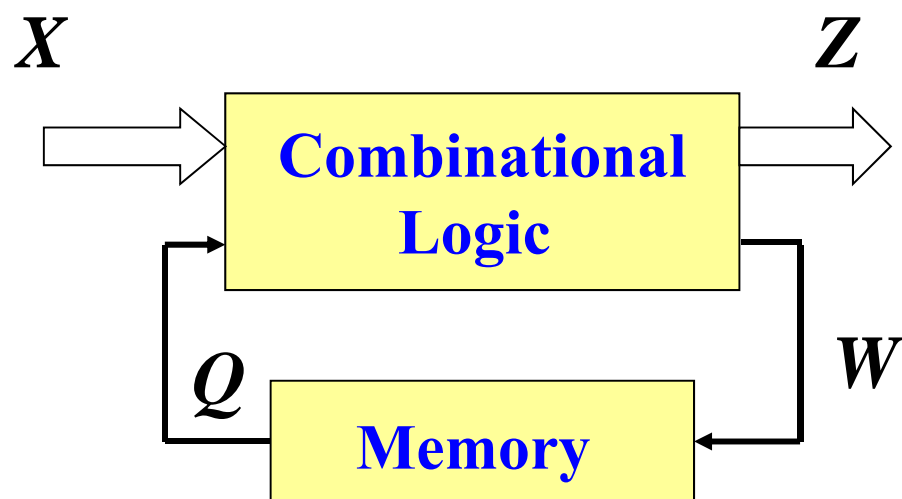
时序电路



逻辑电路 { 同步 所有的触发器在 *CLK* 同一边沿触发
异步

时序电路结构:

组合电路 + 记忆元件



X : 外输入

Z : 外输出

W : 控制输入 -- J, K, D, T

Q : 触发器输出 (状态)

外输入 X
外输出 Z

控制输入 W
状态 Q

关系:

输出方程

$$Z = F(X, Q)$$

驱动方程

$$W = H(X, Q)$$

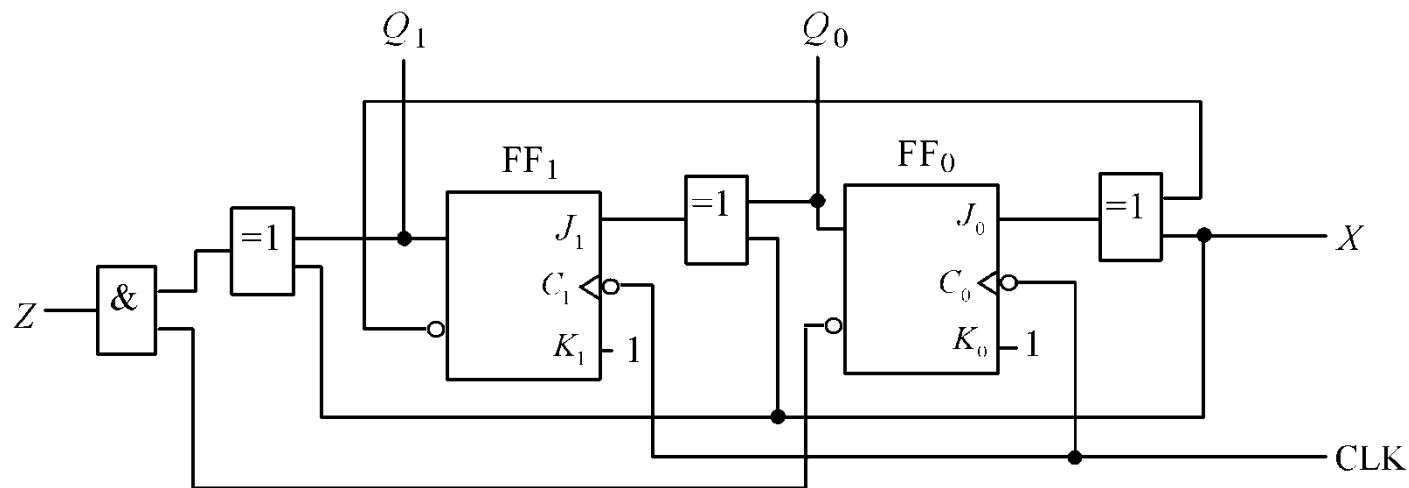
特征方程

$$Q^{n+1} = G(W, Q^n)$$

§ 6.2 同步时序电路分析

分析：已知电路，描述电路原理及功能.

例1：分析下图时序逻辑电路



- 1) 输入 X 控制输入 J_0, K_0, J_1, K_1
输出 Z 状态 Q_1 (MSB), Q_0


$$Z = (X \oplus Q_1^n) \cdot \overline{Q_0^n}$$
$$\left\{ \begin{array}{l} J_0 = X \oplus \overline{Q_1^n} \\ K_0 = 1 \end{array} \right. \quad \left\{ \begin{array}{l} J_1 = X \oplus Q_0^n \\ K_1 = 1 \end{array} \right.$$
$$\left\{ \begin{array}{l} Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = (X \oplus \overline{Q_1^n}) \cdot \overline{Q_0^n} \\ Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = (X \oplus Q_0^n) \cdot \overline{Q_1^n} \end{array} \right.$$

3) 状态表和状态图

已知：输入 X ， Q^n

求：输出 Z ， Q^{n+1}

状态表

	X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Z
$X=0$	0	0	0	0	1	0
	0	0	1	1	0	0
	0	1	0	0	0	1
	0	1	1	0	0	0
$X=1$	1	0	0	1	0	1
	1	0	1	0	0	0
	1	1	0	0	1	0
	1	1	1	0	0	0

$$Q_1^{n+1} = (X \oplus Q_0^n) \cdot \overline{Q_1^n}$$

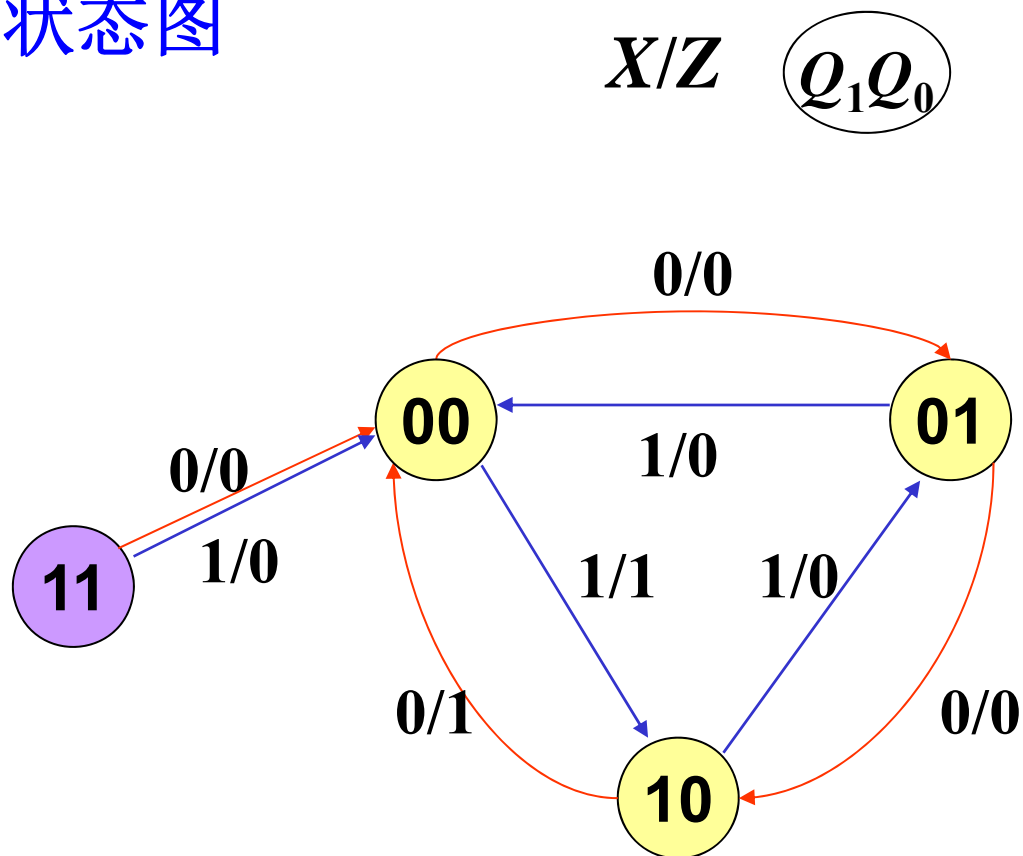
$$Q_0^{n+1} = (X \oplus \overline{Q_1^n}) \overline{Q_0^n}$$

$$Z = (X \oplus Q_1^n) \cdot \overline{Q_0^n}$$

$$X=0 \left\{ \begin{array}{l} Q_1^{n+1} = Q_0^n \cdot \overline{Q_1^n} \\ Q_0^{n+1} = \overline{Q_1^n} \cdot \overline{Q_0^n} \\ Z = Q_1^n \cdot \overline{Q_0^n} \end{array} \right.$$

$$X=1 \left\{ \begin{array}{l} Q_1^{n+1} = \overline{Q_0^n} \cdot \overline{Q_1^n} \\ Q_0^{n+1} = Q_1^n \cdot \overline{Q_0^n} \\ Z = \overline{Q_1^n} \cdot \overline{Q_0^n} \end{array} \right.$$

状态图

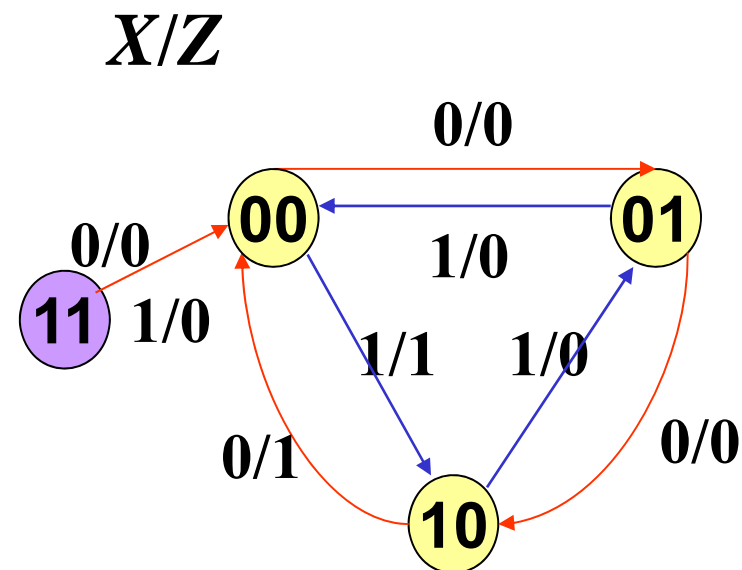
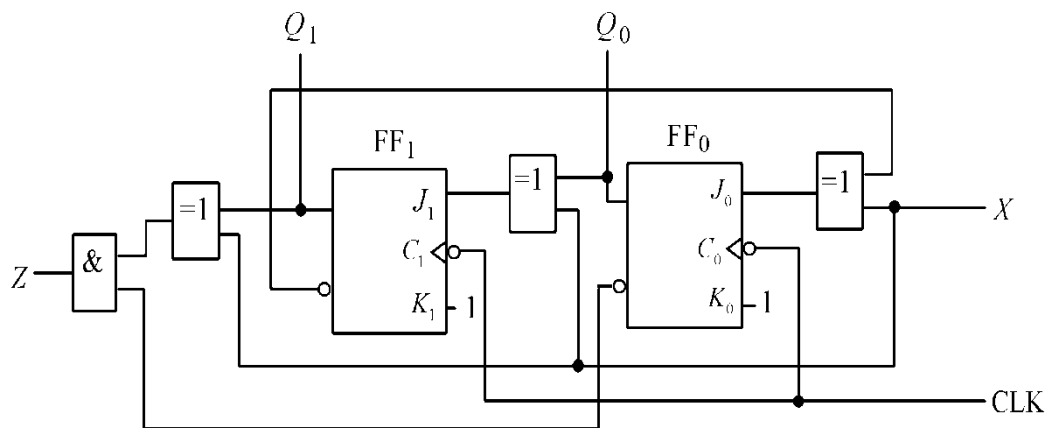


状态表

X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Z
0	0	0	0	1	0
0	0	1	1	0	0
0	1	0	0	0	1
0	1	1	0	0	0
1	0	0	1	0	1
1	0	1	0	0	0
1	1	0	0	1	0
1	1	1	0	0	0

→ 对应一个 CLK

4) 电路功能

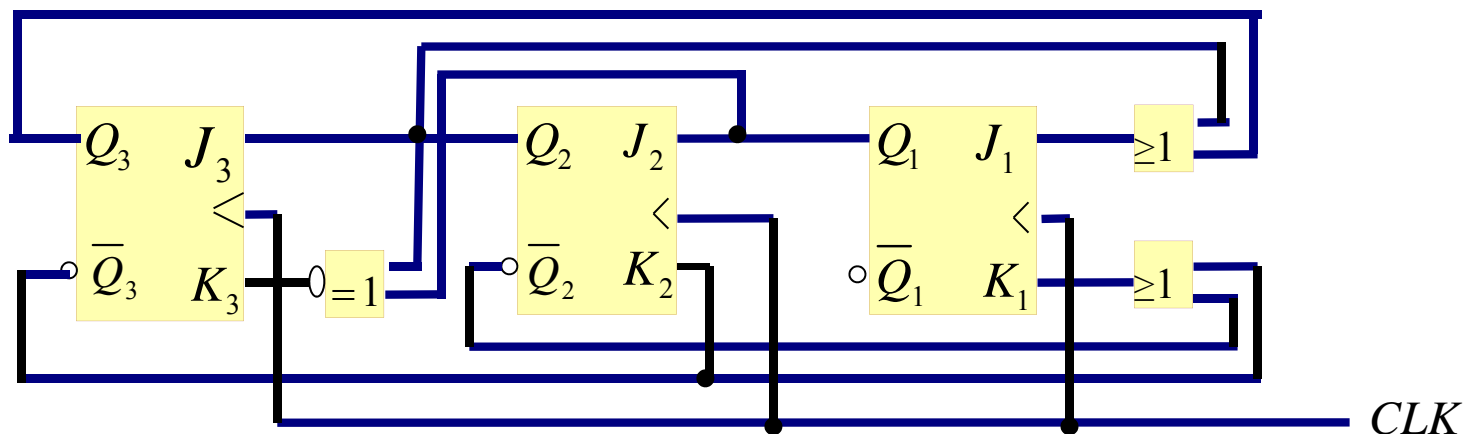


状态图主循环：模 3 加减双向计数器

$X=0$, M-3 加法: $Z=1$, 进位输出;

$X=1$, M-3 减法: $Z=1$, 借位输出。

例 2. 分析下图时序电路



无外输入，无外输出

$$\left\{ \begin{array}{l} J_3 = Q_2^n \\ K_3 = \overline{Q_2^n} \oplus Q_1^n \end{array} \right. \quad \left\{ \begin{array}{l} J_2 = Q_1^n \\ K_2 = \overline{Q_3^n} \end{array} \right. \quad \left\{ \begin{array}{l} J_1 = Q_2^n + Q_3^n \\ K_1 = \overline{Q_2^n} + \overline{Q_3^n} = \overline{Q_2^n} Q_3^n \end{array} \right.$$

$$Q_3^{n+1} = J_3 \overline{Q_3^n} + \overline{K_3} Q_3^n = Q_2^n \overline{Q_3^n} + (Q_2^n \oplus Q_1^n) Q_3^n$$

$$Q_2^{n+1} = J_2 \overline{Q_2^n} + \overline{K_2} Q_2^n = Q_1^n \overline{Q_2^n} + Q_3^n Q_2^n$$

$$Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = (Q_2^n + Q_3^n) \overline{Q_1^n} + Q_2^n Q_3^n Q_1^n$$

Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	1	0	1
0	1	1	1	0	0
1	0	0	0	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	1	1

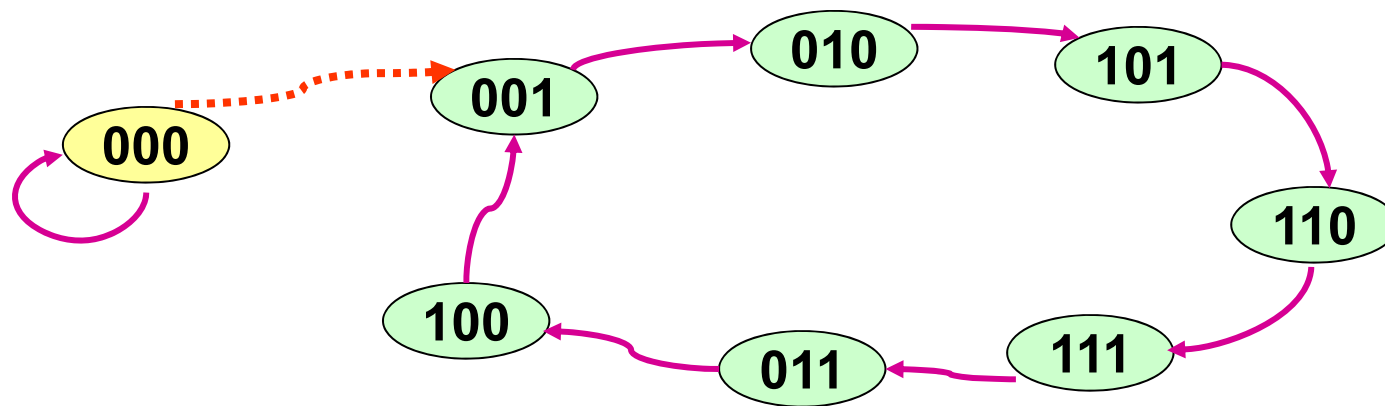
$$Q_3^{n+1} \begin{cases} Q_2^n & Q_3^n = 0, \\ Q_2^n \oplus Q_1^n & Q_3^n = 1, \end{cases}$$

$$Q_2^{n+1} \begin{cases} Q_1^n & Q_2^n = 0, \\ Q_3^n & Q_2^n = 1, \end{cases}$$

$$Q_1^{n+1} \begin{cases} Q_2^n + Q_3^n & Q_1^n = 0, \\ Q_2^n Q_3^n & Q_1^n = 1, \end{cases}$$

Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	1	0	1
0	1	1	1	0	0
1	0	0	0	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	1	1

000 孤立状态



§ 6.3 同步时序电路设计

已知 → 功能或状态图
求 → 电路

设计步骤:

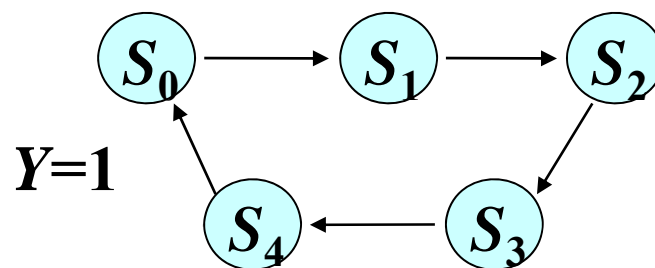
- 1) 确定状态和状态图
- 2) 状态化简
- 3) 状态分配 (编码)
- 4) 选择触发器类型
- 5) 状态方程 Q^{n+1} 及控制输入— J, K, D, T
- 6) 画出电路
- 7) 自启动

例 1. 设计同步5进制加法计数器 (例6.4)

1) 确定状态及状态图

M-5 计数器, 5 个状态: S_0, S_1, S_2, S_3, S_4

在计数脉冲 CLK 作用下, 5 个状态周期性变换, 在 S_4 状态下进位输出 $Y = 1$ 。



2) 状态化简

M-5, 5 个状态, 不须再化简

3) 状态分配、编码

$$2^{n-1} \leq \text{状态数} \leq 2^n$$

n : 二进制位数 3位

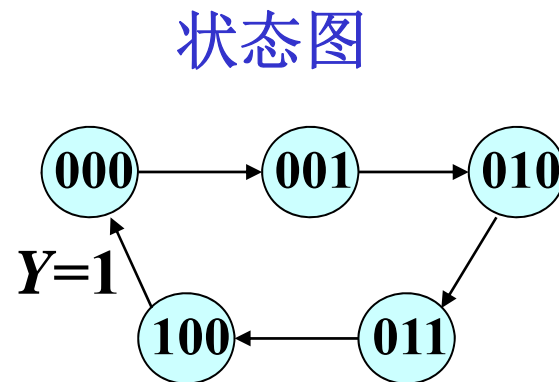
$S_0 \rightarrow 000$

$S_1 \rightarrow 001$

$S_2 \rightarrow 010$

$S_3 \rightarrow 011$

$S_4 \rightarrow 100$



状态表

Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Y
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	0	1

4) 选择 FF，确定状态方程 Q^{n+1} 及输入

方法 1: 先不确定用哪种触发器

由状态表填卡诺图

Q_3^{n+1}

$Q_1^n \backslash Q_3^n Q_2^n$	00	01	11	10
0	0	0	Φ	0
1	0	1	Φ	Φ

Q_2^{n+1}

$Q_1^n \backslash Q_3^n Q_2^n$	00	01	11	10
0	0	1	Φ	0
1	1	0	Φ	Φ

Q_1^{n+1}

$Q_1^n \backslash Q_3^n Q_2^n$	00	01	11	10
0	1	1	Φ	0
1	0	0	Φ	Φ

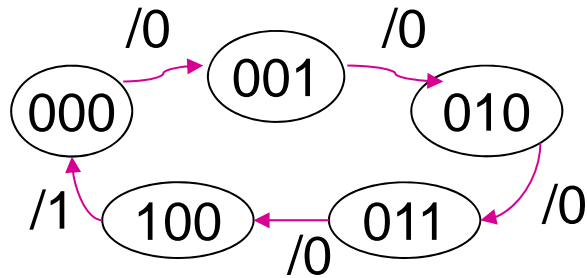
状态表

Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Y
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	0	1

Z

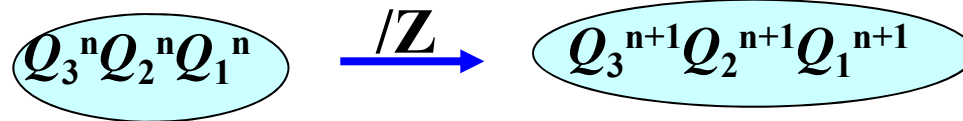
$Q_1^n \backslash Q_3^n Q_2^n$	00	01	11	10
0	0	0	Φ	1
1	0	0	Φ	Φ

直接填卡诺图



5 有效状态

$5 < 2^3$ 3 个FF



Z $Q_1^n \backslash Q_3^n Q_2^n$		$Q_3^n Q_2^n$			
		00	01	11	10
0	0	0	0	Φ	1
1	1	0	0	Φ	Φ

Q_3^{n+1} $Q_1^n \backslash Q_3^n Q_2^n$		$Q_3^n Q_2^n$			
		00	01	11	10
0	0	0	Φ	0	
1	0	1	Φ	Φ	

Q_2^{n+1}		$Q_3^n Q_2^n$			
		00	01	11	10
Q_1^n	0	0	1	Φ	0
	1	1	0	Φ	Φ

Q_1^{n+1} $Q_1^n \backslash Q_3^n Q_2^n$		$Q_3^n Q_2^n$			
		00	01	11	10
0	1	1	Φ	0	
1	0	0	Φ	Φ	

$$Q_3^{n+1}$$

$Q_1^n \backslash Q_3^n Q_2^n$	00	01	11	10
0	0	0	Φ	0
1	0	1	Φ	Φ

$$Q_2^{n+1}$$

$Q_1^n \backslash Q_3^n Q_2^n$	00	01	11	10
0	0	1	Φ	0
1	1	0	Φ	Φ

$$Q_1^{n+1}$$

$Q_1^n \backslash Q_3^n Q_2^n$	00	01	11	10
0	1	1	Φ	0
1	0	0	Φ	Φ

$$Q_3^{n+1} = Q_2^n Q_1^n$$

$$= D_3$$

$$D_3 = Q_2^n Q_1^n$$

$$Q_2^{n+1} = Q_1^n \bar{Q}_2^n + \bar{Q}_1^n Q_2^n$$

$$= Q_1^n \oplus Q_2^n$$

$$= T_2 \oplus Q_2^n$$

$$T_2 = Q_1^n$$

$$Z = Q_3^n$$

$$Q_1^{n+1} = \bar{Q}_3^n \bar{Q}_1^n$$

$$= D_1$$

或

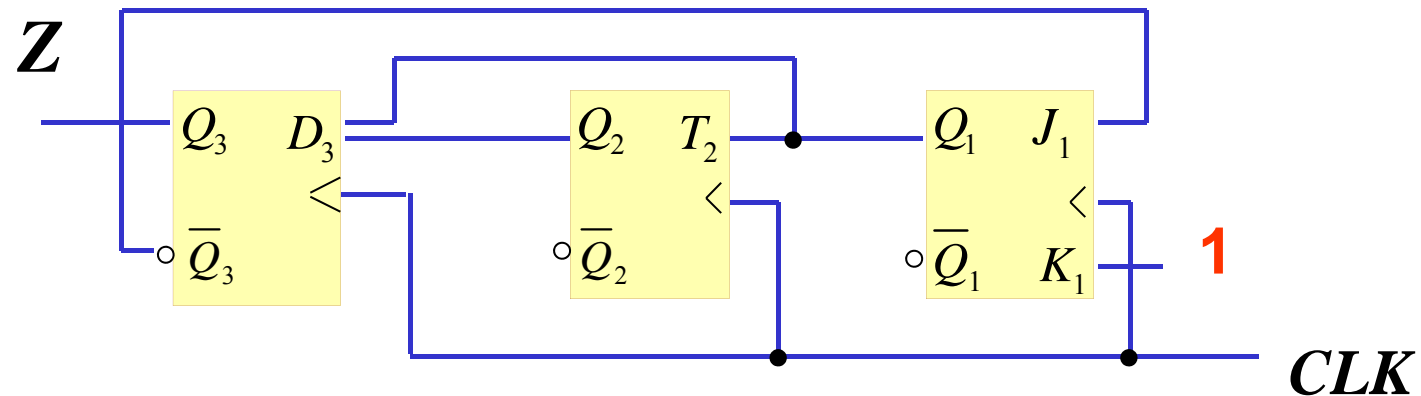
$$\begin{cases} J_1 = \bar{Q}_3^n \\ K_1 = 1 \end{cases}$$

$$Z$$

$Q_1^n \backslash Q_3^n Q_2^n$	00	01	11	10
0	0	0	Φ	1
1	0	0	Φ	Φ

$$D_3 = Q_2^n Q_1^n \quad T_2 = Q_1^n \quad \begin{cases} J_1 = \overline{Q_3}^n \\ K_1 = 1 \end{cases} \quad Z = Q_3^n$$

5) 电路



与门可以省略

例 2. 设计一个串行数据检测器。该检测器有一个输入端 X 。电路的功能是对输入信号进行检测。当连续输入三个1（以及三个以上1）时，该电路输出 $Y = 1$ ，否则输出 $Y = 0$ 。

1) 根据设计要求，设定状态，画出状态转换图。

S_0 —初始状态或没有收到1时的状态；

S_1 —收到一个1后的状态；

S_2 —连续收到两个1后的状态；

S_3 —连续收到三个1（以及三个以上1）后的状态。

$X=1$, 收到一个 “1”

S_0 —初始状态或没有收到1时的状态;

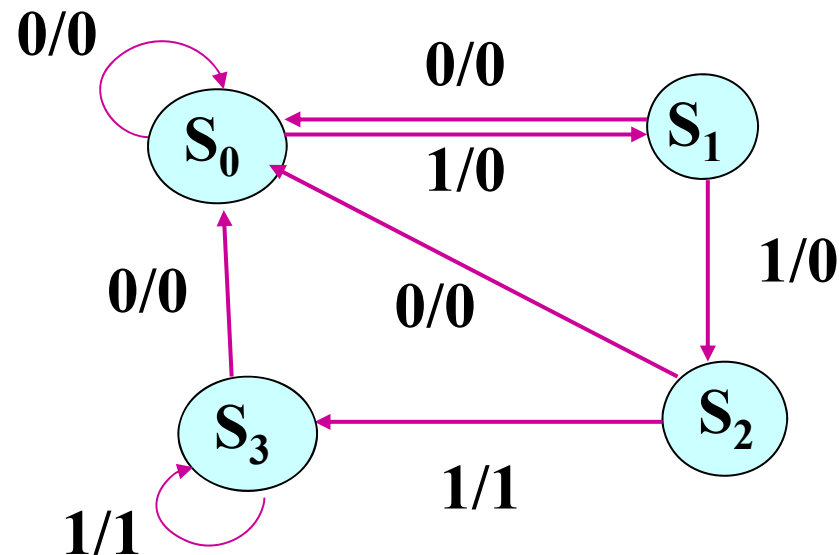
S_1 —收到一个1后的状态;

S_2 —连续收到两个1后的状态;

S_3 —连续收到三个1（以及三个以上1）后的状态。

$X=1$, 收到一个 “1”

X/Y



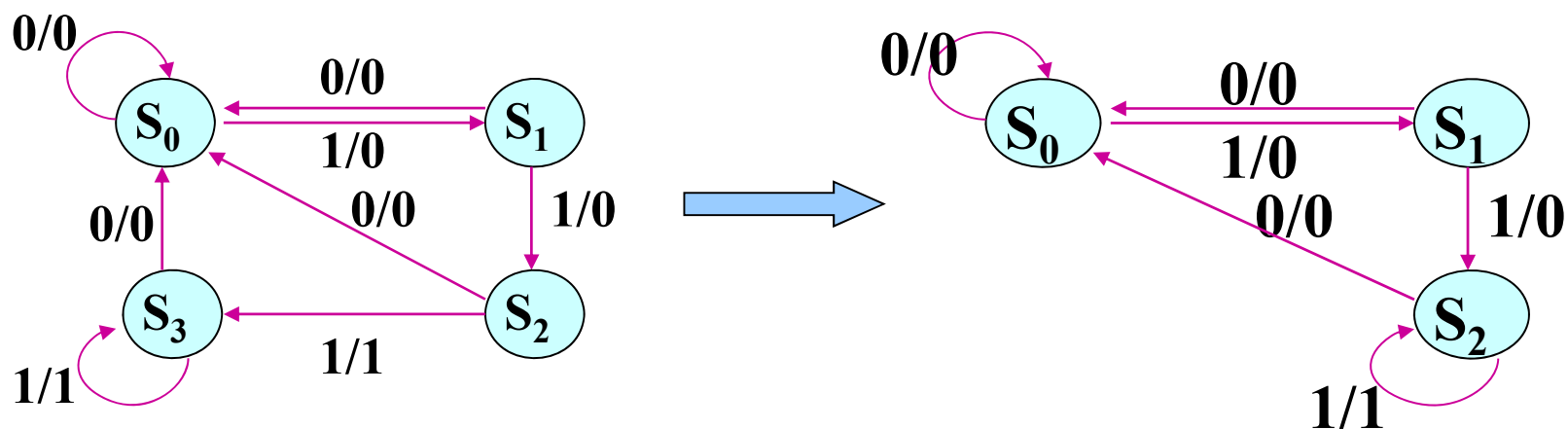
2) 状态化简

状态化简： 合并等效状态

等效状态：

在相同的输入条件下，输出相同、次态也相同的状态。

S_2 和 S_3 是等效状态，将 S_2 和 S_3 合并为 S_2



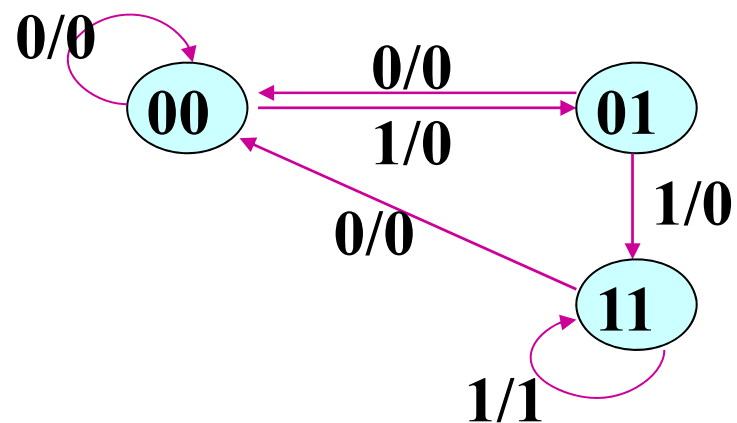
3) 状态分配、编码

Set $S_0 = 00$

$S_1 = 01$

$S_2 = 11$

编码后的状态图



状态表

X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	Φ	Φ	Φ
0	1	1	0	0	0
1	0	0	0	1	0
1	0	1	1	1	0
1	1	0	Φ	Φ	Φ
1	1	1	1	1	1

4) 选触发器及控制输入

		XQ_1^n			
		00	01	11	10
Q_0^n	0	0	Φ	Φ	0
	1	0	0	1	1

$$Q_1^{n+1} = XQ_0^n = D_1 \quad D_1 = XQ_0^n$$

		XQ_1^n			
		00	01	11	10
Q_0^{n+1}	0	0	Φ	Φ	1
	1	0	0	1	1

$$Q_0^{n+1} = X = D_0 \quad D_0 = X$$

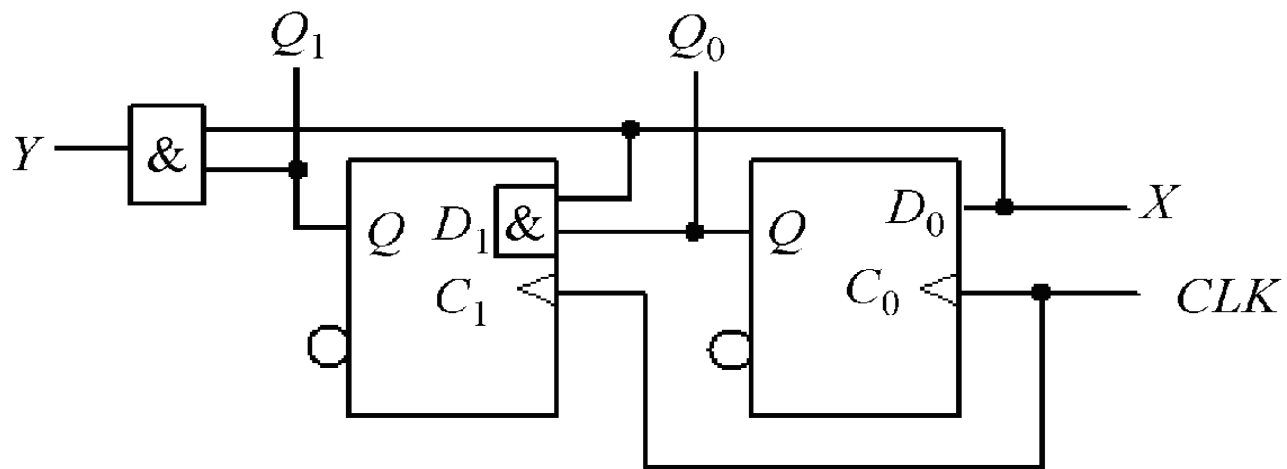
X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	Φ	Φ	Φ
0	1	1	0	0	0
1	0	0	0	1	0
1	0	1	1	1	0
1	1	0	Φ	Φ	Φ
1	1	1	1	1	1

		XQ_1^n			
		00	01	11	10
Y	0	0	Φ	Φ	0
	1	0	0	1	0

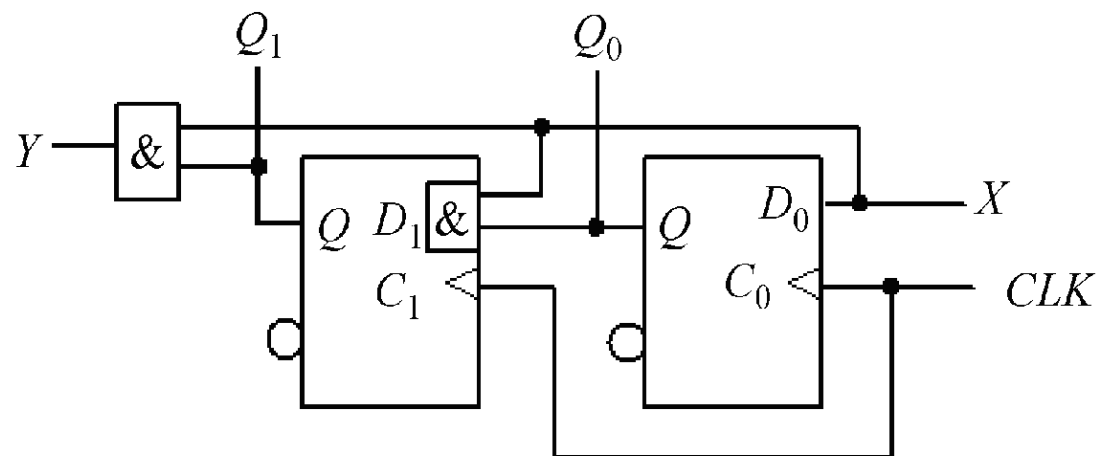
$$Y = XQ_1^n$$

5) 电路

2 D-FFs $D_1 = XQ_0^n$ $D_0 = X$ $Y = XQ_1^n$



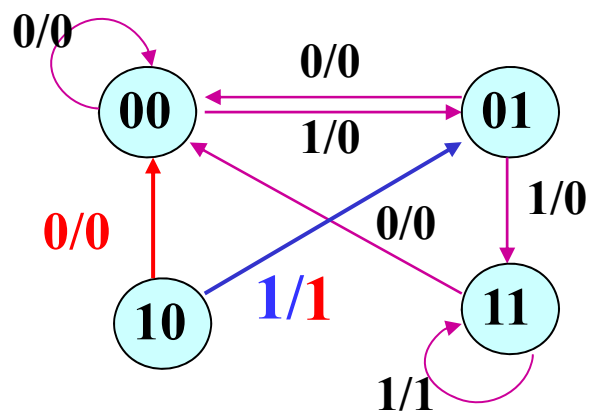
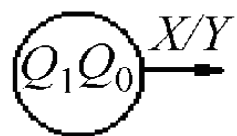
6) 自启动



$$Q_1^{n+1} = XQ_0^n$$

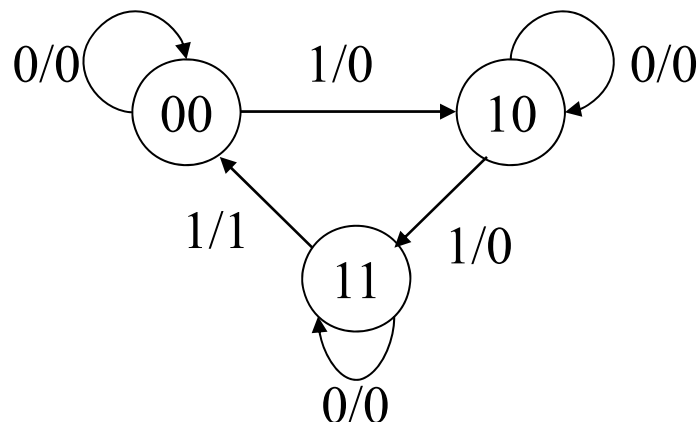
$$Q_0^{n+1} = X$$

$$Y = XQ_1^n$$



可以自启动

例 3. 按照下面状态图设计电路 (例6.6)



状态表 (from state diagram)

X/Z 逐行填

X	Q_2^n	Q_1^n	Q_2^{n+1}	Q_1^{n+1}	Z
0	0	0	0	0	0
0	0	1	ϕ	ϕ	ϕ
0	1	0	1	0	0
0	1	1	1	1	0
1	0	0	1	0	0
1	0	1	ϕ	ϕ	ϕ
1	1	0	1	1	0
1	1	1	0	0	1

确定状态及状态表

状态数 \Rightarrow FF 个数

n FFs $\rightarrow 2^n$ 状态

$2^{n-1} \leq \text{states} \leq 2^n \rightarrow n$ FFs

$3 < 2^2$ 需要 2 个 FF

选择 FF (K-map, 圈 1)

2# FF

$$Q_2^{n+1} = \bar{X}Q_2^n + X\bar{Q}_1^n$$

2 个圈, 选择 JK-FF

$$Q_2^{n+1} = J_2\bar{Q}_2^n + \bar{K}_2Q_2^n$$

找到 $J_2 = ?$ $K_2 = ?$

不能按上面方法圈, 必须圈成 $Q_2^{n+1} = \text{---}\bar{Q}_2^n + \text{---}Q_2^n$

$Q_2^{n+1} \backslash Q_1^n \backslash XQ_2^n$		00	01	11	10
		0	1	1	1
	1	ϕ	1	0	ϕ

$Q_2^{n+1} \backslash Q_1^n \backslash XQ_2^n$		00	01	11	10
		0	1	1	1
	1	ϕ	1	0	ϕ

$\bar{Q}_2^n \leftarrow Q_2^n \rightarrow \bar{Q}_2^n$

$$\begin{aligned}
 Q_2^{n+1} &= X\bar{Q}_2^n + (\bar{X} + \bar{Q}_1^n)Q_2^n \\
 &= X\bar{Q}_2^n + \bar{X}\bar{Q}_1^nQ_2^n
 \end{aligned}$$

$$\therefore \begin{cases} J_2 = X \\ K_2 = XQ_1^n \end{cases}$$

能找到系数（控制变量）时尽量化简；
找不到系数时，牺牲化简也要找到系数。

1# FF

$Q_1^{n+1} \backslash Q_1^n \quad XQ_2^n$		00	01	11	10	
0	0	0	1	0		$\rightarrow \overline{Q_1^n}$
1	ϕ	1	0	ϕ		$\rightarrow Q_1^n$

JK-FF

$$\begin{aligned}
 Q_1^{n+1} &= J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n \\
 &= XQ_2^n \overline{Q_1^n} + \overline{X} Q_1^n
 \end{aligned}$$

$$\therefore \begin{cases} J_1 = XQ_2^n \\ K_1 = X \end{cases}$$

输出 Z

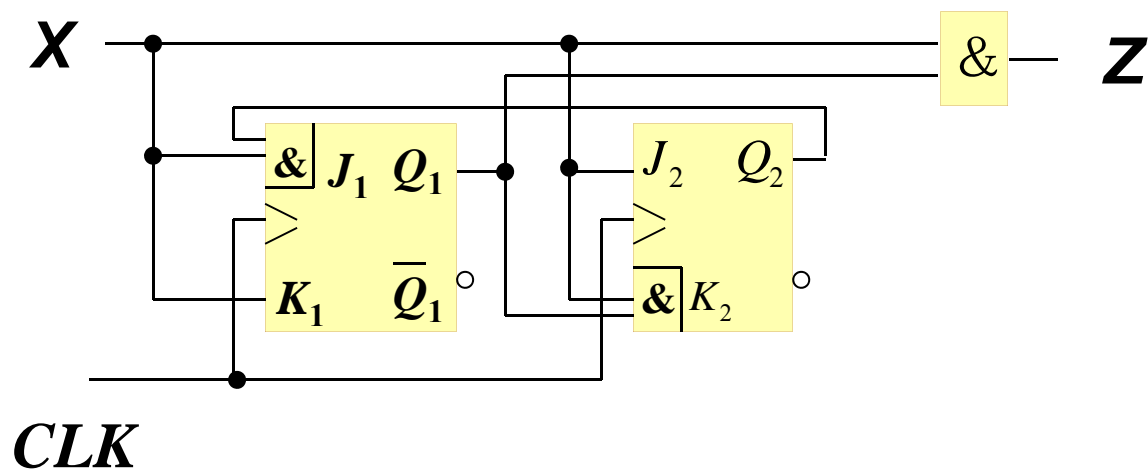
Z		XQ_2^n			
Q_1^n		00	01	11	10
		0	0	0	0
1		Φ	0	1	Φ

$$Z = XQ_1^n$$

电路

$$\begin{cases} J_2 = X \\ K_2 = XQ_1^n \end{cases}$$

$$\begin{cases} J_1 = XQ_2^n \\ K_1 = X \end{cases}$$



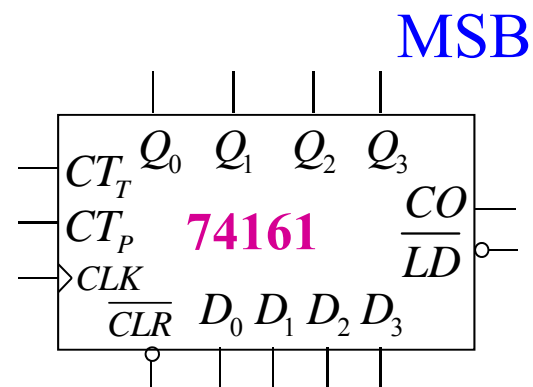
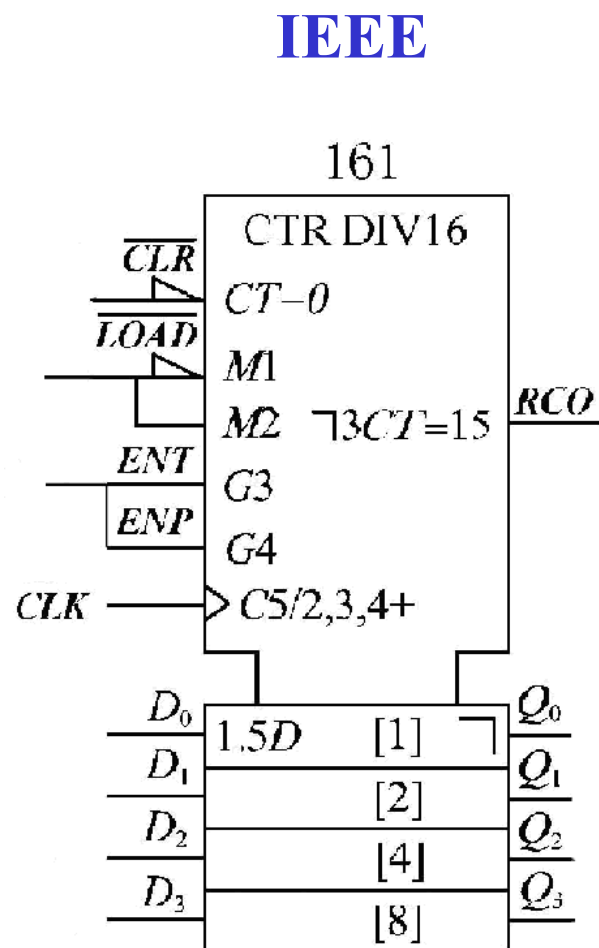
§ 6.4 计数器 Counter

计数器: 记录 CLK 个数的电路

6.4.1 集成计数器 74161

74161: 二进制同步模16加法计数器,
异步清0功能.

符号



输出 $Q_3 Q_2 Q_1 Q_0$

数据输入 $D_3 D_2 D_1 D_0$

异步清零 \overline{CLR}

控制端 $ENT (CT_T), ENP (CT_P)$

预置端 \overline{LOAD}

进位输出 $RCO (CO)$

74161 功能表

\overline{CLR}	\overline{LD}	ENT	ENP	CLK	$D_0 D_1 D_2 D_3$	功能
0	X	X	X	X	X X X X	Direct set 0
1	0	X	X	↑	$D_0 D_1 D_2 D_3$	Load 预置
1	1	0	X	X	X X X X	保持 $RCO=0$
1	1	X	0	X	X X X X	保持
1	1	1	1	↑	X X X X	M-16 计数

$$Q_3 Q_2 Q_1 Q_0 = 0000$$

$$Q_3 Q_2 Q_1 Q_0 = D_3 D_2 D_1 D_0$$

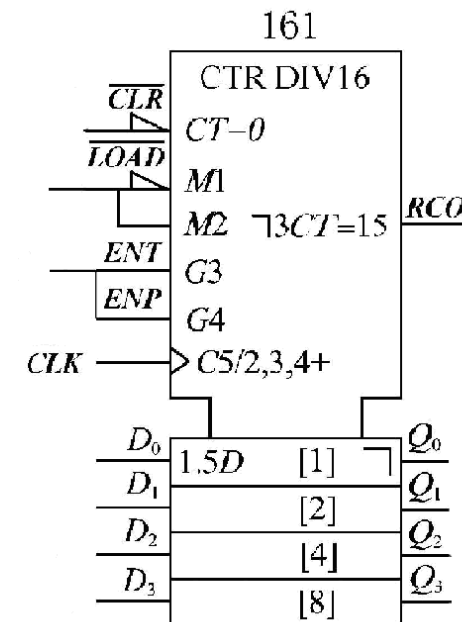
$$RCO = ENT \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0$$

计数时, $ENT = 1$,

当 $Q_3 Q_2 Q_1 Q_0 = 1111$ 时, (M-16)

$RCO = 1$.

其他时刻, $RCO = 0$



例1: 用 74161 实现模11加法计数器 (例6.7)

方法1: 预置归 0 法 (\overline{LD})

$$ENT = ENP = 1, \overline{CLR} = 1, D_3D_2D_1D_0 = 0000$$

最大状态 1010 最大状态中1端连入一个与非门

输出 $\rightarrow \overline{LD}$

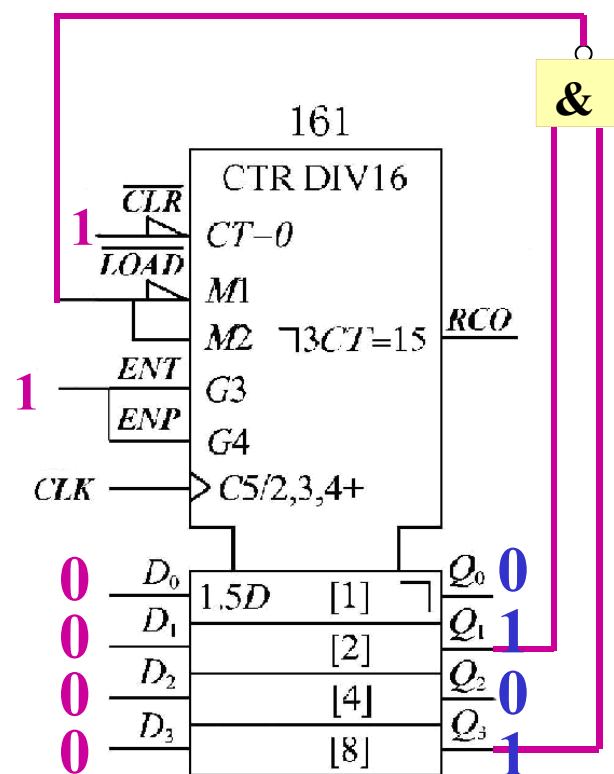
0 \rightarrow 9, 与非门 = 1
($\overline{LD}=1$), 计数

10th CLK comes,

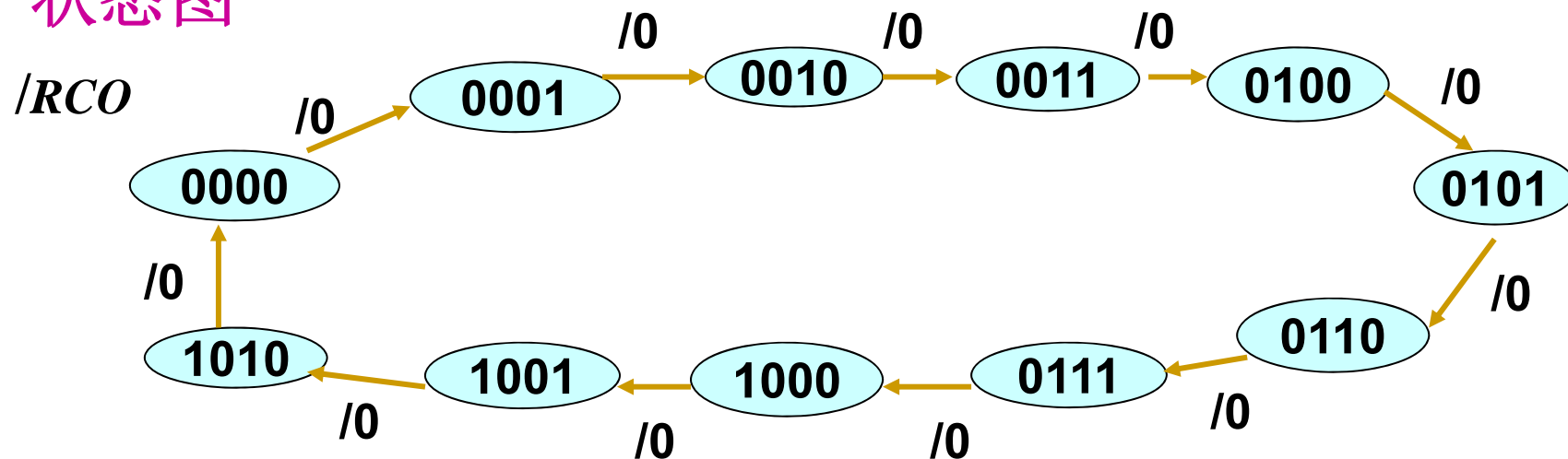
$$Q_3Q_2Q_1Q_0 = 1010, \overline{LD} = 0$$

下一个 CLK (11th) 到来,

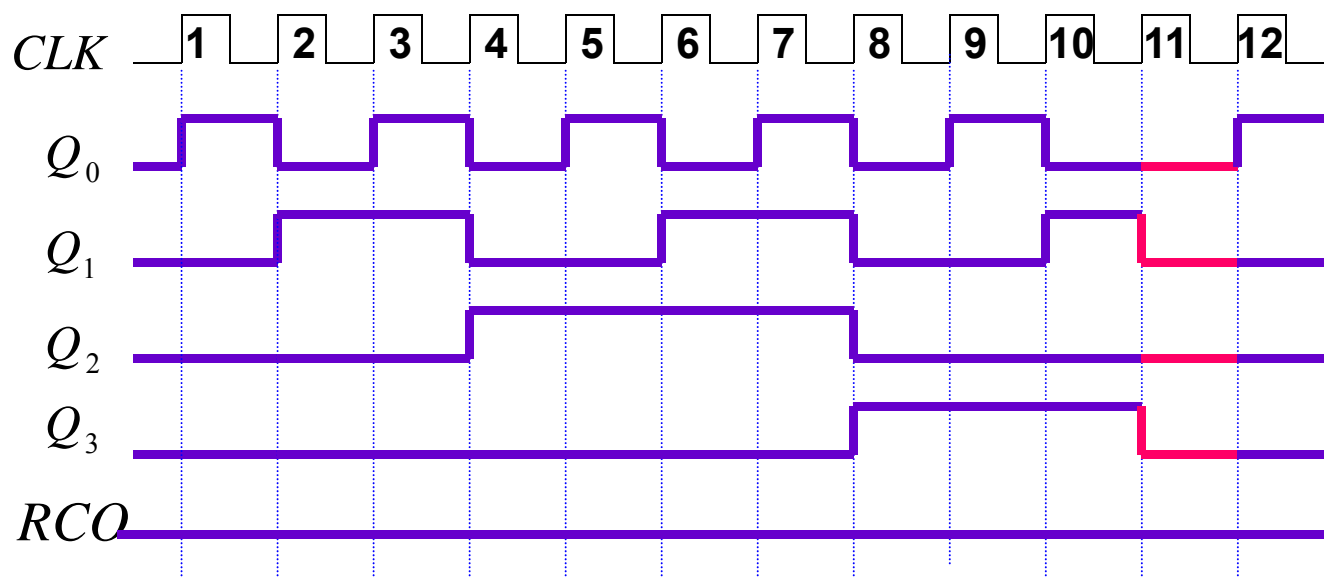
$$Q_3Q_2Q_1Q_0 = D_3D_2D_1D_0 = 0000$$



状态图



波形图



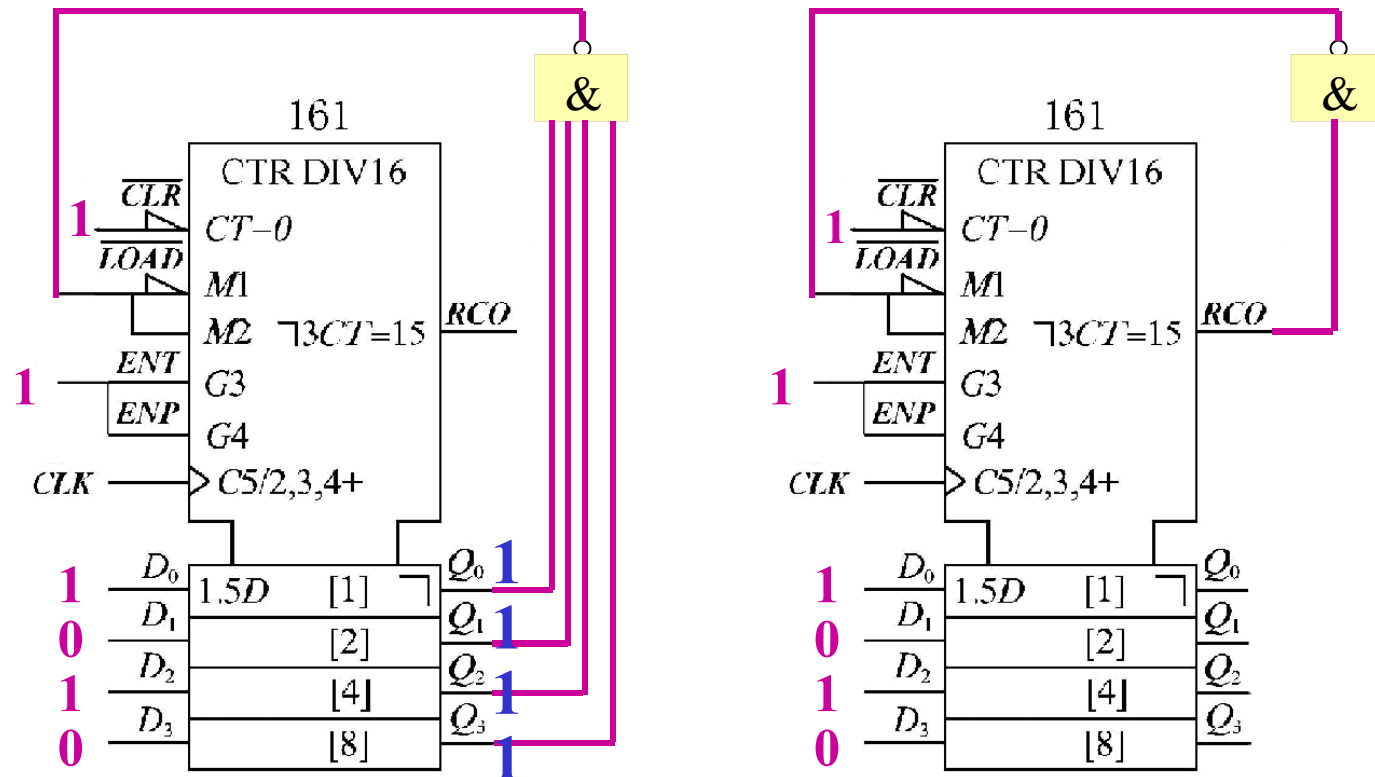
Q_0 二分频电路

四分频电路

八分频电路

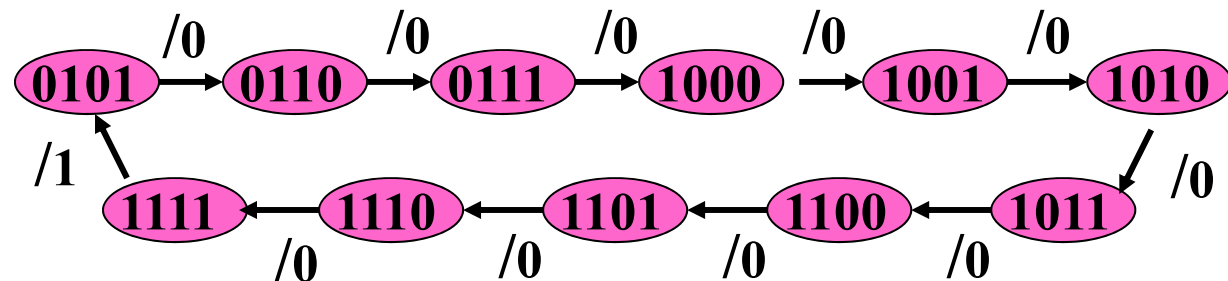
方法 2: 预置补数法

0000 ~ 1111 16 个状态 5 (0101) ~ 15 (1111) 11 个状态



状态图

/RCO



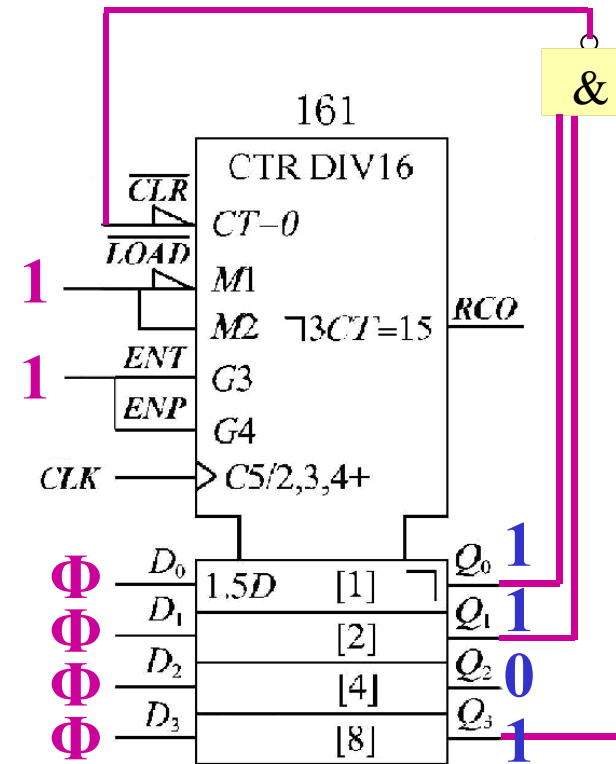
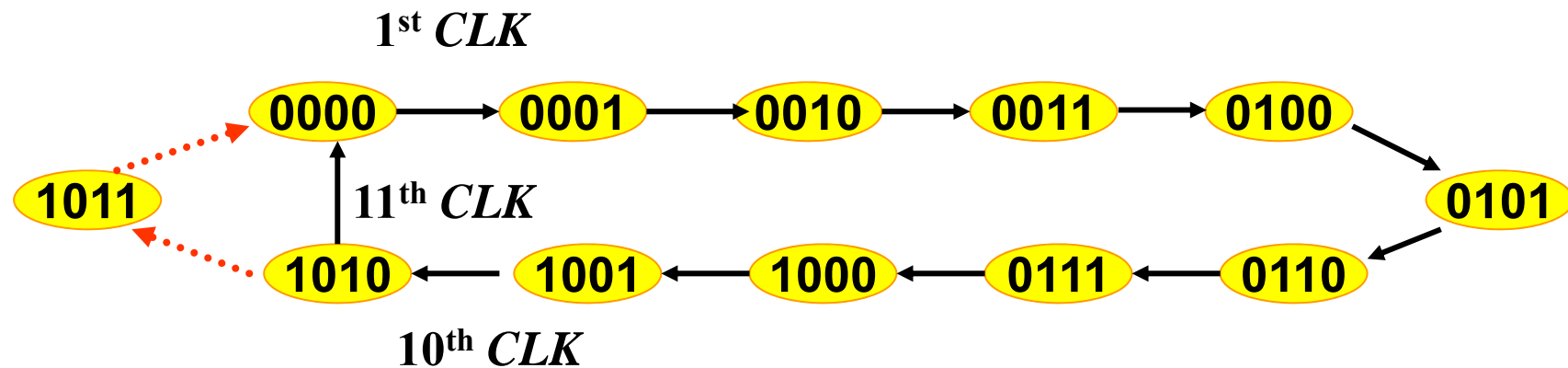
方法 3: 反馈归 0 法 (\overline{CLR})

$$ENT = ENP = \overline{LD} = 1$$

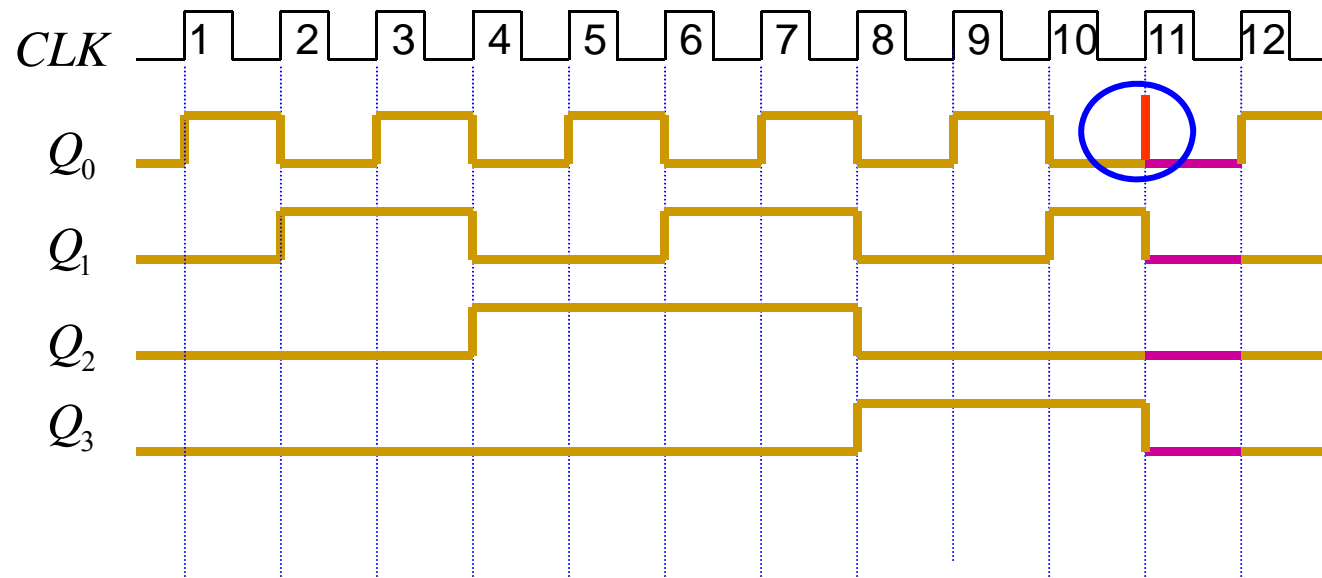
$$D_3 D_2 D_1 D_0 = \Phi \Phi \Phi \Phi$$

$$Q_3 Q_2 Q_1 Q_0 = 1011$$

状态图



波形图

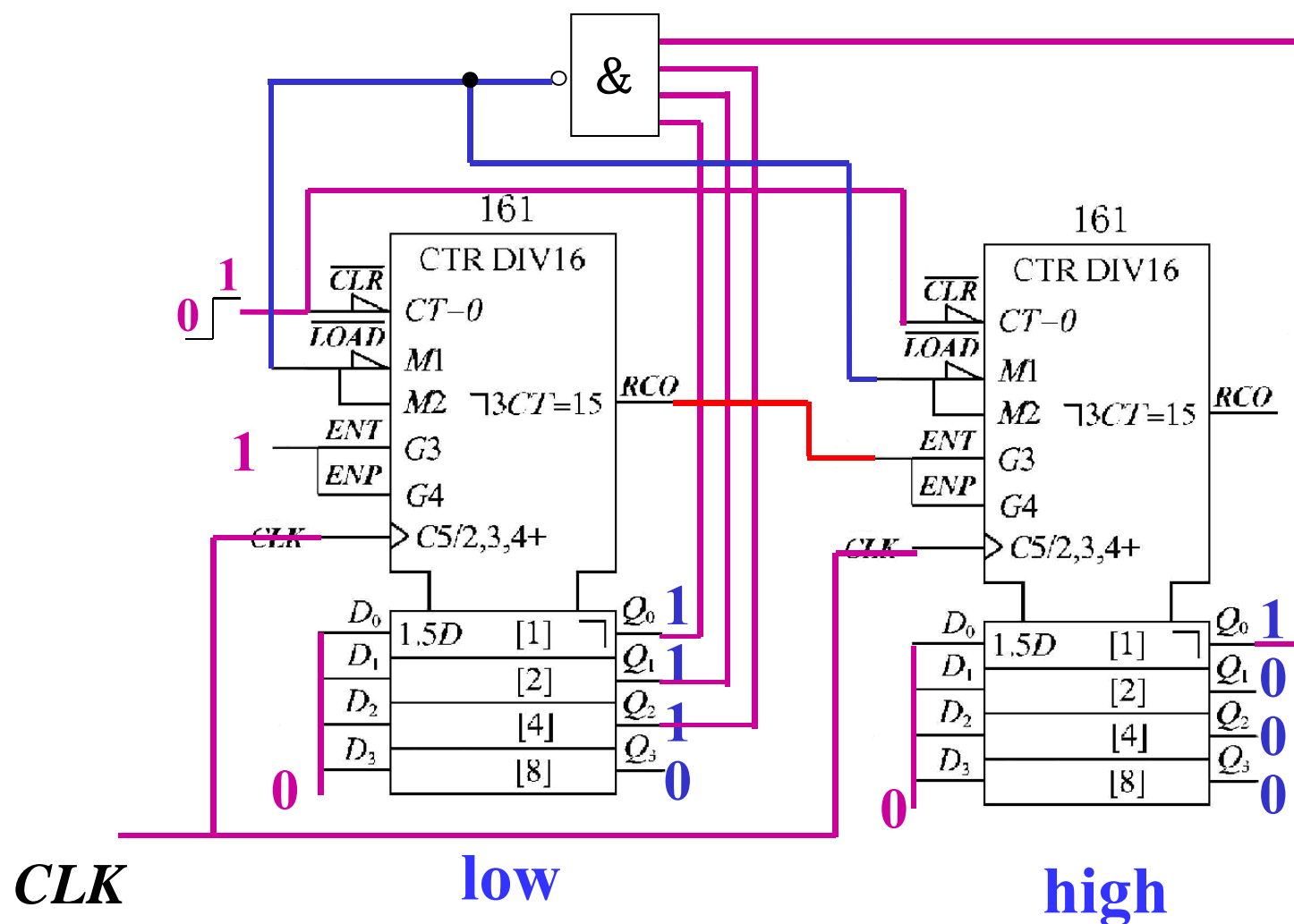


毛刺
(假信号)

例 2: 用74161 设计模 24 计数器

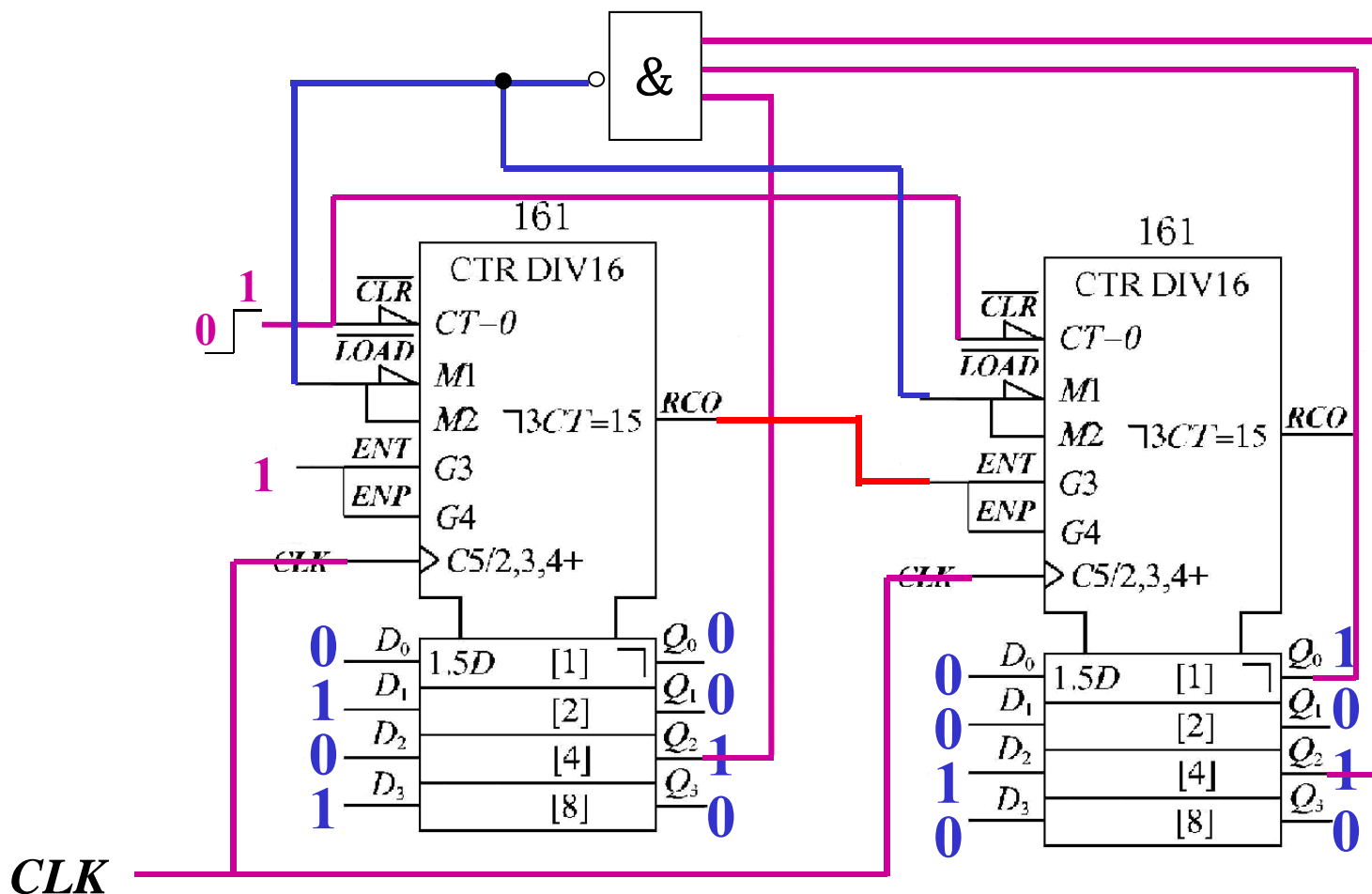
最大状态: 23 (10111)

两个 74161



例 3: 求下图计数器电路的模值.

M = ?



终点: **01010100 = 84**

补: **01001010 = 74**

M = 84 - 74 + 1 = 11

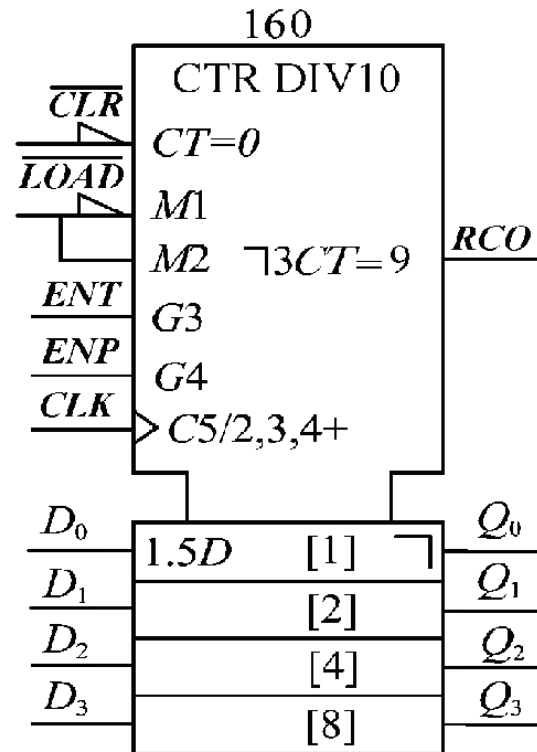
6.4.2 IC 计数器 74160 (M-10)

(8421BCD码同步加法计数器)

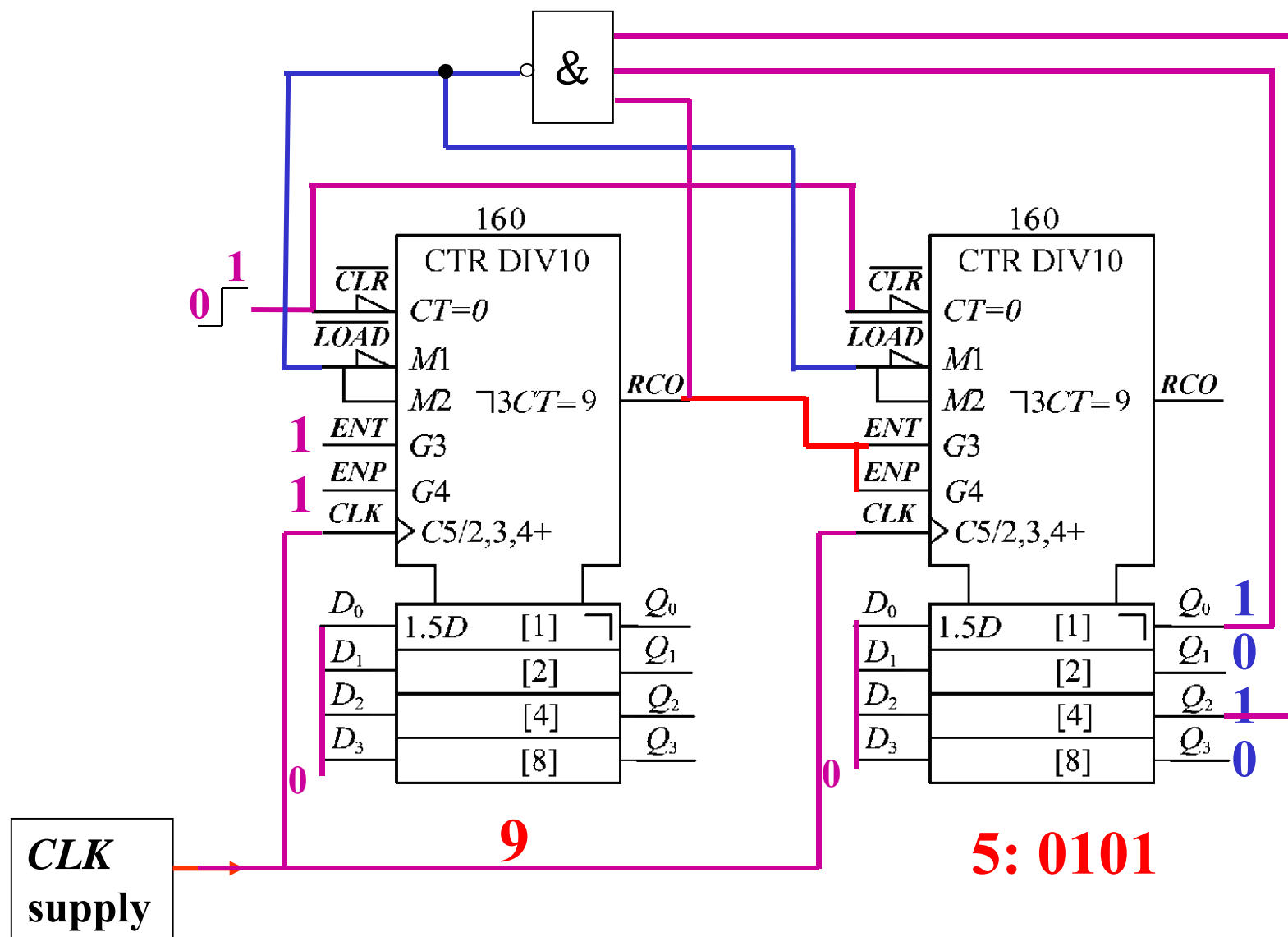
模10, 其它与74161相同. 异步清0

$$RCO = ENT \cdot Q_3 \cdot Q_0$$

当 $Q_3Q_2Q_1Q_0 = 1001$,
 $RCO = 1$



例：用74160 设计一个 60 s 计数器。

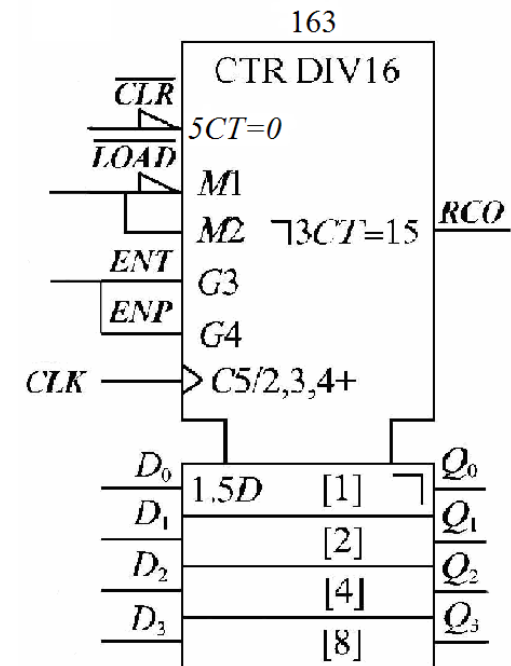


6.4.3 IC 计数器 74163 (M-16)

同步清0，其它与 74161相同（模16）

74163 功能表

\overline{CLR}	\overline{LD}	ENT	ENP	CLK	$D_0 D_1 D_2 D_3$	功能
0	X	X	X	↑	X X X X	Direct set 0
1	0	X	X	↑	$D_0 D_1 D_2 D_3$	Load 预置
1	1	0	X	X	X X X X	保持 $RCO=0$
1	1	X	0	X	X X X X	保持
1	1	1	1	↑	X X X X	M-16 计数



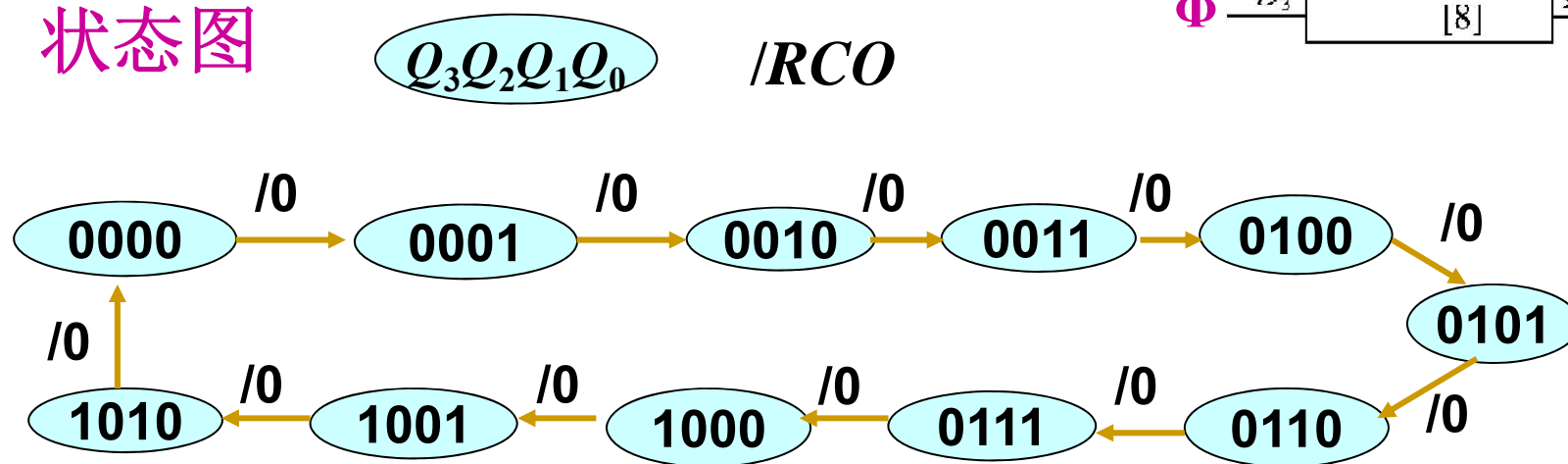
同步清零0: 当 $\overline{CLR} = 0$ 时，下一个 CLK 到达，
 $Q_3 Q_2 Q_1 Q_0 = 0000$

例：用74163的同步清零
功能设计一个模11计数器。
(\overline{CLR})

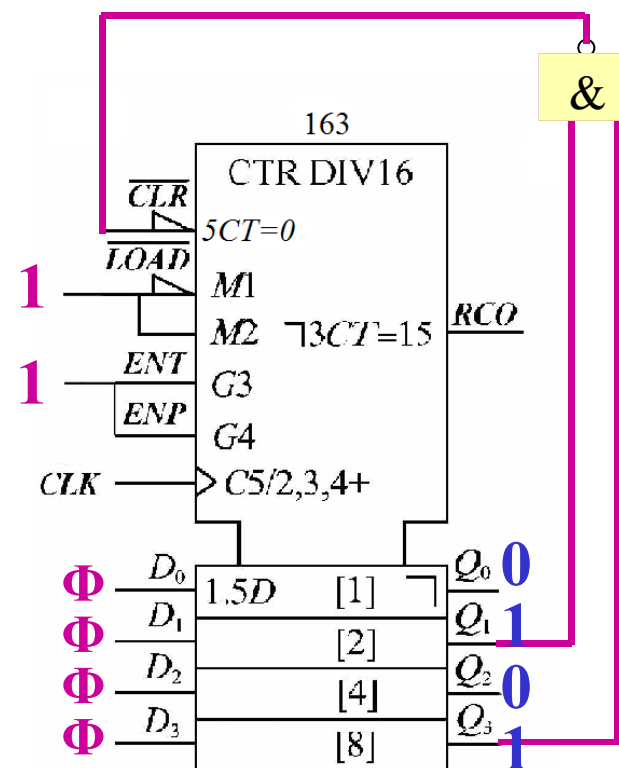
最大状态 1010

用 \overline{LD} 端，与74161相同

状态图



没有毛刺

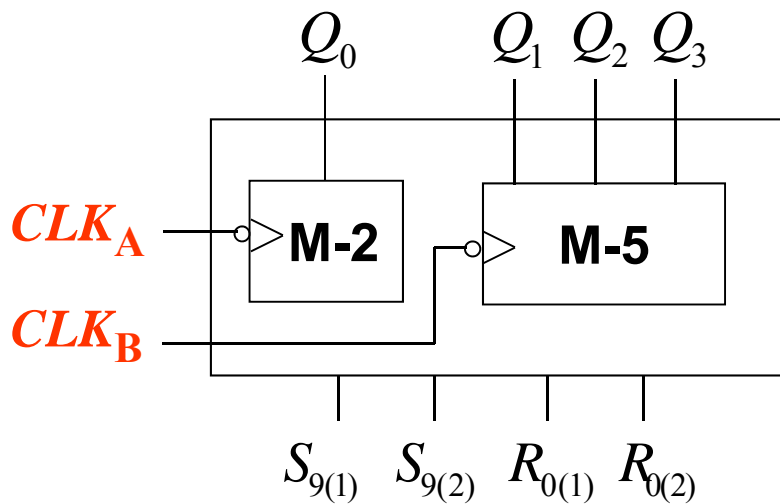


6.4.4 IC 计数器 74290

模 2-5-10 异步计数器

1. 74290 功能

框图



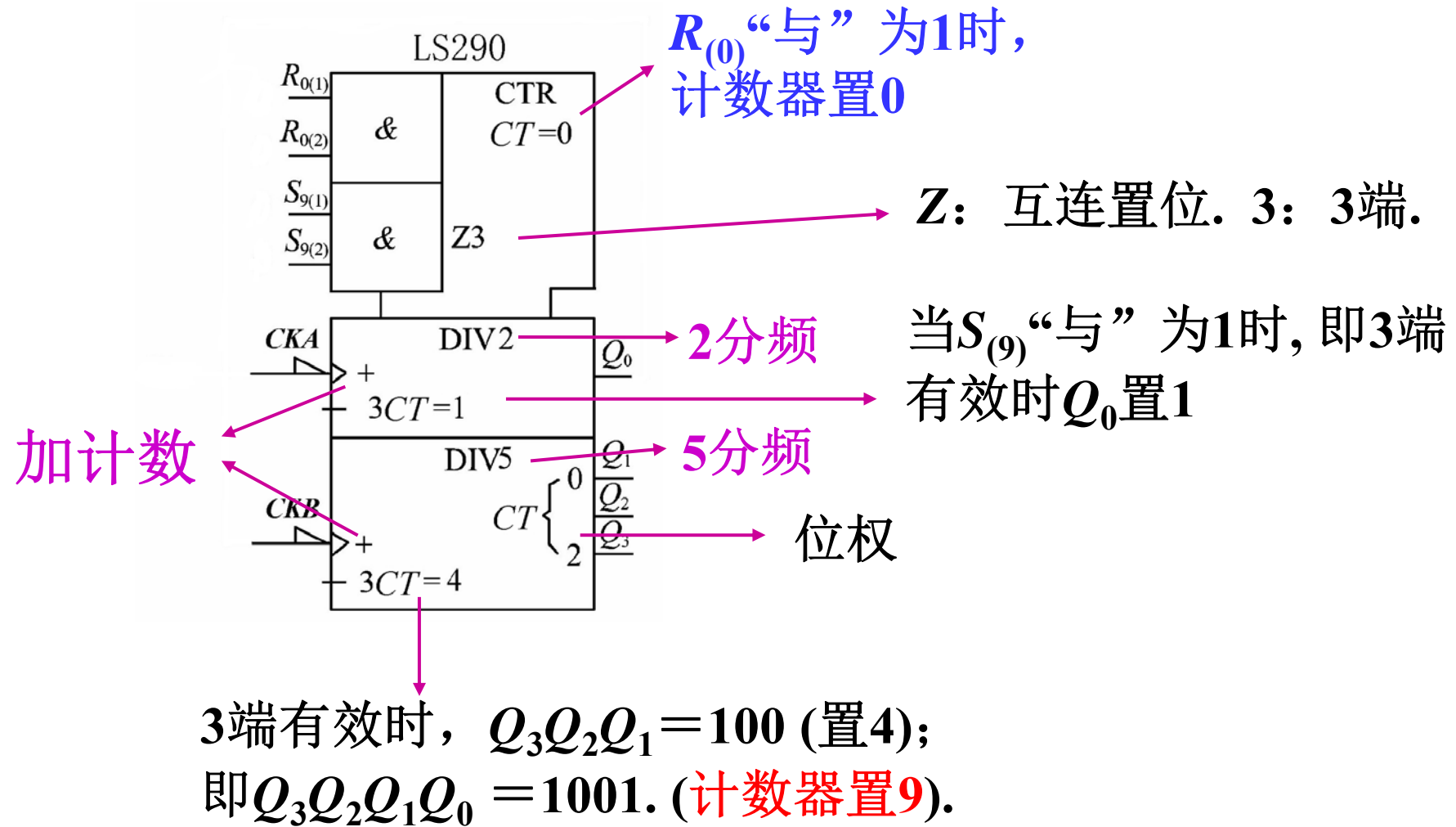
M-2 计数器, 输出 Q_0

M-5 计数器, 输出 $Q_3Q_2Q_1$

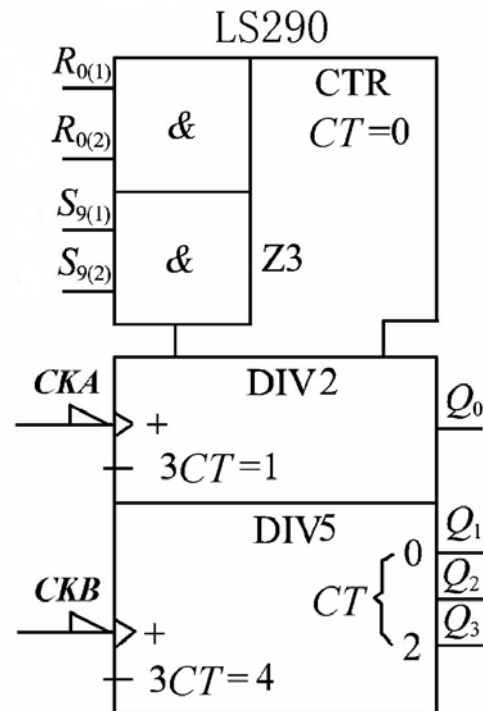
两个独立的下降沿FF

符号

异步输入



功能



(1) 异步清0

$$\text{当} \begin{cases} S_{9(1)} \cdot S_{9(2)} = 0 \text{ (low)} \\ R_{0(1)} = R_{0(2)} = 1 \text{ (high)} \end{cases}$$

$$Q_3 Q_2 Q_1 Q_0 = 0000$$

(2) 异步置9

$$\text{当} S_{9(1)} = S_{9(2)} = 1$$

$$Q_3 Q_2 Q_1 Q_0 = 1001$$

(3) 计数

$$\text{当} \begin{cases} S_{9(1)} \cdot S_{9(2)} = 0 \\ R_{0(1)} \cdot R_{0(2)} = 0 \end{cases}$$

同时满足，*CLK*下降沿实现计数

2. 74290应用

(1) 模 2 计数器

$$\begin{cases} S_{9(1)} \cdot S_{9(2)} = 0 \\ R_{0(1)} \cdot R_{0(2)} = 0 \end{cases}$$

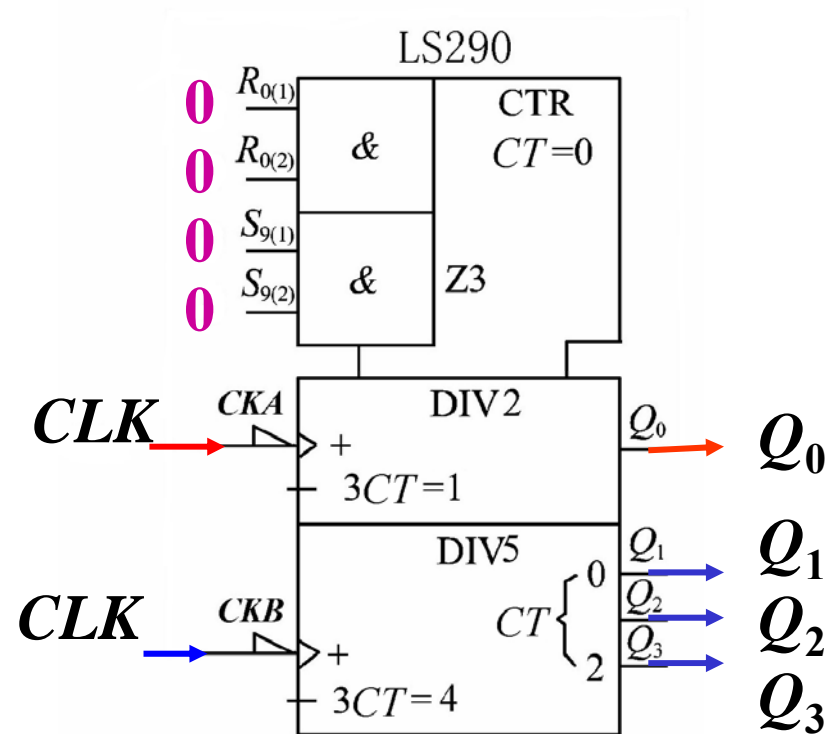
CLK 从 CLK_A 接入, Q_0 输出, 实现 模 2 加计数

(2) 模 5 计数器

$$\begin{cases} S_{9(1)} \cdot S_{9(2)} = 0 \\ R_{0(1)} \cdot R_{0(2)} = 0 \end{cases}$$

CLK 从 CLK_B 接入, $Q_3Q_2Q_1$ 输出, 实现 模 5 加计数

两种用法完全独立。构成更大模数时, 需外接线连接



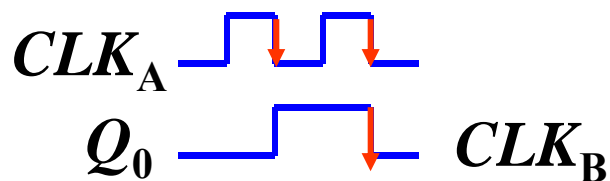
(3) 8421BCD 码模10 计数器

$$S_{9(1)} \cdot S_{9(2)} = 0, \quad R_{0(1)} \cdot R_{0(2)} = 0$$

CLK 接 CLK_A ,

$Q_0 \longrightarrow CLK_B$

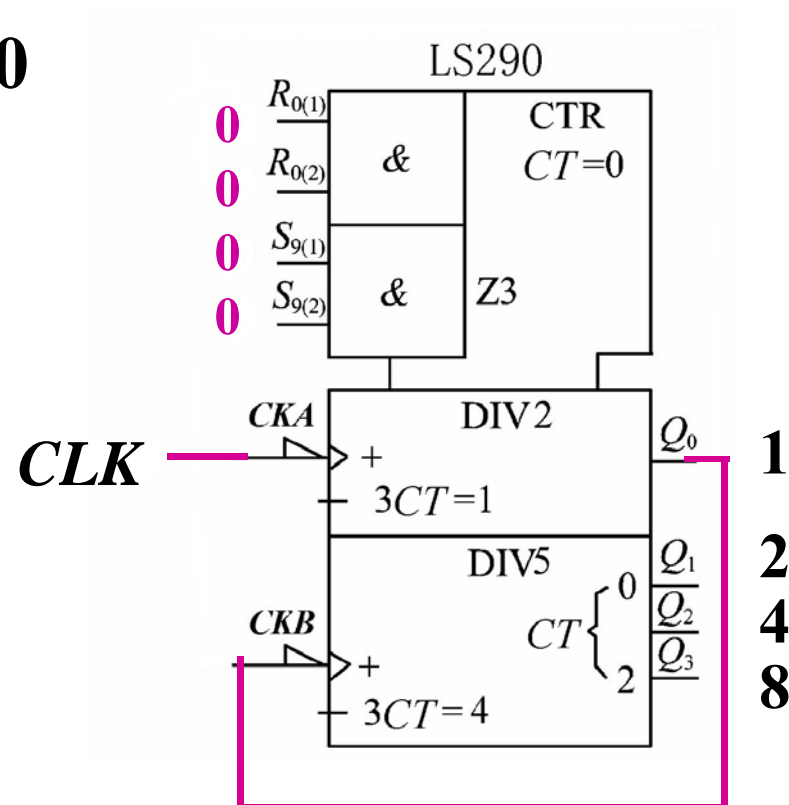
在 Q_0 下降沿(CLK_B
 $1 \rightarrow 0$), M-5 计数.



触发 M-5 计数

输出位权

$Q_3 Q_2 Q_1 Q_0 : 8 \ 4 \ 2 \ 1$



(4) 8421 BCD码任意进制计数器

“直接置 0 R_0 ”

高电平清 0

例：M-7 计数器

① $CLK \rightarrow CLK_A$

② 接：8421 BCD 模10

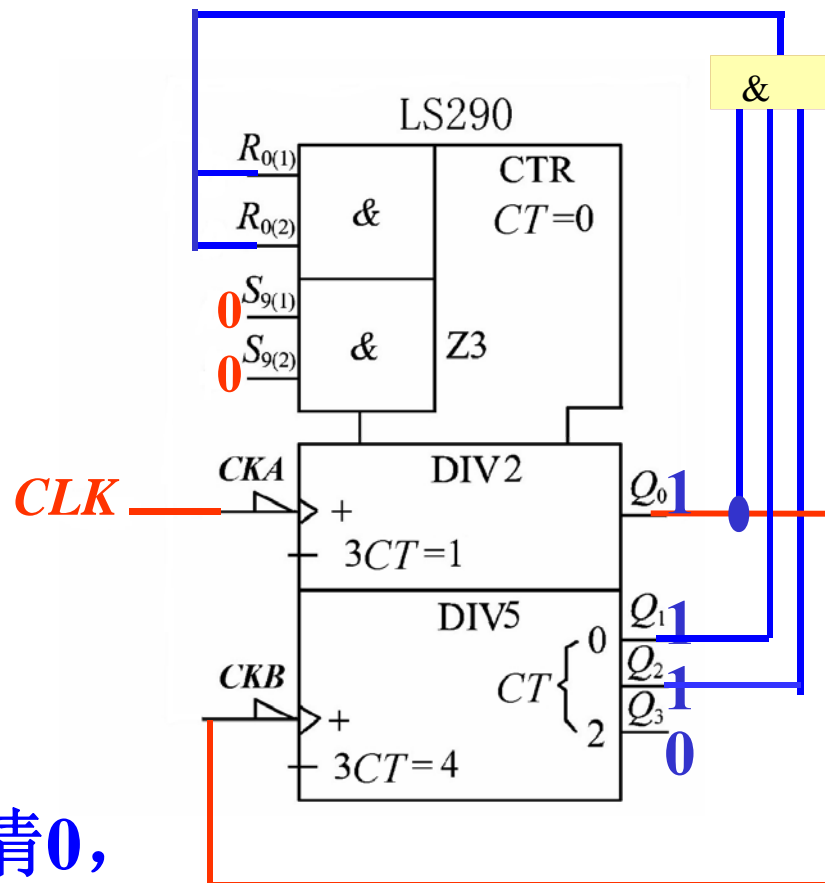
$Q_0 \rightarrow CLK_B$

③ $S_{9(1)} = S_{9(2)} = 0$

④ 输出 $Q_3Q_2Q_1Q_0 = 0111$
→ 与门

⑤ 与门 $\rightarrow R_0$ (直接清0)

当 $Q_3Q_2Q_1Q_0 = 0111$ 时, 立即清0,
0111只是一闪, 出现 毛刺



8421 十进制

主循环7个状态：0000 ~ 0110. 不稳定状态用虚线连接

(5) 8421 BCD 级联计数器

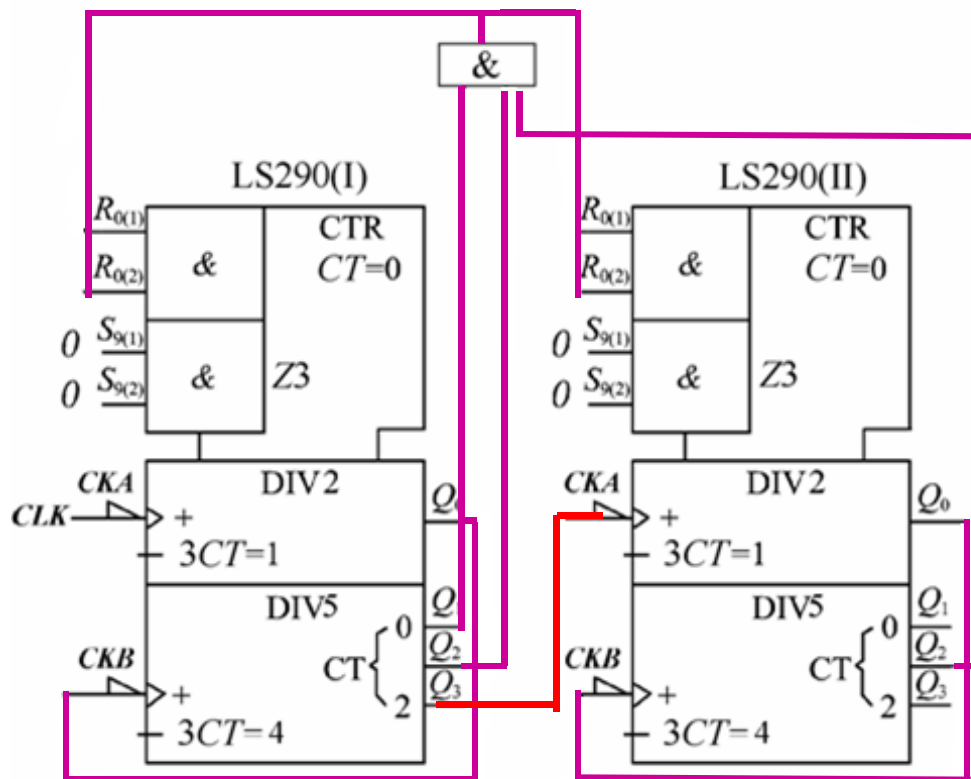
当计数模置 >10

74290 级联

例：用74290 设计
一个 8421BCD
码模 46 计数器.

8421 十进制

进位

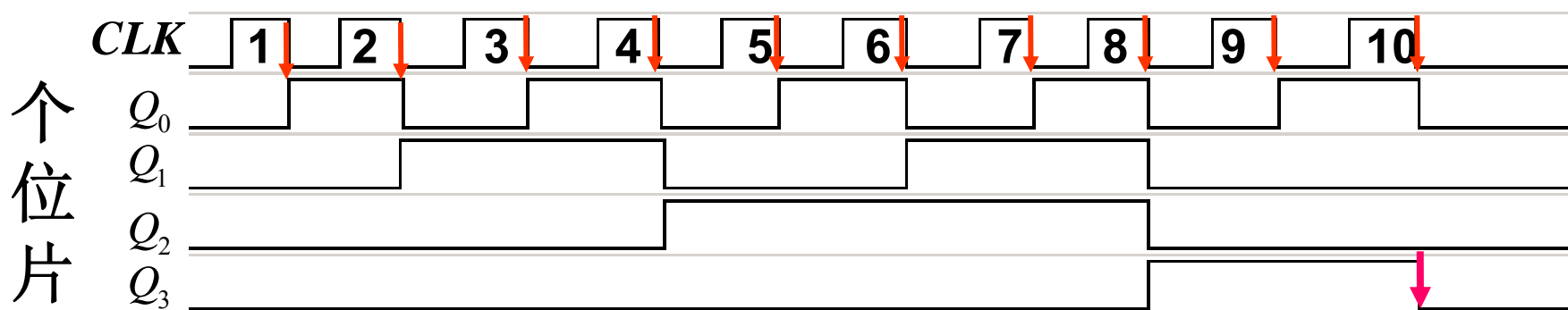
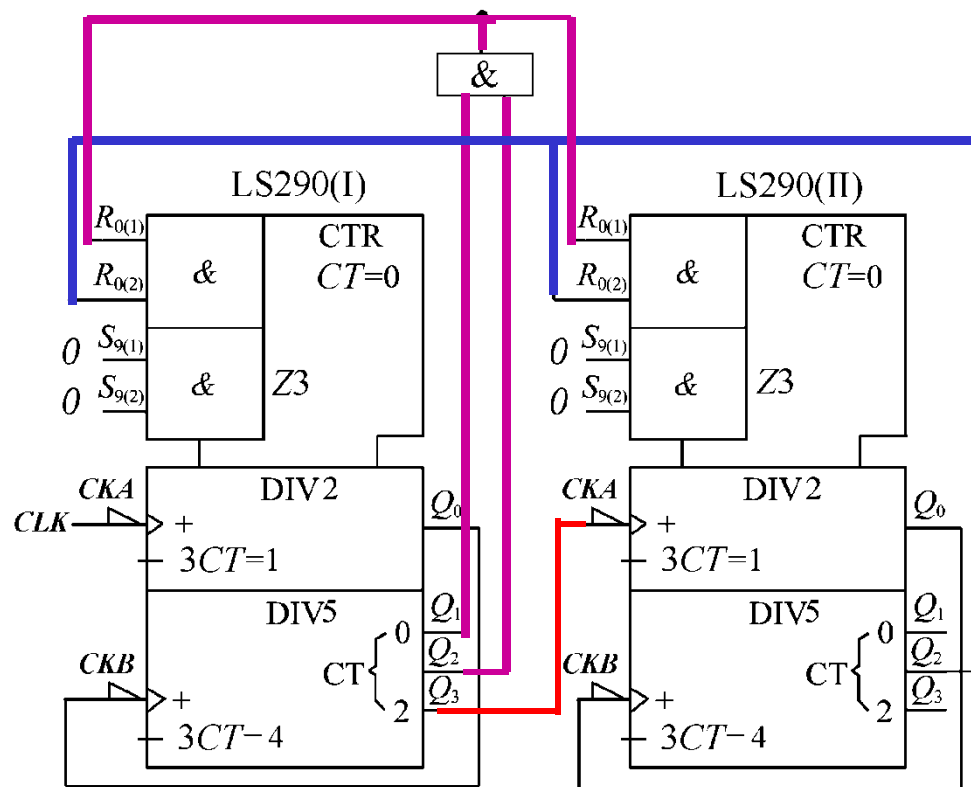


个位: 6 (0110) 十位: 4 (0100)

或

注意：进位

波形：



利用 Q_3 第10个 CLK 下降沿触发十位片的 CLK_A (不用连 Q_0Q_3)

§ 6.5 寄存器 Registers

寄存器用于寄存一组二进制代码。主要由触发器构成。

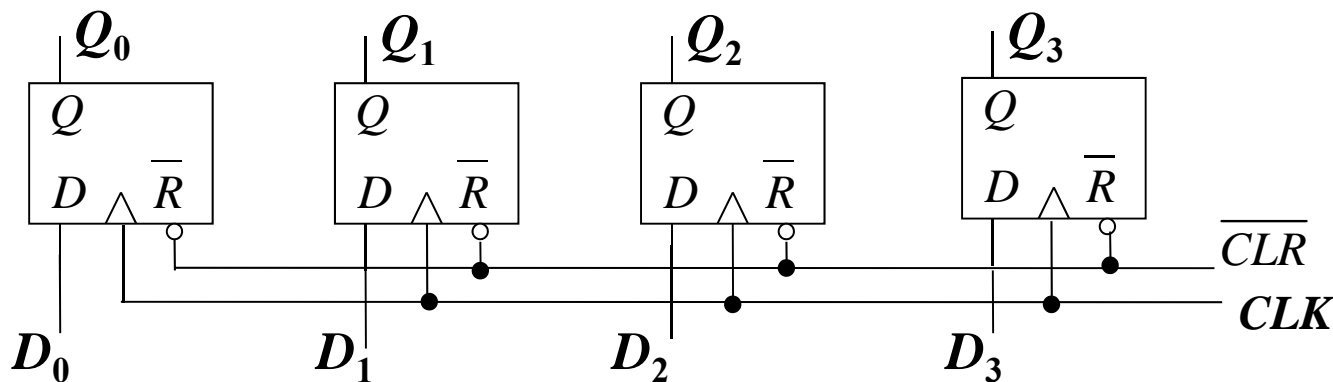
一个触发器能够存储 1 位二进制代码，所以用 n 个触发器组成的寄存器可以存储一组 n 位二进制信息。

寄存器广泛地应用于各类数字系统和数字计算机中。移位型寄存器在数字通信中的应用极其广泛。如在计算机串行数据通信中，需要发送的信息总是先放在发送端的移位寄存器中，然后由移位寄存器将其逐位移出。接收端的寄存器逐位从线路上接收信息，收完一个完整的数据后才从移位寄存器中取走数据。

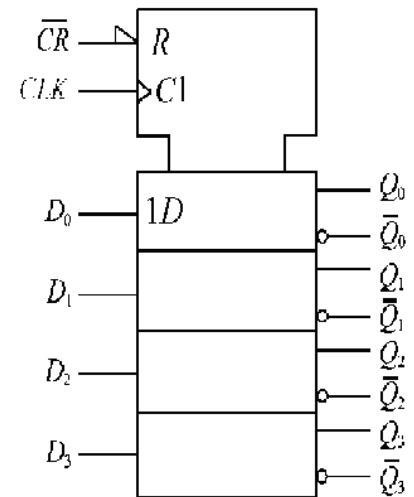
6.5.1 寄存器分类

1. 并入/并出型寄存器

例如，4个 **D-FFs** 构成寄存器

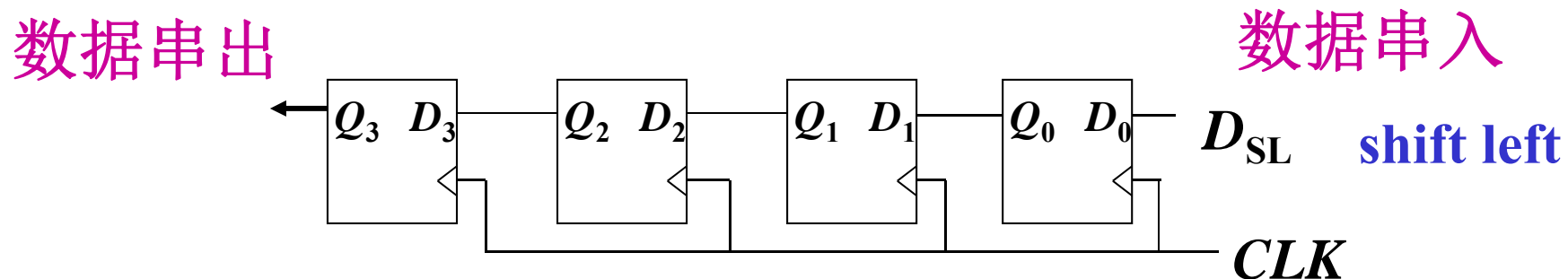


74LS175



在 CLK 正边沿, 4 个数据并行输入, 状态 $Q_3Q_2Q_1Q_0 = D_3D_2D_1D_0$ 并行输出

2. 左移串入/串出型寄存器



一个 CLK 到来, 左移一位.

例:

初始 $Q_3Q_2Q_1Q_0 = 1001$

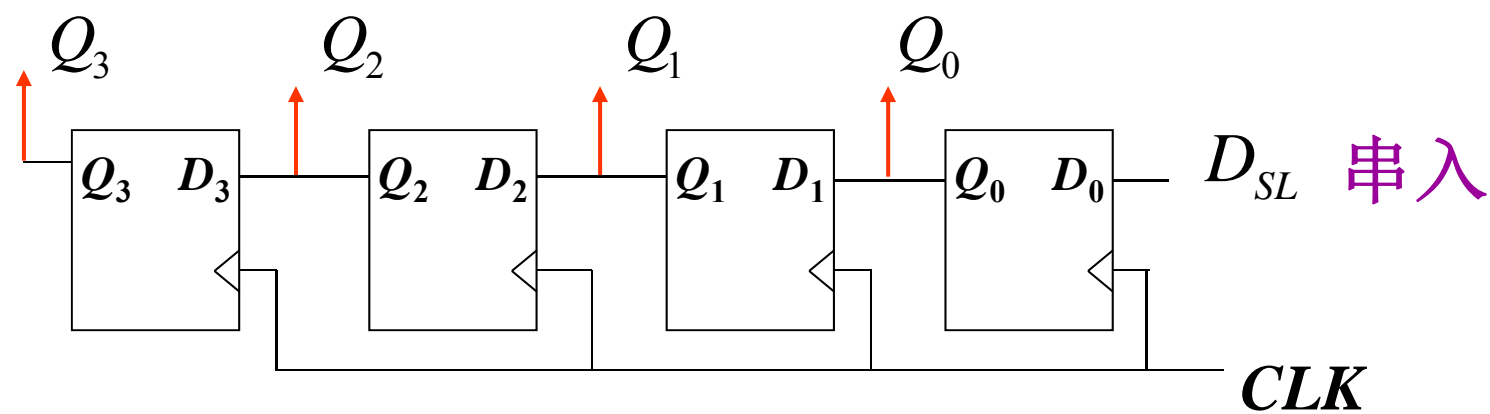
串入: 1011 (D_{SL}),

CLK	串出	$Q_3Q_2Q_1Q_0$ 串入
	1	1 0 0 1
1	0	0 0 1 1
2	0	0 1 1 0
3	1	1 1 0 1
4	1	1 0 1 1

4 个 CLK 后, $Q_3Q_2Q_1Q_0 = 1011$

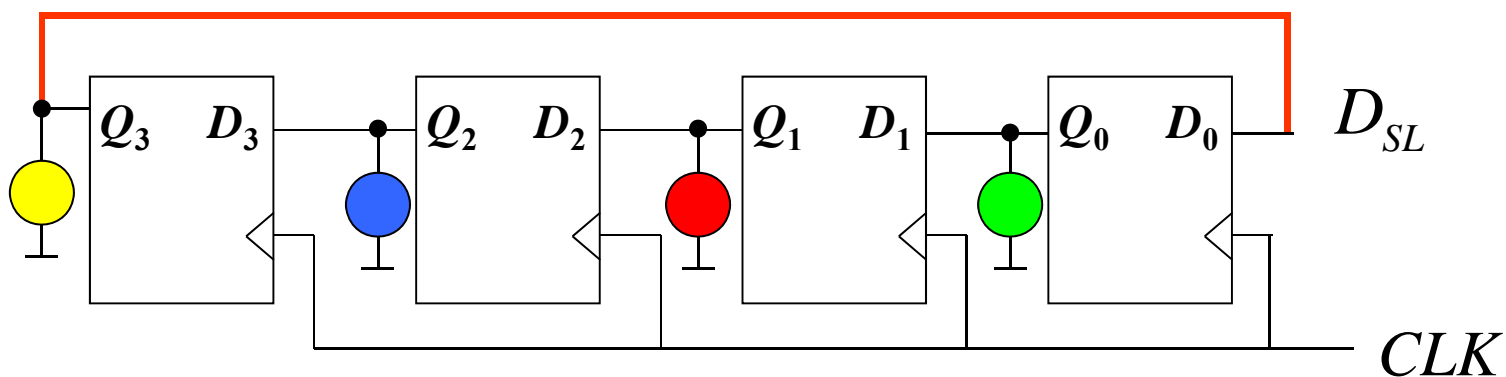
3. 左移串入/并出型寄存器

并行输出



4. 左移环型寄存器

串出端与串入端相连

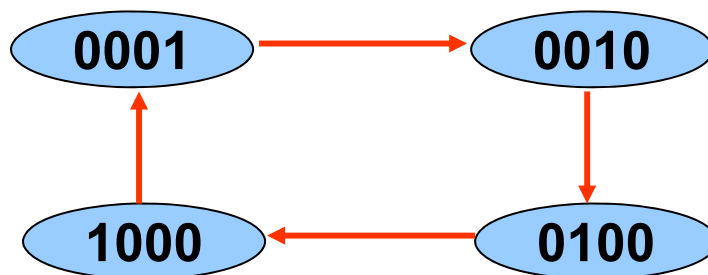


各FF 输出接彩灯

当输出为 0001时,接高电平的灯亮

取四位中只有一个1 的状态为主循环

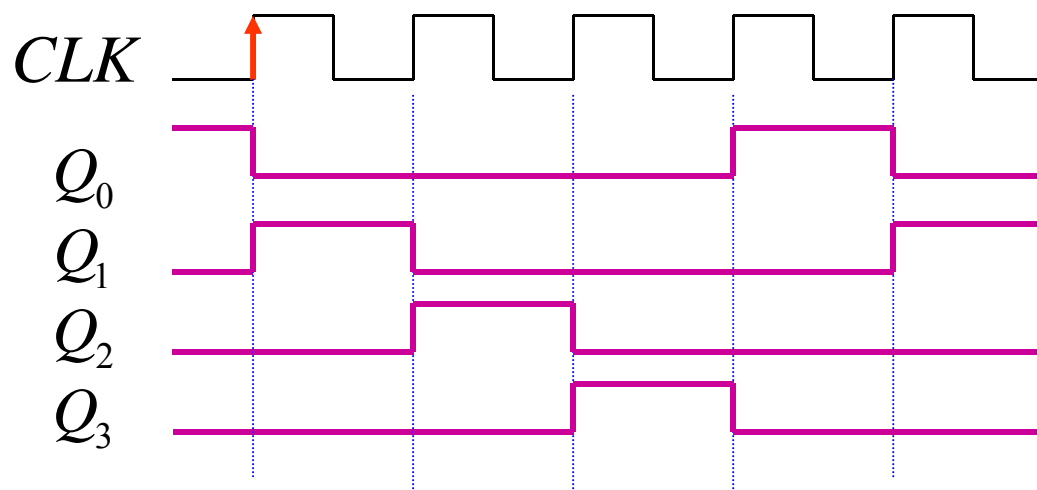
状态图



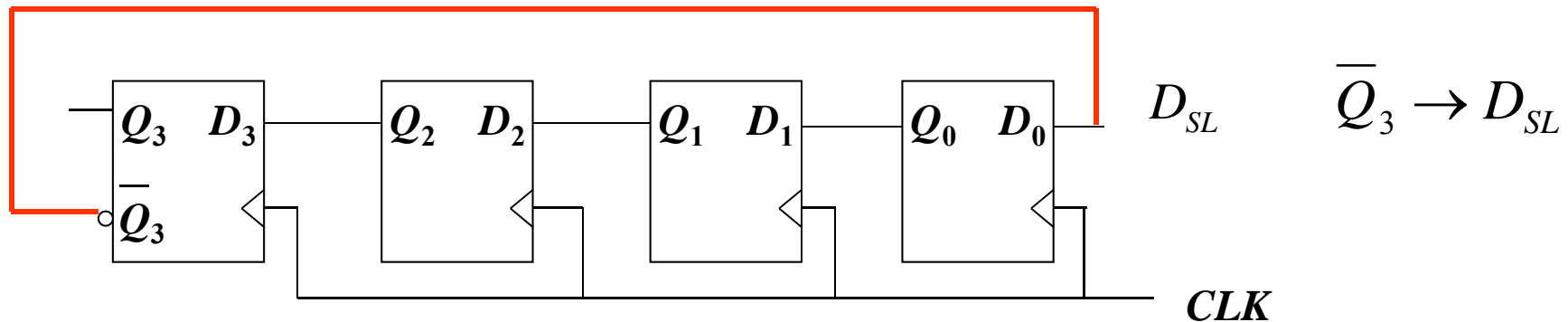
环形计数器

注意: n FFs $\rightarrow n$ 状态 \rightarrow 模 n

波形图

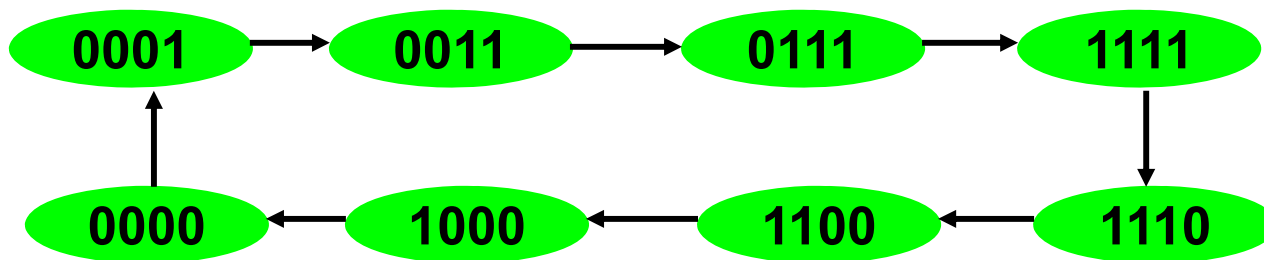


5. 左移扭环寄存器



初始 $Q_3Q_2Q_1Q_0 = 0001$

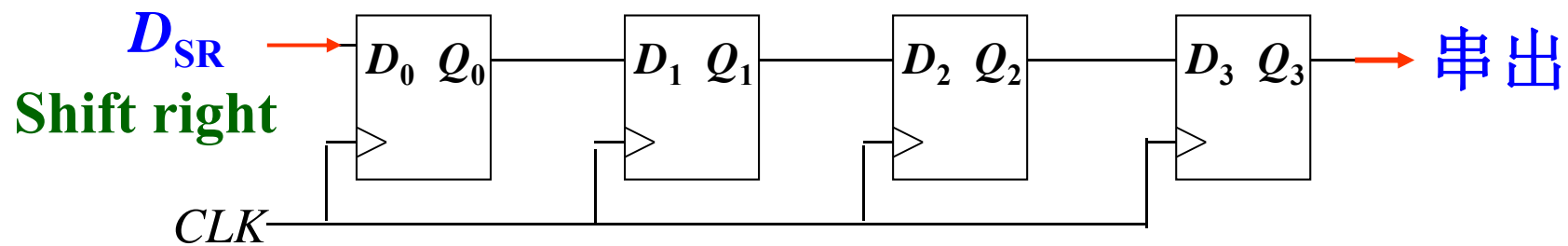
状态图: $Q_3Q_2Q_1Q_0$



扭环计数器

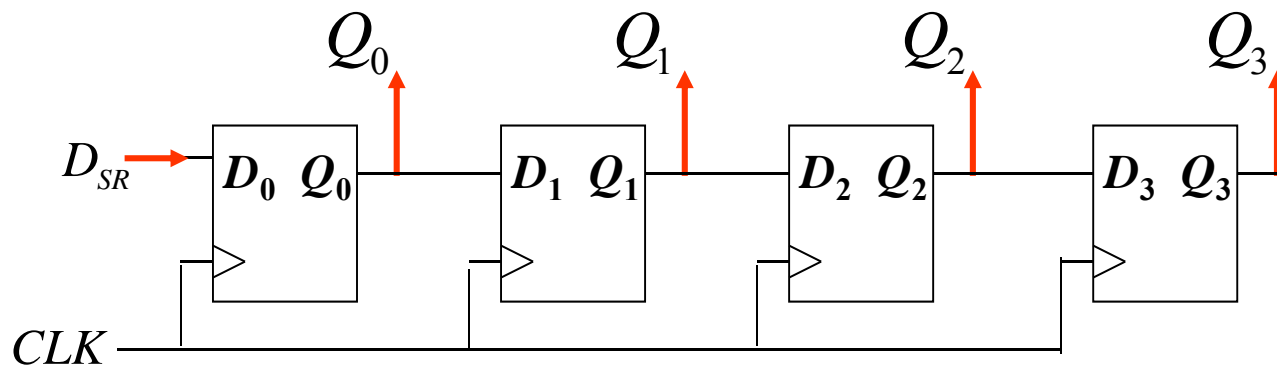
n FF \rightarrow 模 $2n$

6. 右移串入/串出寄存器

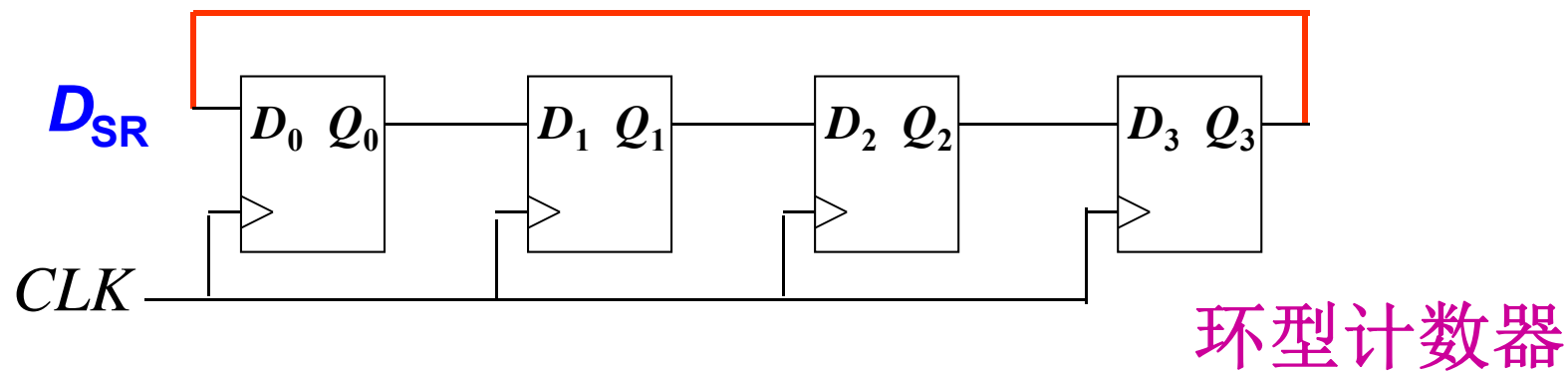


7. 右移串入 / 并出寄存器

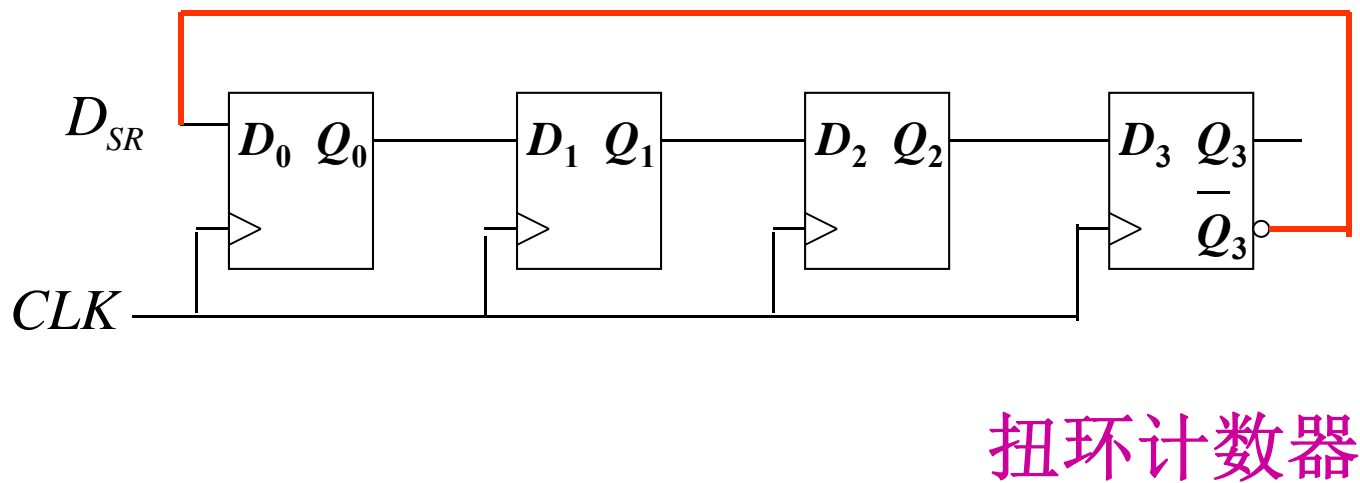
并出



8. 右移环型寄存器



9. 右移扭环寄存器

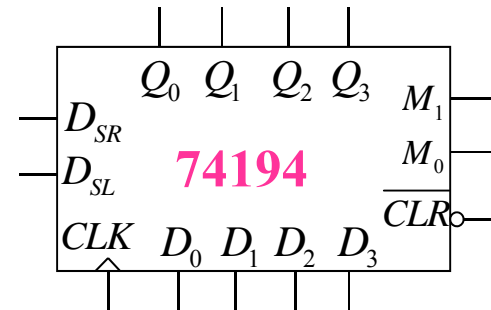
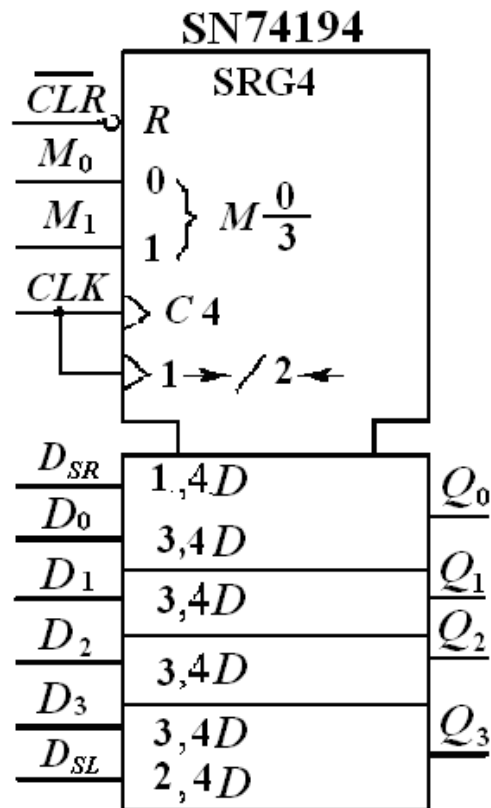


6.5.3 IC 寄存器 74194

多功能寄存器：四位并行存取双向移位寄存器

电路 P. 139

符号



D_{SR} 在 Q_0 一侧， D_{SL} 在 Q_3 一侧

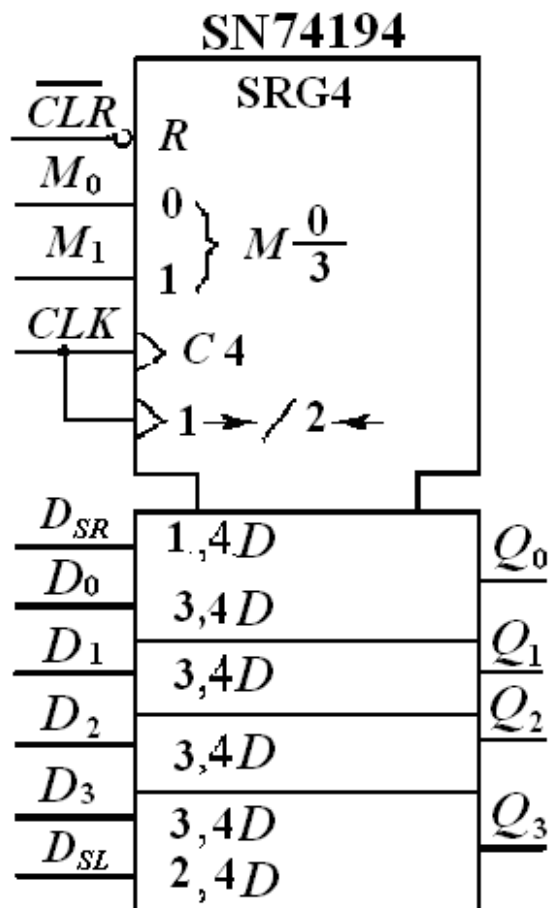
$Q_3Q_2Q_1Q_0$ 数据输出

$D_3D_2D_1D_0$ 数据输入

$D_{SR} D_{SL}$ 串入

$M_1 M_0$ 控制 (模式)

IEEE



$\overline{CLR} = 0$, 异步清0
 CLK 正边沿触发

74194 功能

M_1	M_0	功 能
0	0	保持
0	1	右移
1	0	左移
1	1	并入

$Q_0 Q_1 Q_2 Q_3$

↑ ↑ ↑ ↑

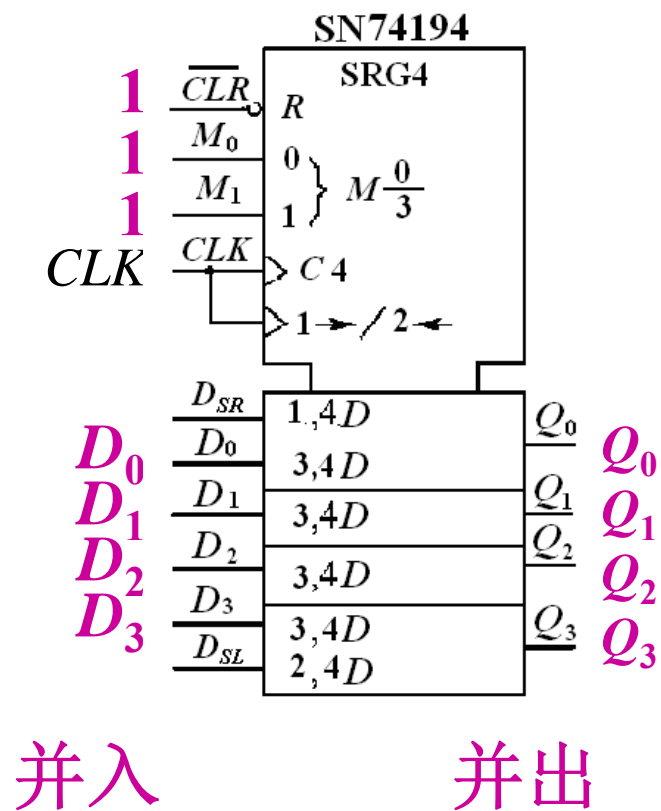
$D_0 D_1 D_2 D_3$

1 → shift right
 2 ← shift left

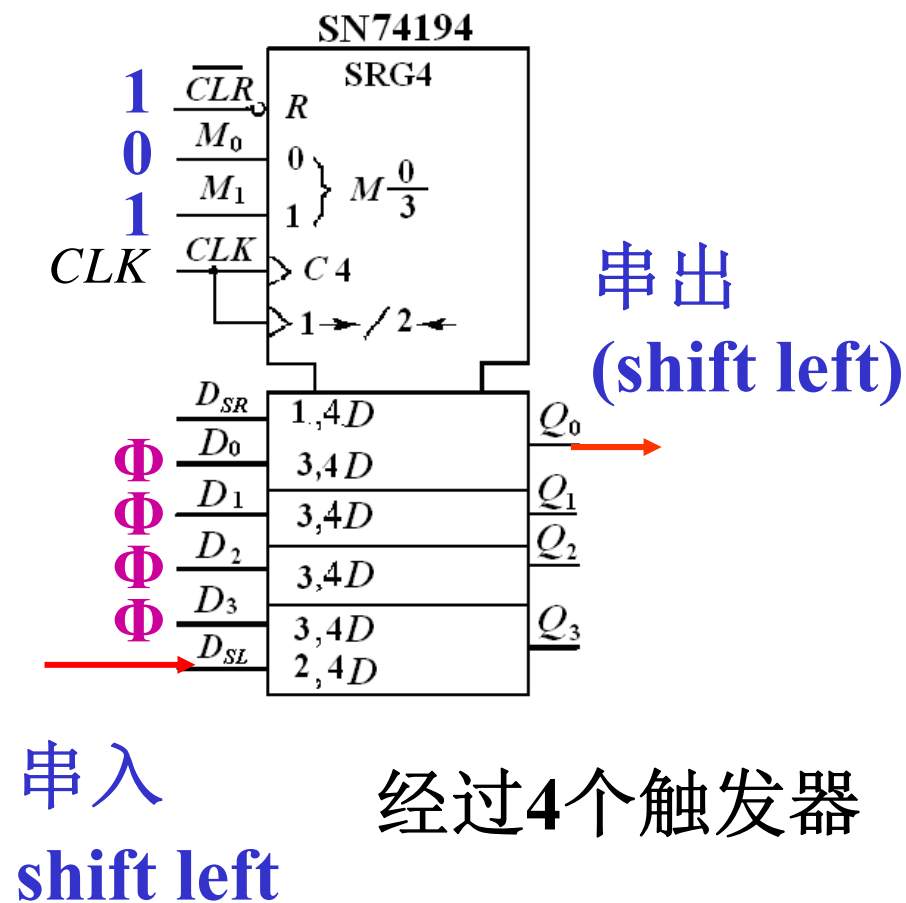
实现前面 9 种功能

注: $Q_0 Q_1 Q_2 Q_3$ 只有排列顺序,
 没有高、低位。

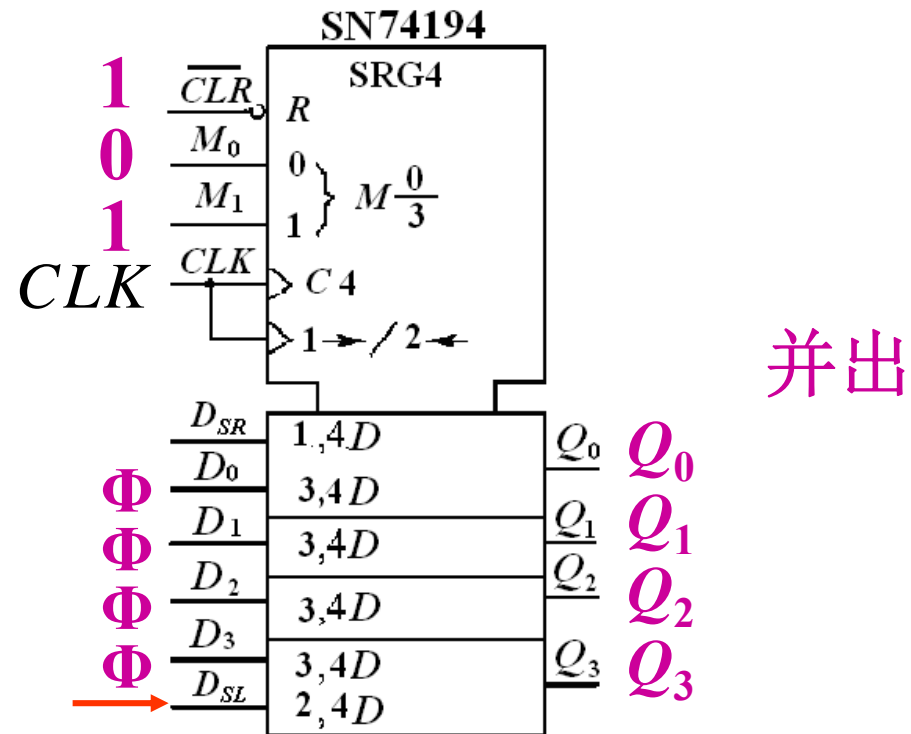
(1) 并入/并出



(2) 左移串入/串出



(3) 左移串入 / 并出



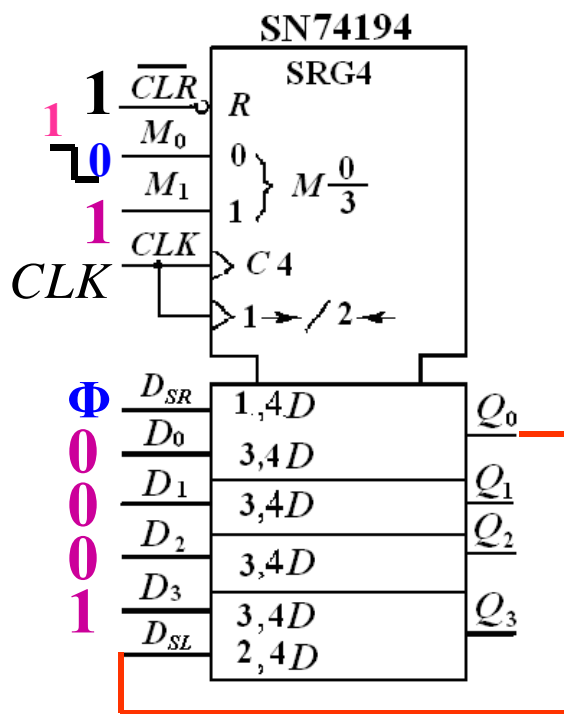
串入
shift left

(4) 左移环形

$$Q_0 \rightarrow D_{SL}$$

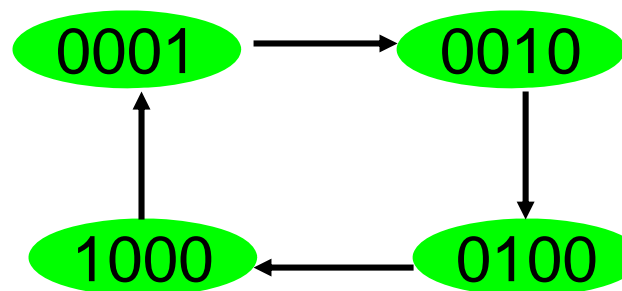
先置 $M_1 = 1, M_0 = 1$, 在 CLK 上升沿并入,
 $Q_0Q_1Q_2Q_3 = D_0D_1D_2D_3 = 0001$

再置 $M_0 = 0$, CLK 边沿到来 \rightarrow 左移 \rightarrow M-4 计数

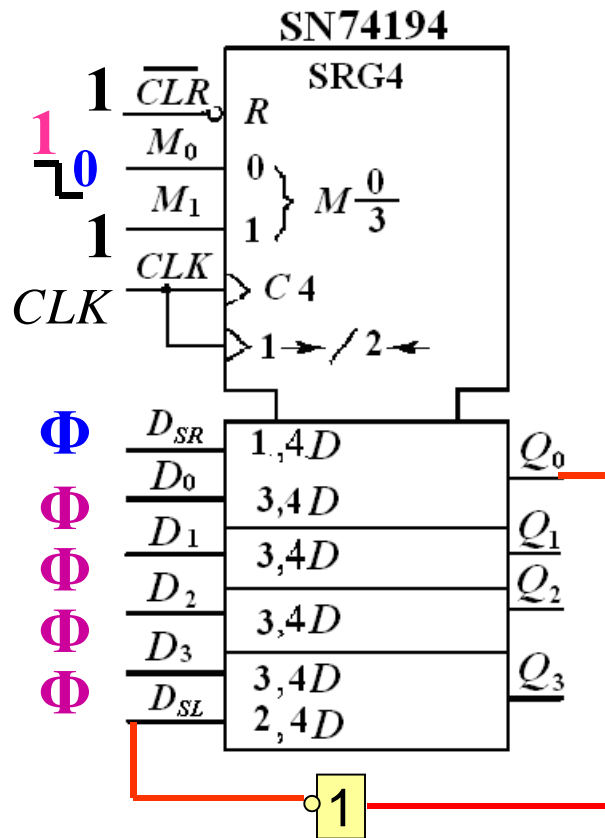


一个1为主循环

$Q_0Q_1Q_2Q_3$



(5) 左移扭环寄存器



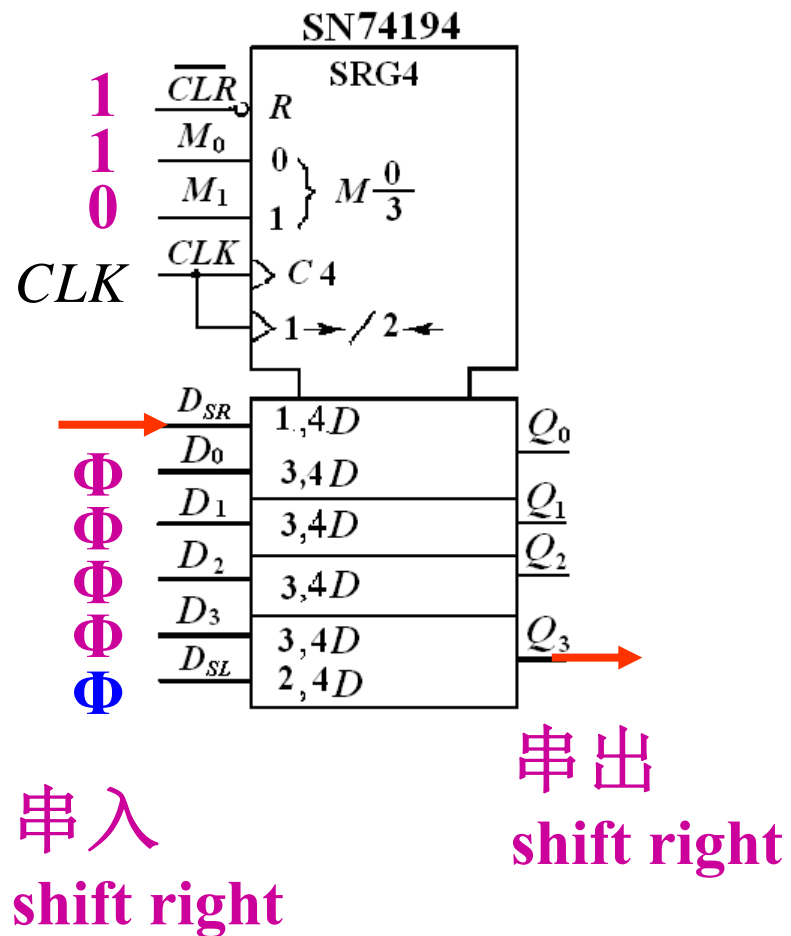
$$M_1 = 1,$$

$$M_0 = \begin{cases} 1, \text{ 并入} \\ Q_0 Q_1 Q_2 Q_3 = D_0 D_1 D_2 D_3 \\ 0, \text{ 扭环} \end{cases}$$

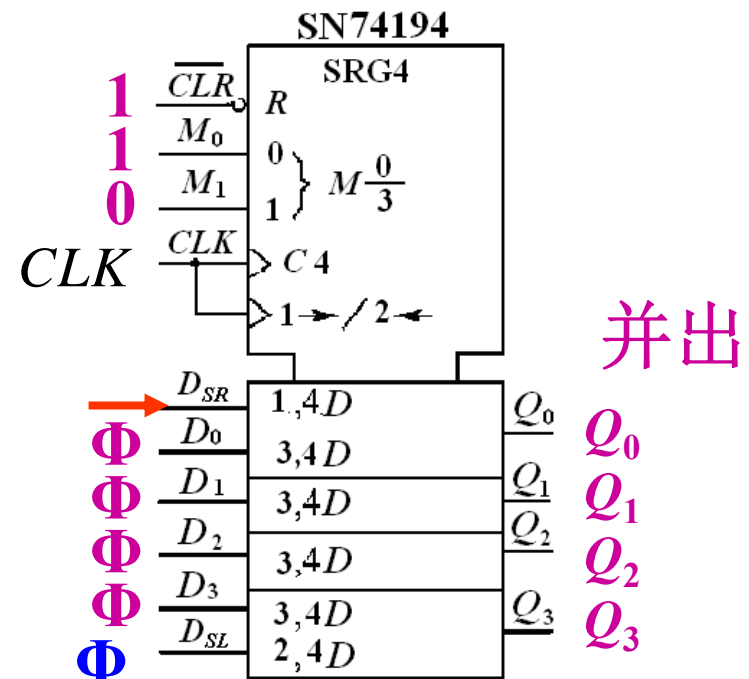
$\overline{Q_0}$ connect to D_{SL}

$D_0 D_1 D_2 D_3$ 接 Φ , 都可以构成扭环

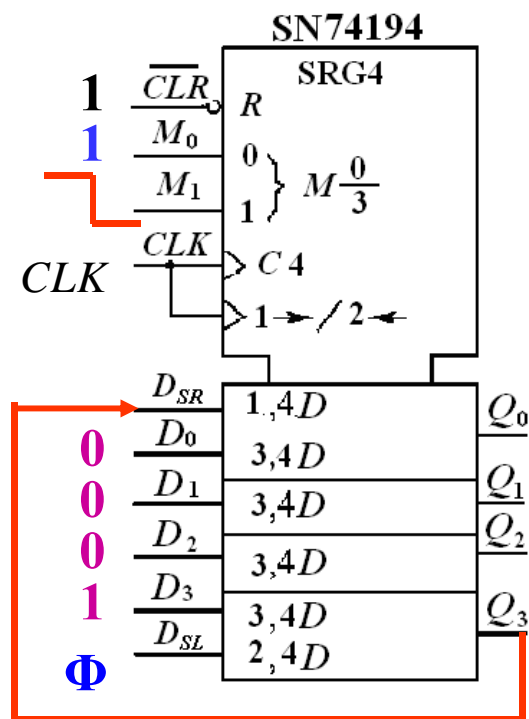
(6) 右移串入/串出 寄存器



(7) 右移串入/并出 寄存器



(8) 右移环形寄存器



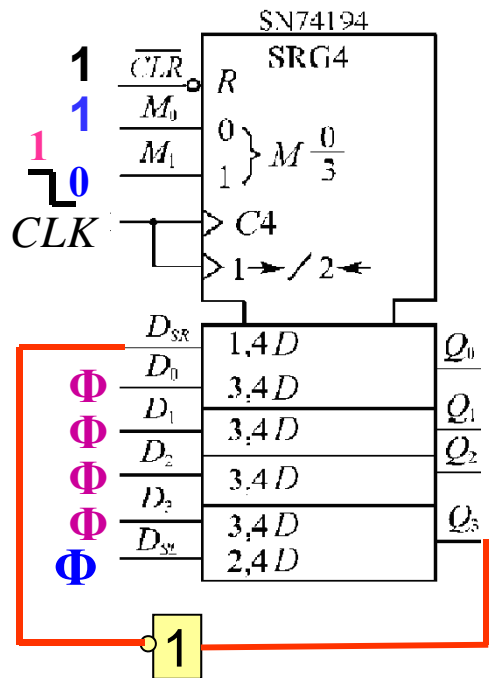
$$Q_3 \rightarrow D_{SR}$$

$$M_0 = 1$$

$$M_1 = \begin{cases} 1, CLK \text{ 到} \\ Q_0 Q_1 Q_2 Q_3 = D_0 D_1 D_2 D_3 \\ 0, CLK \text{ 到} \\ \text{右移环形} \end{cases}$$

模 4 计数器

(9) 右移扭环寄存器



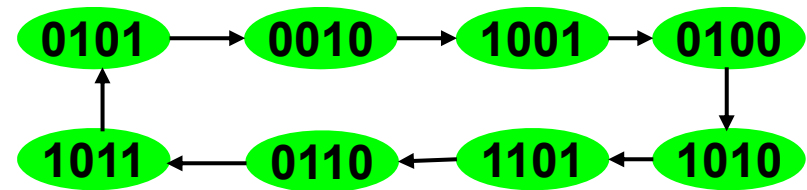
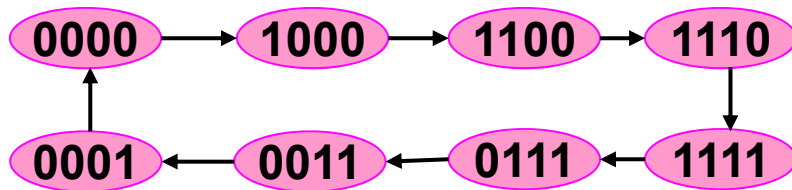
$\overline{Q_3}$ 接 D_{SR}

$M_0 = 1,$

$M_1 = \begin{cases} 1, \text{ 并入} \\ Q_0 Q_1 Q_2 Q_3 = D_0 D_1 D_2 D_3 \\ 0, \text{ 扭环} \end{cases}$

$D_0 D_1 D_2 D_3$ 接 Φ , 都可以构成扭环

只有两种状态图 $Q_0 Q_1 Q_2 Q_3$

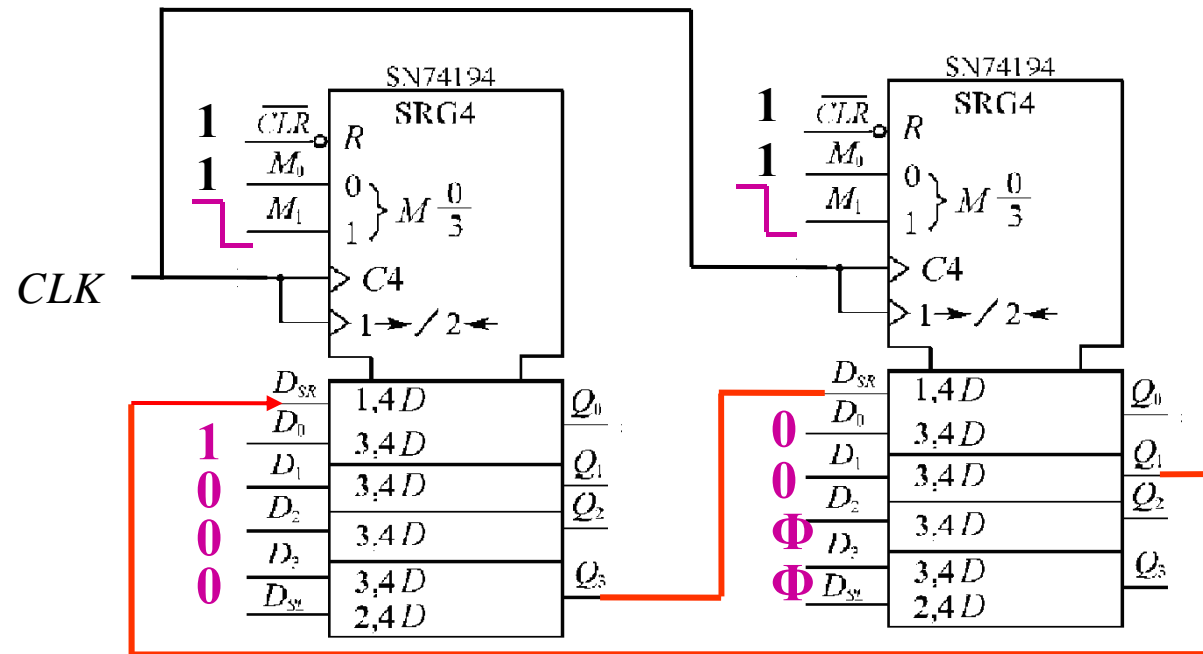


模 8 计数器

例. 用74194 设计模 6 环形计数器

6 FFs

右移



左移

