

10.1 RAM

Random Access Memory

By function: RAM can be divided into static and dynamic.

By device: RAM can be divided into bipolar type and MOS type.

1

Classification of semiconductor memory

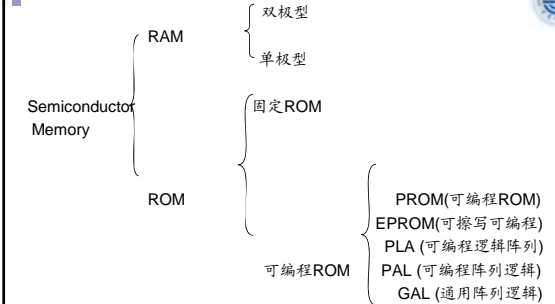
Memory—a device can store binary information.

By different functions, semiconductor can be divided into two categories:

- (1) RAM: It can read the saved data, and write data into it at any time. RAM's shortcoming is it may lost data when the power is off.
- (2) ROM: It can read the saved data, but can not write. Data in it can not disappear when the power is off.

The capability of memory = character length (n) × the number of character (m)

2



3

Basic Introduction of RAM

RAM is the large-scale integrated circuit consisting of basic registers.

In RAM, each register is called as a **character**, each bit in register is called as a **storage unit**.

The number of register (number of characters) multiply the register number of units stored (the number of bit) is called **RAM capacity**.

Access Speed: Reflect the operation speed of the memory

4

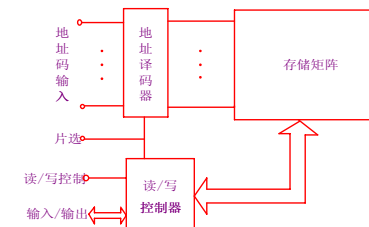
The Feature of RAM

RAM can store (write) or read information at any time or at any selected storage unit. When the power is off, the information in the memory will be gone. RAM consists of store matrix, address decoder, chip-choose control and read/write control circuit.

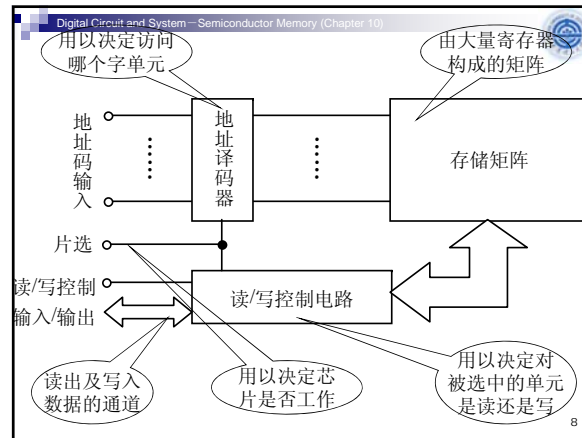
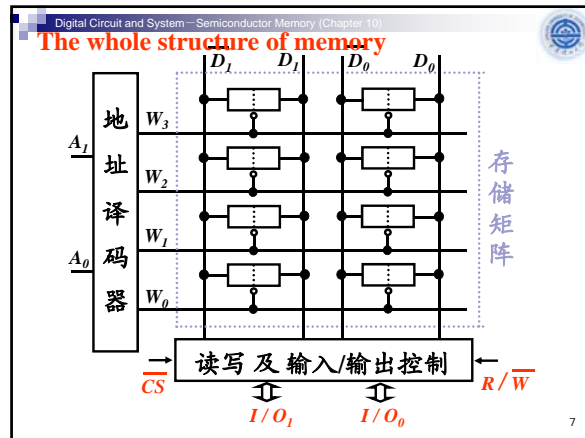
5

10.1.1 Basic Structure of RAM

- RAM consists of store matrix, address decoder, read/write controller, I/O control, chip-choose control



6



Digital Circuit and System - Semiconductor Memory (Chapter 10)

Address Decode :

①Address:

Information's read/write is the unit of character.

To distinguish different characters, the memory unit which store same characters will be compiled in a group and given a number, called the address.

The choice of address is achieved by address decoder

9

Digital Circuit and System - Semiconductor Memory (Chapter 10)

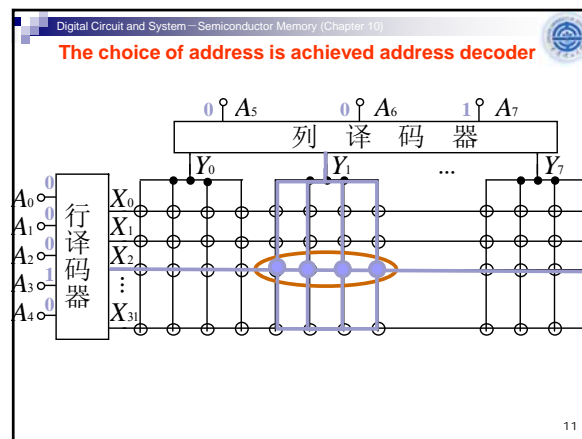
Address Decode :

②Decoding Method: To distinguish 256 characters need 8 bit address code ($2^8=256$)

Single decoding architecture: generate 256 address lines.
code and drive circuit are complex

Binary decoding architecture: Divide address into two parts, address decoder consists of column decoder and arrange decoder.

10



Digital Circuit and System - Semiconductor Memory (Chapter 10)

Storage Unit

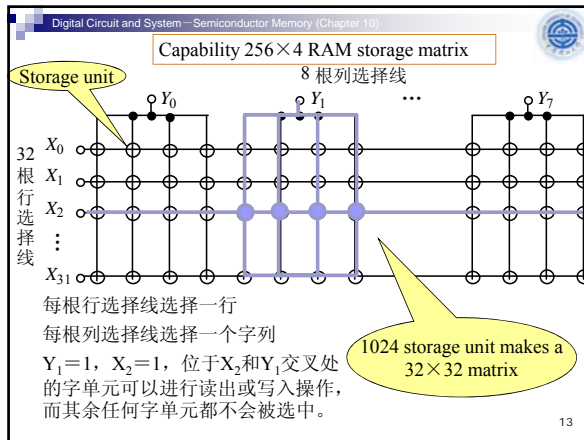
One storage unit can store one bit binary information

RAM can be divided as follows:

SRAM (static RAM) storage unit:
example: hexa-tube static storage unit

DRAM (dynamic RAM) storage unit:
example: three-tube dynamic storage unit

12



Digital Circuit and System - Semiconductor Memory (Chapter 10)

Storage Matrix

RAM consists of many storage units. Every storage unit store 1 bit binary information. For convince for read/write, storage unit is usually designed as a matrix.

Example: Storage with a capability 256×4 (256 characters, every character is 4 bit)

Storage Capability: $256 \times 4 = 1024$ (1K)

There are 1024 storage units, arranged as a 32×32 matrix.

$(2^{10} = 2^5 \times 2^5 = 32 \times 32)$

14

Digital Circuit and System - Semiconductor Memory (Chapter 10)

Read/Write Control Circuit

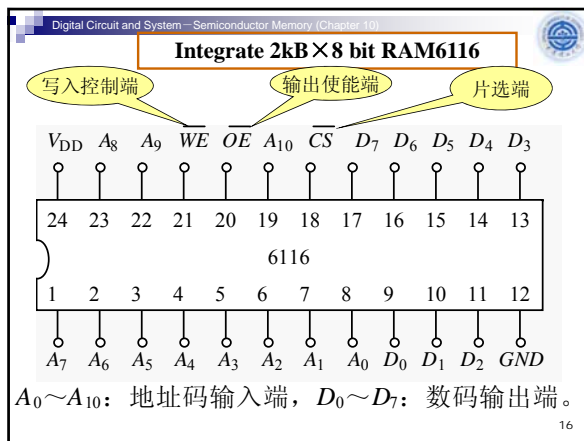
For easy to control, there are not only read/write control signal (R/\overline{WR}), but also chip-choice signal

When CS is effective:

$(R/\overline{WR}) = 1$ read, the data in storage unit are sent to I/O line.

$(R/\overline{WR}) = 0$ write, the data on I/O line are sent to storage unit

15



Digital Circuit and System - Semiconductor Memory (Chapter 10)

10.1.2 Capability extend of RAM

Introduction of RAM2114 and RAM6116

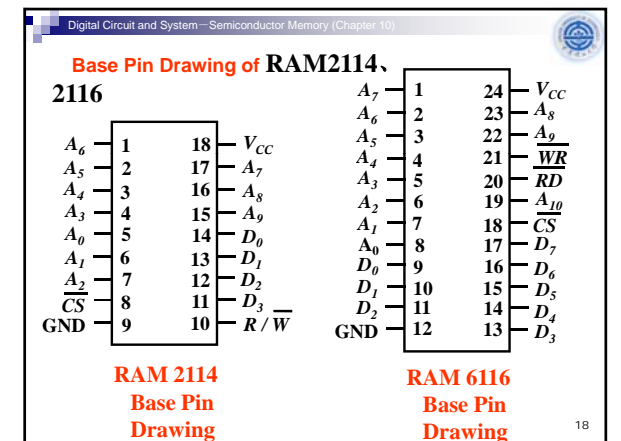
RAM2114: 10 address lines, 4 data lines

Capability: 1024×4 (1K \times 4)

RAM6116:

Capability 2048×8 (2K \times 8)

17



Digital Circuit and System - Semiconductor Memory (Chapter 10)

Introduction of RAM chipset (6116)

6116为2K × 8位静态CMOSRAM

芯片引脚排列图:
 $A_0 \sim A_{10}$ 是地址码输入端, $D_0 \sim D_7$ 是数据输出端, \overline{CS} 是选片端, \overline{OE} 是输出使能端, \overline{WE} 是写入控制端。

静态RAM6116工作方式与控制信号之间的关系

\overline{CS}	\overline{OE}	\overline{WE}	$A_0 \sim A_{10}$	$D_0 \sim D_7$	工作状态
1	×	×	×	高阻态	低功耗维持
0	Q	1	稳定	输出	读
0	×	0	稳定	输入	写

19

Digital Circuit and System - Semiconductor Memory (Chapter 10)

Bit Extension

Connect each address line together, data lines coordinate, connection is as follows:

Use two piece of 2114 to extend from 4 bit to 8 bit

20

Digital Circuit and System - Semiconductor Memory (Chapter 10)

The formation of capability 1K × 8

Use 1024 × 1 to form 1K × 8 RAM box drawing

21

Digital Circuit and System - Semiconductor Memory (Chapter 10)

The bit extension of RAM capability

输入 / 输出 (I/O) 分开使用作为字的各个位线

位扩展

将地址线、读 / 写线和片选线对应地并联在一起

22

Digital Circuit and System - Semiconductor Memory (Chapter 10)

The extension of characters:

Every RAM corresponsive data lines connect together; Low address lines connect parallel, and the high address line first through the decoder decoding, then according the output high and low level connect to choice-chip's selection end.

If use 2114 to connect 4096 × 4 bit memory, it need 4 2114 components, 12 address lines. While connecting, connect each low address $A_0 \sim A_9$; The high address A_{10} , A_{11} decoded by 2-4, according to high and low level, control the CS end of 4 piece of 2114, the drawing is as follows:

23

Digital Circuit and System - Semiconductor Memory (Chapter 10)

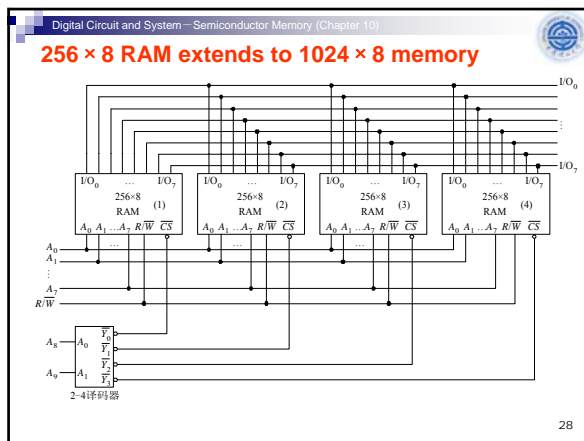
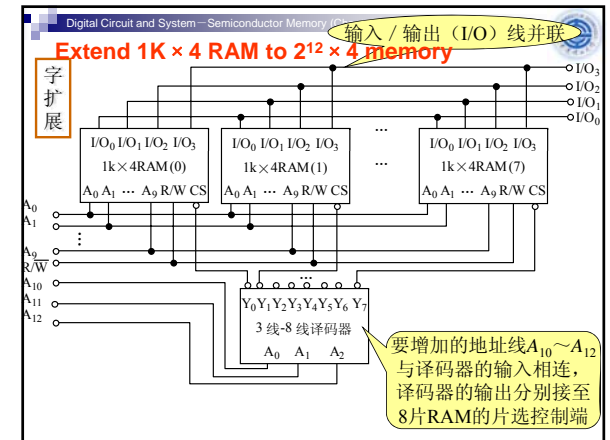
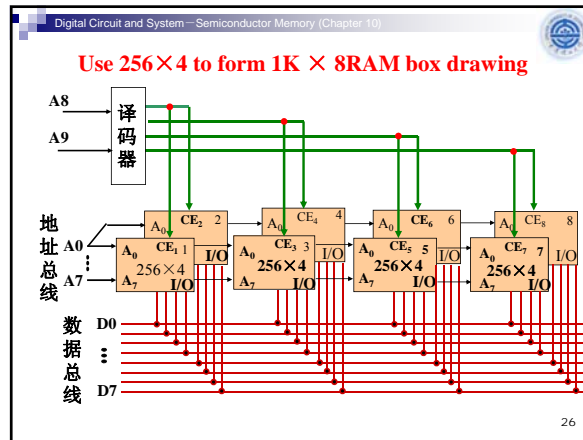
24

Digital Circuit and System -- Semiconductor Memory (Chapter 10)

When use 2114 to connect 4096×4 bit memory, the relationship between high address and storage unit is as the chart below:

A_{11}	A_{10}	选中片序号	对应的存储单元
0	0	2114(1)	0000 ~ 1023
0	1	2114(2)	1024 ~ 2047
1	0	2114(3)	2048 ~ 3071
1	1	2114(4)	3072 ~ 4095

25



Digital Circuit and System -- Semiconductor Memory (Chapter 10)

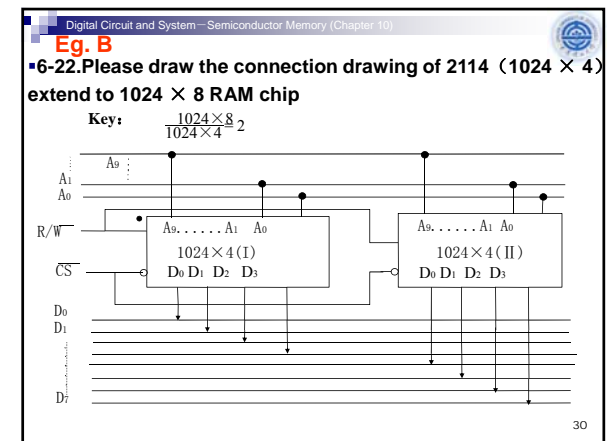
Eg. A

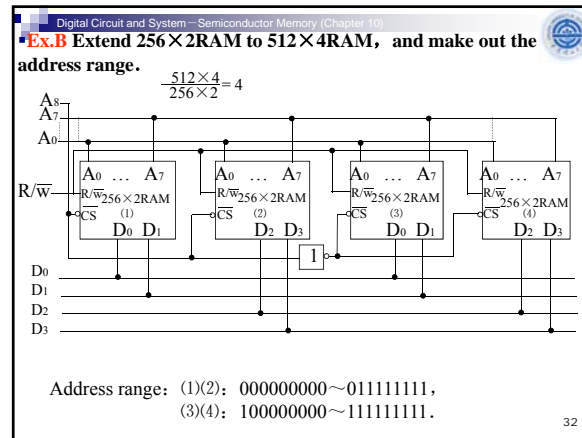
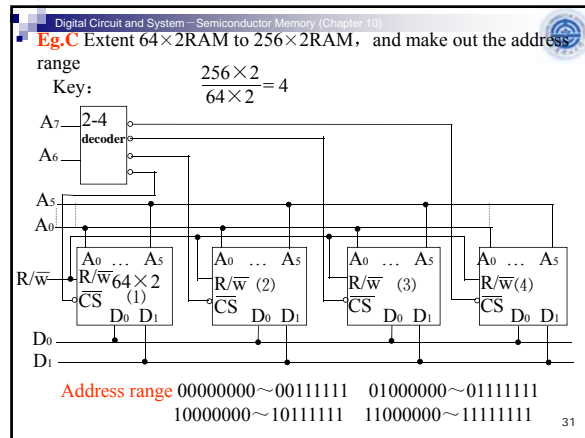
There is a piece of 256×8 RAM, try to answer:

- How many storage unit in this piece of RAM?
- How many characters in this RAM? And the length of character?
- How many address lines in this RAM?
- When visit this RAM, how many storage unit can be selected?

Key: 1. $256 \times 8 = 2048$
 2. 256 characters, the length is 8 bit
 3. 8 address lines. $256 = 2^8$
 4. 8

29





Digital Circuit and System - Semiconductor Memory (Chapter 10)

Summary:

RAM can read the stored data, and write data in any selected storage unit at any time. Compare to ROM, it has the advantages of save convince, writing the new data without break the original information. Its disadvantage is it may lost data when the power is off.

RAM is the large-scale integrated circuit consisting of basic registers. It consists of store matrix, address decoder, chip-choose control and read/write control circuit.

When RAM can not meet the storage capability, we can connect many RAM together to extent the storage capability.

33

Digital Circuit and System - Semiconductor Memory (Chapter 10)

10.2 只读存储器 (ROM)

Read Only Memory

只读存储器，工作时其存储的内容固定不变。因此，只能读出，不能随时写入，所以称为只读存储器。

34

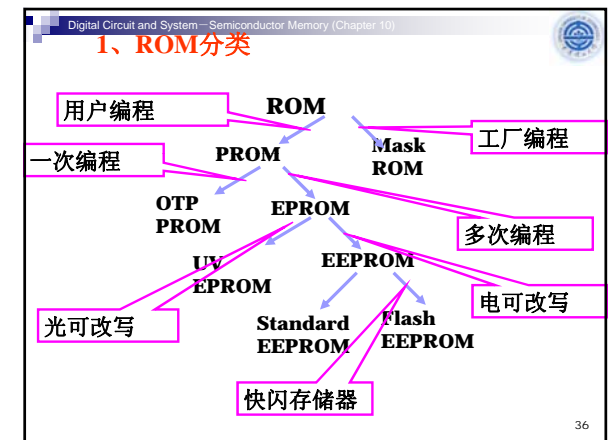
Digital Circuit and System - Semiconductor Memory (Chapter 10)

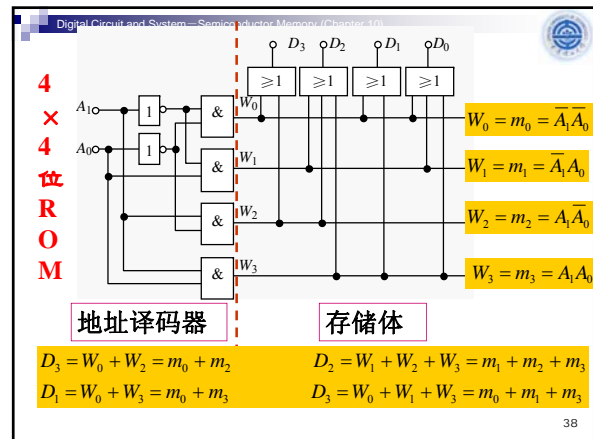
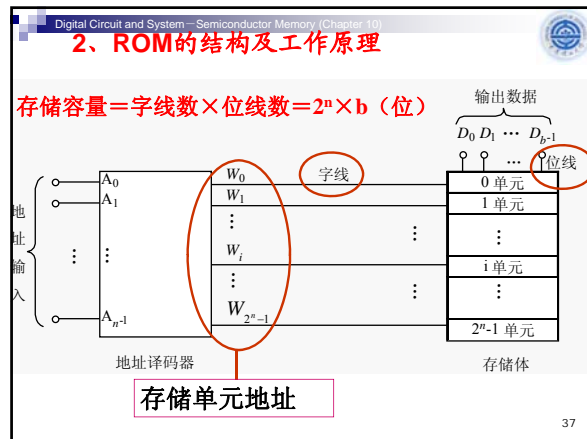
1、ROM分类

分

- 掩模型ROM (Mask ROM) (工厂编程)用户提交码点,在工厂编程
- 可编程ROM (PROM) (用户一次编程)出厂保留全部熔丝,用户可编程但不可改写
- 可改写ROM (EPROM) (用户多次编程) 光可改写 (UV EPROM) 电可改写 (EEPROM)

35





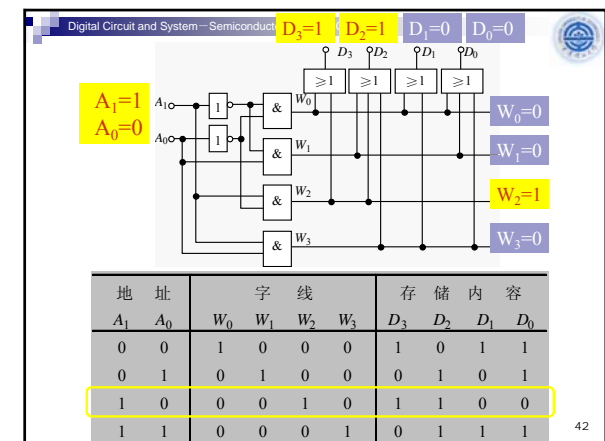
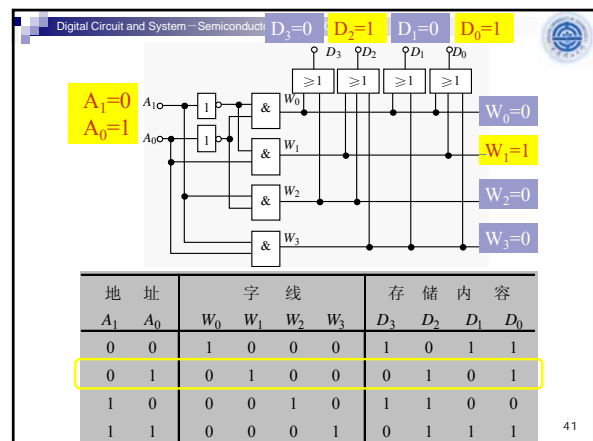
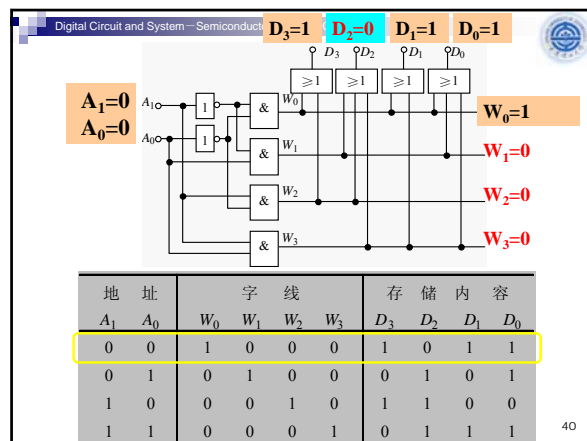
Digital Circuit and System - Semiconductor Memory (Chapter 10)

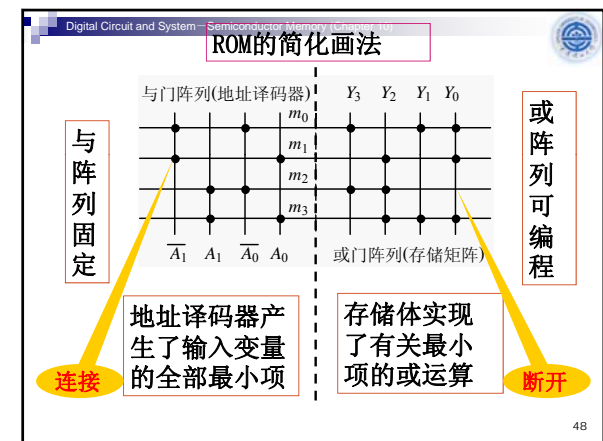
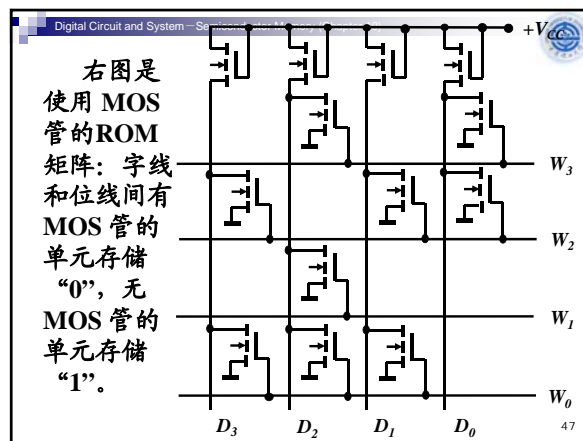
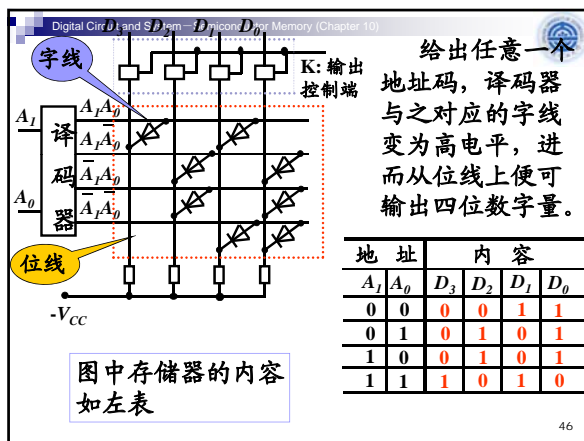
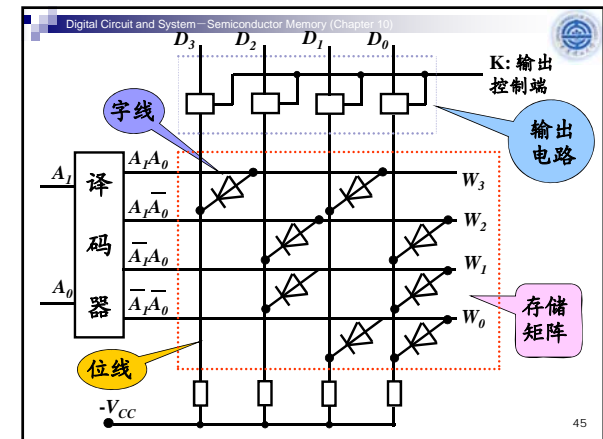
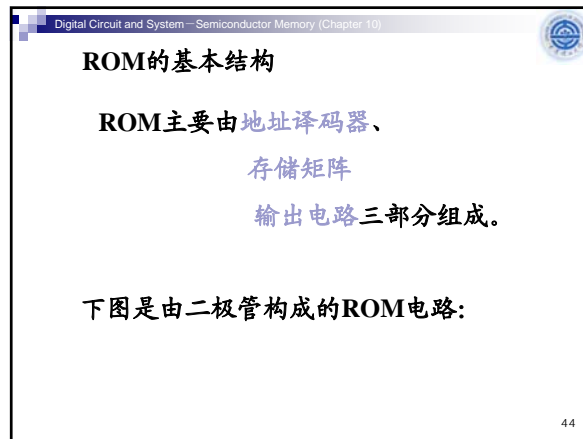
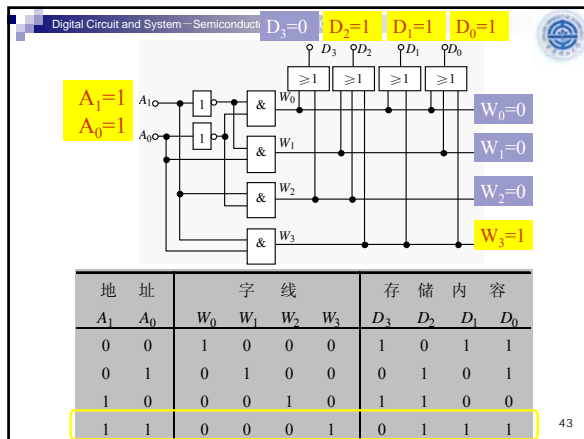
存储内容

地 址		字 线				存 储 内 容			
A_1	A_0	W_0	W_1	W_2	W_3	D_3	D_2	D_1	D_0
0	0	1	0	0	0	1	0	1	1
0	1	0	1	0	0	0	1	0	1
1	0	0	0	1	0	1	1	0	0
1	1	0	0	0	1	0	1	1	1

对于给定的地址，相应一条字线输出高电平，与该字线相连接的或门输出为 1，未连接的或门输出为 0。

39





Digital Circuit and System - Semiconductor Memory (Chapter 10)

3、ROM的应用举例

1. 用于存储固定的专用程序
2. 利用ROM可实现查表或码制变换等功能

查表功能 -- 查某个角度的三角函数
把变量值（角度）作为地址码，其对应的函数值作为存放在该地址内的数据，这称为“造表”。使用时，根据输入的地址（角度），就可在输出端得到所需的函数值，这就称为“查表”。

码制变换 -- 把欲变换的编码作为地址，把最终的目的编码作为相应存储单元中的内容即可。

49

Digital Circuit and System - Semiconductor Memory (Chapter 10)

3、ROM的应用

1) 用ROM实现组合逻辑函数

逻辑表达式

$$\begin{cases} Y_1 = A \oplus B \oplus C \\ Y_2 = AB + AC + BC \\ Y_3 = AB\bar{D} + BCD + \bar{B}\bar{C}D \\ Y_4 = \bar{A}\bar{C} + B\bar{C} + \bar{B}D + A\bar{B}C \end{cases}$$

按A、B、C、D排列变量，并将 Y_1 、 Y_2 扩展成为4变量的逻辑函数。

真值表或最小项表达式

$$\begin{cases} Y_1 = \sum m(1,4,8,13) \\ Y_2 = \sum m(6,7,10,11,12,13,14,15) \\ Y_3 = \sum m(1,7,9,12,14,15) \\ Y_4 = \sum m(0,1,3,4,5,9,10,11,12,13) \end{cases}$$

50

Digital Circuit and System - Semiconductor Memory (Chapter 10)

2) 选择ROM，画阵列图

与门阵列(地址译码器)

或门阵列(存储矩阵)

51

Digital Circuit and System - Semiconductor Memory (Chapter 10)

2) 用ROM作函数运算表

例 用ROM构成能实现函数 $y=x^2$ 的运算表电路。

设 x 的取值范围为0~15的正整数，则对应的是4位二进制正整数，用 $B=B_3B_2B_1B_0$ 表示。根据 $y=x^2$ 可算出 y 的最大值是 $15^2=225$ ，可以用8位二进制数 $Y=Y_7Y_6Y_5Y_4Y_3Y_2Y_1Y_0$ 表示。由此可列出 $Y=B^2$ 即 $y=x^2$ 的真值表。

52

Digital

	输入				输出								注
	B_3	B_2	B_1	B_0	Y_7	Y_6	Y_5	Y_4	Y_3	Y_2	Y_1	Y_0	十进制数
	0	0	0	0	0	0	0	0	0	0	0	0	0
	0	0	0	1	0	0	0	0	0	0	0	1	1
	0	0	1	0	0	0	0	0	0	1	0	0	4
	0	0	1	1	0	0	0	0	1	0	0	1	9
	0	1	0	0	0	0	0	1	0	0	0	0	16
	0	1	0	1	0	0	0	1	1	0	0	1	25
	0	1	1	0	0	0	1	0	0	1	0	1	36
	0	1	1	1	0	0	1	1	0	0	0	1	49
	1	0	0	0	0	1	0	0	0	0	0	0	64
	1	0	0	1	0	1	0	1	0	0	0	1	81
	1	0	1	0	0	1	1	0	0	1	0	0	100
	1	0	1	1	0	1	1	1	1	0	0	1	121
	1	1	0	0	1	0	0	1	0	0	0	0	144
	1	1	0	1	1	0	1	0	1	0	0	1	169
	1	1	1	0	1	1	0	0	0	1	0	0	196
	1	1	1	1	1	1	1	0	0	0	0	1	225

真值表

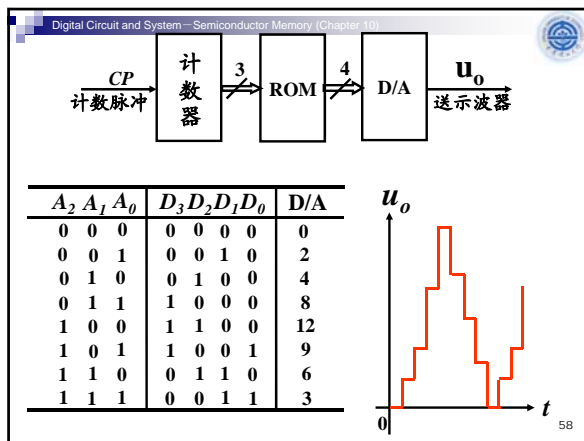
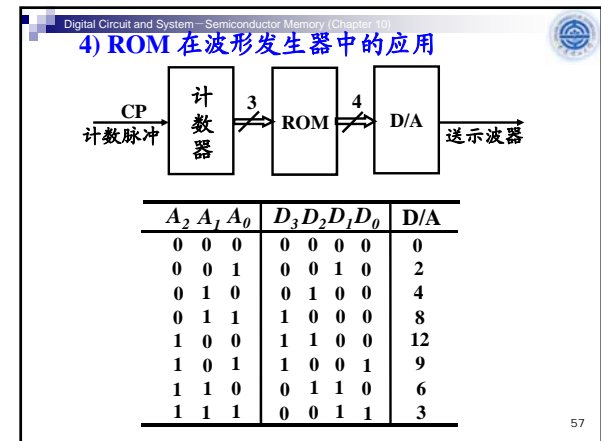
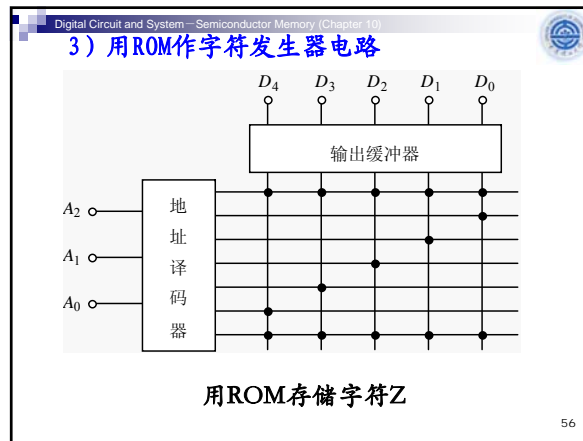
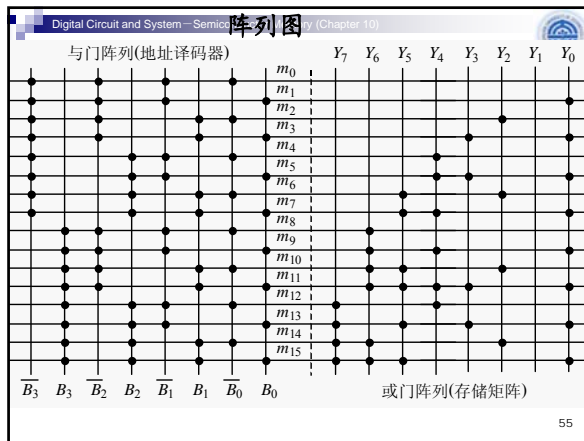
53

Digital Circuit and System - Semiconductor Memory (Chapter 10)

逻辑表达式

$$\begin{cases} Y_7 = \sum m(12,13,14,15) \\ Y_6 = \sum m(8,9,10,11,14,15) \\ Y_5 = \sum m(6,7,10,11,13,15) \\ Y_4 = \sum m(4,5,7,9,11,12) \\ Y_3 = \sum m(3,5,11,13) \\ Y_2 = \sum m(2,6,10,14) \\ Y_1 = 0 \\ Y_0 = \sum m(1,3,5,7,9,11,13,15) \end{cases}$$

54



本节小结

只读存储器在存入数据以后, 不能用简单的方法更改, 即在工作时它的存储内容是固定不变的, 只能从中读出信息, 不能写入信息, 并且其所存储的信息在断电后仍能保持, 常用于存放固定的信息。

ROM由地址译码器和存储体两部分构成。地址译码器产生了输入变量的全部最小项, 即实现了对输入变量的与运算; 存储体实现了有关最小项的或运算。因此, ROM实际上是由与门阵列和或门阵列构成的组合电路, 利用ROM可以实现任何组合逻辑函数。

利用ROM实现组合函数的步骤: (1) 列出函数的真值表或写出函数的最小项表达式。(2) 选择合适的ROM, 画出函数的阵列图。 {End}

59

10.3 可编程逻辑器件

10.3.1 概述

自20世纪60年代以来, 数字集成电路已经历了从SSI、MSI、LSI到VLSI的发展过程。数字集成电路按照芯片设计方法的不同大致可以分为三类: ① 通用型中、小规模集成电路; ② 用软件组态的大规模、超大规模集成电路, 如微处理器、单片机等; ③ 专用集成电路(ASIC-Application Specific Integrated Circuit)。

ASIC是一种专门为某一应用领域或为专门用户需要而设计、制造的LSI或VLSI电路, 它可以将某些专用电路或电子系统设计在一个芯片上, 构成单片集成系统。

60

可编程逻辑器件是一种由用户自己定义的逻辑器件。可编程器件按集成度分有低密度PLD(LDPLD)和高密度PLD(HDPLD)两类。LDPLD主要产品有 PROM、现场可编程逻辑阵列(FPLA, Field Programmable Logic Array)、可编程阵列逻辑(PAL, Programmable Array)、可编程逻辑阵列PLA和通用阵列(GAL, Generic Array Logic)等几种。

61

可编程逻辑器件采用的可编程元件有四类:

- ① 一次性编程的熔丝或反熔丝元件。
 - ② 紫外线擦除、电可编程序的EPROM(UVE PROM)即VUCMOS工艺结构。
 - ③ 电擦除、电可编程存储单元，一类是E2CMOS工艺结构；另一类是快闪(Flash)存储单元。
 - ④ 静态存储器(SRAM)的编程元件。这些元件中，电擦除、电可编程的E2PROM和快闪(Flash)存储单元
- 的PLD以及DRAM的PLD目前使用最广泛。

62

10.3.2 低密度可编程逻辑器件

低密度可编程逻辑器件的集成密度约为每片 700 个等效门以下，它主要包括PROM、FPLA、PAL和GAL四种器件。

1. PLD电路的基本结构

1) PLD电路的表示方法

由于PLD内部电路的连接十分庞大，所以对其进行描述时采用了一种与传统方法不相同的简化方法。

63

PLD的输入、输出缓冲器都采用了互补输出结构，其表示法如图 10-17 所示。

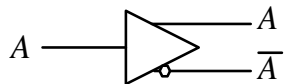


图 10-17 PLD缓冲器表示法

64

PLD的与门表示法如图 10-18 所示。图中与门的输入线通常画成行(横)线，与门的所有输入变量都称为输入项，并画成与行线垂直的列线以表示与门的输入。列线与行线相交的交叉处若有“.”，表示有一个耦合元件固定连接；“×”表示编程连接；交叉处若无标记则表示不连接(被擦除)。与门的输出称为乘积项P，图中与门的输出 $P=A \cdot B \cdot D$ 。

或门可以用类似的方法表示，也可以用传统的方法表示，如图 10-19 所示。

65

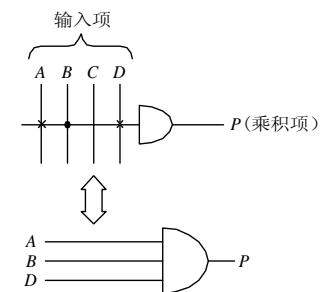
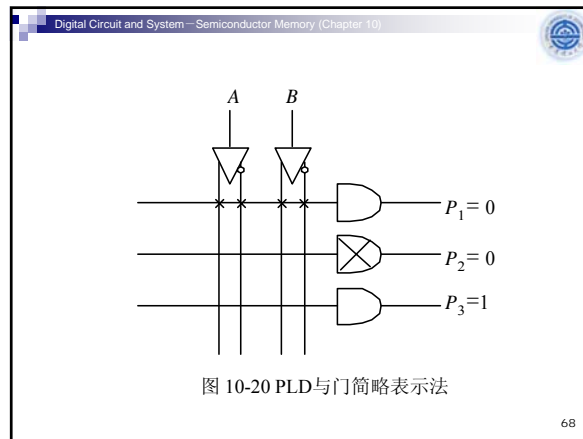
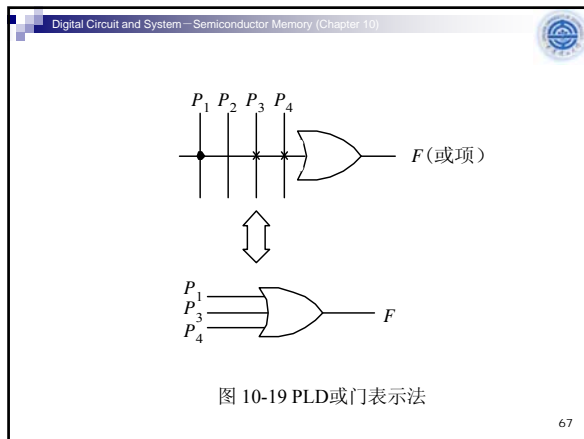


图 10-18 PLD与门表示法

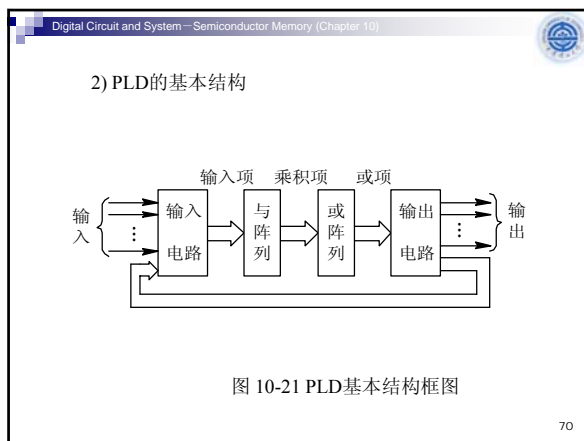
66



Digital Circuit and System - Semiconductor Memory (Chapter 10)

图10-20是PLD中与门的简略表示法。图中与门 P_1 的全部输入项接通，因此 $P_1 = \bar{A} \cdot \bar{B} \cdot B = 0$ ，这种状态称为与门的缺省(Default)状态。为简便起见，对于这种全部输入项都接通的缺省状态，可以用带有“×”的与门符号表示，如图中的 $P_2 = P_1 = 0$ 表示缺省状态。 P_3 中任何输入项都不接通，即所有输入都悬空，因此 $P_3 = 1$ ，也称为“悬浮1”状态。

69

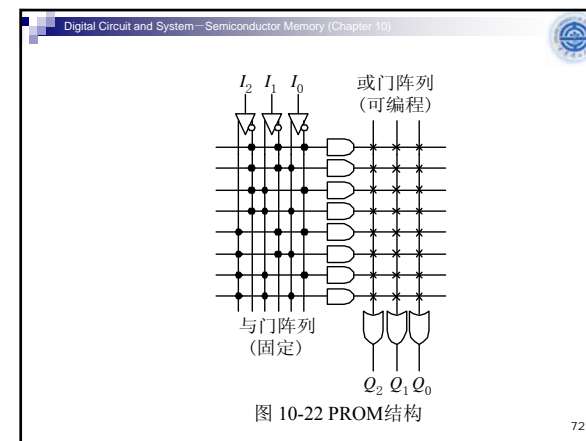


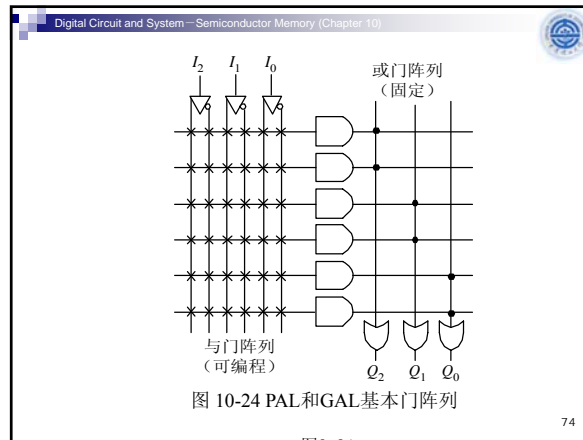
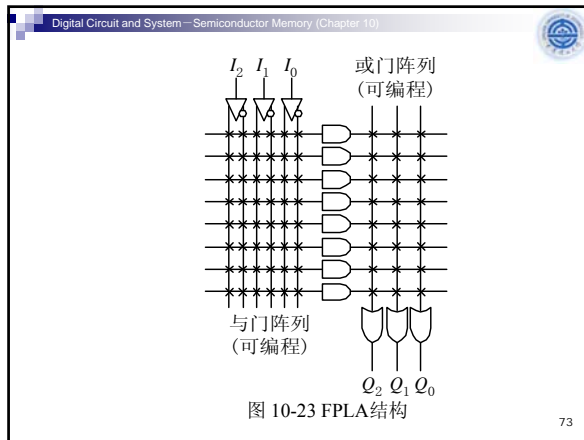
Digital Circuit and System - Semiconductor Memory (Chapter 10)

表 10-3 四种PLD的结构特点

类型	阵列		输出方式
	与	或	
PROM	固定	可编程	TS、OC
FPLA	可编程	可编程	TS、OC、H、L
PAL	可编程	固定	TS、I/O、寄存器
GAL	可编程	固定	用户定义

71





Digital Circuit and System - Semiconductor Memory (Chapter 10)

2. 现场可编程逻辑阵列(FPLA)

1970年制成的PROM是最早出现的PLD。由前面分析可知，PROM由全译码的与阵列和可编程的或阵列组成，由于其阵列规模大，速度低，因而它的基本用途是用作存储器，如软件固化、显示查寻等。

FPLA是20 世纪 70 年代中期在PROM基础上发展起来的PLD，它的与阵列和或阵列均可编程。采用FPLA实现逻辑函数时只需要运用化简后的与或式，由与阵列产生与项，再由或阵列完成与项相或的运算后便得到输出函数。

75

Digital Circuit and System - Semiconductor Memory (Chapter 10)

【例10-2】 试用FPLA实现例10-1要求的四位二进制码转换为格雷码的代码转换电路。

解： 根据表10-2所示的码组转换真值表，将多输出函数化简后得出最简输出表达式：

$$G_3 = B_3$$

$$G_2 = B_3 \bar{B}_2 + \bar{B}_3 B_2$$

$$G_1 = B_2 \bar{B}_1 + \bar{B}_2 B_1$$

$$G_0 = B_1 \bar{B}_0 + \bar{B}_1 B_0$$

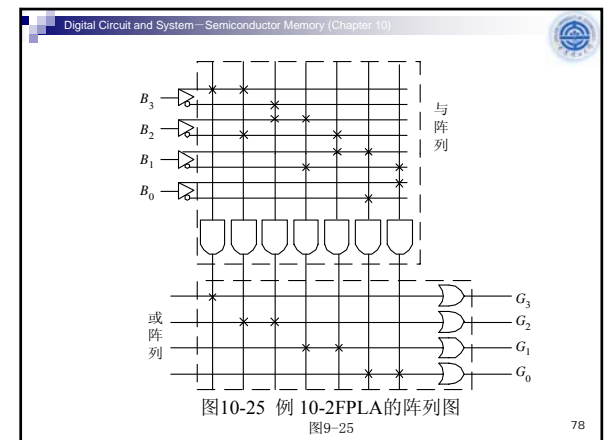
76

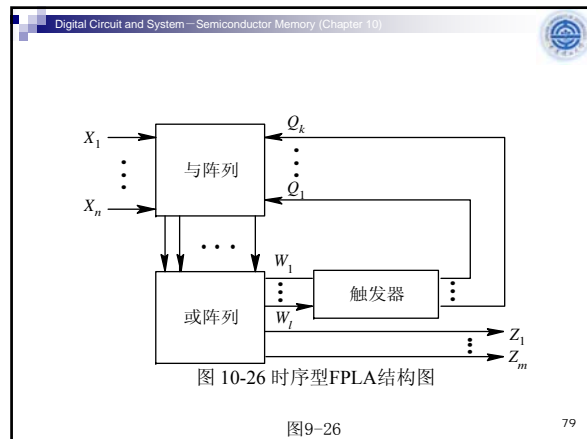
Digital Circuit and System - Semiconductor Memory (Chapter 10)

表 10-2 二进制码转换为格雷码的真值表

字	二进制码				格雷码			
	D_3	B_2	B_1	B_0	G_3	G_2	G_1	G_0
W_0	0	0	0	0	0	0	0	0
W_1	0	0	0	1	0	0	0	1
W_2	0	0	1	0	0	0	1	1
W_3	0	0	1	1	0	0	1	0
W_4	0	1	0	0	0	1	1	0
W_5	0	1	0	1	0	1	1	1
W_6	0	1	1	0	0	1	0	1
W_7	0	1	1	1	0	1	0	0
W_8	1	0	0	0	1	1	0	0
W_9	1	0	0	1	1	1	0	1
W_{10}	1	0	1	0	1	1	1	1
W_{11}	1	0	1	1	1	1	1	0
W_{12}	1	1	0	0	1	0	1	0
W_{13}	1	1	0	1	1	0	1	1
W_{14}	1	1	1	0	1	0	0	1
W_{15}	1	1	1	1	1	0	0	0

77





Digital Circuit and System - Semiconductor Memory (Chapter 10)

【例 10-3】试用 FPLA和JK触发器实现模 4 可逆计数器。当X=0 时进行加法计数；X=1时进行减法计数。

解：由给定的功能可画出模 4 可逆计数器的状态图如图 10-27(a)所示。

根据状态图可求得时序电路的激励方程和输出方程为

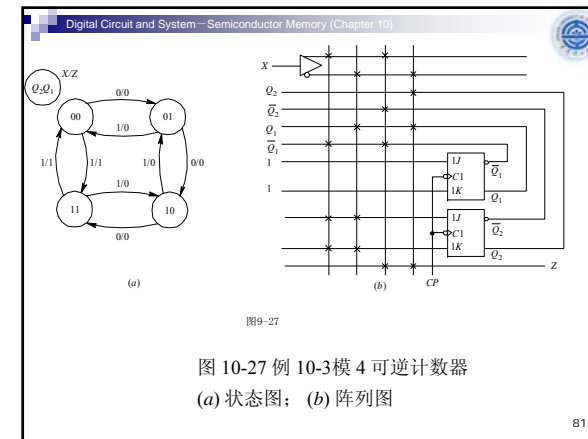
$$J_1 = K_1 = 1$$

$$J_2 = K_2 = X\bar{Q}_1 + \bar{X}Q_1$$

$$Z = X\bar{Q}_2\bar{Q}_1 + \bar{X}Q_2Q_1$$

图 10-27 例 10-3 模 4 可逆计数器

(a) 状态图；(b) 阵列图



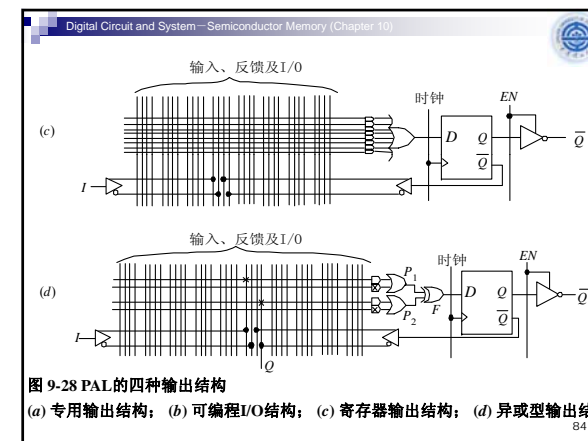
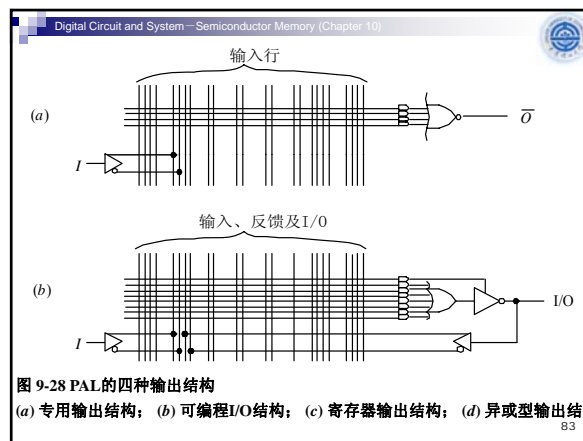
Digital Circuit and System - Semiconductor Memory (Chapter 10)

3. 可编程阵列逻辑(PAL)

1) PAL的输出结构

(1) 专用输出结构

这种结构的输出端只能输出信号，不能兼做输入，例如四个乘积项的或非门输出结构如图9-28(a)所示。输入信号 I 经过输入缓冲器与“输入行”相连。图中的输出部分采用或非门，输出用 O 标记，表示低电平有效。若输出部分采用或门，则为高电平有效。有的器件还用互补输出的或门，则称为互补型输出。这种输出结构只适用于实现组合逻辑函数。目前常用的产品有 PAL10H8(10输入，8 输出，高电平有效)、PAL10L8、PAL16C1(16输入，1 输出，互补型)等。



(2) 可编程I/O结构

可编程I/O结构如图9-28(b)所示。图中，或门经三态缓冲器由I/O端引出，三态门受最上面一个与门所对应的乘积项控制，I/O端的信号也可经过缓冲器反馈到与阵列的输入。

当与门输出为“0”时，三态门禁止，输出呈高阻状态，I/O引脚作输入使用；当与门输出为“1”时，三态门被选通，I/O引脚作输出使用。这种结构的产品有PAL16L8、PAL20L10等。

85

(3) 寄存器输出结构

寄存器输出结构如图9-28(c)所示。这种结构输出端有一个D触发器，在时钟上升沿作用下先将或门的输出(输入乘积项的和)寄存在D触发器的Q端，当使能信号EN有效时，Q端的信号经三态缓冲器反相后输出，输出为低电平有效。触发器的 \bar{Q} 输出还可以通过反馈缓冲器送至与阵列的输入端，因而这种结构的PAL能记忆原来的状态，从而实现时序逻辑功能。这种结构的PAL产品有PAL16R4、PAL16R8等。

86

(4) 异或型输出结构

异或型输出结构如图9-28(d)所示。其输出部分有两个或门，它们的输出经异或门进行异或运算后再经D触发器和三态缓冲器输出。这种结构不仅便于对与-或逻辑阵列输出的函数求反，还可以实现对寄存器状态进行保持操作。例如图9-28(d)中， $P_1=I$ ， $P_2=Q$ ， $F=P_1 \oplus P_2$ 。当 $I=0$ 时， $D=F=0 \oplus Q=Q$ ，所以 $Q^{n+1}=Q$ ，即时钟来到时触发器状态保持不变；当 $I=1$ 时， $D=F=1 \oplus Q=\bar{Q}$ ，所以 $Q^{n+1}=\bar{Q}$ 。这种结构的PAL产品有PAL20X4、PAL20X8等。

PAL器件除了以上几种结构外，还有算术选通反馈结构。另外，PAL产品有20多种不同的型号可供用户选用。

87

2) PAL的特点

PAL器件是在FPGA器件之后第一个具有典型实用意义的可编程逻辑器件。

PAL和SSI、MSI通用标准器件相比有许多优点：①提高了功能密度，节省了空间。通常一片PAL可以代替4~12片SSI或2~4片MSI。同时PAL只有20多种型号，但可以代替90%的通用SSI、MSI器件，因而进行系统设计时，可以大大减少器件的种类。②提高了设计的灵活性，且编程和使用都比较方便。③有上电复位功能和加密功能，可以防止非法复制。

PAL的主要缺点是由于它采用了双极型熔丝工艺(PROM结构)，只能一次性编程，因而使用者仍要承担一定的风险。另外PAL器件输出电路结构的类型繁多，因此也给设计和使用带来一些不便。

88

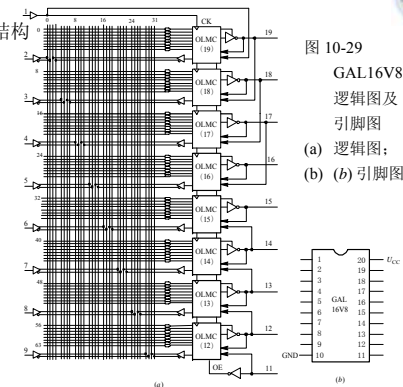
4. 通用阵列逻辑(GAL)

GAL是Lattice公司于1985年首先推出的新型可编程逻辑器件。它采用了电擦除、电可编程的E²CMOS工艺制作，可以用电信号擦除并反复编程上百次。GAL器件的输出端设置了可编程的输出逻辑宏单元(OLMC-Output Logic Macro Cell)，通过编程可以将OLMC设置成不同的输出方式。这样同一型号的GAL器件可以实现PAL器件所有的各种输出电路工作模式，即取代了大部分PAL器件，因此称为通用可编程逻辑器件。

GAL器件分两大类：一类为普通型GAL，其与或阵列结构与PAL相似，如GAL16V8、ispGAL16Z8、GAL20V8都属于这一类；另一类为新型GAL，其与或阵列均可编程，与FPLA结构相似，主要有GAL39V8。

89

1) GAL的基本结构



90

① 8 个输入缓冲器和 8 个输出反馈/输入缓冲器。

② 8 个输出逻辑宏单元OLMC， 8 个三态缓冲器， 每个OLMC对应 1 个I/O引脚。

③ 由 8×8 个与门构成的与阵列，共形成 64 个乘积项，每个与门有 32 个输入项，由 8 个输入的原变量、反变量(16)和 8 个反馈信号的原变量、反变量(16)组成，故可编程与阵列共有 $32 \times 8 \times 8 = 2048$ 个可编程单元。

④ 系统时钟CLK和三态输出选通信号OE的输入缓冲器。

91

2) 输出逻辑宏单元(OLMC)

(1) OLMC的结构

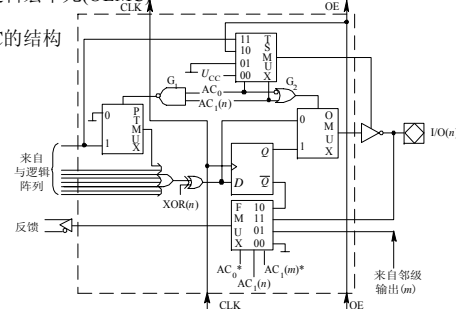


图 10-30 OLMC的内部结构

图9-30

92

每个OLMC包含或门阵列中的一个或门。一个或门有 8 个输入端，和来自与阵列的 8 个乘积项(PT)相对应。其中 7 个直接相连，第一个乘积项(图中最上边的一项)经PTMUX相连或门输出为有关乘积项之和。

异或门的作用是选择输出信号的极性。当XOR(n)为1时，异或门起反相器作用，否则起同相器作用。XOR(n)是控制字中的一位， n 为引脚号。

D触发器(寄存器)对异或门的输出状态起记忆(存储)作用，使GAL适用于时序逻辑电路。

4个多路开关(MUX)在结构控制字段作用下设定输出逻辑宏单元的组态。

93

PTMUX是乘积项选择器，在 $\overline{AC_1(n)} \cdot \overline{AC_0}$ 控制下选择第一乘积项或地(0)送至或门输入端。

OMUX是输出类型选择器，在 $AC_1(n) + \overline{AC_0}$ 控制下选择组合型(异或门输出)或寄存型(经D触发器存储后输出)逻辑运算结果送到输出缓冲器。

TSMUX是三态缓冲器的使能信号选择器，在 $AC_1(n)$ 和 AC_0 控制下从 U_{CC} 、地、OE或第一乘积项中选择 1 个作为输出缓冲器的使能信号。

FMUX是反馈源选择器。在 $AC_1(n)$ 、 AC_0 控制下选择D触发器的 \overline{Q} 、本级OLMC输出、邻级OLMC的输出或地电平作为反馈源送回与阵列作为输入信号。

94

(2) 结构控制字

GAL的结构控制字共 82 位，每位取值为“1”或“0”，如图 10-31 所示。图中XOR(n)和 $AC_1(n)$ 字段下的数字对应各个OLMC的引脚号。

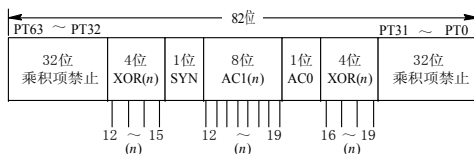


图 10-31 GAL的结构控制字

图9-31

95

SYN 决定GAL器件是具有寄存器型(时序型)输出能力(SYN=0)，还是纯粹组合型输出能力(SYN=1)。在OLMC(12)和OLMC(19)中，SYN还替代 $AC_1(n)$ ，SYN替代 AC_0 作为FMUX的选择输入，以维护与PAL器件的兼容性。

AC_0 、 $AC_1(n)$ 方式控制位。8 个OLMC公用1位 AC_0 。 $AC_1(n)$ 共 8 位，每个OLMC(n)有1位， n 为引脚号(12~19)。 AC_0 、 $AC_1(n)$ 两者配合控制各MUX的工作。

XOR(n) 极性控制位，共 8 位，每个OLMC(n)有 1 位，它通过异或门来控制输出极性。XOR(n)=0时，输出低有效；XOR(n)=1 时，输出高有效。

96

Digital Circuit and System - Semiconductor Memory (Chapter 10)

PT(n) 积项禁止位, 共 64 位, 和与阵列中 64 个乘积项 (PT₀~PT₆₃) 相对应, 用以禁止(屏蔽)某些不用的乘积项。在 SYN、AC₀、AC₁(n) 组合控制下, OLMC(n) 可组态配置成 5 种工作模式, 表 10-4 列出了各种模式下对控制位的配置和选择。图 10-32(a)~(e) 分别表示不同配置模式下 OLMC 的等效电路。OLMC 组态的实现, 即结构控制字各控制位的设定都是由开发软件和硬件自动完成的。

从以上分析看出 GAL 器件由于采用了 OLMC, 所以使用更加灵活, 只要写入不同的结构控制字, 就可以得到不同类型的输出电路结构。这些电路结构完全可以取代 PAL 器件的各种输出电路结构。

97

Digital Circuit and System - Semiconductor Memory (Chapter 10)

表 10-4 OLMC 工作模式的配置选择

NO	SYN	AC ₀	AC ₁ (n)	XOR(n)	配置功能	输出极性	备 注
1	1	0	1	/	专用输入	/	1 和 11 脚为数据输入, 被组态的三态门不通, 输出端作输入使用
2	1	0	0	0	专用组合输出	低有效 高有效	1 和 11 脚为数据输入, 三态门总是选通
3	1	1	1	1	反馈组合输出	低有效 高有效	1 和 11 脚为数据输入, 三态门的选通信号是第 1 乘积项, 反馈信号取自 I/O
4	0	1	1	0	时序电路中的组合输出	低有效 高有效	1 脚=CK, 11 脚=CK, 其余 OLMC 至少有一个是寄存器型(时序型)
5	0	1	0	0	寄存器输出	低有效 高有效	1 脚=CK, 11 脚=OE

98

Digital Circuit and System - Semiconductor Memory (Chapter 10)

2. 现场可编程门阵列FPGA

它由可配置逻辑块(CLB-Configurable Logic Block)、输入/输出模块(IOB-I/O Block)和互连资源(IR-Interconnect Resource)三部分组成。可配置逻辑块CLB是实现用户功能的基本单元, 它们通常规则地排列成一个阵列, 散布于整个芯片; 可编程输入/输出模块(IOB)主要完成芯片上逻辑与外部封装脚的接口, 它通常排列在芯片的四周; 可编程互连资源(IR)包括各种长度的连线线段和一些可编程连接开关, 它们将各个 CLB 之间或 CLB、IOB 之间以及 IOB 之间连接起来, 构成特定功能的电路。

99

Digital Circuit and System - Semiconductor Memory (Chapter 10)

图 10-40 FPGA 的基本结构

图9-40

100

Digital Circuit and System - Semiconductor Memory (Chapter 10)

FPGA 的功能由逻辑结构的配置数据决定。工作时, 这些配置数据存放在片内的 SRAM 或熔丝图上。基于 SRAM 的 FPGA 器件, 在工作前需要从芯片外部加载配置数据。配置数据可以存储在片外的 EPROM、E²PROM 或计算机软、硬盘中。人们可以控制加载过程, 在现场修改器件的逻辑功能, 即所谓现场编程。

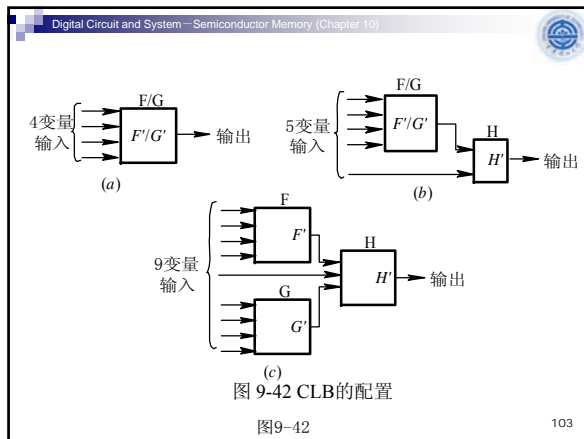
可配置逻辑块(CLB)一般有三种结构形式: ① 查找表结构; ② 多路开关结构; ③ 多级与非门结构。不同厂家生产的 FPGA, 其 CLB、IOB 等结构都存在较大的差异, 下面以 Xilinx 公司的产品为例, 简要介绍 CLB、IOB 及 IR 的基本特点。

101

Digital Circuit and System - Semiconductor Memory (Chapter 10)

图 10-41 XC4000 的 CLB 结构图

102



Digital Circuit and System - Semiconductor Memory (Chapter 10)

两个D触发器具有如下特点：每个触发器均通过编程确定为时钟上升沿触发或下降沿触发；每个触发器均有时钟使能信号EC，它可通过信号变换电路受外部信号控制或固定逻辑1电平；通过对S/R控制逻辑的编程，每只D触发器均可经信号变换电路，分别进行异步置位或异步清0操作，也可对一只触发器异步置位而另一只异步清0。CLB的这种特殊结构，使触发器的时钟、时钟使能、置位和复位均可被独立设置，且可独立工作，彼此之间没有约束关系，从而为实现不同功能时序逻辑电路提供了可能性。

104

Digital Circuit and System - Semiconductor Memory (Chapter 10)

D触发器激励端的数据来源是由编程确定的，可以从 G' 、 F' 、 H' 或者信号变换电路送来的DIN这4个信号中选择一个。触发器的状态经CLB的输出端YQ和XQ输出。

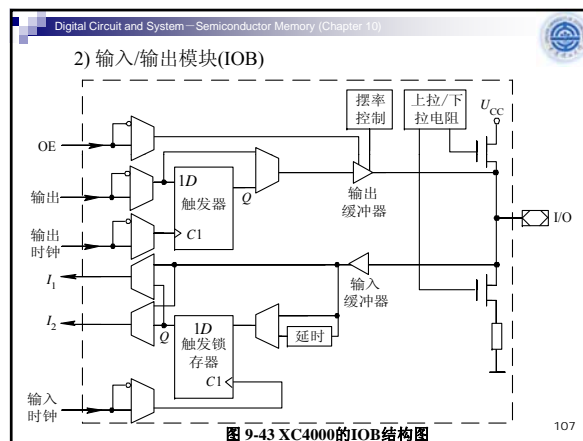
CLB中有许多不同规格的数据选择器(4选1、2选1等)，分别用来选择触发器激励输入信号、时钟有效边沿、时钟使能信号以及输出信号。这些数据选择器的地址控制信号均由编程信息提供，从而实现所需的电路结构。

105

Digital Circuit and System - Semiconductor Memory (Chapter 10)

图 10-41 CLB中所示的F和G组合逻辑函数发生器还可作为器件内高速RAM或小的可读/写存储器使用，它由信号变换电路编程控制，当信号变换电路编程设置存储功能无效时，F和G作为组合逻辑函数发生器使用，4个控制信号 $C_1 \sim C_4$ 分别将图 10-41所示的H1、DIN、S/R(异步置位/复位)和EC(使能)信号接入CLB中，作为函数发生器的输入可控制信号。当信号变换电路编程设置存储器功能有效时，F和G作为器件内部存储器使用，4个控制信号 $C_1 \sim C_4$ 分别将WE、 D_1/A_4 、 D_0 和EC(不用)信号接入到CLB中，作为存储器的写使能、数据信号或地址信号。此时， $F_1 \sim F_4$ 和 $G_1 \sim G_4$ 输入相当于地址输入信号 $A_0 \sim A_3$ ，以选择存储器中的特定存储单元。

106



Digital Circuit and System - Semiconductor Memory (Chapter 10)

(1) 输入通路

当IOB控制的引脚被定义为输入时，通过该引脚的输入信号先送至输入缓冲器。缓冲器的输出分成两路：一路可以直接送到MUX；另一路经延迟几纳秒(或者不延迟)，送到输入通路D触发器，再送到数据选择器。通过编程给数据选择器不同的控制信号，确定送至CLB阵列的 I_1 和 I_2 是来自输入缓冲器，还是来自触发器。D触发器可通过编程来确定是边沿触发还是电平触发，且配有独立的时钟。与前述CLB中的触发器一样，也可任选上升沿或者下降沿作为有效作用沿。

108

(2) 输出通路

当IOB控制的引脚被定义为输出时，CLB阵列的输出信号OUT(或OUT)同样可以有两条传输途径：其一是直接经MUX送至输出缓冲器；其二是先存入输出通路D触发器，再送至输出缓冲器。输出通路D触发器也有独立的时钟，且可任选触发边沿。输出缓冲器既受CLB阵列送来的OE(或OE)信号控制，使输出引脚有高阻状态，还受转换速率控制电路的控制，使它可高速或低速运行，后者有抑制噪声的作用。

(3) 输出专用推拉电路

IOB的B输出端配有两只MOS管，它们的栅极均可编程，使MOS管导通或截止，分别经上拉电阻或下拉电阻接通 U_{CC} 、地线或者不接通，用以改善输出波形和负载能力。

109

3) 可编程连线(IR)

FPGA芯片内部单个CLB输入输出之间、各个CLB之间、CLB和I/OB之间的连线由许多金属线段构成，这些金属线段带有可编程开关，通过自动布线实现所需功能的电路连接。连线通路的数量与器件内部阵列的规模有关，阵列规模越大，连线数量越多。

互连线按相对长度分为单线、双线和长线三种。

单线和长线主要用于CLB之间的连接。在这种结构中，任意两点间的连接都要通过开关矩阵。它提供了相邻CLB之间的快速互连和复杂互连的灵活性，但传输信号每通过一个可编程开关矩阵，就增加一次时延。因此，FPGA的内部时延与器件结构和逻辑布线等有关，它的信号传输时延不可确定。

110

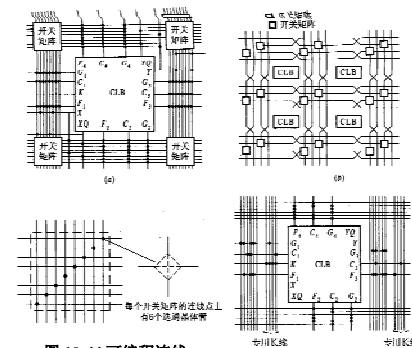


图 10-44 可编程连线
(a) 单长线; (b) 双长线; (c) 开关矩阵; (d) 长线

111

本章小结

- 半导体存储器与高密度可编程逻辑器，都是大规模或超大规模逻辑器件，前者多用在电子计算机中，而后者则是电子电路的理想开发器件。
- 随机存储器RAM是随时进行读/写的存储器件，根据基本存储单元的构成可分为静态RAM (SRAM) 和动态RAM (DRAM) 两大类型。其中DRAM集成度高、成本低，多用于超大规模的RAM中；而SRAM电路复杂，成本高，集成度低，但不刷新，多用于微型机中。
- 只读存储器ROM种类较多，包括固定ROM、一次可编程的PROM、紫外线擦除的EPROM及电信号擦除的EEPROM等。ROM的基本组成部分就是与矩阵或阵列两个阵列，ROM除作基本的信息存储使用外，还可实现组合逻辑功能。
- 可编程逻辑器件有低密度与高密度、在系统可编程和离系统编程等类型。低密度的可编程逻辑器件有可编程阵列逻辑PAL，可编程逻辑阵列PLA，通用阵列逻辑GAL等；高密度的可编程逻辑器件有在系统可编程大规模集成电路ispLSI、现场可编程逻辑门阵列FPGA等。在系统编程器件是可编程逻辑器件的发展方向，它可以实现硬件软件化。

112

113