

第 8 章 数字系统设计基础

8.1 数字系统在逻辑上可以划分成哪两个部分？其中哪一部分是数字系统的核心？

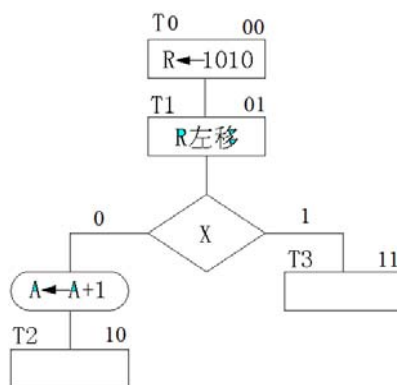
解：数字系统在逻辑上可以划分成控制器和数据处理器两部分，控制器是数字系统的核心。

8.2 什么是数字系统的ASM图？它与一般的算法流程图有什么不同？ASM块的时序意义是什么？

解：算法状态机（ASM）是数字系统控制过程的算法流程图。它与一般的算法流程图的区别为 ASM 图表可表示事件的精确时间间隔序列，而一般的算法流程图只表示事件发生的先后序列，没有时间概念。ASM 块的时序意义是一个 ASM 块内的操作是在一个 CLK 脉冲作用下完成的。

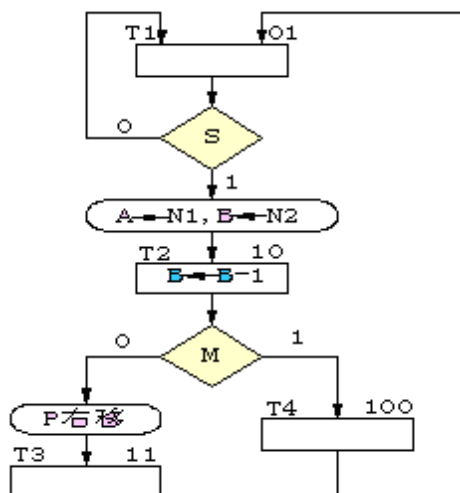
8.3 某数字系统，在 T_0 状态下，下一个 CLK 到，完成无条件操作：寄存器 $R \leftarrow 1010$ ，状态由 $T_0 \rightarrow T_1$ 。在 T_1 状态下，下一个 CLK 到，完成无条件操作： R 左移，若外输入 $X=0$ ，则完成条件操作：计数器 $A \leftarrow A+1$ ，状态由 $T_1 \rightarrow T_2$ ；若 $X=1$ ，状态由 $T_1 \rightarrow T_3$ 。画出该系统的 ASM 图。

解：ASM 图表如图所示

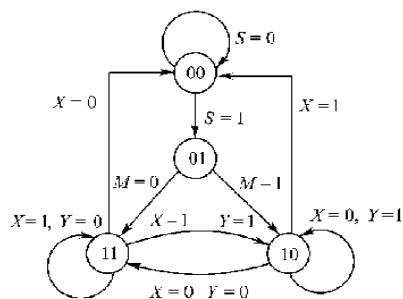


8.4 一个数字系统在 T_1 状态下，若启动信号 $C=0$ ，则保持 T_1 状态不变；若 $C=1$ ，则完成条件操作： $A \leftarrow N_1$ ， $B \leftarrow N_2$ ，状态由 $T_1 \rightarrow T_2$ 。在 T_2 状态下，下一个 CLK 到，完成无条件操作 $B \leftarrow B-1$ ，若 $M=0$ ，则完成条件操作： P 右移，状态由 $T_2 \rightarrow T_3$ ；若 $M=1$ ，状态由 $T_2 \rightarrow T_4 \rightarrow T_1$ 。画出该数字系统的 ASM 图。

解：ASM 图表如图

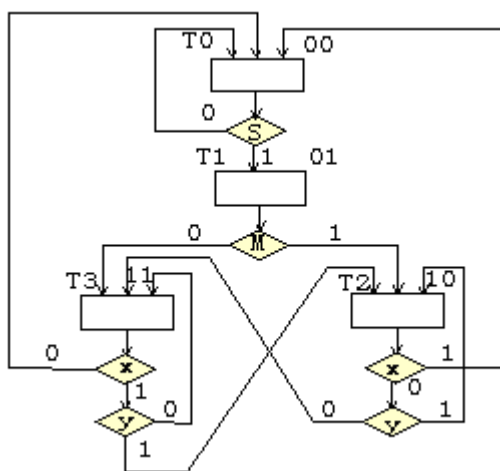


8.5 控制器状态图如题图8.5所示，画出其等效的 ASM 图。



题图 8.5

解：ASM 图

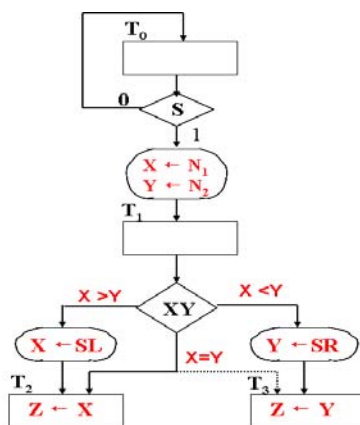


8.6 设计一个数字系统，它有三个4位的寄存器 X 、 Y 、 Z ，并实现下列操作：

- ① 启动信号 S 出现，传送两个 4 位二进制数 N_1 、 N_2 分别给寄存器 X 、 Y ；
- ② 如果 $X > Y$ ，左移 X 的内容，并把结果传送给 Z ；
- ③ 如果 $X < Y$ ，右移 Y 的内容，并把结果传送给 Z ；
- ④ 如果 $X = Y$ ，把 X 或 Y 传送给 Z 。

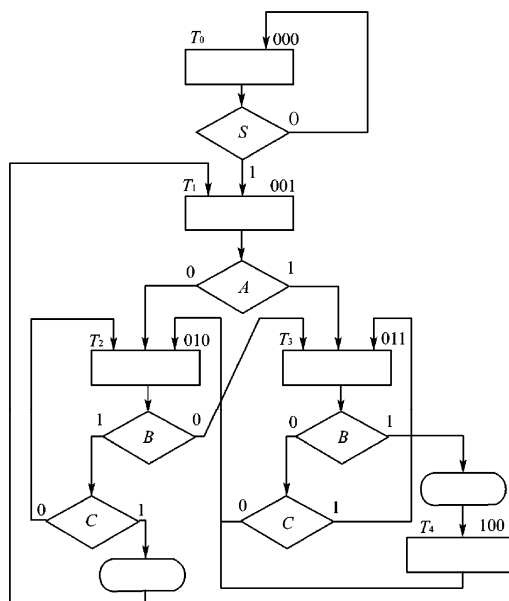
画出满足以上要求的 ASM 图。

解：ASM 图如下图



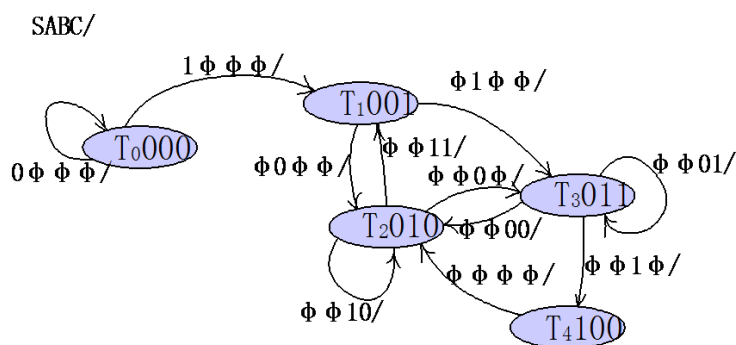
8.7 某数字系统的 ASM 图如题图 8.7 所示，试完成下列要求：

- (1) 画出其等效的状态图；
- (2) 用每态一个触发器的方法设计控制器。



题图 8.7

解：(1) 状态图

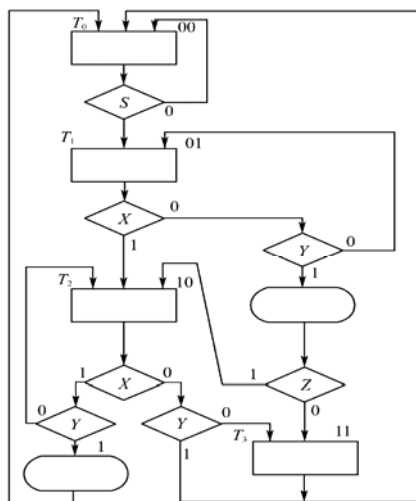


(2)

$$\begin{aligned}
 D_0 &= T_0 \bar{S} \\
 D_1 &= T_0 S + T_2 B C \\
 D_2 &= T_1 \bar{A} + T_2 B \bar{C} + T_3 \bar{B} \bar{C} + T_4 \\
 D_3 &= T_1 A + T_2 \bar{B} + T_3 \bar{B} C \\
 D_4 &= T_3 B
 \end{aligned}$$

电路图略

8.8 某数字系统的 ASM 图如题图 8.8 所示, 试根据此 ASM 图用 MUX、D-FF、译码器方法设计控制器。



题图 8.8

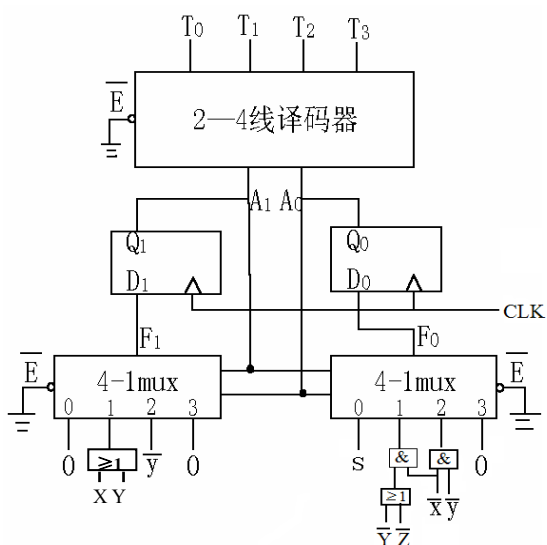
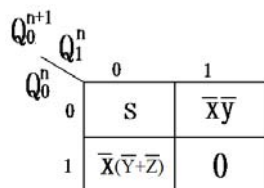
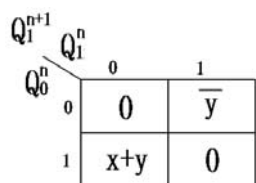
解：

状态转换真值表

状态	$Q_1^n \ Q_0^n$	S X Y Z	$Q_1^{n+1} \ Q_0^{n+1}$	$T_0 \ T_1 \ T_2 \ T_3$
T_0	0 0	0 $\varphi \varphi \varphi$	0 0	1 0 0 0
	0 0	1 $\varphi \varphi \varphi$	0 1	1 0 0 0
T_1	0 1	φ 0 0 φ	0 1	0 1 0 0
	0 1	φ 0 1 0	1 1	0 1 0 0
	0 1	φ 0 1 1	1 0	0 1 0 0
	0 1	φ 1 $\varphi \varphi$	1 0	0 1 0 0
T_2	1 0	φ 1 0 φ	1 0	0 0 1 0
	1 0	φ 0 0 φ	1 1	0 0 1 0
	1 0	φ 0 1 φ	0 0	0 0 1 0
	1 0	φ 1 1 φ	0 0	0 0 1 0
T_3	1 1	$\varphi \varphi \varphi \varphi$	0 0	0 0 0 1

卡诺图

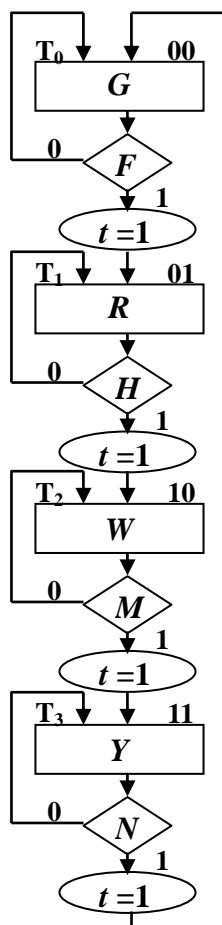
电路图



8.9 某公园有一处 4 种颜色的彩色艺术图案灯，它的艺术图案由 4 种颜色顺序完成，绿色亮 16 s，红色亮 10 s，蓝色亮 8 s，黄色亮 5 s，周而复始地循环，试设计这种灯的控制系统。

解：(1) ASM 图

16 s 到， $F=1$ ；
10 s 到， $H=1$ ；
8 s 到， $M=1$ ；
5 s 到， $N=1$ ；

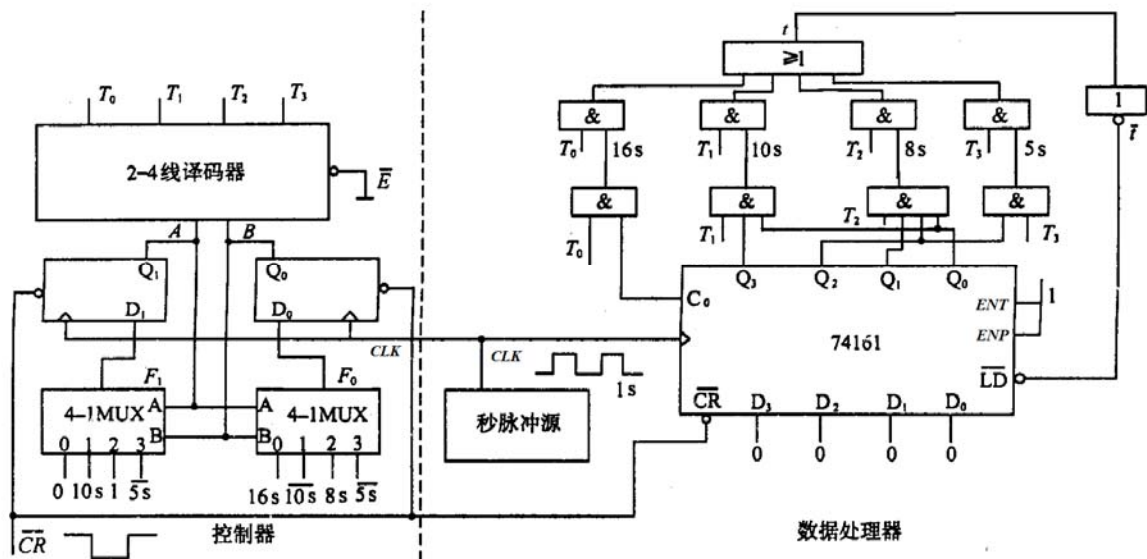


(2) 控制器设计

根据 ASM 图，有四个状态 T_0 , T_1 , T_2 , T_3 ，可画出控制器的状态转换表

符号	现态		输入				次态		输出			
	Q_1^n	Q_0^n	F	H	M	N	Q_1^{n+1}	Q_0^{n+1}	T_0	T_1	T_2	T_3
T_0	0	0	0	∅	∅	∅	0	0	1	0	0	0
	0	0	1	∅	∅	∅	0	1	1	0	0	0
T_1	0	1	∅	0	∅	∅	0	1	0	1	0	0
	0	1	∅	1	∅	∅	1	0	0	1	0	0
T_2	1	0	∅	∅	0	∅	1	0	0	0	1	0
	1	0	∅	∅	1	∅	1	1	0	0	1	0
T_3	1	1	∅	∅	∅	0	1	1	0	0	0	1
	1	1	∅	∅	∅	1	0	0	0	0	0	1

根据以上状态转换表和卡诺图，用 MUX, D-FF, 译码器组成的控制器如解体图 8.9 中虚线左部分所示。



解题图 8.9

(3) 处理器设计

根据 ASM 图，可得 $t=1$ 的条件方程为

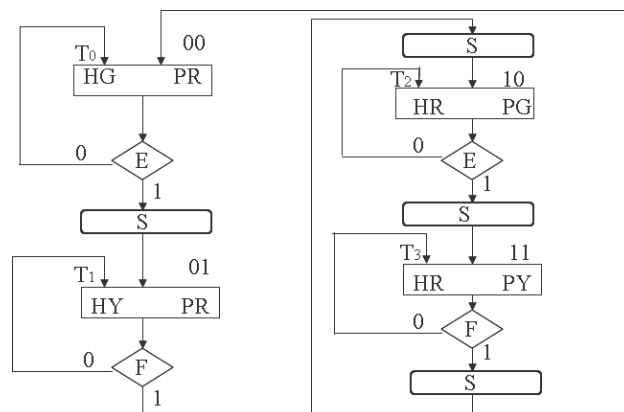
$$t = T_0 \cdot F + T_1 \cdot H + T_2 \cdot M + T_3 \cdot N$$

$t=1$ 时计时计数器应清 0，表示以上计时结束，准备计下一个定时时间，故 t 应接加法计数器的 \overline{LD} 端，加法计数器选用 74161，其 CLK 周期 $T_{CLK}=1s$ 。定时信号 $t=1$ 的电路和计时电路 74161 构成的数据处理器如解题图 8.9 虚线右部分所示。解题图 8.9 为四色灯控制系统的整体电路。

8.10 设计十字路口交通灯控制系统：东西方向道路和南北方向道路各行车 1 分钟，两方向红绿灯交换时，须亮黄灯 5 s。东西方向绿、黄、红灯亮分别用 EG 、 EY 、 ER 表示，南北方向绿、黄、红灯亮分别用 SG 、 SY 、 SR 表示。试按上述要求设计交通灯控制系统。

解：1) ASM 图表

设 $E=1$ 分钟 (红绿灯亮时间), $F=5$ 秒 (黄灯亮时间)。时间到 $S=1$ ，计数器清零。



2) 控制器设计

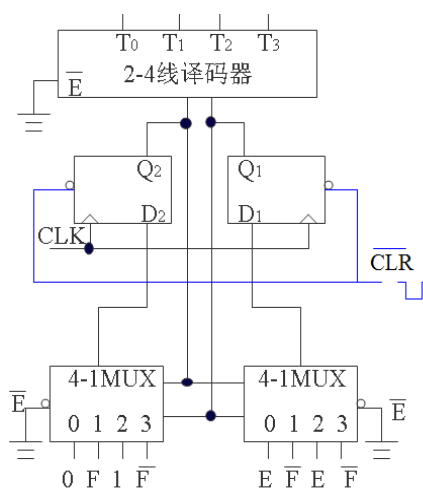
控制器的状态转换表

状态	$Q_2^n Q_1^n$	E F	$Q_2^{n+1} Q_1^{n+1}$	输出 $T_0 T_1 T_2 T_3$
T_0	0 0	0 φ	0 0	1 0 0 0
	0 1	1 φ	0 1	1 0 0 0
T_1	0 1	φ 0	0 1	0 1 0 0
	0 1	φ 1	1 0	0 1 0 0
T_2	1 0	0 φ	1 0	0 0 1 0
	1 0	1 φ	1 1	0 0 1 0
T_3	1 1	φ 0	1 1	0 0 0 1
	1 1	φ 1	0 0	0 0 0 1

卡诺图



控制器电路

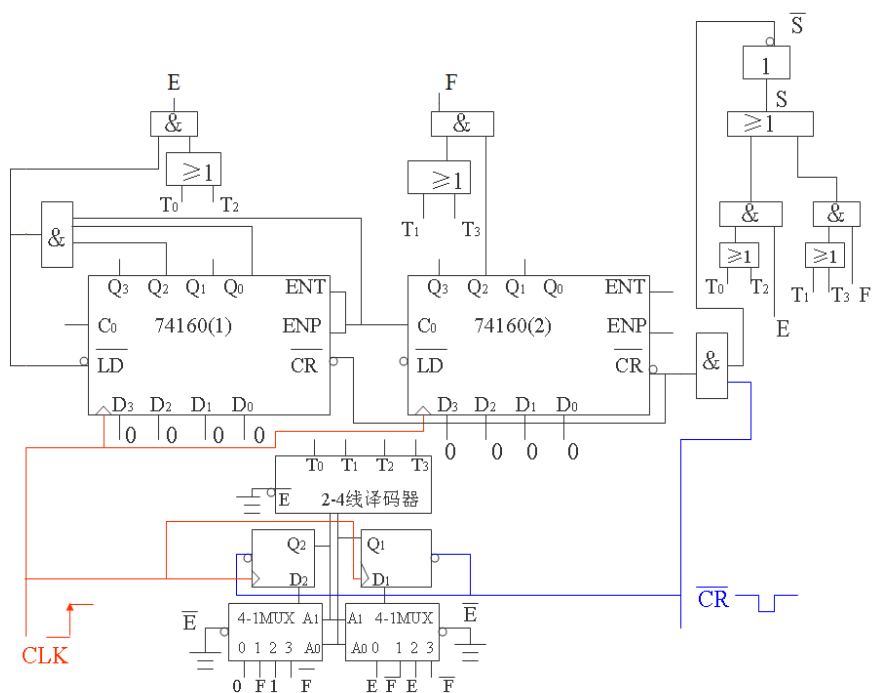


3) 数据处理器设计

定时电路方程及电路: $S = (T_0 + T_2)E + (T_1 + T_3)F$

产生 $E=1$ 分钟和 $F=5$ 秒的电路由两级 160 实现。

整体电路如图:



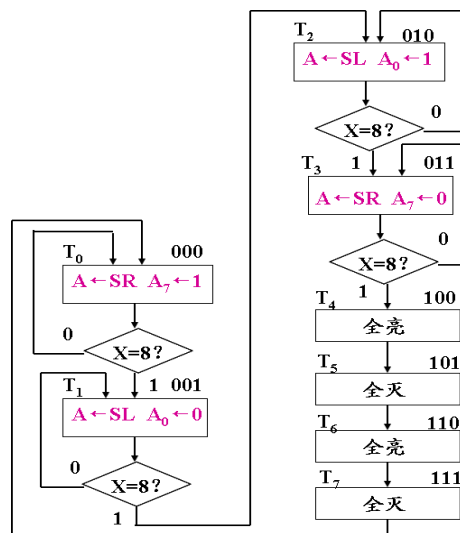
8.11 设计 8 种花型彩灯控制系统：由 8 个发光二极管组成的彩灯，一字排开，彩灯的图案循环变换步骤如下：

- ① 彩灯由左至右逐个亮至最后全亮；
- ② 彩灯由右至左逐个灭至最后全灭；
- ③ 彩灯由右至左逐个亮至最后全亮；
- ④ 彩灯由左至右逐个灭至最后全灭；
- ⑤ 8 个彩灯全亮；
- ⑥ 8 个彩灯全灭；
- ⑦ 8 个彩灯全亮；
- ⑧ 8 个彩灯全灭。

按以上要求设计彩灯控制系统。

解： 设八个彩灯由左至右排列： $A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0$

1. ASM 图



2. 控制器设计

控制器实现 $T_0 \sim T_7$ 八个状态。用 74161(高)的 $Q_2Q_1Q_0$ 组成模 8 计数器, 实现 $T_0 \sim T_7$ 八个状态的转换。状态 $T_0 \sim T_3$ 四个状态中有 8 个灯的移动。

用另一 74161(低) 的 $Q_2' Q_1' Q_0'$ 组成模八计数器实现移位控制。

再由 74191 控制移位寄存器实现左、右移和并入, 而 74191 的左、右移及并入由 M_1M_0 控制。

根据 ASM 图表得下列对应关系:

控制器和数据处理器关系表

74161(低) $Q_2' Q_1' Q_0'$	74161(高) $Q_2 Q_1 Q_0$	状态 T_i	74194 移入数据	74191 控制 $M_1=F_1, M_0=F_0$
000~111	000	T_0	$SR_1 \rightarrow A_7 = 1 = \overline{Q_0}$ (左移)	0 1
000~111	001	T_1	$SL_2 \rightarrow A_0 = 0 = \overline{Q_0}$ (左移)	1 0
000~111	010	T_2	$SL_2 \rightarrow A_0 = 1 = \overline{Q_0}$ (左移)	1 0
000~111	011	T_3	$SR_1 \rightarrow A_7 = 0 = \overline{Q_0}$ (右移)	0 1
$\varphi \varphi \varphi$	100	T_4	$D_7 \sim D_0 = 11111111 = \overline{Q_0}$	1 1
$\varphi \varphi \varphi$	101	T_5	$D_7 \sim D_0 = 00000000 = \overline{Q_0}$	1 1
$\varphi \varphi \varphi$	110	T_6	$D_7 \sim D_0 = 11111111 = \overline{Q_0}$	1 1
$\varphi \varphi \varphi$	111	T_7	$D_7 \sim D_0 = 00000000 = \overline{Q_0}$	1 1

$$\therefore SR_1 = SL_2 = D_7 = D_6 = D_5 = D_4 = D_3 = D_2 = D_1 = D_0 = \overline{Q_0}$$

两个 8 选 1 的 MUX74151(高)和 74151(低)的地址端 $A_2A_1A_0 = Q_2Q_1Q_0$

74151 (高)的 0~7 输入= $M_1=01101111$ 74151 (低)的 0~7 输入= $M_0=10011111$

74194(1)和 74194(2)级连实现 8 个灯 $A_7 \sim A_0$ 的移动变换, 故: $Q_4 = DSR_2, Q_3 = DSL_1,$

74161(高)在 000~111 状态时, 是被模 8 计数器 74161(低)控制的加法计数器。

74161(低)在 100~111 状态时, 实现加法计数。 根据以上分析,得彩灯控制电路如下图所示:

