

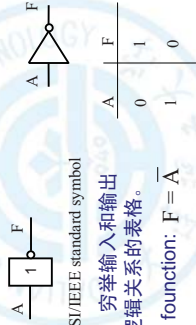
第二章 逻辑门电路



1

2.2 逻辑门电路介绍

1) NOT 非门



ANSI/IEEE standard symbol

真值表：穷举输入和输出之间的逻辑关系的表格。

The NOT function: $F = \bar{A}$ The NOT Operations: $\bar{0} = 1$ $\bar{1} = 0$ $\bar{\bar{A}} = A$ 

4

第二章 逻辑门电路

第1节 概述

第2节 逻辑门电路介绍

第3节 半导体二极管和三极管的开关特性

第4节 分立器件门电路

第5节 TTL集成门电路

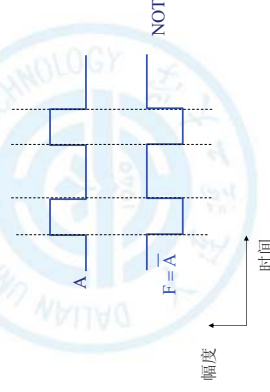
第6节 MOS门电路



2

Timing Diagrams (Output waveform)

波形图, 时序图



5

3) OR 或门

输入有1, 则输出为1;

输入全0, 则输出为0。

The OR2 truth Table

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

The OR gate operation

$$F = A + B$$

logic addition 逻辑加

The OR2 Gate Symbol



8

2.1 概述

逻辑门电路：用以实现基本逻辑运算和复合逻辑运算的单元电路。

在数字电路的发展过程中，有两种类型的器件集成电路为主流：

一种是有三极管组成的双极型集成电路；

一种是有MOS管组成的单极型集成电路。



3

2) AND 与门

The AND2 truth table

输入全1, 则输出为1;
输入有0, 则输出为0。

The AND expression:

$$F = A \cdot B = AB \quad \text{逻辑乘}$$

The AND2 symbol



6

Timing Diagrams

OR Operations

$$0+0=0$$

$$0+1=1$$

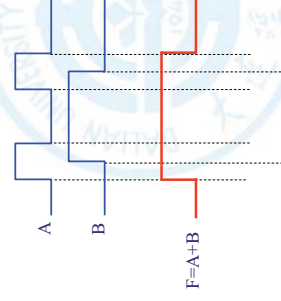
$$1+1=1$$

$$A+0=A$$

$$A+1=1$$

$$A+A=A$$

$$A+\bar{A}=1$$



9

Timing Diagrams (Output waveform)

The AND operations:

$$0 \cdot 0 = 0$$

$$0 \cdot 1 = 0$$

$$1 \cdot 0 = 0$$

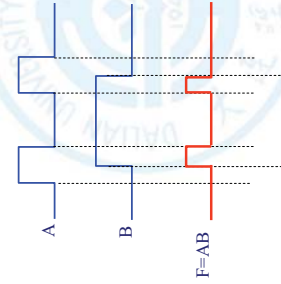
$$1 \cdot 1 = 1$$

$$0 \cdot A = 0$$

$$1 \cdot A = A$$

$$A \cdot A = A$$

$$A \cdot \bar{A} = 0$$



7

Other popular logic gates :

4) NAND (与非门)



The NAND2 truth table

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

$$F = \overline{AB}$$

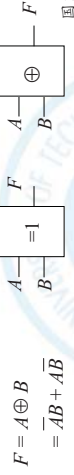
与非:

输入有0, 则输出为1;

输入全1, 则输出为0。

10

8) XOR (Exclusive-OR) (异或门)



Truth table:

A	B	F (xor)
0	0	0
0	1	1
1	0	1
1	1	0

The XOR gate has only two inputs. The output of an XOR gate is HIGH only when the two inputs are at opposite logic levels.

输入端只有2个且必须2个,

两输入相异时输出高电平。

Function: judge if the two inputs are different

功能: 比较(判断)两输入是否相

异: {Yes: 1 (assert/肯定) True 1

{No: 0 (deny/否定) Fail 0

13

异或门控制演示

0、1、即有相异、输出高电平、显示白色区域、已放入或者

下一面

14

5) NOR (或非门)



The NOR2 truth table

A	B	F
0	0	1
0	1	0
1	0	0
1	1	0

$$F = \overline{A+B}$$

或非:

输入有1, 则输出为0;

输入全0, 则输出为1。

11

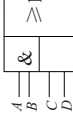
OC门结构和应用

下接、空、即有相异、输出高电平、显示白色区域、已放入或者

下一面

17

6) AND-OR(与或门)



$$F = AB + CD$$

7) AND-OR-NOT(与或或非门)



$$F = \overline{AB + CD}$$

12

9) XNOR (Exclusive-NOR) (同或门)



Truth table:

A	B	F (xor)	F (xnor)
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

The XNOR gate has only two inputs and its output is opposite that of the XOR gate. 输入端只有2个且必须2个, 输出与异或门相反; 两输入相同时输出高电平。

$$F = A \oplus B = AB + \overline{A}\overline{B}$$

$$F = \overline{A \oplus B}$$

Function: judge if the two inputs are same or not.

功能: 比较(判断)两输入是否相同

{Yes: 1 True

{No: 0 Fail

15

11) TS (Three State Output Gate) 三态门

EN: enable input (使能输入端) Tristates: 1, 0, Hi-Z (高阻态)

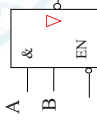
• Active High (高电平有效)



Switch model of a TS

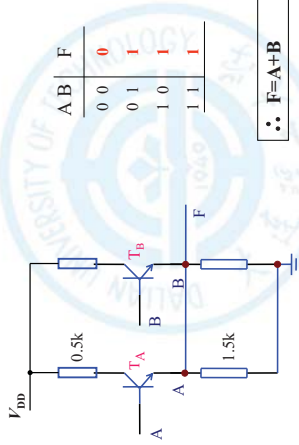
If EN=1, then $F = \overline{AB}$ (NAND Gate)If EN=0, $F = \text{Hi-Z}$ (high-impedance) 高阻, 悬空

• Active Low (低电平有效)

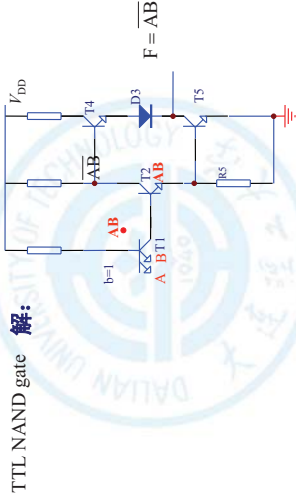
If EN=0, $F = \overline{AB}$ (NAND Gate)If EN=1, $F = \text{Hi-Z}$

18

5) 发射极点接为“或”

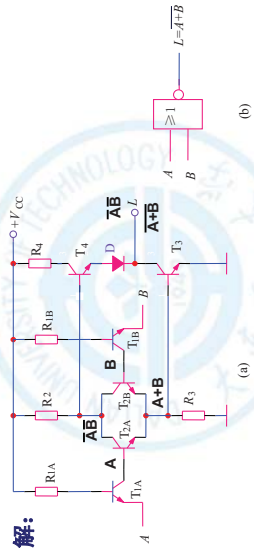


例2.1 试分析右图的逻辑输出



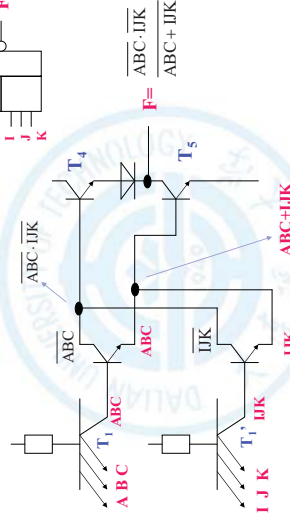
TTL与非门的电流走向

例2.2 试分析下图的逻辑输出

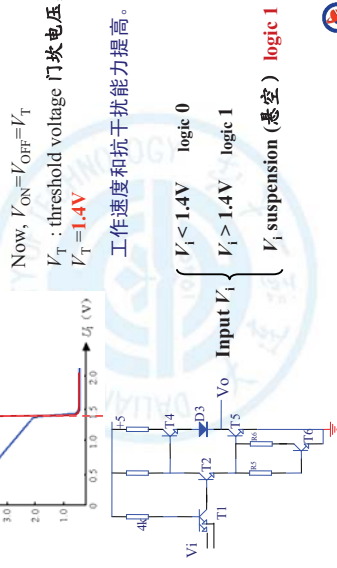


结论: 输出为TTL或非门

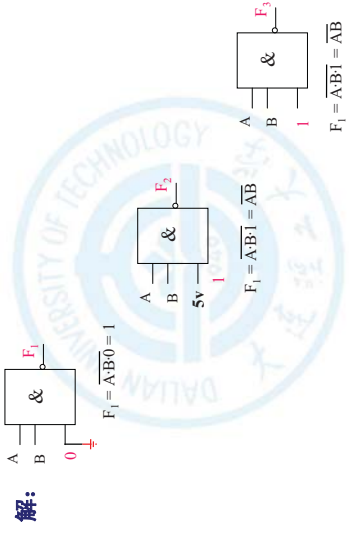
AND - OR - NOT gate



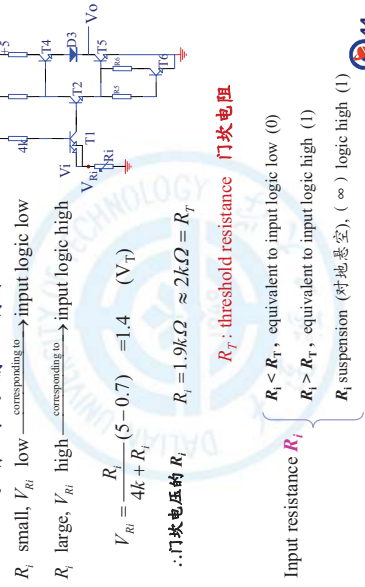
TTL与非门的电气特性



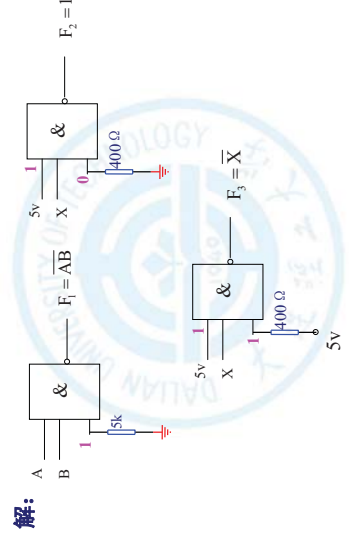
例2.3 试分析以下几图的输出逻辑



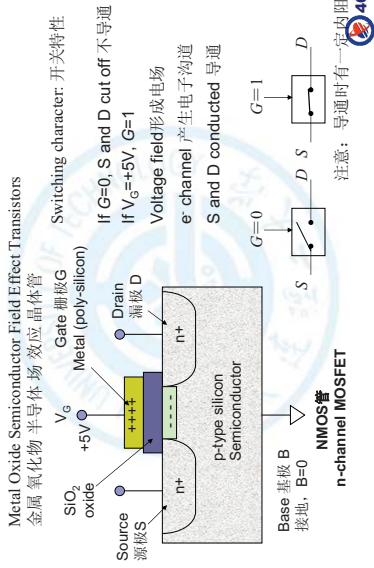
TTL与非门的输入特性



例2.4 试分析以下几图的输出逻辑



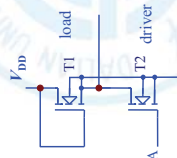
2.6 MOS门电路



2.6.1 NMOS 门电路

1) NMOS (非门)

T1: 负载管
T2: 驱动管



负载管T1栅极接ED，总是导通，基本作用为负载电阻(有源负载省面积)

2) NMOS 与非门

真值表:

A	B	T1	T2	T3	F
0	0	✓	×	×	1
0	1	✓	×	×	1
1	0	✓	×	×	1
1	1	✓	✓	×	0

∴ Output $F = \overline{AB}$

MOS场效应管工作原理

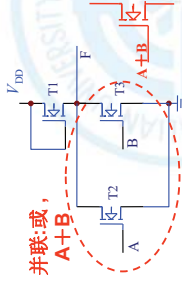
下按
页将
器件
上本
页及
这页
三角
线摆
放; 按

NMOS的输出逻辑

The circuit equivalent to:

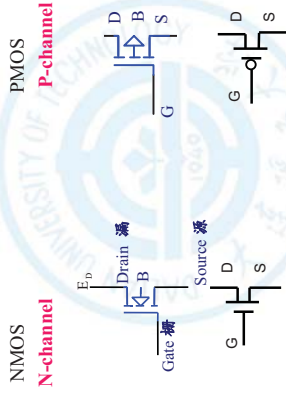
Output: $F = V_{DD}$ (logic 1)∴ $A = 0, F = 1$

3) NMOS NOR Gate

并联;或,
 $A+B$ ∴ $F = \overline{A+B}$

A	B	T1	T2	T3	F
0	0	✓	×	×	1
0	1	✓	×	×	0
1	0	✓	×	×	0
1	1	✓	✓	✓	0

场效应管符号



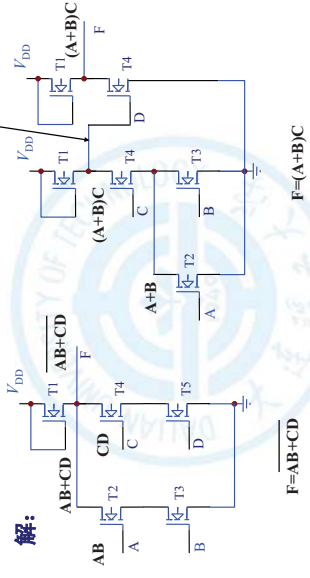
参考资料关键词: 半导体器件物理

NMOS的输出逻辑

∴ Output $F = 0$ (logic 0)∴ $A = 1, F = 0$

例题2.5 试分析以下几图的输出逻辑

解:



$F = \overline{AB+CD}$
 $F = \overline{(A+B)C}$

2.6.2 CMOS 门电路

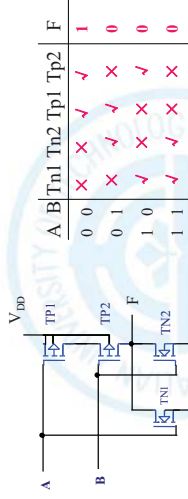
CMOS (complementary MOS, 互补型MOS)

电路中同时有NMOS和PMOS.

优点: $\left. \begin{array}{l} \text{更快} \\ \text{功耗更小} \end{array} \right\}$ 与NMOS电路相比

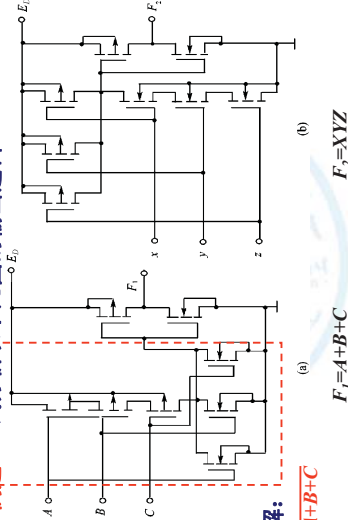
缺点: $\left\{ \begin{array}{l} \text{IC制造工艺比NMOS的复杂} \\ \text{-- 但仍比 TTL 电路的工艺简单;} \\ \text{集成度降低} \\ \text{-- 但仍比 TTL 电路集成度高.} \end{array} \right.$

3) CMOS NOR Gate:

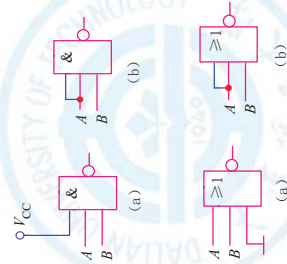


实现或非 $F = A + B$

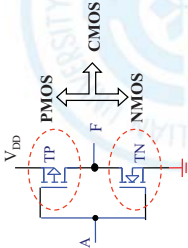
例题2.6 试分析以下几图的输出逻辑



悬空端的处理



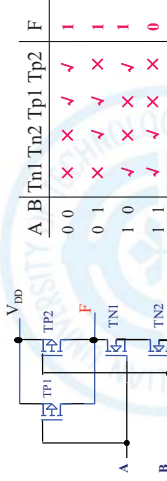
1) CMOS Inverter



A	Tp	Tn	F
0	✓	X	1
1	X	✓	0

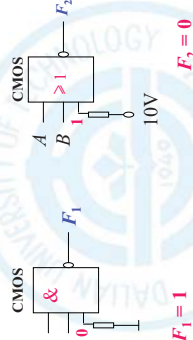
实现非门 $F = \bar{A}$

2) CMOS NAND Gate:



实现与非 $F = \overline{AB}$

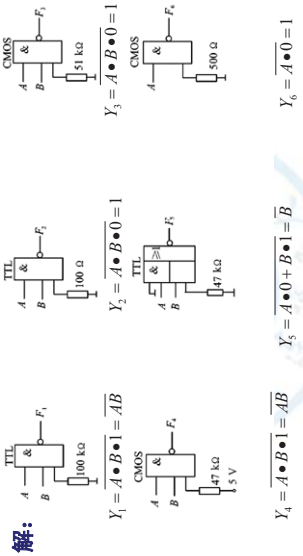
MOS电路输入电阻 $R_{GS} > 10^{10} \Omega$, 所以外接输入端电阻值的大小不起作用, 接地 $\rightarrow 0$, 接电源 $\rightarrow 1$ 。



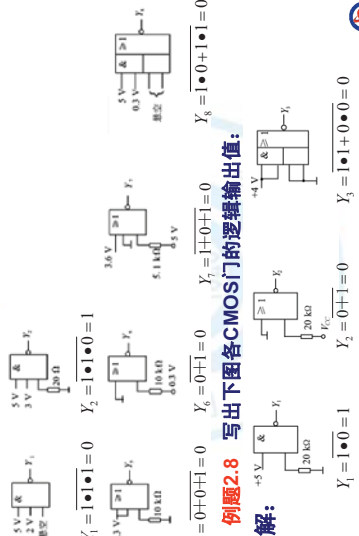
CMOS 电路不用的输入端一定不能悬空!!!

悬空时入端无电流, 高输入阻抗($>10^{10}\Omega$)会使沟道被静电击穿

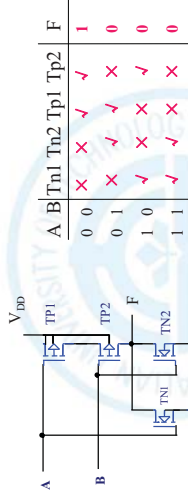
例题2.9 写出以下各图的逻辑输出值



例题2.7 写出下图各TTL门的逻辑输出值: 解:



3) CMOS NOR Gate:



实现或非 $F = A + B$



本章总结

- ◆ 对于各种集成电路，使用时一定要在推荐的工作条件范围内，否则将导致性能下降或损坏器件。
- ◆ 数字集成电路中多余的输入端在不改变逻辑关系的前提下可以并联起来使用，也可根据逻辑关系的要求接地或接高电平。TTL电路多余的输入端是空表 示输入为高电平；但是CMOS电路，多余的输入端不 允许悬空，否则电路将不能正常工作。
- ◆ TTL电路和CMOS电路之间一般不能直接连接，而 需利用接口电路进行电平转换或电流变换才可进行 连接，使前级器件的输出电平及电流满足后级器件 对输入电平及电流的要求，并不得对器件造成损害。



64

第二章 逻辑门电路

结束



65