

高等计算机体系结构，2020 年春季

期末考试 (卷面总分 150 分)

主讲教师：栾钟治

助讲教师：杨海龙；助教：孙庆骁

考试时间：2020 年 6 月 26 日，09:50-12:20

## 1 简答题 [100 分]

### (1) ISA [5 分]

ISA 是什么的缩写？请简要说明什么是 ISA。

答：

什么是微体系结构？ISA 和微体系结构的区别是什么？

答：

### (2) 冯诺依曼结构 [5 分]

冯诺依曼结构有哪两个最基本的特征？

答：

冯诺依曼结构为什么要把程序和数据都存在一个“大”的存储空间中，它的最核心目的是什么？

答：

### (3) 流水线 [3 分]

保持处理器的流水线充满有用的指令对于获得高性能非常重要。流水线不可能总是保持充满的三个根本原因是什么？

答：

**(4) 异常 vs. 中断 [6 分]**

我们说当处理器检测到异常就需要处理，而中断可以在“方便的时候”处理。  
为什么异常在检测到之后就要处理？

答：

说在“方便的时候”处理中断是什么意思？

答：

为什么很多中断可以在“方便的时候”处理？

答：

**(5) 分支预测 [6 分]**

分支目标缓冲（BTB）的目的是什么？

答：

假设一台机器的流水线有 10 个流水段流水线，分支的解决在第 8 个流水段。同时，假设 20% 的指令是分支。对于这台机器，每个分支预测错误时会浪费多少条指令的工作？

答：

**(6) 乱序 vs. 数据流 [7 分]**

在乱序执行处理器中，什么时候会发生取指令的动作？

答：

在数据流处理器中，什么时候会发生取指令的动作？

答：

在乱序执行处理器中有一个结构叫做保留站，请问保留站本质上是解决什么问题的？

答：

通常，在数据流机器中有一个结构叫做“matching store”，与乱序执行处理器中的保留站功能类似，你能不能猜一下“matching store”是用来做什么的？☺

答：

(7) 减少停顿 [4 分]

编译器能够重排序指令以减少流水线处理器的停顿。编译器做这样的优化目的是找到独立的指令插入相关的指令之间，使得当消费者指令进入流水线时，生产者指令已经生产出结果。

控制相关会阻碍编译器重排序指令能力的发挥，为什么会这样？

答：

(8) DRAM [5 分]

DRAM 预充电(precharge)命令的目的是什么？

答：

DRAM 刷新的目的是什么？通常 DRAM 刷新有哪三种基本的方法？

答：

(9) TLB [4 分]

TLB 缓存的是什么内容？

答：

TLB 缓存的这些信息在什么位置？

答：

(10) 互连网络[6 分]

互连网络的路径多样性概念是指从源节点到目的节点可以存在许多不同路径的现象。

请根据路径多样性的高低对以下互连网络拓扑进行排序：

环面 (Torus)，环 (Ring)，网状 (Mesh)

答：

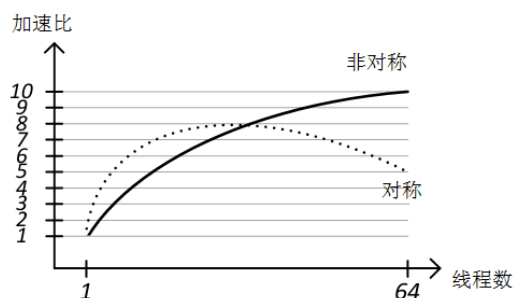
<input type="text"/>	>	<input type="text"/>	>	<input type="text"/>
----------------------	---	----------------------	---	----------------------

确定性和健忘性路由算法中在路由决策时都没有考虑什么因素？而在适应性路由算法中做路由决策时考虑了什么因素？

答：

[11] 性能优化[6 分]

下图展示了两个不同系统中工作负载的加速比曲线：对称多核和非对称多核。假设处理器面积预算是 64 个小核。



非对称多核比对称多核的性能提升有多少？

答：

评价性能优化效果需要注意比较的公平性，如何理解公平性？

答：

[12] 并行 [3 分]

在并行程序执行过程中，通常对于真实的工作负载，并行部分都是有限并行的，造成这种情况有哪三个根本原因？

答：

[13] Cache 缺失 [5 分]

Cache 的缺失有哪 3 种类型？分别在什么情况下有可能出现？

答：

[14] 访存请求调度 [6 分]

FR-FCFS 调度策略全称是什么？它利用的是内存访问行为的什么特征？它最大的优点是什么？

答：

**(15) 系统性能 [5 分]**

衡量系统性能有哪两个最基本的指标? 它们分别是从事什么视角去看待系统性能优劣的?

答:

**(16) 预取 [4 分]**

预取是隐藏访存延迟的重要手段, 它本质上是要预测什么? 如果预测错误会受到什么惩罚?

答:

**(17) 写直达和写回 [5 分]**

对 Cache 的写操作会改变存储系统中同一个数据多个拷贝的一致性, 写直达和写回这两种处理方法是分别如何解决这个一致性问题的? 它们各自的优缺点是什么?

答:

**(18) 体系结构状态 [6 分]**

什么是体系结构状态? 在一个典型的数据通路中(PC, 指令存储器, 寄存器堆, ALU, 数据存储器以及若干加法器、寄存器和多路选择器等), 哪些组件中的状态是程序员可见的? 这中间隐含了什么程序员不可见的状态?

答:

**(19) 单周期和多周期 [5 分]**

单周期微体系结构的单周期是什么意思? 多周期微体系结构是为了解决单周期的什么问题而提出的? 多周期的主要缺陷是什么?

答:

**(20) 控制逻辑 [4 分]**

处理器的控制逻辑可以用硬连线或者用微程序设计的方法实现。什么是硬连线设计, 适用于什么类型的指令系统? 微程序设计的优势是什么?

答:

2 分析题 [50 分]

(1)指令系统[10 分]

32 位的 MIPS 处理器有 32 个寄存器并且在指令中用 5 位的字段来编码寄存器号。假设我们现在在 32 位的 MIPS 处理器中采用 **64 个寄存器**，所以我们需要用 6 位的字段来编码寄存器号，因此，我们需要相应的修改指令的格式。如果我们仍然保持指令码字段（opcode，funct）的长度，修改后的 R 类型和 I 类型指令格式如下：

R-type:

31	26 25	20 19	14 13	8 7	6 5	0
Opcode	Rs	Rt	Rd	Shamt	Funct	

I-type:

31	26 25	20 19	14 13	0
Opcode	Rs	Rt	Immediate	

(a) 对于上述新指令格式，哪些指令会受到影响？请分别举 R 类型和 I 类型指令各 1 个例子说明。  
答：

(b) 假设在上述新的指令系统中，某分支指令的目标 PC 值是 0x00014C00，当前 PC 值是 0x00000010，请问使用 beq 指令能否将程序分支到目标地址？为什么？  
答：

(2) Cache 替换策略 [15 分]

假设一个全相联 Cache，Cache 大小为 256KB，Cache 块大小为 4KB，你决定采用真 LRU（最近最少使用）作为该 Cache 的替换策略，那么最少需要存储多少 bit 的信息才可以实现？  
答：

这些信息存在哪里？  
答：

你的同学决定采用牺牲者-下一个牺牲者作为该 Cache 的替换策略，那么他需要存储最少多少 bit 的信息？

答：

你觉得哪一种替换策略更好？为什么？

答：

### **(3) 分层存储系统 [15 分]**

某机采用由 L1 Cache、L2 Cache、主存组成的三级存储系统。若 CPU 要访问的请求字在 L1 Cache 的概率为 0.6，从 L1 Cache 访问字的时间是 5ns；若请求字不在 L1 Cache 中，则访问 L2 Cache，这种情况下，请求字在 L2 Cache 的概率为 0.5，从 L2 Cache 访问字的时间是 10ns；若上述两级 Cache 均缺失，则采用请求字优先的缺失处理策略，从主存访问请求字，其访问时间近似于主存的字访问周期 100ns。

(a) 该存储系统 Cache 的整体命中率是多少？

答：

(b) 从该存储系统访问单字的平均时间是多少？

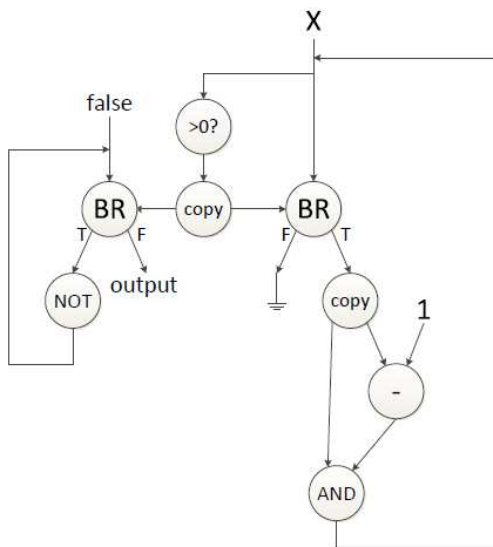
答：

(c) 该存储系统采用 Cache 后的整体加速比是多少？

答：

### **(4) 数据流 [10 分]**

下面是表达一个数据流程序的数据流图。



图中各节点的含义描述如下：

-	节点的左输入减去右输入然后输出
AND	节点两个输入按位与然后输出
NOT	节点的输入取反输出
BR	将节点的输入按照判断条件传递到合适的输出
copy	将节点的输入传递给两个输出
>0?	节点的输入大于 0 时输出为真 (T)

注意：输入 X 是一个非负整数。

这个数据程序的功能是什么，请用不多于 10 个字描述。 😊

答：