

第2章 数据的表示和运算



主要内容:

(一) 数制与编码

1. 进位计数制及其相互转换
2. 真值和机器数
3. BCD 码
4. 字符与字符串
5. 校验码

(二) 定点数的表示和运算

1. 定点数的表示 : 无符号数的表示; 有符号数的表示。
2. 定点数的运算 : 定点数的位移运算; 原码定点数的加/减运算; 补码定点数的加/减运算; 定点数的乘/除运算; 溢出概念和判别方法。

(三) 浮点数的表示和运算

1. 浮点数的表示 : 浮点数的表示范围; IEEE754 标准
2. 浮点数的加/减运算

(四) 算术逻辑单元 ALU

1. 串行进位加法器和并行进位加法器
2. 算术逻辑单元 ALU 的功能和机构

海纳百川 自强不息 厚德笃学 知行合一



2.4 算术逻辑单元ALU

- **ALU**部件是运算器中的主要组成部分，又称为多功能函数发生器，主要用于完成各种算术运算和逻辑运算。
- **ALU**的算术运算部件包含加法器、减法器、乘法器、除法器、增量器（+1）、减量器（-1）、**BCD**码运算器等组件。
- **ALU**的主要工作是根据**CPU**的指令要求执行各种指定的运算，如加法、减法、乘法、除法、比较、逻辑、移位等操作。



2.4. 串行进位加法器和并行进位加法器



中华人民共和国成立70周年



1949—2019
大连理工大学 建校70周年

一位半加器

- 实现两个一位二进制数相加的电路，称为**半加器**。
半加器有两个输入端（被加数和加数），两个输出端（和与进位）

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

海纳百川 自强不息 厚德笃学 知行合一



半加器逻辑表达式

➤ 半加器的逻辑表达式如下

和: $S=A \oplus B$

进位: $C=AB$

➤ 用一个异或门和一个与门
即可实现半加器。

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

一位全加器



- 当多位二进制数据相加时，对每一位而言，除了有被加数和加数之外，还有从低位送来的进位，**考虑到进位**的加法器称为全加器。

海纳百川 自强不息 厚德笃学 知行合一



全加器真值表



中华人民共和国成立70周年



1949—2019
大连理工大学 建校70周年

A	B	Ci	Si	Co
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

海纳百川 自强不息 厚德笃学 知行合一



全加器逻辑表达式

➤ 逻辑表达式

$$S = \bar{A}\bar{B}C_i + \bar{A}B\bar{C}_i + A\bar{B}\bar{C}_i + ABC_i$$

$$C_o = \bar{A}BC_i + A\bar{B}C_i + AB\bar{C}_i + ABC_i$$

➤ 化简

$$S = A \oplus B \oplus C$$

$$C = AB + BC_i + AC_i$$

A	B	C _i	S	C _o
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

海纳百川 自强不息 厚德载物 知行合一



全加器电路的实现



中华人民共和国成立70周年



1949—2019
大连理工大学 建校70周年

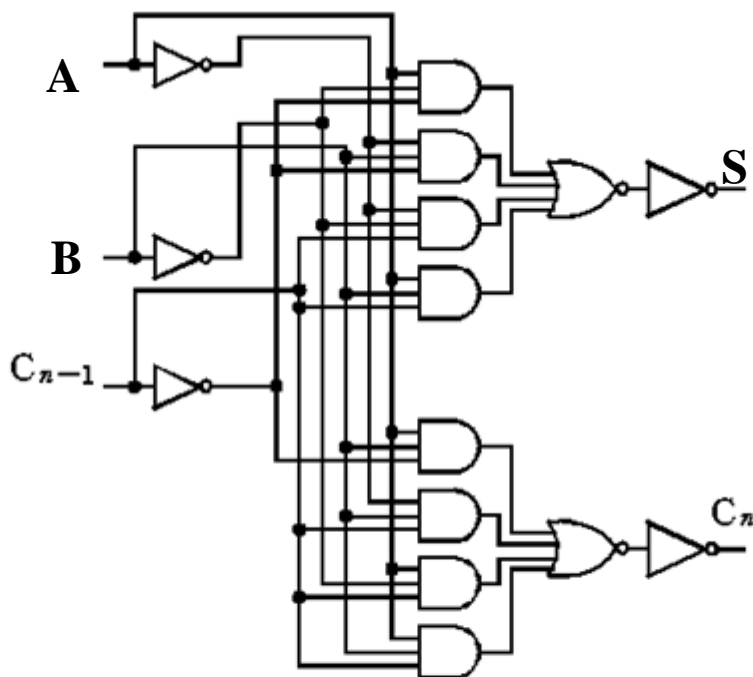
$$S = A \oplus B \oplus C$$

$$C_o = AB + BC_i + AC_i$$

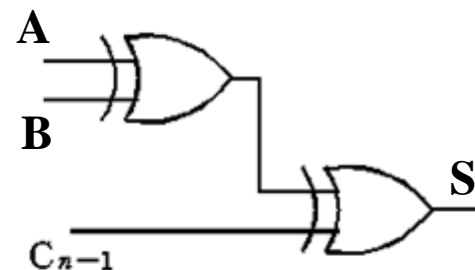
功能表

A	B	C_{n-1}	S	C_n
0	0	0	0	0
0	0	1	1	0
1	0	0	1	0
1	0	1	0	1
0	1	0	1	0
0	1	1	0	1
1	1	0	0	1
1	1	1	1	1

(a) 功能表



(b) 逻辑图



(c) 逻辑图

“两山”理论 绿水青山就是金山银山



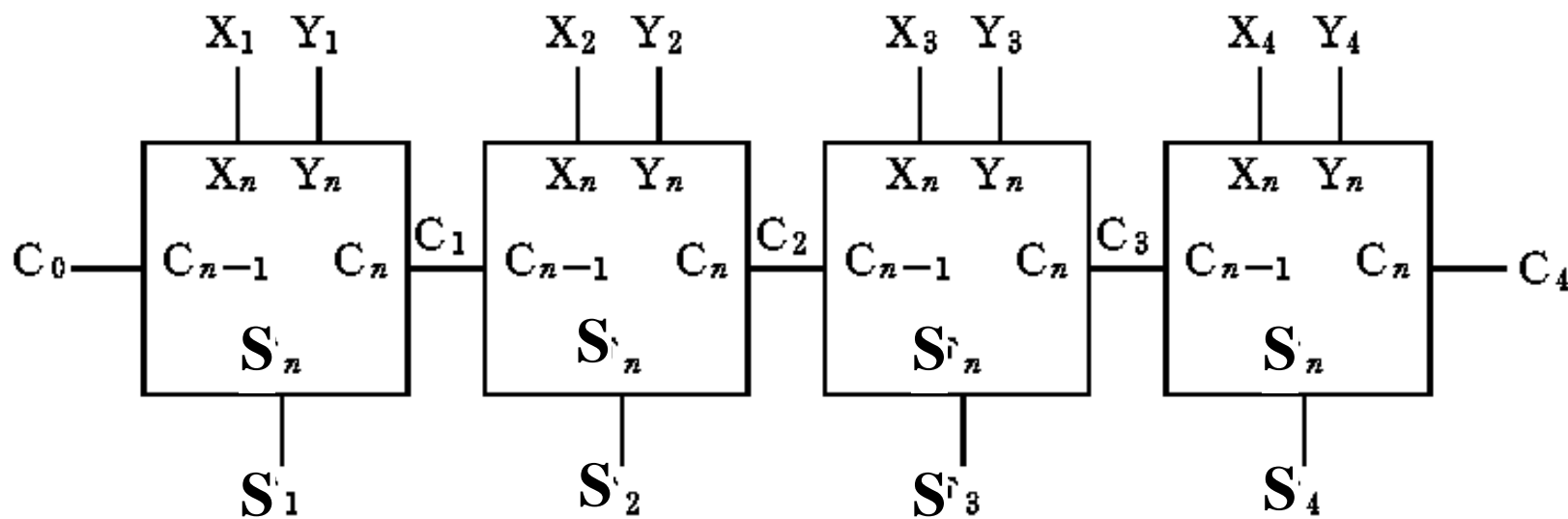
大连理工大
DALIAN UNIVERSITY OF TECH

计算机组成原理 丁男



n位串行进位加法器

- 多位二进制数据的加法可用多个全加器来完成。
- 参加运算的两组数据并行加入，进位信号串行传递，称为n位串行进位加法器，或波形进位加法器。



进位产生函数: $G_i = A_i B_i$

进位传递函数: $P_i = A_i + B_i$

以 4 位全加器为例, 每一位的进位表达式为

$$C_0 = G_0 + P_0 C_{-1} = \overline{\overline{G_0} \cdot \overline{P_0 C_{-1}}}$$

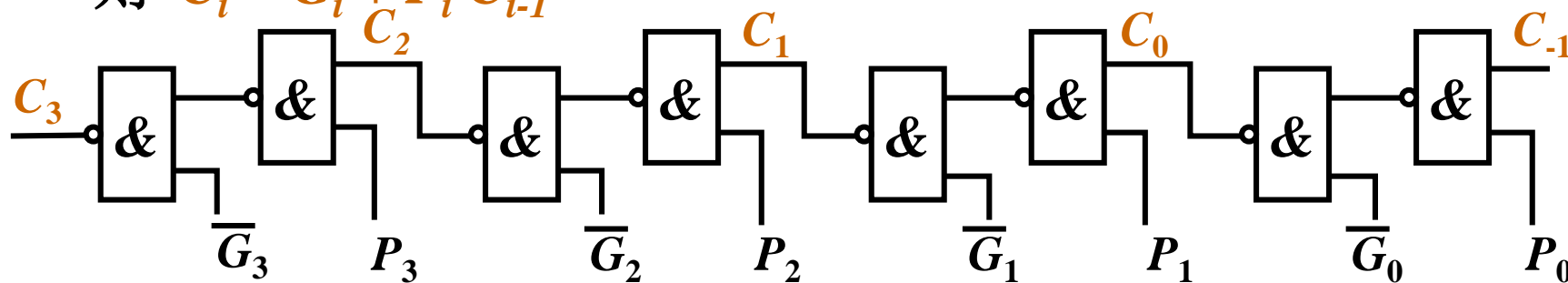
$$C_1 = G_1 + P_1 C_0$$

$$C_2 = G_2 + P_2 C_1$$

$$C_3 = G_3 + P_3 C_2$$

设与非门的级延迟时间为 P_y

则 $C_i = G_i + P_i C_{i-1}$



4位 全加器产生进位的全部时间为 $8P_y$

n 位全加器产生进位的全部时间为 $2nP_y$

海纳百川 自强不息 厚德笃学 知行合一

串行进位加法器的特点



- 串行进位加法器，逻辑电路比较简单；
- 但是最高位的加法运算，一定要等到所有低位的加法完成之后才能进行，低位的进位要逐步的传递到高位，逐级产生进位，因此**运算速度比较慢**。

海纳百川 自强不息 厚德笃学 知行合一



并行进位加法器



- 加法器的最长运算时间主要是由进位信号的传递时间决定的，而每个全加器本身的求和延迟只是次要因素。很明显，提高并行加法器速度的关键是尽量加快进位产生和传递的速度。
- 并行加法器可以同时^对数据的各位进行相加，一般用 n 个全加器来实现2个操作数的各位同时相加。其操作数的各位是同时提供的。

海纳百川 自强不息 厚德笃学 知行合一



并行先行（超前）进位链

进位传递函数: $P_i = A_i + B_i$

进位产生函数: $G_i = A_i B_i$

n 位加法器的进位同时产生 以 4 位加法器为例

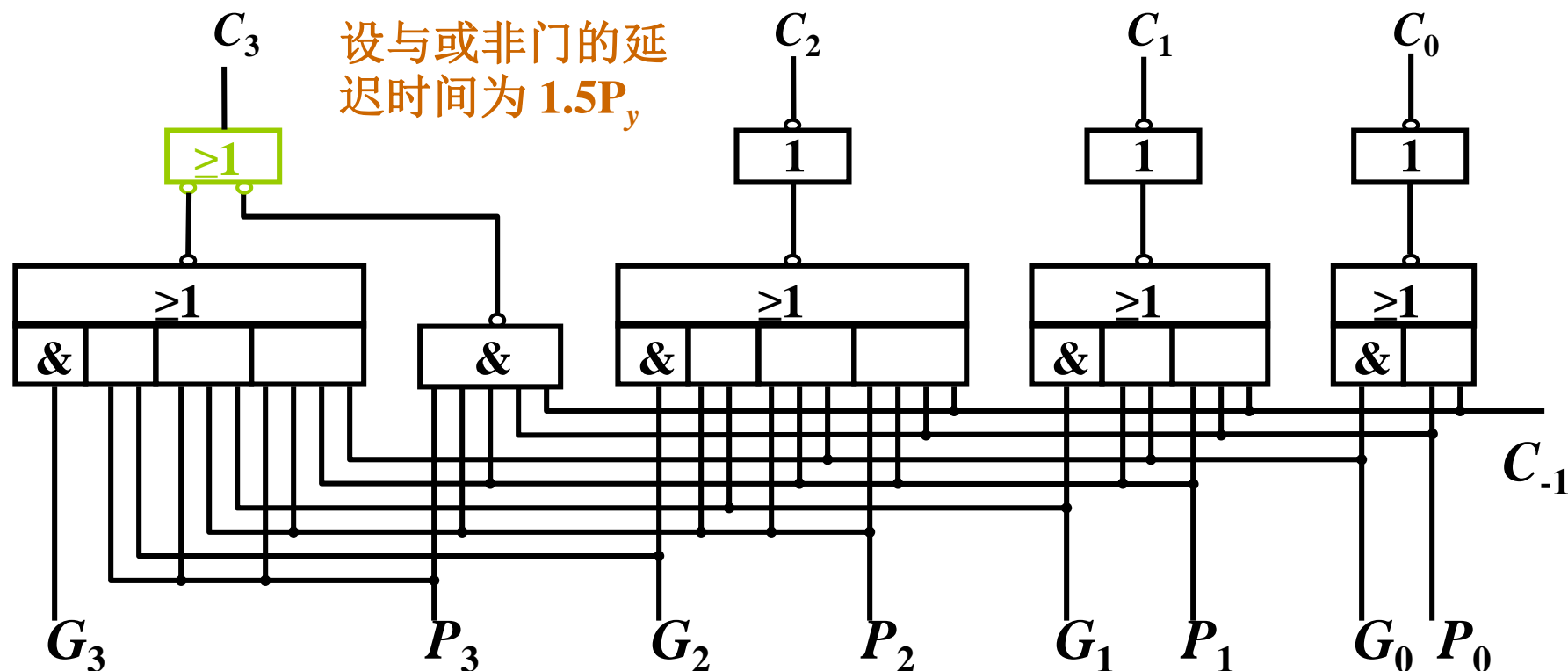
$$C_0 = G_0 + P_0 C_{-1}$$

$$C_1 = G_1 + P_1 C_0 = G_1 + P_1 G_0 + P_1 P_0 C_{-1}$$

$$C_2 = G_2 + P_2 C_1 = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 C_{-1}$$

$$C_3 = G_3 + P_3 C_2 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 C_{-1}$$

当 G_i 和 P_i 形成后, 只需 $2.5P_y$ 产生全部进位



并行进位加法器



- 为了提高运算速度，减少延迟时间，可以采用并行进位法，也叫超前进位或先行进位。
- 并行进位加法器的运算速度很快，形成最高进位输出的延迟时间很短，但是**以增加硬件逻辑线路为代价**。
- 对于长字长的加法器，往往将加法器分成若干组，在组内采用并行进位，组间则采用串行进位或并行进位，由此形成多种进位结构。
 - 单级先行进位：单级先行进位方式将 n 位字长分为若干组，每组内采用并行进位方式，组与组之间则采用串行进位方式。
 - 多级先行进位：多级先行进位在组内和组间都采用先行进位方式。

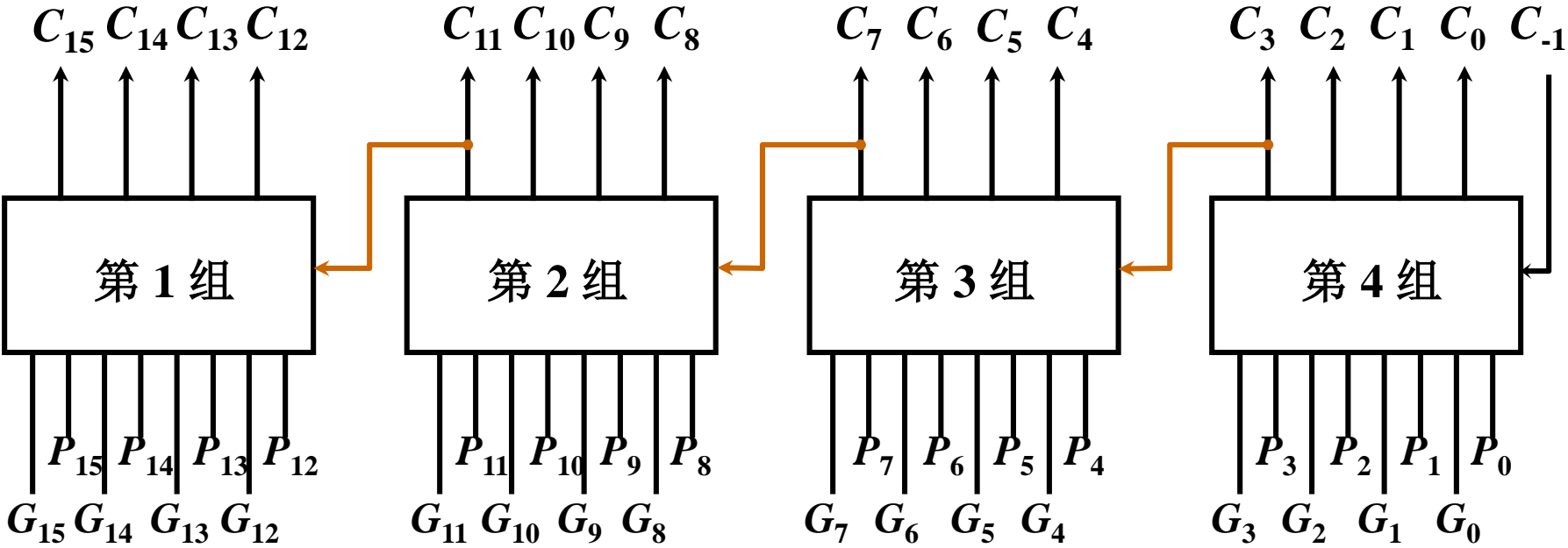
海纳百川 自强不息 厚德笃学 知行合一



(1) 单级分组先行进位链

n 位全加器分若干小组，组内的进位同时产生，
组与组之间采用串行进位

以 $n = 16$ 为例



当 $G_i P_i$ 形成后	经 $2.5 t_y$	产生 $C_3 \sim C_0$
	$5 t_y$	产生 $C_7 \sim C_4$
	$7.5 t_y$	产生 $C_{11} \sim C_8$
	$10 t_y$	产生 $C_{15} \sim C_{12}$

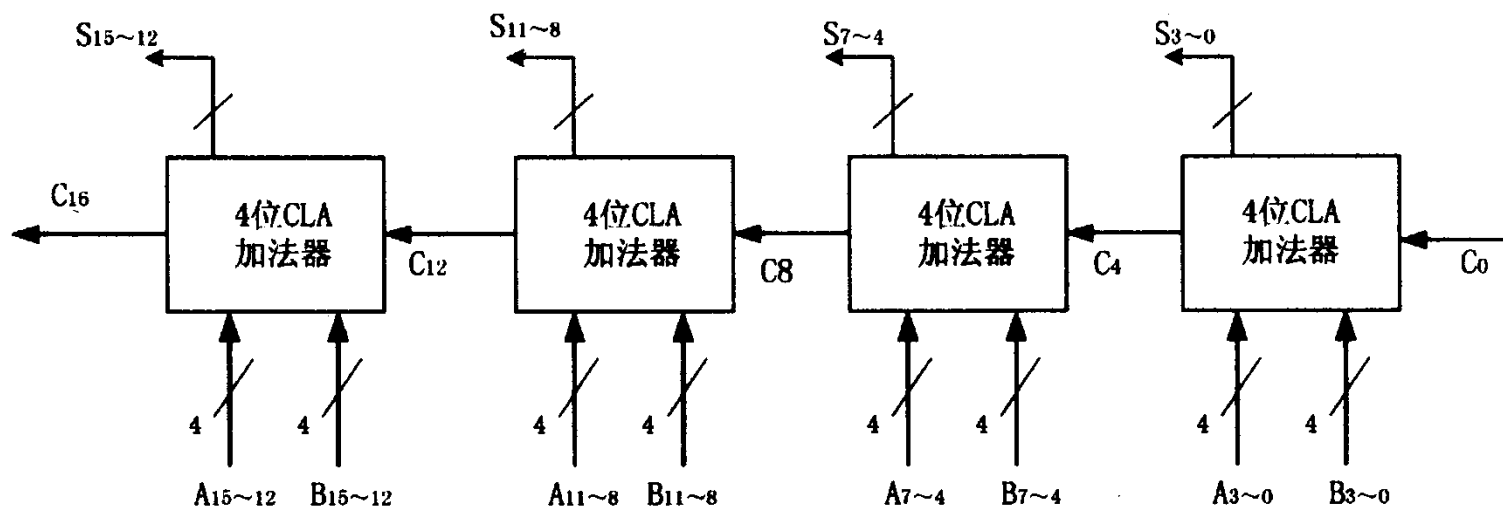
先行进位加法器



中华人民共和国成立70周年



1949—2019
大连理工大学 建校70周年



16位单级先行进位加法器

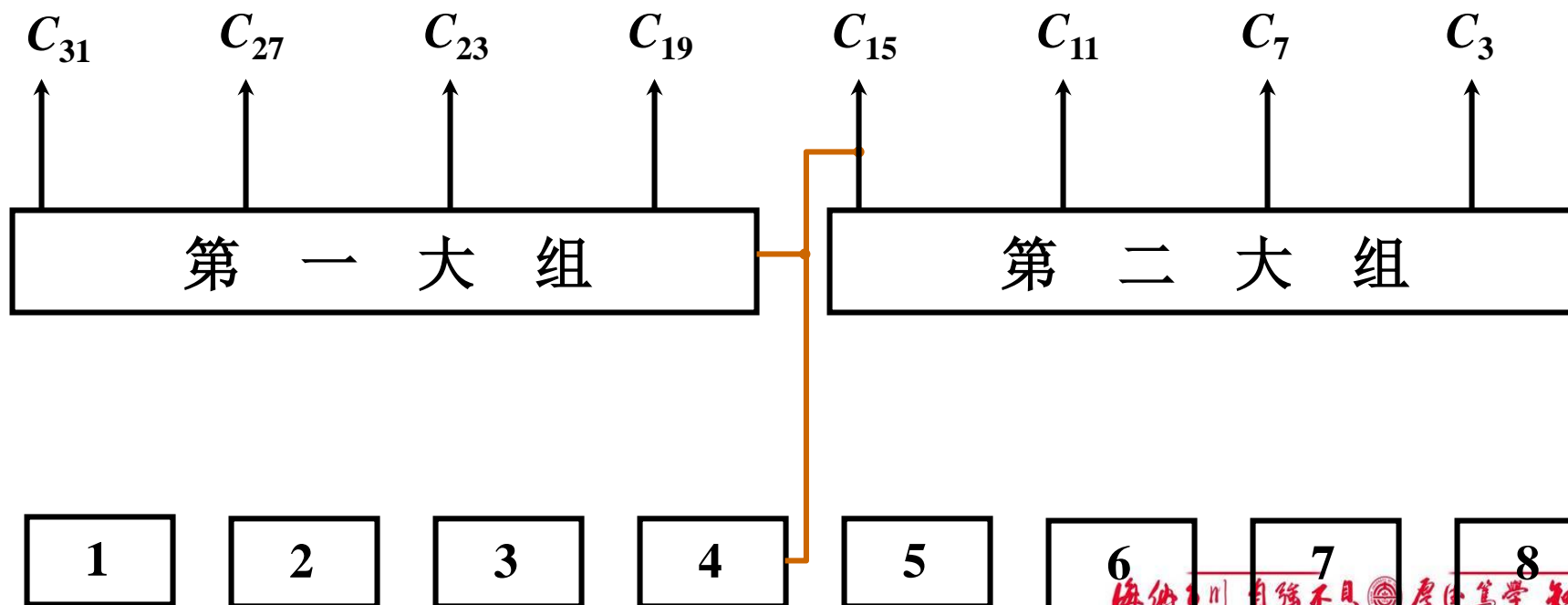
海纳百川 自强不息 厚德笃学 知行合一



(2) 二级分组进位链

n 位全加器分若干大组，大组中又包含若干小组。每个大组中小组的最高位进位同时产生。大组与大组之间采用串行进位。

以 $n = 32$ 为例



4.2.2 多功能算术逻辑部件的结构

- **ALU** -- 进行多种算术运算和逻辑运算
- 基本逻辑结构是超前进位加法器
- **SN74181**基本原理（4位）

M: 状态控制端

$S_0 \sim S_3$: 运算选择控制端

$A_3 \sim A_0$: 参加运算的两个数

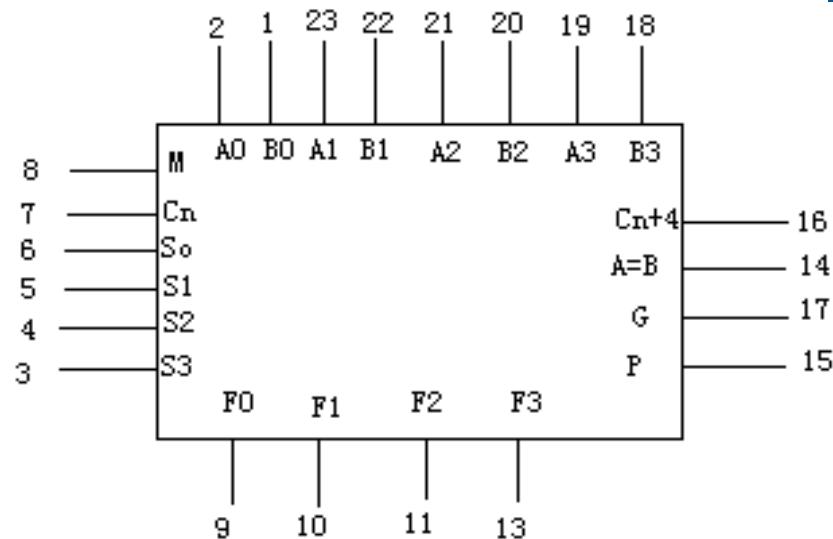
$B_3 \sim B_0$:

C_n : 低位进位输入

C_{n+4} : 芯片组进位信号

$F_3 \sim F_0$: 运算结果

P: 芯片组的条件进位信号



74181引脚方框图

G: 芯片组的绝对进位信号

海纳百川 自强不息 厚德笃学 知行合一

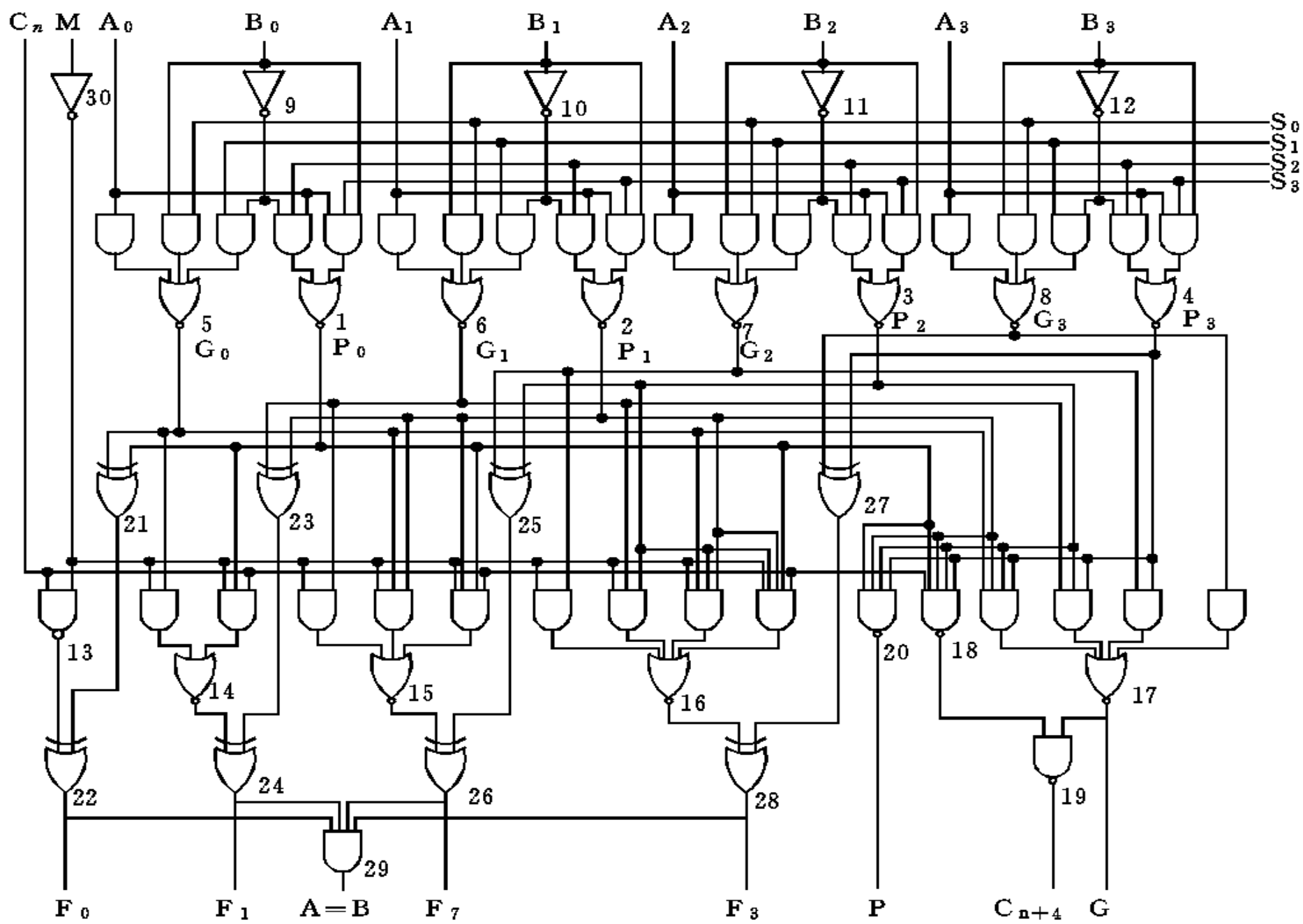
- 它能执行**16种**算术运算和**16种**逻辑运算；
- **M**是状态控制端，**M=H**,执行逻辑运算；**M=L**执行算术运算。
- **S₀ ~ S₃**是运算选择端，它决定电路执行哪种算术运算或逻辑运算。



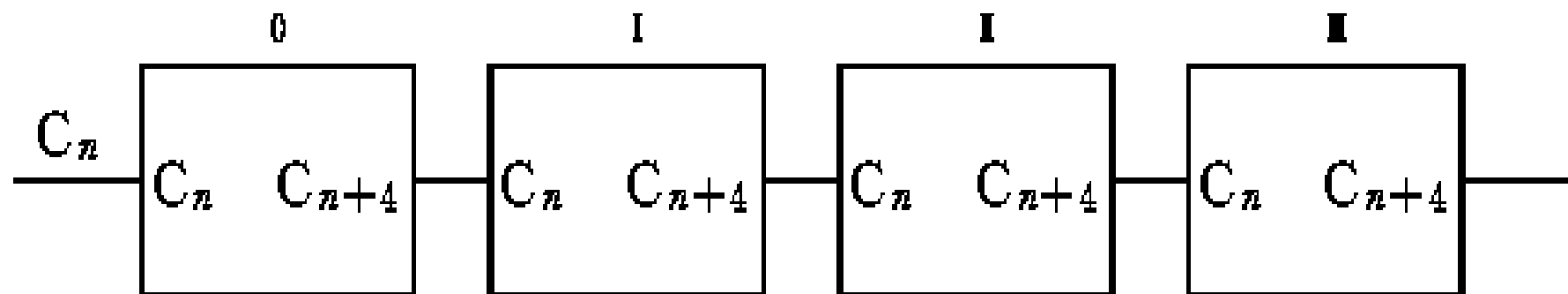
S0 S1 S2 S3				正 逻辑		
				M=H 逻辑运算	M=L算术运算	
					Cn=1	Cn=0
L	L	L	L	\overline{A}	A	A+1
L	L	L	H	$\overline{A+B}$	— A+B	— (A+B)加1
L	L	H	L	$\overline{A \cdot B}$	A+B	— (A+B)加1
L	L	H	H	“0”	减1	“0”
L	H	L	L	$\overline{A \cdot B}$	\overline{A} 加(A·B)	A加(A·B)加1
L	H	L	H	\overline{B}	— (A·B)加(A+B)	$\overline{(A \cdot B)}$ 加(A+B)加1
L	H	H	L	$A \oplus B$	A减B减1	A减B
L	H	H	H	$\overline{A \cdot B}$	— (A·B)减1	— A·B
H	L	L	L	$\overline{A+B}$	A加(A·B)	A加(A·B)加1
H	L	L	H	$\overline{A \oplus B}$	A加B	A加B加1
H	L	H	L	B	(A·B)加(A+B)	(A·B)加(A+B)加1
H	L	H	H	A·B	(A·B)减1	(A·B)
H	H	L	L	“1”	A加A	A加A加1
H	H	L	H	$A+\overline{B}$	A加(A+B)	A加(A+B)加1
H	H	H	L	A+B	\overline{A} 加(A+B)	A加(A+B)加1
H	H	H	H	A	A减1	A

加：算术加； +：逻辑加

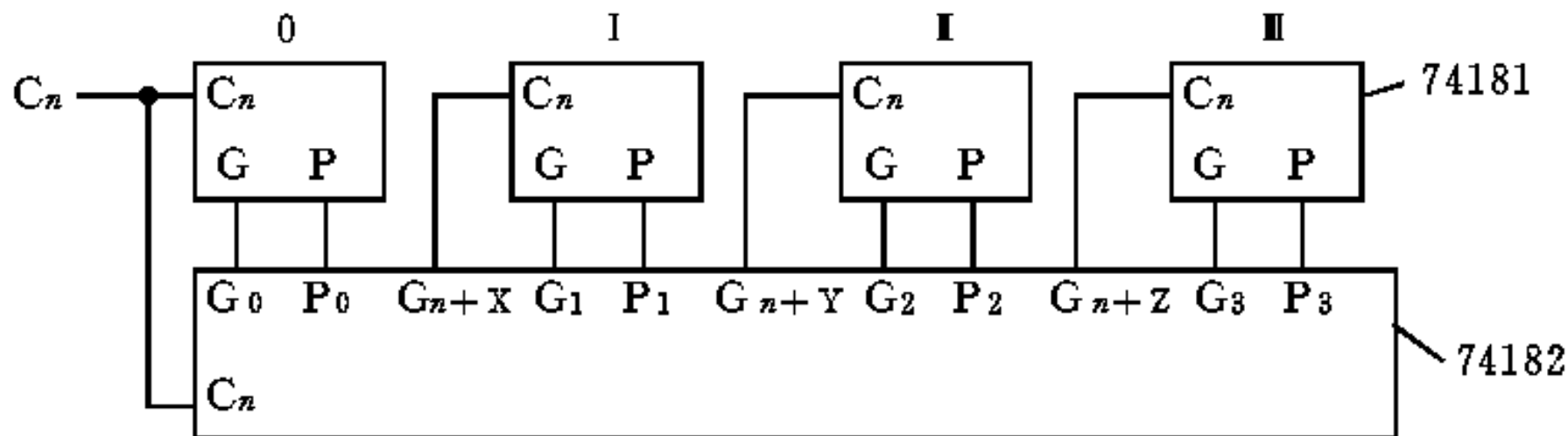
海纳百川 自强不息 厚德笃学 知行合一



(a) 逻辑图



用4片ALU构成的16位ALU



16位先行 (超前、快速) ALU



74181电路: 4位超前进位ALU芯片
74182电路: 超前进位扩展器芯片

同理:

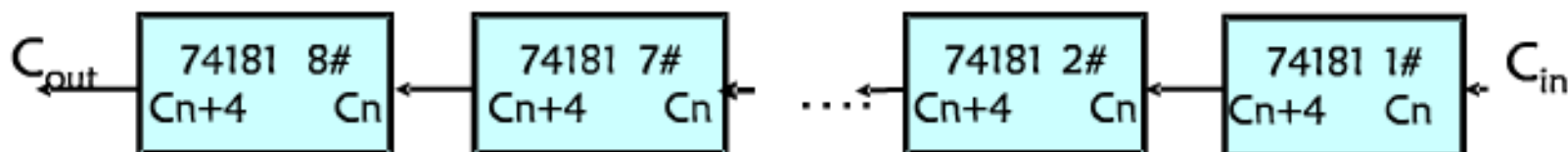
用两个16位全先行进位部件74182和8个74181可级连组成32位ALU电路。

用4个16位全先行进位部件(74182)和16个74181可级连组成64位ALU电路。

例如AMD公司的AM29332为32位ALU, Intel公司的Pentium处理器中, 32位ALU仅是芯片内的一部分电路。



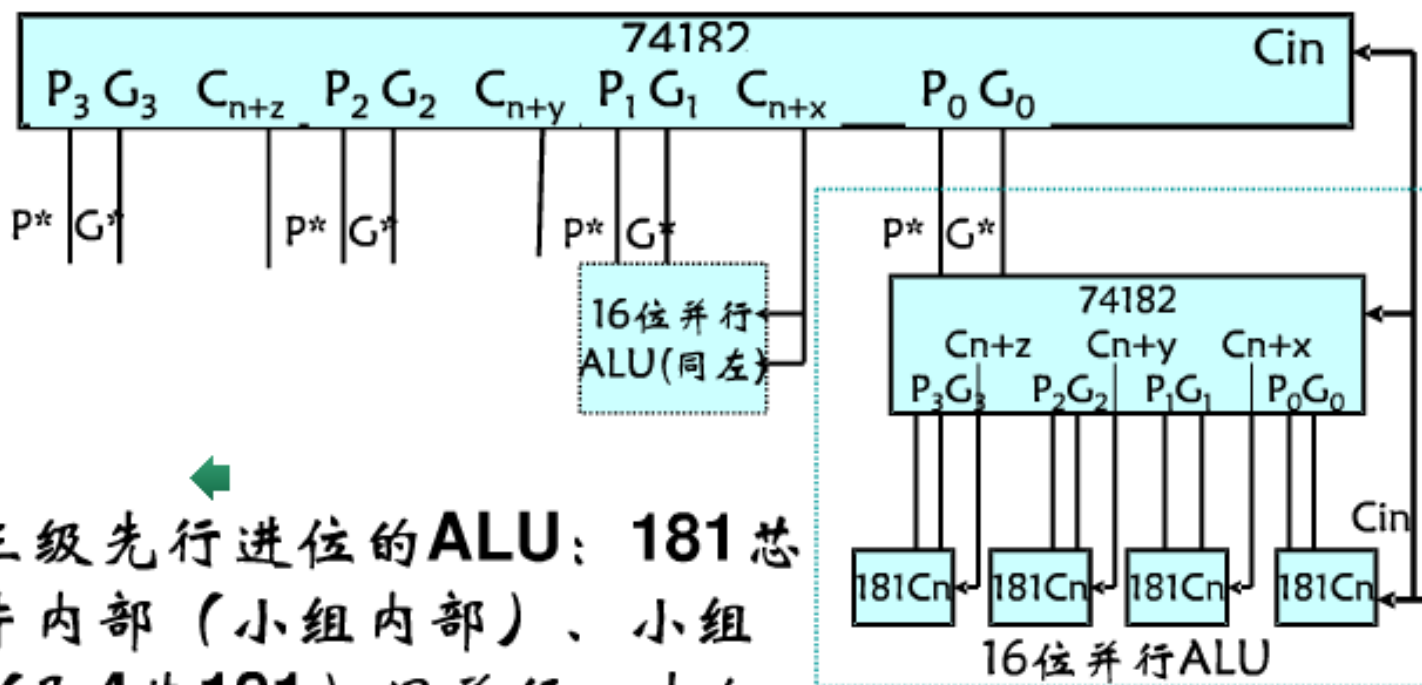
← a) 用8片74181构成的32位行波进位的ALU



称为单级先行进位的ALU——只有74181片内四位为先行进位,用前一级芯片的进位输出作为下一级芯片的进位输入端,片内先行进位,片间串行进位,运算速度慢。



*C) 用8片74181和3片74182构成的32位并行ALU



三级先行进位的ALU: 181芯片内部 (小组内部)、小组 (即4片181) 间并行、大组 (即2个16位并行的ALU) 间均为先行进位。

研合一

