第3章 存储器层次机构





主要内容:

- (一) 存储器的分类
- (二) 存储器的层次化结构
- (三) 半导体随机存取存储器
 - 1. SRAM 存储器的工作原理
 - 2. DRAM 存储器的工作原理
- (四) 只读存储器
- (五) 主存储器与 CPU 的连接
- (六) 双口 RAM 和多模块存储器

(七) 高速缓冲存储器 (Cache)

- 1. 程序访问的局部
- 2. Cache 的基本工作原理
- 3. Cache 和主存之间的映射方式
- 4. Cache 中主存块的替换算法
- 5. Cache 写策略

(八) 虚拟存储器

- 1. 虚拟存储器的基本概念
- 2. 页式虚拟存储器
- 3. 段式虚拟存储器
- 4. 段页式虚拟存储器
- 5. TLB (大大人) 自然不从《原体等》 如何令











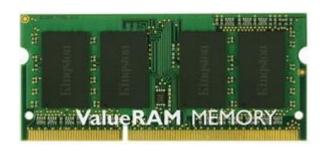
3.1 概述





存储器的地位不断上升

- 1、存储器的运行速度对计算机运行速度有很大影响。
- 2、DMA方式提高了存储器的地位。
- 3、存储器是多处理机系统信息交换的重要渠道。















存储器分类

1、按存储介质分类

- 半导体存储器(semi-conductor memory): 随 机存取存储器(简称RAM)和只读存储器(只 读ROM) 体积小、功耗低、存取时间短、 易失性。
- 磁表面存储器: 磁盘、磁带、磁鼓
- 磁芯存储器: 硬磁材料的环状元件
- 光盘存储器: 激光、磁光







2、按数据的可保存性分类

- ➤ 随机存储器(Random Access Memory, RAM)
 - 易失性
 - 静态随机存储器、动态随机存储器
- ➤ 只读存储器(Read Only Memory, ROM)
 - 非易失性
 - 掩膜型只读存储器(ROM)、可编程只读存储器(PROM)、可擦除可编程只读存储器(EPROM)、电可擦除可编程只读存储器(EEPROM)

像份的1 自然不息 ◎厚瓜茑学 知1/6一







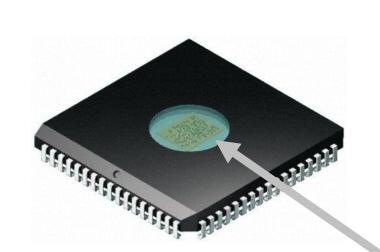


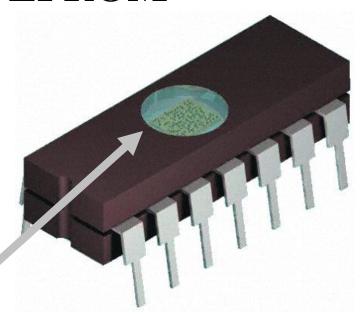




2、按数据保存方式分类

可擦除可编程只读存储器 EPROM





紫外线接收窗

海纳的 自然不息 @ 厚瓜茑学 知》合一







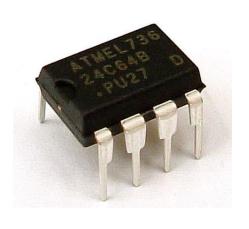


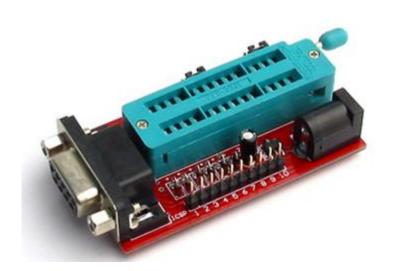




2、按数据保存方式分类

电可擦除可编程只读存储器 (EEPROM)





梅纳 6 N 自強不息 ◎ 厚任為學 知外合一













2、按数据保存方式分类

Flash存储器

























強不具 @ 厚任置学 犯引合





Flash 闪存





- ➤ Flash-ROM已经成为了目前最成功、最流行的一种固态内存,与EEPROM相比具有读写速度快,而与RAM相比具有非易失、以及价廉等优势。
- ➤ Intel于1988年首先开发出NOR flash技术
 - · 芯片内执行(XIP, eXecute In Place),不必再把代码读到系统RAM中。NOR flash读速度较快,写入和擦除速度较慢。
- ▶ 1989年东芝公司发表了NAND flash 技术
 - NAND 结构能提供极高的单元密度,可以达到高存储密度,并且写入和擦除的速度也很快,这也是为何所有的U盘都使用NAND闪存做为存储介质的原因。应用NAND的困难在于闪存和需要特殊的系统接口。接口复杂。





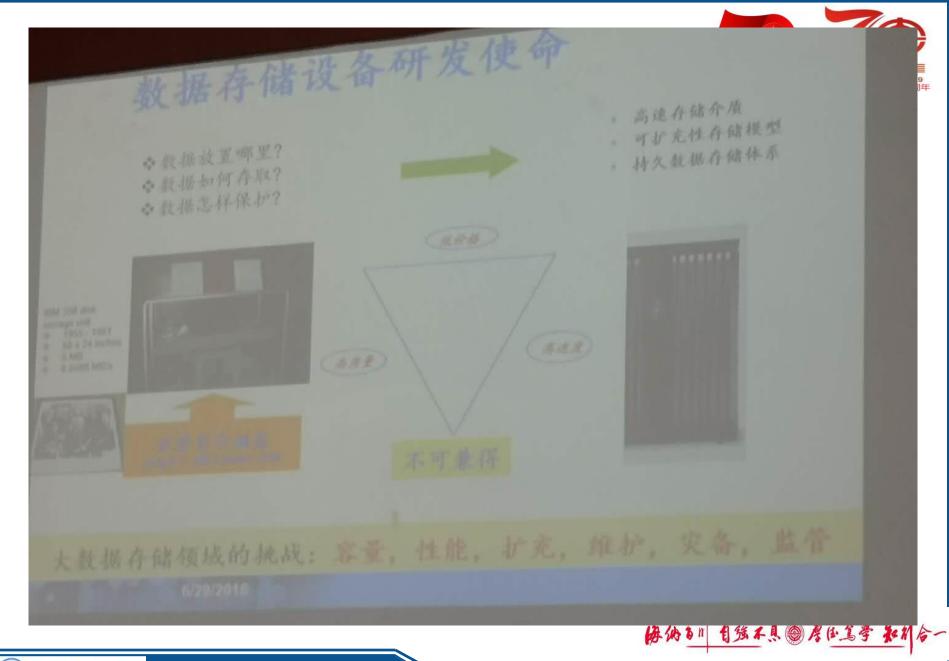










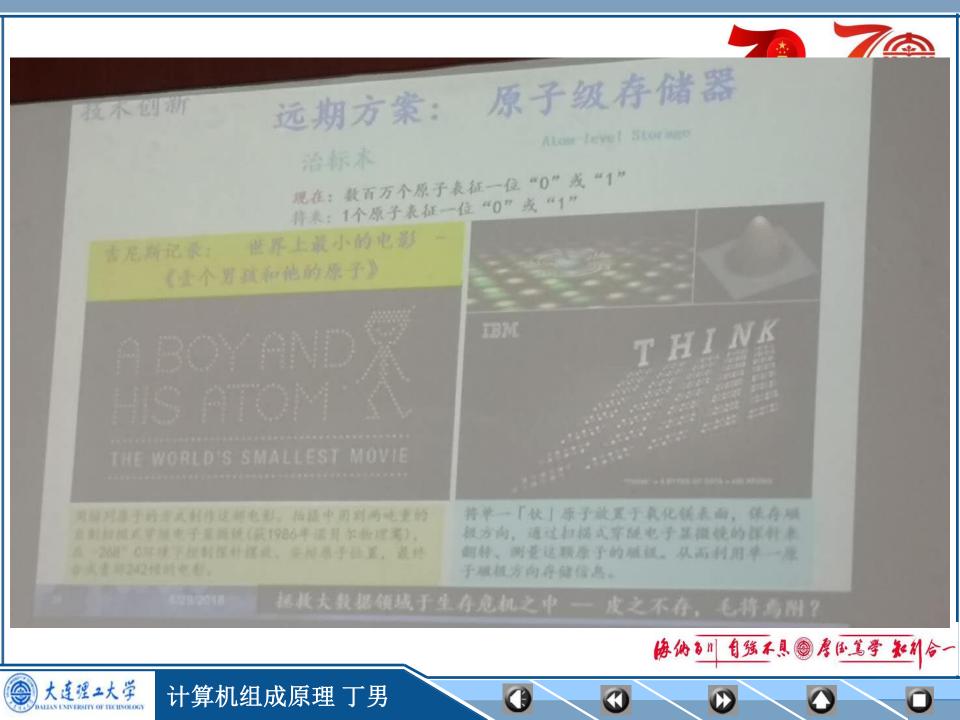












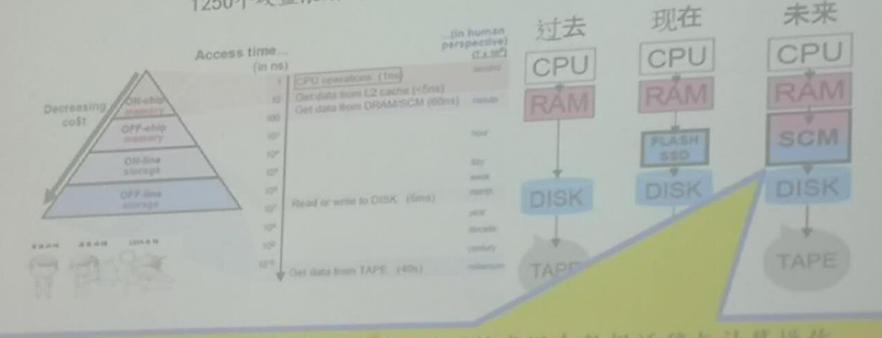




中期方案: 存储级内存 Storage Class Momory CSCMI

存储单元读写速度如同内存, 存储容量满足企业级数据需求

1250个硬盘浓缩成1个硬盘, 能耗降低三分之一





技术创新







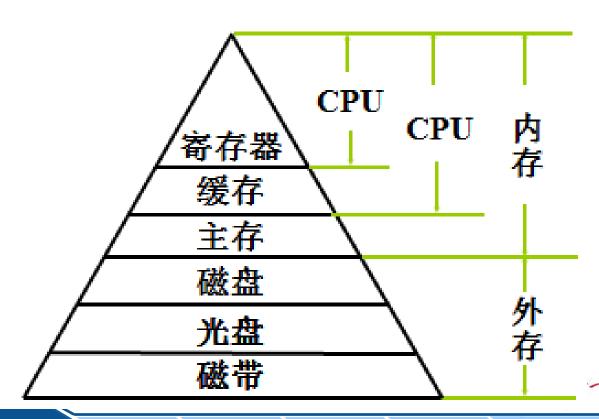






3、按在计算机中的作用

- ▶寄存器
- ▶ 高速缓冲存储器 (cache)
- ▶主存储器
- > 辅助存储器













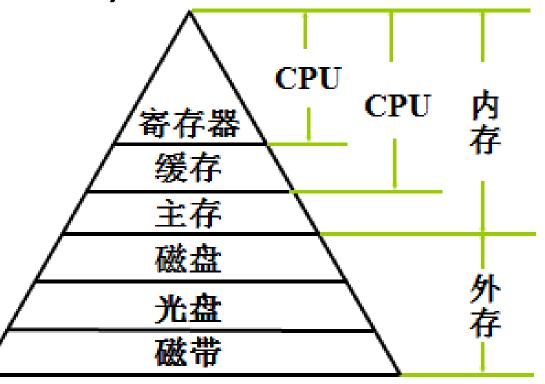




3、按在计算机中的作用

- ▶寄存器
- ▶高速缓冲存储器(Cache)
- ▶主存储器
- > 辅助存储器

为什么要采取 金字塔型层次 结构呢?









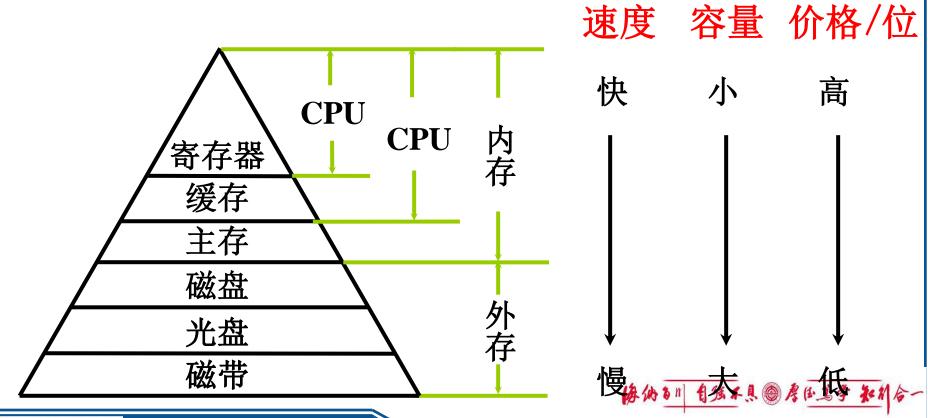




存储器指标



▶ 存储器有3个重要的指标:速度、容量和每位价格, 一般来说,速度越快,位价越高;容量越大,位价 越低,容量大,速度就越低。上述三者的关系:













存储器分类总结





静态 RAM

动态 RAM

主存储器

RON

RAM

MROM

PROM

EPROM

EEPROM

Flash Memory

高速缓冲存储器 (Cache)

辅助存储器 磁盘、磁带、光盘

格的 n 自然不息 @ 厚任笔学 知》合一

存

储

器











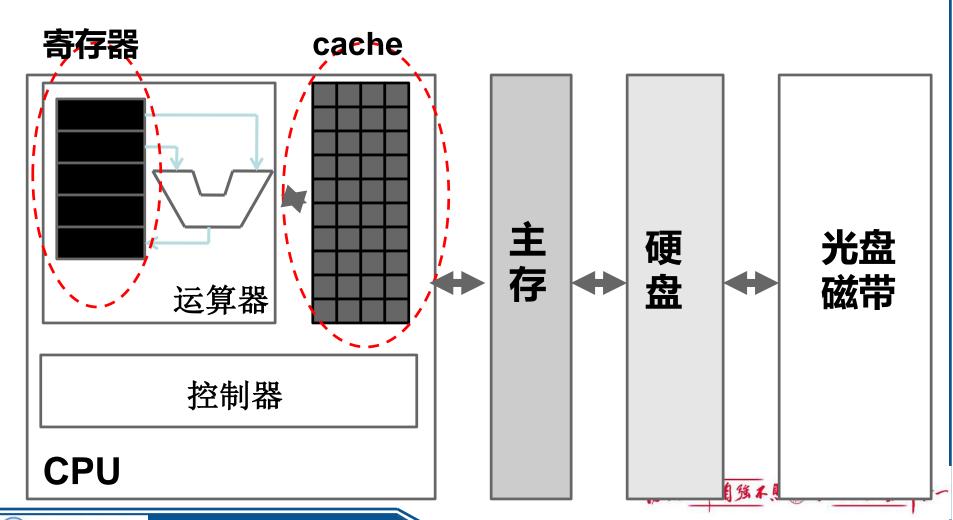


二、存储器的层次结构





1、存储器各层位置及特点















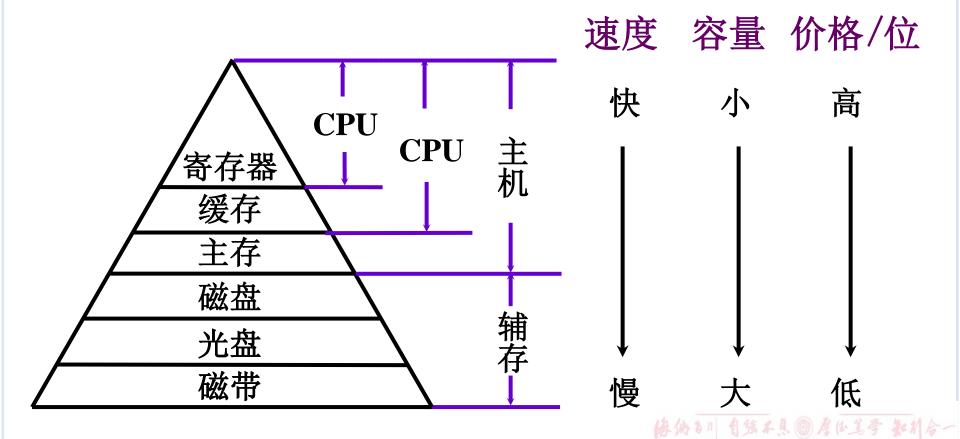


二、存储器的层次结构





1、存储器各层位置及特点











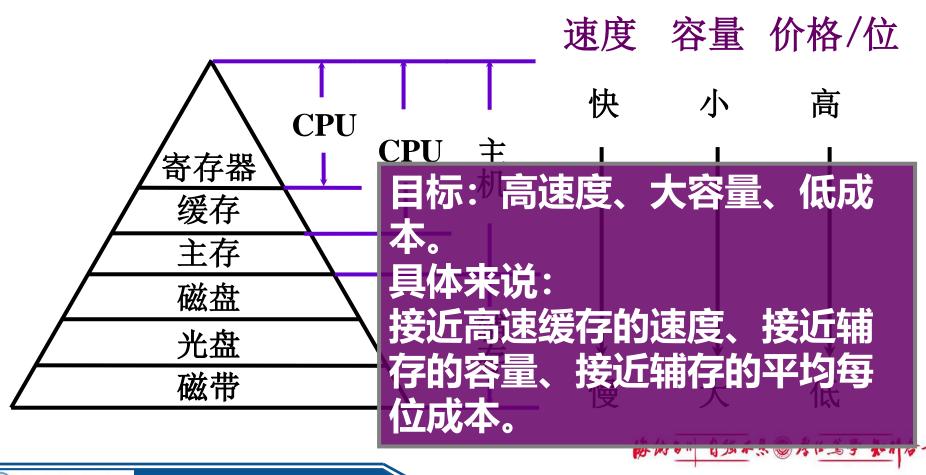


二、存储器的层次结构





1、存储器各层位置及特点









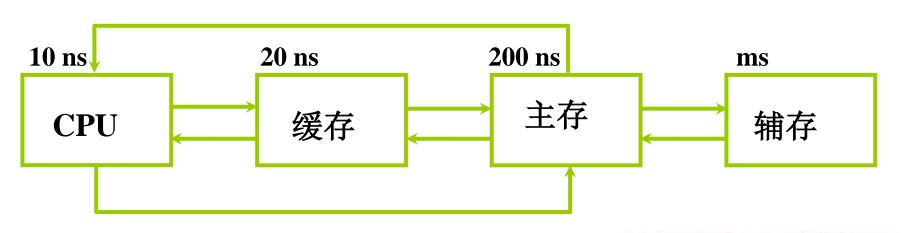






2、两个主要层次

- >缓存——主存层次 主要解决速度匹配和成本问题
- ▶ 主存——辅存层次 主要解决速度、容量、成本问题



梅纳 \$ n 自強不息 ●厚瓜笃学 知外合-













地址空间





- ▶ 虚地址(逻辑地址):程序员编程时采用的地址 (相对地址),地址空间大于实际主存。
- >实地址(物理地址):主存的实际地址

虚硬件: MMU实地

格的 \$ 1 自強不息 @ 厚瓜笃学 知外合一













地址空间





逻辑地址

0 MOV AX, #4

- 1 MOV BX, #2
- 2 MOV CX, #6
- 3 JMP Label
- 4 AND AX, #23
- 5 AND BX, #22
- 6 Label:
- 7 SUB DX, AX

物理地址

20	MOV AX,	#4
21	MOVRY	#2

- 21 | MOV BX, #2
- 22 MOV CX, #6
- 23 JMP Lable

软件: OS

75 AND AX, #23

76 AND BX, #22

7 Lable:

78 | **SUB DX, AX**





存储系统运行遵循的原理(1)

- > 程序运行的局部性原理
 - 程序的局部性原理是指程序总是趋向于使用最近使用过的数据和指令,也就是说程序执行时所访问的存储器地址分布不是随机的,而是相对地簇集,这种簇集包括指令和数据两部分。
 - •程序的时间局部性:是指程序即将用到的信息可能就是目前正在使用的信息。
 - 程序的空间局部性:是指程序即将用到的信息可能与目前正在使用的信息在空间上相邻或者临近。





















存储系统运行遵循的原理(2)

•一致性原则和包含性原则

一致性原则:同一个信息会同时存放于几个层次的存储器中,此时,该信息在几个层次的存储器中必须保持相同值。

包含性原则:处于内层(靠近CPU)存储器中的信息一定包含在各外层的存储器中,即内层存储器中的全部信息一定是各外层存储器信息中一小部分的副本。

各份的11 自然不息 ◎ 厚瓜茑学 知》合一













3.2 主存储器(内部存储器)

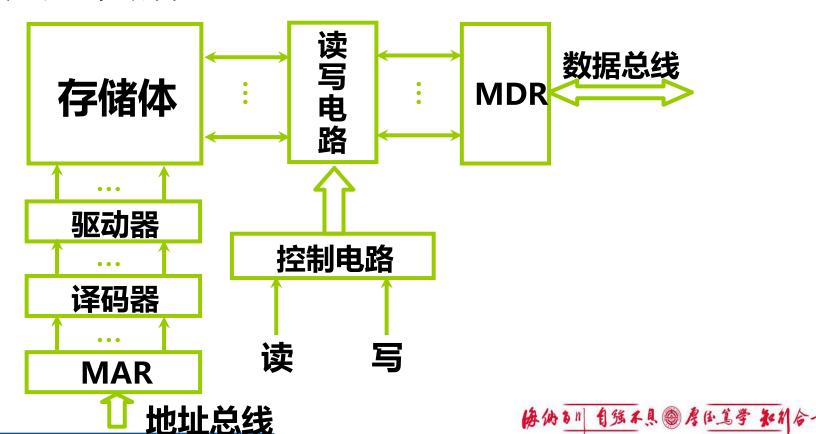




3.2.1 概述

一般是由半导体器件构成的。

1、主存的基本结构











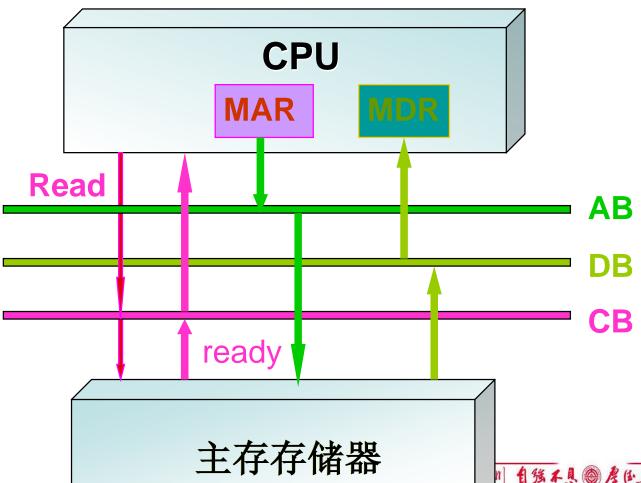


2、主存和CPU的联系





读操作



自強不息圖摩伽篤學 批判合一





计算机组成原理 丁男









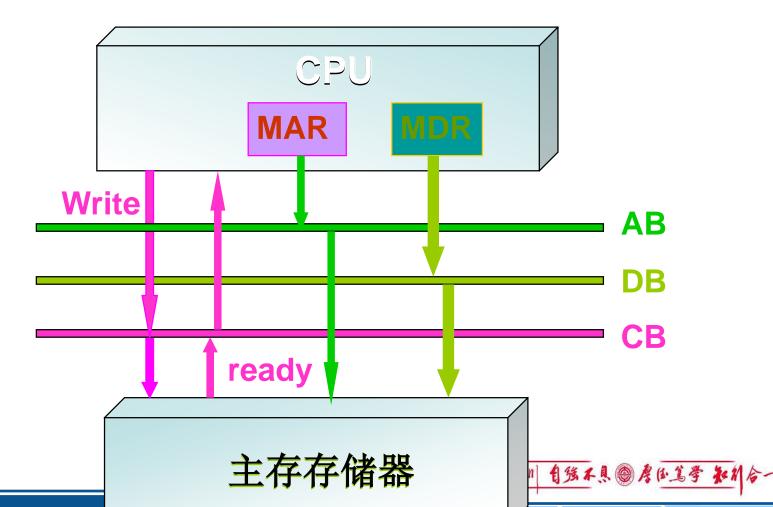


2、主存和CPU的联系





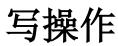
写操作

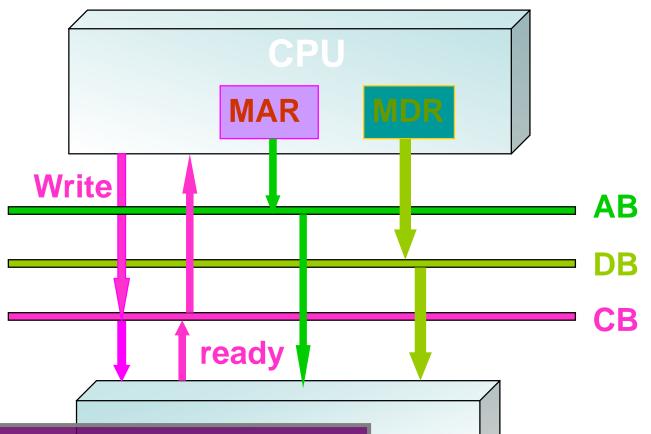


2、主存和CPU的联系









MDR、MAR实际在CPU内部。

自然不息 零化等学 松补合一



计算机组成

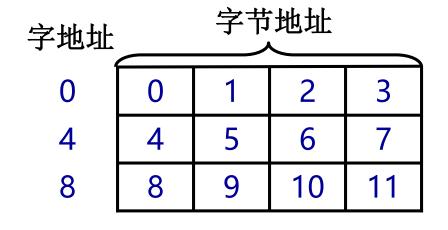






3、主存单元地址





通常计算机可按字节寻址,也可按字寻址

设地址线 24 根 按 字节 寻址 $2^{24} = 16 \text{ M}$

若字长为16位 按字寻址 8M















数据存储模式:大端vs小



- · 端模式 (Endian) 的这个词出自Jonathan Swift书写的《格列 佛游记》。
- · 从圆头开始将鸡蛋敲开的人被归为Big Endian,从尖头开始将鸡蛋敲开的人被归为Littile Endian。
- ・ 数据存储模式:大端模式 (Big Endian)vs小端模式 (Littile Endian)
- · 采用大小模式对数据进行存放的主要区别在于在存放的字节顺 序。







体







数据存储模式:大端vs小端





小端存储方式

0x87654321

数据的低位存储于 内存地址的低位

有的处理器系统采用了小端方式 进行数据存放,如Intel的奔腾。













读取小端数据



32位系统,入口参数为字符指针

```
int readint_little(char *data)
 int a0,a1,a2,a3;
 a0 = *(data++);
 a1 = *(data++);
 a2 = *(data++);
 a3 = *(data++);
 return a0 | (a1<<8) | (a2<<16) | (a3<<24);
```

22H
23H
24H
21
25H
43
26H
65
27H
87

仔的on 自然不息圖摩伽笔學 拟补合-

0x87654321















数据存储模式:大端vs小端





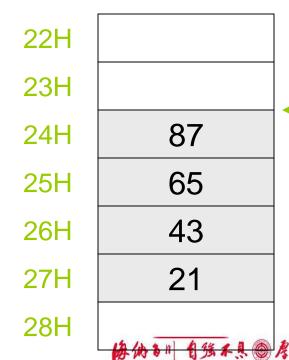
24H

大端存储方式

数据的低位存储于 内存地址的高位

· 有的处理器系统采用了大端方式进行数据存放,如IBM半导体和Freescale的PowerPC处理器。

0x87654321













读取大端数据





32位系统,入口参数为字符指针

```
22H
23H
24H
87
data
25H
65
26H
43
27H
21
```

```
int readint_big(char * data)
 int a0,a1,a2,a3;
 a0 = *(data++);
 a1 = *(data++);
 a2 = *(data++);
 a3 = *(data++);
 return (((((a0<<8) | a1)<<8) | a2)<<8) | a3;
```

0x87654321

















问题:



> 如何用程序判断一个机器是大端还是小端类型?

做的 an 自然不息 ◎厚瓜茑学 知刊合一









解法1



```
int main()
{
    int a=0x44434241;
    int* pa=&a;
    printf("%c\n", *((char*)pa));
    return 0;
}
```

梅纳为Ⅱ 自強不息 ◎ 厚瓜茑学 知刊合一













解法2





```
union test
   int a;
   char c;
int main()
   union test t=\{0x41424344\};
   printf("%c\n", t.c);
   return 0;
```

梅伽的 自強不息 ◎厚低笔学 加利合一















4、主存的技术指标





- ▶ 存储容量: 主存能存放的二进制数的总位数 存储器容量=存储单元个数×存储字长
- > 存储速度:
 - 存取时间:启动一次存储器操作到完成操作的时间。也叫做访问时间。分为读出时间和写入时间。
 - · 存取周期:进行两次连续存储器操作间的最小间隔。MOS型为100ns,TTL型为10ns。
- 字节/秒、字/秒、每个存取周期可访问16位则带宽是32M位/秒。











3.2.2随机存储器 (RAM)





- 1. 静态随机存储器(SRAM)
 - 基本单元电路(一个二进制存储位)
 - 读写时序
- 2. 动态随机存储器(DRAM)
 - 基本单元电路(一个二进制存储位)
 - 读写时序
 - 刷新
- 3. 静态随机存储器和动态随机存储器比较

像份 8 n 自然不息 ◎ 厚任盖学 知外合一















3.2.2静态随机存储器(SRAW)





1、静态随机存储单元

- > SRAM静态存储单元的每个存储位需要4~6个晶体管 组成。比较典型的是六管存储单元,即一个存储单 元存储一位信息"0"或"1"。
- 静态存储单元保存的信息比较稳定,信息为非破坏 性读出,故不需要重写或者刷新操作;另一方面, 其结构简单、可靠性高、速度较快,但其占用元件 较多,占硅片面积大,且功耗大,所以集成度不高。

特点:速度快,功耗较大,集成度较低。作Cache。

各份 \$ 11 自然不息 ◎ 厚任笔学 知》合











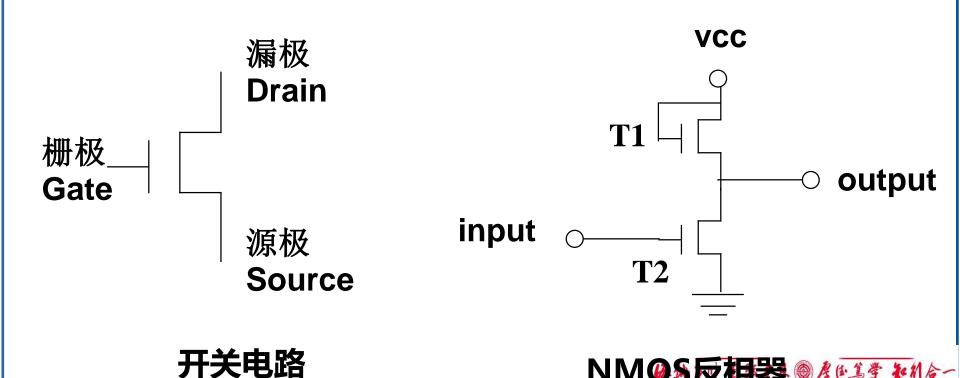






预备知识

MOS管工作在开关状态: 饱和导通 & 截止













NMOS反相器®《心多学》如今一



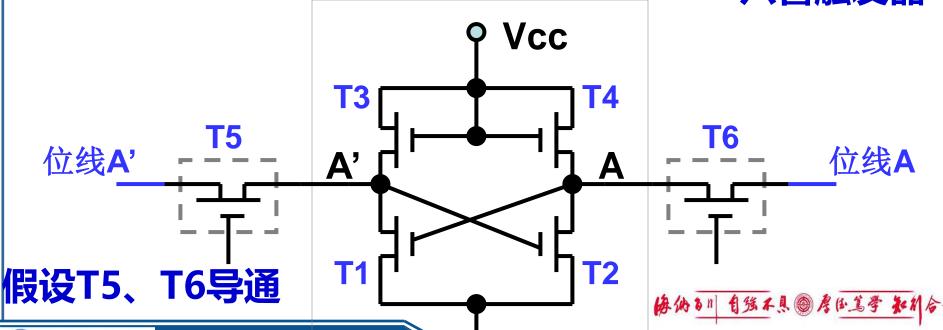






(1) 静态 RAM 基本单元电路

互锁的触发器,A和A'点的电位总相反,A点电位定义为此二进制位的值。 六管触发器











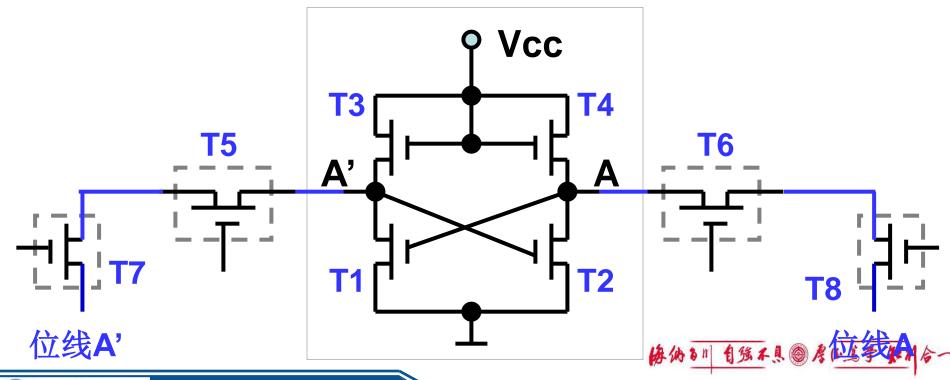


1、静态随机存储器(SRAM



(1) 静态 RAM 基本单元电路

扩展: T5、T6相当于一把锁, T7、T8相当于另一把锁, 两把锁都打开, 方可与外界交换信息







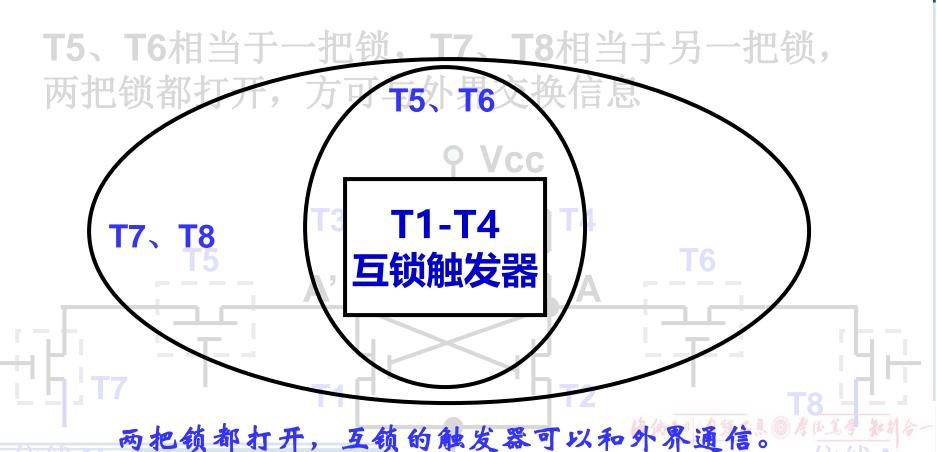








(1) 静态 RAM 基本单元电路

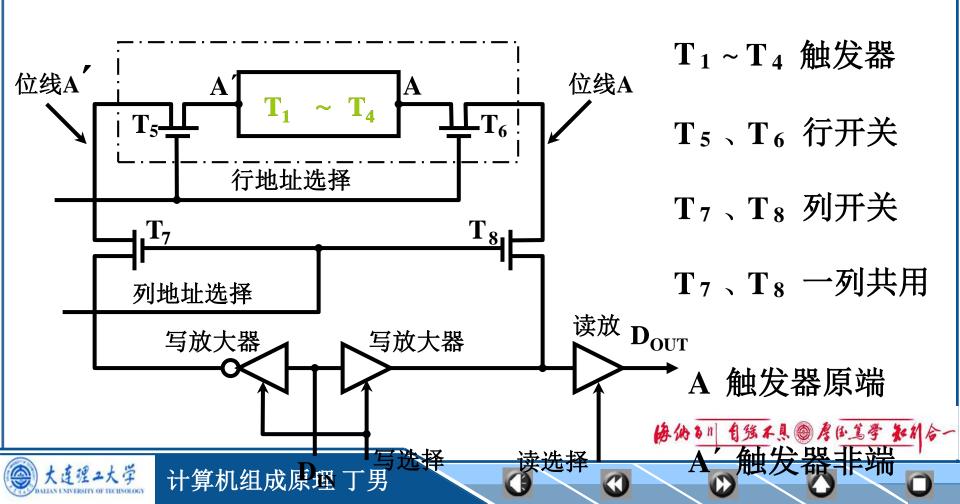


算机否则只要不掉电,信息永久保持。)

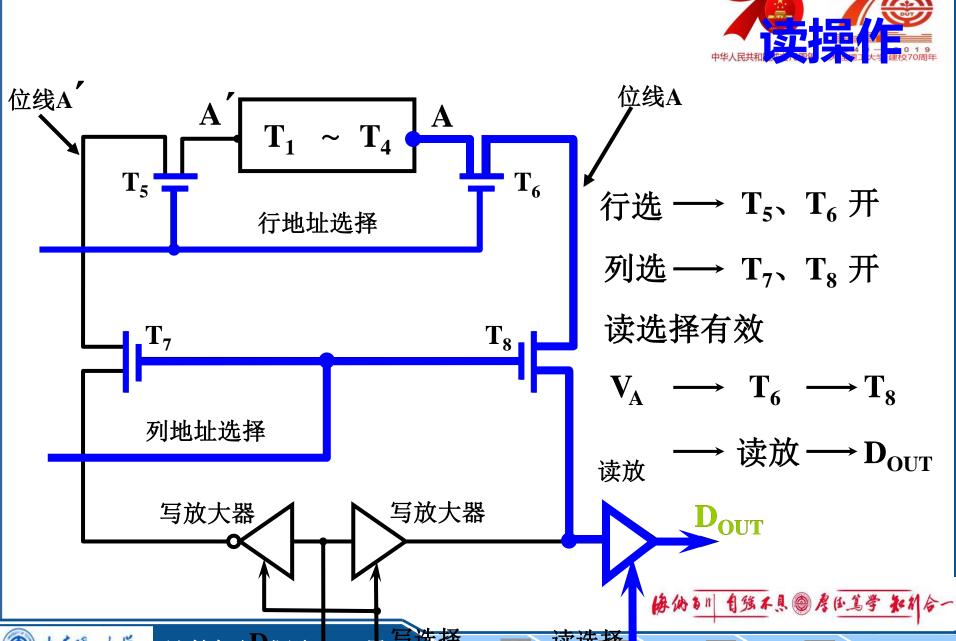
1、静态随机存储器(SRAM)

1949—2019 大连理工大学 建校70周年

(1) 静态 RAM 基本单元电路













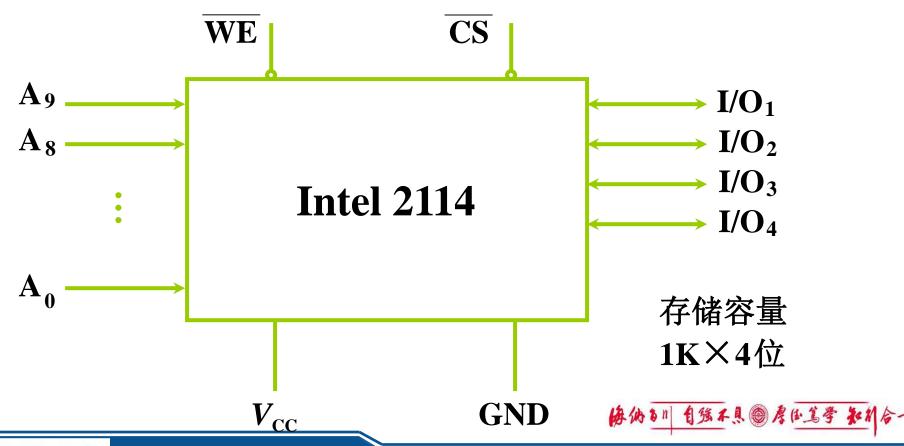


写操作 79 位线A′ 位线A 行选 \rightarrow T₅、T₆ 开 行地址选择 列选 \rightarrow T₇、T₈ 开 写选择有效 $D_{IN} \rightarrow 两个写放$ 列地址选择 读放 写放 写放 写选择 读选择 (左) D_{IN} 一反相 一 T_7 一 T_5 一A $\mathbf{D}_{\mathbf{IN}}$ 计算机组成原理 丁男

(2) 静态RAM举例: 2114 **/**







(3) 静态RAM读时序 地址有效 地址失效 RC A 片选有效 片选失效 **CS** CO **OHA** $\mathbf{D}_{\mathrm{OUT}}$ 高阻 数据有效 数据稳定 we始终为高电平,略 梅纳 5 n 自然不息 ●厚化笔学 知利合一

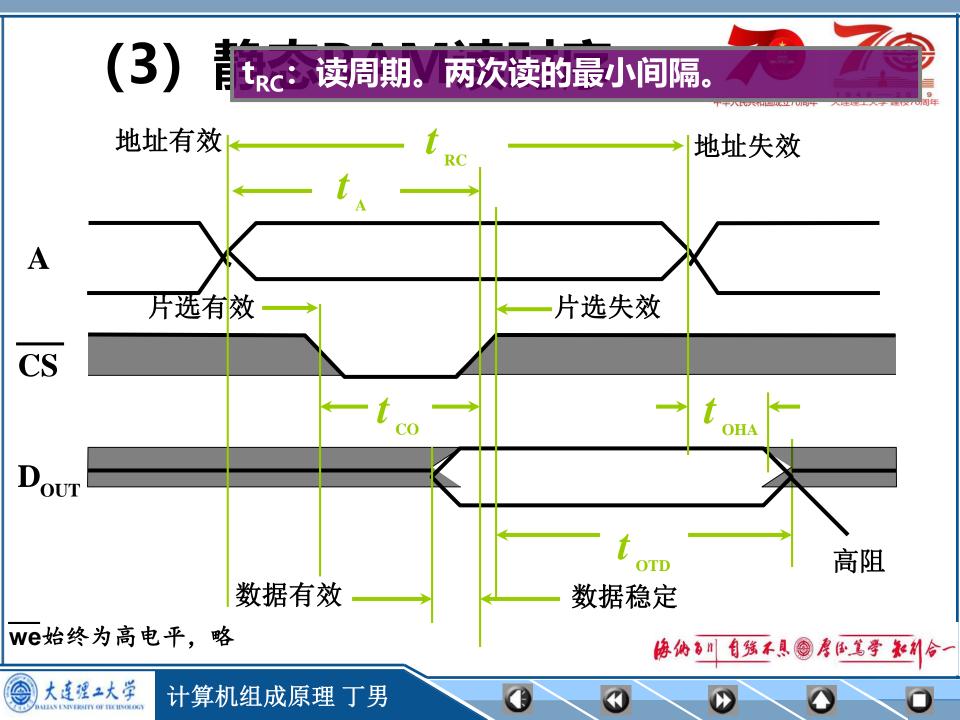


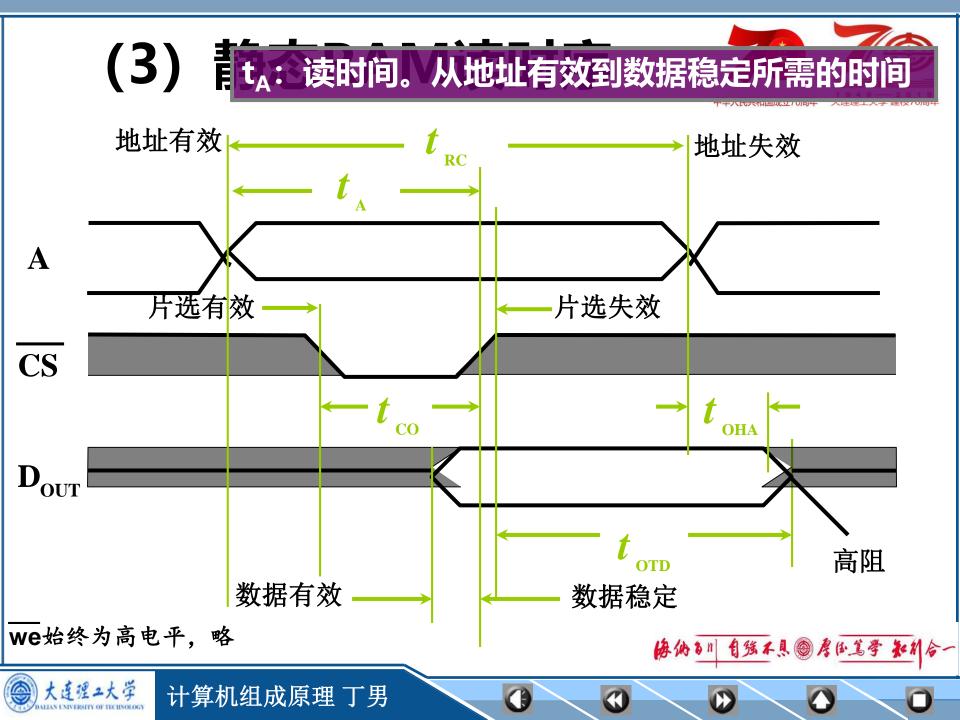




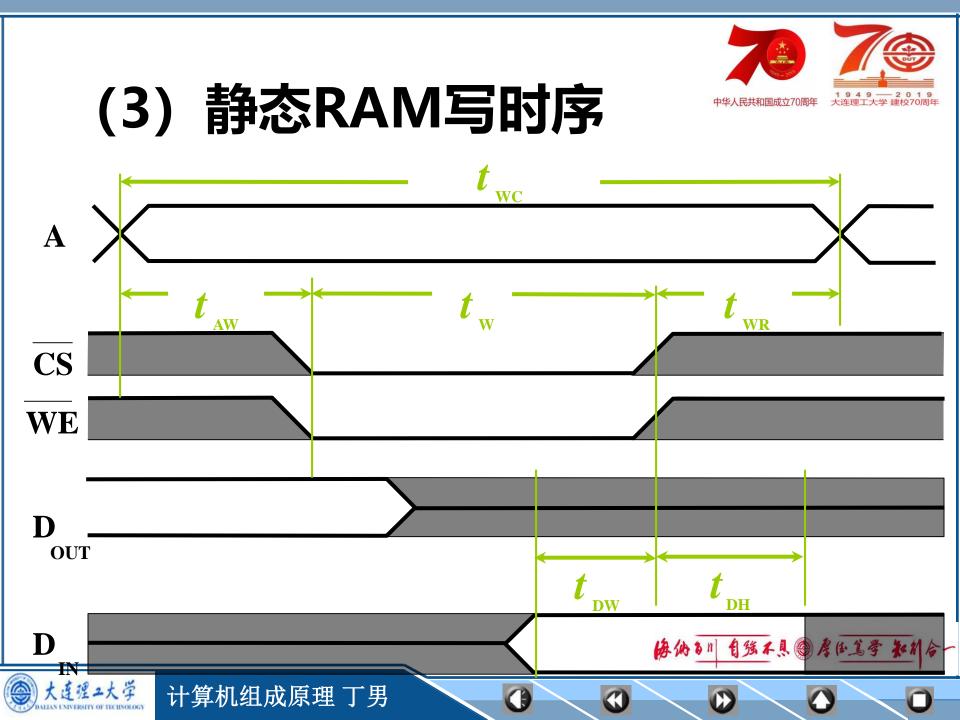


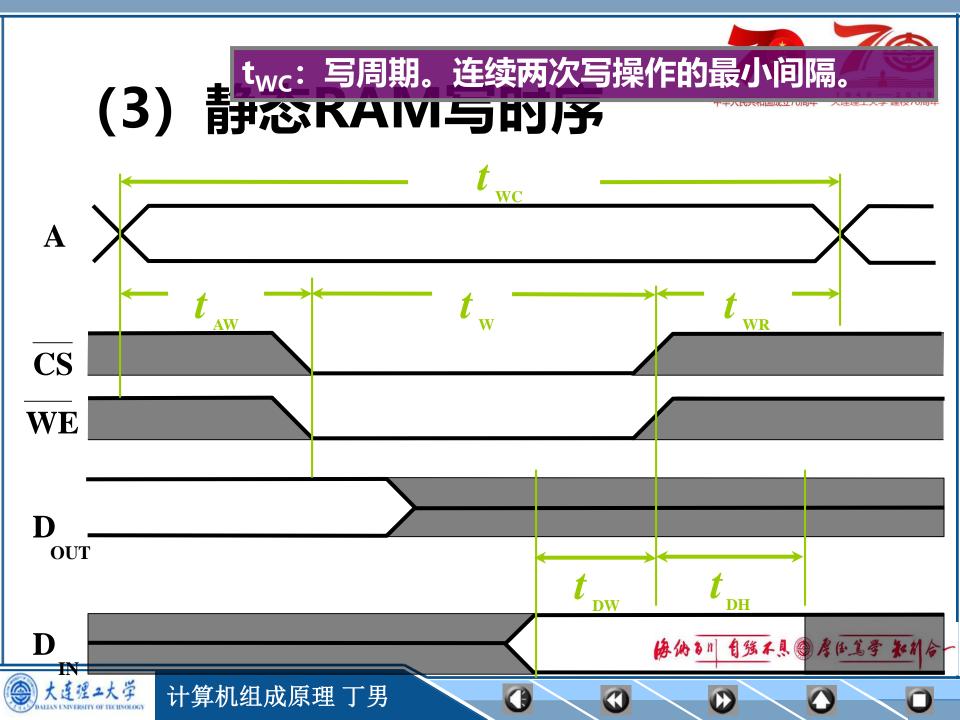


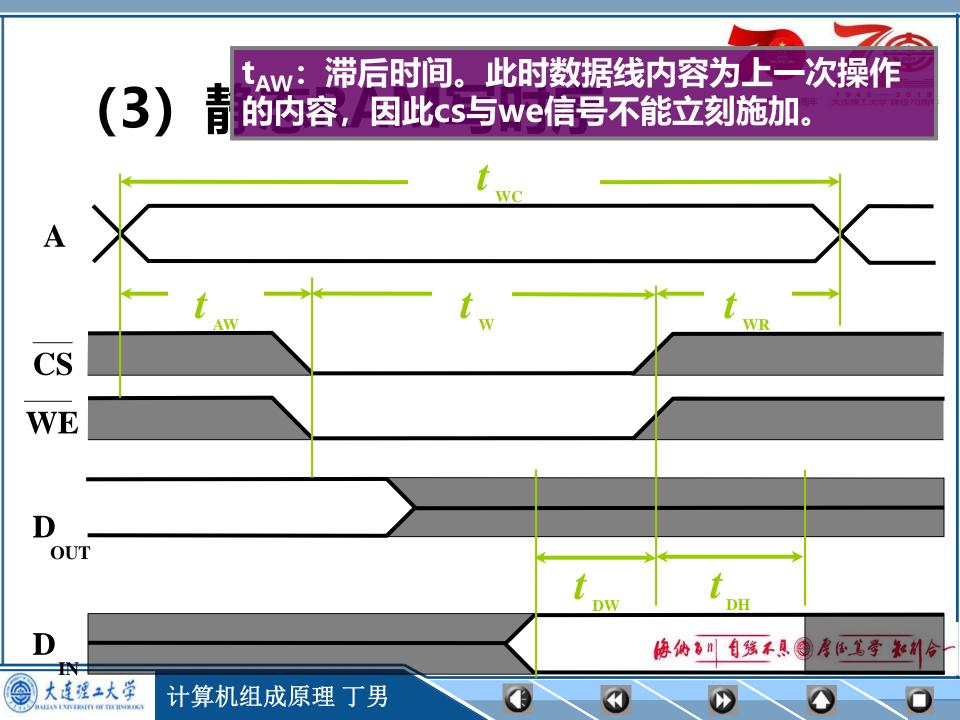


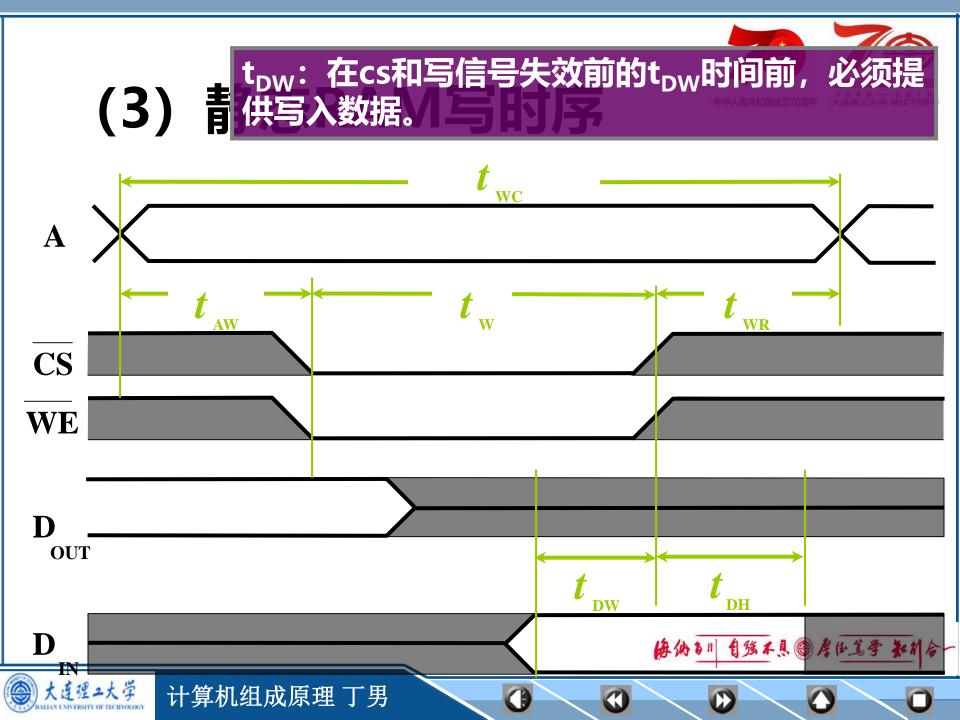


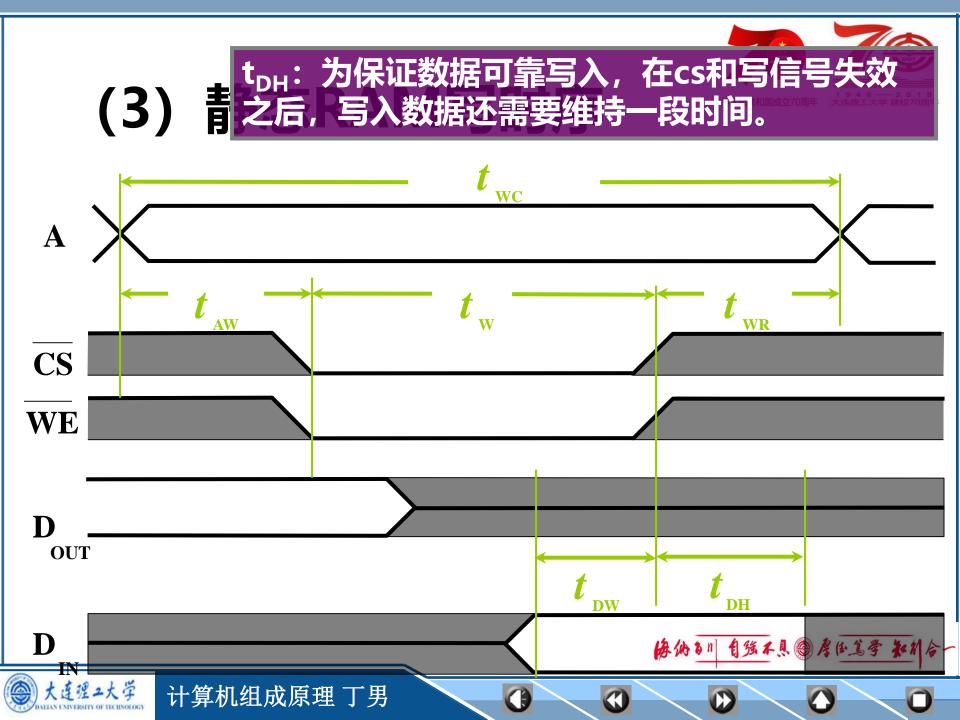
t_{co}: 从片选有效到输出稳定的时间。 **(3)** 青步心KAIVI头的几乎 地址有效 地址失效 A 片选失效 片选有效 CS CO **OHA** $\mathbf{D}_{\mathrm{OUT}}$ 的的 自然不息 数据有效 ● 大连理二大学 计算机组成原理 丁男 (1) 0











2 动态随机存储器(DRAM)





(1) 动态随机存储单元

- ▶常见的动态RAM存储单元有三管式和单管式两种,它们的共特点是靠电容存储电荷的原理来寄存信息。若电容上存有足够的电荷表示"1",电容上无电荷表示"0"。
- ▶ 电容上的电荷一般只能维持1-2ms,即使电源不掉电,电容上的电荷会自动消失。因此,为保证信息的不丢失,必须在2ms之内就要对存储单元进行一次恢复操作,这个过程称为刷新。

像的 an 自強不息 ◎厚瓜茑学 知们合一













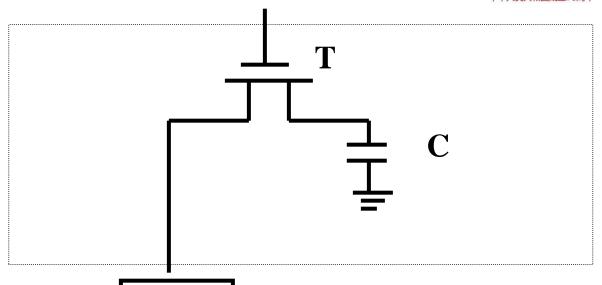


动态随机存储器DRAM





行选择信号(Z)



刷新 放大器

C: 记忆单元

T:控制门管

数据输入/输出线(W)

单管DRAM存储元





列选择信号















- (2) DRAM存储信息原理: 依靠电容存储电荷的原理 存储信息。
- (3)特点:功耗较低,集成度较高,速度较快。作主存,目前被各类计算机广泛使用。

- •单管单元是破坏性读出,读出后需重写。
- •在读出时,读出放大器又使相应的存储单元的存储 信息自动恢复(重写),所以读出放大器还用作再生 放大器。

梅纳的N 自強不息●厚任羔学 拟们合一















在一些实际的DRAM存储芯片中,如16K×1b的动态存储器,为了减少封装引脚数,地址码分两批(每批7位)送入存储器。先送行地址,后送列地址。

- ✓行地址由行地址选通信号RAS送入行地址锁存器, 再通过行地址译码器输出7:128线。
- ✓列地址由列地址选通信号CAS送入列地址锁存器, 再通过列地址译码器进行译码输出7:128线。















(4) DRAM的刷新

> 刷新定义和原因

定期向电容补充电荷——刷新

动态存储器依靠电容电荷存储信息。平时无电源供电,时间一长电容电荷会泄放,需定期向电容补充电荷,以保持信息不变。

▶ 刷新方法

各动态芯片可同时刷新,片内按行刷新(按行读)。

刷新一行所用的时间 —— 刷新周期(存取周期)

刷新一块芯片所需的刷新周期数由芯片矩阵的行数决定。

> 刷新周期的安排方式

集中式刷新 分散式刷新 异步刷新











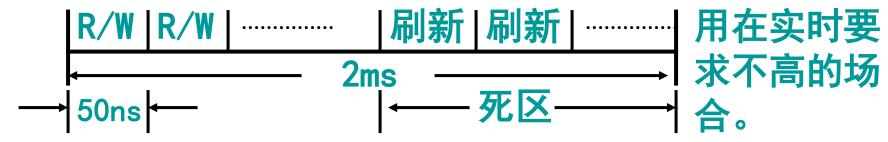
对主存的访问

CPU访存:由CPU提供行、列地址,随 机访问。

动态芯片刷新:由刷新地址计数器提 供行地址,定时刷新。

① 集中式刷新

2ms内集中安排所有刷新周期。



② 分散式刷新

各刷新周期分散安排在存取周期中。

用在低速系 统中。

③ 异步刷新





各刷新周期分散安排在2ms内。

每隔一段时间刷新一行。

2ms 128行 ≈15.6 微秒 每隔15.6微秒提一次刷新请求, 刷新一行; 2毫秒内刷新完所有 行。

用在大多数计算机中。

梅纳的 自強不息圖厚任為學 知利合一









DRAM存储单元的刷新





刷新方式	刷新方法	中华人民共和国成立70周年 大连理工大学 建校70周年 十十二十二十二十二十二十二十二十二十二十二十二十二十二十二十二十二十二十二十
集中式	在整个刷新间隔内,前一段时间重复进行读/写周期或维持周期,等到需要进行刷新操作时,便暂停读/写或维持周期,而逐行刷新整个存储器	集中时间刷新。有死区时 间存在,逐行刷新。适 合于高速存储器
分散式	把一个存储系统周期分为两半,周期前半段时间tm用来读/写操作或维持信息,周期后半段时间作为刷新操作时间。这样,每经过n个系统周期时间,整个存储器便全部刷新一遍	逐行刷新。没有死时间。 浪费比较大,因为刷新 时间比允许的短许多
异步式	保证在一个刷新周期内将存储芯片 内的所有行刷新一遍,可能等时 间间距,也可能不等	结合了以上两者的优点, 实际应用比较有优势
		各分为 1 有能工具 圖度体質學 知如 A

















3、静态RAM和动态RAM比较。



DRAM

SRAM

存储原理

电容

触发器

集成度

高

低

芯片引脚

少

多

功耗

小

大

价格

低

高

速度

慢

快

刷新

有

无

主存

缓存













3.2.3 只读存储器





1. 只读存储器(ROM)

▶ 由芯片制造商在制造时写入内容,以后只能读而不能再写入。 其基本存储原理是以元件的"有/无"来表示该存储单元的 信息("1"或"0"),可以用二极管或晶体管作为元件, 存储内容不会改变。

2. 可编程序的只读存储器 (PROM)

➤ 可由用户根据自己的需要来确定ROM中的内容,常见的熔丝式PROM是以熔丝的通和断开来表示所存的信息为"1"或"0"。刚出厂的产品,其熔丝是全部接通的。根据需要断开某些单元的熔丝(写入)。断开后的熔丝不能再接通了,因而是一次性写入的存储器。掉电后不会影响其所存储的内容。















只读存储器





- 3. 可擦可编程序的只读存储器(EPROM)
- ➤ 为了能修改ROM中的内容,出现了EPROM。利用浮动栅MOS电路保存信息,信息的改写用紫外线照射即可擦除。
- 4. 可电擦可编程序只读存储器(E2PROM)
- ➤ 编程序原理与EPROM相同,但擦除原理完全不同,重复改写的次数有限制(因氧化层被磨损),一般为10万次。其读写操作可按每个位或每个字节进行,类似SRAM,但每字节的写入周期要几毫秒,比SRAM长得多。每个存储单元采用2个晶体管。其栅极氧化层比EPROM薄,因此具有电擦除功能。

好的 1 1強不具 @厚瓜莲学 取引合-













3.2.4 主存容量的扩展方式



一、主存储器的组成与控制

- ▶主存储器: 计算机中存放当前正在执行的程序及其 使用数据的存储器。
- ▶ 存储器的地址Ai:对存储单元进行顺序编号。
- ▶ 地址空间S:地址长度所限定能访问的存储单元数目。

像的 an 自強不息 ◎厚瓜茑学 知们合一









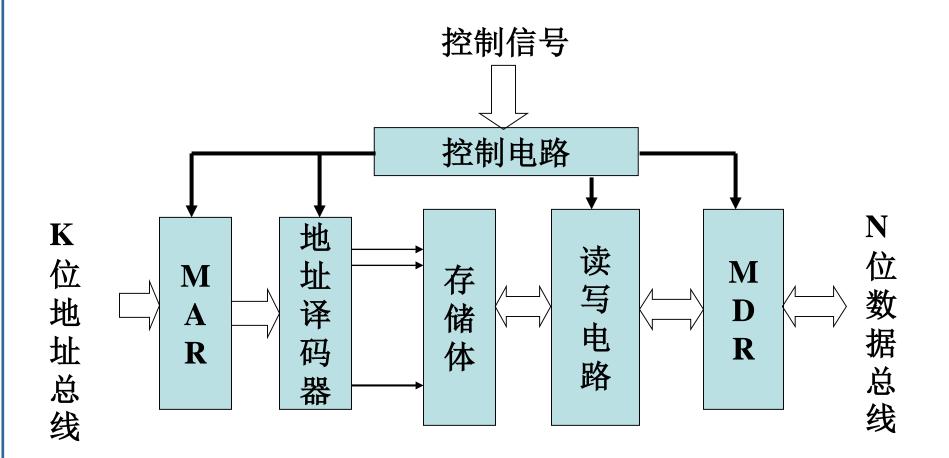




主存储器的基本组成







格的 an 自然不息 @ 厚瓜莲学 知》合一







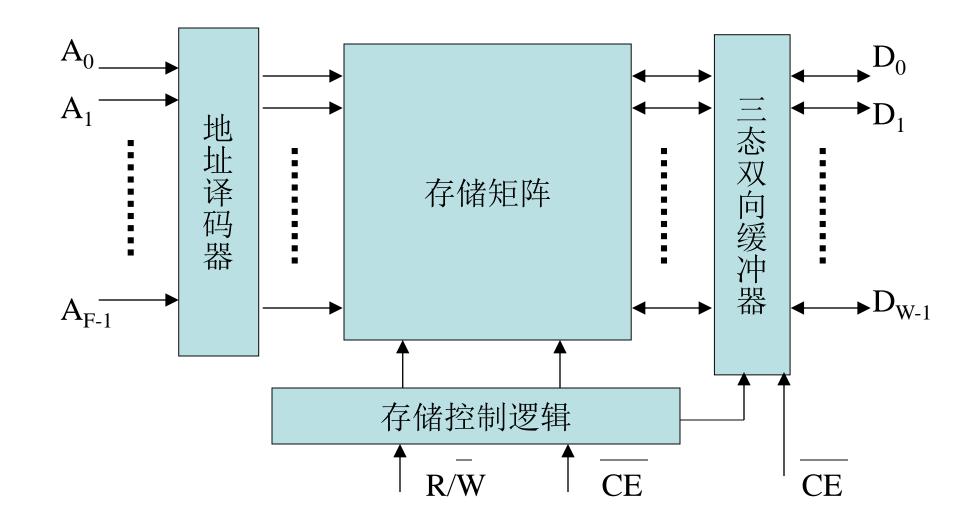






存储器的结构及功能

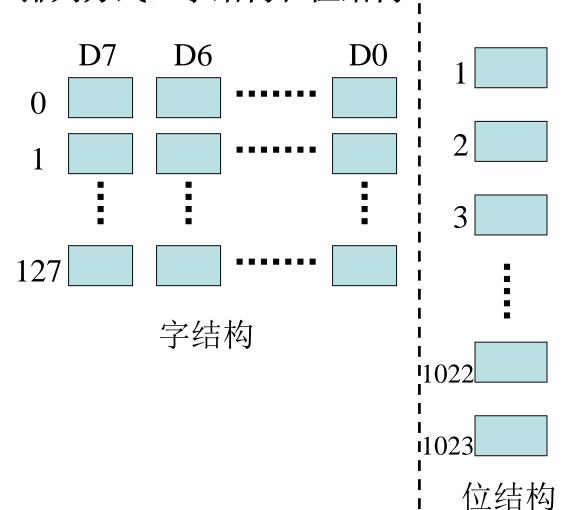
1. 半导体存储器的基本组成



2. 存储矩阵

一个基本单元电路只能存放一位二进制信息,为保存大量信息,存储器中需要将许多基本单元电路按一定的顺序排列成阵列形式,这样的阵列称为存储矩阵。排列方式:字结构和位结构。

- ▶ 字结构:同一芯片存放一个字的多位,如8位。
 - ✓ 优点:选中某个单元,其包含的各位信息可从同一芯片读出。
 - ✓ 缺点: 芯片外引线较多,成本高。
 - ✓适合容量小的静态RAM。
- ▶ 位结构: 同一芯片存放多个 字的同一位。
 - ✓ 优点: 芯片的外引线少。
 - ✓ 缺点:需要多个芯片组合。
 - ✓ 适合动态RAM 和大容量静态RAM。



3. 地址译码器

中华人民共和国成立70周年 大连理工大学 建校70周年

- 功能:接收系统总线传来的地址信号,产生地址译码信号后, 选中存储矩阵中的某个或几个基本存储单元。
- > 从结构类型上分类: 单译码, 双译码
 - 单译码方式适合小容量的存储器
 例如:地址线12根,对应4096个状态,需要4096根译码线。
 - 双译码方式适合大容量存储器(也称为矩阵译码器) 分X、Y两个方向的译码

例如:地址线12根,X、Y方向各6根,

64×64=4096个状态, 128根译码线。





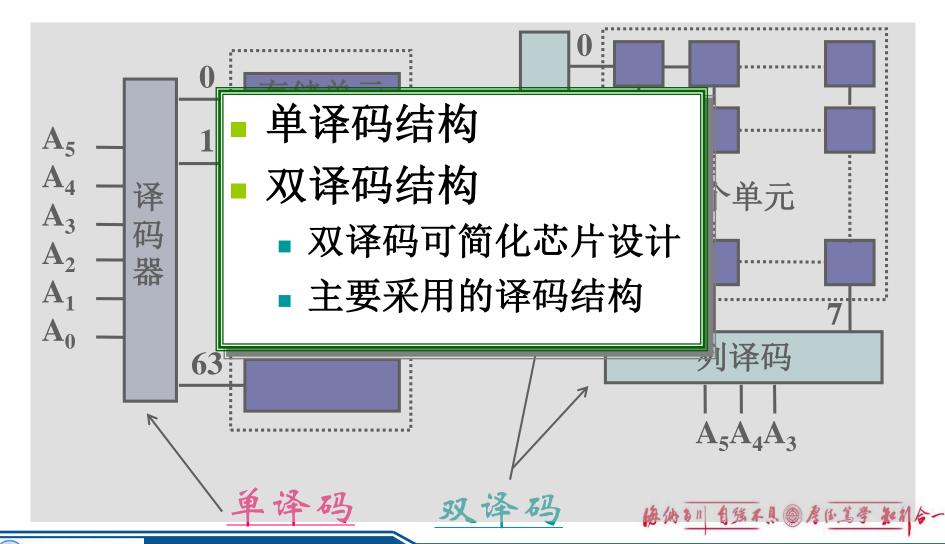






地址译码电路





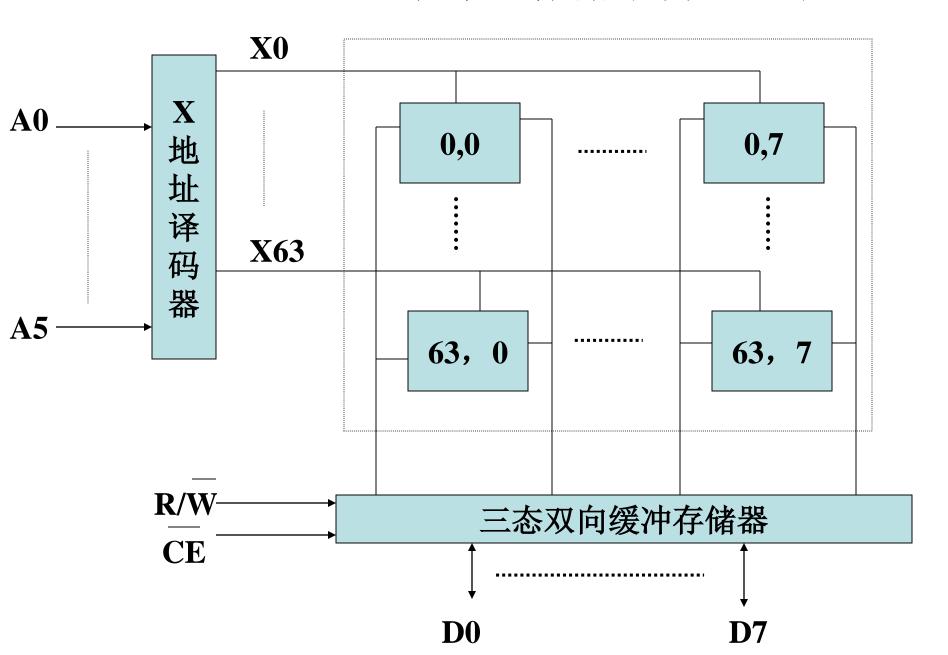






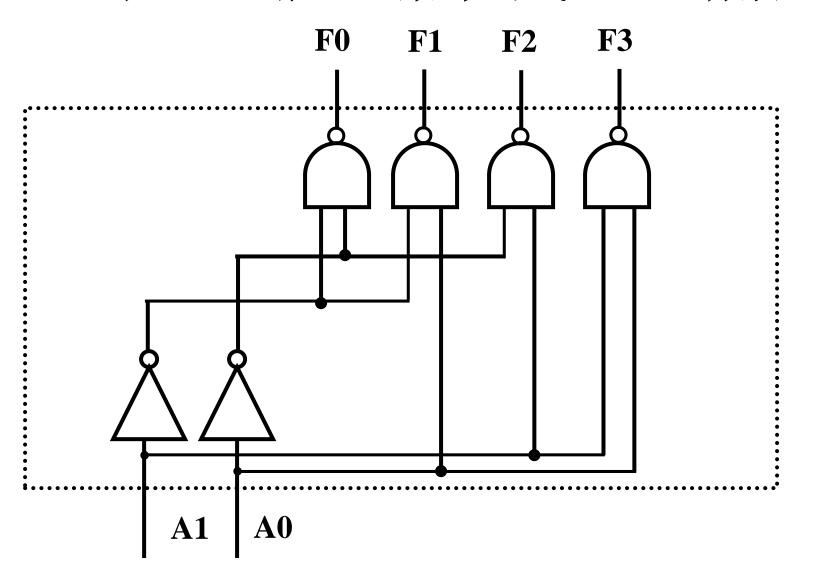


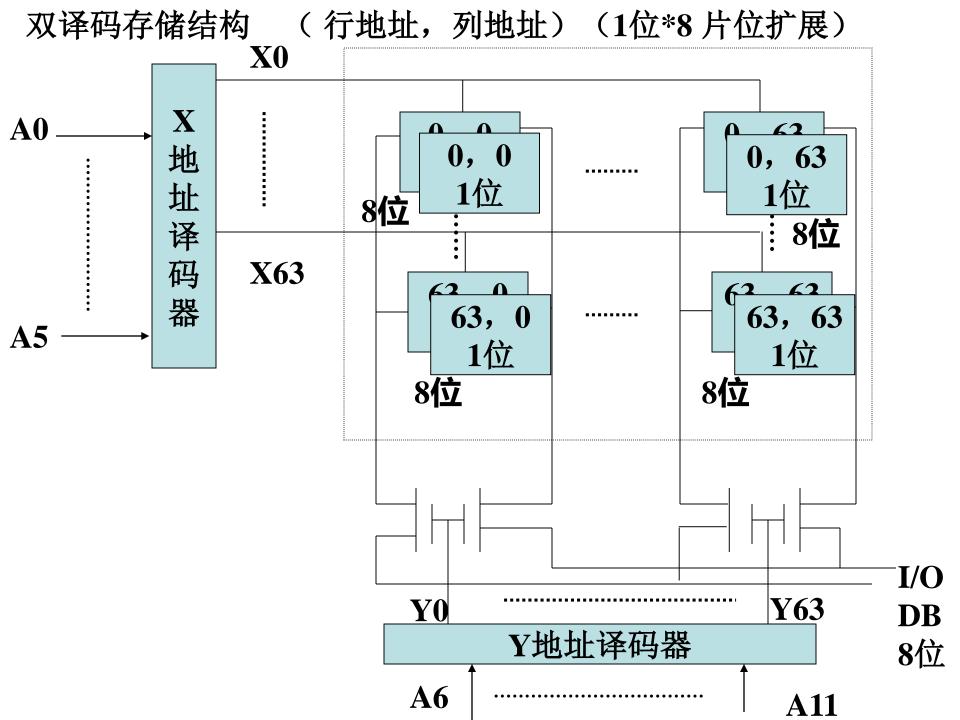
单译码存储结构 64*8位



2位地址单译码示例:

2位地址码产生4条译码线("0"有效)







4. 存储器控制电路

▶ 功能:通过存储器控制信号的引线端接收来自CPU 或外部电路的控制信号,经过组合变换后对存储矩阵、 地址译码器和三态双向缓冲器MDR进行控制。

▶ 基本引脚: CE (或CS), R/W (或WE、OE)

各份 \$ n 自然不息 ◎ 厚瓜茑学 知》合一













二、主存储器容量的扩展





- ▶ 一个存储器的芯片的容量是有限的,它在字数或字长方面与实际存储器的要求都有很大差距,所以需要在字向和位向进行扩充才能满足需要。根据存储器所需的存储容量和所提供的芯片的实际容量,可以计算出总的芯片数。
- ▶ 存储容量:存放信息的总数,容量=存储字数×字长。 通常以字节 Byte为单位B、KB、MB、GB、TB
- ▶ 存取时间T_A:是存储器从接到寻找存储单元的地址码开始,到 读出或存入数据为止所需的时间。
- ightharpoonup 存储周期 T_M : CPU连续两次访问存储器所需要的最短时间间隔。存储周期略大于存取时间,即 $T_M > T_\Delta$ 。











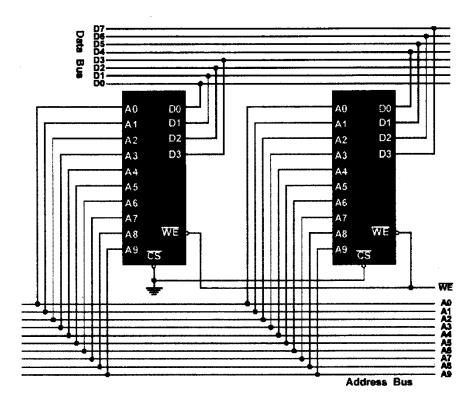
二、主存储器容量的扩展



1. 位扩展

中华人民共和国成立70周年

- > 用多个存储器器件对字长进行扩充。
- ▶ 连接方式是将多片存储器的地址线、片选端、读/写控制端 R/W相应并联,数据端分别引出。



1K×4的SRAM存储芯片构成1K×8的存储器(位扩展)。











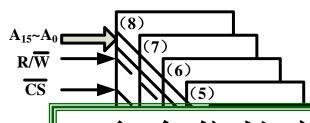


主存储器容量的扩展

中华人民共和国成立70周年 大连理工大学 刻

位扩展(增加存储字长)

利用多个芯片扩充数据位。



- 多个位扩充的存储芯片的数据线 连接于系统数据总线的不同位
- 其它对应连接
- 这些芯片应被看作是一个整体



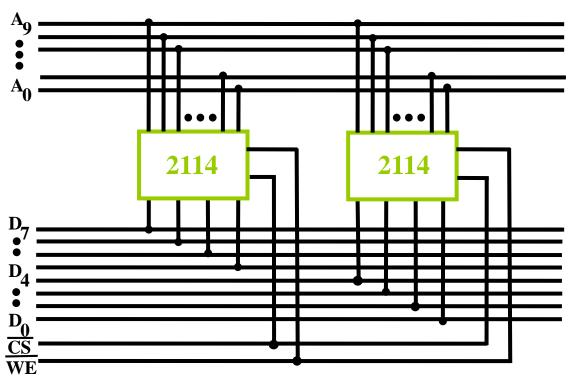








例: 用 2片2114(1K×4位)SRAM芯片组成容量为 1K×8位的存储器。



梅纳的N 自強不息●厚任羔学 拟们合一







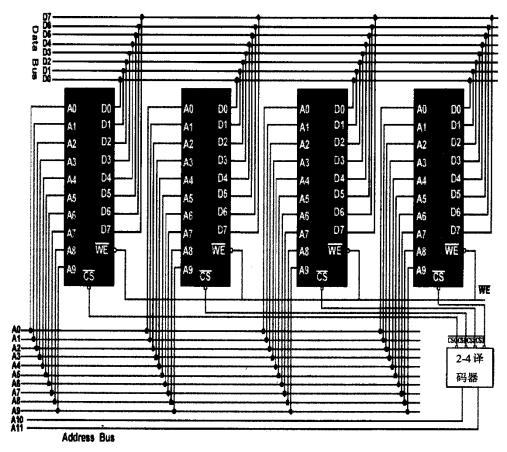




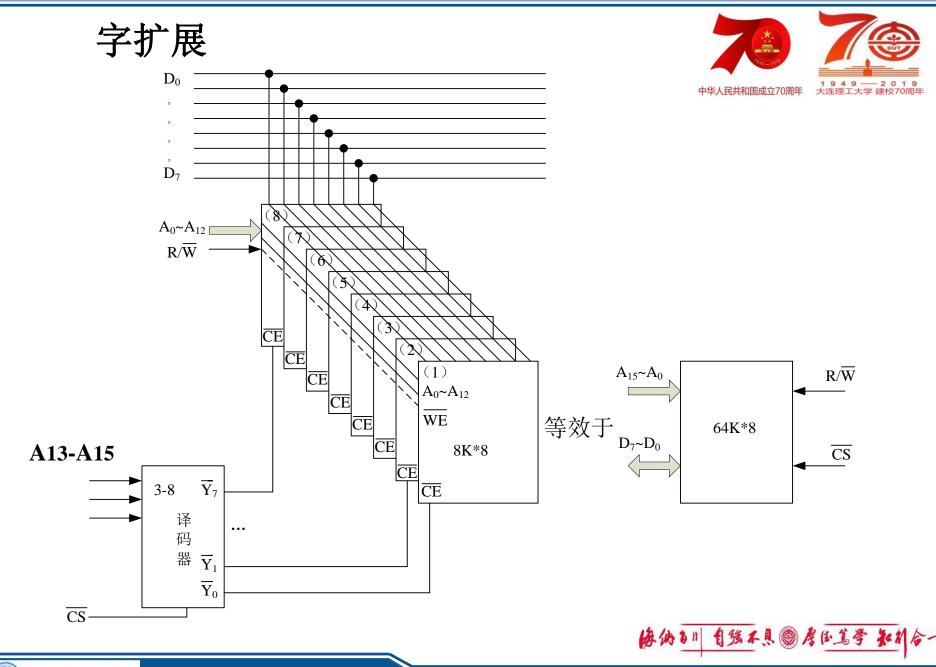


2. 字扩展 主存储器容量的扩展

- > 增加存储器中字的数量。
- ➤ SRAM进行字扩展时,将各芯片的地址线、数据线、读/写控制线相应并联,而由片选信号来区分各芯片的地址范围。



1K×8 SRAM存储芯片构成4K×8的存储器(字扩展)

















采用专用译码器扩展





常用的采用专用译码器有2:4线译码器74139,

3:8线译码器74138和4:16线译码器4067等。

例:主存储器容量为64K×8位,而选用的存储器芯片容量为

16K×8位,则主存储器由4个芯片组成。

16K芯片内的低14位地址直接连到地址总线的A13~A0。

片外高位地址A15A14采用2 : 4译码器进行选择。

低位地址分配给芯片内, 高位地址形成片选逻辑。

依依 n 自然不息 ◎ 厚瓜莲学 知》合一













地址分配范围





芯片号	选片地址	片内地址	地址范围
	A15A14	A13A12A11A10A9A8A7A6A5A4A3A2A1A0	
1	0 0	0 0 0 0 0 0 0 0 0 0 0 0	0000H~
		1 1 1 1 1 1 1 1 1 1 1 1	3FFFH
2	0 1	0 0 0 0 0 0 0 0 0 0 0 0	4000H~
		1 1 1 1 1 1 1 1 1 1 1 1	7FFFH
3	1 0	0 0 0 0 0 0 0 0 0 0 0	8000H~
		1 1 1 1 1 1 1 1 1 1 1 1	BFFFH
4	1 1	0 0 0 0 0 0 0 0 0 0 0	C000H~
		1 1 1 1 1 1 1 1 1 1 1 1	FFFFH

梅伽 5 n 自強不息 ◎ 厚瓜兰学 知剂合一





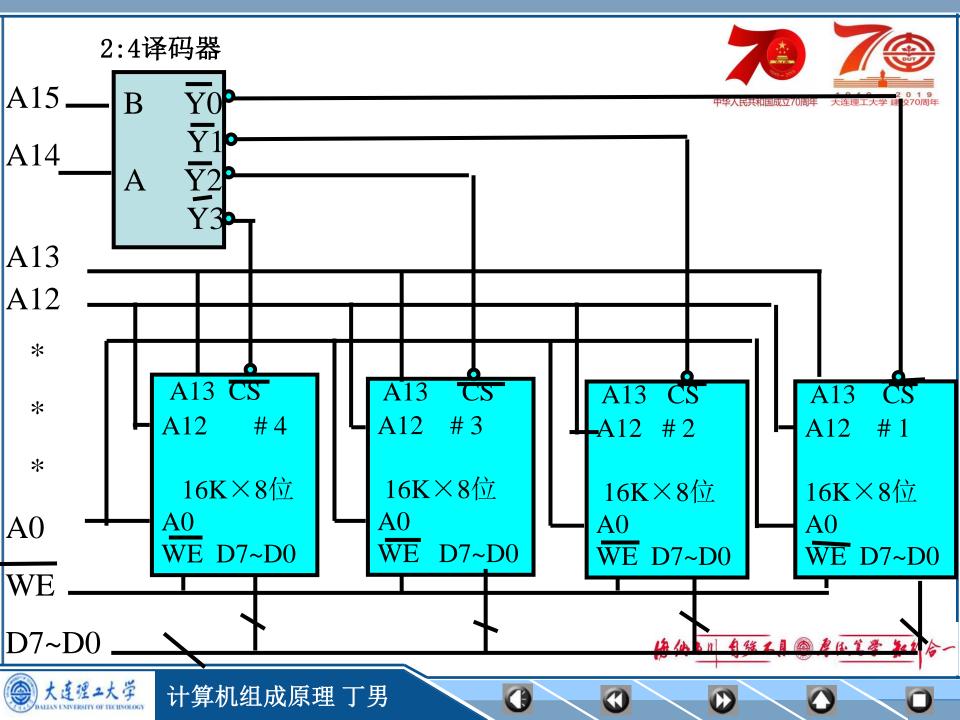












3. 字位扩展

- ▶字向和位向同时扩充。
- · 按字长(位)方向扩展的芯片视为1组,并使该组内的芯片同时工作;
- 再在增加字数方向扩展组,且使各组芯片分时工作。

如果一个存储器的容量为M×N位,若使用L×K位存储器芯片,则该存储器共需要M/L×N/K个存储器芯片。

例:要组成16M×8位的存储器系统,目前有芯片规格为4M×1位, 需用16/4 × 8/1=32片,如图所示。

图中每行8片构成一个字节,是位扩展;4列构成4M为字扩展。若有芯片规格为2M×4位,则需用16片若有芯片规格为8M×8位,则需用2片





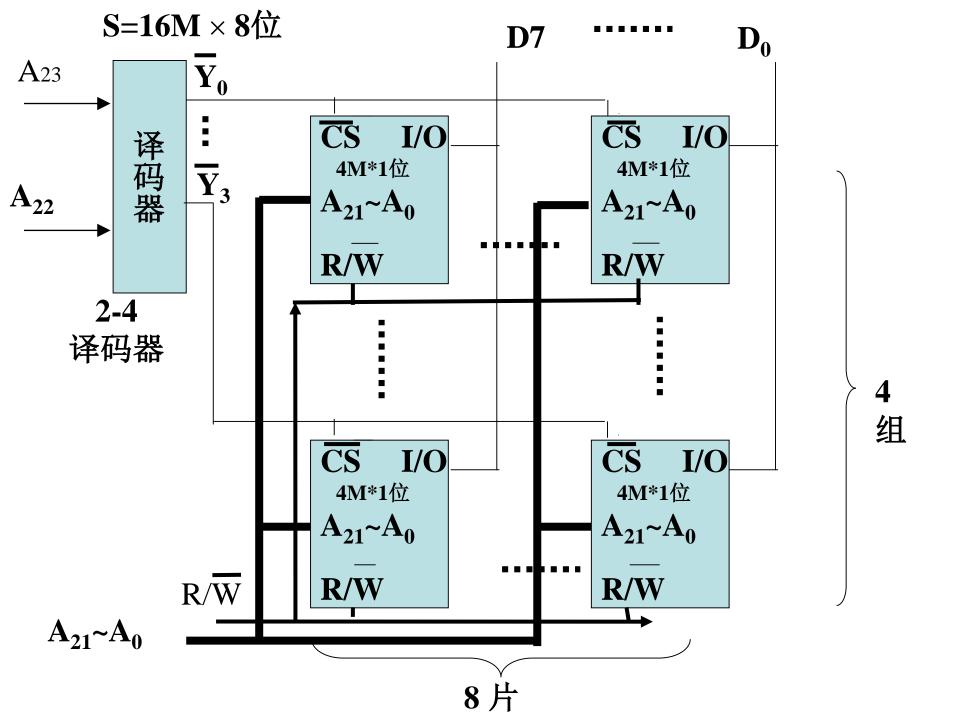












▶ 各排芯片的地址范围(从上到下排列):





A23A22 A21A20A19-----A0

- 1. 0 0 0 0 0 ---- 0 000000H~
 - 0 0 1 1 1 ----- 1 3FFFFFH
- 2. 0 1 0 0 0 ---- 0 400000H~
 - 0 1 1 1 1 ----- 1 7FFFFFH
- 3. 1 0 0 0 0 ---- 0 800000H~
 - 1 0 1 1 1 ----- 1 BFFFFFH
- 4. 1 1 0 0 0 ---- 0 C00000H~
 - 1 1 1 1 1 ----- 1 FFFFFFH

傣伽るN 自強不息◎厚瓜笃学 知们合一









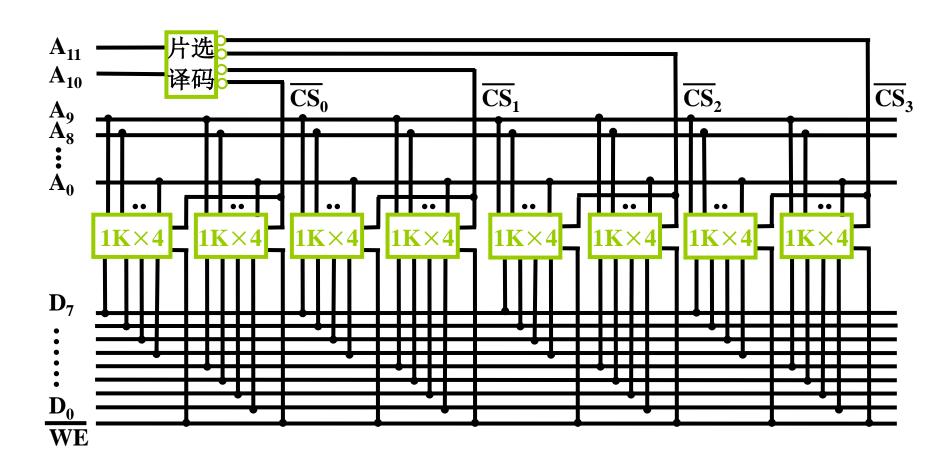


字、位扩展

用 8片 1K×4位 存储芯片组成 4K×8位 的存储器

12根地址线

8根数据线



三、访存地址的译码方式





关于选片地址的译码有全译码和部分译码之分。

(1) 全译码方式

▶指选片地址全部参加译码,有两种情况需采用全译码:

- 实际使用的存储空间与CPU可访问的最大存储空间相同。
- 实际使用的存储空间小于CPU可访问的最大存储空间,而对实际空间的地址范围有严格的要求。







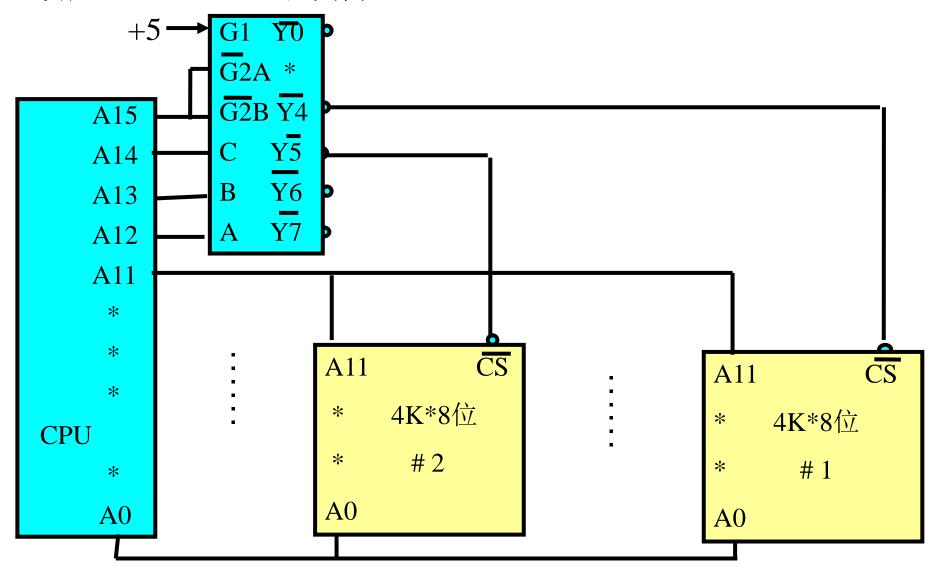








例: CPU地址线有16根,可访存的最大存储空间为64KB。系统中实际使用的存储空间为8KB,选用存储芯片容量为4K×8位,并要求其地址范围必须在4000H~5FFFH范围内。



➤ 地址范围:

A15A14A13A12 A11A10 ~ A1A0

Y0 0 0 0 0 0 0 0 0 0 0 0000H~

0 0 0 1 1 ~ 1 1 0FFFH

Y1 0 0 0 1 1 1 ~ 1 1 1 1 FFFH

可见,按这种译码方式,当前使用的存储空间其地址范围被严格定义在4000H~5FFFH这8KB范围内,其系统最大可扩充到32KB的存储空间。

全译码方式的特点: 所使用的芯片的地址范围是唯一的。

像伽るn 自強不息@厚瓜笃学 知们合一













(2) 部分译码

当实际使用的存储空间比CPU可访问的最大存储空间小,而且 对其他地址范围没有严格要求的情况下可采用部分译码方式。

下例图中, A15是悬空的, 这样CPU的最大可寻址的空间为64KB, 而原来被指定的4000H~5FFFH地址空间, 就不再是唯一的地址了。即 Y4的地址范围变为4000H~4FFFH, C000H~CFFFH, Y5的地址范围变为5000H~5FFFH, D000H~DFFFH。

由于采用部分译码方式,各芯片的地址都出现了重叠区。

重叠区的个数取决于没参加译码的地址码的位数。

梅纳 6 N 自強不息 ◎ 厚瓜莲学 和们合一





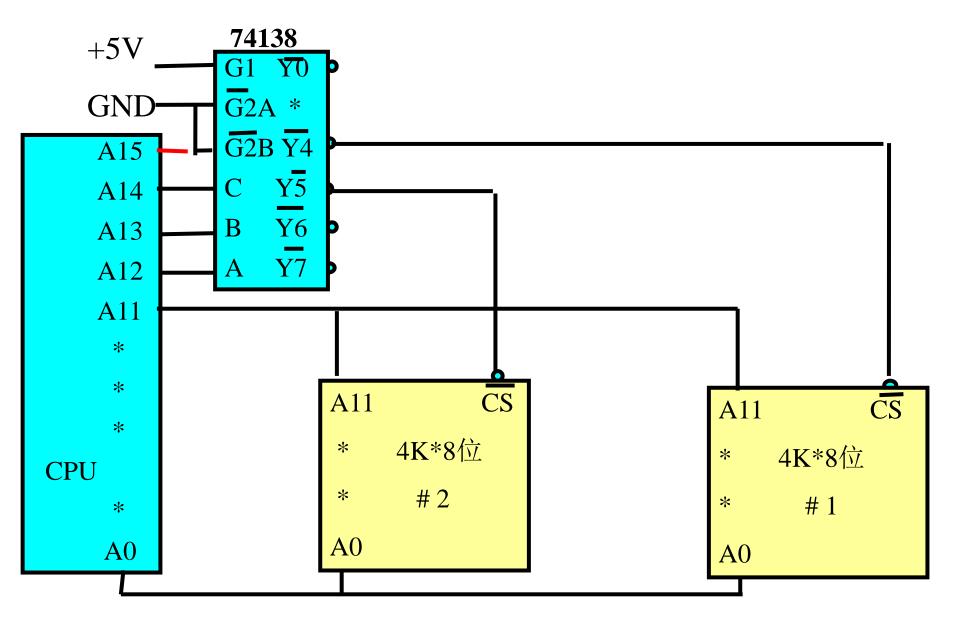












部分译码方式电路图